

**KISMİ GÖLGELENME ALTINDA ÇALIŞAN YENİ
BİR MAKSİMUM GÜÇ NOKTASI İZLEME (MPPT)
METODU İÇEREN PV SİSTEMİ GELİŞTİRİLMESİ**

**2016
DOKTORA TEZİ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ**

Mustafa GÖKDAĞ

**KISMİ GÖLGELENME ALTINDA ÇALIŞAN YENİ BİR MAKSİMUM GÜÇ
NOKTASI İZLEME (MPPT) METODU İÇEREN PV SİSTEMİ
GELİŞTİRİLMESİ**

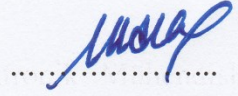
Mustafa GÖKDAĞ

**Karabük Üniversitesi
Fen Bilimleri Enstitüsü
Elektrik-Elektronik Mühendisliği Anabilim Dalında
Doktora Tezi
Olarak Hazırlanmıştır**

**KARABÜK
Mayıs 2016**

Mustafa GÖKDAĞ tarafından hazırlanan “KİSMİ GÖLGELENME ALTINDA ÇALIŞAN YENİ BİR MAKSİMUM GÜÇ NOKTASI İZLEME (MPPT) METODU İÇEREN PV SİSTEMİ GELİŞTİRİLMESİ” başlıklı bu tezin Doktora Tezi olarak uygun olduğunu onaylarım.

Prof. Dr. Mehmet AKBABA



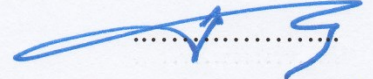
Tez Danışmanı, Bilgisayar Mühendisliği Anabilim Dalı

Bu çalışma, jürimiz tarafından oy birliği ile Elektrik-Elektronik Mühendisliği Anabilim Dalında Doktora tezi olarak kabul edilmiştir. 26/05/2016

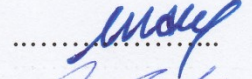
Ünvanı, Adı SOYADI (Kurumu)

İmzası

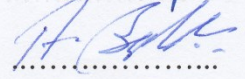
Başkan : Prof. Dr. İhsan ULUER (KBÜ)



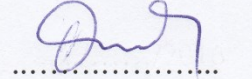
Üye : Prof. Dr. Mehmet AKBABA (KBÜ)



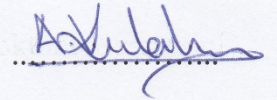
Üye : Doç. Dr. Abdulkadir BALIKÇI (GTÜ)



Üye : Doç. Dr. Mustafa AKTAŞ (KBÜ)



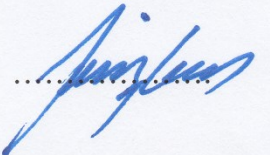
Üye : Doç. Dr. Ahmet Afşin KULAKSIZ (SÜ)



08./06./2016

KBÜ Fen Bilimleri Enstitüsü Yönetim Kurulu, bu tez ile, Doktora derecesini onamıştır.

Prof. Dr. Nevin AYTEMİZ



Fen Bilimleri Enstitüsü Müdürü



“Bu tezdeki tüm bilgilerin akademik kurallara ve etik ilkelere uygun olarak elde edildiğini ve sunulduğunu; ayrıca bu kuralların ve ilkelerin gerektirdiği şekilde, bu çalışmadan kaynaklanmayan bütün atıfları yaptığımı beyan ederim.

Mustafa GÖKDAĞ

ÖZET

Doktora Tezi

KISMİ GÖLGELENME ALTINDA ÇALIŞAN YENİ BİR MAKSİMUM GÜÇ NOKTASI İZLEME (MPPT) METODU İÇEREN PV SİSTEMİ GELİŞTİRİLMESİ

Mustafa GÖKDAĞ

Karabük Üniversitesi

Fen Bilimleri Enstitüsü

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Tez Danışmanı:

Prof. Dr. Mehmet AKBABA

Mayıs 2016, 131 sayfa

Seri bağlı PV birimler arasında kısmi gölgelenme ve karakteristik uyumsuzluk söz konusu olduğunda çoklu maksimum içeren ve azaltılmış tepe değerine sahip çıkış güç eğrileri oluşur. Artırılmış tepe değerli konveks güç eğrileri elde etmek ve baypas diyotu kullanımı nedeniyle vazgeçilen gücü geri kazanmak için çeşitli güç elektroniği çözümleri önerilmiştir. Verim gereksinimlerini ve ekonomik hedefleri karşılayabilmek için bu tür çözümlerde minimum sayıda güç elektroniği elemanı ile en az gücü işlemek esastır. PV birimler arasında enerji transferi farklı gerilimli birimleri aynı çalışma gerilimine getirir ve seri birimler arasındaki farksal akıma ekstra akım yolu sağlar. Kollektif bu çalışma dizini için artırılmış tepe değerine sahip konveks eğriler üretir.

Bu çalışmada literatürdeki benzer çalışmalara kıyasla yarı sayıda güç elektroniği elemanı içeren ve PV panel-altı seviyede güç dengeleme yapan anahtarlama panel-altı konvertör önerilmektedir. Önerilen topoloji anahtarlama kapasitör konvertör konseptinden faydalanır. Güç elektroniği elemanı sayısındaki azalma güç elektroniği kayıplarını azaltmakla beraber konvertör devresinin maliyetini ve hacminide azaltır. Konvertörün çalışmasından kaynaklanan kayıp bileşenleri karakterize edilerek toplam ilave kayıp analizi gerçekleştirilmiştir. Önerilen topoloji PSpice'ta simüle edilmiş ve deneysel doğrulama için prototip devreler üretilmiştir. Hem simülasyon hem de deneysel çalışmalar teorik kayıp analizlerini doğrulamıştır. Önerilen çözüm ile klasik konfigüre edilmiş anahtarlama kapasitör konvertör çözümünü verim, işlenen güç miktarları ve rezistif güç kayıpları bakımından karşılaştırmak için simülasyon çalışmaları yapılmıştır. Ayrıca literatürde öne çıkan diğer çalışmalar ile kısmi gölgelenme ve uyumsuzluk durumundaki performansları verim üzerinden karşılaştırılmıştır. Tek çıkışlı $N/N-1$ konfigürasyon için yapılan deneysel çalışmalarda, düzgün dağılımlı ışınım şartlarında belirli parametreler ile çalışan konvertör için güç dönüşüm verimi seri dizine kıyasla $> \% 99$ olarak elde edilmiştir. Çift çıkışlı yapı işlenen gücü azaltmak suretiyle kayıp miktarını azaltabilir. N/N şeklindeki konfigürasyonda gölgelenmenin bulunmadığı durumlarda anahtarlama durdurmaya izin vererek güç kaybını önlemek üzere kullanılabilir. Kısmi gölgelenme şartlarında önerilen metot konveks çıkış gücü eğrisini garanti eder ve test edilen kısmi gölgelenme şartları için baypas diyotlu seri dizine kıyasla $\% 10-20$ güç artışı sağlar.

Anahtar Sözcükler : Panel-altı seviyede MPPT, farksal güç işleme, dağıtılmış güç dönüştürücüler, anahtarlama kapasitör konvertörler.

Bilim Kodu : 905.1.150

ABSTRACT

Ph. D. Thesis

DEVELOPING A PV SYSTEM EMPLOYING A NOVEL MAXIMUM POWER POINT TRACKING (MPPT) METHOD WORKING UNDER PARTIAL SHADING

Mustafa GÖKDAĞ

Karabük University

Graduate School of Natural and Applied Sciences

Department of Electrical-Electronics Engineering

Thesis Advisor:

Prof. Dr. Mehmet AKBABA

May 2016, 131 pages

Partial shading and mismatch conditions among the series-connected modules/sub-modules suffer from a nonconvex power curve with multiple local maxima and decreased peak power for the whole string. A number of power electronics solution was proposed to obtain convex output power curve with increased peak and to regain the foregone power due to the use of baypas diodes. To meet efficiency requirements and economic goals, a power electronic solution which processes less power with the minimum number of components is essential. Energy transfer between the sub-modules brings the modules with different voltages, due to partial shading and mismatch, to the same operating voltage while providing an extra current path circuitry for mismatch current. This collective operation produces a convex power curve, which results in increased peak power for the string.

In this study a switched sub-module converter which includes half number of components when compared to the earlier similar counterparts is proposed for power balancing at PV sub-module level. The proposed topology benefits from the switched-capacitor (SC) converter concept. Reduction in power electronics components leads to reduced power electronics losses as well as less cost and volume of the converter circuit. Analysis of the insertion loss which arises from the operation of the converter is carried out to characterize the loss components. The proposed topology is simulated in PSpice environment, and some prototypes are built for experimental verification. Both simulation and experimental results confirm the loss analysis. In order to compare both the proposed topology and the conventional switched capacitor solution in terms of efficiency, amount of processed power and resistive power loss the simulation of the both systems are carried out. Furthermore the performance of the proposed topology under partial shading and mismatch conditions is compared with the leading studies from the literature. For the experiment of the single output $N//N-1$ configuration it is found that the conversion efficiency of the switched converter remains $> 99\%$ for uniform radiation under certain parameters. Dual output case can even reduce the loss minimizing the processed power. $N//N$ configuration can also be used to prevent the loss stopping the switching. The proposed method ensures always a convex output power curve and provides 10-20 % power increment for the tested partial shading conditions as compared to the normal series string with baypas diodes.

Key Words : Sub-module level MPPT, differential power processing (DPP), distributed power converters, switched-capacitor converters.

Science Code : 905.1.150

TEŐEKKÜR

Tez alıőmasının gerekleőebilmesi iin saėlık ve akıl nimetini veren Alemlerin Rabb'i Allah'a hamdolsun.

Bu tez alıőmasının planlanmasında, araőtırılmasında, yürütülmesinde ve oluşumunda ilgi ve desteėini esirgemeyen, engin bilgi ve tecrübelerinden yararlandığım, yönlendirme ve bilgilendirmeleriyle alıőmamı bilimsel temeller ışığında őekillendiren sayın hocam Prof. Dr. Mehmet AKBABA'ya sonsuz teőekkürlerimi sunarım.

Tez izleme sürecinde deėerlendirmeleri ile destek olan Do. Dr. Abdulkadir BALIKI ve Do. Dr. Mustafa AKTAŐ hocalarıma teőekkür ederim.

Sevgili eőime ve aileme manevi hibir yardımı esirgemedен yanımda oldukları iin tüm kalbimle teőekkür ederim.

Bu alıőma Karabük Üniversitesi tarafından KBÜ-BAP-13/2-DR-010 proje sayısı ile Bilimsel Araőtırma Projesi kapsamında desteklenmiőtir.

İÇİNDEKİLER

	<u>Sayfa</u>
KABUL.....	ii
ÖZET	iv
ABSTRACT.....	vi
TEŞEKKÜR.....	viii
İÇİNDEKİLER	ix
ŞEKİLLER DİZİNİ.....	xii
ÇİZELGELER DİZİNİ	xv
SİMGELER VE KISALTMALAR DİZİNİ.....	xvii
BÖLÜM 1	1
GİRİŞ	1
1.1. ARKA PLAN VE MOTİVASYON.....	1
1.2. TEZİN AMAÇLARI	2
1.2.1. Problemin Tanımlanması.....	2
1.2.2. Amaçlar	4
1.2.3. Kısıtlamalar	4
1.3. ANA KATKILAR.....	5
1.4. TEZİN ANA HATLARI	7
1.5. YAYINLAR	8
BÖLÜM 2	10
LİTERATÜR - MPPT ÇALIŞMALARINA GENEL BAKIŞ	10
2.1. FOTOVOLTAİK MODÜL KARAKTERİSTİĞİ.....	10
2.1.1. Farklı Işıma (G) ve Sıcaklık (T) Değerleri Altında	10
2.1.2. Kısmi Gölgeleme ve Uyumsuzluk Şartları Altında.....	11
2.2. KISMİ GÖLGELENME VE UYUMSUZLUK DURUMUNDA MPPT ÇALIŞMALARI.....	14

BÖLÜM 3	35
KISMİ GÖLGELENME PROBLEMİ İÇİN ÖNERİLEN ÇÖZÜM	35
3.1. GİRİŞ.....	35
3.2. ÖNERİLEN TOPOLOJİ	36
3.3. ANAHTARLAMALI KAPASİTÖR (SC) KONVERTÖRLER.....	38
3.3.1. Yavaş Anahtarlama Limiti Empedansı.....	41
3.3.2. Hızlı Anahtarlama Limiti Empedansı.....	42
3.3.3. Toplam Çıkış Empedansının Hesabı	43
3.4. ÖNERİLEN N//N TOPOLOJİ İÇİN KAYIP ANALİZİ.....	47
3.4.1. Yavaş Anahtarlama Limiti (SSL) Empedansı ve Güç Dönüşüm Kaybı	47
3.4.2. Hızlı Anahtarlama Limiti (FSL) Empedansı ve Güç Dönüşüm Kaybı.....	51
3.5. ÖNERİLEN N//N-1 TOPOLOJİ İÇİN KAYIP ANALİZİ SONUÇLARI.....	53
3.6. ÖNERİLEN N//N TOPOLOJİ İÇİN SİMÜLASYON SONUÇLARI.....	54
3.7. PARASİTİK ELEMANLARIN SEBEP OLDUĞU KAYIPLAR.....	57
3.8. ÖNERİLEN N//N-1 TOPOLOJİ İÇİN SİMÜLASYON SONUÇLARI.....	58
BÖLÜM 4	65
FARKSAL GÜÇ İŞLEME (DPP).....	65
4.1. ÖNERİLEN TOPOLOJİ İÇİN ÇİFT ÇIKIŞLI YAPI.....	65
4.2. ÇİFT ÇIKIŞLI DURUM İÇİN SİMÜLASYON SONUÇLARI.....	67
4.3. DİĞER TOPOLOJİLERLE KARŞILAŞTIRMA	71
BÖLÜM 5	78
DENEYSEL ÇALIŞMA	78
5.1. N//N DİZİNİ İÇİN DENEYSEL İSPAT	78
5.2. GERÇEK PANEL-ALTI SEVİYE İÇİN KONVERTÖR DEVRESİ.....	81
5.2.1. Anahtarlama Kapasitör Konvertör Devresi	82
5.3. N//N-1 KONFİGÜRASYONU İÇİN GERÇEK PANEL-ALTI SEVİYEDE DENEYSEL SONUÇLAR.....	87

	<u>Sayfa</u>
5.4. PANEL BAĞLANTI KUTUSUNA SIĞACAK DEVRE TASARIMI	94
5.5. BÖLÜMÜN DEĞERLENDİRİLMESİ	98
BÖLÜM 6	99
SONUÇLAR VE ÖNERİLER	99
KAYNAKLAR	102
EKLER – YAYINLAR	107
ÖZGEÇMİŞ	131



ŞEKİLLER DİZİNİ

Sayfa

Şekil 2.1. Radyasyon ve sıcaklığın modül I-V ve P-V karakteristiklerine etkisi.....	11
Şekil 2.2. Panel-altı seviyede gruplandırılmış hücreler.	12
Şekil 2.3. Gölgeleme durumunda PV panel karakteristiği.....	13
Şekil 2.4. Şebeke bağlı PV mimarileri.....	14
Şekil 2.5. Panel seviyesinde PV mimarileri.....	16
Şekil 2.6. Panel-altı seviyede MPPT çözümleri, güç kaybı için nümerik örnek ile kıyaslama.....	17
Şekil 2.7. Farksal Güç İşleme ile panel-altı geruplar arasında enerji transferi ile konveks hale gelen çıkış gücü karakteristiği.....	19
Şekil 2.8. Panel-altı seviyede önerilen topoloji.....	20
Şekil 2.9. Buck-boost topoloji kullanarak farksal güç konvertörleri.....	22
Şekil 2.10. PV-PV buck-boost topoloji.....	24
Şekil 2.11. PV-PV çift yönlü fly-back konvertör.....	25
Şekil 2.12. Anahtarlama kapasitör içeren merdiven konvertör yapısı.....	26
Şekil 2.13. Merdiven tipi PV-PV buck boost topoloji için çok seviyeli MPPT kontrolör.....	27
Şekil 2.14. Rezonans anahtarlama kapasitör konvertör topolojileri.....	28
Şekil 2.15. Asenkron anahtarlama kapasitör konvertör topolojisi ve bağımsız MPPT için kontrol şeması.....	29
Şekil 2.16. Sekonderi sanal bara olan flyback topoloji.....	30
Şekil 2.17. Seri rezonans inverter ve gerilim katlayıcı dengeleme topolojisi.....	31
Şekil 2.18. Tek bir manyetik eleman içeren dengeleme topolojisi.....	32
Şekil 2.19. Merdiven bağlı DCR mimarisi.....	33
Şekil 3.1. Önerilen topoloji.....	37
Şekil 3.2. Önerilen topolojinin dizin seviyesinde uygulanması.....	38
Şekil 3.3. İdealize edilmiş 3-portlu SC konvertör.....	38
Şekil 3.4. SC konvertör.....	39

Sayfa

Şekil 3.5. İdealize edilmiş 2-portlu SC konvertör modeli.....	40
Şekil 3.6. Yavaş anahtarlama frekansı için kapasite gerilimi ve akımı.	40
Şekil 3.7. Hızlı anahtarlama frekansı için kapasite gerilimi ve akımı.	41
Şekil 3.8. Anahtarlama kapasitör konvertörün dinamik analizi için kullanılan devre modeli.	44
Şekil 3.9. Yavaş ve hızlı anahtarlama limitleri arasındaki bir anahtarlama hızı için kapasitör gerilimi.	44
Şekil 3.10. Transfer edilen akımın frekans ve kapasite değeri ile değişimi.....	45
Şekil 3.11. Çıkış empedansının frekansla değişimi.	47
Şekil 3.12. 3//3 anahtarlama dizin için yük akış diyagramları.....	48
Şekil 3.13. % 100 Radyasyon altında 3//3 anahtarlama dizin ile seri bağlanmış 6'lı dizinin güç eğrilerinin kıyaslanması.	55
Şekil 3.14. Panel-altı gruplardan iki tanesi % 60 gölgeli (toplam gölgelenme % 20) iken 6'lı baypas diyotlu seri dizin ve 3//3 anahtarlama dizinin güç eğrilerinin kıyaslanması.	55
Şekil 3.15. Karşılaştırılan panel-altı dizin şekilleri a) baypas diyotlu klasik seri dizin, b) geleneksel konfigüre edilmiş anahtarlama kapasitör çözümü, c) önerilen merdiven tipi anahtarlama panel-altı çözümü.....	60
Şekil 3.16. 2//1 anahtarlama dizin ile 3'lü seri dizinin P-V eğrilerinin % 100 düzgün dağılımlı ışınım altında karşılaştırılması.....	61
Şekil 3.17. Toplam gölgelenme % 12,03 durumu için P-V eğrilerinin kıyaslanması.....	61
Şekil 3.18. Toplam gölgelenme % 35,68 durumu için P-V eğrilerinin kıyaslanması.....	62
Şekil 4.1. Önerilen topolojinin çift çıkışlı versiyonu.	66
Şekil 4.2. % 100 Radyasyon altında 3//3 anahtarlama dizin tek ve çift çıkışlı hali ile seri bağlanmış 6'lı dizinin güç eğrilerinin karşılaştırılması.	68
Şekil 4.3. Panel-altı gruplardan sağ taraftakiler % 50 gölgeli (toplam gölgelenme % 25) iken 6'lı baypas diyotlu seri dizin ve 3//3 anahtarlama dizinin tek ve çift çıkışlı güç eğrilerinin karşılaştırılması.	69
Şekil 4.4. İşlenen güç miktarlarının hesabında kullanılan akım ve gerilimler.....	75
Şekil 5.1. Deneysel prototip; hücreler (solda), anahtarlama devresi (sağda).....	78
Şekil 5.2. Deney düzeneği.....	79
Şekil 5.3. Düzgün dağılımlı radyasyon durumu için deneysel sonuçlar.....	80

Sayfa

Şekil 5.4. Kısmi gölgelenme oranı % 25 için deneysel sonuçlar	80
Şekil 5.5. Kısmi gölgelenme oranı % 12 için deneysel sonuçlar	81
Şekil 5.6. Anahtarlama kapasitör topolojisini gerçekleştirebilmek için MOSFET sürme devresi.	82
Şekil 5.7. Anahtarlama kapasitör konvertör prototip devre	83
Şekil 5.8. MOSFET sürücü girişine uygulanan ölü zamanlı PWM sinyalleri.....	83
Şekil 5.9. 288 ns'lik ölü zaman	84
Şekil 5.10. Sürücü çıkışları.	84
Şekil 5.11. Alt P ve N MOSFET çifti için kapı sinyalleri.	85
Şekil 5.12. Üst P ve N MOSFET çifti için kapı sinyalleri.	85
Şekil 5.13. Kapı sinyalleri için yükselme ve düşme zamanlarının gösterilmesi.	86
Şekil 5.14. Akaç noktalarındaki gerilim şekilleri ve kapasite gerilimi.	86
Şekil 5.15. Şekil 5.6'da gösterilen devreye alternatif bir tasarım.	87
Şekil 5.16. % kayıp miktarının frekansla değişimi.	88
Şekil 5.17. Deney düzeneği.....	89
Şekil 5.18. Düzgün dağılımlı ışınım şartları için deneysel sonuçlar.....	89
Şekil 5.19. % 12,03 toplam gölgelenme için deneysel sonuçlar.....	90
Şekil 5.20. % 35,68 toplam gölgelenme için deneysel sonuçlar.....	90
Şekil 5.21. Konvertör verimi.....	92
Şekil 5.22. Dış ortamda oluşturulan deney düzeneği.....	94
Şekil 5.23. Ölü zamanlı PWM üreteç devresi.....	95
Şekil 5.24. Panel bağlantı kutusuna sığacak devre tasarımı.....	95
Şekil 5.25. % kayıp miktarının frekansla değişimi.	96
Şekil 5.26. LTC6908 çıkış sinyalleri.	96
Şekil 5.27. MOSFET kapı sinyalleri.....	97
Şekil 5.28. Alt P ve N MOSFET kapı sinyalleri.....	97
Şekil 5.29. Üst P ve N MOSFET kapı sinyalleri.	98

ÇİZELGELER DİZİNİ

	<u>Sayfa</u>
Çizelge 2.1. Kısmi gölgelenme altında güç kaybı.	13
Çizelge 2.2. Farksal güç işleme konseptinin DC optimizer çözümüne kıyasla avantajının gösterilmesi.....	17
Çizelge 2.3. Farklı PV mimarileri için düzgün dağılımlı radyasyon altında elde edilebilecek verimler.....	17
Çizelge 2.4. Önerilen topolojiler için verim karşılaştırması.....	22
Çizelge 3.1. Panel-altı PV gruplar için SSL yük çarpanları.....	50
Çizelge 3.2. SSL kapasitör yük çarpanları.....	50
Çizelge 3.3. 3//3 anahtarlama için FSL anahtar yük çarpanı vektörü.....	52
Çizelge 3.4. Maksimum güç ve verim kıyaslaması.....	56
Çizelge 3.5. İki çözüm tarafından kullanılan esas eleman sayılarının karşılaştırılması.....	60
Çizelge 3.6. Maksimum güç ve verim kıyaslaması.....	64
Çizelge 3.7. İşlenen güç miktarlarının kıyaslanması.....	64
Çizelge 3.8. Rezistif güç kayıplarının kıyaslanması (W).....	64
Çizelge 4.1. $F=50$ kHz için tek ve çift çıkışlı konfigürasyonlar için maksimum güç ve verim kıyaslaması.....	69
Çizelge 4.2. $F=50$ kHz'de simetrik olmayan gölgelenme durumları için tek ve çift çıkışlı yapı ile elde edilen maksimum güçler.....	70
Çizelge 4.3. $F=50$ kHz ve $D=0,5$ 'de simetrik gölgelenme durumları için tek ve çift çıkışlı yapı ile elde edilen maksimum güçler.....	71
Çizelge 4.4. $F=250$ kHz'de simetrik olmayan gölgelenme durumları için tek ve çift çıkışlı yapı ile elde edilen maksimum güçler.....	71
Çizelge 4.5. $F=250$ kHz ve $D=0,5$ 'de simetrik gölgelenme durumları için tek ve çift çıkışlı yapı ile elde edilen maksimum güçler.....	71
Çizelge 4.6. Literatürdeki çalışmalarla karşılaştırılması.....	74
Çizelge 4.7. İşlenen güç miktarları (W).....	75
Çizelge 4.8. Güç kayıpları (W).....	76
Çizelge 4.9. Gate kayıpları (W).....	76
Çizelge 4.10. 9 adet birimi dengelemek için kullanılan eleman sayısı.....	77
Çizelge 5.1. Deneysel sonuçlar için maksimum güç ve verim kıyaslaması.....	81

Sayfa

Çizelge 5.2. Deneysel sonuçlar için maksimum güç ve verim kıyaslaması.....	91
Çizelge 5.3. Yüksek güç seviyeleri için deneysel sonuçlar.	92
Çizelge 5.4. Dış ortamda yapılan deneylerin sonuçları.....	93



SİMGELER VE KISALTMALAR DİZİNİ

SİMGELER

η : Verim

φ : Faz

KISALTMALAR

D : Görev periyodu (Duty Cycle)

DCR : Diffusion Charge Redistribution (Difüzyon Yükünün Dağıtımı)

DPP : Differential Power Processing (Farksal Güç İşleme)

FSL : Fast Switching Limit (Hızlı Anahtarlama Limiti)

PV : Photovoltaic (Fotovoltaik)

PWM : Pulse Width Modulation (Darbe Genişlik Modülasyonu)

MPPT : Maximum Power Point Tracking (Maksimum Güç Noktası İzleyici)

DMPPT : Dağıtılmış MPPT

SC : Switched Capacitor (Anahtarlama Kapasitör)

SSL : Slow Switching Limit (Yavaş Anahtarlama Limiti)

BÖLÜM 1

GİRİŞ

Bu bölümde ilk olarak tezin arkaplanı ve motivasyon kaynağından bahsedilecek, devamında problem ifadesi etrafında projenin amaçları detaylandırılacaktır. Nihai olarak da yapılabilecek ana katkılar listelenerek tezin ana hatları ile bölüm sonlandırılacaktır.

1.1. ARKA PLAN VE MOTİVASYON

Temiz bir çevre ihtiyacı ve enerji taleplerindeki sürekli artış dağıtık yenilenebilir enerji üretimini daha önemli hale getirmektedir. Sürekli artan enerji tüketimi dağıtım şebekelerini ve yanı sıra güç santrallerini aşırı yüklemektedir. Böylece güç arzı, kullanılabilirliği, güvenliği ve kalitesi üzerinde negatif etkilere sahip olmaktadır. Bu problemi aşmak için çözümlerden biri de dağıtık üretim sistemidir. Güneş, rüzgar veya hidro gibi yenilenebilir kaynaklar kullanan dağıtık üretim sistemleri tüketileceği yere yakın yerde güç üretebilme avantajına sahiptir. Bu sistemler mümkün olduğunca enerji verimliliğini artırarak kullanılmalıdır. Bu amaçla üretimden tüketiciye kadarki bütün aşamalarda bu teknolojiler geliştirilmeye ihtiyaç duymaktadır.

Son teknolojik gelişmeler güneş enerjisi teknolojilerini ilk zamanlarına göre daha az maliyetli hale getirerek daha çekici olmasını sağlamıştır. Ayrıca bu gelişmeler bu yenilenebilir enerji kaynağını daha verimli ve fosil yakıtlar, nükleer gibi geleneksel kaynaklara kıyasla daha çevre dostu enerji kaynağı olma avantajlarını beraberinde getirmiştir. Günümüzde fotovoltaik (PV) sistemlerin yüksek panel üretim ve ilk kurulum maliyetlerinden dolayı enerjinin birim fiyatı geleneksel metotlardan üretilen enerjinin birim fiyatına kıyasla daha pahalıdır. Ancak bu sistemlerin enerji kaynağı olan güneş enerjisi bedava, her yerde mevcut ve yenilenebilir olmayan kaynaklar tükendikten sonra da yeryüzü var olduğu müddetçe varlığı devam edecektir [1].

PV sistemlerin ana avantajlarından biri de hareketli bir parçaya sahip olmaması dolayısıyla dayanıklı, gürültüsüz çalışmaları, uzun ömürlü ve düşük bakım gereksinimine sahip olmasıdır. Böylece en önemlisi çevre dostu bir güç üretim çözümü sunmaktadır.

Bu sistemler günümüzde teknolojinin getirdiği avantajlarla beraber bağlı olduğumuz şebekelere senkronize güç enjekte edebilme özelliği ile tüm kamunun kullanımına açılmıştır. Böylece enerji arz ve güvenliğinde sahip olduğu önemi artırarak popüler hale gelmektedir. Bu yüzden güneş ve diğer yenilebilir enerji alanlarındaki araştırma ve geliştirme faaliyetleri bu teknolojilerin verimlerini artırmak, kurulum maliyetlerini azaltmak, çıkışlarını doğru bir şekilde tahmin etmek için teknikler üretmek, diğer konvansiyonel üretim yöntemleri ile güvenli bir şekilde entegrasyon yapmak için artarak devam etmektedir [2].

1.2. TEZİN AMAÇLARI

Bu bölümde problem ifade edildikten sonra buna bağlı olarak tezin amaçları açıklanmaktadır.

1.2.1. Problemin Tanımlanması

Seri bağlı PV panellerin veya hücrelerin akım-gerilim (I-V) karakteristikleri arasındaki uyumsuzluk problemi tüm dizinin kollektif çıkış güç karakteristik eğrisinde tüm dizinin gerçekte verebileceğinden daha düşük tepe güç değerine sahip çoklu lokal maksimum noktalarının oluşmasına yol açmaktadır. Bu uyumsuzluk kısmi gölgelenme, yaşlanma ve istenmeyen fabrikasyon koşullarından kaynaklanabilir. Bu durumda kullanılan donanım veya maksimum güç takip algoritmasının uygunsuzluğu yanlış karakteristik noktada çalışmaya, dolayısıyla panelden veya hücreden maksimum güç çıkarılamamasına sebep olabilmektedir. Böyle durumlarda ilk çözüm çoklu lokal maksimum içeren akım-gerilim (I-V) karakteristik eğrisi üzerindeki global maksimum noktayı bulacak yeni veya geleneksel metotları kullanan hibrit bir algoritma, ikinci bir çözüm ise dizin seviyesinden panel seviyesine taşınmış

dağıtılmış güç elektroniği arayüzü kullanarak bu eğriyi konveks hale getirecek donanım kullanmaktır.

İlk PV enerji sistemlerinde merkezi inverterler kullanılmaktaydı. Teknolojik gelişmeler dağıtılmış güç elektroniği arayüzü ile dizin inverterlere ve bu inverterlerde de birden fazla maksimum güç noktası takip edici (MPPT) girişi kullanımına yol açmış, son akademik çalışmalar ile de panellere entegre edilmiş DC-DC veya DC-AC dönüştürücülerin kullanımı gündeme gelmiştir. Devamında ise panellere entegre edilen bu dönüştürücülerde panel-altı seviyede incelenmeye başlanmıştır. Şöyle ki ticari panellerin birçoğunda hücreler 3 grupta toplanmış ve her bir gruba paralel bir baypas diyotu bağlanmıştır. Böylece herhangi bir grup seri hücrelerdeki gölgelenmenin tüm panele olan negatif etkisi azaltılmaya çalışılmıştır. Literatürdeki çalışmalar panel-altı seviye için güç elektroniği arayüzü tasarlayarak toplam verimi artırma üzerine kaymaktadır. Bu sistemler dağıtılmış güç elektroniği arayüzü olarak adlandırılır. Bu çalışmalarda tasarlanan mini DC-DC konvertörler baypas diyotların yerine bağlanmış ve farklı gölgelenmelere veya karakteristik uyumsuzluğuna maruz kalan hücre dizilerinin bu konvertörler aracılığı ile birbirlerinden bağımsız olarak maksimum güç noktalarında çalışması hedeflenmiştir. Bu şekilde panel seviyesinde MPPT yaparak yakalanan enerji miktarı gölgeli durumlarda % 16'ya kadar artırılabilirdiği tahmin edilmektedir [3].

Ticari PV panellerin verimi % 15-20'ler civarındadır. Üretilen birim enerji maliyetinin yüksek olduğu düşünüldüğünde verimdeki en küçük bir artışın değerli olacağı açıktır. Bu yüzden bu modüller en yüksek enerji verimliliği ile çalıştırılmalıdır. Ürettiği güç hiç bir şekilde; karakteristik eğrisi üzerinde maksimum güçte çalıştırmayarak, verimsiz güç elektroniği sistemleri kullanarak ve ard arda maksimum güç noktaları arasında yavaş geçiş yaparak israf edilmemelidir. Modül çıkışından alınan güç bu modüllerin doğrusal olmayan I-V karakteristiğinden dolayı, karakteristik eğrisinin sadece tek bir noktasında maksimum olur. Dolayısıyla modül çalışma noktasının çevresel şartlara göre (radyasyon miktarı, sıcaklık, gölgelenme) değişen maksimum güç noktası üzerinde sürekli tutulması gerekmektedir.

1.2.2. Amaçlar

Bu çalışmanın esas amaçlarını şu şekilde sıralayabiliriz. İlk olarak kısmi gölgelenme ve paneller arası uyumsuzluk şartları altında oluşan kayıplara dağıtılmış güç elektroniği arayüzü olarak adlandırılan panel altı seviyede entegre edilmiş DC-DC konvertörler ile çözüm üretmektir. Burada amaç belirtilen şartlar altında oluşan konveks olmayan lokal maksimumlu çıkış karakteristiğinde global maksimumu bulmak değildir. Çözümde asıl amaç bu eğrileri artırılmış tepe değerli konveks güç eğrilerine dönüştürmektir. Bu amaca ulaşırken de planlanan DC-DC konvertörlerin verimlerinin artırılması ve PV sisteme dahil edilmeleri sebebiyle ortaya çıkan güç kayıplarının minimize edilmesi için topolojilerinin ve elemanlarının seçilmesi ve maksimum güç takibi yapacak şekilde kontrollerinin yapılması, az sayıda güç elemanı kullanımı sayesinde güç kaybının, maliyetin ve devre hacimlerinin azaltılması en büyük tasarım hedeflerindedir.

1.2.3. Kısıtlamalar

Kısmi gölgelenme ve paneller arası uyumsuzluk şartlarında oluşan kayıpları önlemek için önerilen çözümlerin simülasyon çalışmaları PSpice ortamında gerçekleştirilmiştir. Bu simülasyonlarda PV hücreleri modelleyen seri ve paralel dirençli tek diyot modeli eş değer devre kullanılmıştır. Simülasyon programının öğrenci versiyonu kullanılabilen eleman ve düğüm sayısını kısıtladığı için her bir hücre yerine her bir panel-altı grup bir eş değer devre ile modellenmiş ve model parametreleri de buna göre belirlenmiştir. Yine kullanılan eleman sayısı limitini geçmemek için daha uzun dizinler yerine maksimum 6 panel-altı grup içeren dizinler simüle edilmiştir.

Deneysel ispat için gerçek güneş ışığı altında dış ortamda tekrarlanabilir sonuçlar elde etmek çok zor olmaktadır. Bu nedenle laboratuvar ortamında PV modülün I-V karakteristiği akım kaynağı kullanmak suretiyle elde edilmiştir. Deneyler bu şekilde elde edilen modüller üzerinde gerçekleştirilmiştir.

1.3. ANA KATKILAR

Bu çalışmada yapılan katkıların kısa bir listesi tezde anlatıldığı sıra ile aşağıda belirtilmiştir.

Kısmi gölgelenme ve uyumsuzluk durumları için artırılmış tepe değerli konveks güç eğrisi elde etmek üzere panel-altı seviyede güç dengeleme yapan yeni bir topoloji önerildi. Bu topoloji anahtarlama kapasitör (SC) konvertörlerin çalışma prensibinden faydalanır. İki kollu anahtarlama dizin $N//N$ veya $N//N-1$ paralel-merdiven mimarisinde konfigüre edilebilir. Panel-altı birimler arasındaki anahtarlama işlemi bu birimleri aynı çalışma gerilimine getirip komşu PV'ler arasındaki farksal akımın akabileceği bir devre yolu sağlar. Bu durum tüm dizinin tek bir "ideal PV modül" gibi davranmasını sağlar. Böylece tüm dizinin çıkış güç karakteristiği tek bir maksimuma sahip olan bir konveks eğri olur. Bu durum çok girişli bağımsız MPPT yapabilen dizin inverter ihtiyacını ortadan kaldırır. Böylece girişteki DC-DC konvertör katı sayısı azaltılarak maliyette ve güç kayıplarında azalma elde edilebilir. Önerilen konfigürasyonun tek çıkışlı $N//N$ hali tek girişli ve giriş katı LC filtre ile desteklenen bir dizin invertere ihtiyaç duyar.

Literatürde panel-altı seviyede çalışan klasik konfigüre edilmiş anahtarlama kapasitör çözümü n adet birimi dengelemek için $2n-1$ kapasite ve $2n$ anahtar gerektirir [4]. Bu tezde önerilen panel-altı birimlerin paralel-merdiven şeklindeki konfigürasyonu n adet birimi dengelemek için n kapasite ve $n+1$ anahtar gerektirir. Dolayısıyla önerilen çözümün getirdiği avantaj güç elektroniği kayıplarında, devre hacminde ve maliyetinde azalmayı beraberinde getirir. Çünkü önerilen topolojide anahtarın her iki pozisyonu için de kapasitörler bir PV birimi tarafından desteklenmekte iken klasik konfigürasyonda sadece tek bir anahtar pozisyonu için kapasitörler desteklenir.

Önerilen topoloji için anahtarlama devreleri panel arkasındaki bağlantı kutusuna yerleştirilmek suretiyle dizin seviyesinde gerçekleştirilebilir. Bu durumda çift damar kablo ile dizinler arası bağlantı yapılır.

Anahtarlama kapasitör devrelerinin çıkış empedansını oluşturan yavaş ve hızlı anahtarlama limitindeki (slow switching limit SSL, fast switching limit FSL) kayıpların matematiksel ifadeleri, önerilen topolojinin $N//N$ rastgele boyutlandırılmış halleri için elde edildi. Böylece anahtarlama işlemi dolayısıyla konvertördeki toplam kayıplar hesaplandı. Düzgün dağılımlı radyasyon durumunda önerilen topoloji anahtarlamanın durdurulmasına müsaade eder. Böylece anahtarlama sebebiyle standart seri bir dizine kıyasla oluşan ilave kayıplar önlenir. Anahtarlama durdurmak ilave kayıpları engellemek için bir çözüm olmakla beraber paneller arasındaki üretim farklılıklarından kaynaklanan kayıpları geri kazandırmaz. Böylece sadece kısmi gölgelenmeye bir çözüm getirmiş olur. Dolayısıyla hem kısmi gölgelenmeye hem de paneller arası uyumsuzluk problemlerine birlikte çözüm getirecek daha esaslı bir çözüm gerekmektedir. Buna yönelik bir yaklaşım takip eden paragrafta sunulmaktadır.

Önerilen topolojinin çift çıkışlı hali tam farksal güç işleme (differential power processing, DPP) konseptine uygundur. DPP’de panel-altı birimler tarafından ortak üretilen güç herhangi bir işleme tabi tutulmadan yük tarafına aktarıldığı için sadece farksal güç, anahtarlama devresi boyunca işlenir. Böylece bu farksal gücün belirli bir yüzdesi kayıp edilir. Bu kayıp panel-altı birimin ürettiği gücün tamamının işlenmesinde meydana gelen kayıba oranla çok azdır. Düzgün dağılımlı ışığa altında çift çıkışlı yapıda güç her iki dizin kolundan işleme tabi tutulmaksızın doğrudan çıkartılabildiği için ve tüm paneller dengede olduğu için anahtarlama yapısı boyunca güç işlenmediğinden ilave kayıplar ortadan kalkar. Bu da kayıpları engellemek için anahtarlama durdurma gerekliliğini ortadan kaldırır. Ayrıca anahtarlama işleminin devam etmesi paneller arası uyumsuzluk sebebiyle kaybedilen gücü geri kazandırabilir. Akım bölücü arayüzün sebep olduğu güç kayıpları bu çalışmada ihmal edilmiştir.

Önerilen topolojinin tek çıkışlı hali PSpice’ta simüle edilmiş ve prototip devre üzerinde deneysel doğrulama gerçekleştirilmiştir. Her iki sonuçta ilave kayıp analizini doğrulamış ve önerilen topoloji ile kısmi gölgelenmeye maruz kalan dizinde mevcut olan tüm gücün çıkartılabileceği ve yüke aktarılabileceği gösterilmiştir.

1.4. TEZİN ANA HATLARI

Temiz bir çevre ihtiyacı ve enerji taleplerindeki sürekli artış güneş ve rüzgar gibi dağıtık yenilenebilir enerji üretimini daha önemli hale getirmektedir. Güneş enerjisini kullanarak yapılan dağıtık enerji üretimi sürekli artan güç talebini dengelemede bir çözüm olabilir. Sürekli artan enerji tüketimi dağıtım şebekelerini ve yanı sıra güç santrallerini aşırı yüklemekte ve böylece güç kullanılabilirliği, güvenliği ve kalitesi üzerinde negatif etkilere sahip olmaktadır. Bu problemi aşmak için çözümlerden biride şebeke bağlı fotovoltaik (PV) sistemlerdir.

PV sistemlerin verimleri kısmi gölgelenme ve uyumsuzluk şartları altında oldukça etkilenmekte olup bu durum çözülmesi gereken bir problem olarak karşımıza çıkmaktadır.

Bu tezde sunulan çalışma kısmi gölgelenme sorunu için dağıtılmış güç elektroniği ara yüzü tasarımını ve analizini içerir. Bu arayüzün tasarımında minimum sayıda eleman kullanımının sağlanması, kayıpların ve maliyetin azaltılarak PV sistemlerin verimlerinin ve ekonomik hedeflerinin artırılması bu çalışmanın esas konusu olmuştur.

Bu tez 6 bölümden oluşmakta ve her bir bölümde hangi konulara değinildiği aşağıda listelenmiştir.

Bölüm 1: Giriş bölümünde ilk olarak tezin arkaplanı ve motivasyonuna odaklanılmış, devamında problem tanımlanarak bu bağlamda tezin amaçları detaylandırılmıştır. Nihai olarak da yapılacak ana katkılar listelenmiştir.

Bölüm 2: Bu bölümde kısmi gölgelenme ve uyumsuzluk şartları altında birbirine seri bağlı hücre/panel-altı dizilerinin oluşturduğu çıkış güç karakteristiğinin nasıl etkilendiği incelenmiştir. Çıkış güç eğrisi üzerindeki negatif etkinin giderilmesi ile fotovoltaik sistemler için elde edilebilecek verim artışları belirtilmiştir. Kısmi gölgelenme problemi üzerine geliştirilen güç elektroniği çözümleri için literatür araştırması verilmiştir.

Bölüm 3: Bu bölümde kısmi gölgelenme problemi için panel-altı seviyede güç dengeleme yapan yeni bir topoloji önerilmektedir. Önerilen topoloji için anahtarlamalı kapasitör konvertörlerin teorik alt yapısı ve güç kayıp analizleri sunulmaktadır.

Bölüm 4: Bu bölümde önerilen topoloji için ‘tam’ farksal güç işlemeye olanak sağlayan çift çıkışlı yapı tanıtılmaktadır. Verimdeki artış simülasyon sonuçlarıyla gösterilmiştir. Bölüm önerilen çözümün simülasyon sonuçlarıyla ve literatürde öne çıkan diğer çalışmalarla performans karşılaştırılması ile sona ermektedir.

Bölüm 5: Bu bölümde önerilen anahtarlamalı dizin yapısının deneysel olarak doğrulanması için gerçekleştirilen çalışmalar anlatılmaktadır. Simülasyon sonuçlarını destekleyen deneysel sonuçlar ile birlikte verim eğrisi gösterilmektedir.

Bölüm 6: Bu bölümde yapılan çalışmalar özet halinde listelenerek değerlendirilmekte ve ortaya çıkan katkılar sıralanmaktadır. Tezin devamında yapılabilecek çalışmalara da değinilmiştir.

1.5. YAYINLAR

- I. Gokdag M.; Akbaba M., " A Novel PV Sub-module-Level Power-Balancing Topology for MPPT under Partial Shading and Mismatch Conditions." *Frontiers of Information Technology & Electronic Engineering*, in press (2016). [10.1631/FITEE.1500322]
- II. Gokdag M.; and Akbaba M., "Implementation of differential power processing concept to switched-capacitor topology for PV sub-module level power balancing," *2015 9th International Conference on Electrical and Electronics Engineering (ELECO)*, Bursa, Türkiye, 2015, pp. 660-664.
- III. Gokdag, M.; Akbaba, M., "A novel switched-capacitor topology for submodule level maximum power point tracking under partial shading and mismatch conditions," in *Modeling, Simulation, and Applied Optimization (ICMSAO), 2015 6th International Conference on*, vol., no., pp.1-5, İstanbul, Türkiye, 27-29 May 2015.

- IV. Gokdag, M.; Akbaba, M., "An active battery cell balancing topology without using external energy storage elements," in *Modeling, Simulation, and Applied Optimization (ICMSAO), 2015 6th International Conference on*, vol., no., pp.1-5, İstanbul, Türkiye, 27-29 May 2015.
- V. Gokdag, M., Akbaba, M., "Symmetric Ladder Connection Design Using Diffusion Charge Redistribution for Solar Cell-Level MPPT with Reduced Insertion Loss," *SOLARTR 2014 Conference & Exhibition*, İzmir, Türkiye, 19-21 Nov. (2014).
- VI. Gokdag, M.; Akbaba, M., "A simple-novel indirect algorithm for tracking maximum power under rapid or slow irradiation and temperature changes," in *Renewable Energy Research and Application (ICRERA), 2014 International Conference on*, vol., no., pp.680-683, Milwaukee, USA, 19-22 Oct. 2014.

BÖLÜM 2

LİTERATÜR - MPPT ÇALIŞMALARINA GENEL BAKIŞ

Bu bölümde ilk olarak fotovoltaik (photovoltaic, PV) panel karakteristiğinin radyasyon ve sıcaklığa bağlı olarak nasıl değiştiği incelenmiştir. İkinci olarak kısmi gölgelenme ve uyumsuzluk şartları altında birbirine seri bağlı hücre/panel-altı dizilerinin oluşturduğu çıkış güç karakteristiğinin nasıl etkilendiği incelenmiştir. Çıkış güç eğrisi üzerindeki negatif etkinin bir şekilde giderilmesi ile fotovoltaik sistemler için elde edilebilecek verim artışları belirtilmiştir. Bölüm, kısmi gölgelenme şartları altında MPPT çalışmaları ve devamında klasik MPPT çalışmaları ile ilgili literatür ile sonlandırılmıştır.

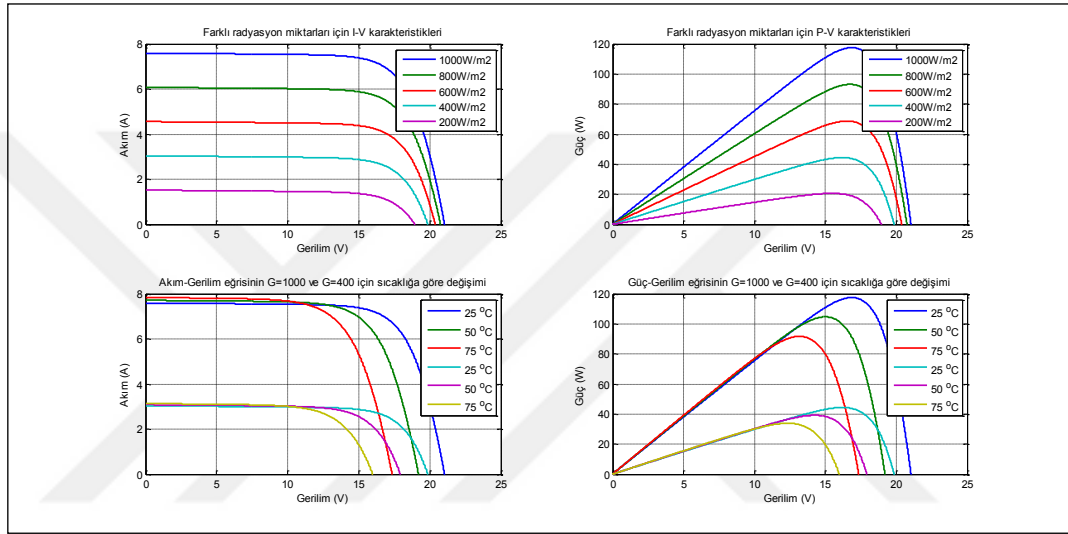
2.1. FOTOVOLTAİK MODÜL KARAKTERİSTİĞİ

Fotovoltaik panellerin çıkış güç karakteristiği atmosferik şartlar ile oldukça etkilenmektedir. Panelin bulunduğu ortam şartları bu şekilde değişkenlik gösterirken panel gücünün maksimum noktası da karakteristik üzerinde yer değiştirmektedir. Dolayısıyla paneli her zaman bu maksimum noktada tutacak MPPT metotlarına ihtiyaç duyulmaktadır. Güç karakteristiği farklı radyasyon ve sıcaklık altında ve kısmi gölgelenme altında olmak üzere iki başlıkta incelenecektir.

2.1.1. Farklı Işıma (G) ve Sıcaklık (T) Değerleri Altında

Bir PV sistemin performansı çalışma şartlarına bağlıdır. Hücre verimi sabit kabul edilerek, PV generatörden çıkarılan maksimum gücün güneş yoğunluğu, yük profili (yük empedansı), hücre sıcaklığı faktörlerine son derece bağlı olduğu söylenebilir [5]. Bir PV modülün sıcaklık (T) ve ışıma miktarı (G)'nin fonksiyonu olarak çıkış I-V ve P-V karakteristiklerinin değişimi Şekil 2.1'de gösterilmiştir. Sıcaklık değişiminin daha çok PV modül çıkış gerilimini, G değişiminin ise PV modül çıkış

akımını etkilediği açıkça görülmektedir. PV sistemler herhangi bir T ve G seviyesi için her zaman maksimum çıkış geriliminde çalışacak şekilde tasarlanmalıdır. Son olarak PV çıkış gücünü belirleyen diğer bir önemli parametre ise yükün empedansıdır. Bir PV generatör yüke doğrudan bağlandığında sistem yük doğrusu ile I-V karakteristiğinin kesiştiği noktada çalışır ki bu nokta çoğu zaman maksimum güç noktası değildir. Maksimum güç üretimi değişken atmosferik şartlar altında yük doğrusunun ayarlanması prensibine dayanır.

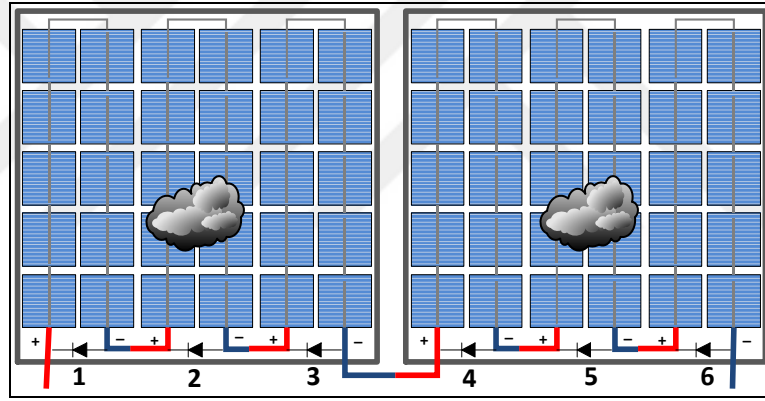


Şekil 2.1. G (üstte) ve sıcaklığın (altta) modül I-V (solda) ve P-V (sağda) karakteristiklerine etkisi.

2.1.2. Kısmi Gölgeleme ve Uyumsuzluk Şartları Altında

Yüksek gerilim invertörlerinin verimleri yüksek olduğu için PV hücreler/paneller seri bağlanarak yüksek gerilimler elde edilir. Böylece seri bağlı çok sayıda panel içeren dizinler oluşturulur. Kirşof akım kanunu gereği bu seri panellerin hepsinden aynı akım akacaktır. Herhangi bir sebeple, ki bu kısmi gölgeleme veya panellerin üretimi sırasındaki değişkenlikler ve eşit olmayan yaşlanma olabilir, panellerin aynı karakteristiği göstermediği durumlarda seri dizinin akımı en düşük akımı veren panel/hücre tarafından kısıtlanır. Böylece dizindeki gölgelemiş bir hücre seri olan iyi durumdaki gölgesiz diğer hücrelerdeki akımı azaltır ve gölgesiz hücrelerin çalışma noktasının daha yüksek gerilimlere kaymasına sebep olarak çoğunlukla gölgelemiş hücrenin ters yönde kutuplanmasına sebep olur. Bu durumdaki

gölgelenmiş hücre artık güç üreten değil güç tüketen bir yük elemanı olur. Bu güç tüketimi hücre üzerinde ısı olarak ortaya çıkar ve ilgili hücrenin bulunduğu yerlerde sıcak bölgelerin oluşmasına sebep olarak çeşitli bozulmalara yol açar. Panelin bu şekilde kalıcı olarak hasar görmesini engellemek için panelde bulunan hücreler genellikle 3 gruba ayrılarak Şekil 2.2’de gösterildiği gibi her bir “panel-altı gruba” baypas diyotlar eklenmiştir. Bu diyotlar kısmi gölgelenme durumunda aktif olarak, yük gibi davranan hücre dizinini basitçe baypas ederek hücrenin ısınarak zarar görmesini engeller. Bu fayda ile beraber, baypas işlemi kısmi gölgelenmiş hücre dizininin üretebileceği güçten doğrudan vazgeçilmesine ve böylece kaybolmasına sebep olur. Baypas diyotu kullanımı kısmi gölgelenme durumunda çoklu lokal maksimum içeren çıkış güç karakteristiğine sebep olur. Ayrıca baypas diyotlar aktif olduğunda 8 A’lik bir panelde diyot başına yaklaşık 4 W güç tüketimi yaşanır.



Şekil 2.2. Panel-altı seviyede gruplandırılmış hücreler (Baypas diyotlu seri bağlı 2 panel/6 panel-altı dizin).

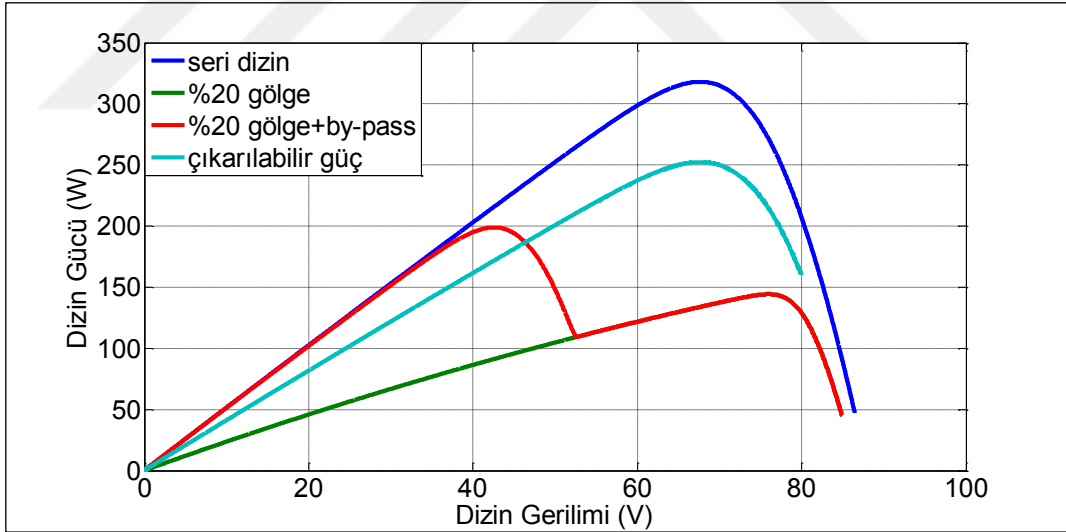
Kısmi gölgelenme veya uyumsuzluk sebebiyle akımdaki kısıtlama tüm dizinden çıkartılan gücü limitler. Böylece maksimum güç noktası kısmi gölgelenme oranından ve panel/hücreler arasındaki karakteristik uyumsuzluğun oranından daha fazla şekilde düşme gösterir. Bu durum Çizelge 2.1’de ve bu verilerin alındığı Şekil 2.3’te açıkça gözükmemektedir. Çizelge 2.1’e göre 6 adet seri bağlı panel-altı PV elemanın % 100 düzgün dağılımlı radyasyon altında maksimum gücü 318,06 W’tır. Bu seri dizindeki iki panel-altı hücre dizini %60 kısmi gölgelenmeye maruz kaldığında toplam gölgelenme oranı tüm dizinin gücünün % 20’sine tekabül etmektedir. Baypas diyotsuz dizin için maksimum güç noktası 144,26 W’tır. Yani % 20 gölgelenmeye

karşılık % 54,65'lik güç kaybı yaşanır. Baypas diyotlu dizin için global maksimum 198,93 W olup toplam dizin gücünün ancak % 62,54'ü çıkartılabilmektedir. Dizin toplamda % 20 gölgelendiği için dizindeki toplam mevcut güç 254,45 W'tır. Nihai olarak dizinde var olan ancak bir şekilde dış devreye alınamayan 55,52 W'lık güç olup bu tüm dizin gücünün % 17,45'ine tekabül eder. Dizin % 20 gölgelenmiş ancak güçteki kayıp % 37,45 olmuştur. Dolayısıyla seri bağlı panellerdeki tek bir hücre bile gölgelense tüm P-V karakteristiği Şekil 2.3'te gösterildiği gibi oldukça etkilenmektedir.

Çizelge 2.1. Kısmi gölgelenme altında güç kaybı.

Eşit radyasyon		% 20 Kısmi gölge* Baypas diyotsuz		%20 Kısmi gölge* Baypas diyotlu		Çıkarılabilir	
Güç (W)	%	Güç (W)	%	Güç (W)	%	Güç (W)	%
318,06	100	144,26	45,35	198,93	62,54	254,45	80

*6 adet panel-altı eleman içeren dizinde 2 tanesi (2. ve 5. sıradaki) % 60 gölgeli



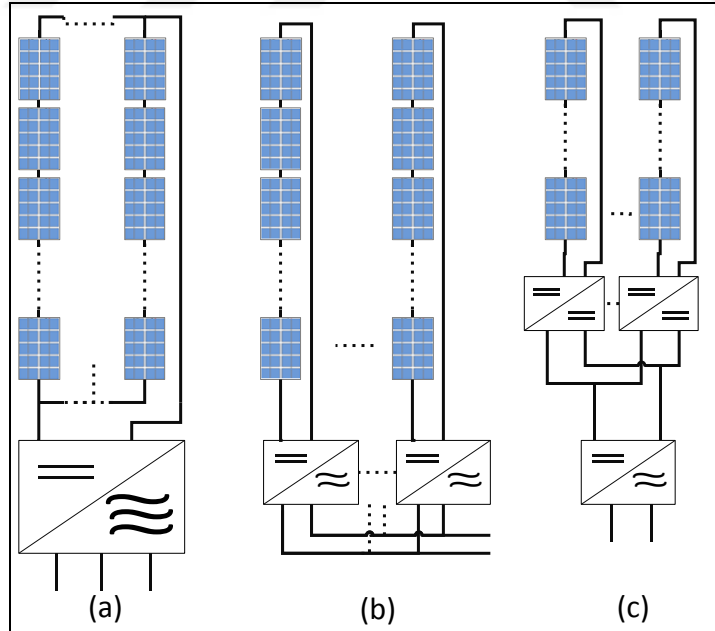
Şekil 2.3. Gölgeleme durumunda PV panel karakteristiği.

Neticede baypas diyotu kullanımı panelden çıkarılabilir gücü bir miktar artırmakla beraber, ortaya çıkan çoklu lokal maksimum içeren P-V veya P-I karakteristiği üzerinde global maksimumu bulacak algoritmalara da ihtiyaç olur. Bu da MPPT algoritmasında ekstra arama döngülerinin veya algoritmalarının eklenmesini gerektirir. Literatürdeki bir kısım çalışmalar bu global maksimumu bulmaya yöneliktir [6]. Ancak bu tezde bu algoritmalar incelenmemektedir. Bu tezde Şekil

2.3'te gösterilen, gölgeli durumda baypas diyotlu seri dizinde oluşan azaltılmış tepe değerli çoklu lokal maksimuma sahip güç eğrisini bir şekilde “çıkarılabilir güç” eğrisine çevirmeye odaklanılmıştır.

2.2. KISMİ GÖLGELENME VE UYUMSUZLUK DURUMUNDA MPPT ÇALIŞMALARI

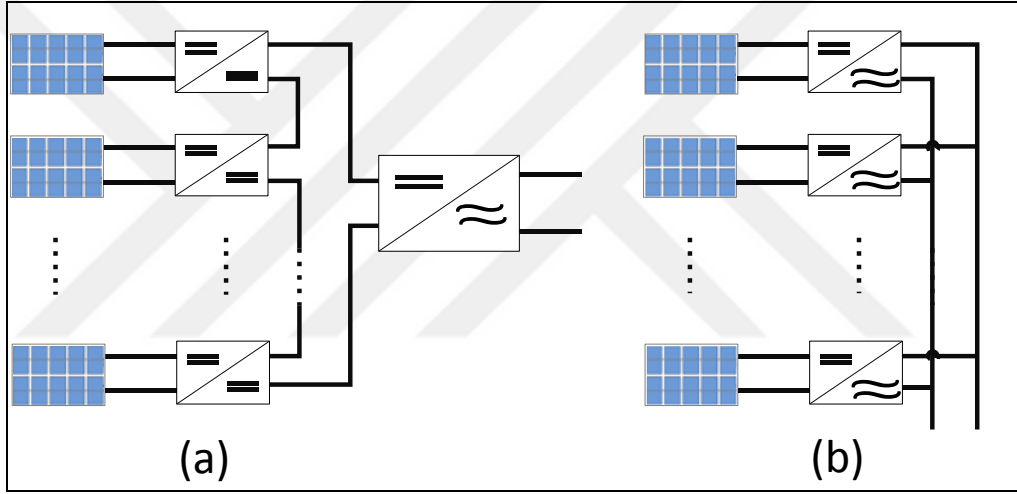
Bölüm 2.1.2’de izah edilen, kısmi gölgelenme altında ortaya çıkan azaltılmış tepe değerli güç karakteristiği PV enerji sistemlerinin verimlerini ve ekonomik hedeflerini negatif yönde etkileyen bir problemdir. Bu problem kısmi gölgelenme sorununun makroskobik seviyeden mikroskobik seviyeye doğru ele alınmasına sebep oldu. Bu amaçla ilk olarak, başlangıçta solar santral uygulamalarında sıklıkla yer verilen ve kısmi gölgelenmeden en çok etkilenen yaklaşım olan, Şekil 2.4a’da gösterilen merkezi inverterlerin yerini Şekil 2.4b’de gösterilen dizin inverterler aldı. Bu durumda belirli sayıdaki seri bağlı panel grubu için tek bir invertör kullanımı ortaya çıktı.



Şekil 2.4. Şebeke bağlı PV mimarileri a) Merkezi inverter, b) Dizin inverter, c) Çoklu-dizin inverter.

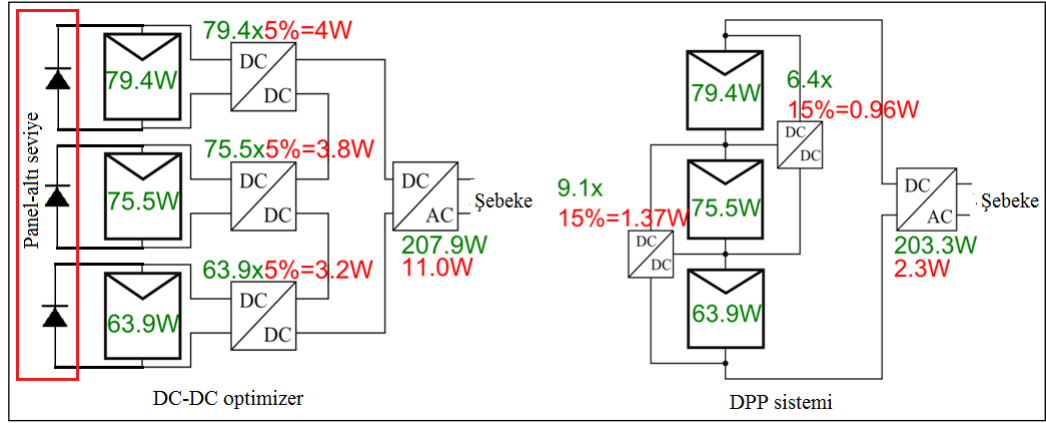
Teknolojik gelişmeler dizin invertörlere Şekil 2.4c’de gösterilen birbirinden bağımsız MPPT yapabilen 2-3 adet giriş yerleştirilmesini ortaya çıkardı. Ancak bu uygulamalarda da kısmi gölgelenme etkisinin sebep olduğu güç düşümleri için tam bir çözüm bulunamadı. Halen seri bağlı panellerdeki tek bir hücre bile gölgelense tüm P-V karakteristiği Şekil 2.3’te “kırmızı eğri” ile gösterildiği gibi oldukça etkilenmektedir. Bu durum ‘Dağıtılmış Maksimum Güç Noktası İzleme (DMPPT)’ olarak adlandırılan yeni bir grup PV mimarisinin ortaya çıkmasına sebep oldu. DMPPT her bir modülden bağımsız olarak maksimum güç çıkartılmasına müsaade ederek uyumsuzluk problemlerini elimine etmeye çalışır. DMPPT mimarileri de üç grupta sınıflandırılabilir. Şekil 2.5b’de gösterilen mikro-invertörler PV tarafından üretilen gücü doğrudan şebekeye verirler. Mikro-inverterler yüksek maliyetle birlikte, bağlı olduğu panel üzerindeki kısmi gölgelenme durumunda aynı problem ile karşı karşıya kalırlar. İkinci grup DMPPT’ler modüle entegre konvertörler (MIC) olarak bilinen DC optimize edicilerdir. Bunlar PV modülün hemen önüne bağlanır ve çıkışları seri bağlanmak suretiyle dizin oluşturulur. Bu mimaride MPPT modül bazında gerçekleştirilir ve neticede PV modüllerin farklı akımlarda dolayısıyla kendi MPP akımlarında çalışmasına olanak sağlanır. Böylece düşük performans veren modüller tüm dizini kısıtlamaz ve baypas edilmezler. Herbir modül tüm potansiyel gücü ile dizine katkı verir. Ancak tek bir modüle bağlı DC optimizer çözümü de panel-altı gruplar arasındaki uyumsuzluk durumunda aynı problemi yaşar. Bu sebeple herbir panel-altı birime bağlı DC-DC optimizer (Şekil 2.6b) çözümleri de geliştirilmiştir. Panel-altı seviyeden kasıt baypas diyotunun bağlı bulunduğu seri hücre dizisi gruplarıdır. Görüldüğü üzere şimdiye kadarki tüm çözümler problemi sadece daha mikroskobik boyutta ele almaya çalışarak, PV sistemler üzerinde giderek küçülen ölçekler üzerinde MPPT yapmaya yöneliktir. Böylece gölgelenme durumunda gölgeli panelin sistemin geri kalanında etkilediği birimlerin sayısı azaltılmıştır. Mikro-invertörler ve DC optimizerler uyumsuzluk durumundan bağımsız olarak bağlı olduğu ilgili PV birimin ürettiği bütün gücü işlediğinden ‘tüm gücü işleyen’ mimariler sınıfına girerler. Panel gücünün tamamını işleyen mikroinverterler ve DC-DC optimizerler yüksek verim zorunluluğunu beraberinde getirirler. Aksi takdirde tüm PV sistemin toplam verimini düşürürler. Şekil 2.6a’da panel-altı seviyede bağlı DC-DC optimizer çözümünün tüm gücü işleme dolayısıyla sebep olduğu kayıp konvertör verimi cinsinden şekil üzerinde nümerik olarak

örneklendi. Üçüncü grup DMPPT mimari sınıfı, ‘farksal güç işleyen’ veya ‘minimum güç işleyen’ mimariler olarak isimlendirilen ve sadece modüllerin çalışma noktasını dengeleyecek kadar, yani üretilen gücün sadece küçük bir parçasını işleyen DC-DC konvertörlerdir. Bu kategoriyi temsil eden bir örnek Şekil 2.6b’de gösterilmiş ve konvertör verimi cinsinden farksal gücü işlemenin avantajı nümerik olarak gösterilmiştir. Uyumsuzluk kayıpları PV modül akımları eşit olmadığında oluşur. Modüller arasındaki simetriyi restore ederek (düşük performans gösteren modüllere diğerlerinden enerji transfer ederek) bu kayıplardan kurtulunabilir. Bu çözümler genelde PV kaynaklı üretilen akımı dengeleyerek dizindeki simetriyi restore ederler [7].



Şekil 2.5. Panel seviyesinde PV mimarileri a) Kaskad bağlı DC optimizer, b) Mikro-invertör.

Şekil 2.6b’den görüleceği üzere araya eklenen DC-DC optimizerler sadece iki panel altı grup arasındaki farksal gücü işlediğinden konvertörün verimine bağlı olarak bu fark gücün belirli bir yüzdesi kayıptır. Ancak bu konvertörler panel-altı grubun ürettiği gücü her daim işlemiş olsalar (Şekil 2.6a) konvertörün verimine göre tüm gücün belirli bir yüzdesi kayıp olacaktır. Tüm gücün işlenmesinde yaşanacak kaybın farksal güç işlemedeki kayıptan aynı bağıl verimlilik koşulları için daha fazla olacağı aşıkardır. Şekil 2.6 üzerindeki nümerik örnek Çizelge 2.2’de özetlenmiştir. DPP konvertörün % 85 verime ve DC-DC optimizerin % 95 verime sahip olduğu kabulü ile DPP yaklaşımı için elde edilen toplam sistem veriminin daha yüksek olduğu görülmektedir.



Şekil 2.6. Panel-altı seviyede MPPT çözümleri, güç kaybı için nümerik örnek ile kıyaslama a) tüm gücü işleyen DC-DC optimizer çözümü, b) farksal gücü işleyen [8].

Çizelge 2.2. Farksal güç işleme konseptinin DC optimizer çözümüne kıyasla avantajının gösterilmesi [8].

Yaklaşım →	DC optimizer	DPP
Toplam panel-altı gücü [W]	218,8	218,8
İşlenen toplam güç [W]	218,8	15,5
Ortalama konvertör verimi [%]	% 95	% 85
DC katmanda güç kaybı [W]	11,0	2,3
DC katman dönüşüm verimi [%]	% 95	% 98,9

Yukarıda bahsedilen PV mimarileri için verim kıyaslaması Çizelge 2.3'te verilmiştir [9]. Çizelgedeki veriler paneller arasında % ±1,5 üretim farklılığı bulunduğunu ve bu sebeple kablo ve konnektör kayıpları hariç % 3,5'luk bir kaybın söz konusu olduğundan hareketle analiz edilerek elde edilmiştir.

Çizelge 2.3. Farklı PV mimarileri için düzgün dağılımlı radyasyon altında elde edilebilecek verimler [9].

Özellik	Merkezi İnverter	Mikroinverter	DC optimizer	DPP
Uyumsuzluk sebebiyle çıkarılabilir STC güç oranı	% 96,5	% 100	% 100	% 100
Ara güç katı kayıpları	yok	yok	% 2	% 10 X % 3,5=% 0,35
İnverter Kayıpları	% 2	% 4	% 1	% 1
Şebekeye basılabilen güç oranı (STC'ye göre)	% 94,5	% 96	% 97	% 98,65

Netice olarak farksal güç işleme mimarileri PV hücrelerin dizinindeki uyumsuzluğu azaltmak için ilave kayıplara sebep olmamak kaydıyla düşük nominal güçlerde çalışan DC-DC konvertörler içerirler. Böylece seri bağlı PV hücrelerin uyumsuzluğu sebebiyle oluşan mevcut güç kaybının bir kısmı geri kazanılabilir. Bu uyumsuzluklar üretim toleransları, kısmi gölgelenme, modül yüzeylerinde kirlenme, yaşlanma vs. etkilerden kaynaklanabilir. Farksal güç işleme mimarilerinde yaşanan son gelişmeler [4,10,11] tüm gücü işleyen çözümlere [12,13] kıyasla bu yaklaşımın avantajlarını kanıtlamıştır. Bu avantajlar (i) ilave kayıp olmaması ki artırılmış verim sağlar, (ii) azaltılmış güç ve gerilim değerleri ki maliyeti azaltır, (iii) esneklik ve modülerlik ve (iv) dizin seviyesinde daha dar MPP gerilim aralığı olarak sıralanabilir [14].

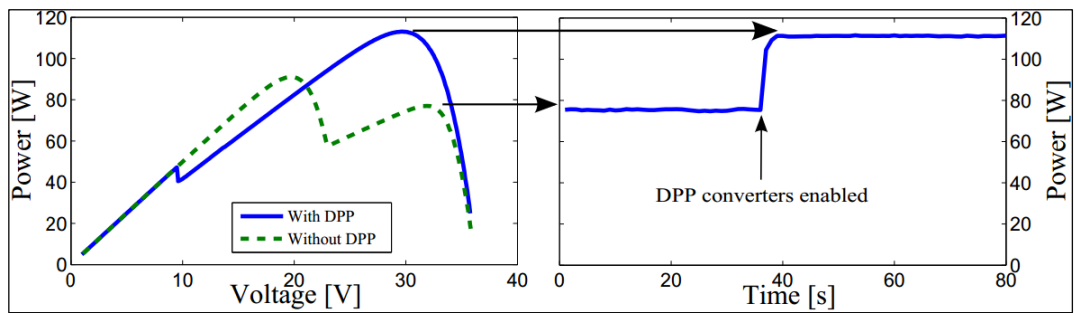
DMPPT Yaklaşımlarının Sağladığı Performans Artışı

Dizin-altı seviyede DMMPT ve güç dönüşümü icra eden güç optimize edicilerin, şebeke bağlı dizinlerde düzgün dağılımlı olmayan çalışma şartları sebebiyle oluşan kayıpları önlemekle elde edilebilecek potansiyel enerji artışları DMPPT teknolojilerinin önemini vurgulamak açısından önemli bir parametredir. Literatürde geliştirilen bir yazılımla yapılan yıllık bazlı simülasyon sonuçlarına göre; güç optimize edicileri kullanarak gölgesiz durumlarda yıllık enerji kazancı $< \% 1$ civarlarında iken, gölgeli durumlardaki yıllık enerji kazancı ise panel seviyesinde DMPPT ile $\% 3-16$ arasında ve hücre seviyesinde DMPPT ile $\% 7-30$ arasında rapor edilmiştir. Simüle edilen durumlar için panel seviyesinde güç optimizasyonu ile kısmi gölgelenmede kayıp olan enerjinin $\% 34-42$ 'si geri kazanılabilir [15]. Bir başka çalışmada DC-DC optimizasyonunun geleneksel dizin mimarisine kıyasla toplanan enerji miktarını potansiyel olarak $\% 30-45$ 'ler mertebesinde artırdığı belirtilmiştir [7]. Bir başka çalışmada kısmi gölgelenme sebebiyle oluşan kayıpları tahmin edebilmek üzere, 542 adet PV sistem için modül seviyesinde performans verisi ölçümü yapılarak şunlar rapor edilmiştir [16]. Kısmi gölgelenme sebebiyle ortalama güç kaybı $\% 8,3$ olup, bu değer modül seviyesinde DC-DC optimizasyon kullanılmasıyla $\% 13$ 'e çıkacaktı. Kısmi gölgelenmeden kaynaklı güç kaybının ortalama $\% 36$ 'sının modül seviyesinde güç elektroniği kullanımı sayesinde geri kazanılabildiğini tahmin ettiklerini belirtmişlerdir. Bir başka çalışmada meskun

mahallerde binalara monte PV sistemler için farklı gölgelenme şartları altında çalışan dizinlerde test edilen durumlar için DC-DC optimizasyonların kullanılmasıyla yıllık enerji üretiminin % 5-10 arasında artırıldığını belirtmişlerdir [17].

Farksal Güç İşleme Üzerine Önceki Çalışmalar

Panel-altı seviyede farksal güç işleme gerçekleştirebilen farklı topolojilerde çözümler geliştirildi. Bu çözümlerin çoğu batarya hücrelerini dengelemek için kullanılan topolojilerin PV güç dengeleme sistemlerine uygulanmış halleridir. Bu topolojilerdeki temel yaklaşım komşu seri panel-altı gruplar arasında kısmi gölgelenme ve uyumsuzluk sebebiyle oluşan farksal akım için güç elektroniği devreleri kullanarak ekstra bir akım yolu sağlarken her bir seri bağlı panel-altı birimin çalışma gerilimlerini eşitlemek (yakın MPPT) veya birbirinden bağımsız olarak herbirini kendi MPP geriliminde (gerçek MPPT) çalıştırmaktır. Bu çalışma şartı panel-altı birimler arasında enerji transferi ile gerçekleşir ve buda tüm birimleri aynı veya kendi çalışma gerilimine getirir. Bu kollektif çalışma Şekil 2.7'de gösterildiği gibi konveks olmayan çıkış gücü karakteristik eğrisini artırılmış tepe değeri ile konveks hale getirir. Bu işlemi yaparken net güç kazancının pozitif olmasını sağlayacak topolojiler kullanmak esastır. Bu nedenle farksal gücü işlemeye müsaade eden topolojiler minimum kayıba sebep oldukları için toplam verimi artırır.

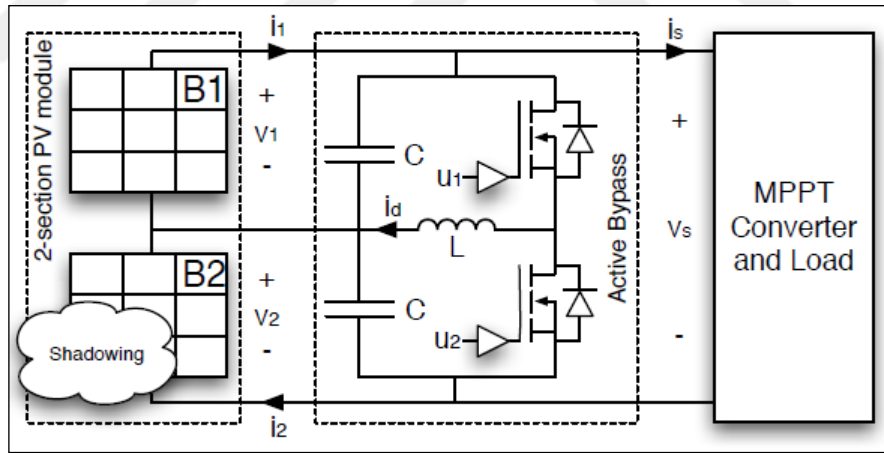


Şekil 2.7. Farksal Güç İşleme ile panel-altı gruplar arasında enerji transferi ile konveks hale gelen çıkış gücü karakteristiği [8].

Aşağıda özetlenen çalışmalar bir baypas diyota bağlı seri hücre grupları için farksal güç işleme bağlamında çözümler üreten topolojilerdir. Önerdiğimiz çözüm bu

kapsamda değerlendirilebileceğinden sadece buna ilişkin çalışmalar bu bölüme konulmuştur.

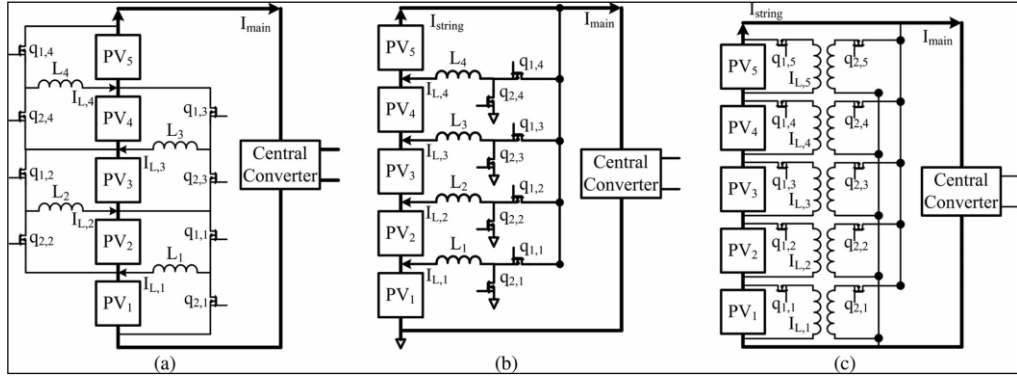
Giral ve diğerleri Şekil 2.8’de kısmi gölgelenme için panel altı seviyede geleneksel baypas diyotları yerine akım kontrollü çift yönlü buck-boost topolojisi önermişlerdir [18]. Bu çalışmada panel-altı birimlerde eşit gerilim paylaşımı sağlanmış ve tek bir maksimum noktası içeren konveks güç eğrisi elde edilmiştir. Bazı gölgelenme durumları için baypas diyotlu duruma kıyasla % 40’a varan güç artışından söz edilmiştir. Anahtarlama ve devre işleyişi sebebiyle ortaya çıkan ilave kayıpları önlemek için gölgesiz durumlarda konvertör durdurulur. Önerilen yaklaşımı kapalı döngü kontrolü ile gerçekleştirmek için akım ölçümüne ihtiyaç duyulur. Kapalı döngü kontrolde görev periyotları (duty cycle, D) ayarlanarak her bir PV eleman için bağımsız MPPT yapılabilir. Topoloji herhangi bir geri besleme olmaksızın açık döngü kontrole izin vererek gerilim eşitleme yaklaşımı ile de çalıştırılabilir. Çalışmada dizin seviyesinde uygulamadan söz edilmemiştir.



Şekil 2.8. Panel-altı seviyede önerilen topoloji [18].

Shenoy ve diğerleri yaptıkları bir dizi çalışmada Şekil 2.9’deki topolojileri incelemişler ve bunların avantaj ve dezavantajlarını farklı yönleriyle ortaya koymaya çalışmışlardır. Her PV birimi birbirinden bağımsız kendi maksimumunda çalışmasına müsaade edecek güç işleme mimarisi önermişlerdir [9]. Bunuda seri bağlı PV elemanların MPP akımlarındaki farkı işlemek suretiyle gerçekleştirmişlerdir. PV-PV mimarisinde DPP konvertör olarak görevlendirilen çift yönlü buck-boost topoloji

(Şekil 2.9a) için akım ve gerilim ölçümü gerektiren lokal kontrol stratejisi geliştirilmiştir. Lokal kontrolör üzerinde çalışan temel bir karıştır-gözle algoritması uygun D değerini bularak her bir PV elemanın gücünü maksimize etmeye çalışır. Bu arada farksal konvertörün akımı yük akışını dengelemek için sistem ihtiyacını takip eder. Bu akımın ortalama değeri sıfıra yakınsa konvertör basitçe pasifize edilerek enerji tasarrufu sağlanır. Şekil 2.9a ile önerdikleri kontrol algoritması ile ‘gerçek MPPT’ yaptıklarını belirtmişlerdir [10]. Şekil 2.9’daki farksal güç işleme topolojilerini analiz etmişler ve Monte Carlo simülasyonu ile kıyaslamışlardır. Literatürde gerilim eşitleme tekniği ile çalışanların ‘yakın MPPT’ yaptığını belirtmişlerdir. Şekil 2.9b’deki konvertörde kullanılan anahtarların bara gerilimini bloke edebilecek yüksek güç aralığında olması gerektiğini, Şekil 2.9a’da kullanılan anahtarların yaklaşık olarak PV elemanın maksimum geriliminin iki katı olacak şekilde seçilmesi gerektiğini belirtmişlerdir. Önerdikleri lokal kontrol algoritmasında tüm konvertörler için tek bir zamanda tek bir optimum D değeri vardır. Ancak bir konvertördeki indüktans akımı diğer konvertördeki indüktans akımını etkilemektedir. Bu durumda optimum D değerine yaklaşmak iteratif işlemler gerektirebilir ve hatta değişken atmosferik şartlarda optimum değer hiçbir zaman bulunamayabilir. Şekil 2.9b’deki çift yönlü buck-boost topolojide anahtarlar baraya ve toprağa bağlıdır. Bu topolojide indüktans akımları birbirinden bağımsız olup sadece komşu PV elemanların akım farkını taşır. Belirli şartlar için bir önceki topolojiye kıyasla daha çok güç işler. Şekil 2.9c’de PV-bara mimarisi izole konvertörler ile gerçekleştirilmiştir. Yaptıkları simülasyon çalışmalarına göre en fazla gücü PV-bara buck boost topolojisi işlediği için verimi en düşük ve en az gücü PV-bara flyback topolojisi işlediği için en yüksek verime sahiptir. Deneysel doğrulama amacı ile ürettikleri prototip için % 95 verim elde etmişlerdir. Deneysel sonuçlarda % 5 kısmi gölgelenme için % 50 daha fazla enerji toplanmıştır [10]. Şekil 2.9b ve c’deki topolojiler dizin boyunca PV elemanları seri bağlayan kablo hariç iki kabloya daha ihtiyaç duyar ki buda I^2R kayıplarını ve maliyeti artırır. Yapılan bir diğer çalışmada Şekil 2.9’daki DPP mimarilerini ve bunlara ilişkin lokal kontrol yöntemlerini analiz eder. Örnek bir durum için bu mimarileri birbirleri ile, klasik seri dizin ve kaskad bağlı DC-DC konvertör çözümü ile Çizelge 2.4 üzerinde kıyaslar. Flyback topoloji kullanan PV-bara mimarisinin diğerlerine kıyasla en az güç işlemeyi başardığını ve sonuç olarak en yüksek güç kazancı ile çalıştığını göstermiştir [19].



Şekil 2.9. Buck-boost topoloji kullanarak farksal güç konvertörleri a) Panelden-panele (PV-PV), b) Panel-ana bara arasında. c) Panel-ana bara arası Flyback farksal arayüzü [10].

Çizelge 2.4. Önerilen topolojiler için verim karşılaştırması [19].

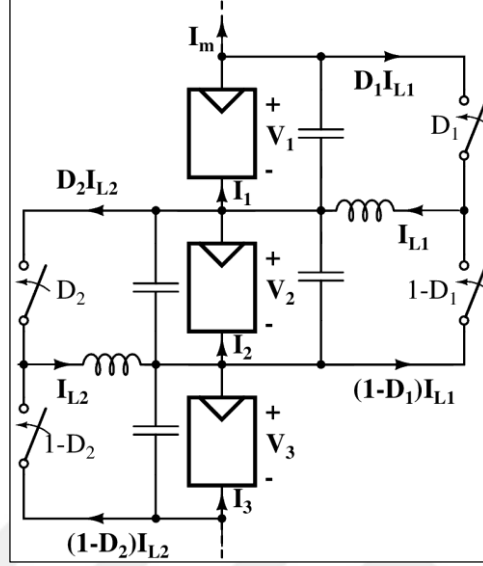
İşima	Seri Dizin		Kaskad DC Konv		FV-FV		FV-Bara(n-1 bu-bo)		FV-Bara (n flyback)	
	Çıkış	İşlenen	Çıkış	İşlenen	Çıkış	İşlenen	Çıkış	İşlenen	Çıkış	İşlenen
Eş	% 100	% 0	% 95	% 100	% 100	% 0	% 100	% 0	% 100	% 0
Alt gölgeli	% 94,3	% 0	% 95	% 100	% 97,4	% 52,2	% 99,7	% 5,8	% 99,7	% 5,8
Orta gölgeli	% 94,3	% 0	% 95	% 100	% 98,6	% 28,0	% 97,2	% 53,7	% 99,7	% 5,8
Üst gölgeli	% 94,3	% 0	% 95	% 100	% 97,4	% 52,2	% 97,6	% 47,8	% 99,7	% 5,8

Kim ve diğerleri Monte Carlo simülasyonu ile maksimum güç noktasındaki akımın çıkış gücündeki varyansının etkisini modelleyerek panel gücüne kıyasla % 5, % 10 ve % 15 nominal güce sahip PV-PV ve PV-Bara DPP mimarilerini baypas diyotlu ve diyotsuz seri dizinlere kıyasla incelemişlerdir [20]. Panel gücünün % 10-20 civarında boyutlandırılmış konvertörler ile her iki DPP mimarisinin 25 yıllık kullanım süresi boyunca paneller arasındaki farkları kompanse edebileceğini belirtmişlerdir. Fly-back topolojiyi PV-bara mimarisinde ve buck-boost topolojiyi PV-PV mimarisinde kullanmışlardır. PV-bara mimarisi daha az güç işlediğinden daha düşük güçlerde tasarlanmaya imkan verirken, kullanılacak anahtarlar toplam bara gerilimine maruz kaldığından uygulamada maliyeti artırır ve bir hata durumunda kısa devre sebebiyle tüm dizin devre dışı kalabilir. Bu nedenle uzun dizinler için PV-PV mimarisi hem daha güvenli hem daha ekonomik olabilir.

Qin ve diğerleri senkron buck-boost topolojiyi (Şekil 2.10) DPP konvertör olarak kullanmışlardır. Gerilim eşitlemeden ziyade her bir PV birimi bağımsız olarak maksimum güç noktasında çalıştırabilmek için gerilim geri beslemeli kontrol

önermişlerdir. Dikkat edilecek olursa Şekil 2.9a'daki topoloji ile aynı olup sadece gerilim geri beslemeli bir lokal kontrol algoritması geliştirilmiştir. Kontrol stratejisi herbir DPP konvertörün bağlı olduğu panel-altı PV birimin maksimum gücünü takip etmeye izin verecek şekilde tasarlanmıştır. Kontrol stratejisi geçici olarak sabitlenmiş bir dizin akımı için dizin gerilimini maksimize edecek uygun görev periyodunu iki boyutlu bir yüzey üzerinde arar. Bu yüzey üzerinde tek bir maksimum gerilim değeri vardır. Bu stratejiyi uygulayabilmek için dizin gerilimi bilgisi herbir DPP konvertör tarafından bilinmelidir. Bu yüzden haberleşme arayüzüne ihtiyaç vardır. Merkezi inverterde çalışan karıştır-gözle MPPT algoritması bir önceki döngüde geçici olarak sabitlenmiş dizin akımını 'yavaş' bir döngüde tedricen maksimum noktaya doğru taşırken herbir lokal DPP kontrolör 'hızlı' bir döngüde dizin gerilimini maksimize edecek görev periyotlarını ayarlar. Önerdikleri MPPT kontrol algoritması için minimum haberleşme gereksinimi sağladıklarını ve lokal DPP kontrolörde akım ölçümünü elimine ettiklerini söylemektedirler. Ancak bu paragrafta özetlendiği üzere kontrol algoritması tüm DPP'ler arasında haberleşmeye ihtiyaç duymaktadır. Ayrıca komşu DPP birimlerinin indüktans akımları birbirini etkilediği için uzun dizinlerde optimum D değerlerini bulmak iteratif işlemler gerektirir ve belkide bazı atmosferik şartlar için hiçbir zaman optimuma yakınsamayabilir. Neticede kontrol algoritması daha kompleks hale gelecek ve modül sayısı arttıkça yavaşlayacaktır. 'gerçek MPPT' yaptıklarını literatürdeki diğer gerilim eşitleme tekniklerinin ise 'yakın MPPT' yaptıklarını belirtmişlerdir. Diğer bir çalışmalarında kontrol algoritmasını sadece komşu panellerin gerilim bilgisine ihtiyaç duyacak şekilde güncellemişlerdir [21]. Ancak yinede tüm dizin boyunca bir haberleşme arayüzü gerekliliği vardır. Yine bu çalışmada 3 ve 6 panel-altı PV eleman içeren dizin için kontrol algoritmalarını test etmişlerdir. 2 DPP konvertör söz konusu olduğunda optimum görev periyotlarını bulmak yaklaşık 200 iterasyon gerektirirken, 5 DPP konvertör için 500 iterasyon gerektirir. Sistemin daha uzun dizinler için ölçeklenebilir olduğunu göstermek için 32 panel-altı grup yani 31 DPP konvertör için yaptıkları simülasyon çalışmasında optimum görev periyotları yaklaşık 5000 iterasyon sürmüştür. Yazarlar bu iterasyon süresinin ne kadar olduğunu belirtmemişlerdir. PV modüller üzerindeki kısmi gölgelenme oranı ve deseni bu iterasyon sürekli hale gelmeden değişirse iddia ettikleri 'true MPPT' yapılamıyacak ve MPPT noktasına ulaşmadan nokta

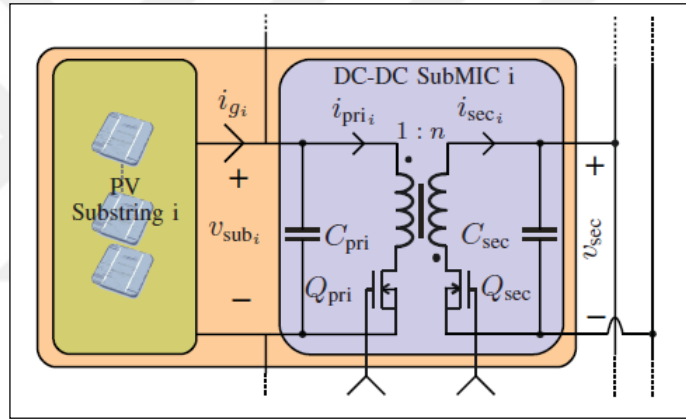
değişecektir. Ayrıca önerdikleri metodun gereksiniminden ortaya çıkan kontrol kompleksliği ve maliyet yüksek olarak kalacaktır [8,21,22].



Şekil 2.10. PV-PV buck-boost topoloji [21].

Olalla ve diğerleri çalışmasında panel-altı birimlerin gerilimini dengelemek için akım enjekte etme veya akım çekme kabiliyeti olan çift yönlü Flyback konvertör kullanmışlardır (Şekil 2.11). Bu bağlantı şeması için panel-altı güç birimleri arasında haberleşmeye veya merkezi bir kontrolöre gerek duymayan otonom şekilde panel-altı birimlerde enerji dengesini sağlayan dağıtılmış kontrol yaklaşımı önermişlerdir. Dağıtılmış kontrol yaklaşımı daha önceki çalışmalardan farklı olarak sekonder tarafları modül çıkışı veya ana-bara ile birleştirmeyip sadece panel-altı birimleri kendi aralarında paralel bağlanmasına müsaade etmiştir. Bu bağlantı şeması işlenen farksal güç miktarını daha da azaltmıştır. Ayrıca donanımsal açıdan flyback konvertördeki trafonun boyutlandırmasını panel gerilim seviyesinden ve dönüştürme oranını modüldeki panel-altı birim sayısından bağımsız hale getirir. Örneğin 1:1 trafo kullanılabilir. Paneller arası uyumsuzluk söz konusu olmadığında basitçe konvertörlerin çalışması durdurulur ve bu birimlerin sebep olduğu güç kaybından kurtulur. Önerilen topoloji dizin seviyesine uzatılabilir olmakla beraber trafo sekonderlerinin dizin boyunca paralel bağlanması dengeleme yolu üzerinde diğer metotlara kıyasla 2 birim kablo kullanılmasına sebep olur. Bu da DC kablolama kayıplarını ve maliyeti artırır. 3 panel-altı gruptan oluşan 180 Wp'lık bir panel

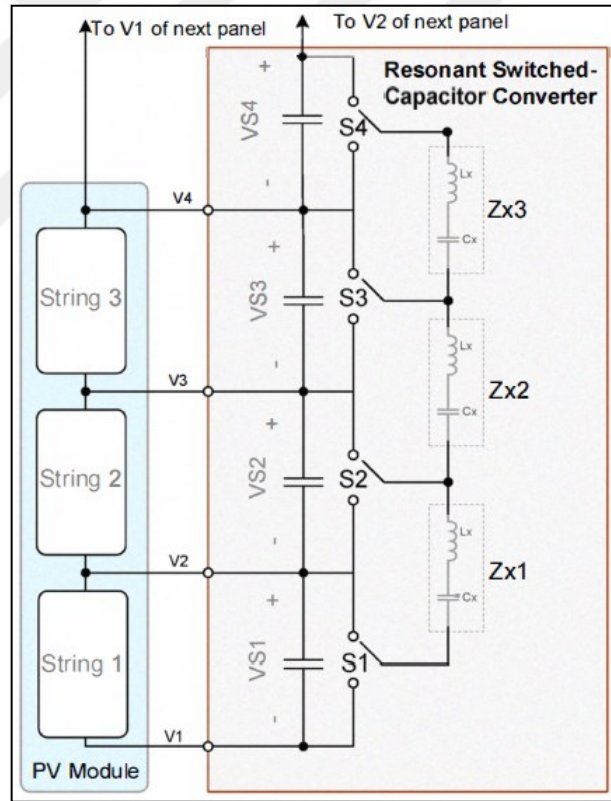
üzerinde yaptıkları çalışmada ürettikleri prototip devre için geniş bir çalışma aralığında % 90 verim belirtmişlerdir. % 25'den az uyumsuzluk durumları için modül seviyesinde % 98 güç işleme verimi olduğunu rapor etmişlerdir. Farklı deneysel şartlar için verim testleri yapmışlardır. Örneğin bir panel-altı grup % 75 gölgelendiğinde (panel maksimum güç gerilimini % 10 azaltıyor) mevcut gücün % 0,93'lük bir kayıp ile çıkarılabildiğini rapor etmişlerdir. % 40 toplam gölgenme olan bir durum için çıkarılabilir güç miktarını % 95,6 olarak rapor etmişlerdir. Gölgesiz durum için herhangi bir güç işleme olmadığından % 99,5 verimden bahsetmektedirler. Dağıtılmış güç elektroniği arayüzü kullanarak yıllık enerji miktarında klasik merkezi inverter çözümüne kıyasla % 6,9-11,1 oranlarda artıştan söz etmişlerdir [11,14,24–28].



Şekil 2.11. PV-PV çift yönlü fly-back konvertör [14].

Statuth ve diğerleri Şekil 2.12'de gösterilen paralel merdiven konfigürasyonunda çalıştırılan anahtarlama rezonans kapasitör konvertörler ile panel-altı seviyede güç dengeleme yapmışlar ve toplanan enerji miktarını artırmaya çalışmışlardır. Geliştirdikleri yaklaşım gerilim eşitleme stratejisine dayandığı için öncelikle akımdaki ve sıcaklıktaki değişime karşılık maksimum güç geriliminin değişimini incelemişlerdir. Bu durumda gerilim eşitleme yaklaşımı ile toplam mevcut gücün ne kadarının çıkartılabileceğini çalışmışlardır. ± 10 °C dereceye kadar termal farklılık durumunda gerilim eşitleme stratejisini mümkün gücün % 98'ini çıkartabildiğini, geniş bir akım değişim aralığında ise çıkartılabilen güç miktarının % 99'un üzerinde kaldığını rapor etmişlerdir. Önerdikleri metotta dengeleme yolu için bir birim kablo daha kullanarak dizin seviyesine uzatılabilmektedir. Dizinde uyumsuzluk ve

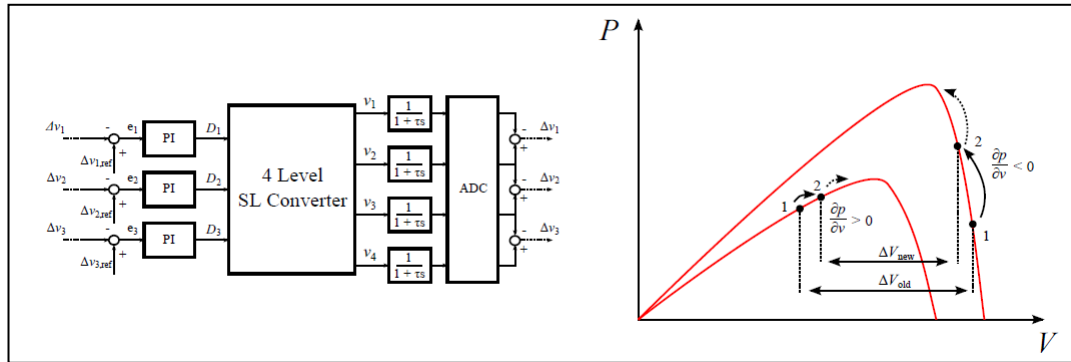
gölgeleme olmadığında konvertörler kapatılarak ilave kayıplar önlenebilmektedir. Ölçüm sonuçları ile % 40'a kadar gölgeleme durumları için etkin dönüştürme oranı % 99 ve % 0,1 ilave kayıp olduğu rapor edilmiştir. Rezonans çalışma için devre yolu üzerinde ki döngü (loop) indüktansından faydalanmışlardır. Böylece manyetik elemanlar ve parazitik kayıplar devre dışı edilmiştir. Anahtarlama rezonans kapasitör konvertörün aynı bağıl şartlar altında anahtarlama kapasitör konvertöre kıyasla daha düşük frekanslarda aynı performansı (etkin direnç daha düşük) verdiğini kayıp analizlerinden yola çıkarak belirtmişlerdir. Bu nedenle anahtarlama kayıplarının azalacağını ve daha yüksek güç dönüşüm oranı verebileceklerini belirtmişlerdir. Uyumsuzluk olmayan durum için ilave kaybı % 0,06 olarak belirtmişlerdir. Gölgelemeye maruz kalmayan bir durum için bile 9 aylık saha testlerinde % 5-7 daha fazla enerji çıkarılabildiği söylenmiştir [4,29–31].



Şekil 2.12. Anahtarlama kapasitör içeren merdiven konvertör yapısı [4].

Schaef ve diğerleri merdiven tipi topolojilerin hem değişken dönüşüm oranlı (manyetik tabanlı) hem de sabit dönüşüm oranlı (anahtarlama kapasitör tabanlı) mimariler olarak kullanılabileceğini belirtmişlerdir [32]. Bunların herbiri

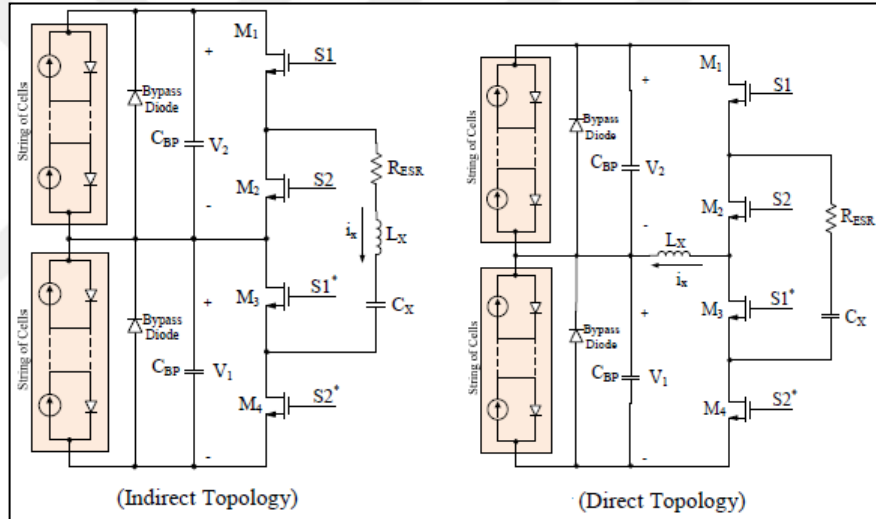
uyumsuzluk sorununu çözmek için etkin olduğu gösterilen gerilim dengeleme fonksiyonunu yerine getirmek ile beraber değişken dönüşüm oranlı (manyetik tabanlı) mimariler çok seviyeli (yani her bir PV panel-altı birim için ayrı ayrı) MPPT yapabilme avantajına sahiptir. Buradan hareketle Şekil 2.9a'da gösterilen anahtarlamalı indüktans topolojisi için çok girişli ve çok çıkışlı maksimum güç takip algoritması ve lokal bir kontrol şeması önermişlerdir (Şekil 2.13). Önerdikleri yaklaşım ile 300 adet panel-altı birim içeren dizin için bile 20 karıştır-gözle döngüsü ile global optimuma ulaşıldığını belirtmişlerdir [33]. Bu metot komşu PV birimlerin gerilim farklarını kontrol değişkeni olarak almıştır. Önerdikleri kontrol algoritmasına göre, uygun görev periyotları eş-zamanlı bulunarak her bir PV birim için maksimum güç noktası üzerinde kalınmaya çalışılır. Her bir güç katı için akım-gerilim ölçümüne, güç hesabı üzerinden bir sonraki döngüye karar verileceğinden mikrodenetleyici tarzı programlanabilir bir donanıma ihtiyaç duyar. Önerdikleri metot merkezi bir kontrol tekniği veya çalışmak için global bir haberleşmeye ihtiyaç duymaz. Sadece komşu birimlerin birbiri ile haberleşmesi yeterlidir. 245 W_P'lik ticari paneller üzerinde yaptıkları testlerde 2,5 A'ye kadar olan farksal akım şartları için verimi >% 98 olarak rapor etmişlerdir [34].



Şekil 2.13. Merdiven tipi PV-PV buck boost topoloji için çok seviyeli MPPT kontrolör [33].

Sangwan ve diğerleri rezonans anahtarlamalı kapasitör konvertör için 'direkt topoloji' olarak isimlendirilen Şekil 2.14'de gösterilen topolojiyi önermişlerdir. Önerilen bu topoloji için çıkış empedansı, iletim kayıpları ve etkin direnç perspektiflerinden 'dolaylı (indirect) topoloji' ile aynı performansı verdiği belirtilmiştir. Önerilen topoloji için akımın tek yönlü (tam dalga doğrultulmuş

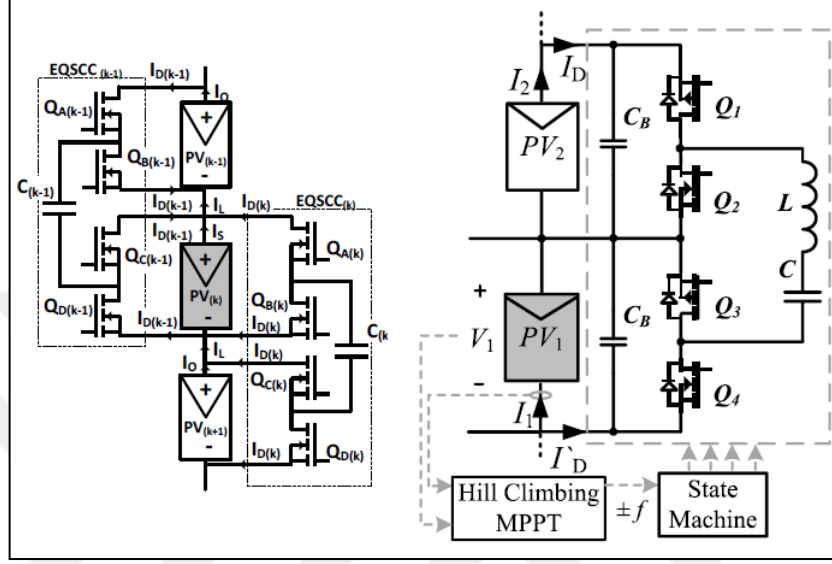
sinüsoidal) olması sayesinde deri etkisi (skin effect) olayı ile etkin seri direncin daha düşük olabileceği bakımından avantajı vardır. $240 W_p$ 'lik paneller üzerinde yapılan testlerde % 30'a kadar ki uyumsuzluk durumları için etkin dönüşüm oranı % 99'un üzerinde kaldığı belirtilmiştir. Çalışmalarında aşağıdaki argümanları esas almışlardır. Anahtarlama kapasitör ve rezonans anahtarlama kapasitör topolojileri gibi sabit dönüşüm oranlı (gerilim eşitleme yaklaşımına dayanan) topolojilerin kullanımının düşük anahtarlama kaybı ve daha küçük boyutlu eleman gereksinimi gibi avantajları beraberinde getirir. Bu avantajda anahtarlama kapasitör emsallerine kıyasla daha yüksek güç yoğunluklu konvertörlerin tasarımına müsaade etmektedir. Yüksek verim, düşük maliyet küçük form faktörü bu yaklaşımları PV uygulamaları için çekici hale getirir [35].



Şekil 2.14. Rezonans anahtarlama kapasitör konvertör topolojileri [35].

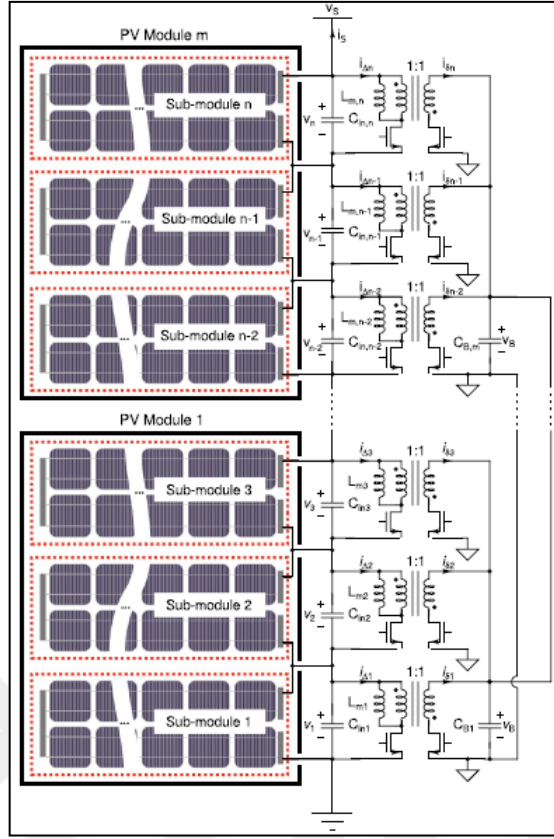
Yaakov ve diğerleri Şekil 2.15'teki anahtarlama kapasitör konvertör devresini önermişlerdir. Şekil 2.12'de gösterilen çalışmadan farklı olarak anahtar sayısı artırılarak kapasitelerin asenkron biçimde anahtarlama müsaade eden yapı oluşturulmuştur [36]. Devre yolu döngü indüktansından yararlanarak rezonans frekansta anahtarlama yapılarak kayıplar minimize edilmeye çalışılmıştır. Sonraki bir çalışmada önerilen topolojiye lokal MPPT yeteneği eklenmiştir [37]. Boyut olarak küçültülmüş yeni konvertör devresi gerilim bağımlı akım kaynağı gibi çalışır ve ölü zaman veya frekans kontrolü gerçekleştirilir. Frekans ile komşu PV elemanlar arasındaki farksal akımı kontrol etmişlerdir. Amaçları gerilim eşitlemekten ziyade

rezonans tank üzerindeki gerilim düşümünü komşu FV'lerin maksimum gerilim değerleri arasındaki farka eşitleyerek her bir PV birimi kendi MPPT noktaları üzerinde çalıştırmaktadır. 150 W_P'lik prototip üzerinde yapılan çalışmalarda mevcut gücün % 99'unu çıkartabildiklerini rapor etmişlerdir.



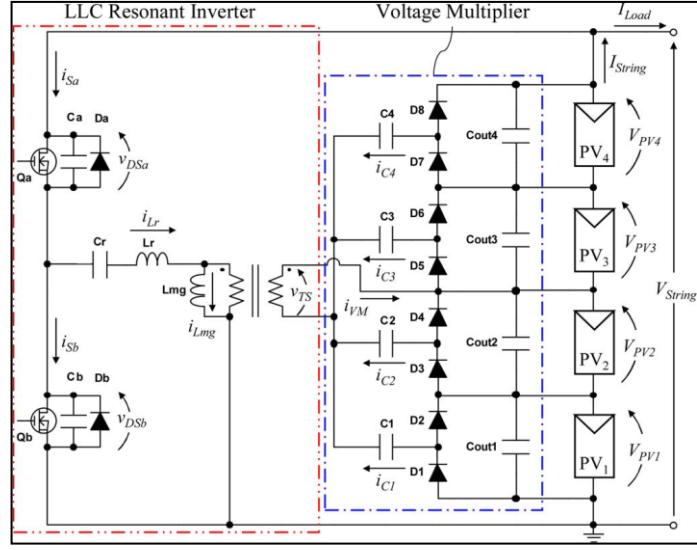
Şekil 2.15. Asenkron anahtarlama kapasitör konvertör topolojisi ve bağımsız MPPT için kontrol şeması [37].

Bell ve diğerleri merdiven tipinde yapılandırılan PV'den PV'ye mimariler olan azaltan-artıran ve rezonans anahtarlama kapasitör konvertörlere göre daha az güç işleyeceğini ve dolayısıyla daha verimli olacağını öngördüğü, sekonder tarafına sanal-bara bağlanmasına izin veren flyback (Şekil 2.16) topolojiyi DPP konvertör olarak kullanmıştır. Deneysel olarak 245 W_P'lik 3 panel-altı birim içeren düzenek üzerinde yaptıkları testlerde % 30 uyumsuzluk durumu için % 98,47 çıkartılan güç verimi elde etmişlerdir. Önerilen metot kompleks ve donanımsal olarak mikrodenetleyici, manyetik eleman (trafo), sekonder tarafta çift kablo kullanımı gerektirmektedir [38,39].



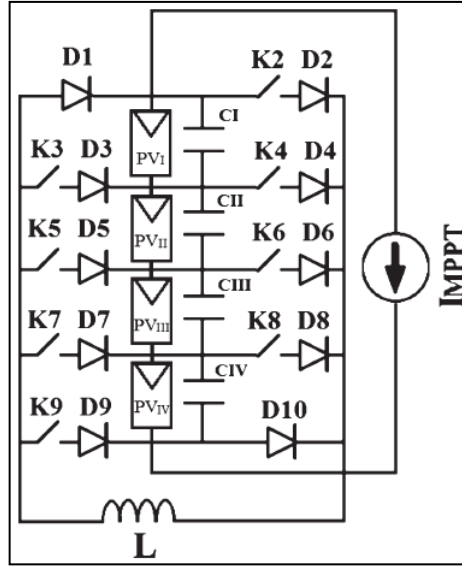
Şekil 2.16. Sekonderi sanal bara olan flyback topoloji [38].

Uno ve diğerleri daha önce önerilen çözümlerin çoklu bağımsız DPP'ler içerdiği için bu topolojilerin kullandığı anahtar sayısı seri PV birim sayısı arttıkça artmakta ve dolayısıyla karmaşıklık oluşturmakta argümanını kullanmıştır. Buradan yola çıkarak seri rezonans inverter ve gerilim katlayıcı içeren iki anahtarlı gerilim dengeleyici topolojisini (Şekil 2.17) önermiştir. 4 seri bağlı PV birim için ölçülen maksimum konverter verimi % 93-95'dir. Deneysel olarak test edilen %10'luk kısmi gölgelenme için konvertör mevcut gücün % 98,8'ini, % 27'lik kısmi gölgelenme için % 96,5'ini çıkartmaktadır [40,41]. Önerilen metot için anahtarlama ve sürücü kayıplarından kaçınılmaya çalışılırken artan diyot sayısı sebebiyle diyot iletim kayıpları baskın hale gelmektedir. Fotovoltaik santral uygulamalarındaki dizin boyutları için uygulanabilir gözükmemektedir. Dengeleme akımlarının yolu çok uzadığından ve dengeleme yolu için 2 birim kablo gerektirdiğinden I^2R kayıpları artabilir.



Şekil 2.17. Seri rezonans inverter ve gerilim katlayıcı dengeme topolojisi [40].

Villa ve diğerleri Şekil 2.18’de gösterilen batarya dengeme için kullanılan topolojiyi PV sistemlerin dengelenmesine uygulamışlardır. Sadece bir indüktif depolama elemanı kullanmışlardır. Basit kontrol yaklaşımı; gölgelenen modülü tespit ettikten sonra ilk önce doğru anahtarları açmak suretiyle gölgelenmeyen diğer panellerden indüktansta enerji depolamak sonrada depolanan bu enerjiyi gölgelenen modüle aktararak dizini dengelemek üzerine kuruludur [42,43]. Hangi anahtarların açılıp kapanacağını ve görev periyotlarının ne olacağını belirlemek topolojinin kontrolünü kompleks hale getirmektedir. Dengeme yolunda iki birim kablo gerekmektedir. Diyotlar yüksek iletim kayıplarına sebep olabilir. Her bir konvertör birimi gölgelenmeyi tespit etmek için sensör ve mikrodenetleyici birimlerine ihtiyaç duyar. Tasarlanan prototip devre için % 90 verim rapor etmişlerdir.

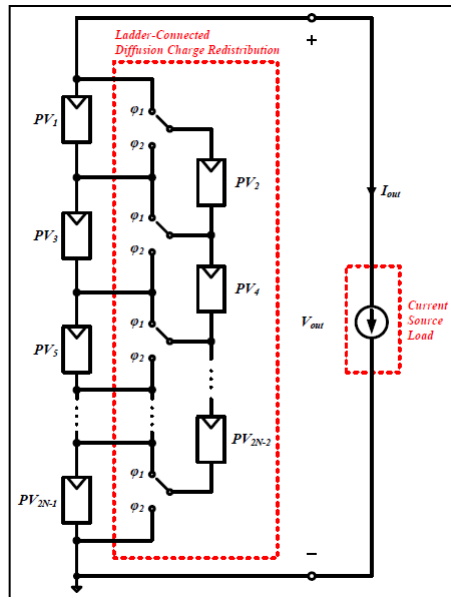


Şekil 2.18. Tek bir manyetik eleman içeren dengeleme topolojisi [42].

Chang ve diğerleri kendi deyimleri ile mevcut paradigmaları yıkan bir çalışma gerçekleştirmişlerdir. Yukarıda özetlendiği üzere MPPT çalışmaları makroskobik seviyeden mikroskobik seviyeye doğru ele alınmıştır. Literatürde geçen yukarıdaki çalışmaların hiç birinde hücre seviyesinde MPPT gerçekleştirilmemiş ve hepsinde harici enerji depolama elemanları olarak bobin-kapasite veya transformatör-kapasite kombinasyonlarına ya da anahtarlamalı kapasitör topolojileri bağlamında sadece kapasitörlere yer verilmiştir. Yazar tarafından önerilen çalışmada ise ekstra enerji depolama elemanlarına ihtiyaç duymaksızın hücre seviyesinde maksimum güç takip etmeye yönelik bir yöntem önerilmiştir. Fizikçiler tarafından bilinen ancak şu ana kadar güç elektroniği bakış açısı ile parasitik eleman olarak değerlendirilen hücre içi difüzyon kapasitansının enerji depolama elemanı olarak kullanılabilecek derecede yüksek kapasite değerine sahip olduğunu belirtmişlerdir. Örnek olarak kendi uygulamalarında kullandıkları 2,5A'lık kısa devre akımına sahip monokristal hücre için 4,64 uF 'dark-kapasiteden' bahsetmişlerdir. Panel altı seviyede önerilen anahtarlamalı kapasitör içeren merdiven konvertör yapısına benzer bir biçimde Şekil 2.19'da gösterilen topolojide hücreler birbiriyle anahtarlanmış [4]. Bu topoloji ile hücre difüzyon kapasitansında biriktirilmiş yükler gölgelenmeye veya uyumsuzluğa maruz kalan diğer hücrelere aktarılır. Buradan hareketle yöntem difüzyon yükünün yeniden dağıtımına manasına gelen (Diffusion Charge Redistribution, DCR) olarak adlandırılmıştır. Bu şekilde anahtarlamaya maruz bırakılan tüm hücreler aynı

gerilimde çalışmaya zorlanarak tüm dizinin toplam güç karakteristiği tek bir maksimum içeren konveks eğriye dönüştürülür. Bu durumda tüm dizin ‘süper hücre’ gibi değerlendirilebilir [3,44,45].

Chang aynı çalışmanın devamında, bu fikri esas avantajına (hücre seviyesinde ekstra enerji depolama elemanları kullanmaksızın MPPT yapabilme) sadık kalmak koşulu ile geliştirerek DCR dizinini farksal güç işleme konseptine uygun hale getirmiştir [45]. Bunun için basitçe tek çıkışlı DCR yapısındaki anahtarlanan merdiven hücrelerin çıkışını yük bağlı dizinden ayırarak iki çıkışlı bir yapı elde etmiştir. Bu topoloji dizin seviyesinde güç elektroniğine uygulanabilir. Dizin seviyesindeki bu modifikasyon hem yük bağlı dizinden hemde anahtarlamalı merdiven dizininden doğrudan enerji çıkışına müsaade etmelidir. Böylece minimum güç işleme özelliği ile çift çıkışlı akım kaynağı elde edilir. Chang tarafından önerilen hücre seviyesindeki bu çalışma panellere entegre devre yerleştirilmesini gerektirir. Kendisinde yarı-iletken eleman olan PV hücrenin üretimi sırasında mikron boyutundaki CMOS teknolojisiyle bu devreler hücrelerin içine gömülebilir. Bu durum maliyet açısından ‘şimdilik’ iyi bir ekonomik çözüm olmayabilir. Ancak önerilen metot geleceğin ‘akıllı PV modülleri’ için uygulanabilir bir çözümdür.



Şekil 2.19. Merdiven bağlı DCR mimarisi [44].

Teorik olarak toplanabilir enerji gölgelenmenin artmasıyla azaldığından ekonomik perspektiften panel-altı seviyede geliştirilen çözümler en önemli çalışma bölgesidir. Bu yüzden panel-altı konsepti PV santrallerin toplam enerji kazancını artırmak için iyi bir ekonomik çözümdür [46].



BÖLÜM 3

KISMİ GÖLGELENME PROBLEMİ İÇİN ÖNERİLEN ÇÖZÜM

Bu bölümde kısmi gölgelenme ve uyumsuzluk probleminin çıkış güç karakteristiği üzerindeki negatif etkisini azaltmak ve bu şartlar altında çalışan PV sistemlerin toplam verimini artırmak için panel-altı seviyede uygulanabilir yeni bir topoloji önerilmektedir. Sonrasında önerilen topolojinin teorik alt yapısı ve güç kayıp analizleri sunulmaktadır. Bölüm önerilen çözümün simülasyon sonuçlarıyla sona ermektedir.

3.1. GİRİŞ

PV sistemler için önerilen hücre seviyesindeki dengeleme topolojisi ekstra enerji depolama elemanı kullanmaksızın panel-altı seviyede uygulanamaz. Çünkü seri bağlı hücreler için eşdeğer difüzyon kapasitesi değeri küçük kalacaktır [44]. Dolayısıyla gölgelenme ve uyumsuzluk problemine hücre seviyesindeki çözüme benzer bir çözümü panel-altı seviyede üretebilmek adına her bir panel-altı hücre grubuna paralel bağlanacak destek kapasitörlerinin kullanımı önerilebilir. Bu çözüm güç elektroniği alanında anahtarlamalı kapasitör konvertörler sınıfına girer. Böyle bir yaklaşımın daha az sayıda güç anahtarı, daha az sayıda kapasitör (literatürdekilere kıyasla yarı sayıda) kullanımına imkân sunma gibi bir avantajı beraberinde getirir. Bu avantajlar iki panel-altı grubun tek bir anahtarlama elemanını ortak kullanmasından ortaya çıkar. Daha az sayıda güç elektroniği elemanı kullanımının doğru bir tasarımla daha az güç kaybına sebep olacağı beklenmektedir. Önerilen metodun PSpice'da simülasyonları yapılarak başarılı sonuçlar verdiği gözlenmiştir. İlgili çözüm için teorik analizler ve simülasyon sonuçları bu bölümde sunulacaktır.

3.2. ÖNERİLEN TOPOLOJİ

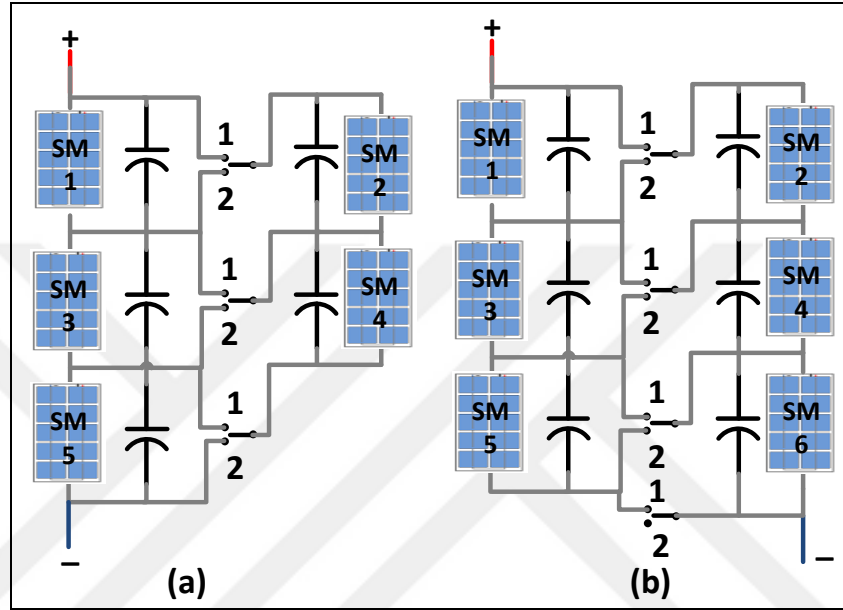
Bu çalışmada kısmi gölgelenme ve uyumsuzluk şartlarının ortaya çıkardığı güç kayıplarını minimize etmek için Şekil 3.1'deki topoloji önerilmiştir. Bu topoloji anahtarlama kapasitör (SC) konvertör uygulamalarından farklı bir tarzda yararlanır. Hücre seviyesinde yapılan çalışmaya kıyasla panel-altı seviyede uygulanması ve anahtarlama durdurulmaya olanak sağlaması için $N//N$ konfigürasyonu gibi yenilikler içerir. Panel-altı seviyedeki uygulama kayıpları hücre seviyesindeki uygulamaya kıyasla azaltılmaktadır.

Şekil 3.1'de panel-altı hücre grupları bir dizin oluşturmak üzere paralel-merdiven mimarisinde konfigüre edilmiştir. Şekil 3.1b'deki 1, 2 ve 3 ile numaralandırılmış gruplar birinci panele ait 4, 5 ve 6 ile numaralandırılmış gruplar ise ikinci panele aittir. Sonraki panellerde bu panellere aynı tarzda seri bağlanarak iki kollu bir dizin elde edilir. Bu bağlantı şeması 3 baypas diyotlu ticari panellerde panel-altı grupların seri bağlantısının panel içerisinde yapılmamasını gerektirir ki bu durum panel üretiminde ekstra bir üretim prosedürünü gerektirmez. Sadece panel içinde yapılan baraların hiç konulmamasını gerektirir. Baypas diyotlarını takmak için her bir panel-altı grubun uçları, arkadaki bağlantı kutusuna zaten uzatıldığından ekstra bir işlemi gerektirmediği gibi panel içindeki seri bağlama işlemini ortadan kaldırır.

Bu topoloji iki panel altı grubun bir anahtarlama kapasitör konvertörü paylaşarak kullanılması şeklinde çalışır. Önerilen topoloji n adet panel altı grubu dengelemek için n adet kapasitör ve $n+1$ anahtar gerektirirken literatürde verilen rezonans anahtarlama kapasitör konvertör $2n-1$ kapasitör ve $2n$ anahtar gerektirir [4,29–31]. Bu çalışma tarzı daha az güç elektroniği elemanı kullanımına (literatürdekine kıyasla yarı sayıda) müsaade eder. Bu avantaj doğru bir tasarımla azaltılmış güç elektroniği kayıplarını, maliyeti ve devre hacmini beraberinde getirir.

Anahtarlama kapasitör konvertörler sabit dönüşüm oranlı güç konvertörleridir. Genellikle % 50 görev periyodu ile kapasitörler birbiri ile anahtarlanır. Önerilen topoloji içinde açık döngü kontrol öngörülmesi olup, kapasitörler ile desteklenen panel-altı gruplar 1 ve 2 durumları arasında periyodik olarak anahtarlanır. Böylece

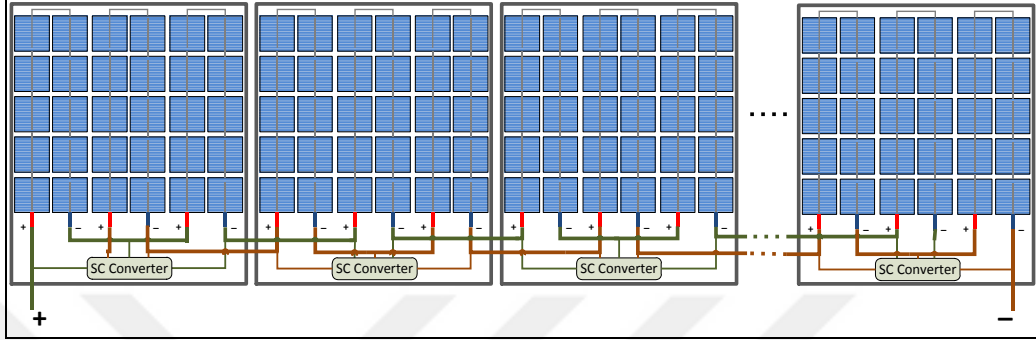
kısmi gölgelenmeye veya uyumsuzluğa maruz kalan ve kalmayan tüm panel-altı gruplar yaklaşık aynı çalışma gerilimine gelirler. Bu esnada da seri PV birimlerin akımlarında farklılık var ise farksal akım için kapasitörlerin şarj-deşarj döngüsü ile akım yolu oluşturulur. Aynı gerilim noktası üzerindeki kollektif çalışma uyumsuzluk şartları altında artırılmış tepe değerli çıkış güç karakteristiklerinin oluşmasını sağlar.



Şekil 3.1. Önerilen topoloji.

Şekil 3.1’de önerilen topolojinin tek çıkışlı halleri mevcuttur. İleriki bölümlerde çift çıkışlı hali ve avantajlarından söz edilecektir. Bu topolojinin tek çıkışlı versiyonu olan Şekil 3.1a, sağ tarafa bağlı anahtarlamalı merdiven dizininde üretilen gücü yük tarafına çıkartabilmek için gölgelenme olmasa dahi sürekli bir anahtarlama gerektirir. Bu da sürekli bir güç işleme sebebiyle “ilave kayıplara” sebep olmaktadır. Bu nedenle anahtarlanan dizinde üretilen güç anahtarlamanın durdurulması ile beraber yük tarafına çıkarılmayıp kaybolacaktır [45,47]. Şekil 3.1b’de gösterilen versiyonu ise gölgelenme olmadığı durumlarda anahtarlama işleminin 1 pozisyonunda durdurulmasına müsaade eder. Anahtarlama durdurulduğunda oluşan güç kaybı sadece dizinin en alt ve en üstünde bulunan ve dizin akımını taşıyan anahtarların R_{DS_ON} dirençleri sebebiyle oluşacaktır. Diğer anahtarlar gölgelenme olmadığına uyumsuzluğa maruz kalmadıklarından herhangi bir akım taşımayacak ve güç kaybına neden olmayacaktır [47]. Bu iki anahtardaki kayıp dizin boyundan bağımsız olarak

sabit kalacağından yeterli uzunluktaki dizinler için dizin kurulu gücüne oranı sıfıra yaklaşacaktır. Önerilen topoloji anahtarlama kapasitör devrelerini panel arkasındaki bağlantı kutusuna yerleştirmek suretiyle dizin seviyesinde Şekil 3.2’de gösterildiği gibi uygulanabilir.

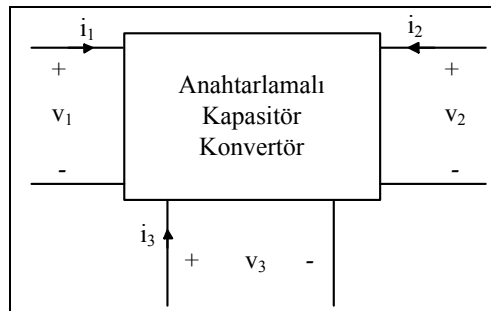


Şekil 3.2. Önerilen topolojinin dizin seviyesinde uygulanması.

3.3. ANAHTARLAMALI KAPASİTÖR (SC) KONVERTÖRLER

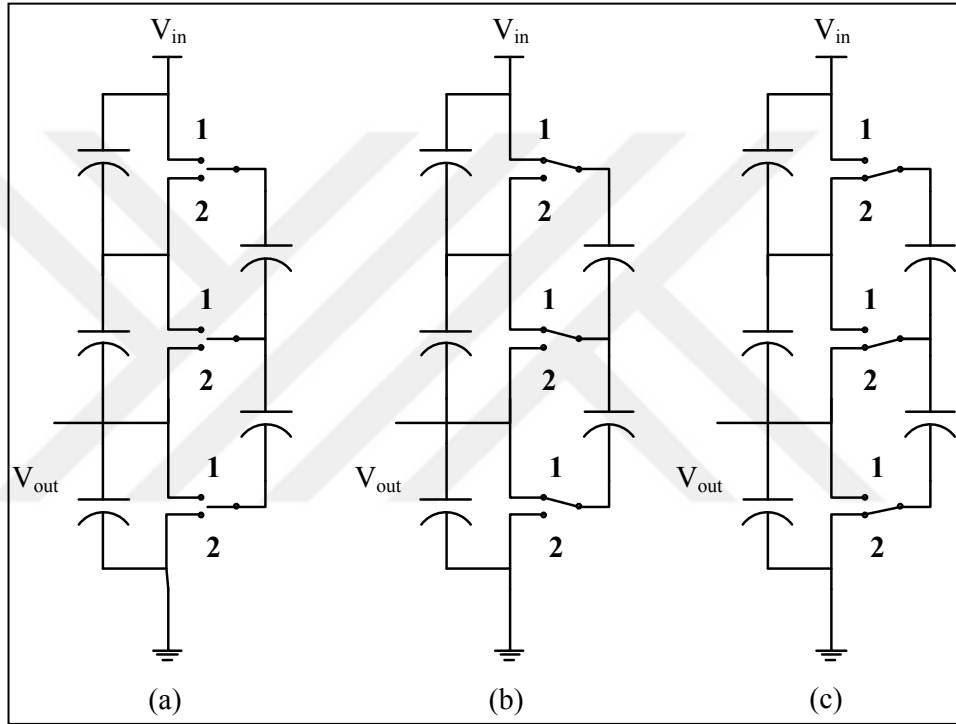
Anahtarlama kapasitör konvertörler DC-DC güç dönüştürücülerin, bir gerilim seviyesini başka bir gerilim seviyesine dönüştüren ve sadece anahtarlar ve kapasitörler kullanan, bir alt kümesidir. İndüktans kullanmadığı için tümleşik devre üretimi için uygundur.

Genelde bir SC konvertör Şekil 3.3’te gösterildiği gibi rastgele sayıda kapı içerebilir. Her bir kapı gerilim kaynağına, akım kaynağına, rezistif yüke veya herhangi bir devre tipine bağlanabilir. Dönüşüm oranı aralığını genişletmek üzere bir konvertör seri alt-konvertörleri içerecek şekilde gerçekleştirilebilir.



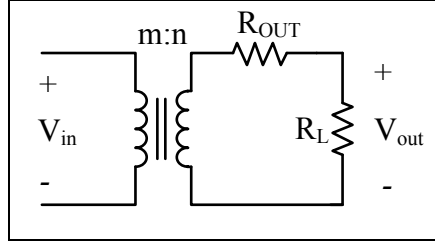
Şekil 3.3. İdealize edilmiş 3-portlu SC konvertör [48].

Merdiven tipindeki SC konvertör topolojisine bir örnek Şekil 3.4'te gösterilmiştir. Bu topolojide tek numaralı anahtarlar faz 1 boyunca ilettime açılır ve çift numaralı anahtarlar faz 2 boyunca ilettime açılır. Kapasitörler $C4$ ve $C5$ ortak mod gerilimleri toprak seviyesine kıyasla değiştiği için uçan kapasitörler olarak bilinir. Kapasitörler $C1$, $C2$ ve $C3$ toprak seviyesine kıyasla sabit gerilimlere sahip olduğundan çıkış veya baypas kapasitörler olarak bilinir. Bu iki portlu konvertör 3'e 1 dönüşüm oranı sergiler ve yüksüz durumda çıkış giriş geriliminin üçte biridir.



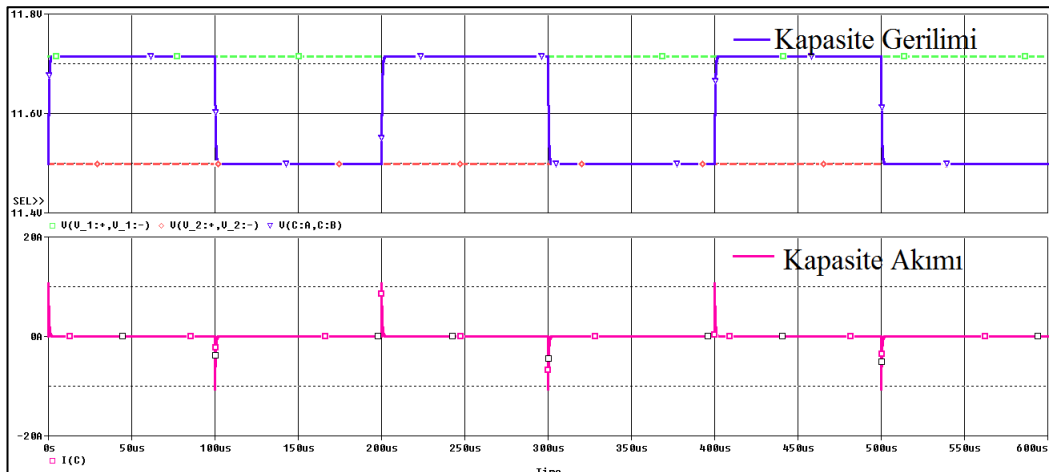
Şekil 3.4. SC konvertör a) örnek 3:1 merdiven topoloji, b) faz 1, c) faz 2 devre ağı.

Konvertörün giriş ve çıkış portları arasında yük transferi yapmak için konvertörün kapasitörleri şarj ve deşarj edilmelidir. Bu şarj-deşarj sırasında konvertörün üzerinde gerilim düşümü oluşur. Bu gerilim düşümü çıkış akımı ile orantılı olup çıkış direnci olarak temsil edilebilir. İki portlu bir SC konvertör için idealize edilmiş model Şekil 3.5'te gösterilmiştir. Model sarım oranı konvertör yüksüz dönüşüm oranına eşit olan ideal bir transformatör ve çıkış direnci R_{OUT} 'dan oluşur.

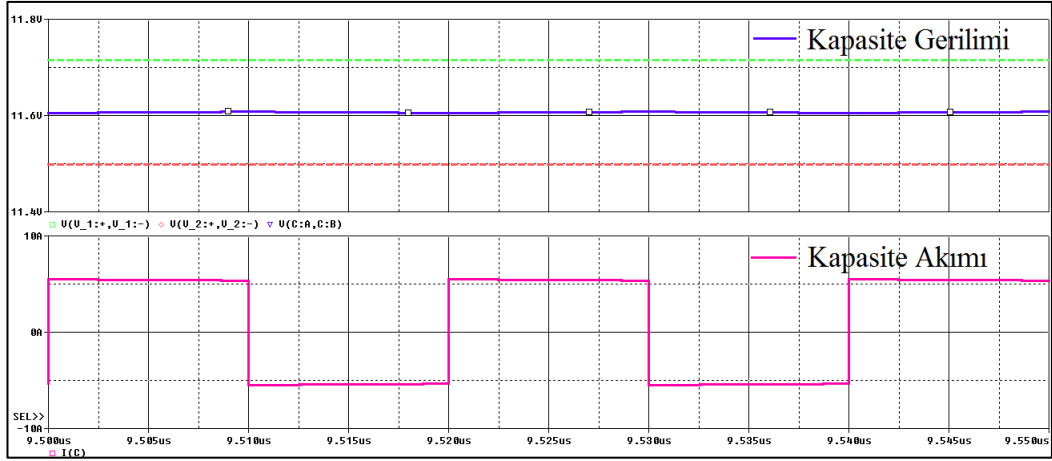


Şekil 3.5. İdealize edilmiş 2-portlu SC konvertör modeli.

Düşük frekanslı çıkış empedansı R_{OUT} konvertörün maksimum gücünü ayarlar ve aynı zamanda açık-döngü yük regülasyon özelliklerini belirler. Çıkış empedansının iki asimptotik limiti vardır: anahtarlama frekansı ile ilgili olarak yavaş ve hızlı anahtarlama limitler. Yavaş anahtarlama limiti (SSL) empedansı hesabı; anahtarların ve bütün diğer iletken ara bağlantıların ideal olduğu, ve giriş-çıkış kaynakları ile kapasitörler arasında akan akımların dürtüsel yük transferi olarak modellendiği kabulü ile yapılır (Şekil 3.6). SSL empedansı anahtarlama frekansı ile ters orantılıdır. Hızlı anahtarlama limiti (FSL) anahtarlarla, kapasitörlerle ve diğer ara bağlantılar ile ilgili iletim dirençleri baskın iken ve kapasitörler etkin olarak sabit bir gerilim kaynağı gibi davrandığı zaman gerçekleşir. FSL'de akan akım frekanstan bağımsız parçalı sabit desen şeklinde gerçekleşir (Şekil 3.7). FSL ve SSL çıkış empedanslarının hesabı ileriki bölümlerde gösterilecektir. Konvertörün toplam çıkış empedansı aşağıda anlatıldığı üzere bu iki empedansın kombinasyonudur.



Şekil 3.6. Yavaş anahtarlama frekansı için kapasite gerilimi ve akımı ($V_1-V_2=0,217$ V, $C=20$ μ F, $F=5$ kHz, $R= 20$ m Ω).



Şekil 3.7. Hızlı anahtarlama frekansı için kapasite gerilimi ve akımı ($V_1-V_2=0,217$ V, $C=20$ μ F, $F=50$ MHz, $R= 20$ m Ω).

Şekil 3.5'teki model ideal kapasitörler ve rezistif anahtarları kullanan SC konvertörün karakteristiğini tam olarak temsil ettiğinden yük korunumu kısıtını üretmek için kullanılabilir. Çıkış empedansı, modeldeki giriş akımının çıkış akımına oranını etkilemediği için, bu iki akım transformatör sarım sayısı ile sabittir.

$$I_{IN} = -\frac{n}{m} I_{OUT} \quad (3.1)$$

Yükün korunumunu gösteren bu denklem yükten bağımsız olduğu için, bu yük korunumu SSL ve FSL empedanslarının çıkartılmasında kullanılabilir.

Şekil 3.5'teki model yüksüz durumda ideal bir dc gerilim dönüşümü oranı verir ve tüm dönüşüm kayıpları çıkış empedansı üzerinden akan sıfır olmayan akım sebebiyle oluşan gerilim düşümü cinsinden gösterilir. Rezistif çıkış empedansı kapasitenin şarj-deşarj kayıplarını ve rezistif iletim kayıplarını modeller. Kısa devre akımı ve parazitik kapasiteler dolayısıyla oluşan ilave kayıplar modele dahil edilebilir [48].

3.3.1. Yavaş Anahtarlama Limiti Empedansı

Yavaş anahtarlama limiti empedansı analizi için anahtarların, kapasitörlerin ve diğer ara bağlantıların dirençleri ihmal edilir. Her bir fazdaki devre topolojisi çizilir. Bu devreler üzerinde yük çarpanı vektörleri, n -fazlı bir SC konvertör için her bir fazda

yazılır. Yük çarpanı vektörünün her bir elemanı belirli bir kapasiteye veya bağımsız gerilim kaynağına denk düşer ve bu elemanlara akan yük miktarının çıkış yük akımına göre normalize edilmiş değerlerini temsil eder. Bu vektörler KCL'ye göre elde edilir ve her bir kapasitör için tüm fazlardaki toplam değeri yük korunumu kanununa göre sifıra eşit olmalıdır. Bu kabullerle yapılan analizle n -fazlı bir SC konvertör için SSL empedansı

$$R_{SSL} = -\frac{v_{OUT}}{i_{OUT}} = \sum_{i \in Caps} \sum_{j=1}^n \frac{(a_{c,i}^j)^2}{2C_i f_{sw}} \quad (3.2)$$

olarak bulunur. Burada $a_{c,i}^j$, kapasitör i için j fazında yük akışının çıkış yük akışına kıyasla normalize edilmesi ile bulunur. Bu sonuç asimptotik çıkış empedansını ve SC konvertörün çalışması ile ilgili bir ön bilgi verir. Çıkış empedansı kapasitenin şarj-deşarjı dolayısıyla yaşanan kayıpları doğrudan modeller. Sadece yük akışını incelemek suretiyle karmaşık devre analizleri yapmaksızın çıkış empedansının basitçe hesabına imkan sağlar [48].

3.3.2. Hızlı Anahtarlama Limiti Empedansı

Diğer asimptotik limit olan hızlı anahtarlama limiti (FSL), kapasitörler arasında akan sabit akım ile karakterize edilir. Anahtar iletim direnci ve diğer dirençlerin her bir fazda kapasitörlerin dengeye yaklaşmasını engelleyecek derecede büyük olduğu kabul edilir. Asimptotik limitte kapasitör gerilimleri sabit olarak modellenir. Devre kaybı sadece rezistif elemanlardaki iletim kaybı ile ilgilidir.

FSL'de olduğu gibi direnç olarak modellenen anahtarlar için yük çarpanları $a_{sw,i}^j$, anahtar i için j fazında yük akışının çıkış yük akışına kıyasla normalize edilmesi ile yazılır. FSL'de yük akış vektörü aynı SSL'deki gibi olmalıdır. Bu durumda iletimdeki anahtarlar için yük çarpanı kapasitör yük çarpanlarından yararlanarak KCL'ye göre yazılır. Kesimdeki anahtarlar için ise yük çarpanları sıfırdır. Bu kabullerle yapılan analizle % 50 görev periyotlu bir SC konvertör için FSL empedansı

$$R_{FSL} = 2 \sum_{i \in Sw} R_{eff}(a_{sw,i})^2 \quad (3.3)$$

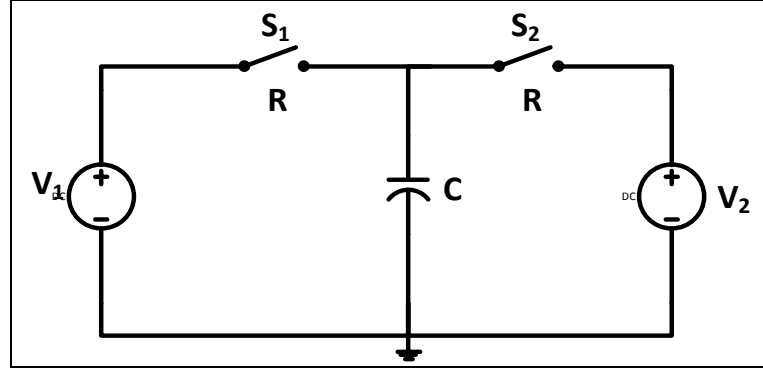
olarak bulunur. Burada R_{eff} anahtar iletim direncini gösterir. FSL empedansı SSL empedansına benzer olarak sadece eleman parametreleri cinsinden ifade edilmiştir. Çıkış empedansının bu iki bileşeni toplam çıkış empedansının hesaplanmasında ve SC konvertörün tasarım kriterleri kullanılacaktır [48].

3.3.3. Toplam Çıkış Empedansının Hesabı

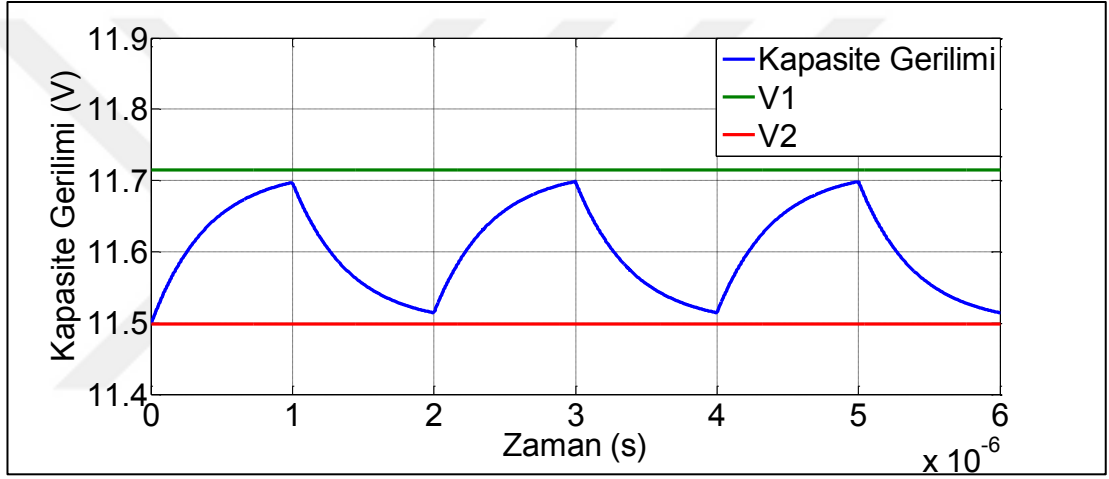
SC konvertörün toplam çıkış empedansı yavaş anahtarlama limiti (SSL) empedansı ve hızlı anahtarlama limiti (FSL) empedansından oluşur. Ancak farklı çalışma şartlarını varsayarak çıkarılan bu iki limitteki empedans değerlerini cebirsel olarak toplamak suretiyle toplam çıkış empedansı bulunmaz. SSL ve FSL empedansları yaklaşık olarak eşit olduklarında her iki empedansın hesaplanması için yapılan varsayımlar geçerli olmaz.

Bu iki anahtarlama limiti arasındaki bir çalışma frekansında ise çıkış empedansının belirlenmesinde SC konvertör dinamiği son derece önemli bir rol alır. Herbir çalışma fazında direnç olarak modellenen iletimdeki anahtarlar ve kapasitörlerin oluşturduğu devre ağı çok elemanlı topolojiler için çok komplike oturma (settling) dinamikleri oluşturabilir. Böyle çok elemanlı bir topoloji için genel bir kombine edilmiş çıkış empedansı türetilmesi pratik olmadığından basit bir örnek ile değerlendirilecek ve sonuçlar toplam çıkış empedansının yaklaşımına uygulanacaktır.

Şekil 3.8’de gösterilen tek hücreli bir SC konvertör yavaş ve hızlı anahtarlama limitleri arasında çıkış empedansını incelemek üzere kullanılacaktır. Ayrıca bu örnek üzerinden yavaş ve hızlı anahtarlama durumundaki davranışlarda gösterilmeye çalışılacaktır. İki anahtar (her biri $R_{DS_ON}=R$ olan) ve tek bir kapasitör C tek bir zaman sabitesini ($\tau=RC$) garanti eder. Anahtarlama periyodu T zaman sabitesi τ ’ya yakın seçilecek olursa konvertör ne SSL ne de FSL’de çalışır. Bu durumda kapasitör gerilimi Şekil 3.9’daki gibi bir davranış sergiler [48].



Şekil 3.8. Anahtarlama kapasitör konvertörün dinamik analizi için kullanılan devre modeli.



Şekil 3.9. Yavaş ve hızlı anahtarlama limitleri arasındaki bir anahtarlama hızı için kapasitör gerilimi ($\Delta V = V_1 - V_2 = 0,217$ V, $C = 20$ μ F, $F = 500$ kHz, $R = 20$ m Ω).

Kapasitör üzerindeki dalgalanma gerilimi devrenin yük transferi ile orantılıdır. Dalgalanma gerilimi ΔV ve görev periyodu $D = 0,5$ olmak üzere;

$$Q = C\Delta V = \int dq = \int_0^T i_{C,1}(t) dt \quad (3.4)$$

S_1 anahtarı kapalı ve S_2 anahtarı açık iken kapasitör akımı ifadesi

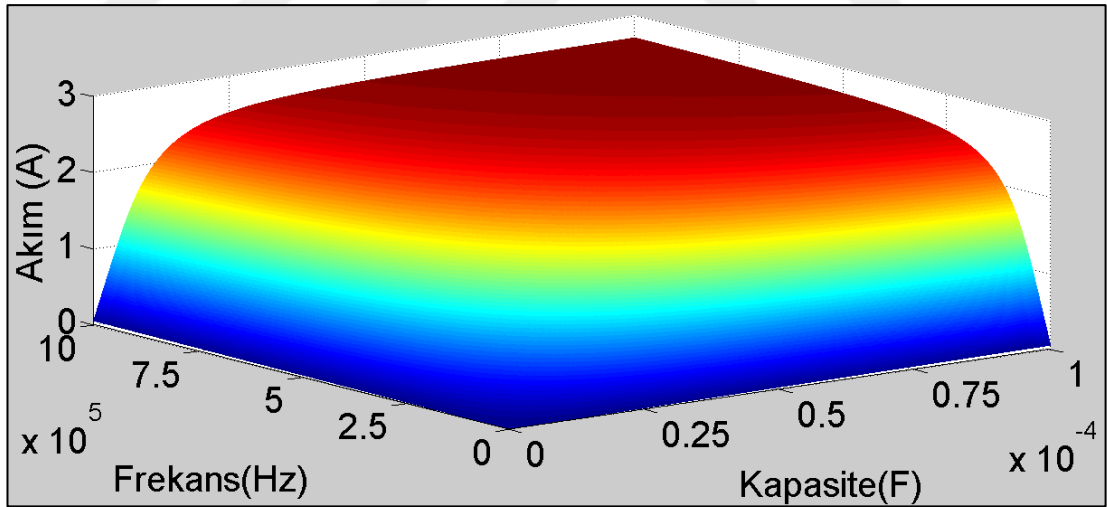
$$i_{C,1}(t) = \frac{V_1 - V_2 + \Delta V}{2R} e^{-\frac{t}{RC}} \quad (3.5)$$

$$Q = \int_0^{\frac{T}{2}} i_{c,1}(t) dt = C(V_1 - V_2) \left(\frac{1 - e^{-\frac{T}{2RC}}}{1 + e^{-\frac{T}{2RC}}} \right) \quad (3.6)$$

V_1 ve V_2 kaynakları arasında transfer edilen yük, $Q=C\Delta V$ 'den dalgalanma gerilimi ile orantılı olduğundan devreden akan akımın ortalama değeri

$$I = \frac{Q}{T} = Cf(V_1 - V_2) \left(\frac{1 - e^{-\frac{T}{2RC}}}{1 + e^{-\frac{T}{2RC}}} \right) \quad (3.7)$$

Şekil 3.10'da denklem 3.7'deki ortalama akım ifadesi frekans ve kapasitenin değişimine karşılık çizdirilmiştir. Grafikten görüldüğü üzere belirli bir frekans ve kapasite değerinden sonra ortalama akım doyuma uğramaktadır. Bu grafik aynı zamanda optimum kapasite-frekans seçiminde kullanılabilir. (Parametreler: $V_1 - V_2 = 0,217$ V, $R = 20$ m Ω).



Şekil 3.10. Transfer edilen akımın frekans ve kapasite değeri ile değişimi.

Çıkış empedansı çıkış geriliminin ortalama akıma oranı olarak bulunur.

$$R_{OUT} = \frac{V_1 - V_2}{I} = \frac{1 + e^{-\frac{T}{2RC}}}{Cf \left(1 - e^{-\frac{T}{2RC}} \right)} = \frac{1}{Cf \tanh \left(\frac{1}{4RCf} \right)} \quad (3.8)$$

SSL ve FSL empedansları yukarıdaki denklemde frekansın 0 ve ∞ limitleri alınmak suretiyle bulunabilir.

$$R_{SSL} = \lim_{f \rightarrow 0} R_{OUT} = \lim_{f \rightarrow 0} \frac{1 + e^{-\frac{T}{2RC}}}{Cf \left(1 - e^{-\frac{T}{2RC}}\right)} = \frac{1}{Cf} \quad (3.9)$$

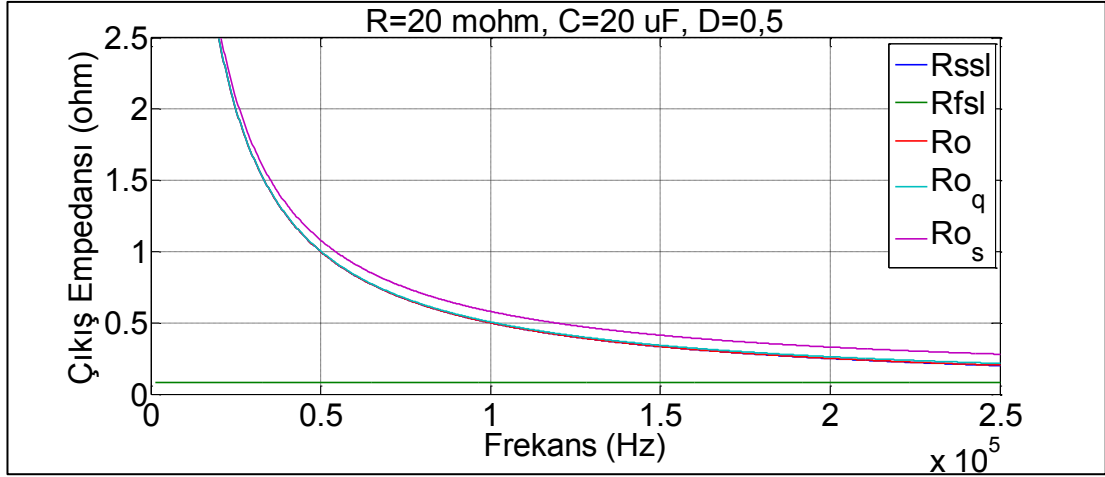
$$R_{FSL} = \lim_{f \rightarrow \infty} R_{OUT} = \lim_{f \rightarrow \infty} \frac{\frac{\partial}{\partial f} \left(\frac{1 + e^{-\frac{T}{2RC}}}{Cf} \right)}{\frac{\partial}{\partial f} \left(1 - e^{-\frac{T}{2RC}} \right)} = 4R \quad (3.10)$$

Denklem 3.9'den görüldüğü üzere SSL empedansı kapasite ve frekans değerleri ile ters orantılıdır. Denklem 3.10'e göre FSL empedansı anahtar iletim direnci ile orantılıdır.

Çıkış empedansı denklem 3.8 görüldüğü üzere SSL (denklem 3.9) ve FSL (denklem 3.10) çıkış empedansı bileşenlerinin toplamı değildir. Bu iki empedansı birbirine cebirsel olarak eklemek yerine çıkış empedansı alttaki yaklaşımla bulunur [47].

$$R_{OUT} \approx \sqrt{R_{SSL}^2 + R_{FSL}^2} \quad (3.11)$$

Burada incelenen örnek için, çıkış empedansının tam değerini veren (3.8) ve modellenen değeri veren (3.11), Şekil 3.11'de gösterildiği gibi birlikte çizdirildiğinde (3.11) yaklaşımının modellenen sonuçlara kabul edilebilir oranda yakın olduğu gözlenecektir. Örnek değerler $C=20 \mu\text{F}$, $R=2 \cdot R_{DS_ON}$, $R_{DS_ON}=10 \text{ m}\Omega$, $D=0,5$ için frekansa karşılık çıkış empedansının tam değeri (R_O), yavaş ve hızlı anahtarlama limiti empedansları (R_{SSL} ve R_{FSL}) ve bunların bileşeni olarak çıkış empedansının yaklaşık değerleri cebirsel toplam (R_{O_s}) ve karesel toplam (R_{O_q}) olarak çizdirilebilir. Eğrilerden görüleceği üzere karesel toplam (R_{O_q}) ile yapılan modelleme tam değere (R_O) daha yakın sonuç vermektedir.



Şekil 3.11. Çıkış empedansının frekansla değişimi.

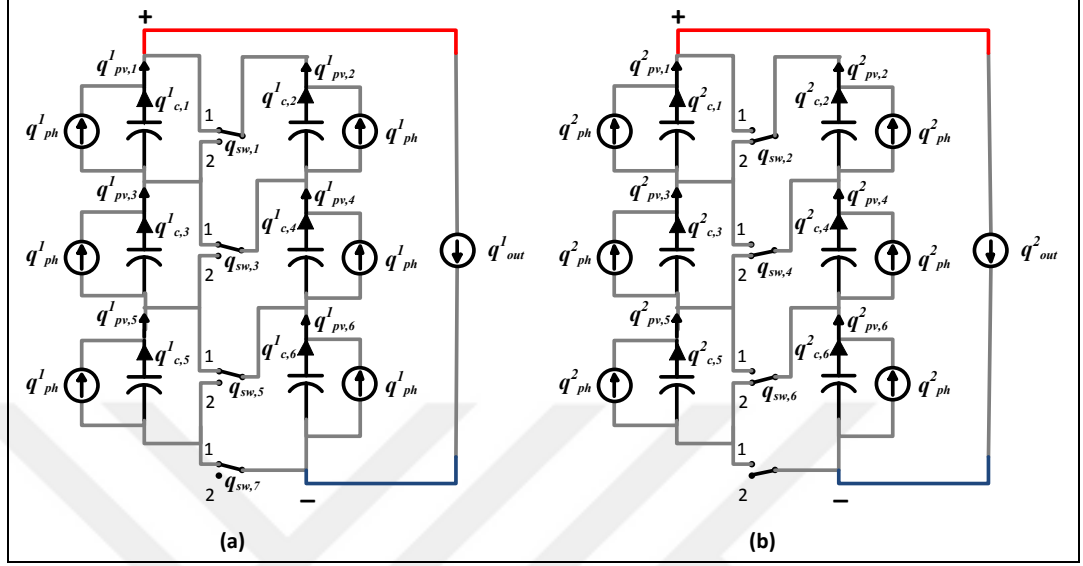
3.4. ÖNERİLEN N//N TOPOLOJİ İÇİN KAYIP ANALİZİ

Şekil 3.1’de önerilen, merdiven şeklinde konfigüre edilerek oluşturulan anahtarlama dizin yapısının anahtarlama işlemi devam ederken seri dizine kıyasla sebep olduğu ekstra güç dönüşüm kaybı “ilave kayıp” olarak değerlendirilir. Anahtarlama kapasitör konvertörler için geliştirilen analizler, önerilen topolojinin sebep olacağı ilave kayıpların hesaplanmasına adapte etmek için genelleştirilebilirler [44,49]. Anahtarlama kapasitör dönüşüm kaybı iki asimptotik limit ile karakterize edilir; yavaş ve hızlı anahtarlama limitleri. Bu iki asimptotik limit çıkış empedansının alçak ve yüksek frekanslarda yakınsadığı değerlerdir. Konvertörün toplam çıkış empedansı bu iki empedansın kombinasyonu olup her ikisini ayrı ayrı türettikten sonra elde edilecektir. SSL ve FSL empedansları ve dönüşüm kayıpları aşağıdaki gibi çıkartılır.

3.4.1. Yavaş Anahtarlama Limiti (SSL) Empedansı ve Güç Dönüşüm Kaybı

Örnek olması için SSL empedans hesabı ilk olarak Şekil 3.1b’de gösterilen ve bir kolda seri bağlı panel-altı sayısı $N=3$ olan 3//3 şeklindeki örnek dizin için çıkarılacak sonrasında ise $N//N$ şeklindeki bir dizin için genelleştirilecektir. Örnek 3//3 anahtarlama dizin için her iki fazdaki yük akış diyagramı Şekil 3.12’de gösterilmiştir. Diyagramlarda $q_{x,i}^{\phi}$ notasyonunda ϕ fazı, x eleman türünü ve i kaçınıcı

eleman olduğunu gösterir. Örnek olarak $q_{pv,3}^2$, üçüncü fotovoltaik elemandan ikinci faz boyunca çıkartılan toplam yük miktarını gösterir.



Şekil 3.12. 3//3 anahtarlamalı dizin için yük akış diyagramları a) faz 1, b) faz 2.

Güç dönüşüm kaybı hesabı için panel-altı grupların aynı karakteristiklere sahip olduğu ve tam uyumlu oldukları kabul edilmiştir. Her bir panel-altı grup bir anahtarlama periyodu boyunca q_{ph} 'lık toplam yük üreten foto-akım kaynağı ile modellenmiştir. Burada ele alınan iki faz konvertördeki foto-akım kaynağı için

$$q_{ph}^1 = q_{ph}^2 = q_{ph} / 2 \quad (3.12)$$

Çıkış bir anahtarlama periyodu boyunca q_{out} 'luk toplam yük çeken sabit akım kaynağı gibi davranan yük ile temsil edilmiştir. Dolayısıyla q_{out} faz 1 ve faz 2 boyunca verilen çıkış yüklerinin toplamı olup;

$$q_{out}^1 = q_{out}^2 = q_{out} / 2 \quad (3.13)$$

Kirşof akım kanunundan;

$$q_{ph}^1 + q_{c,i}^1 = q_{pv,i}^1 \quad (3.14)$$

$$q_{ph}^2 + q_{c,i}^2 = q_{pv,i}^2 \quad (3.15)$$

yazabiliriz. Bu iki denklemi toplayıp sürekli halde kapasitör üzerindeki yük dengesinin sıfır olmasından faydalanarak

$$q_{pv,i}^1 + q_{pv,i}^2 = q_{ph} \quad (3.16)$$

yazabiliriz. Kirşof akım kanunundan her iki faz için sırasıyla

$$q_{pv,1}^1 + q_{pv,2}^1 = q_{pv,3}^1 + q_{pv,4}^1 = q_{pv,5}^1 + q_{pv,6}^1 = q_{out} / 2 \quad (3.17)$$

$$q_{pv,1}^2 = q_{pv,2}^2 + q_{pv,3}^2 = q_{pv,4}^2 + q_{pv,5}^2 = q_{pv,6}^2 = q_{out} / 2 \quad (3.18)$$

yazabiliriz. Bu üç denklem yinelemeli olarak çözülürse çıkış yükü q_{out} ve herbir panel-altı grubun ürettiği foto-akım q_{ph} arasında aşağıdaki ilişki elde edilir.

$$q_{out} = \frac{4 * 3}{7} q_{ph} = \frac{4N}{2N + 1} q_{ph} \quad (3.19)$$

Çıkış akımı her bir panel-altı grubun ürettiği akım cinsinden ifade edildikten sonra herbir yük çarpanı bir anahtarlama periyodu üzerindeki toplam çıkış yükü cinsinden ifade edilebilir. Normalize edilmiş yük çarpanı

$$\alpha_{x,i}^\varphi = \frac{q_{x,i}^\varphi}{q_{out}} \quad (3.20)$$

olarak tanımlanır. 3//3'lük örnek dizindeki her bir panel altı grup için SSL yük çarpanları Çizelge 3.1'de verilmiştir.

Çizelge 3.1. Panel-altı PV gruplar için SSL yük çarpanları.

<i>Faz</i> (φ)	$\alpha_{pv,1}^\varphi$	$\alpha_{pv,2}^\varphi$	$\alpha_{pv,3}^\varphi$	$\alpha_{pv,4}^\varphi$	$\alpha_{pv,5}^\varphi$	$\alpha_{pv,6}^\varphi$
1	1/12	5/12	3/12	3/12	5/12	1/12
2	6/12	2/12	4/12	4/12	2/12	6/12

Kapasitörler için yük akışının genliği, panel-altı hücre grubundan çıkarılan yük ile her bir fazda foto-akım kaynağı tarafından üretilen yük arasındaki fark olarak ifade edilir.

$$\alpha_{c,i} = \frac{|q_{c,i}|}{q_{out}} = \frac{|q_{pv,i}^\varphi - q_{ph}/2|}{q_{out}} \quad (3.21)$$

Her bir kapasitör için SSL yük çarpanları Çizelge 3.2’de verilmiştir.

Çizelge 3.2. SSL kapasitör yük çarpanları.

$\alpha_{c,1}$	$\alpha_{c,2}$	$\alpha_{c,3}$	$\alpha_{c,4}$	$\alpha_{c,5}$	$\alpha_{c,6}$
5/24	3/24	1/24	1/24	3/24	5/24

Kapasitör yük çarpanı vektörü her bir kolda N adet toplamda $2N$ adet panel-altı PV elemanı içeren anahtarlama dizini için genelleştirilebilir. Bir kolda N adet panel-altı grup içeren bir anahtarlama dizini için çıkış akımının foto-akım kaynağına oranı ve kapasitör yük çarpanı ifadeleri aşağıdaki gibi olur.

$$q_{out} = \frac{4N}{2N + 1} q_{ph} \quad (3.22)$$

$$\alpha_{c,i} = \frac{|q_{c,i}|}{q_{out}} = \frac{|2(N - i) + 1|}{8N} \quad (3.23)$$

Anahtarlama dizini için SSL çıkış empedansı aşağıdaki gibi yazılır.

$$R_{SSL} = \sum_{i=1}^{2N} \frac{(a_{c,i})^2}{C_d f_{sw}} = \frac{1}{32 N^2 C f_{sw}} \left[\sum_{i=1}^N (2i - 1)^2 \right] \quad (3.24)$$

Yüzde olarak ilave kaybı hesaplamak için SSL çıkış empedansının yük empedansına oranı bilinmelidir. Yük empedansı sürekli halde maksimum güç noktasında çalışan her bir panel-altı grubun gerilim ve akım değerleri cinsinden aşağıdaki gibi hesaplanır.

$$R_L = \frac{V_{out}}{I_{out}} = \frac{V_{MP} \left(\frac{2N+1}{2} \right)}{I_{MP} \left(\frac{4N}{2N+1} \right)} = \frac{V_{MP}}{I_{MP}} \left[\frac{(2N+1)^2}{8N} \right] \quad (3.25)$$

SSL empedansı dolayısıyla oluşan ilave kayıp oranı; SSL empedansının yük empedansına oranı olarak bulunur.

$$IL_{SSL} = \frac{R_{SSL}}{R_L} = \frac{I_{MP}}{4N V_{MP} C f_{sw} (2N+1)^2} \left[\sum_{i=1}^N (2i-1)^2 \right] \quad (3.26)$$

SSL ilave kaybı tek kayıp mekanizması olmayıp anahtarlama için SSL ve FSL arasındaki bir çalışma frekansında anahtarlama yapılabilir. Bu durumda her iki kayıp mekanizmasının katkıları yaklaşık olarak eşittir. FSL'ye yakın bir çalışma frekansında anahtarlama olabilir ki bu durumda FSL kaybı baskın olur. Her iki durum içinde FSL kaybı hesaplanmalıdır.

3.4.2. Hızlı Anahtarlama Limiti (FSL) Empedansı ve Güç Dönüşüm Kaybı

Hızlı anahtarlama limitinde (FSL) kapasitör gerilimleri bir anahtarlama periyodu için sabit kabul edilir. Kolaylık için görev periyodu % 50 kabul edilecektir [49]. Çıkış empedansı 3//3 örnek anahtarlama için çıkartılacak ve daha sonra $N//N$ için sonuç genelleştirilecektir. FSL empedansı kayıpları iletim kaybı gibi değerlendirilebilir.

Şekil 3.12'den anahtarlar üzerindeki yük akışı her bir panel-altı gruba ilişkin yük çarpanlarını kullanmak suretiyle aşağıdaki gibi yazılabilir.

$$a_{sw,i} = \begin{cases} |1/2 - \alpha_{pv,1}^1|, & i: 1 \\ |\alpha_{pv,i}^1 - \alpha_{pv,i-2}^1|, & i: 3,5,7 \dots \\ |\alpha_{pv,i}^2 - \alpha_{pv,i-2}^2|, & i: 2,4,6 \dots \end{cases} \quad (3.27)$$

3//3 örnek dizin için anahtarların yük çarpanı vektörü Çizelge 3.3'te verilmiştir.

Çizelge 3.3. 3//3 anahtarlama için FSL anahtar yük çarpanı vektörü.

$\alpha_{sw,1}$	$\alpha_{sw,2}$	$\alpha_{sw,3}$	$\alpha_{sw,4}$	$\alpha_{sw,5}$	$\alpha_{sw,6}$	$\alpha_{sw,7}$
5/12	2/12	2/12	2/12	2/12	2/12	5/12

$N//N$ dizin için anahtar yük çarpanı vektörü aşağıdaki gibi genelleştirilebilir.

$$a_{sw,i} = \begin{cases} \frac{2N-1}{4N}, & i: 1, 2N+1 \\ \frac{2}{4N}, & i: \text{diğerleri} \end{cases} \quad (3.28)$$

FSL çıkış empedansı $N//N$ dizin için aşağıdaki gibi elde edilir.

$$R_{FSL} = 2 \sum_{i=1}^{2N+1} R_{eff}(a_{sw,i})^2 = R_{eff} \frac{(2N-3)(2N+1)}{4N^2} \quad (3.29)$$

burada R_{eff} MOSFET iletim direnci R_{DS_ON} ile ara bağlantı dirençlerinin toplamıdır. İlave kayıp oranı FSL empedansının yük empedansına oranı olarak aşağıdaki gibi bulunur.

$$IL_{FSL} = \frac{R_{FSL}}{R_L} = \frac{2 R_{eff} I_{MP} (2N-3)}{V_{MP} N (2N+1)} \quad (3.30)$$

burada V_{MP} ve I_{MP} her bir panel-altı grubun sırasıyla maksimum güç noktasındaki gerilim ve akım değerleridir.

Anahtarlama için toplam çıkış empedansı her iki çıkış SSL ve FSL empedanslarının kombine edilmesiyle aşağıdaki gibi bulunur.

$$IL_{TOT} \cong \sqrt{IL_{SSL}^2 + IL_{FSL}^2} \quad (3.31)$$

Bir koldaki seri bağlı panel-altı grup sayısı $N=3$, maksimum güç noktasındaki gerilim ve akımı sırasıyla 11,2 V ve 4,66 A olan, etkin direnç değeri 10 m Ω , kapasitör değeri 20 μ F ve anahtarlama frekansı 250 kHz olan örnek bir anahtarlama dizinin için SSL empedansı sebebiyle oluşan kayıp % 0,5 ve FSL empedansı sebebiyle oluşan kayıp ise % 0,12 olup toplam kayıp bu iki değer bileşeni olarak % 0,51 olarak hesaplanır ve bu değer kabul edilebilir boyutlardadır. Panel altı seviyede uygulama kayıp analizleri için < % 1'in altında sonuç vermiştir. Bu sonuç panel-altı seviyede uygulamanın bir avantajı olarak ortaya çıkmaktadır.

3.5. ÖNERİLEN N//N-1 TOPOLOJİ İÇİN KAYIP ANALİZİ SONUÇLARI

Önerilen topolojinin Şekil 3.1a'da gösterilen $N//N-1$ versiyonu için, Chang ve diğerleri tarafından verilen kayıp analizi sonuçları geçerlidir [44]. Denklem (3.32) SSL empedansını verir.

$$R_{SSL} = \sum_{i=1}^{2N-1} \frac{(a_{c,i})^2}{C f_{sw}} = \frac{1}{12} \frac{N(N-1)}{2N-1} \frac{1}{C f_{sw}} \quad (3.32)$$

Denklem (3.33) maksimum güç noktasındaki yük empedansını verir.

$$R_L = \frac{V_{out}}{I_{out}} = \frac{NV_{MP}}{\left(\frac{2N-1}{N}\right) I_{MP}} = \left[\frac{N^2}{2N-1} \right] \frac{V_{MP}}{I_{MP}} \quad (3.33)$$

Denklem (3.34) SSL empedansı sebebiyle oluşan yüzde kayıp miktarını verir.

$$IL_{SSL} = \frac{R_{SSL}}{R_L} = \frac{1}{12} \frac{(N-1)}{N} \frac{1}{C f_{sw}} \frac{I_{MP}}{V_{MP}} \quad (3.34)$$

Denklem (3.35) FSL empedansını verir.

$$R_{FSL} = 2 \sum_{i=1}^{2N-1} R_{eff}(a_{sw,i})^2 = 4 \frac{N(N-1)}{(2N-1)^2} R_{eff} \quad (3.35)$$

Denklem (3.36) FSL empedansı sebebiyle oluşan yüzde kayıp miktarını verir.

$$IL_{FSL} = \frac{R_{FSL}}{R_L} = 4 \frac{(N-1)}{N(2N-1)} \frac{I_{MP}}{V_{MP}} R_{eff} \quad (3.36)$$

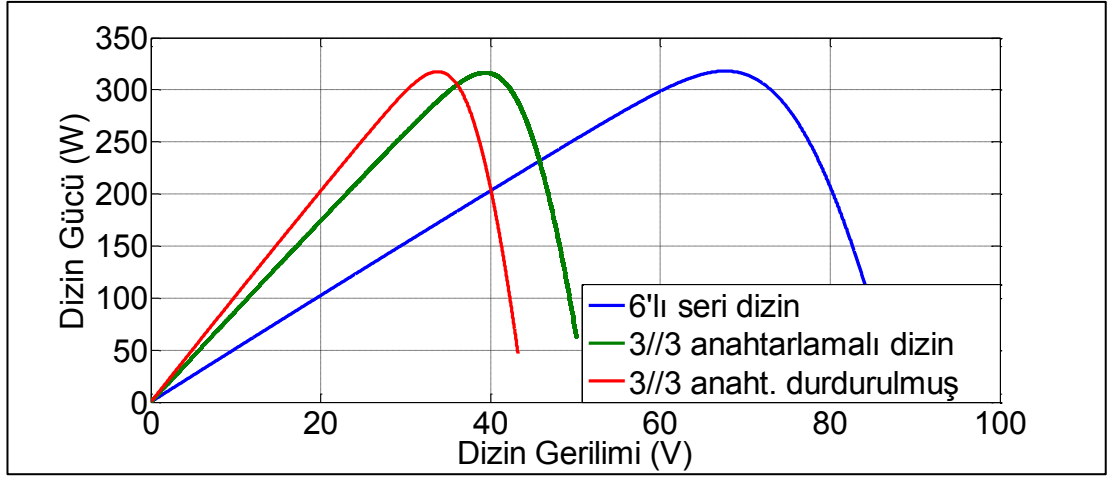
Toplam yüzde kayıp (3.31)'de olduğu gibi hesaplanır.

3.6. ÖNERİLEN N//N TOPOLOJİ İÇİN SİMÜLASYON SONUÇLARI

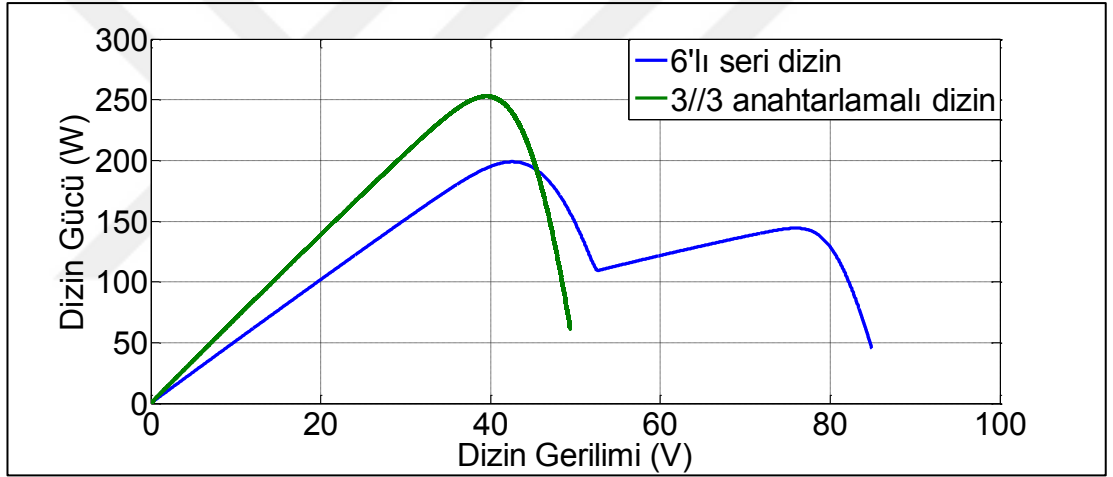
Aşağıda yapılan simülasyonlar Spice simülasyon programında yapılmıştır. 24 hücreden oluşan bir panel-altı grup, paralel ve seri dirençleri de kapsayan tek diyot eş değeri kullanarak modellenmiştir. Bu modeldeki foton kaynaklı akım kaynağı 5,182 A, diyot için idealite faktörü $n=25,8$ (idealite faktörü 1,075 olan 24 seri hücre için $24 \times 1,075$), paralel direnç $R_p=75,36 \Omega$ ve seri direnç $R_s=0,326 \Omega$ 'dur [50]. Standart test şartları altında $V_{MP}=11,2$ V, $I_{MP}=4,66$ A'dir. Anahtarlama frekansı ve kapasite değeri denklem (3.9)'da verilen R_{SSL} 'yi minimize edecek şekilde sırasıyla 250 kHz ve 20 μ F olarak seçilmiştir. Anahtar iletim direnci (3.10)'da verilen R_{FSL} 'yi minimize edecek şekilde 10 m Ω olarak seçilmiştir. Bu parametreler tezin bundan sonraki kısmında '1. parametre takımı' olarak isimlendirilecektir.

6 adet panel-altı grup 3//3 anahtarlama dizini olarak konfigüre edilerek, N//N rastgele sayıdaki bir dizin için çıkış gücü eğrisinin kısmi gölgelenme ve uyumsuzluk durumlarında artırılmış tepe değerli konveks bir eğri olacağını göstermek için simüle edilmiştir.

Şekil 3.13 düzgün dağılımlı radyasyon altında 6'lı seri dizin, 3//3 anahtarlama dizini ve 3//3 anahtarlama dizinde anahtarlamanın durdurulması ile elde edilen üç farklı durum için güç-gerilim eğrilerini gösterir; . Şekil 3.14 panel-altı gruplardan iki tanesi % 60 gölgeli (toplam gölgelenme % 20) iken 6'lı baypas diyotlu seri dizin ve 3//3 anahtarlama dizinin güç eğrilerini göstermektedir.



Şekil 3.13. % 100 Radyasyon altında 3//3 anahtarlamalı dizin ile seri bağlanmış 6'lı dizinin güç eğrilerinin kıyaslanması.



Şekil 3.14. Panel-altı gruplardan iki tanesi % 60 gölgeli (toplam gölgelenme % 20) iken 6'lı baypas diyotlu seri dizin ve 3//3 anahtarlamalı dizinin güç eğrilerinin kıyaslanması.

Şekil 3.14'ten görüleceği üzere baypas diyotlu seri dizin için tepe değeri azalmış çoklu lokal maksimum güç noktaları oluşmuştur. Böyle bir durumda dizin inverterde çalışan MPPT algoritması global maksimumu yerel maksimumlara takılmaksızın bulmalıdır. Ancak geleneksel tepe tırmanma algoritmaları genellikle lokal maksimumlara takılır. Bu nedenle global arama algoritmalarını da içeren hibrit algoritmalar gerçek maksimumu bulmak için dizin inverterlerde çalıştırılmak zorunda kalır. Şekil 3.14'te gösterilen 3//3 anahtarlamalı dizin için elde edilen çıkış gücü eğrisi artırılmış tepe değerli konveks bir eğridir. Böyle bir durumda geleneksel

tepe tırmanma algoritmaları maksimum güç noktasını kolayca bulabilirler. Sonuçlar maksimum güçleri ve verimleri gösteren Çizelge 3.4'te özetlenmiştir.

Bu çalışma boyunca çizelgelerde bulunan dönüşüm verimi değerleri, aralarında % 100 karakteristik uyum olan ve düzgün dağılımlı radyasyona maruz kalan seri dizinlerin maksimum gücü baz alınarak hesaplanmıştır. Anahtarlamalı dizin için çıkartılan güç değerleri ise % 100 karakteristik uyum ve düzgün dağılımlı radyasyon durumunda bu dizinden elde edilebilen maksimum güç değerleri baz alınarak hesaplanmıştır. Konvertör için dönüşüm verimi anahtarlamalı dizinin maksimum güç değerinin seri dizinin maksimum güç değerine oranı olarak bulunur.

Çizelge 3.4'ten görüleceği üzere anahtarlamalı dizin için düzgün dağılımlı radyasyon altında elde edilen % 99,48'lik dönüşüm verimi % 0,51'lik kayıp analizini doğrulamaktadır.

Anahtarlamalı dizin üzerinde % 20 toplam kısmi gölgelenme oluştuğunda çıkartılan güç % 79,87 olmakta ve böylece önerilen metot ile neredeyse üretilen tüm gücün dış devreye aktarılabilirdiği gözükmektedir. Anahtarlamalı dizindeki anahtarlar 1 pozisyonunda kalacak şekilde anahtarlama durdurulduğunda % 0,16'lık bir güç kaybı oluşmaktadır. Bu kaybın sadece dizin akımını taşıyan en alt ve en üst anahtarlardan kaynaklandığı ve daha uzun dizinler için sıfıra yaklaşacağı aşıkardır.

Çizelge 3.4. Maksimum güç ve verim kıyaslaması.

Konfigürasyon	Düzgün dağılımlı radyasyon		Toplam gölgelenme % 20		Gölgelenmesiz anahtarlama dur.	
	Güç (W)	Dönüşüm Verimi %	Güç (W)	Çıkartılan güç %	Güç (W)	Dönüşüm Verimi %
6 seri+baypas diyot	318,06	100	198,93	62,54	318,06	100
3//3 anahtarlamalı dizin	316,41	99,48	252,71	79,87	317,55	99,84

Daha fazla simülasyon çalışması farklı gölgelenme desenleri ve oranları için yapılmış olsa da topolojinin çalışmasını göstermesi açısından yukarıdaki sonuçlar şimdilik yeterlidir.

3.7. PARASİTİK ELEMANLARIN SEBEP OLDUĞU KAYIPLAR

Şimdiye kadar ki kayıp analizi yük transferi ile ilgili olan SSL kayıpları ve anahtar iletim kayıpları ile ilgili olan FSL kayıplarını içermektedir. Sistem seviyesinde bir tasarım için diğer hatırı sayılır kayıp kaynakları da modellenmelidir. Konvertördeki parasitik elemanların sebep olduğu diğer iki kayıp şunlardır: kapasitör seri eş değer direnç (*ESR*) kayıpları ve MOSFET'lerin parasitik kapasitelerinin sebep olduğu kayıplar.

Transistörlerin 'drain', 'gate' ve 'body' kapasitansları (sırasıyla $C_{G,i}$, $C_{D,i}$ ve $C_{B,i}$) konvertörün anahtarlama kayıplarını oluşturur. Anahtarlama kaybı (3.37)'de verilmiştir [48].

$$SW_{Loss} = f_{SW} \sum_{i \in SW} (C_{G,i} v_{G,i}^2 + C_{D,i} v_{r,i}^2 + C_{B,i} v_{B,i}^2) \quad (3.37)$$

burada $v_{G,i}$, $v_{r,i}$ ve $v_{B,i}$ sırasıyla 'gate-source', 'drain-source' ve 'body-source' gerilimlerinin tepeden tepeye değerleridir. Bu parasitik kapasitanslar anahtar boyutu ile doğru orantılı olduğundan bu kayıplar anahtar boyutu ve frekansın artmasıyla artar. Anahtarlama kaybının toplam güçteki yüzde oranı (3.38) ile hesaplanır.

$$IL_{SW_Loss} = \frac{SW_{Loss}}{(2N - 1)V_{MP} I_{MP}} \quad (3.38)$$

ESR'nin sebep olduğu kaybın bulunması anahtar iletim kayıplarından doğan FSL kayıplarının bulunmasına benzerdir. Her bir kapasitör için yük çarpanı Çizelge 3.2'deki gibi $N/N-1$ konfigürasyonu için de çıkarılabilir. Kapasitör yük çarpanları *ESR* dirençleri içinde geçerli olur. Denklem (3.39) $N/N-1$ konfigürasyonu için kapasitenin *ESR*'sinin sebep olduğu kayıp miktarını gösterir. Bu kaybın toplam güçteki yüzde oranı (3.40) ile hesaplanır.

$$ESR_L = 2 \sum_{i=1}^{2N-1} \sum_{j=1}^2 R_{ESR} (a_{C_ESR,i}^j)^2 = \frac{4}{12} \frac{N(N-1)}{(2N-1)} R_{ESR} \quad (3.39)$$

$$IL_{ESR} = \frac{ESR_L}{R_L} = \frac{4}{12} \frac{(N-1)}{N} \frac{I_{MP}}{V_{MP}} R_{ESR} \quad (3.40)$$

Farklı kayıp bileşenleri bir araya getirildiğinde çıkış empedansının sebep olduğu yüzde kayıp (3.41) ile hesaplanır.

$$IL_{TOT} = \sqrt{IL_{SSL}^2 + IL_{FSL}^2} + IL_{ESR} + IL_{SW_Loss} \quad (3.41)$$

Konvertörün verimi (3.42) ile hesaplanır.

$$\eta = 1 - IL_{TOT} \quad (3.42)$$

3.8. ÖNERİLEN N/N-1 TOPOLOJİ İÇİN SİMÜLASYON SONUÇLARI

N/N-1 konfigürasyonu uyumsuzluk durumu olmadığına anahtarlamayı durdurmaya mücadele etmemek dışında önerilen metodun az eleman içerme, uyumsuzluk durumunda artırılmış tepe değerli konveks güç eğrisi sağlama gibi avantajlarına sahiptir.

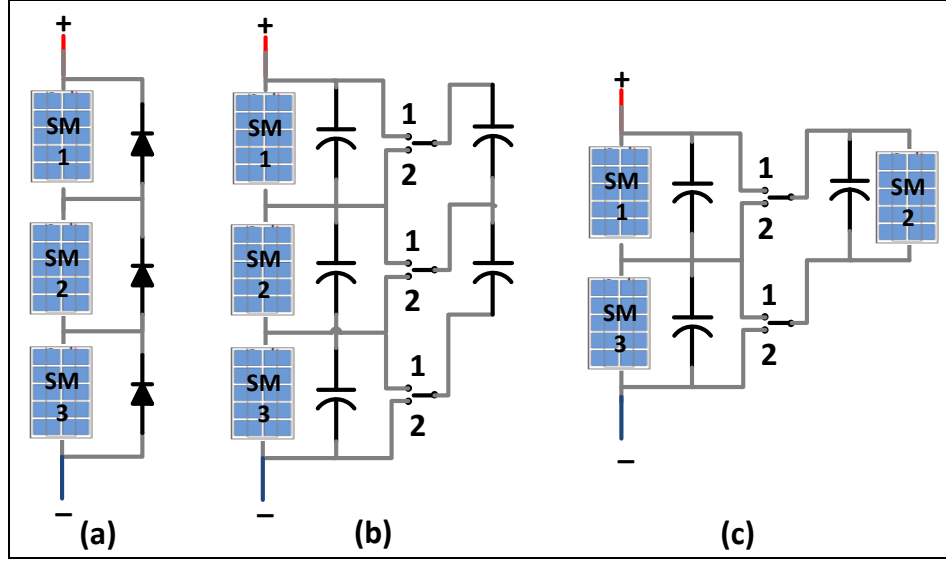
Bu konfigürasyon için simülasyon sonuçları ile uygulama sonuçlarını karşılaştırabilmek üzere Bölüm 5.3'te anlatılan deney düzeneğinde kullanılan PV modül ve devre parametreleri simülasyon modeli içine gömülmüştür. 36 hücreli bir PV modül panel-altı birim olarak ele alınmıştır. Bu panel-altı birim simülasyon ortamında tek diyotlu paralel ve seri dirençleri kullanan eş değer devre ile modellenmiştir. Bu eşdeğer devrenin parametreleri; foton kaynaklı akım kaynağı 1,5 A, diyot idealite faktörü $n=43$, paralel direnç $R_p=390 \Omega$ ve seri direnç $R_s=1,543 \Omega$ 'dur. Standart test şartları altında PV modül için $V_{MP}=20,07$ V, $I_{MP}=1,367$ A'dir. Anahtarlamalı kapasitör konvertör devresi için anahtarlama frekansı 200 kHz, anahtar iletim direnci 14 m Ω ve kapasitör değeri olarak 33 μ F, kapasite eş değer seri direnç R_{ESR} 140 m Ω 'dur. Bu parametreler tezin bundan sonraki kısmında '2. parametre takımı' olarak isimlendirilecektir.

Yukarıda zikredilen parametrelere sahip 2//1 anahtarlama dizini için; (3.34)'e göre SSL empedansının sebep olduğu kayıp % 0,043, (3.36)'a göre FSL empedansının sebep olduğu kayıp % 0,0634, (3.40)'a göre kapasite eşdeğer direncinin sebep olduğu ESR kayıpları % 0,159 olarak hesaplanmıştır.

Spice programı deneysel düzenekte kullanılan MOSFET modelinin programa dahil edilmesine olanak sağlamaktadır. Bu modeller MOSFET üreticileri tarafından elemanın davranışını en iyi şekilde modellemek üzere alt devreler içerecek şekilde oluşturulmaktadır. Amacımız simülasyonu mümkün olduğunca deneysel parametreleri içerecek şekilde gerçekleştirmek olduğundan bu MOSFET modelleri simülasyon ortamına gömülmüştür. Aynı zamanda MOSFET sürücü modelleri de üreticilerin verdiği kütüphane dosyalarını kullanmak suretiyle simülasyona dahil edilebilir. MOSFET sürücü modelleri dahil edildiğinde simülasyon çok uzun zamanlar almakta ve sonuçlara yakınsayamadığı durumlar ortaya çıkmaktadır. Bu nedenle bu aşamada MOSFET yerine $14 \text{ m}\Omega$ iletim direnci olan ideal anahtar kullanılmıştır. İdeal anahtarlar için parasitik kapasiteler söz konusu olmadığından (3.38)'de verilen anahtarlama kayıpları simülasyon şartları için ihmal edilmiştir. Bu durumda önerilen 2//1 anahtarlama dizini için toplam kayıp SSL, FSL ve ESR kayıplarının birleşimi ile % 0,2356 olarak hesaplanır.

3 adet panel-altı birim 2//1 anahtarlama dizini olarak konfigüre edilerek simüle edilmiştir. Ayrıca önerilen metodu geleneksel olarak konfigüre edilmiş anahtarlama kapasitör konvertör çözümü ile karşılaştırmak için Şekil 3.15b'de gösterilen topoloji simülasyon ortamında yukarıda belirtilen parametreler ile gerçekleştirilmiştir.

İki topoloji tarafından n sayıdaki PV panel-altı birimi dengelemek için kullanılan kapasitör ve anahtar sayısı Çizelge 3.5'te verilmiştir. Görüldüğü üzere önerilen topoloji yarı sayıda eleman içermektedir. MOSFET'leri sürmek için gerekli sürücü entegresi ve diğer devre elemanlarının sayısında aynı şekilde yarıya inecektir. Bu avantaj büyük çaplı güneş enerjisi santralleri için ($>1 \text{ MW}$, böyle bir uygulama 250 W_p 'lik panellerden 4000 adet içerecektir) ilk kurulum maliyetinde azalmayı beraberinde getirir. Ayrıca az sayıdaki güç elektroniği elemanı doğru bir tasarımla daha az güç elektroniği kaybı sağlayabilir.



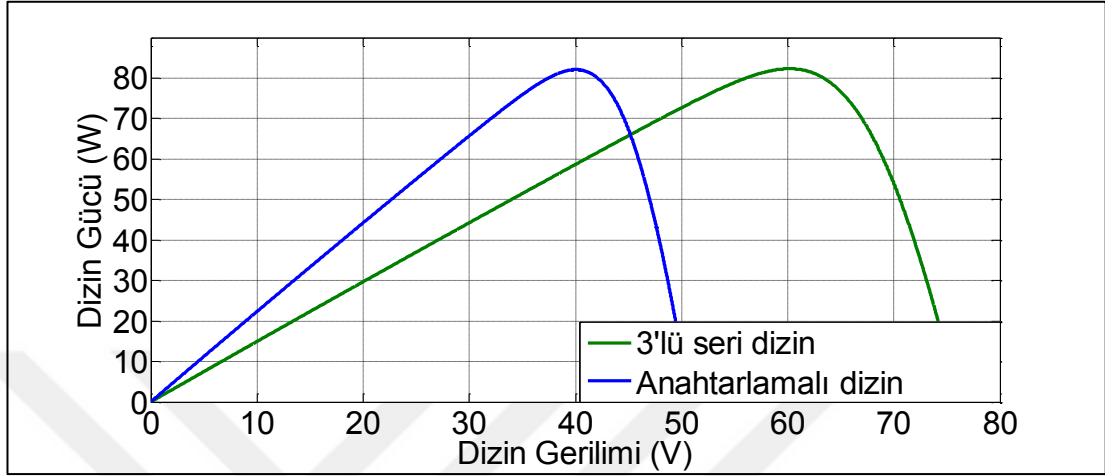
Şekil 3.15. Karşılaştırılan panel-altı dizin şekilleri a) baypas diyotlu klasik seri dizin, b) geleneksel konfigüre edilmiş anahtarlamalı kapasitör çözümü, c) önerilen merdiven tipi anahtarlamalı panel-altı çözümü.

Çizelge 3.5. İki çözüm tarafından kullanılan esas eleman sayılarının karşılaştırılması.

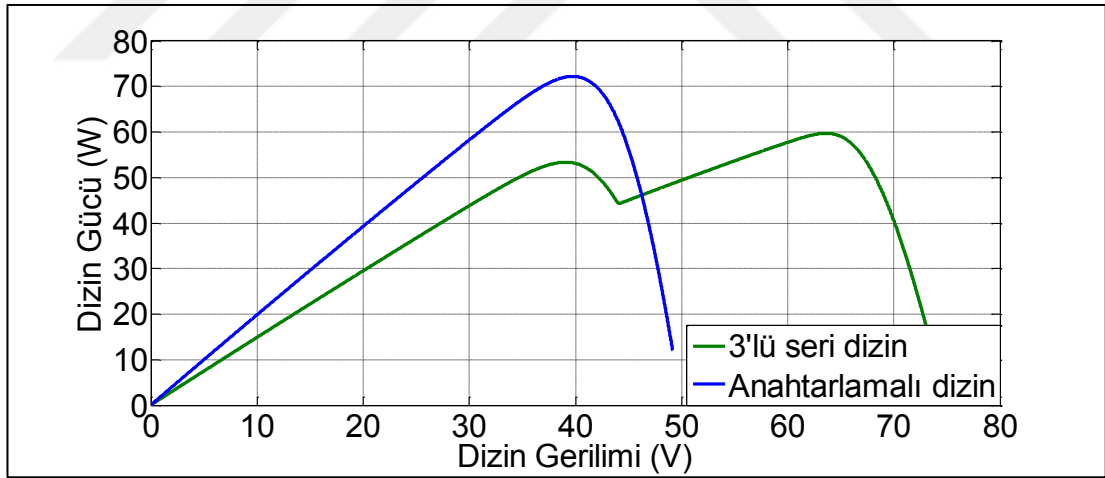
Konfigürasyon	Kapasitör	Anahtar
Geleneksel	$2n-1$	$2n$
Önerilen	n	$n+1$

Şekil 3.16'da % 100 düzgün dağılımlı radyasyon altında 2//1 anahtarlamalı dizin ve geleneksel baypas diyotlu 3'lü seri dizin için simülasyon ile elde edilen P-V eğrileri gösterilmiştir. Şekil 3.17 her iki dizin içinde SM2 % 36,1 kısmi gölgelenmeye maruz kaldığında yani tüm dizin gücünün % 12,03'ü gölgelendiği durum için P-V eğrileri gösterilmiştir. Görüldüğü üzere baypas diyotlu geleneksel dizin için P-V eğrisi çoklu lokal maksimumlar içerir. Bu durumda dizin inverter üzerinde çalışan MPPT algoritması lokal maksimumlara veya minimumlara takılmadan global maksimumu bulmalıdır. Bu yüzden herhangi bir arama algoritması içermeyen klasik tepe tırmanma algoritmaları bu durumlarda başarısız olur. Önerilen anahtarlamalı dizin için elde edilen P-V eğrisi konveks yapıda olup klasik dizine kıyasla artırılmış tepe değerli tek bir maksimum içermektedir. Bu maksimum güç noktasının değeri $P_{MP_gölgesiz} * (1 - \text{toplam gölgelenme oranı})$ kadar olmalıdır. Bu konveks eğri üzerinde tepe tırmanma algoritmaları ekstra arama algoritmalarına ihtiyaç duymaksızın kolaylıkla maksimum güç noktasını bulabilir. Şekil 3.18 her iki dizindeki SM1 ve

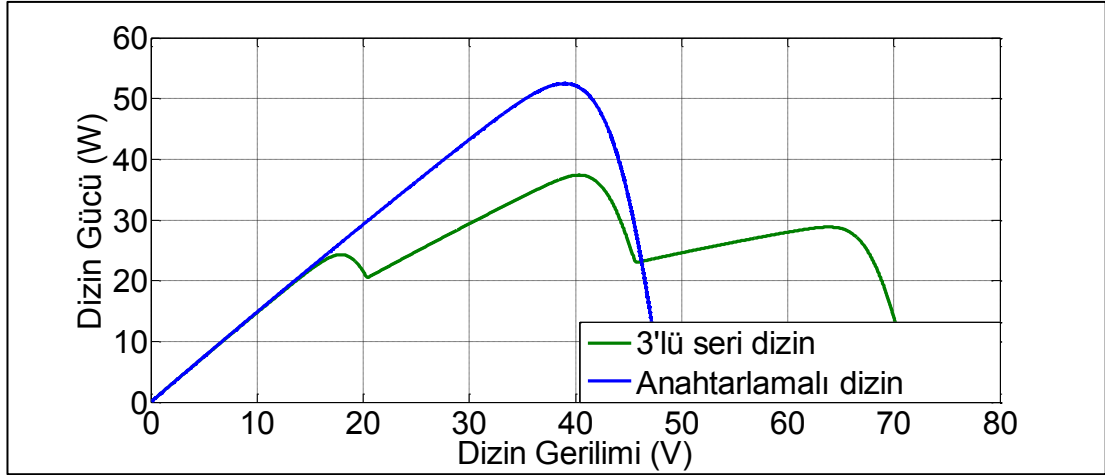
SM2 panel-altı birimleri sırasıyla % 70,93 ve % 36,10 oranında kısmi gölgelenmeye maruz kaldığında yani tüm dizin üzerindeki gölgelenme oranı % 35,68 olduğu durum için simülasyon sonuçlarını göstermektedir.



Şekil 3.16. 2//1 anahtarlamalı dizin ile 3'lü seri dizin P-V eğrilerinin % 100 düzgün dağılımlı ışınım altında karşılaştırılması.



Şekil 3.17. Toplam gölgelenme % 12,03 durumu için P-V eğrilerinin kıyaslanması.



Şekil 3.18. Toplam gölgelenme % 35,68 durumu için P-V eğrilerinin kıyaslanması.

Maksimum güçler ve verimler Çizelge 3.6'da özetlenmiştir. Bu çizelgede Şekil 3.15'te gösterilen baypas diyotlu klasik seri dizin (a), geleneksel anahtarlamalı kapasitör çözümü (b) ve önerilen merdiven tipi anahtarlamalı panel-altı dizin (c) için elde edilen simülasyon sonuçları gösterilmiştir. % 100 düzgün dağılımlı ışınım durumunda anahtarlamalı panel-altı konvertör için % 99,74 dönüştürme verimi elde edilmiştir. Bu değer toplam dizin kurulu gücünün % 0,24'üne tekabül eden güç kayıp analizini yaklaşık olarak doğrulamaktadır. % 12,03'lük toplam kısmi gölgelenme için anahtarlamalı dizin kurulu gücünün % 87,93'ü çıkartılabilmektedir. Bu durumda toplam dizin gücünün % 99,96'sının çıkarılabildiğini göstermektedir. Baypas diyotlu seri dizine kıyasla çıkartılabilecek güç miktarındaki net artış % 15,41'dir. İyi tasarlanmış bir DC-DC optimize edici için çıkartılan % güç miktarı ve % gölgelenme oranının toplamı % 100'e yakın olmalıdır. Kısmi gölgelenme oranı arttıkça kayıp miktarı arttığı için bu değer % 100'den sapma gösterir. Kayıptaki artış uyumlu duruma kıyasla anahtarlama devresi üzerinde işlenen güç miktarının artmasından kaynaklanır. Çünkü panel-altı birimler arasındaki uyumsuzluk ve kısmi gölgelenme arttıkça panelleri dengelemek ve farksal akıma ekstra yol oluşturmak için daha fazla güç işlenir. Bu durum tablo üzerinde gözlenebilir. % 35,68 gölgelenme oranı için dizin gücünün % 63,90'ı yük tarafına çıkartılabilir ve sadece toplam dizin gücünün % 0,42'si kayıp edilir. İşlenen güç miktarını dizin üzerindeki gölgelenme deseni de etkiler. Örneğin dizin için toplam % 23,64 gölgelenme oranı SM1 panel-altı birimi % 70,93 gölgelendiğinde elde edilmiştir. Bu çalışma şartı için dizin gücünün % 75,76'sı

çıkartılabilmekte ve kayıp % 0,60 olmaktadır. Görüldüğü üzere gölgelenme deseninde işlenen güç miktarını değiştirmekte ve kayıp miktarında buna göre etkilenmektedir.

Yukarıda özetlenen sonuçlar faz 1 ve faz 2 anahtarlama zamanı arasına ölü zaman eklemeksizin elde edilmiştir. Bilindiği üzere bu tip anahtarlama devrelerinde kısa devre oluşumunu ve bunun sebep olduğu kayıpları önlemek için fazlar arasına bir miktar ölü zaman eklenir. Önerilen metot için bu ölü zaman eklemesi yük transferinin yapıldığı etki zaman dilimini azalttığı için bir miktar güç kaybına sebep olur. Çünkü SSL empedansı artar. Bununla beraber bu zaman dilimindeki iletim kayıpları azaldığı için net kayıp miktarı devre parametrelerine bağlı olur. Çizelge 3.6 ölü zaman eklenmiş durum için simülasyon sonuçlarını göstermektedir. 250 ns'lik ölü zamanlı anahtarlama durumu için çıkartılan güç miktarlarındaki küçük azalma tablodan görülebilmektedir.

Çizelge 3.6'daki sonuçlar daha düşük *ESR* değerine sahip kapasite (seramik kapasite veya çok katmanlı seramik kapasite gibi) kullanımı söz konusu olduğunda çıkartılan güç miktarının artma eğiliminde olduğunu göstermektedir.

Çizelge 3.6'da Şekil 3.15b'de gösterilen klasik konfigüre edilmiş anahtarlama kapasitör çözümü için aynı parametreler ile elde edilen simülasyon sonuçları yer almaktadır. Çizelge 3.7'de hem önerilen çözüm hem de geleneksel çözüm için dizinin dengelenmesi esnasında işlenen güç miktarlarını % olarak göstermektedir. Çizelgedeki değerler yalnızca yukarıda bahsedilen kısmi gölgelenme durumları için geçerli olup kısmi gölgelenme desenine göre değişiklik arzeder. Kısmi gölgelenme oranı arttıkça geleneksel yaklaşım daha fazla güç işlemeye yönelirken, önerilen metot için işlenen güç miktarı daha az kalır. İşlenen güç miktarı Bölüm 4'te önerilen tam farksal güç işleme versiyonu ile azaltılabilir ve böylece çıkartılan güç artırılabilir. Çizelge 3.8'de her iki metot için rezistif elemanlarda tüketilen güç miktarını gösterir. Görüldüğü üzere geleneksel metoda kıyasla yarı sayıda eleman ile yaklaşık aynı performansı verdiği dikkat edilmelidir. Çizelgelerden görüldüğü üzere klasik çözüm düzgün dağılımlı radyasyon ve hafif gölgelenme oranları için öne çıkarırken, önerilen çözüm ağır gölgelenme şartları için öne çıkar. Buradan binaların

birbirini gölgelenme ihtimalinin yüksek olduğu BIPV uygulamaları için önerilen çözümün daha avantajlı olabileceği söylenebilir.

Çizelge 3.6. Maksimum güç ve verim kıyaslaması.

Konfigürasyon	Eş radyasyon	Toplam gölgelenme % 12,03	Toplam gölgelenme % 23,64	Toplam gölgelenme % 35,68
	Güç (W), Dönüşüm Verimi %	Güç (W), Çıkartılan %	Güç (W), Çıkartılan %	Güç (W), Çıkartılan %
3 series+baypas	82,325, % 100	59,702, % 72,52	53,251, % 64,68	37,402, % 45,43
2//1 sub-module ^{1,3}	82,111, % 99,74	72,200, % 87,93	62,211, % 75,76	52,471, % 63,90
2//1 sub-module ^{2,3}	82,046	72,164	62,149	52,434
2//1 sub-module ^{1,4}	82,226	72,264	62,340	52,553
2//1 sub-module ^{2,4}	82,213	72,256	62,327	52,547
3 series+2-sw. cap. ^{1,3}	82,300	72,301	62,214	52,428

¹ölü zaman yok, ²ölü zamanlı, ³R_{ESR}=140 mΩ, ⁴R_{ESR}=14 mΩ

Çizelge 3.7. İşlenen güç miktarlarının kıyaslanması.

Konfigürasyon	Eş radyasyon	Toplam gölgelenme % 12,03	Toplam gölgelenme % 23,64	Toplam gölgelenme % 35,68
2//1 sub-module	% 33	% 24	% 43	% 36
3 series+2-sw. cap.	% 0	% 18	% 60	% 72

Çizelge 3.8. Rezistif güç kayıplarının kıyaslanması (W).

Konfigürasyon	Eş radyasyon	Toplam gölgelenme % 12,03	Toplam gölgelenme % 23,64	Toplam gölgelenme % 35,68
2//1 sub-module	0,169	0,072	0,390	0,293
3 series+2-sw. cap.	0	0,048	0,506	0,458

BÖLÜM 4

FARKSAL GÜÇ İŞLEME (DPP)

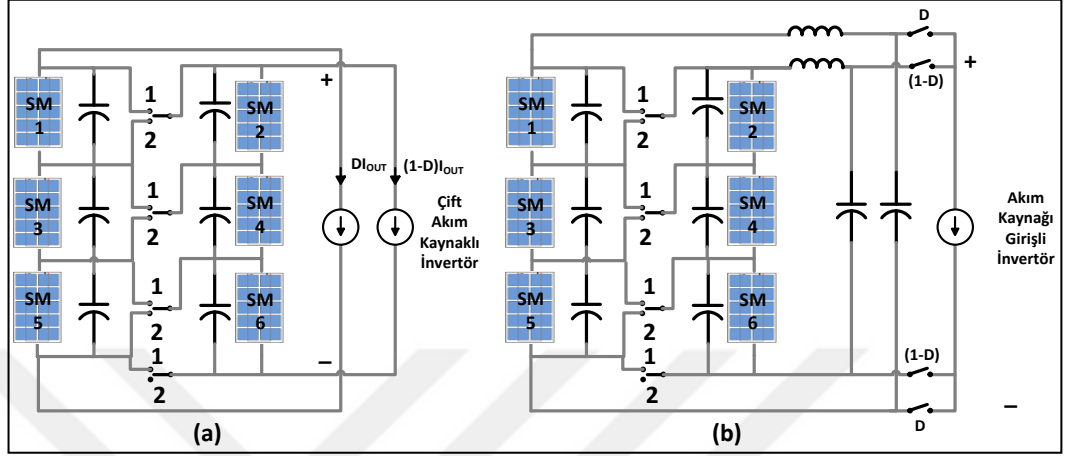
Önerilen topoloji için kapasitör-anahtar devreleri üzerinde işlenen güç miktarı azaltılarak normal seri dizine oranla yaşanan ilave kayıplar azaltılabilir. Bu bölümde önerilen topoloji için farksal güç işlemeye olanak sağlayan yapı tanıtılacaktır. Devamında ise simülasyon sonuçları ile verim cinsinden avantajı açıklanmaya çalışılacaktır. Son olarak literatürde öne çıkan diğer çalışmalarla performans karşılaştırılması ile sona ermektedir.

4.1. ÖNERİLEN TOPOLOJİ İÇİN ÇİFT ÇIKIŞLI YAPI

Önerilen topolojinin tek çıkışlı versiyonu olan Şekil 3.1 sağ tarafa bağlı anahtarlamalı merdiven dizininde üretilen gücü yük tarafına çıkartabilmek için gölgelenme olmasa dahi sürekli bir anahtarlama gerektirir. Bu anahtarlama esnasında tüm dizinde üretilen gücün bir kısmı anahtarlar tarafından işlenir. Bu ara güç işleme ilave dönüşüm kaybına sebep olur. Chang ve diğerleri tarafından önerilen farksal güç işleme konsepti panel-altı seviyede de uygulanabilir [45]. Böylece önerilen topolojinin tek çıkışlı yapıda karşılaşılan ilave güç dönüşüm kaybı önlenmiş olur. Şekil 4.1'de basitçe tek çıkışlı yapıdaki anahtarlanan merdiven dizinin çıkışı, diğer taraftan ayrılarak iki çıkışlı bir yapı elde edilmiştir. Dizin seviyesindeki bu modifikasyon her iki dizin kolundan da doğrudan enerji çıkışına müsaade etmektedir. Böylece çift çıkışlı akım kaynağı elde edilir.

Çift akım kaynağı çıkışı, birbirinden izole iki dizin inverter kullanarak (Şekil 4.1a) veya merkezi inverterin önüne eklenmiş akım bölücü arayüz (Şekil 4.1b) ile gerçekleştirilebilir. Bu akım bölücü arayüz kapasitif enerji tamponlarının şarj ve deşarjına izin veren indüktans-kapasitans çifti ile gerçekleştirilebilir. Başka bir deyişle kapasitörler indüktanslar üzerinden neredeyse sabit bir akım ile şarj edilirler

ve inverter üzerinden sabit bir akım ile deşarj edilirler. Böylece kapasitif şarj ve deşarj kayıpları oldukça azaltılabilir ve verimliliği yüksek bir akım bölücü arayüz yapılabilir [45].



Şekil 4.1. Önerilen topolojinin çift çıkışlı versiyonu a) kavramsal diyagram, b) akım bölücü arayüzlü tek bir merkezi inverter ile farksal güç işlemeli anahtarlama dizini.

Çift akım kaynağı arayüzü her iki dizin kolundan doğrudan enerji çıkışına izin vererek farksal güç işlemeye olanak sağlar. Böylece sadece iki dizin arasındaki fark güç anahtarlar üzerinden akar ve işlenen güç miktarı azaltılarak ilave dönüşüm kaybı azaltılır.

Şekil 4.1b'deki topoloji üzerinden örnek verecek olursak; her iki dizin kolunda kısmi gölgelenme ve panel-altı gruplar arası uyumsuzluk olmadığı şartlarda, yani % 100 uyumlu durumda, her iki dizindeki panel-altı gruplar aynı I_{MP} ve V_{MP} 'ne sahip olacaklardır. Dizinlerden maksimum gücü çıkartmak için çift akım kaynağı ara yüzü her bir panel-altı PV elemandan aynı I_{MP} 'ni, dolayısıyla ilgili dizinden aynı I_{MP} 'ni çıkartmalıdır. Bu durum ise akım bölme oranı $D=0,5$ 'e tekabül eder. Bu şartlar altında her bir panel-altı grup aynı V_{MP} noktasında çalışacağından merdiven dizinin anahtarlama esnasında anahtarlar üzerinden herhangi bir yük transferi gerçekleşmeyecektir. Dolayısıyla herhangi bir güç anahtarlar üzerinde işleme tabi tutulmadığından tek çıkışlı duruma göre, Şekil 3.1'de gösterildiği gibi, ek bir kayıp söz konusu olmayıp seri dizin ile aynı güç elde edilecektir. Bu da farksal güç işlemeye işaret etmektedir.

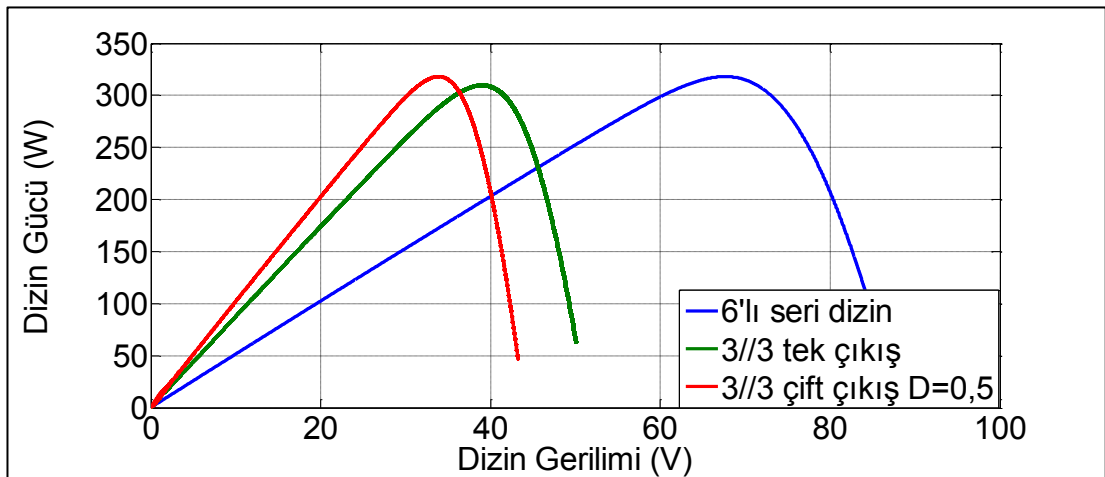
Önerilen metodun gölgelenme durumundaki analizi ise örnek üzerinden şu şekilde açıklanabilir. Şekil 4.3'te 6 seri hücre, 3//3 tek çıkışlı ve 3//3 çift çıkışlı konfigürasyonlarından elde edilen güç eğrileri karşılaştırılmıştır. Bu analiz 3 tane panel-altı grubun % 50 gölgelendiği durum için yapılmıştır. 3//3 tek çıkışlı ve çift çıkışlı anahtarlama merdiven konfigürasyonu için bu 3 panel-altı grubun anahtarlama merdiven dizisinde (sağ tarafta) olduğu kabul edilmiştir. Yani simetrik olmayan bir gölgelenme durumu ele alınmıştır. Böyle bir gölgelenme durumu için sol koldaki dizinde üretilecek akımın sağ koldaki dizine oranla iki kat olacaktır. Bu durumda anahtarlarda işlenen güç miktarını azaltmak üzere çift çıkışlı akım kaynaklarından akıtılacak akım D üzerinden ayarlanabilir. Bu daha önce tek çıkışlı versiyonda var olmayan ekstra bir optimizasyon aracıdır. Bu durumda anahtarlar üzerinde işlenecek gücü azaltmak üzere sol koldan 1 birim akım ve sağ koldan 0,5 birim akım çekecek şekilde D ayarlanmalıdır ($D=(1/1+0,5)\approx 0,67$). Buradan $D=0,67$ ve $1-D=0,33$ olmak üzere sırasıyla sol koldan ve sağ koldan akıtılacak akımlar bu orana göre ayarlanacak olursa anahtarlar üzerinde işlenecek güç miktarı neredeyse sıfırdır. Böylece tek çıkışlı versiyonda yaşanan ilave güç dönüşüm kayıpları azaltılabilir. Hâlbuki tek çıkışlı durum için belirtilen gölgelenme şartlarında tüm dizinin ürettiği gücün bir kısmı güç dengelemeyi gerçekleştirebilmek için anahtarlar üzerinde işlenmek durumunda kalırdı. Herhangi rastgele bir gölgelenme durumu için D bu kadar kolay belirlenemeyebilir. Dolayısıyla toplam çıkış gücünü maksimize edecek, toplam çıkış akımı ve D değerleri aranmalıdır. Tek çıkışlı yapının en büyük avantajlarından biride tek maksimumlu konveks güç eğrisidir ki bu dizin seviyesindeki MPPT algoritmasının yerel minimumlara takılma problemini ortadan kaldırdığı gibi bu algoritmayı basitleştirir. Aşağıda sonuçları verilen simülasyon çalışmaları ile farksal güç işlemeye izin veren çift çıkışlı yapı için farklı gölgelenme durumlarına ilişkin güç eğrilerinin her zaman tek bir maksimum sergilediğini göstermiştir.

4.2. ÇİFT ÇIKIŞLI DURUM İÇİN SİMÜLASYON SONUÇLARI

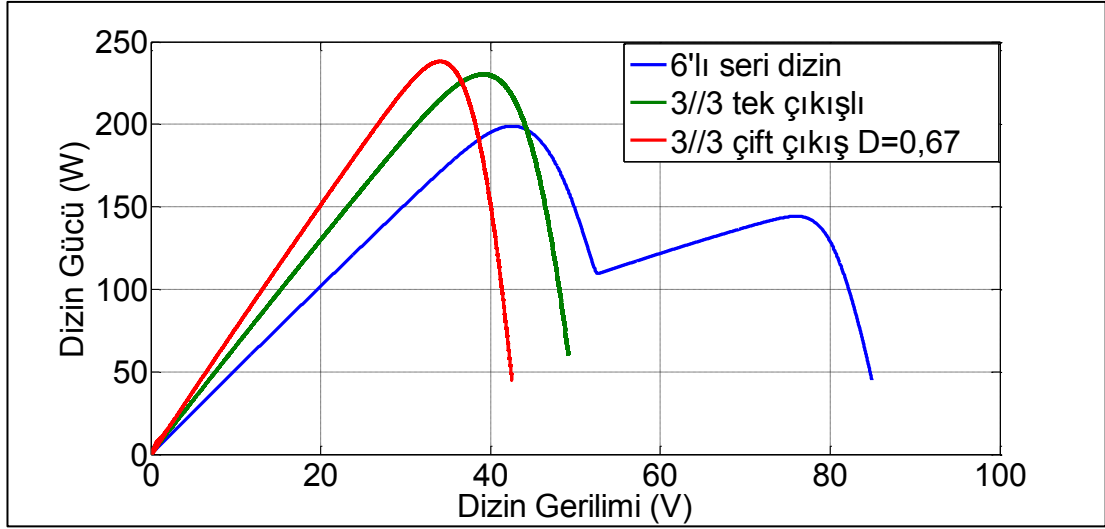
Çift çıkışlı durum için Şekil 4.1b'de gösterilen devre PSpice programı ortamında kuruldu. Bölüm 3.6'da verilen 1. parametre takımı kullanılarak simülasyon yapıldı. Tek çıkışlı yapıda anahtarlama dizinden çıkartılacak güç R_{SSL} empedansı nedeniyle

frekansa bağlıdır. R_{SSL} empedansı frekans arttıkça azalacağından bu empedansın sebep olduğu kayıplar azalacaktır. Tek çıkışlı durumda normal seri bağlı dizine oranla yaşanan ilave güç dönüşüm kaybını minimum tutmak için 250 kHz'lik bir anahtarlama frekansı seçilmiştir. Bu durumda kayıp % 0,52 olduğundan çift çıkışlı durumun üstünlüğü belirgin olmayabilir. Bu sebeple anahtarlama frekansı 50 kHz'e düşürülerek R_{SSL} empedansını artırıp tek çıkışlı yapı için kayıp miktarını artırarak kıyaslama yapmak, çift çıkışlı yapının üstünlüğünü ortaya koymak için daha uygun olur. Anahtarlama frekansının azaltılmasıyla anahtarlama kayıplarının azalacağı unutulmamalıdır. Anahtarlama frekansı 50 kHz ve diğer değişkenler aynı olmak üzere R_{SSL} 'nin sebep olduğu kayıp % 2,5 ve R_{FSL} 'nin sebep olduğu kayıp ise değişmeyip % 0,12'dir. Toplam kayıp ise yaklaşık % 2,5'dir.

Şekil 4.2 düzgün dağılımlı radyasyon altında üç farklı durum için güç-gerilim eğrilerini gösterir; 6'lı seri dizin, 3//3 anahtarlama dizin tek çıkışlı ve 3//3 anahtarlama dizin çift çıkışlı hali. Şekil 4.3 panel-altı gruplardan sağ taraftakilerin tamamı % 50 gölgeli (toplam gölgelenme % 25) iken belirtilen üç durum için sonuçları göstermektedir. Çift çıkışlı durum için $D=0,67$ ayarlanarak dizinin sol kolundan sağ koluna kıyasla iki kat akım çekilmiş ve netice olarak iki kol arasındaki enerji alışverişi minimize edilerek farksal güç işleme gerçekleştirilmiştir. Böylece anahtarlarda işlenen güç azaltılarak sebep olunan güç kaybı azaltılmıştır.



Şekil 4.2. % 100 Radyasyon altında 3//3 anahtarlama dizin tek ve çift çıkışlı hali ile seri bağlanmış 6'lı dizinin güç eğrilerinin karşılaştırılması.



Şekil 4.3. Panel-altı gruplardan sağ taraftakiler % 50 gölgeli (toplam gölgelenme % 25) iken 6'lı baypas diyotlu seri dizin ve 3//3 anahtarlamalı dizinin tek ve çift çıkışlı güç eğrilerinin karşılaştırılması.

Yukarıdaki simülasyon sonuçları için maksimum güçler ve verimler Çizelge 4.1'de özetlenmiştir. Tek çıkışlı anahtarlamalı dizin için düzgün dağılımlı radyasyon altında elde edilen % 97,4'lük dönüşüm verimi yukarıdaki bölümde yapılan % 2,5'lik kayıp analizini yaklaşık olarak doğrulamaktadır. Tek çıkışlı dizin üzerinde % 25 toplam kısmi gölgelenme oluştuğunda çıkartılan güç % 74,37 olmaktadır. Ancak güç dönüşüm veriminin SSL'den dolayı % 72,45 olduğu göz ardı edilmemelidir. Çift çıkışlı anahtarlamalı dizin için düzgün dağılımlı radyasyon altında % 100'lük dönüşüm verimi farksal güç işleme için yapılan önermeyi doğrulamaktadır. Çift çıkışlı dizin üzerinde % 25 toplam kısmi gölgelenme oluştuğunda çıkartılan güç % 74,83 olmaktadır. Bu sonuç önerilen çift çıkışlı yapı ile dizin kurulu gücünün gölgelenme miktarı çıkartıldıktan sonra kalan kısmının tamamının dış devreye aktarılabildiğini göstermektedir.

Çizelge 4.1. $F=50$ kHz için tek ve çift çıkışlı konfigürasyonlar için maksimum güç ve verim kıyaslaması.

Konfigürasyon	Düzenli dağılımlı radyasyon		% 25 Toplam gölgelenme (2, 4 ve 6 % 50 gölgeli)	
	Güç (W)	Dönüşüm Verimi %	Güç (W)	Dönüşüm Verimi %
6 seri+baypas diyot	318,06	100	173,87	54,66
3//3 anahtarlamalı dizin tek çıkışlı	309,83	97,4	230,42	72,45
3//3 anahtarlamalı dizin çift çıkışlı	318,06	100, D=0,5	238,03	74,83, D=0,67

Dizin üzerindeki gölgelenme desenleri rastgele oluşacağı için iki kol üzerindeki simetrik ve simetrik olmayan gölgelenme desenleri için çift çıkışlı ve tek çıkışlı yapılar ile elde edilebilecek güçler 3//3 örnek anahtarlama dizin üzerinde Çizelge 4.2'den Çizelge 4.5'e karşılaştırılmıştır. $F=50$ kHz için yapılan simülasyonlarda beklenildiği ve yukarıda özetlendiği üzere tek çıkışlı yapı ile çift çıkışlı yapının devreden çıkartabildiği güçler arasında $F=250$ kHz anahtarlama frekansına oranla fark fazladır. Sonuçlardan görüleceği üzere birkaç gölgelenme deseni hariç pek çok durumda çift çıkışlı yapı daha fazla güç çıkartmaktadır. Bu durumlar incelendiğinde genellikle dizinin ara bölgesinde birbirine komşu gölgelenme desenleri için tek çıkışlı yapı yük transferini daha iyi yaparak panel-altı grupları daha iyi dengelediği için üstünlük göstermektedir. Çift çıkışlı yapıda ise panel-altı gruplar arası tam dengeleme gerçekleşmeden yükler dış devreye alındığı için daha az güç çıkartmaktadır (kollektif çalışma tam yakalanamıyor). Dizinin başında/sonunda veya birbirine komşu olmayan gölgelenme desenleri için çift çıkışlı yapı daha iyi sonuç vermektedir.

Çizelge 4.2 ve Çizelge 4.4'te görüleceği üzere D ayarlanmak suretiyle anahtarlarda işlenen güç minimize edildiğinde yukarıda belirtilen gölgelenme desenleri için çift çıkışlı yapı üstün gelmektedir.

Çizelge 4.2. $F=50$ kHz'de simetrik olmayan gölgelenme durumları için tek ve çift çıkışlı yapı ile elde edilen maksimum güçler.

Gölge durumu	Tek Çıkış (W)	Çift Çıkış (W)	
% 100 Düzgün Radyasyon	309,83	318,06	D=0,5
Sağ taraf % 50 gölgeli Toplam gölge % 25	230,42	238,03	D=0,67
		234,54	D=0,5
1 ve 3 % 60 gölgeli Toplam gölge % 20	227,48	240,64	D=0,37
		232,61	D=0,5
3 ve 5 % 60 gölgeli	249,09	243,38	D=0,37
1 ve 5 % 60 gölgeli	239,57	250,49	D=0,37
2 ve 4 % 60 gölgeli	249,09	243,38	D=0,63
4 ve 6 % 60 gölgeli	227,48	240,64	D=0,63
2 ve 6 % 60 gölgeli	239,57	250,49	D=0,63
Ortalama	246,57	249,22	

Çizelge 4.3. $F=50$ kHz ve $D=0,5$ 'de simetrik gölgeleme durumları için tek ve çift çıkışlı yapı ile elde edilen maksimum güçler.

Gölge durumu	Tek Çıkış (W)	Çift Çıkış (W)
% 100 Düzgün dağılımlı radyasyon	309,83	318,06
2 ve 5 % 60 gölgeli	248,92	252,87
1 ve 6 % 60 gölgeli	230,86	245,11
3 ve 4 % 60 gölgeli	251,35	245,11
2 ve 3 % 60 gölgeli	237,23	237,75
1 ve 2 % 60 gölgeli	209,34	216,61
5 ve 6 % 60 gölgeli	209,34	216,77
3 ve 6 % 60 gölgeli	239,50	244,59
3 ve 2 % 60 gölgeli	237,23	237,75
1 ve 4 % 60 gölgeli	239,50	244,48
4 ve 5 % 60 gölgeli	237,23	237,85
Ortalama	240,94	245,18

Çizelge 4.4. $F=250$ kHz'de simetrik olmayan gölgeleme durumları için tek ve çift çıkışlı yapı ile elde edilen maksimum güçler.

Gölge durumu	Tek Çıkış (W)	Çift Çıkış (W)	
% 100 Düzgün Radyasyon	316,41	317,93	D=0,5
Sağ taraf % 50 gölgeli	236,72	237,95	D=0,67
Toplam gölge % 25		237,25	D=0,5
1 ve 3 % 60 gölgeli	247,70	250,74	D=0,37

Çizelge 4.5. $F=250$ kHz ve $D=0,5$ 'de simetrik gölgeleme durumları için tek ve çift çıkışlı yapı ile elde edilen maksimum güçler.

Gölge durumu	Tek Çıkış (W)	Çift Çıkış (W)
% 100 Eş Radyasyon	316,41	317,93
2 ve 5 % 60 gölgeli	252,71	253,19
1 ve 6 % 60 gölgeli	249,03	251,93
3 ve 4 % 60 gölgeli	252,65	251,93
3 ve 6 % 60 gölgeli	250,43	251,44

4.3. DİĞER TOPOLOJİLERLE KARŞILAŞTIRMA

Önerilen topoloji literatürde öne çıkan çalışmalarla simülasyon sonuçları üzerinden karşılaştırılmıştır. Bu amaçla 3 adet panel-altı birim içeren dizin oluşturulmuştur. Panel-altı birimler Bölüm 3.6'da verilen '1. parametre takımı' kullanarak

modellenmiştir. İlgili topolojiler simülasyon ortamında oluşturularak farklı şartlar altında dizinden çıkarılabilir güç miktarı ve seri dizine göre elde edilen maksimum güç değerleri gözlenmiştir. Çift çıkışlı yapı akım bölücü arayüz kullanılmadan her iki kolda birbirinden izole iki rezistif yük bağlanarak konfigüre edilmiştir. Bu durumda dirençlerin değerleri maksimum güç noktasındaki akım, gerilim değerleri ve iki kol arasındaki akım bölme oranı dikkate alınarak seçilmiştir. Çıkarılabilir güç miktarları farklı durumlarda üç adet panel-altı birimin tek tek birbirinden bağımsız olarak verebileceği maksimum güçler toplanarak hesaplanmıştır. Seri dizin için ise maksimum güç değeri bu birimlerin seri bağlandığında elde edilebilen tepe değeridir.

Tüm topolojiler için eleman değerleri ilgili yayınlardan alınmıştır. Bu topolojiler % 50 görev periyodu ile iki faz arasında anahtarlanarak kontrol edilmiştir. Açık çevrim kontrol uygulanmış ve I-V bilgisi geri beslemesi ile her bir birimin birbirinden bağımsız MPPT yaptığını belirttikleri daha ileri kontrolleri simüle edilmemiştir.

Simülasyon çalışmasında anahtar olarak N kanal MOSFET için IRF3205 modeli ve P kanal MOSFET için IRF4905 modeli kullanılmıştır. Tüm kapasitans ve indüktans elemanları için seri bağlı eş değer direnç $ESR=10 \text{ m}\Omega$ eklenmiştir. Anahtarlama frekansı tüm topolojiler için 200 kHz'dir. Klasik konfigüre edilmiş anahtarlama kapasitör konvertör (Şekil 3.15b) için $C=20 \text{ }\mu\text{F}$ [36], PV-PV 'buck-boost' konvertör (Şekil 2.10) için $L=9 \text{ }\mu\text{H}$ ve $C=20 \text{ }\mu\text{F}$ [8], rezonans anahtarlama kapasitör konvertör (Şekil 2.12) için $L=90.4 \text{ nH}$, $C_{bp}=188 \text{ }\mu\text{F}$ (panele paralel bağlı baypas kapasitesi) ve $C_{fly}=7 \text{ }\mu\text{F}$ (anahtarlanan kapasite) [31], flyback konvertör için $L_{pri}=L_{sec}= 3,5 \text{ }\mu\text{H}$, $C_{pri}=C_{sec}= 66 \text{ }\mu\text{F}$ [26] kullanılmıştır.

Her bir topoloji için farklı durumlarda elde edilen maksimum güç değerleri ve çıkarılabilir güç değerinin baz alınmasıyla hesaplanan verim değerleri % olarak Çizelge 4.6'da verilmiştir.

Panel-altı birimler tam uyumlu olduğunda ve düzgün dağılımlı radyasyon durumunda en iyi performansı önerilen çift çıkışlı yapı ile birlikte [36], [8] ve [31] göstermektedir. Önerilen çözümün tek çıkışlı versiyonu kısmi farksal güç işleme yapmasından dolayı çıkarılabilir gücün % 0,51'ini kaybetmektedir. Dizinin ortasında

yaşanan kısmi gölgelenme durumunda en iyi performansı önerilen çözümler göstermekte ve seri dizine kıyasla % 24 daha fazla güç çıkartmaktadır. Dizin uçlarında yaşanan kısmi gölgelenme durumunda ise en iyi performansı çift çıkışlı yapı ile birlikte [31] göstermektedir. Paneller arası sadece ± 5 akım uyumsuzluğu söz konusu olduğunda seri dizinden elde edilen güç % 98,5'e düşmektedir. Bu şart altında tüm yöntemler seri dizinden elde edilebilen güçten daha fazla güç çıkarabilmekte olup tek çıkışlı yapı ve [26] hariç çıkarılabilir gücün neredeyse tamamı çıkartılabilmektedir. Paneller arası ± 5 gerilim uyumsuzluğu söz konusu olduğunda seri dizinden elde edilen güç etkilenmemektedir. Bu şart altında tüm yöntemler gerilim eşitleme tekniği ile çalıştığından 'yakın' maksimum güç noktalarında çalıştıklarından seri dizine kıyasla kayıp yaşamaktadırlar. Ancak çift çıkışlı yapıda her iki kol için bağımsız MPPT yapıldığından daha fazla güç çıkarmaktadır. Hem akım hem de gerilim uyumsuzluğu söz konusu olduğunda, bu durum uygulamalarda karşılaşılması en gerçekçi durumdur, önerilen çözümün tek çıkışlı hali seri dizin gücü ile yaklaşık aynı gücü çıkarmaktadır. Dolayısıyla tam uyumlu durumda seri dizine kıyasla tanımlanan ilave güç dönüşüm kaybı anahtarlama ile geri kazanılan güç sayesinde ihmal edilebilir hale gelmiştir. Bu durumda çift çıkışlı yapı ise en iyi performansı göstermektedir. Hem akım hem gerilim uyumsuzluğu hem de kısmi gölgelenme söz konusu olduğunda en iyi performansı çift çıkışlı yapı vermektedir. Farklı durumlar için simülasyon üzerinden yapılan bu kıyaslama çalışması tek çıkışlı yapının diğer yöntemler ile benzer sonuçlar verdiğini ve çift çıkışlı yapının ise her zaman daha iyi performans sergilediğini göstermektedir.

Çizelge 4.7'de her bir topoloji tarafından işlenen güç miktarları kıyaslanmaktadır. İşlenen güç miktarları güç elektroniği devrelerinin boyutlandırılması açısından önemli bir parametredir. Konvertörler tarafından işlenen güç miktarları (4.1)'den Şekil 4.4'te gösterilen akım ve gerilimler kullanılarak hesaplanmıştır.

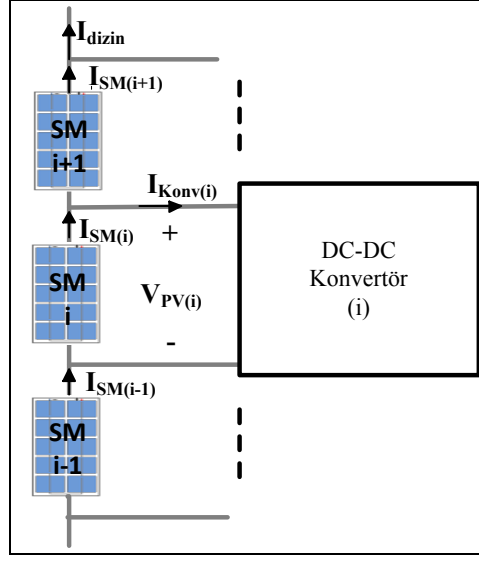
Çizelge 4.6. Literatürdeki çalışmalarla karşılaştırılması.

	Çıkarılabilir Güç (W)	Seri dizin		Yaakov [36] Anaht. Kapasitör		Qin [8] PV-PV buck-boost		Stauth [31] Rez. Anaht. Kapasitör	
		P _{MP}	verim	P _{MP}	verim	P _{MP}	verim	P _{MP}	verim
Düzgün radyasyon ¹	158,43	158,43	100,00	158,39	99,98	158,39	99,97	158,34	99,94
Orta % 50 ²	131,89	99,21	75,22	131,37	99,60	128,50	97,42	131,26	99,52
Üst % 50 ³	131,89	99,21	75,22	129,65	98,30	123,62	93,73	130,78	99,16
Akım uyumsuzluğu ⁴	158,40	156,29	98,66	158,30	99,94	158,40	100,00	158,34	99,96
Gerilim uyumsuzluğu ⁵	158,42	158,42	100,00	156,92	99,05	156,07	98,52	156,72	98,92
Akım+gerilim uyumsuzluğu ⁶	158,70	156,61	98,68	157,65	99,34	157,89	99,49	157,34	99,14
Akım+gerilim uyumsuzluğu+kısmi ⁷	104,31	72,60	69,60	102,48	98,24	99,30	95,20	102,75	98,51
	Çıkarılabilir Güç (W)	Olalla [26] Flyback		Önerilen Yöntem (Tek çıkışlı)		Önerilen Yöntem (Çift çıkışlı)			
		P _{MP}	verim	P _{MP}	verim	P _{MP}	verim		
Düzgün radyasyon ¹	158,43	158,05	99,76	157,64	99,50	158,40	99,98		
Orta % 50 ²	131,89	130,23	98,74	131,75	99,89	131,88	99,99		
Üst % 50 ³	131,89	130,44	98,90	130,01	98,58	131,15	99,44		
Akım uyumsuzluğu ⁴	158,40	157,87	99,66	157,69	99,55	158,40	100,00		
Gerilim uyumsuzluğu ⁵	158,42	156,25	98,63	155,88	98,40	158,40	99,99		
Akım+gerilim uyumsuzluğu ⁶	158,70	157,00	98,93	156,47	98,60	158,55	99,90		
Akım+gerilim uyumsuzluğu+kısmi ⁷	104,31	101,71	97,51	102,34	98,11	104,30	99,99		

¹:Düzgün dağılımlı radyasyon; ²:Ortadaki birim % 50 gölgelendi; ³:1.birim % 50 gölgelendi; ⁴:Akım uyumsuzluğu % ±5, 1.birim % +5, 2.birim nominal değerde, 3.birim % -5; ⁵:Gerilim uyumsuzluğu % ±5, 1.birim % +5, 2.birim nominal değerde, 3.birim % -5; ⁶:Akım+gerilim uyumsuzluğu; ⁷:Akım+gerilim uyumsuzluğu+kısmi gölgelenme: 1.birim % 60 gölgelendi, 3.birim % 40 gölgelendi.

$$P_{i\text{şlenen}} = \sum_{i=1}^N V_{PV(i)} |I_{Konv(i)}| \quad (4.1)$$

Çizelge 4.7'deki değerler incelendiğinde tek çıkışlı yapı kısmi farksal güç işleme sınıfına girdiği için işlenen güç miktarları yüksektir. Çift çıkışlı yapı tam farksal güç işlemeye uygun olduğu için işlenen güç miktarı azaltılmıştır. Özellikle tam uyum durumunda PV birimler dengede olduğundan işlenen güç sıfıra yakındır.



Şekil 4.4. İşlenen güç miktarlarının hesabında kullanılan akım ve gerilimler.

Çizelge 4.7. İşlenen güç miktarları (W).

	Yaakov [36] Anaht. Kapasitör	Qin [8] PV-PV buck-boost	Stauth [31] Rez. Anaht. Kapasitör	Olalla [26] Flyback	Önerilen Yöntem (Tek çıkışlı)	Önerilen Yöntem (Çift çıkışlı)
Düzgün radyasyon ¹	0,6210	3,4804	0,6070	1,1634	51,6900	0,3630
Orta % 50 ²	34,7640	30,0050	34,8140	33,0270	25,7370	0,5560
Üst % 50 ³	32,9920	27,2470	34,1510	33,0280	51,0890	25,4090
Akım uyumsuzluğu ⁴	4,6023	6,9920	4,9116	5,1668	51,7590	4,6942
Gerilim uyumsuzluğu ⁵	5,3002	7,5784	5,6224	5,5483	51,7730	0,2800
Akım+gerilim uyumsuzluğu ⁶	9,5090	10,0000	10,0610	10,0310	51,6990	4,6872
Akım+gerilim uyumsuzluğu+kısmi	35,5010	33,5020	35,5550	32,6790	51,6600	8,1159

Çizelge 4.8’de her bir topolojideki güç kayıpları verilmektedir. Bu kayıplar rezistif elemanlarda ve MOSFET’lerde yaşanan kayıpları içermektedir. Çift çıkışlı yapı için diğer topolojilere kıyasla bu kayıplar daha azdır. Dolayısıyla güç elektroniği elemanlarının sayısındaki azalma güç kayıplarında azalma avantajını ortaya çıkarır. Yapılan simülasyon çalışmasında MOSFET’leri süren PWM sinyalleri harici bir kaynaktan elde edildiği yani PV’den elde edilmediği için Çizelge 4.8’deki değerlerin içinde ‘gate’ devresi tarafından tüketilen güç miktarlarının bilinmesi anlamlı hale gelir. Bu amaçla ‘gate’ devrelerini besleyen kaynaktan çekilen güç miktarları Çizelge 4.9’da verilmektedir. Bu sonuçlara göre en düşük kayıp değerini [8] ve çift çıkışlı

yöntem göstermektedir. Simülasyon sonuçları 3 adet PV birim için elde edildiğinden her iki yöntem içinde 4 tane anahtar kullanılmıştır. Bu sebeple [8] içinde kayıplar az görünmektedir. Ancak daha uzun dizinler için kullanılan anahtar sayısı Çizelge 4.10'da olduğu gibi yaklaşık 2 kat olmaktadır. Bu durumda [8] için yaşanan kayıplar artacaktır.

Çizelge 4.8. Güç kayıpları (W).

	Yaakov [36] Anaht. Kapasite	Qin [8] PV-PV buck-boost	Stauth [31] Rez. Anaht. Kapasitör	Olalla [26] Flyback	Önerilen Yöntem (Tek çıkışlı)	Önerilen Yöntem (Çift çıkışlı)
Düzgün radyasyon ¹	2,0717	0,7600	2,0828	2,2451	2,2981	1,5495
Orta % 50 ²	2,5221	1,9566	2,4507	2,3924	1,6561	1,5649
Üst % 50 ³	3,1674	2,9985	2,7688	2,3978	2,9002	1,9918
Akım uyumsuzluğu ⁴	2,1743	0,8020	2,1644	2,2810	2,1705	1,5575
Gerilim uyumsuzluğu ⁵	2,1887	0,8470	2,1259	2,2340	2,2405	1,3761
Akım+gerilim uyumsuzluğu ⁶	2,2790	0,9340	2,2120	2,2546	2,2970	1,4449
Akım+gerilim uyumsuzluğu+kısmi	2,6353	2,8654	2,5702	2,5243	2,3582	1,3793

Çizelge 4.9. Gate kayıpları (W).

Yaakov [36] Anaht. Kapasitör	Qin [8] PV-PV buck- boost	Stauth [31] Rez. Anaht. Kap	Olalla [26] Flyback	Önerilen Yöntem (Tek çıkışlı)	Önerilen Yöntem (Çift çıkışlı)
1,508	0,870	1,524	1,486	1,028	1,018

Çizelge 4.6'da verilen simülasyon sonuçları MOSFET sürücü kayıplarını ve gate kayıplarını içermemektedir. Anahtar ve sürücü sayıları göz önüne alındığında bu kayıplar literatürdeki diğer çalışmalar için Çizelge 4.6'da verilen güç miktarlarını bir miktar daha düşürecektir.

Çizelge 4.10'da 9 adet panel-altı birimi dengelemek için kullanılan temel devre elemanlarının sayısı verilmiştir. Bu çalışmada önerilen yöntem diğer çalışmalara kıyasla daha az eleman kullanmaktadır.

Çizelge 4.10. 9 adet birimi dengelemek için kullanılan eleman sayısı.

	Anahtar	C	L	Trafo	MOSFET Sürücü
Yaakov [36]	18	17	-	-	9
Qin [8]	16	9	8	-	8
Stauth [31]	18	17	8	-	9
Olalla [26]	18	18	-	9	9
Önerilen yöntem	10	9	-	-	5

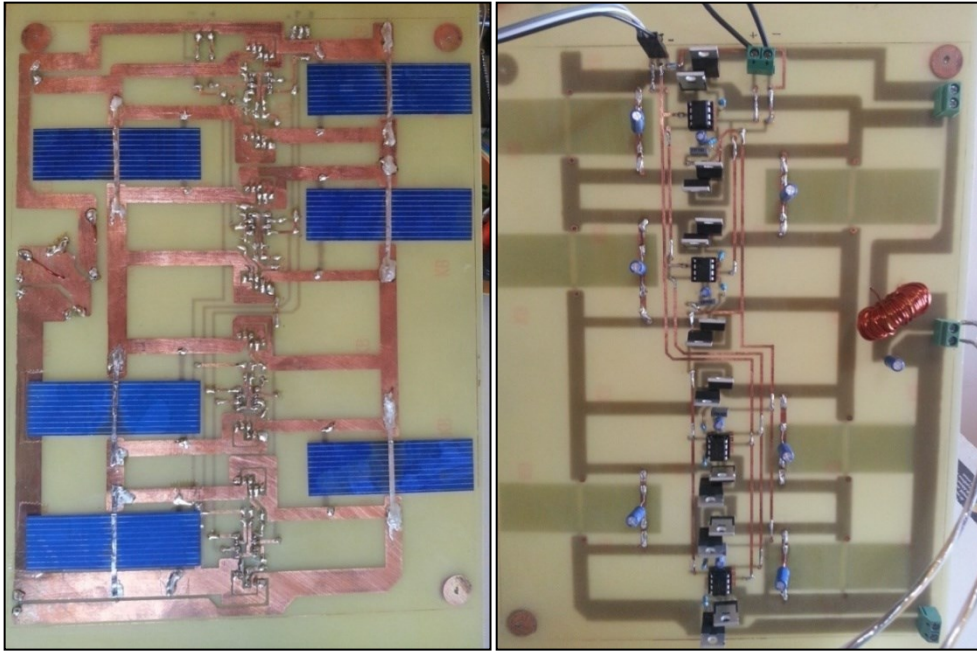
BÖLÜM 5

DENEYSEL ÇALIŞMA

Bu bölümde önerilen anahtarlama dizini yapısının deneysel olarak doğrulanması için gerçekleştirilen çalışmalar anlatılmaktadır.

5.1. N//N DİZİNİ İÇİN DENEYSEL İSPAT

$N//N$ anahtarlama dizini çözümünün deneysel ispatı için kurulan anahtarlama dizini ve ilgili devre Şekil 5.1'de gösterilmiştir. Her bir hücre bir panel-altı grubu temsil etmektedir. Bir hücre için $V_{MP} \approx 0,366$ V ve $I_{MP} \approx 0,454$ A'dir. Her bir panel-altı grubu temsil eden hücreye paralel bağlanan destek kapasitörü $C=10$ μ F'dır. MOSFET $R_{DS_ON}=30$ m Ω 'dur. Bir kolda seri bağlı panel-altı grup sayısı $N=3$ 'tür. Anahtarlama frekansı $F=200$ kHz'dir. Bu çalışma şartları için R_{SSL} kayıpları % 3,69, R_{FSL} kayıpları % 1,06 ve toplam güç dönüşüm kaybı % 3,84 olarak hesaplanır.



Şekil 5.1. Deneysel prototip; hücreler (solda), anahtarlama devresi (sağda).

Kapasitörler üzerinde kısa devreyi önlemek amacıyla üst ve alt anahtarları süren birbirinin tersi PWM sinyalleri arasına 130 ns'lik ölü zaman eklenmiş ve MOSFET sürücü entegre girişine uygulanmıştır.

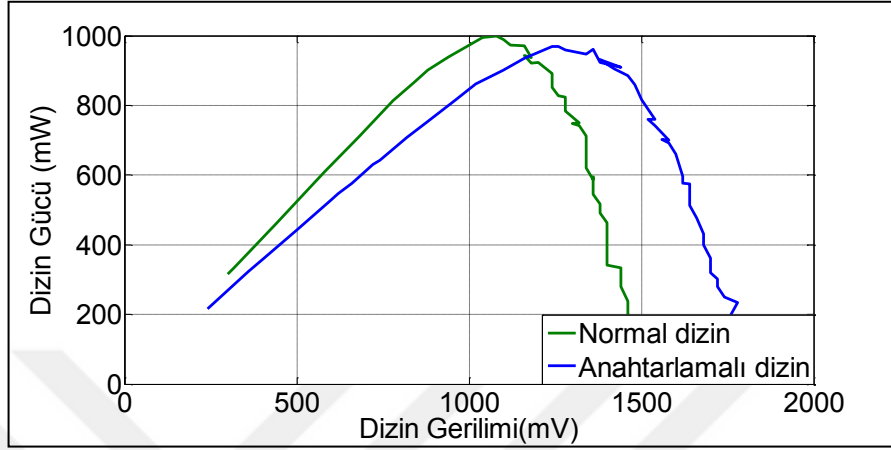
Üretilen bu prototip, küçük zaman dilimlerinde (güneş gökyüzünde pozisyonunu çok değiştirmeden <10 dk) tekrar edilebilir deneysel sonuçlar elde etmek için gökyüzünün açık olduğu bir günde test edilmiştir. Anahtarlama dizinin kısa devre noktasından açık devre noktasına kadar I-V karakteristiği verilerini elde etmek için 50 Ω 'luk çok turlu hassas potansiyometre değişken yük olarak bağlanmıştır. Potansiyometre 0 Ω 'dan 50 Ω 'a değiştirilirken akım-gerilim çifti osiloskoptan okunarak kaydedilmiştir. Deney düzeneğinin bir resmi Şekil 5.2'de gösterilmiştir.



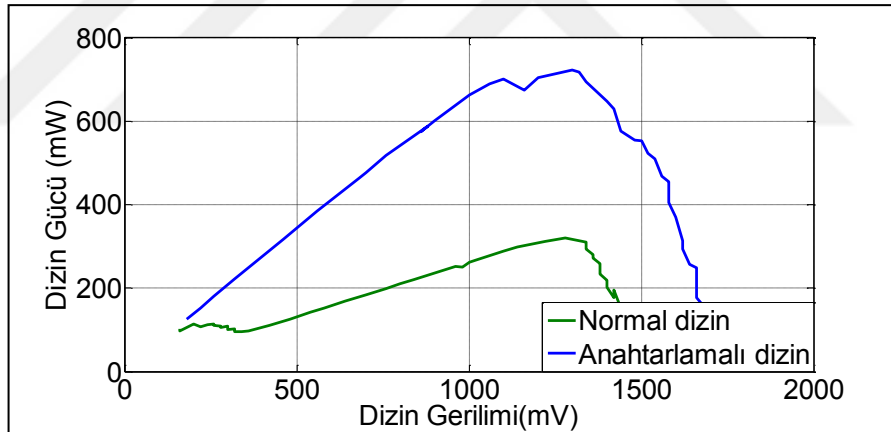
Şekil 5.2. Deney düzeneği.

Yapılan deneylerde anahtarlama devresi yokken düzgün dağılımlı radyasyon için elde edilen P-V eğrileri ile kısmi gölgelenme varken elde edilen P-V eğrileri karşılaştırılmış ve ikinci etapta yine düzgün dağılımlı radyasyon durumunda elde edilen PV eğrileri ile, kısmi gölgelenme durumunda anahtarlama devresi varken elde edilen PV eğrileri karşılaştırılmıştır. Prototip için normal dizin, anahtarlama işleminin durdurularak anahtarların '1' pozisyonunda bırakıldığı durumdur. Böylece iki kollu bir dizin elde edilir. Şekil 5.3 düzgün dağılımlı radyasyon altında kısmi gölgelenme olmayan şartlar için P-V eğrilerini göstermektedir. Şekil 5.4 SM3 ve SM4 yaklaşık olarak % 75 yapay olarak gölgelendiğinde yani gölgelenme oranı tüm

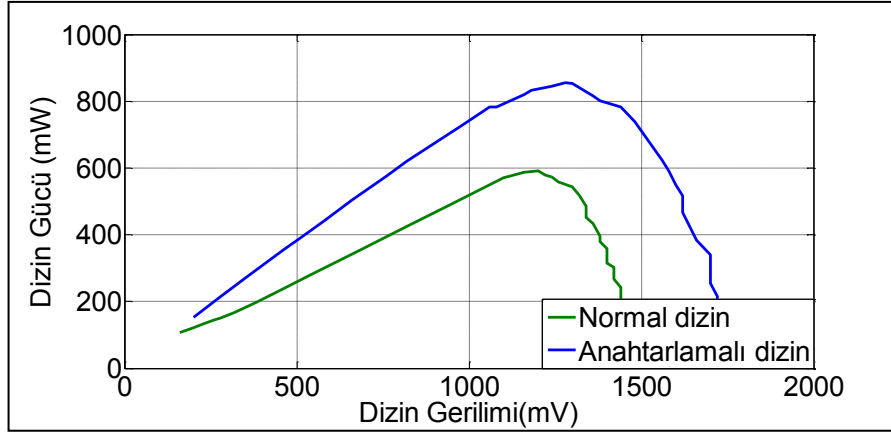
dizin gücünün % 25'ine karşılık geldiği durum için sonuçları göstermektedir. Şekil 5.5 ise SM3 ve SM4 hücreleri yaklaşık % 35 gölgelendiğinde yani toplam gölgelenme oranı yaklaşık % 12 olduğu durum için P-V eğrilerini göstermektedir.



Şekil 5.3. Düzgün dağılımlı radyasyon durumu için deneysel sonuçlar.



Şekil 5.4. Kısmi gölgelenme oranı % 25 için deneysel sonuçlar.



Şekil 5.5. Kısmi gölgeleme oranı % 12 için deneysel sonuçlar.

Sonuçlar maksimum güç ve verimleri gösteren Çizelge 5.1’de özetlenmiştir. Önerilen topoloji için düzgün dağılımlı radyasyon altında % 96,9’luk dönüşüm verimi elde edilmiştir. Bu sonuç göz önüne alınmayan diğer kayıp elemanları da dikkate alındığında % 3,84’lük kayıp analizini yaklaşık olarak doğrular. Önerilen topoloji % 25’lik kısmi gölgeleme durumunda % 74,6’lık güç çıkarımı sağlamaktadır. Dikkat edileceği üzere bu iki değer toplamı % 100’e yakındır. Bu sonuçta önerilen topolojinin, kısmi gölgeli dizinde var olan gücün neredeyse tamamının yük tarafına çıkartılabileceğini göstermektedir.

Çizelge 5.1. Deneysel sonuçlar için maksimum güç ve verim kıyaslaması.

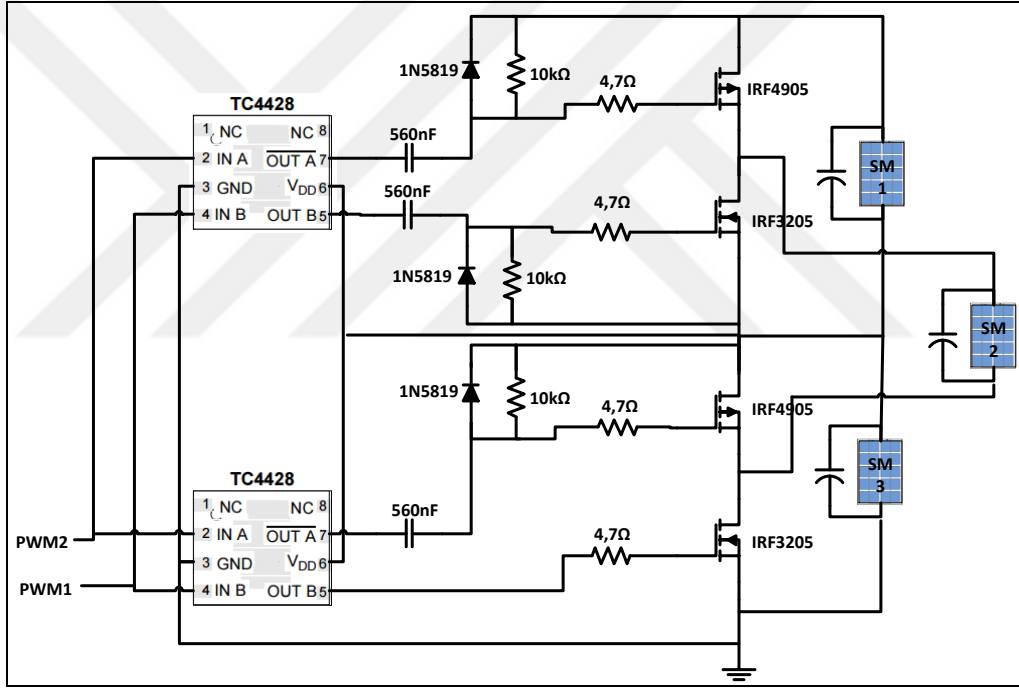
Konfigürasyon	Eş radyasyon		Toplam gölgeleme % 25		Toplam gölgeleme % 12	
	Güç (mW)	Dönüşüm verimi η	Güç (mW)	Çıkartılan Güç %	Güç (mW)	Çıkartılan Güç %
Klasik dizin	999	% 100	320	% 32,0	593	% 59,4
3//3 anaht. dizin	969	% 96,9	723	% 74,6	856	% 88,3

5.2. GERÇEK PANEL-ALTI SEVİYE İÇİN KONVERTÖR DEVRESİ

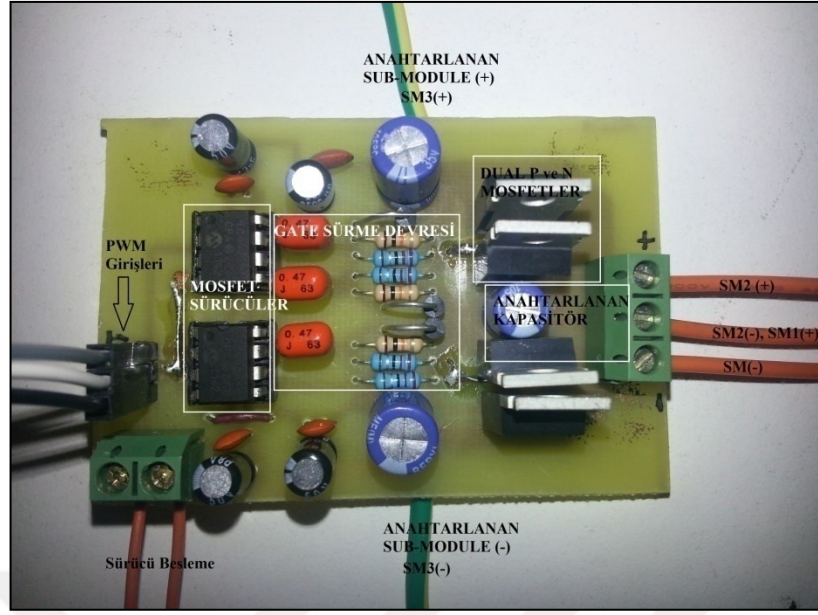
Yukarıda gösterilen deneysel çalışma, önerilen anahtarlamalı dizinin çalışmasını göstermek için gerçekleştirilen ve aslında hücre seviyesinde uygulanan küçük güçlü bir prototiptir. Çözüm panel-altı seviyede önerildiği için seri bağlı belirli sayıda (20-36) hücre gruplarının anahtarlanmasına izin veren yüksek güçlü ($<100 W_p$) bir anahtarlamalı kapasitör konvertör devresine ihtiyaç duyulmaktadır.

5.2.1. Anahtarlamalı Kapasitör Konvertör Devresi

Literatürden faydalanarak Şekil 5.6’da gösterilen devre kurulmuştur [51]. Bu devrede MOSFET olarak birbirini tamamlayan P ve N-tipi MOSFET’ler kullanılmıştır. Böylece her iki MOSFET’in kaynak (source) uçlarına her zaman PV çıkışındaki dc gerilim uygulanmaktadır. Kaynak uçlarına göre oluşturulması gereken kapı (gate) sinyalleride kenetleme devreleri sayesinde gerekli dc gerilim seviyesinin üstüne bindirilmektedir. MOSFET sürücü girişleri ölü zamanlı tümleyen sinyaller ile sürülmektedir. Üretilen prototip anahtarlamalı kapasitör konvertör devresi Şekil 5.7’de gösterilmiştir.

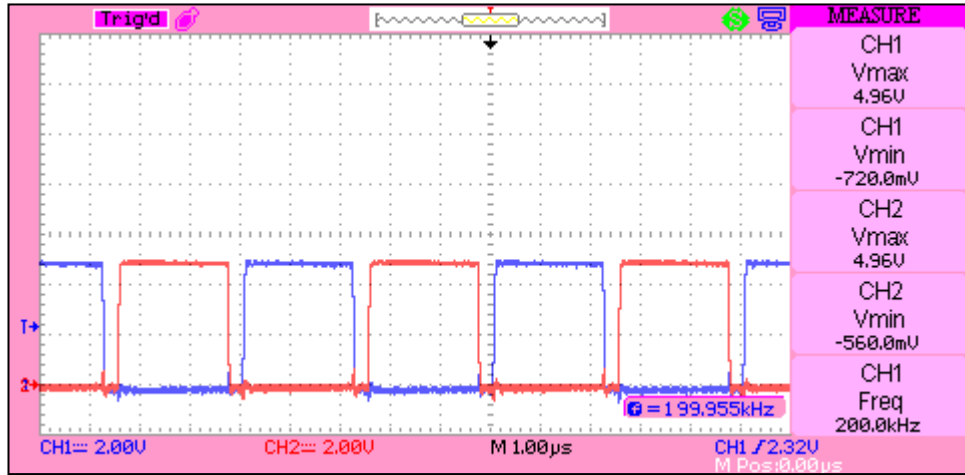


Şekil 5.6. Anahtarlamalı kapasitör topolojisini gerçekleştirebilmek için MOSFET sürme devresi.



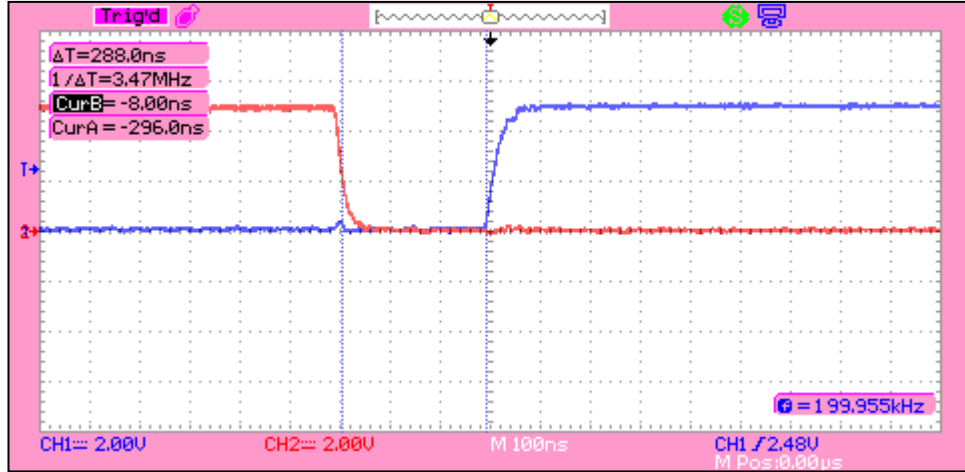
Şekil 5.7. Anahtarlama kapasitör konvertör prototip devre.

TC4428 MOSFET sürücü girişine uygulanan PWM sinyalleri Şekil 5.8’de gösterilmiştir. Ölü zamanlı bu PWM sinyalleri mikrodenetleyici tarafından üretilmektedir. Aşağıda gösterilen sinyal şekilleri anahtarlama kapasiteye PV birim bağlı değilken elde edilmiştir.



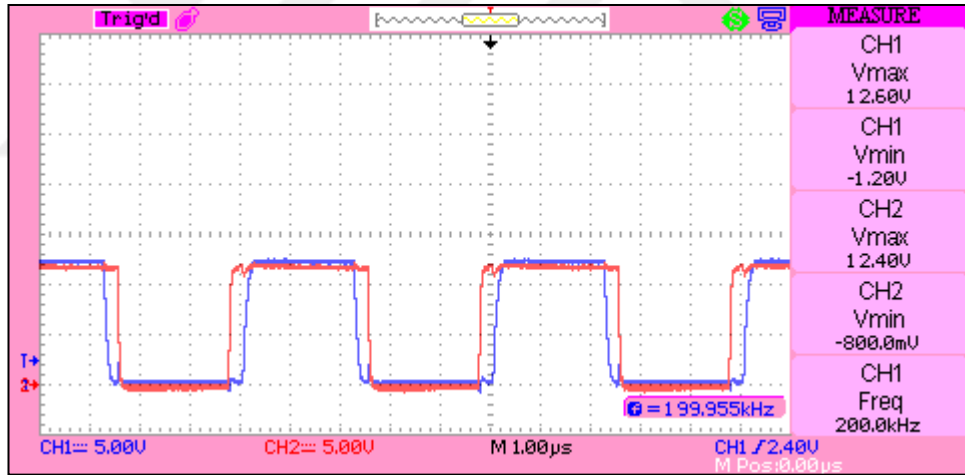
Şekil 5.8. MOSFET sürücü girişine uygulanan ölü zamanlı PWM sinyalleri.

Ölü zaman, devredeki alt ve üst anahtarların iletme geçme ve kesime gitme sırasında yaşanan gecikmelerden dolayı kısa devrelerin oluşarak “shoot-through” kayıplarının önüne geçmek için eklenmiştir.



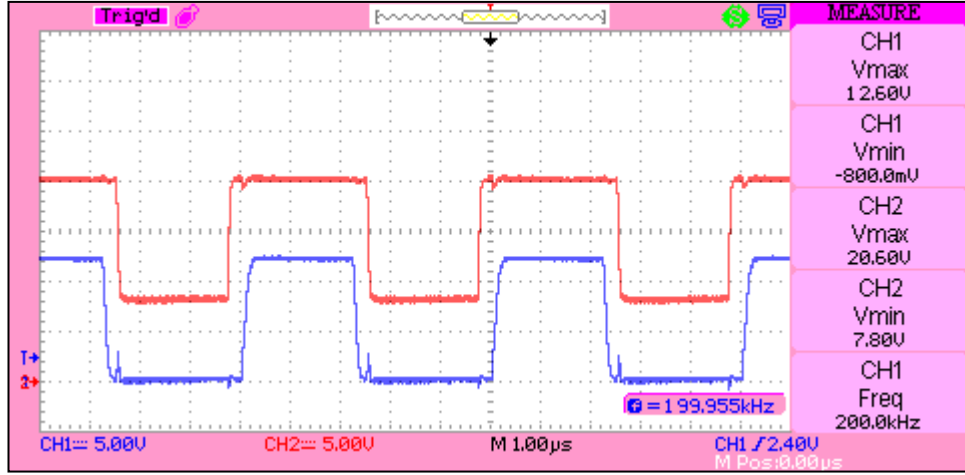
Şekil 5.9. 288 ns'lik ölü zaman.

Her iki sürücü çıkışında elde edilen PWM sinyalleri Şekil 5.10'da gösterilmiştir. P MOSFET'e sürücünün tersleyen çıkışları uygulanmaktadır.



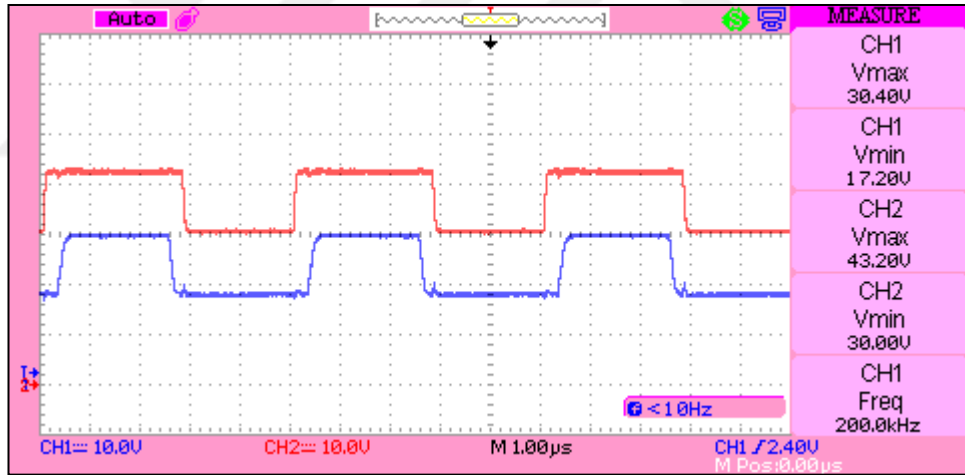
Şekil 5.10. Sürücü çıkışları.

Alt sürücü sonrasında kenetleme devrelerinden geçtikten sonra alttaki P ve N çiftine uygulanan kapı sinyalleri Şekil 5.11'de gösterilmiştir. P MOSFET'in source ucu panel-altı gerilim seviyesinde olduğu için kenetleyici devre ile farklı bir gerilim seviyesine kenetlenmiştir.



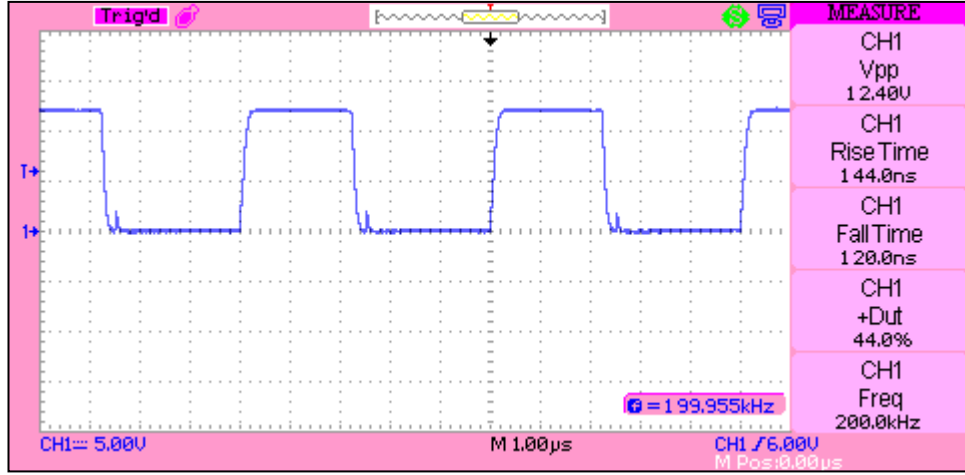
Şekil 5.11. Alt P ve N MOSFET çifti için kapı sinyalleri.

Üst sürücü sonrasında kenetleme devrelerinden geçtikten sonra üstteki P ve N çiftine uygulanan kapı sinyalleri Şekil 5.12’de gösterilmiştir.



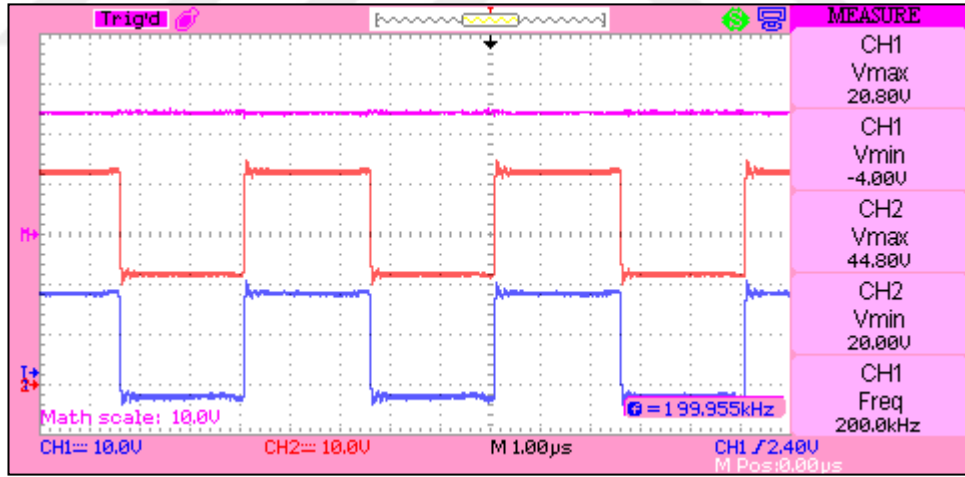
Şekil 5.12. Üst P ve N MOSFET çifti için kapı sinyalleri.

N MOSFET’in kapı sinyalindeki yükselme ve düşme zamanları Şekil 5.13’te gösterilmiştir.



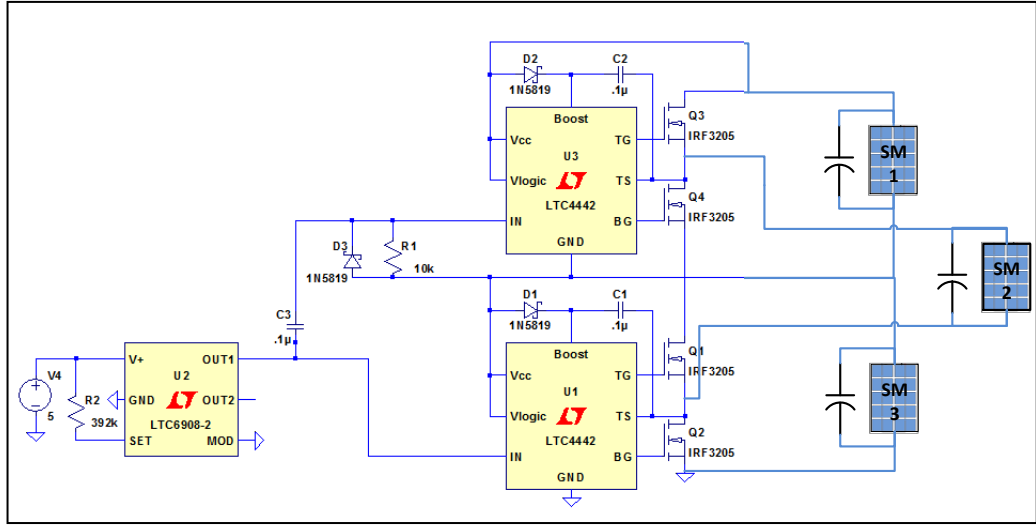
Şekil 5.13. Kapı sinyalleri için yükselme ve düşme zamanlarının gösterilmesi.

Anahtarlanan kapasitenin + ve - uçlarındaki gerilim sinyalleri Şekil 5.14'te gösterilmiştir. Bu sinyaller aynı zamanda tümleyen olarak bağlanan MOSFET'lerin akaç (drain) sinyalleridir. Kapasite gerilimi bu iki sinyalin farkından 'pembe' ile çizdirilmiştir.



Şekil 5.14. Akaç noktalarındaki gerilim şekilleri ve kapasite gerilimi.

Şekil 5.6'da gösterilen devreye alternatif olarak Şekil 5.15'te gösterilen devrede kullanılabilir.



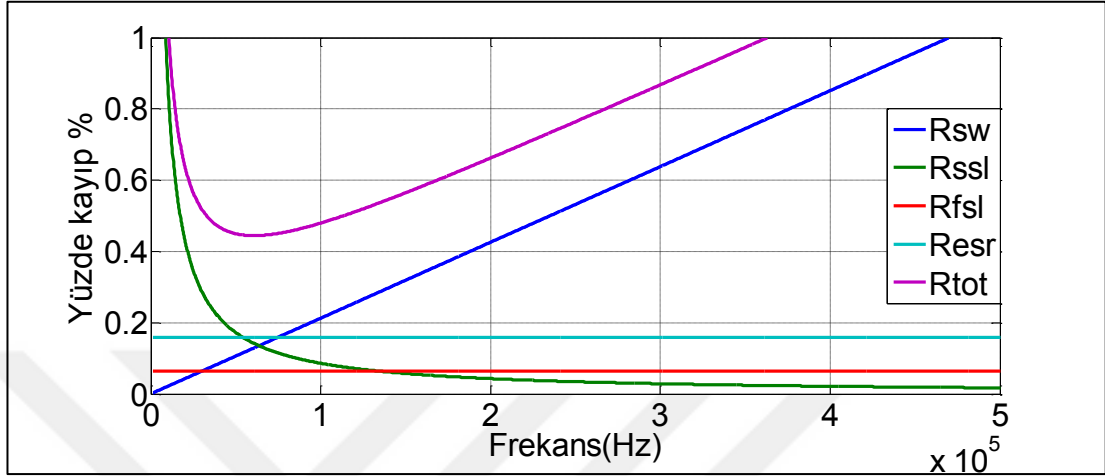
Şekil 5.15. Şekil 5.6’da gösterilen devreye alternatif bir tasarım.

5.3. N//N-1 KONFIGÜRASYONU İÇİN GERÇEK PANEL-ALTI SEVİYEDE DENEYSSEL SONUÇLAR

Şekil 5.7’de gösterilen anahtarlama kapasitör konvertör devresi önerilen metodun gerçek panel-altı seviyede test edilmesi için kullanıldı. Bu devre üzerinde 2//1 anahtarlama dizini kuruldu. Herbir panel-altı birim için 36 hücreye sahip bir modül kullanılarak toplamda üç panel-altı birimden oluşan 108 adet seri bağlı hücre grubu ele alındı. Herbir panel-altı birim Bölüm 3.8’de bahsedilen ve 2. parametre takımı olarak adlandırılan parametrelere sahiptir.

Bu parametrelere sahip 2//1 anahtarlama merdiven dizini için; (3.34)’e göre SSL empedansının sebep olduğu kayıp % 0,043, (3.36)’a göre FSL empedansının sebep olduğu kayıp % 0,0634, (3.40)’a göre kapasite eşdeğer direncinin sebep olduğu ESR kayıpları % 0,159 olarak hesaplanmıştır. Anahtarlama kayıpları deneysel çalışma için göz önüne alınması gereken bir kayıp mekanizmasıdır. P ve N-tipi MOSFET’ler için çıkış kapasiteleri sırasıyla 1400 pF ve 781 pF’dir. MOSFET sürücü entegresi harici bir kaynaktan beslendiği için ‘gate’ kapasitesinin sebep olduğu kayıplar şimdilik ihmal edilebilir. (Anahtarlama aktif olduğunda 12 V’luk harici kaynaktan çekilen akım 0,018 A’ olup 0,216 W’lık bir kayıp söz konusudur). Dolayısıyla sadece çıkış kapasitelerindeki kayıpları göz önüne alarak (3.37)’e göre 0,349 W kayıp söz konusu olup bu değer (3.38)’e göre toplam dizin gücünün % 0,424’üne karşılık gelir.

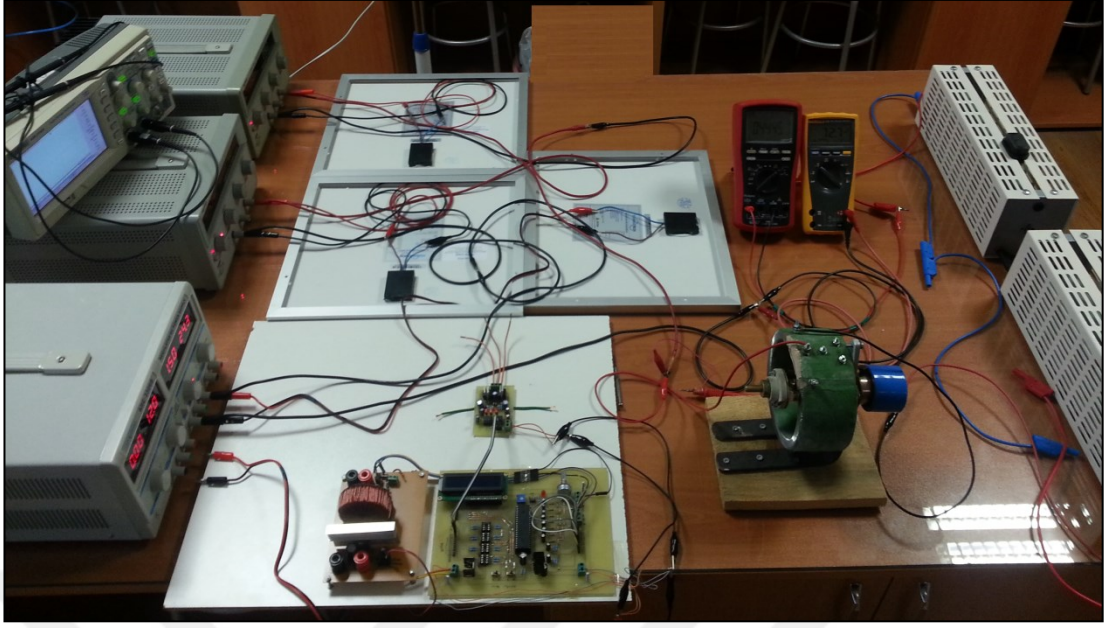
Anahtarlama kaybını eklemek suretiyle toplam kayıp % 0,659 olarak hesaplanmıştır. Şekil 5.7’de gösterilen devre için % kayıp miktarının frekansla değişimi Şekil 5.16’da gösterilmiştir.



Şekil 5.16. % kayıp miktarının frekansla değişimi.

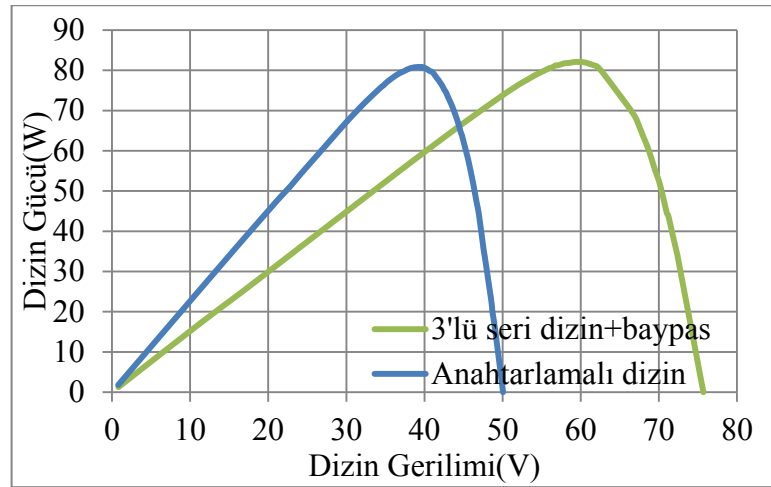
Anahtarlama dizin için üretilen prototip devre, tekrar edilebilir deneysel sonuçlar elde etmek için laboratuvar ortamında test edildi. Literatürde detaylı anlatıldığı üzere akım kaynağı modunda çalıştırılan DC güç kaynağına bir PV modülü paralel bağlamak suretiyle güneş ışığına veya yapay aydınlatmaya ihtiyaç duymaksızın DC güç kaynağının terminalleri arasında PV modül karakteristiği elde edilebilir [52].

Anahtarlama dizinin kısa devre noktasından açık devre noktasına kadar I-V karakteristiği verilerini elde etmek için 150 Ω 'luk bir reosta değişken yük olarak kullanıldı. Reosta 0 Ω 'dan 150 Ω 'a değişirken akım-gerilim çifti sırasıyla Brymen BM867 ve Fluke 175 multimetrelerinden okundu. Deney düzeneği Şekil 5.17’de gösterilmiştir.



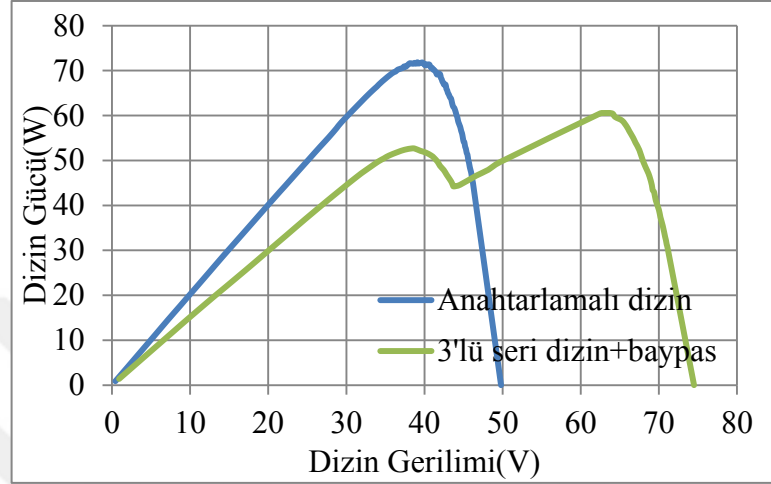
Şekil 5.17. Deney düzeneği.

Kısmi gölgelenme olmadığı düzgün dağılımlı ışınım şartları için seri bağlı 3 panel altı grup (Şekil 3.15a) ve önerilen anahtarlama 2//1 dizin (Şekil 3.15c) için elde edilen P-V eğrileri Şekil 5.18’de gösterilmiştir. Seri bağlı 3 panel-altı grup için elde edilen P-V karakteristiği incelendiğinde tepe değeri yaklaşık 5V’luk bir aralık içinde sabit kalmaktadır. Bu durum üç panel-altı grubun üretim toleranslarından dolayı farklı gerilim değerlerinde maksimum güç gösterdikleri için oluşmaktadır. Buna karşılık önerilen metot için anahtarlama sayesinde paneller arası enerji transferi gerçekleştirilerek kollektif bir noktada artırılmış tepe değeri elde edilmektedir.



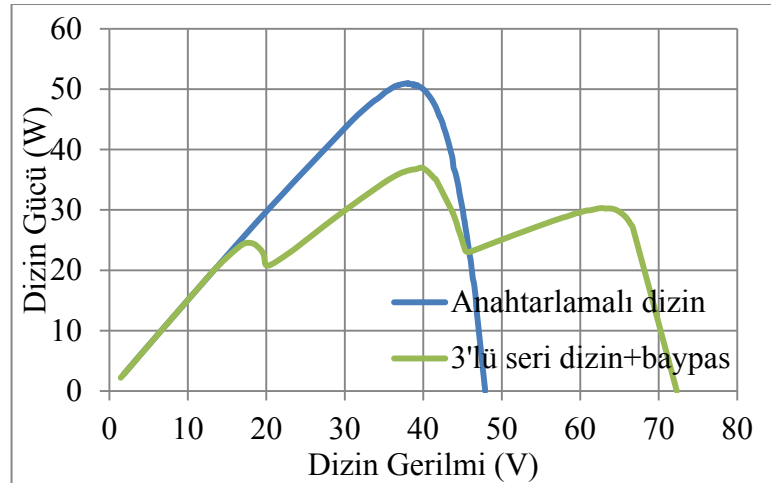
Şekil 5.18. Düzgün dağılımlı ışınım şartları için deneysel sonuçlar.

Panel-altı birimlerden biri (önerilen metot için anahtarlanan panel SM2, seri dizin için ortadaki panel SM2) % 36,1 gölgelendiğinde, yani dizin üzerindeki toplam gölgelenme yaklaşık % 12,03 olduğunda seri bağlı 3 panel altı grup ve önerilen anahtarlamalı 2//1 dizin için elde edilen P-V eğrileri Şekil 5.19’da gösterilmiştir.



Şekil 5.19. % 12,03 toplam gölgelenme için deneysel sonuçlar.

Şekil 5.20 panellatı birimlerden iki tanesi SM1 ve SM2 sırasıyla % 70,93 ve % 36,10 gölgelendiğinde, yani toplam gölgelenme tüm dizin gücünün % 35,68'ine tekabül ettiği durum için P-V eğrilerini göstermektedir.



Şekil 5.20. % 35,68 toplam gölgelenme için deneysel sonuçlar.

Sonuçlar maksimum güç ve verimleri gösteren Çizelge 5.2’de özetlenmiştir. Önerilen topoloji için düzgün dağılımlı radyasyon altında % 99,33’lük dönüşüm verimi elde edilmiştir. Bu sonuç % 0,659’luk kayıp analizi ile örtüşmektedir.

Herbir PV ünite üretim toleranslarından dolayı I-V karakteristiği üzerinde farklı noktalarda maksimum güç verirler. Bu yüzden seri bağlandıklarında aynı akımı taşımak zorunda kaldıklarından her birisi maksimum güç noktasına denk olmayan farklı güç noktalarında çalışabilirler. Bu durumda klasik seri bağlı dizinler için herhangi bir güç işleme olmaksızın doğrudan güç kaybı anlamına gelir. Ancak önerilen metotta güç elektroniği devreleri sayesinde PV birimler arasında enerji transferi gerçekleştirilerek kollektif bir noktada çalışma noktası yakalanır ve üretim toleranslarından dolayı yaşanan kaybın bir miktarı geri kazanılabilir. Bu sebeple önerilen metot için elde edilen P-V eğrileri daha ‘sivridir’.

Önerilen topoloji % 12,03’lük kısmi gölgelenme durumunda % 88,05’lik güç çıkarımı sağlamaktadır. Dikkat edileceği üzere bu iki değer toplamı % 100’ü geçmektedir. Bu durum oluşan gölgelenme deseninden dolayı kayıp edilen güç miktarı azaldığı için ortaya çıkar. Çıkartılan güç değerinin hesabında anahtarlamalı dizinin kayıplardan sonra çıkartılabilen tepe değeri baz alınarak hesaplandığı için ilk bakışta yanıltıcı olabilir. Ancak seri dizin tepe değeri baz alınarak hesaplandığında % 100’e oldukça yakın ancak daha küçük bir değer çıkar. Bu sonuçta önerilen topolojinin, kısmi gölgeli dizinde var olan gücün neredeyse tamamının yük tarafına çıkartılabileceğini göstermektedir. % 23,64’lük ve % 35,68’lik kısmi gölgelenme durumlarında ise sırasıyla % 76,12 ve % 64,48 güç çıkarımı sağlanmaktadır.

Çizelge 5.2. Deneysel sonuçlar için maksimum güç ve verim kıyaslaması.

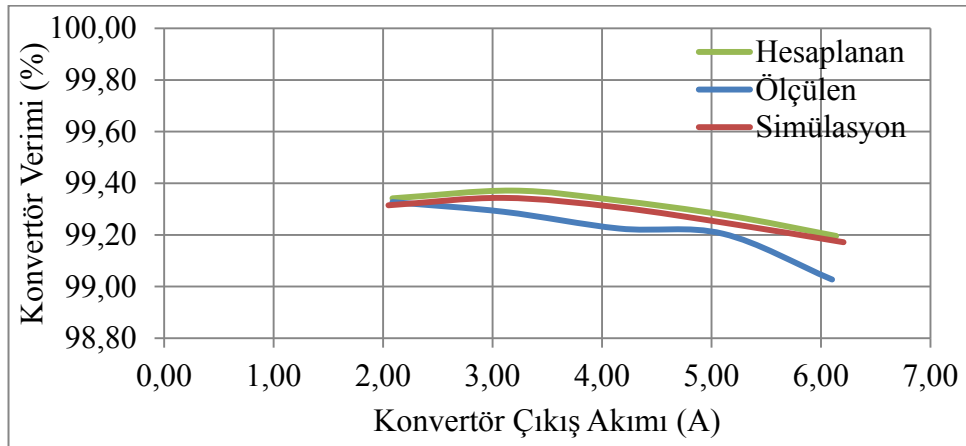
Konfigürasyon	Eş radyasyon	Toplam gölgelenme % 12,03	Toplam gölgelenme % 23,64	Toplam gölgelenme % 35,68
	Güç (W), Dönüşüm Verimi %	Güç (W), Çıkartılan %	Güç (W), Çıkartılan %	Güç (W), Çıkartılan %
3 seri+baypas	82,95 % 100	60,56, % 73,01	51,91 % 62,58	36,98 % 44,58
2//1 anahtarlamalı dizin	82,393 % 99,33	72,55 % 88,05	62,72 % 76,12	53,13 % 64,48

Yukarıda yapılan deneylere ek olarak önerilen çözüm daha yüksek güç seviyeleri içinde test edilmiştir. Bu amaçla 300 W_p 'e kadar ki panellerde kısmi gölgelenme olmadığında klasik seri dizine kıyasla anahtarlamalı dizinden elde edilebilen güçler Çizelge 5.3 üzerinde karşılaştırılmıştır. Çizelgedeki değerler hem 3'lü seri dizin hemde 2//1 anahtarlamalı dizin için güç kaynakları vasıtası ile I_{PH} değerleri ayarlandıktan sonra reosta ile dizinler maksimum güç noktasına getirilerek multimetreden okunmuştur.

Konvertör verimi farklı akım seviyeleri için Şekil 5.21'de çizdirilmiştir. Hesaplanan verim için Bölüm 3.8'de verilen ikinci parametre takımı kullanılmıştır. Diğer parametreler yaklaşık aynı kalmak üzere $I_{MP}=4,13$ A'e kadar akım değerleri hesaplanmıştır. Bu parametreler aynı zamanda deneysel prototipe ait parametrelerdir. Bu parametreleri kullanarak yapılan simülasyon sonuçları hesaplanan sonuçlara çok yakındır. Ölçülen deneysel verim değerleri ise hesaplanan değerlere kabul edilebilir şekilde yakındır.

Çizelge 5.3. Yüksek güç seviyeleri için deneysel sonuçlar.

$I_{PH}(A)$	3'lü seri dizin			2//1 anahtarlamalı dizin			Verim %
	$V_{MP}(V)$	$I_{MP}(A)$	$P_{MP}(W)$	$V_{MP}(V)$	$I_{MP}(A)$	$P_{MP}(W)$	
1,50	60,01	1,382	82,95	39,51	2,086	82,39	99,33
2,25	60,18	2,076	124,93	39,94	3,106	124,04	99,29
3,00	61,69	2,737	168,84	40,29	4,158	167,53	99,22
3,75	63,07	3,394	214,04	41,59	5,106	212,34	99,20
4,5	63,64	4,092	260,44	42,27	6,102	257,91	99,03



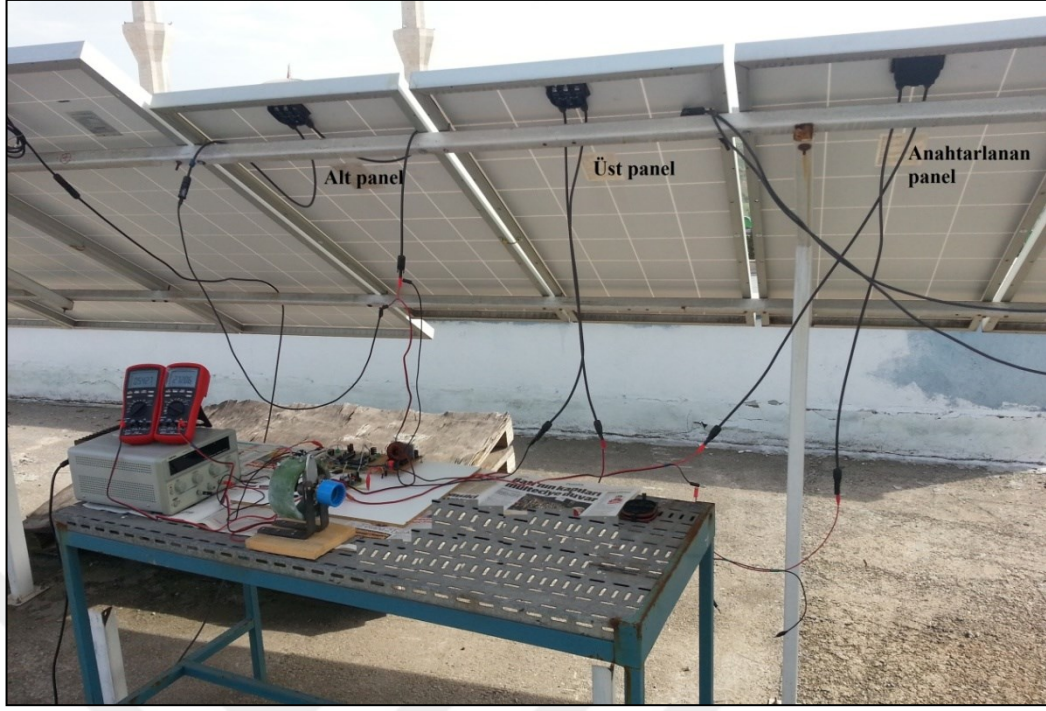
Şekil 5.21. Konvertör verimi.

Kayıp analizinde verilen denklemlerden de görüleceği üzere akım arttıkça kayıp miktarı artmaktadır. Elde edilen sonuçlarda bu durumu doğrular yönde seyir göstermektedir. Gölgesiz durumlarda yaşanan güç kaybı çizelgedeki yüksek verim değerlerine rağmen istenmeyen bir durumdur. Düşük ESR'li seramik kapasite kullanımı, iletim direnci ve parasitik kapasite değerleri daha düşük MOSFET seçimi gibi, tasarım kriterlerini göz önüne alarak gerçekleştirilen daha iyi devre tasarımları bu kaybı aşağıya çekebilir. Ancak anahtarlanan kolda üretilen akımı yük tarafına çıkartabilmek için $N//N-1$ yapıda anahtarlama kaçınılmaz olduğundan güç işleme dolayısıyla kayıp söz konusu olacaktır. Aralarındaki karakteristik uyumsuzluğu problemi yüksek olan dizinlerde geri kazanılan güç miktarı kayıp edilenden daha çok olursa bu durumda seri dizine oranla daha çok güç çıkartımı mümkün olacaktır. Yaşanılan güç kaybının önüne geçmek için çift çıkışlı yapı kullanılabilir. Ya da $N//N$ konfigürasyonunda gölgelenme olmadığına basitçe anahtarlama işlemi durdurulabilir.

Önerilen çözüm dış ortamda Şekil 5.22'de gösterilen düzenek ile gerçek güneş şartlarında da test edilmiştir. Dış ortamda seri dizin ile anahtarlanan dizinin çıkış güçlerini karşılaştırabilmek için bazı kabüller yapılmıştır. Birincisi küçük bir zaman aralığında (<1 dk) ışınım ve sıcaklık şartlarının değişmediği kabul edilip bu aralıkta iki durum içinde ölçüm sonuçları alınmıştır. İkinci olarak test altındaki paneller eş değer olduklarından aynı gerilim noktasında maksimum gösterecekleri kabul edilmiştir. Hem seri dizin hemde anahtarlanan dizin için resosta vasıtası ile dizin gerilimi yaklaşık 28 V'a getirilerek ölçümler yapılmıştır. Sonuçlar Çizelge 5.4'te gösterilmiştir.

Çizelge 5.4. Dış ortamda yapılan deneylerin sonuçları.

Ölçüm	2'li seri dizin			2//1 anahtarlama dizin			Verim %
	$V_{MP}(V)$	$I_{MP}(A)$	$P_{MP}(W)$	$V_{MP}(V)$	$I_{MP}(A)$	$P_{MP}(W)$	
1	28,631	5,196	148,766	28,564	7,629	217,915	97,65
2	28,364	4,1056	116,451	28,557	6,027	172,113	98,53



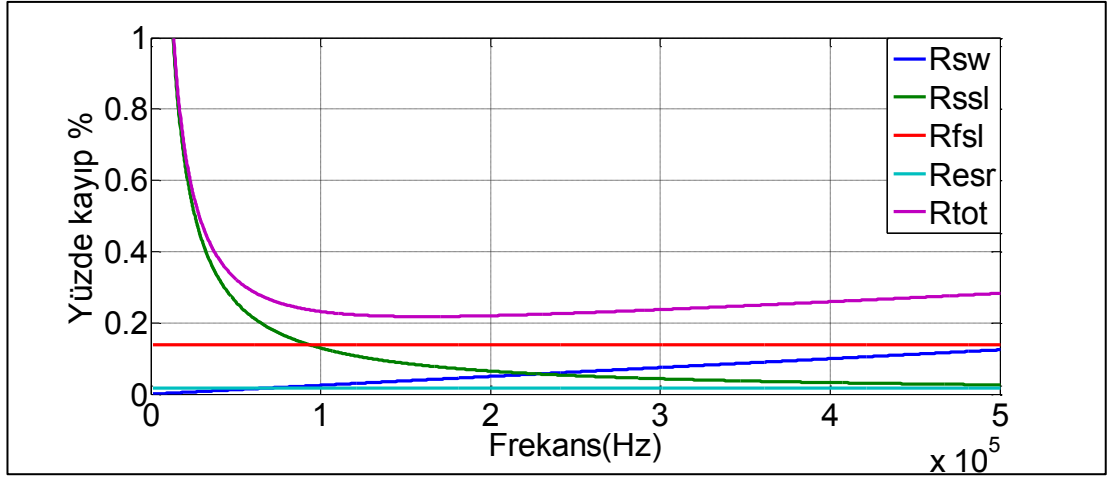
Şekil 5.22. Dış ortamda oluşturulan deney düzeneği.

5.4. PANEL BAĞLANTI KUTUSUNA SIĞACAK DEVRE TASARIMI

Önerilen topolojinin gerçek PV sistem uygulamalarında kullanılabileceğini göstermek için PV panelin bağlantı kutusuna yerleştirilebilecek, tamamen bağlı olduğu PV birimden beslenen, kendi içerisinde ölü zamanlı simetrik PWM'ler üretebilen bir devreye ihtiyaç duyulmaktadır.

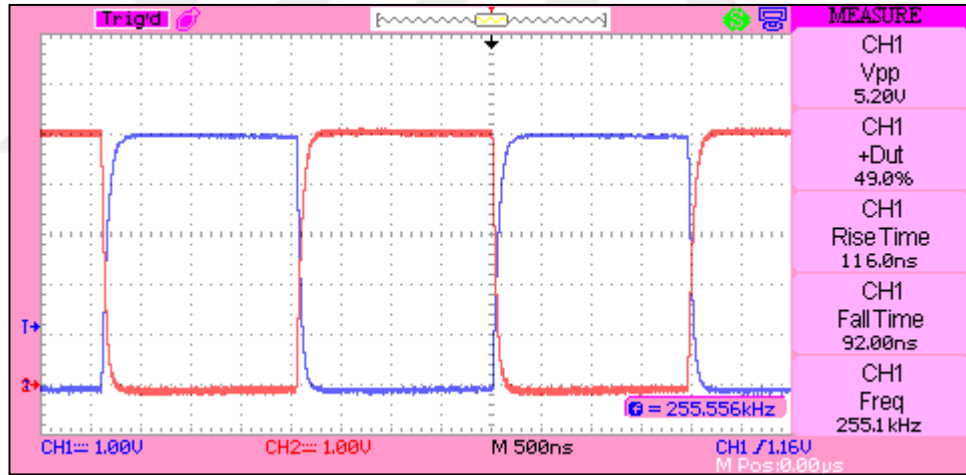
Şekil 5.7'de gösterilen devrede ölü zamanlı simetrik PWM sinyalleri mikrodenetleyiciden elde edilmekteydi. Yeni tasarımda bu PWM sinyalleri Şekil 5.23'te gösterilen devre tarafından üretilmektedir. Entegrelerin beslemesi PV modül gerilimi üzerinden 7805 entegresinden sağlanmaktadır.

MOSFET sürücü tarafı Şekil 5.6'da gösterilen ile aynıdır. Anahtar olarak P ve N tipi iki tane MOSFET'i aynı kılıfta bulunduran FDD8424H kullanılmıştır. Bu MOSFET için iletim dirençleri IRF3205 N-MOS ve IRF4905 P-MOS'a oranla büyük olmasına rağmen (FDD8424 çiftli kılıf ; N kanallı için $R_{DS}=24 \text{ m}\Omega$, P kanallı için $R_{DS}=54 \text{ m}\Omega$) parazitik kapasite değerleri ($C_{iss}=1000 \text{ pF}$, $C_{oss}=140 \text{ pF}$, $C_{rss}=75 \text{ pF}$) oldukça



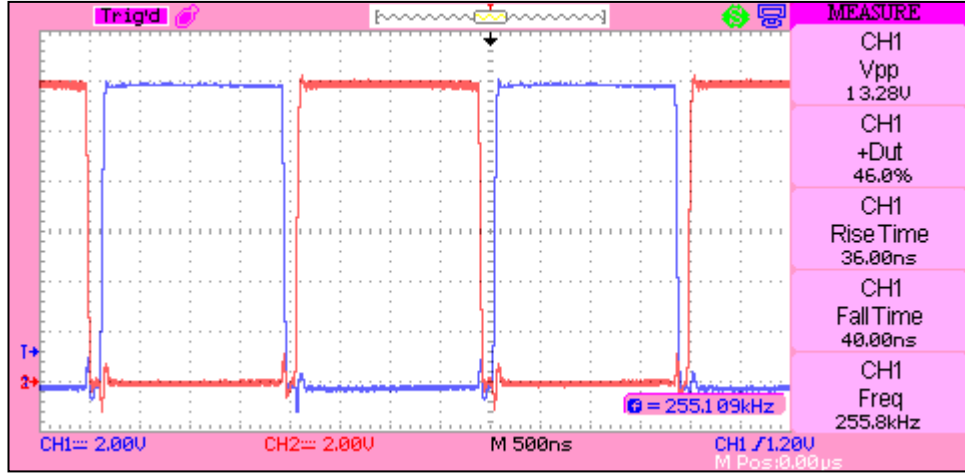
Şekil 5.25. % kayıp miktarının frekansla değişimi.

LTC6908 entegresinin çıkışında elde edilen simetrik saat darbeleri Şekil 5.26'da gösterilmiştir.



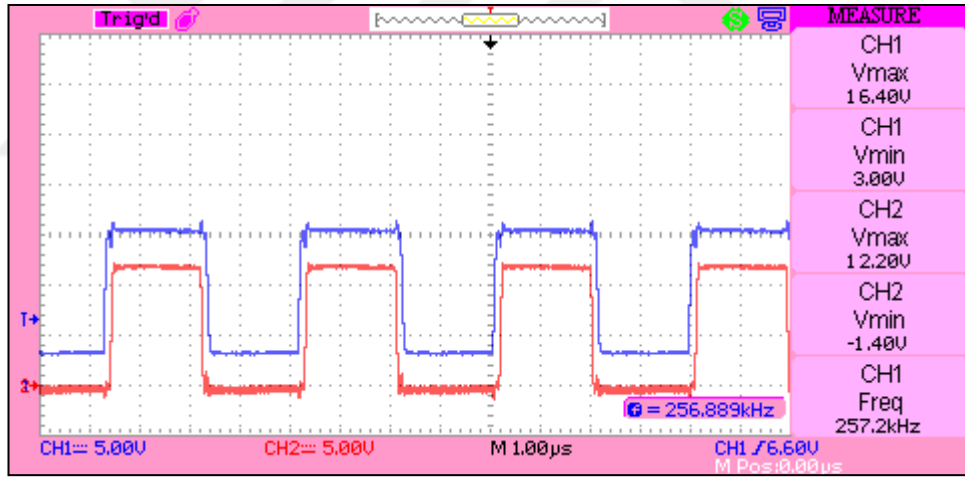
Şekil 5.26. LTC6908 çıkış sinyalleri.

Alt ve üst TC4428 sürücü entegresinin hemen çıkışındaki P ve N tipi MOSFET'lerin kapısına uygulanan sinyaller Şekil 5.27'de gösterilmiştir.



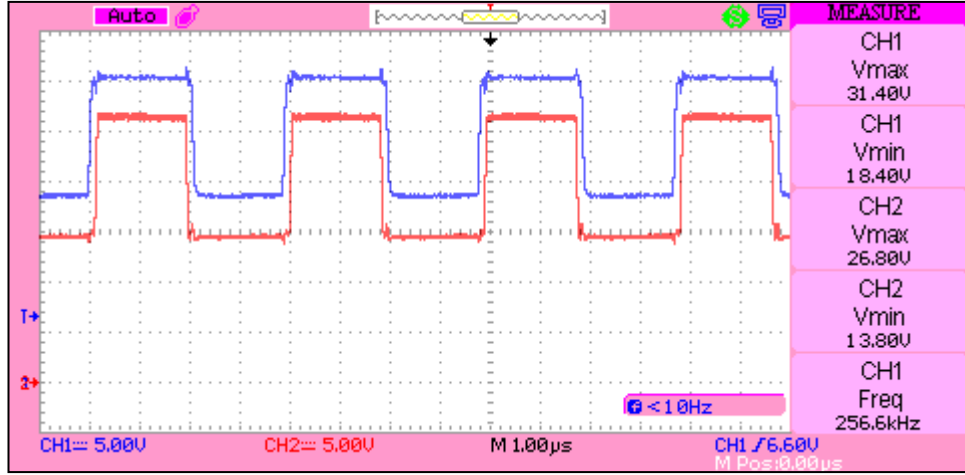
Şekil 5.27. MOSFET kapı sinyalleri.

Alt P ve N çifti MOSFET'lerin kapısına uygulanan sinyaller Şekil 5.28'de gösterilmiştir.



Şekil 5.28. Alt P ve N MOSFET kapı sinyalleri.

Üst P ve N çifti MOSFET'lerin kapısına uygulanan sinyaller Şekil 5.29'da gösterilmiştir.



Şekil 5.29. Üst P ve N MOSFET kapı sinyalleri.

5.5. BÖLÜMÜN DEĞERLENDİRİLMESİ

Bu bölümde kısmi gölgelenmenin sebep olduğu güç kayıplarını önlemek üzere önerilen çözüm için deneysel çalışmalar sunulmuştur. Bu amaçla anahtarlamalı dizini oluşturabilmek için anahtarlamalı kapasitör konvertör devreleri gerçekleştirilmiştir. Üretilen prototip devrelerden kısmi gölgelenme olmaksızın seri dizine kıyasla çıkışta alınabilen güç miktarları kıyaslanarak dönüşüm verimleri gözlenmiştir. Gerçek panel seviyesinde yaklaşık 4,1 A - 20 V maksimum güç noktası akım-gerilim değerlerine sahip paneller için laboratuvar ortamında yapılan testlerde > % 99 verim elde edilmiştir. Bu değerler kayıp analizlerini de yaklaşık olarak doğrulamaktadır. MOSFET iletim direnci ve parasitik kapasite değerleri, kapasite ESR değerleri bakımından optimize edilmiş bir devre tasarımı ile daha yüksek verim değerleri elde edilebilir. Gölgelenme olmaksızın seri dizine kıyasla yaşanan bu kayıp $N//N$ konfigürasyonunda anahtarlamayı durdurmak suretiyle veya çift çıkışlı yapının kullanılması suretiyle minimize edilebilir.

Kısmi gölgelenme şartları altında ise anahtarlanan dizin uçlarından her zaman konveks eğriye sahip güç karakteristiği elde edilmektedir. Çıkarılan güç miktarında $1-(gölgelenme\ oranı)$ değerine yaklaşmaktadır. Bu sonuçta önerilen çözümün kısmi gölgelenme altında istenilen şekilde çalıştığını göstermektedir.

BÖLÜM 6

SONUÇLAR VE ÖNERİLER

Bu tezde PV sistemlerin toplam verimini azaltan bir etki olan kısmi gölgelenme problemi çalışılmıştır. Kısmi gölgelenmeye maruz kalan PV dizinlerin çıkış güç karakteristikleri çoklu lokal maksimumlar içerir. Bu eğrinin global maksimumu gölgesiz durumdaki maksimuma kıyasla gölgelenme oranından daha fazla düşme gösterir. Artırılmış tepe değerli konveks eğriler elde etmek ve baypas diyotlarının kullanımı nedeniyle vazgeçilen gücü geri kazanmak için güç elektroniği çözümleri üretilmektedir. Verim gereksinimlerini ve ekonomik hedefleri karşılayabilmek için bu tür çözümlerde minimum sayıda güç elektroniği elemanı ile en az gücü işlemek esastır. Bu kapsamda bu tezde yapılan çalışmaların önemli çıktıları şu şekilde özetlenebilir:

- Panel-altı seviyede güç dengeleme yapmak için anahtarlama panel-altı konvertör çözümü önerilmiştir. Benzer çalışmalara kıyasla aynı sayıdaki panel-altı PV birimin dengelenmesi için yarı sayıda güç elektroniği elemanı içerir.
- Önerilen çözümde panel-altı birimler merdiven şeklinde $N//N-1$ veya $N//N$ olarak konfigüre edilir. Gölgelemenin olmadığı durumlarda klasik seri dizine kıyasla anahtarlama işlemi dolayısıyla yaşanan kayıplar ilave kayıp olarak ortaya çıkar. Bölüm 3.4'te bu kaybı oluşturan bileşenler karakterize edilerek verilmiştir. $N//N-1$ şeklindeki konfigürasyon anahtarlama dizine bağlı birimlerin ürettiği gücü yük tarafına çıkartabilmek için sürekli bir anahtarlama gerektirir. $N//N$ şeklindeki konfigürasyon gölgelenmenin olmadığı durumlarda anahtarlama durdurmaya müsaade eder. Böylece ilave kayıplar engellenir.
- Tek çıkışlı yapı kısmi farksal güç işleme olarak değerlendirilebilir. Çift çıkışlı konfigürasyon ise paralel iki dizinden de doğrudan güç çıkartılmasına izin verdiği için anahtarlama devresi üzerinde işlenen güç miktarını azaltarak

toplam verimi artırır. Böylece önerilen çözüm tam farksal güç işleme kategorisinde değerlendirilebilir. Çift çıkışlı yapı dizin gölgelenmeye maruz kalmadığında ve denge durumunda iken herhangi bir güç işlemeyeceği için ilave kayıp gerçekleşmez. Çift çıkışlı yapıyı gerçekleştirmek için birbirinden izole iki inverter veya akım bölücü arayüz gerekir. Akım bölücü arayüzdeki güç kaybı incelenmesi gereken bir durum olarak ileriki çalışmalara bırakılmıştır.

- Yapılan simülasyon ve deneysel çalışmalar önerilen çözümün kullanılabilirliğini ve teorik kayıp analizlerini doğrulamıştır. N/N konfigürasyonun tek çıkışlı hali ilk olarak hücre seviyesinde yaklaşık $1 W_p$ 'lik küçük güçlü bir prototip üzerinde test edilmiştir. İlk deneysel sonuçlarda düzgün dağılımlı ışınım şartları için seri dizine kıyasla anahtarlamalı dizin için % 96,9 dönüşüm verimi elde edilmiştir. Önerilen çözüm için öngörülen uygulama panel-altı seviyede gerçekleşeceği için panel-altı seviyedeki güçlerde çalışabilecek bir anahtarlamalı kapasitör konvertör devresi yapılmıştır. Bu devre üzerinde $2//1 (N/N-1)$ anahtarlamalı dizin oluşturulabilmektedir. Yaklaşık $267 W_p$ 'lik panel güç seviyelerine kadar yapılan testlerde düzgün dağılımlı ışınım şartlarında seri dizine kıyasla anahtarlamalı dizin için $> \% 99$ 'luk güç dönüşüm verimi elde edilmiştir. Bu verim daha düşük akım seviyeleri için daha yüksektir. Bazı tasarım kriterlerini dikkate alarak bu verim daha da artırılabilir. Tam farksal güç işlemeye izin veren çift çıkışlı yapı için sadece simülasyon çalışması gerçekleştirilmiştir. Simülasyon sonuçları düzgün dağılımlı ışınım şartları için ilave kaybın söz konusu olmadığını ve birçok gölgelenme durumu için tek çıkışlı yapıya kıyasla daha fazla güç çıkartıldığını göstermektedir.
- Kısmi gölgelenme şartları için yapılan deneysel çalışmalar anahtarlamalı dizinin terminalleri arasında daima konveks güç eğrileri elde edildiğini göstermiştir. % 35,68'lik yüksek kısmi gölgelenme oranında dahi gölgesiz durumdaki anahtarlamalı dizin gücünün % 64,48'i çıkartılabilmektedir. % 12,03'lük hafif kısmi gölgelenme oranı durumunda ise gölgesiz durumdaki dizin gücünün % 88,05'i çıkartılabilmektedir. Bu sonuçlar test edilen kısmi gölgelenme şartları için baypas diyotlu seri dizine göre toplam % 10-20 oranında fazla güç çıkartımını göstermektedir.

Alınan bu sonuçlar karşısında gelecekte yapılabilecek çalışmalar aşağıda listelenmiştir.

- Çift çıkışlı yapı izole iki konvertör üzerinde birbirinden bağımsız MPPT yapacak şekilde çalıştırılarak tam farksal güç işleme için deneysel çalışmalar gerçekleştirilebilir. Rastgele gölgelenme desenleri için farksal güç işlemeye izin veren optimum akım bölme oranı D değerini bulacak MPPT yöntemi geliştirilebilir.
- Literatürde var olan çözümlere ilişkin konvertör devreleri gerçekleştirilerek bu yöntemler ve önerilen çözüm deneysel olarak kıyaslanabilir.
- Önerilen çözüm kapasitörsüz hali ile batarya dengeleme sistemlerine uygulanabilir. Bu amaçla simülasyon çalışmaları gerçekleştirilmiştir. İlgili sonuçları içeren bir bildiri yayınlanmıştır [53]. Deneysel çalışmaya ihtiyaç duyulmaktadır.

KAYNAKLAR

1. Kerekes, T., "Analysis and modeling of transformerless photovoltaic inverter systems", Ph. D. Thesis, *Aalborg Universitet : Institut for Energiteknik, Aalborg Universitet*, Denmark(2009).
2. Nema, P., Nema, R. K., and Rangnekar, S., "A current and future state of art development of hybrid energy system using wind and PV-solar: A review", *Renewable And Sustainable Energy Reviews*, 13 (8): 2096–2103 (2009).
3. Chang, A. H., Avestruz, A.-T., and Leeb, S. B., "Capacitor-Less Photovoltaic Cell-Level Power Balancing using Diffusion Charge Redistribution", *IEEE Transactions On Power Electronics*, 30 (2): 537–546 (2015).
4. Stauth, J. T., Seeman, M. D., and Kesarwani, K., "Resonant switched-capacitor converters for sub-module distributed photovoltaic power management", *IEEE Transactions On Power Electronics*, 28 (3): 1189–1198 (2013).
5. Salas, V., Olías, E., Barrado, A., and Lázaro, A., "Review of the maximum power point tracking algorithms for stand-alone photovoltaic systems", *Solar Energy Materials And Solar Cells*, 90 (11): 1555–1578 (2006).
6. Ji, Y. H., Jung, D. Y., Kim, J. G., Kim, J. H., Lee, T. W., and Won, C. Y., "A real maximum power point tracking method for mismatching compensation in PV array under partially shaded conditions", *IEEE Transactions On Power Electronics*, 26 (4): 1001–1009 (2011).
7. Shmilovitz, D. and Levron, Y., "Distributed Maximum Power Point Tracking in Photovoltaic Systems - Emerging Architectures and Control Methods", *Automatika – Journal For Control, Measurement, Electronics, Computing And Communications*, 53 (2): 142–155 (2012).
8. Qin, S. and Pilawa-Podgurski, R. C. N., "Sub-module differential power processing for photovoltaic applications", *Conference Proceedings - IEEE Applied Power Electronics Conference And Exposition - APEC*, 101–108 (2013).
9. Shenoy, P. S., Kim, K. A., Krein, P. T., and Chapman, P. L., "Differential power processing for efficiency and performance leaps in utility-scale photovoltaics", *Conference Record Of The IEEE Photovoltaic Specialists Conference*, (c): 1357–1361 (2012).
10. Shenoy, P. S., Kim, K. A., Johnson, B. B., and Krein, P. T., "Differential power processing for increased energy production and reliability of photovoltaic systems", *IEEE Transactions On Power Electronics*, 28 (6): 2968–2979 (2013).

11. Olalla, C., Deline, C., and Maksimovic, D., "Performance of mismatched PV systems with submodule integrated converters", *IEEE Journal Of Photovoltaics*, 4 (1): 396–404 (2014).
12. Walker, G. R. and Sernia, P. C., "Cascaded DC-DC converter connection of photovoltaic modules", *IEEE Transactions On Power Electronics*, 19 (4): 1130–1139 (2004).
13. Femia, N., Lisi, G., Petrone, G., Spagnuolo, G., and Vitelli, M., "Distributed Maximum Power Point Tracking of Photovoltaic Arrays: Novel Approach and System Analysis", *IEEE Transactions On Industrial Electronics*, 55 (7): 2610–2621 (2008).
14. Olalla, C., Clement, D., Choi, B. S., and Maksimovic, D., "A branch and bound algorithm for high-granularity PV simulations with power limited SubMICs", *2013 IEEE 14th Workshop On Control And Modeling For Power Electronics, COMPEL 2013*, 1–6 (2013).
15. MacAlpine, S. M., Erickson, R. W., and Brandemuehl, M. J., "Characterization of power optimizer potential to increase energy capture in photovoltaic systems operating under nonuniform conditions", *IEEE Transactions On Power Electronics*, 28 (6): 2936–2945 (2013).
16. Hanson, A. J., Deline, C. A., MacAlpine, S. M., Stauth, J. T., and Sullivan, C. R., "Partial-shading assessment of photovoltaic installations via module-level monitoring", *IEEE Journal Of Photovoltaics*, 4 (6): 1618–1624 (2014).
17. Deline, C., "Partially shaded operation of multi-string photovoltaic systems", *Conference Record Of The IEEE Photovoltaic Specialists Conference*, 394–399 (2010).
18. Giral, R., Ramos-Paja, C. A., Gonzalez, D., Calvente, J., Cid-Pastor, À., and Martinez-Salamero, L., "Minimizing the effects of shadowing in a PV module by means of active voltage sharing", *Proceedings Of The IEEE International Conference On Industrial Technology*, 943–948 (2010).
19. Shenoy, P. S., Kim, K. a., and Krein, P. T., "Comparative analysis of differential power conversion architectures and controls for solar photovoltaics", *2012 IEEE 13th Workshop On Control And Modeling For Power Electronics (COMPEL)*, 1–7 (2012).
20. Kim, K. A., Shenoy, P. S., and Krein, P. T., "Photovoltaic differential power converter trade-offs as a consequence of panel variation", *2012 IEEE 13th Workshop On Control And Modeling For Power Electronics, COMPEL 2012*, 1(2012).
21. Qin, S., Cady, S. T., Dominguez-Garcia, A. D., and Pilawa-Podgurski, R. C. N., "A distributed approach to MPPT for PV sub-module differential power processing", *2013 IEEE Energy Conversion Congress And Exposition, ECCE 2013*, 2778–2785 (2013).

22. Qin, S., Barth, C. B., and Pilawa-Podgurski, R. C. N., "Enhancing Microinverter Energy Capture with Submodule Differential Power Processing", *IEEE Transactions On Power Electronics*, 31 (5): 3575–3585 (2016).
23. Qin, S., Barth, C. B., and Pilawa-Podgurski, R. C. N., "Enhancing Microinverter Energy Capture With Submodule Differential Power Processing", *IEEE Transactions On Power Electronics*, 31 (5): 3575–3585 (2016).
24. Choi, B., Clement, D., and Maksimovic, D., "A CMOS controller for submodule integrated converters in photovoltaic systems", *2014 IEEE 15th Workshop On Control And Modeling For Power Electronics, COMPEL 2014*, 1–6 (2014).
25. Levron, Y., Clement, D., Choi, B., Olalla, C., Maksimovic, D., and Member, S., "Control of Submodule Integrated Converters in the Isolated - Port Differential Power Processing Photovoltaic Architecture", *IEEE Journal Of Emerging And Selected Topics In Power Electronics*, 2 (4): 821–832 (2014).
26. Levron, Y., Clement, D., Maksimovic, D., and Olalla, C., "Nonlinear control design for the photovoltaic isolated-port architecture with submodule integrated converters", *2013 IEEE Energy Conversion Congress And Exposition, ECCE 2013*, 2398–2405 (2013).
27. Olalla, C., Deline, C., and Maksimovic, D., "Modeling and simulation of conventionally wired photovoltaic systems based on differential power processing SubMIC-enhanced PV modules", *2014 IEEE 15th Workshop On Control And Modeling For Power Electronics, COMPEL 2014*, 21–9 (2014).
28. Olalla, C., Deline, C., Clement, D., Levron, Y., Rodriguez, M., and Maksimovic, D., "Performance of power-limited differential power processing architectures in mismatched PV systems", *IEEE Transactions On Power Electronics*, 30 (2): 618–631 (2015).
29. Kesarwani, K. and Stauth, J. T., "A comparative theoretical analysis of distributed ladder converters for sub-module PV energy optimization", *2012 IEEE 13th Workshop On Control And Modeling For Power Electronics, COMPEL 2012*, 1–6 (2012).
30. Stauth, J. T., Kesarwani, K., and Schaef, C., "A distributed photovoltaic energy optimization system based on a sub-module resonant switched-capacitor implementation", *15th International Power Electronics And Motion Control Conference And Exposition, EPE-PEMC 2012 ECCE Europe*, 1–6 (2012).
31. Stauth, J. T., Seeman, M. D., and Kesarwani, K., "A resonant switched-capacitor ic and embedded system for sub-module photovoltaic power management", *IEEE Journal Of Solid-State Circuits*, 47 (12): 3043–3054 (2012).
32. Schaef, C. and Stauth, J. T., "Multilevel power point tracking for partial power processing photovoltaic converters", *IEEE Journal Of Emerging And Selected Topics In Power Electronics*, 2 (4): 859–869 (2014).

33. Schaefer, C. and Stauth, J. T., "Multilevel power-point-tracking for variable-conversion-ratio photovoltaic ladder converters", *2013 IEEE 14th Workshop On Control And Modeling For Power Electronics, COMPEL 2013*, (2013).
34. Schaefer, C., Kesarwani, K., and Stauth, J. T., "A coupled-inductor multi-level ladder converter for sub-module PV power management", *Conference Proceedings - IEEE Applied Power Electronics Conference And Exposition - APEC*, 732–737 (2013).
35. Sangwan, R., Kesarwani, K., and Stauth, J. T., "High-density power converters for sub-module photovoltaic power management", *2014 IEEE Energy Conversion Congress And Exposition, ECCE 2014*, 3279–3286 (2014).
36. Ben-Yaakov, S., Blumenfeld, A., Cervera, A., and Evzelman, M., "Design and evaluation of a modular resonant switched capacitors equalizer for PV panels", *2012 IEEE Energy Conversion Congress And Exposition, ECCE 2012*, 4129–4136 (2012).
37. Blumenfeld, A., Cervera, A., and Peretz, M. M., "Enhanced Differential Power Processor for PV Systems: Resonant Switched-Capacitor Gyrator Converter With Local MPPT", *IEEE Journal Of Emerging And Selected Topics In Power Electronics*, 2 (4): 883–892 (2014).
38. Bell, R. and Pilawa-Podgurski, R. C. N., "Asynchronous and distributed maximum power point tracking of series-connected photovoltaic sub-modules using differential power processing", *2014 IEEE 15th Workshop On Control And Modeling For Power Electronics (COMPEL)*, 1–8 (2014).
39. Bell, R. and Pilawa-Podgurski, R. C. N., "Decoupled and Distributed Maximum Power Point Tracking of Series-Connected Photovoltaic Submodules Using Differential Power Processing", *IEEE Journal Of Emerging And Selected Topics In Power Electronics*, 3 (4): 881–891 (2015).
40. Uno, M. and Kukita, A., "Two-switch voltage equalizer using series-resonant inverter and voltage multiplier for partially-shaded series-connected photovoltaic modules", *2013 IEEE Energy Conversion Congress And Exposition*, 1311–1318 (2013).
41. Uno, M. and Kukita, A., "Two-Switch Voltage Equalizer Using an LLC Resonant Inverter and Voltage Multiplier for Partially Shaded Series-Connected Photovoltaic Modules", *IEEE Transactions On Industry Applications*, 51 (2): 1587–1601 (2015).
42. Lavado Villa, L. F., Ho, T. P., Crebier, J. C., and Raison, B., "A power electronics equalizer application for partially shaded photovoltaic modules", *IEEE Transactions On Industrial Electronics*, 60 (3): 1179–1190 (2013).
43. Villa, L. F. L., Pichon, X., Sarrafin-Ardelibi, F., Raison, B., Crebier, J. C., and Labonne, A., "Toward the design of control algorithms for a photovoltaic equalizer: Choosing the optimal switching strategy and the duty cycle", *IEEE Transactions On Power Electronics*, 29 (3): 1447–1460 (2014).

44. Chang, A. H., Avestruz, A.-T., and Leeb, S. B., "Capacitor-less photovoltaic (PV) cell-level power balancing using diffusion charge redistribution", *2014 IEEE Applied Power Electronics Conference And Exposition - APEC 2014*, 712–720 (2014).
45. Chang, A. H. and Leeb, S. B., "Differential diffusion charge redistribution for photovoltaic cell-level power balancing", *2014 International Conference On Renewable Energy Research And Application (ICRERA)*, 576–582 (2014).
46. Strache, S., Mueller, J. H., Wunderlich, R., and Heinen, S., "Photovoltaic output power improvement applying DC-DC converters on submodule level", *2012 International Conference On Smart Grid Technology, Economics And Policies, SG-TEP 2012*, (2012).
47. Gokdag, M. and Akbaba, M., "Symmetric Ladder Connection Design Using Diffusion Charge Redistribution for Solar Cell-Level MPPT with Reduced Insertion Loss", *SolarTR 2014 Conference & Exhibition*, (2014).
48. Seeman, M. D., "A design methodology for switched-capacitor DC-DC converters", *University of California, Berkeley*, (2009).
49. Seeman, M. D. and Sanders, S. R., "Analysis and optimization of switched-capacitor DC-DC converters", *Proceedings Of The IEEE Workshop On Computers In Power Electronics, COMPEL*, 216–224 (2006).
50. Ma, T., Yang, H., and Lu, L., "Development of a model to simulate the performance characteristics of crystalline silicon photovoltaic modules/strings/arrays", *Solar Energy*, 10031–41 (2014).
51. Blumenfeld, A., Cervera, A., and Ben-Yaakov, S., "Analysis and design of DC-isolated gate drivers", *2012 IEEE 27th Convention Of Electrical And Electronics Engineers In Israel*, 1–5 (2012).
52. Qin, S., Kim, K. A., and Pilawa-Podgurski, R. C. N., "Laboratory emulation of a photovoltaic module for controllable insolation and realistic dynamic performance", *2013 IEEE Power And Energy Conference At Illinois, PECEI 2013*, 23–29 (2013).
53. Gokdag, M. and Akbaba, M., "An active battery cell balancing topology without using external energy storage elements", *2015 6th International Conference On Modeling, Simulation, And Applied Optimization (ICMSAO)*, 1–5 (2015).



EKLER – YAYINLAR



A novel PV sub-module-level power-balancing topology for MPPT under partial shading and mismatch conditions*

Mustafa GOKDAG^{†1}, Mehmet AKBABA²

(¹Department of Electrical-Electronics Engineering, Karabuk University, Karabuk 78050, Turkey)

(²Department of Computer Engineering, Karabuk University, Karabuk 78050, Turkey)

[†]E-mail: mgokdag@karabuk.edu.tr

Received Oct. 7, 2015; Revision accepted Feb. 25, 2016; Crosschecked

Abstract: Partial shading and mismatch conditions among the series-connected modules/sub-modules suffer from a nonconvex power curve with multiple local maxima and decreased peak power for the whole string. Energy transfer between the sub-modules brings them to the same operating voltage, and this collective operation produces a convex power curve, which results in increased peak power for the string. The proposed topology benefits from the switched-capacitor (SC) converter concept and is an application for sub-module-level power balancing with some novelties, including stopping the switching in absence of shading, string-level extension, and reduced number of power electronics components as compared to those in published literature. Reduction in power electronics components is realized by the fact that two sub-modules share one switched-capacitor converter. This leads to reduced power electronics losses as well as less cost and volume of the converter circuit. Insertion loss analysis of the topology is presented in Section 2. The proposed topology is simulated in PSpice environment, and a prototype is built for experimental verification. Both simulation and experimental results confirm the loss analysis given in Section 2. This proves that with the proposed topology it is possible to extract almost all the power available on the partially shaded string and transfer it to the load side.

Key words: Sub-module-level MPPT, Differential power processing (DPP), Distributed power converters, Switched-capacitor converters

<http://dx.doi.org/10.1631/FITEE.1500322>

CLC number:

1 Introduction

Since high-voltage inverters have high efficiency, photovoltaic modules are connected in series in order to obtain large voltages (Karekes, 2009). Recent research efforts and technological developments chronologically introduced us to central inverters, string inverters, and string inverters with multiple inputs, allowing independent maximum power point tracking (MPPT) at each input, multilevel inverters and micro-inverters for each PV module, DC–DC optimizers at the module level, DC–DC optimizers at

the sub-module level, and lastly, cell-level MPPT using diffusion charge redistribution (DCR), a concept proposed by Chang *et al.* (2014a; 2014b; 2015), which can be used in “future smart PV modules”. The idea of each approach has arisen as a solution to the partial shading and the mismatch losses with increased granularity (Gokdag and Akbaba, 2014). Partial shading and mismatch conditions among the series-connected modules/sub-modules/cells suffer from a nonconvex output power characteristic curve with multiple local maxima and decreased peak power for the whole string/module, including bypass diodes. This limits the power extraction from the whole string/module (Giral *et al.*, 2010).

Bypass diodes are connected in parallel with the sub-modules in order to bypass the sub-modules

* Project supported by the BAP Department of Karabuk University, Turkey (No. KBU-BAP-13/2-DR-010)

© Zhejiang University and Springer-Verlag Berlin Heidelberg 2016

subjected to partial shading and prevent them from acting as a load to the unshaded modules. When the bypass diodes are activated as a result of shading, the power produced by the bypassed sub-modules is wasted. Consequently, recent researches have concentrated on regaining the bypassed power through use of bypass diodes and bringing them to the same operating voltage (Giral *et al.*, 2010). Pilawa and Perreault (2013), taking advantage of the distributed power electronics concept, have proposed a synchronous buck converter that is implemented in parallel with the sub-module, by employing both inductive and capacitive elements and processing the whole power produced from the sub-module. This topology does not use the differential power processing (DPP) concept, and the overall efficiency highly depends on the converter efficiency. Subsequent studies at the sub-module level generally rely on a similar idea, which is to transfer energy or redistribute charge between sub-modules using energy storage elements like a combination of inductor–capacitor or transformer–capacitor and switches. This energy transfer brings all sub-modules to the same operating voltage and produces a convex output power curve with increased peak power for series-connected sub-modules/cells. All these studies process only the power mismatch, which is small in comparison to the string power, and result in minimum loss. If the sub-modules are in balance, they do not ideally lose power. As a result, all of them are categorized in the DPP concept. In Giral *et al.* (2010), a bidirectional buck–boost circuit with current control is proposed to guarantee equal section voltages in a module using active voltage sharing. The closed-loop control needs current measurement. In Qin and Pilawa (2013a) and Qin *et al.* (2013b), a DPP converter is implemented as a synchronous buck–boost circuit with voltage measurement feedback. The control strategy is designed to allow each and every DPP converter to track the local MPP of its corresponding sub-module. The control strategy searches for a convenient duty cycle on a two-dimensional surface that maximizes the voltage of the string for a temporarily fixed string current. The string voltage information is required by each DPP converter to realize this strategy. Therefore, this requires a communication interface to acquire diagnostic data. A conventional perturb–observe MPPT algorithm working on the central inverter

gradually moves the previously fixed string current toward the maximum power point value in a “slow” loop while the local DPP controllers adjust the duty cycles to maximize the string voltage in a “fast” loop. This control approach may fail under rapidly changing environmental conditions. Hence, the sub-module voltage and the string current may never converge to their optimal values. The control complexity also increases. In Kim *et al.* (2012), the PV-to-bus and PV-to-PV DPP architectures for series string were examined for mismatch conditions using Monte Carlo simulation and compared with series strings with and without bypass diodes. The authors stated that the flyback topology can be employed in the PV-to-bus converter and the buck–boost topology can be employed in the PV-to-PV converter. Their simulation results showed better performance for the PV-to-bus architecture. But the switches used in PV-to-bus converters must be rated to the bus voltage, and this results in some disadvantages from the point of view of the application. In Shenoy *et al.* (2012a; 2013), a local control strategy requiring the current and voltage measurements is developed for the bidirectional buck–boost converter employed as a DPP in the PV-to-PV architecture proposed by Kim *et al.* (2012). A basic perturb-and-observe algorithm running on the local controller tries to maximize the power of each PV element in order to find the corresponding duty cycle. The converter efficiency is reported to be around 96%. In Shenoy *et al.* (2012b), several differential energy conversion architectures and associated local controls were analyzed. Their simulation results showed that the isolated flyback converter employed in a PV-to-bus architecture tends to process the least amount of power. In Levron *et al.* (2013; 2014), Olalla *et al.* (2013; 2014a; 2014b; 2015), and Beomseok *et al.* (2014), another bidirectional flyback converter that allows DPP and its control approach were analyzed. The secondary ports of the flyback transformers were connected in parallel and disconnected from the module/string output. This solves the disadvantage mentioned by Kim *et al.* (2012) and brings the advantage of using low-voltage-rated switches and results in a control without the need for additional sensing. This architecture increases the string cable usage since it needs dual-core cable at the secondary of the transformer. In Stauth *et al.* (2012a; 2012b; 2012c;

2013), resonant switched-capacitor converters were configured in a parallel-ladder architecture with strings of PV cells at the sub-module level to improve energy capture in the event of shading or mismatch. The balancing action extends from the sub-module level with one more added converter stage to the entire series string through a dual-core cable and connector. All the above studies generally use both inductive and capacitive elements together and employ a number of n or $n - 1$ converters to prevent mismatch losses of the number of n sub-modules, which results in increased cost and power electronics losses.

The topology proposed in this work includes a power converter connected in parallel with PV sub-modules, as shown in Fig. 1, and benefits from the switched capacitor converter concept in a different manner from that of similar publications available in the literature (Stauth *et al.*, 2012a; 2012b; 2012c; 2013). It is actually an application of the concept of Chang *et al.* (2014a; 2014b; 2015) with some novelties such as sub-module-level power balancing, stopping the switching in the absence of shading, string-level extension, and reduced number of power electronics components compared to the concepts in the related published literature. This is realized by the fact that two sub-modules share one switched capacitor converter. This leads to reduced power electronics losses as well as less cost and volume of the converter circuit. Insertion loss analysis of the topology is presented in Section 2. The proposed topology is simulated in PSpice environment, and a prototype is built for experimental verification. Both simulation and experimental results confirm the loss analysis given in Section 2. This proves that, with the proposed topology, it is possible to extract almost all the power available on the partially shaded string and transfer it to the load side.

2 Proposed topology

In the proposed topology the sub-modules that each of them is supported by a charge storage capacitor are configured in the parallel-ladder architecture to form a string as shown in Fig. 1. These sub-modules are switched with each other in order to bring all sub-modules to the same operating voltage.

The control of the converter is very simple and the sub-modules and associated capacitors are periodically switched between two states. The proposed topology requires n capacitors and $n+1$ switches for n sub-modules while resonant SC converter proposed by (Stauth *et al.*, 2012a; 2012b; 2012c; 2013) requires $2n-1$ capacitors and $2n$ switches.

A single output version of this topology shown in Fig. 1a requires continuous switching. This causes an insertion loss even if there is no partial shading and mismatch among the sub-modules, because the power produced by switched-ladder string shown on the right in Fig. 1a must be processed in order to transfer this power to the load side. Hence the whole power produced by the switched ladder string is lost when switching is stopped (Chang and Leeb, 2014; Gokdag and Akbaba, 2014). The topology shown in Fig. 1b allows stopping the switching process in position 1 while partial shading is not present and this results in reduced insertion loss. In this case the insertion loss is present only because of the on-state resistances of the uppermost and the lowermost switches of the string which carry the string current of the series sub-modules on the right-hand side of Fig. 1b. The approach can be extended to the string level by placing the SC converter into the junction box of the PV module as shown in Fig. 2. A dual-core cable is required to connect PV modules in series.

The SC loss analysis presented in (Chang *et al.*, 2014; Seeman *et al.*, 2006) can be adopted for the topology shown in Fig. 1b. The SC conversion loss introduces two asymptotic limits on the output impedance, which are the slow and fast switching limits.

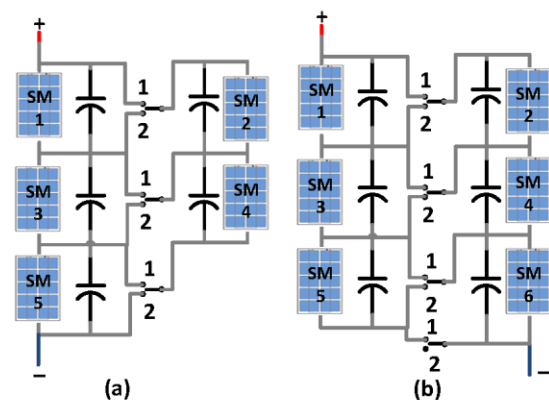


Fig. 1 Proposed ladder-connected sub-modules

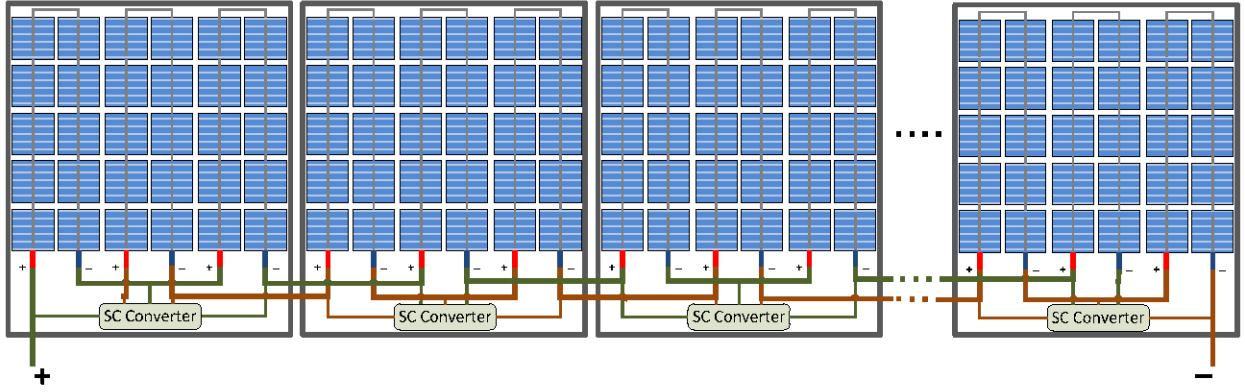


Fig. 2 String level extension of the proposed topology

In calculation of the output impedance of the switching converter due to slow switching limit (SSL) all the switches and all the other conductive interconnects are assumed to be ideal. It is also assumed that the capacitors experience impulsive currents. In the fast switching limit (FSL), it is assumed that the capacitor voltages remain constant, and the resistive sources from switches and other interconnects dominate the losses. The loss analysis for the topology shown in Fig. 1b can be done by following the procedure given by (Chang *et al.*, 2014; Seeman *et al.*, 2006). Below an insertion loss calculation is performed assuming that all the sub-modules are perfectly matched.

Equation for the SSL output impedance (R_{SSL}) of the switched sub-module string is obtained as given in (1). Where $a_{c,i}$ is the charge multiplier of i_{th} capacitor which represents the normalized charge flow into that capacitor with respect to the output charge flow, C is the capacitance value connected parallel to the sub-module, f_{sw} is the switching frequency and N is the number of sub-module connected in one arm of the proposed topology shown in Fig. 1b.

$$R_{SSL} = \sum_{i=1}^{2N} \frac{(a_{c,i})^2}{Cf_{sw}} = \frac{1}{32N^2 Cf_{sw}} \left[\sum_{i=1}^N (2i-1)^2 \right] \quad (1)$$

The percentage insertion loss is calculated as the ratio of the SSL output impedance to the load resistance. The load resistance (R_L) is obtained as given in (2).

The percentage insertion loss for SSL (IL_{SSL}) is obtained as given in (3), where I_{MP} and V_{MP} are the maximum power current and maximum power volt-

age of the sub-module respectively.

$$R_L = \frac{V_{out}}{I_{out}} = \frac{V_{MP} \left(\frac{2N+1}{2} \right)}{I_{MP} \left(\frac{4N}{2N+1} \right)} \quad (2)$$

$$= \frac{V_{MP}}{I_{MP}} \left[\frac{(2N+1)^2}{8N} \right]$$

$$IL_{SSL} = \frac{R_{SSL}}{R_L} \quad (3)$$

$$= \frac{I_{MP}}{4NV_{MP} Cf_{sw} (2N+1)^2} \left[\sum_{i=1}^N (2i-1)^2 \right]$$

The equation for the FSL output impedance (R_{FSL}) of the switched sub-module string is obtained as given in (4) where $a_{sw,i}$ is the charge multiplier of i_{th} switch which represents the normalized charge flow through the on-state switch with respect to the output charge flow, R_{eff} is the effective resistance of the switch on-resistance in series with any interconnect resistance.

$$R_{FSL} = 2 \sum_{i=1}^{2N+1} R_{eff} (a_{sw,i})^2 \quad (4)$$

$$= R_{eff} \frac{(2N-3)(2N+1)}{4N^2}$$

The percentage insertion loss for FSL (IL_{FSL}) is obtained as given in (5).

$$I_{L_{FSL}} = \frac{R_{FSL}}{R_L} = \frac{2R_{eff} I_{MP} (2N-3)}{V_{MP} N(2N+1)} \quad (5)$$

As an illustration for the switched sub-module string with the parameters for $N=3$, maximum power voltage of 11.2 V, maximum power current of 4.66 A under maximum illumination and the capacitor value of 20 μF , the switching frequency of 250 kHz, and effective switch on-resistance of 10 m Ω , the SSL insertion loss is calculated as 0.50%, and the FSL insertion loss is calculated as 0.12% of the total string power. The total insertion loss ($I_{L_{TOT}}$) is calculated as in (6). For the aforementioned parameters it is calculated as 0.51% of total power.

$$I_{L_{TOT}} = \sqrt{I_{L_{SSL}}^2 + I_{L_{FSL}}^2} \quad (6)$$

3 Simulation results

The subsequent simulations have been done in PSpice. The PV sub-module with 24 cells is modeled using the single diode model with the parallel and the series resistances. The sub-module with the following parameters is used in the simulation; maximum power voltage of 11.2 V, maximum power current of 4.66 A under STC, parallel resistance of 75.36 Ω , series resistance of 0.326 Ω . A capacitor of 20 μF , the switching frequency of 250 kHz, and the on-state switch resistance of 10 m Ω is used in the switched sub-module converter circuit. An example string with 6 sub-modules which are configured in 3//3 ladder-type configuration is simulated to show that the arbitrarily N/N configured proposed topology can be used to obtain convex power curve with increased peak power in the partial-shading conditions and the results obtained from this simulation have proved the loss analysis given in the Section 2. The general scheme about the PSpice diagram used in the simulations is shown in Fig. 3.

Fig. 4 shows the power versus voltage curves under uniform irradiation for three different cases; a) 6-series string, b) 3//3 switched sub-module string during continues switching, c) 3//3 string for switching stopped in position 1. Fig. 5 shows the P-V curves for the condition with 2 sub-modules 50% partially shaded, which means 16% overall shading. As shown

in Fig. 5, the P-V curve for the series string with by-pass diode includes multiple local maximum points with decreased peak power. In this case the MPPT algorithm working on string inverter must be able to find the global maximum without hanging on local maximum or minimum. The traditional hill-climbing based MPPT algorithms fails under multiple local maximum. The P-V curve for 3//3 switched sub-module string is a convex curve with increased peak power as compared to the result of the series string with/without by-pass diodes. Further to this procedure then a traditional hill-climbing MPPT algorithm can easily find the maximum power point and extract more power since the P-V curve for switched sub-module string is always a convex curve.

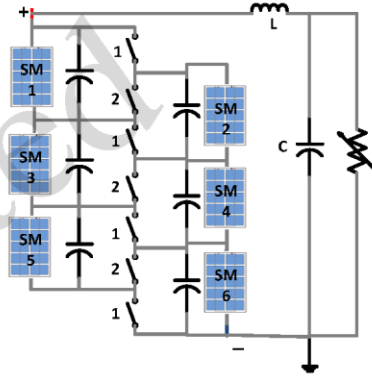


Fig. 3 General scheme about the PSpice diagram used in the simulations

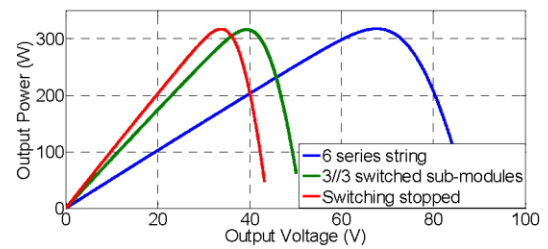


Fig. 4 Comparison for uniform irradiation conditions

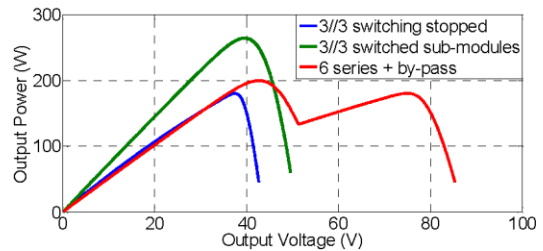


Fig. 5 Comparison for partially shaded condition

The results are concluded in Table 1 showing the maximum powers and efficiencies. In case of uniform irradiation, 99.48% conversion efficiency is obtained for the switched sub-module converter and this proves the loss analysis with a small loss of 0.51% of the total string power. An extracted power of 83.49% in case of 16% overall shading proves that the proposed topology can be used to extract nearly all the power available on the string. Under the uniform irradiation condition the switches are stopped in position 1 to prevent insertion loss. The conversion efficiency in this case is obtained as 99.84%. A small loss of 0.16% is due to the on-state resistances of the uppermost and the lowermost switches of the string which carry the string current of the series sub-modules on the right-hand side. So one may conclude that this loss will be almost constant and the ratio of this loss to the total string power will become negligible as the string size gets larger.

Table 1 Comparison for maximum powers and efficiencies

Confi- guration	Uniform Radiation		16% Overall Shading	
	Power (W)	Conv. Eff. %	Power (W)	Extracted power %
6 series+ by-pass	318.06	100	199.47	62.71
3//3 sw stopped	317.55	99.84	179.98	56.67
3//3 sw sub-module	316.41	99.48	264.18	83.49

4 Experimental results

An experimental prototype shown in Fig. 6 is built to test the proposed topology. In this prototype 3//3 switched sub-module string which has a nominal power of 1.35 W under standard test conditions is established. Each sub-module is represented by a solar cell which has maximum power point voltage of 0.366 V and current of 0.454 A for the experiment conditions, which is supported by a charge storage capacitor of 10 μ F. A MOSFET with on-state resistance of 30 m Ω is used in the circuit. The switching frequency is 200 kHz. For these parameters the SSL insertion loss is calculated as 3.69%, and the FSL insertion loss is calculated as 1.06% of the total string power. Quadratic sum of these two components becomes 3.84% of the total power.

A complementary PWM signal pair as shown in Fig. 7 is produced by PIC18F4431 microcontroller and applied to the gate driver inputs. A dead time of 130 ns is inserted between PWM signal pair to prevent short circuits on the capacitances.

The prototype is tested under clear sky conditions to obtain repeatable experimental results for small time intervals. A multi-turn precision potentiometer of 50 Ω is used as a variable load to get I-V characteristic data of the string from the short circuit point to the open circuit point. The current-voltage data pair are read and recorded from the measure menu of the oscilloscope while rotating the potentiometer from 0 Ω to 50 Ω . A picture of the experimental setup is shown in Fig. 8.

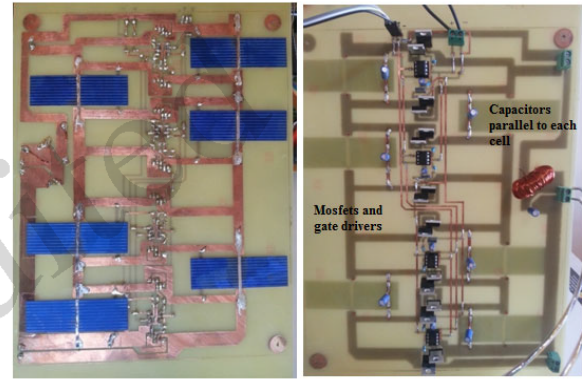


Fig. 6 Experimental prototype; front surface (left), rear surface (right)

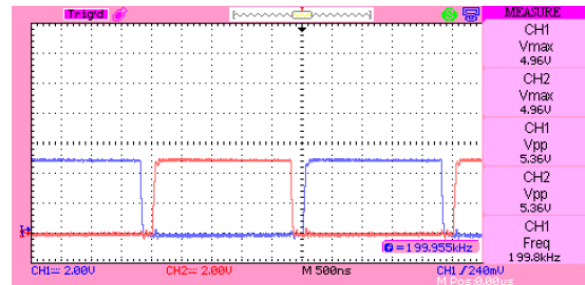


Fig. 7 PWM signal pair with dead time insertion

The experimental results are obtained for the ‘normal string’ and the proposed switching topology to compare power-voltage characteristics under uniform radiation and partially shaded conditions. The ‘normal string’ for the prototype means that the switching process is stopped and the switches are left in position 1. So a string with two-parallel arms is considered as normal string. Fig. 9 shows the results obtained under uniform radiation with no partial

shading, whereas Fig. 10 shows the results for the case in which both sub-modules that are in the middle of the two arms are approximately 75% artificially shaded, and overall shading for the whole string is about 25%. For the Fig. 11 the sub-modules in the middle are approximately 35% shaded and overall shading is about 12%.

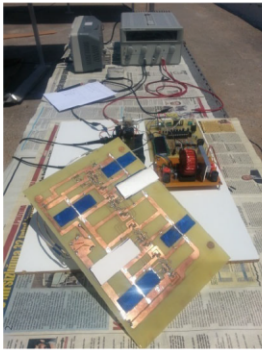


Fig. 8 A picture of the experimental setup

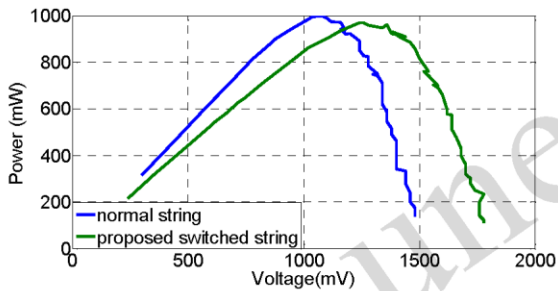


Fig. 9 Experimental results for uniform radiation conditions

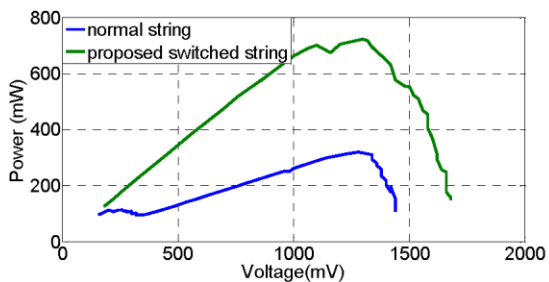


Fig. 10 Two sub-modules are approximately 75% shaded and overall shading is about 25%

The results are concluded in Table 2 showing the maximum powers and efficiencies. 96.9% conversion efficiency for the switched sub-module converter approximately matches with the result of the loss analysis with a loss of 3.84%. The extracted power of 74.6% in case of 25% overall shading proves that the

proposed topology can be used to extract almost all the power available on the string.

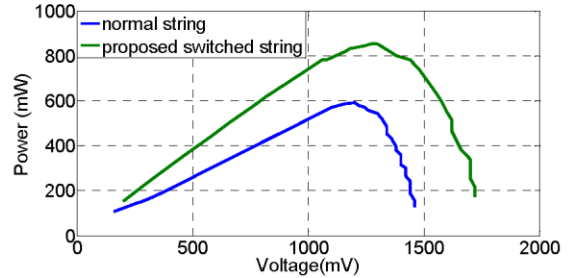


Fig. 11 Two sub-modules are approximately 35% shaded and overall shading is 12%

Table 2 Experimental results for maximum powers and efficiencies

Config-uration	Uniform Irradiance		25% Overall Shading		12% Overall Shading	
	Power (mW)	Conv. Eff.	Power (mW)	Ext. Power	Power (mW)	Ext. Power
Normal string	999	100%	320	32.0%	593	59.4%
3//3 sw string	969	96.9%	723	74.6%	856	88.3%

5 Conclusions

In this study, a new sub-module level power balancing topology has been presented to obtain convex power curve with increased peak power under partial shading conditions. An array composed of two-arm switched string has been configured in $N//N$ parallel-ladder architecture. The switching process between the sub-modules enables the array to act as a single ideal PV module. This eliminates the need for a string inverter with multiple independent MPPT input and requires only a single input string inverter with an LC filter. The parallel-ladder configuration of the sub-modules requires n capacitors and $n+1$ switches for power balancing of n sub-modules while the switched capacitor topology proposed by (Stauth *et al.*, 2012a; 2012b; 2012c; 2013) require $2n-1$ capacitors and $2n$ switches. This advantage results in reduced power electronics losses, less cost and less volume of the converter circuit. The configuration also increases the power balancing capability between the sub-modules since each capacitor is supported by a PV element for the two positions of the switches, whereas in the earlier similar counterparts the capac-

itor is supported by the PV element for one position of the switch. The string level application is possible with the proposed topology. The SSL and FSL loss mechanism expressions for N/N arbitrarily sized string has been obtained in order to calculate total insertion loss associated with the switched capacitor converter. For the uniform radiation condition the topology allows stopping the switching in absence of shading which decreases the insertion loss to a negligible level in comparison to the total string power. The proposed topology is simulated in PSpice environment and tested on a prototype. The results have been proved that, with the proposed topology, it is possible to extract almost all the power available on the partially shaded string and transfer it to the load side. The design and test of miniature sized switched capacitor DC-DC converter at the 'true sub-module level' which can be placed into the junction box of the PV module, and the dual output version of the proposed topology which allows differential power processing are left for future studies.

References

- Beomseok C., Clement, D., Maksimovic, D., 2014. A CMOS controller for submodule integrated converters in photovoltaic systems. *IEEE 15th Workshop on Control and Modeling for Power Electronics (COMPEL)*, p.1-6. [doi: 10.1109/COMPEL.2014.6877133]
- Chang, A.H., Avestruz, A.-T., Leeb, S.B., 2014. Capacitor-less photovoltaic (PV) cell-level power balancing using diffusion charge redistribution. *Twenty-Ninth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, p.712-720. [doi: 10.1109/APEC.2014.6803386]
- Chang, A.H., Leeb, S.B., 2014. Differential diffusion charge redistribution for photovoltaic cell-level power balancing. *International Conference on Renewable Energy Research and Application (ICRERA)*, p.576-582. [doi: 10.1109/ICRERA.2014.7016450]
- Chang, A.H., Avestruz, A.-T., Leeb, S.B., 2015. Capacitorless photovoltaic cell-level power balancing using diffusion charge redistribution. *Power Electronics, IEEE Transactions on*, **30**(2):537-546. [doi:10.1109/TPEL.2014.2340403]
- Giral, R., Ramos-Paja, C.A., Gonzalez, D., et al., 2010. Minimizing the effects of shadowing in a PV module by means of active voltage sharing. *IEEE International Conference on Industrial Technology (ICIT)*, p.943-948. [doi: 10.1109/ICIT.2010.5472551]
- Gokdag, M., Akbaba, M., 2014. Symmetric Ladder Connection Design Using Diffusion Charge Redistribution for Solar Cell-Level MPPT with Reduced Insertion Loss. *SolarTR 2014 Conference & Exhibition*, p.720-726.
- Karekes, T., 2009. Analysis and Modeling of Transformerless Photovoltaic Inverter Systems. PhD Thesis, Institute of Energy Technology, Aalborg University, Denmark.
- Kesarwani, K., Stauth, J.T., 2012. A comparative theoretical analysis of distributed ladder converters for sub-module PV energy optimization. *IEEE 13th Workshop on Control and Modeling for Power Electronics (COMPEL)*, p.1-6. [doi: 10.1109/COMPEL.2012.6251780]
- Kim, K.A., Shenoy, P.S., Krein, P.T., 2012. Photovoltaic differential power converter trade-offs as a consequence of panel variation. *IEEE 13th Workshop on Control and Modeling for Power Electronics (COMPEL)*, p.1-7. [doi: 10.1109/COMPEL.2012.6251789]
- Levron, Y., Clement, D., Maksimovic, D., et al., 2013. Non-linear control design for the photovoltaic isolated-port architecture with submodule integrated converters. *IEEE Energy Conversion Congress and Exposition (ECCE)*, p.2398-2405. [doi: 10.1109/ECCE.2013.6647008]
- Levron, Y., Clement, D., Beomseok, C., et al., 2014. Control of Submodule Integrated Converters in the Isolated-Port Differential Power-Processing Photovoltaic Architecture. *Emerging and Selected Topics in Power Electronics, IEEE Journal of*, **2**(4):821-832. [doi: 10.1109/JESTPE.2014.2326972]
- Olalla, C., Clement, D., Beomseok, C., et al., 2013. A branch and bound algorithm for high-granularity PV simulations with power limited SubMICs. *IEEE 14th Workshop on Control and Modeling for Power Electronics (COMPEL)*, p.1-6. [doi: 10.1109/COMPEL.2013.6626429]
- Olalla, C., Deline, C., Maksimovic, D., 2014. Performance of mismatched PV systems with submodule integrated converters. *Photovoltaics, IEEE Journal of*, **4**(1):396-404. [doi: 10.1109/JPHOTOV.2013.2281878]
- Olalla, C., Deline, C., Maksimovic, D., 2014. Modeling and simulation of conventionally wired photovoltaic systems based on differential power processing SubMIC-enhanced PV modules. *IEEE 15th Workshop on Control and Modeling for Power Electronics (COMPEL)*, p.1-9. [doi: 10.1109/COMPEL.2014.6877127]
- Olalla, C., Deline, C., Clement, D., et al., 2015. Performance of power-limited differential power processing architectures in mismatched PV systems. *Power Electronics, IEEE Transactions on*, **30**(2):618-631. [doi: 10.1109/TPEL.2014.2312980]
- Pilawa-Podgurski, R.C.N., Perreault, D.J., 2013. Submodule integrated distributed maximum power point tracking for solar photovoltaic applications. *Power Electronics, IEEE Transactions on*, **28**(6):2957-2967. [doi: 10.1109/TPEL.2012.2220861]
- Seeman, M.D., Sanders, S.R., 2006. Analysis and Optimization of Switched-Capacitor DC-DC Converters. *COMPEL '06 IEEE Workshops on Computers in Power Electronics*, p.216-224. [doi: 10.1109/COMPEL.2006.305678]
- Shenoy, P.S., Johnson, B., Krein, P.T., 2012. Differential power processing architecture for increased energy pro-

- duction and reliability of photovoltaic systems. Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC), p.1987-1994. [doi: 10.1109/APEC.2012.6166095]
- Shenoy, P.S., Kim, K.A., Krein, P.T., 2012. Comparative analysis of differential power conversion architectures and controls for solar photovoltaics. IEEE 13th Workshop on Control and Modeling for Power Electronics (COMPEL), p.1-7. [doi: 10.1109/COMPEL.2012.6251782]
- Shenoy, P.S., Kim, K.A., Johnson, B.B., *et al.*, 2013. Differential power processing for increased energy production and reliability of photovoltaic systems. *Power Electronics, IEEE Transactions on.*, **28**(6):2968-2979. [doi: 10.1109/TPEL.2012.2211082]
- Stauth, J.T., Kesarwani, K., Schaef, C., 2012. A distributed photovoltaic energy optimization system based on a sub-module resonant switched-capacitor implementation. 15th International Power Electronics and Motion Control Conference (EPE/PEMC), p.LS2d.2-1-LS2d.2-6. [doi: 10.1109/EPEPEMC.2012.6397417]
- Stauth, J.T., Seeman, M.D., Kesarwani, K., 2012. A resonant switched-capacitor IC and embedded system for sub-module photovoltaic power management. *Solid-State Circuits, IEEE Journal of.*, **47**(12):3043-3054. [doi: 10.1109/JSSC.2012.2225731]
- Stauth, J.T., Seeman, M.D., Kesarwani, K., 2013. Resonant switched-capacitor converters for sub-module distributed photovoltaic power management. *Power Electronics, IEEE Transactions on.*, **28**(3):1189-1198. [doi: 10.1109/TPEL.2012.2206056]
- Qin, S., Cady, S.T., Dominguez-Garcia, A.D., *et al.*, 2013. A distributed approach to MPPT for PV sub-module differential power processing. IEEE Energy Conversion Congress and Exposition (ECCE), p.2778-2785. [doi: 10.1109/ECCE.2013.6647061]
- Qin, S., Pilawa-Podgurski, R.C.N., 2013. Sub-module differential power processing for photovoltaic applications. Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC), p.101-108. [doi:10.1109/APEC.2013.6520193]

Implementation of Differential Power Processing Concept to Switched-Capacitor Topology for PV Sub-module Level Power Balancing

Mustafa Gokdag¹, and Mehmet Akbaba²

¹Dept. of Electrical-Electronics Eng., Karabuk University, Karabuk, TURKEY
mgokdag@karabuk.edu.tr

²Dept. of Computer Eng., Karabuk University, Karabuk, TURKEY
mehmetakbaba@karabuk.edu.tr

Abstract

Non-convex power characteristic curve with decreased peak power and with multiple local maxima occurs because of the partial shading and mismatching conditions among the series connected modules/sub-modules/cells. A number of power electronics topology has been proposed to equalize voltage of each series connected sub-module while providing an extra current path circuitry for mismatch current. The equalization is done by energy transfer between the sub-modules which brings all sub-modules to the same operating voltage and this collective operation produces a convex output power curve with increased peak power. A power electronics solution including minimum number of components and having higher efficiency is essential in this type of application from the perspective of installation costs and overall efficiency. This paper realizes a differential power processing (DPP) version of the recently presented sub-module level power balancing topology which uses nearly half of the converter number in comparison to the related literature. The DPP version of the topology provides improvement in efficiency for matched conditions and for some arbitrary partial shading patterns conditions over the string. PSpice simulation results are provided to show advantage of the approach in comparison to single output version.

1. Introduction

Since high voltage inverters have high efficiency, the photovoltaic modules are connected in series in order to obtain large voltages [1]. The recent research efforts and technologic developments chronologically introduced us with the central inverters, string inverters, string inverters with multiple inputs allowing independent MPPT at each input, multi-level inverters, micro-inverters for each PV module, DC-DC optimizers at module level, DC-DC optimizers at sub-module level and lastly cell-level MPPT using diffusion charge redistribution (DCR) concept proposed in [2]-[4] which can be used in 'Future Smart PV Modules'. The idea of each approach has arisen as a solution to the partial shading and the mismatch losses with increased granularity [5]. Partial shading and mismatch conditions among the series connected modules/sub-modules/cells suffer from non-convex output power characteristic curve with multiple local maxima and decreased peak power for the whole string/module, including by-pass diodes. This limits the power extraction from the whole string/module [6].

By-pass diodes are connected in parallel with the sub-modules in order to by-pass the sub-modules subjected to partial

shading and prevent them to act as a load to the un-shaded modules. When the by-pass diodes are activated due to the shading, the power produced by the by-passed sub-modules is wasted. Consequently, recent researches have concentrated upon re-gaining the by-passed power due to use of by-pass diodes and bringing them to the same operating voltage [6]. Reference [7] benefiting from distributed power electronics concept have proposed synchronous buck converter which is implemented in parallel with sub-module; by employing both inductive and capacitive elements and processing the whole power produced from the sub-module. This topology does not use differential power processing (DPP) concept and overall efficiency highly depends on the converter efficiency. Subsequent studies at sub-module level generally rely on a similar idea which is to transfer energy or redistribute charge between sub-modules using energy storage elements like combination of inductor-capacitor or transformer-capacitor and switches. This energy transfer brings all sub-modules to the same operating voltage and produces a convex output power curve with increased peak power for series connected sub-modules/cells. All these studies process only the power mismatch which is small in comparison to the string power and result in minimum loss. If the sub modules are in balance, they do not ideally lose power. As a result all of them are categorized in DPP concept [6], [8]-[20]. In [6] a bidirectional buck-boost circuit with current control is proposed to guarantee equal section voltages in a module using active voltage sharing. The closed loop control needs current measurement. In [8]-[9] a DPP converter is implemented as a synchronous buck-boost circuit with voltage measurement feedback. The control strategy is designed to allow each and every DPP converter to track the local MPP of its corresponding sub-module. The control strategy searches for a convenient duty cycle on a two-dimensional surface which maximizes the voltage of the string for a temporarily fixed string current. The string voltage information is required by each DPP converter to realize this strategy. Therefore this requires a communication interface to acquire diagnostic data. A conventional perturb-observe MPPT algorithm working on the central inverter gradually moves the previously fixed string current towards the maximum power point value in a 'slow' loop while the local DPP controllers adjust the duty cycles to maximize the string voltage in a 'fast' loop. This control approach may fail under rapidly changing environmental conditions. Hence sub-module voltage and the string current may never converge to its optimal value. The control complexity also increases. In [10] the PV-to-Bus and PV-to-PV DPP architectures for series string are examined for mismatch conditions using Monte Carlo simulation and compared to series strings with and without bypass diodes. It is stated that the flyback topology can be

employed in the PV-to-bus converter and the buck-boost topology can be employed in the PV-to-PV converter. Their simulation results showed better performance for the PV-to-bus architecture. But the switches used in PV-to-bus converters must be rated to the bus voltage and this results in some disadvantages from the point of view of the application. In [11]-[12] a local control strategy requiring the current and voltage measurements is developed for the bidirectional buck-boost converter employed as a DPP in the PV-to-PV architecture which is proposed by [10]. A basic perturb and observe algorithm running on the local controller tries to maximize the power of each PV element in order to find the corresponding duty cycle. The converter efficiency is reported to be around 96%. In [13] several differential energy conversion architectures and associated local controls have been analyzed. The simulation results showed that the isolated flyback converter employed in a PV-to-bus architecture tends to process the least amount of power. In [14]-[20] another bidirectional flyback converter which allows DPP and its control approach have been analyzed. The secondary ports of the flyback transformers are connected in parallel and disconnected from the module/string output. This solves the disadvantage mentioned in [10] and brings the advantage of using low voltage rated switches and results in a control without need for additional sensing. This architecture increases the string cable usage since it needs dual-core cable at the secondary of the transformer. In [21]-[24] resonant switched-capacitor (SC) converters are configured in a parallel-ladder architecture with strings of PV cells at the sub-module level to improve energy capture in the event of shading or mismatch. The balancing action extends from the sub-module level with added one more converter stage to the entire series string through a dual-core cable and connector. All the above studies generally use both inductive and capacitive elements together and employ number of $2n$ or $2n-1$ converters to prevent mismatch losses of number of $2n$ sub-modules which result in increased cost and power electronics losses.

The recently proposed topology [26] benefits from SC converter concept in a different manner than the similar publication available in the literature [21]-[24] and actually is an application of [2]-[4] with some novelties such as sub-module level power balancing, stopping the switching in absence of shading, string level extension, and reduced number of power electronics components as compared to the related published literature listed in the reference section. Sub-modules are configured in parallel-ladder architecture to form a string as shown in Fig. 1. These sub-modules which are supported by a charge storage capacitor are switched with each other in order to equalize voltage of each series connected sub-module while providing an extra current path circuitry for mismatch current. The collective operation produces a convex output power curve with increased peak power. A power electronics solution including minimum number of component and having higher efficiency is essential in this type application from the perspective of installation costs and overall efficiency. The recently presented sub-module level power balancing topology in [26] uses nearly half of the converter number in comparison to the literature. This leads to the reduced power electronics losses, less cost and volume of the converter circuit.

This paper focuses on improving the overall efficiency at the sub-module level by applying the differential power processing concept proposed by [3]. The dual output version of the topology which allows DPP provides improvement in efficiency for matched conditions and for some arbitrary partial shading patterns conditions over the string. PSpice simulation results are

provided to show advantage of the approach in comparison to single output version.

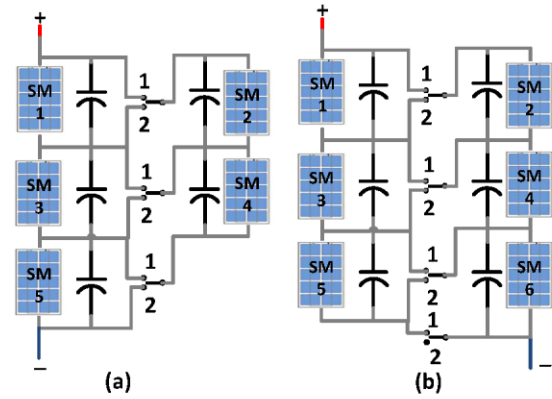


Fig. 1. Recently proposed single output version of the ladder configured switched-sub module topology [26]

2. Disadvantage of the Single Output Configuration

The single output version of the capacitor supported switched sub-module architecture was the first ladder-type configured SC converter topology for sub-module level power balancing [26]. The topology requires n capacitors and $n+1$ switches for number of n sub-modules while traditionally configured SC converters require $2n-1$ capacitors and $2n$ switches.

A single output version of this topology shown in Fig. 1a requires continuous switching. This causes an insertion loss even if there is no partial shading and mismatch among the sub-modules, because the power produced by switched-ladder string shown on the right in Fig. 1a must be processed in order to transfer this power to the load side. Hence the whole power produced by the switched ladder string is lost when switching is stopped [3], [5]. The topology shown in Fig. 1b allows stopping the switching process in position 1 while partial shading is not present and this results in reduced insertion loss. Stopping the switching may be a good solution under uniform irradiation conditions for the PV modules whose characteristics perfectly match. It requires detection of the partial shading and hence communication interfaces between PV modules.

The loss mechanism in SC converter has two components; slow switching limit (SSL) and fast switching limit (FSL) losses. For the single output topology shown in Fig. 1b, the percentage insertion losses for the SSL and FSL were derived following the basics of the switched capacitor converter and given in (1) and (2) [26].

$$IL_{SSL} = \frac{I_{MP}}{4N V_{MP} C f_{sw} (2N + 1)^2} \left[\sum_{i=1}^N (2i - 1)^2 \right] \quad (1)$$

$$IL_{FSL} = \frac{2 R_{eff} I_{MP} (2N - 3)}{V_{MP} N (2N + 1)} \quad (2)$$

where I_{MP} and V_{MP} is the maximum power current and maximum power voltage of the sub-module respectively, C is the capacitance value of capacitor connected in parallel to sub-module, f_{sw} is the switching frequency, N is the number of sub-module connected in one arm of the proposed topology, R_{eff} effective resistance of the switch on-resistance in series with any

interconnect resistance. The FSL losses highly depend on the N and R_{eff} while the SSL losses highly depend on the capacitance and the switching frequency.

As an illustration for the switched sub-modules string with the following parameters N of 3, maximum power voltage of 11.28 V, maximum power current of 4.66 A under 100% irradiation and the capacitor value of 20 μ F, the switching frequency of 50 kHz, and switch on-resistance of 10 m Ω , the SSL insertion loss is calculated as 2.5% from (1), the FSL insertion loss is calculated as 0.12% from (2). The total insertion loss is calculated as the square root of quadratic sum of these two components and calculated as 2.5% for the perfectly matched condition

The capacitance size C and switching frequency f_{sw} can be chosen such that the SSL insertion loss meets design requirements. They can also be determined by plotting the output current versus frequency and capacitance value as shown in Fig. 2. The average output current transferred by one switched capacitor is given by (3). For the sub-module with the characteristic of 2.33 A maximum power current and 11.49 V maximum power voltage under 50% irradiation (50% partial shading case is chosen); the capacitance must transfer average current of $(I_{M100} - I_{M50})/2 = 1.16$ A at the voltage difference $(V_1 - V_2)$ of 0.21 V.

$$I = C f_{sw} (V_1 - V_2) \left(\frac{1 - e^{-\frac{1}{2f_{sw}R_{eff}C}}}{1 + e^{-\frac{1}{2f_{sw}R_{eff}C}}} \right) \quad (3)$$

According to the analysis and Fig. 2, the most convenient value of the capacitance-frequency pair corresponds to the point on the 1.16 A plane which is most closest to the origin.

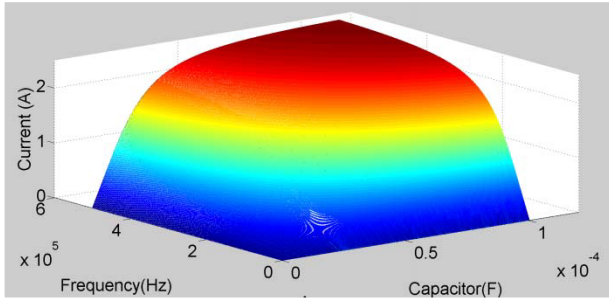


Fig. 2. Output current versus frequency and capacitance

The SSL loss generally outweighs and may be undesirable from the point of view of the application since it is a permanent loss in absence of shading. A more comprehensive solution, which in addition to the stopping the switching, is needed in order to prevent the insertion losses. The dual-output configuration proposed by [2] can also be adapted to the switched sub-module level power balancing topology proposed by [26].

3. Dual Output Configuration – DPP

The dual output configuration of the proposed topology allows differential power processing which loses a small amount of power by only processing the mismatch power among the sub-modules. As a consequence overall efficiency is increased.

For the DPP, the outputs of the two-arm strings are simply disconnected from each other and the available power on the

string is directly extracted from the both string arms. As a result no power is processed through the switching circuitry in order to extract this power to the load side since all sub-modules are in balance for the matched condition [2]. Dual output version of the switched sub-module architecture is shown in Fig. 3.

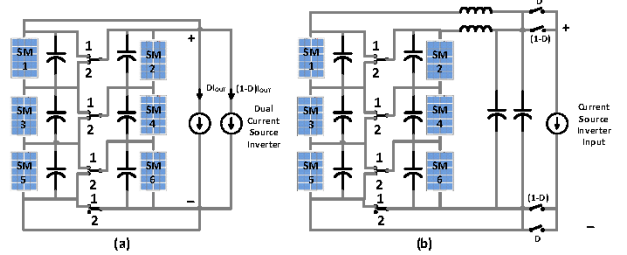


Fig. 3. Dual output version of the switched sub-module topology

For the matched or the symmetric partial shading condition over the two arms, the duty cycle (D) of the dual current input interface is adjusted such that the equal amount of current must be drawn from both arms. This means $D=0.5$. D is adjusted such that the ratio of the currents drawn from the both arms matches with the partial shading ratio of the shaded side in comparison to the non-shaded side. As an example case, it is assumed that the left-hand side string is exposed to 1 sun while the right-hand side string is exposed to 0.4 sun because of 60% partial shading. Hence the duty ratio (D) of the left-hand side string must be adjusted to draw 1 unit current while the duty ratio $(1-D)$ of the right-hand side string must be adjusted to draw 0.4 unit current to minimize the processed power through the switches. This means $D=(1/1+0.4)\approx 0.71$ [2].

4. Simulation Results

The subsequent simulations have been done in PSpice. The sub-module is modeled using the one diode model of the PV element. Following parameters are used in the simulation; maximum power voltage of 11.2 V, maximum power current of 4.66 A under STC, parallel resistance of 75.36 Ω , series resistance of 0.326 Ω , capacitor of 20 μ F, switching frequency of 50 kHz, and the switch on-resistance of 10 m Ω are used in the switched sub-module converter circuit. An example string with 6 sub-modules which are configured in 3/3 ladder-type architecture is simulated to show that improvement in efficiency for matched condition and for some arbitrary partial shading patterns over the string can be achieved.

Fig. 4 shows the power versus voltage curves under uniform irradiation for three different cases; 6-series string, 3/3 single output, 3/3 dual output. Fig. 5 shows the P-V curves for partial shading condition; 3 sub-modules on the right-hand side is 50% shaded and overall shading is 25%. The results are concluded in Table 1 showing the maximum powers and efficiencies. For the uniform irradiation, the dual output has the conversion efficiency of 100% while the single output version has the conversion efficiency of 97.4% which proves the loss analysis with a power loss value of 2.5%. This result shows the superior performance of the dual output version over the single output version under uniform irradiation condition. For the aforementioned partial shading case, the dual output has the conversion efficiency of 74.83% while the single output version has the conversion efficiency of 72.44%.

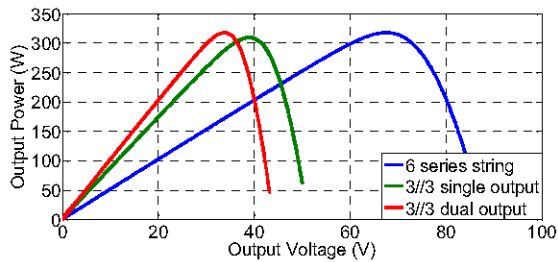


Fig. 4. Simulation results under uniform irradiation

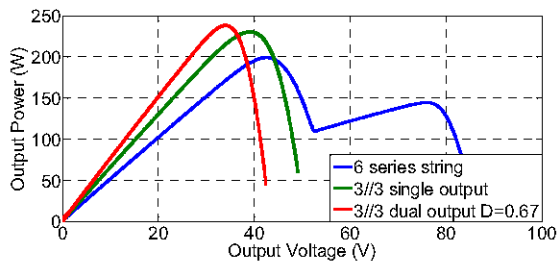


Fig. 5. Simulation results under 25% partial shading

Table 1. Comparison of maximum powers and efficiencies

Configuration	Uniform irradiation		%25 overall eff. (RHS. 50% shaded)	
	Power (W)	Conv. Eff. %	Power (W)	Conv. Eff. %
6 series + bypass diode	318.06	100	173.87	54.66
3//3 single output	309.83	97.4	230.42	72.44
3//3 dual output	318.06	100 D=0.5	238.03	74.83 D=0.67

6. Conclusion

This paper focuses on improving the overall efficiency at the sub-module level by applying the DPP concept proposed by [3]. The dual output version of the topology which allows DPP provides improvement in efficiency for matched conditions and for some arbitrary partial shading patterns conditions over the string. PSpice simulation results are provided to show the advantage of the approach in comparison to the single output version.

7. References

- [1] Karekes, T., Analysis and Modeling of Transformerless Photovoltaic Inverter Systems, PhD Thesis, Aalborg University, 2009.
- [2] Chang, A.H., Avestruz, A.-T., Leeb, S.B., Capacitor-less photovoltaic (PV) cell-level power balancing using diffusion charge redistribution, (2014) Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC, art. no. 6803386, pp. 712-720.
- [3] Chang, A.H., Leeb, S.B., Differential Diffusion Charge Redistribution for Photovoltaic Cell-Level Power Balancing, (2014) Conference Proceedings - 3rd International Conference on Renewable Energy Research and Applications - ICRERA.
- [4] Chang, A.H., Avestruz, A.-T., Leeb, S.B., Capacitor-less photovoltaic cell-level power balancing using diffusion charge redistribution, (2015) IEEE Transactions on Power Electronics, 30 (2), art. no. 6858083, pp. 537-546.
- [5] Gokdag, M., Akbaba, M., Symmetric Ladder Connection Design Using Diffusion Charge Redistribution for Solar Cell-Level MPPT with Reduced Insertion Loss, (2014) Conference Proceedings - SolarTR 2014 Conference & Exhibition.
- [6] Giral, R.; Ramos-Paja, C.A.; Gonzalez, D.; Calvente, J.; Cid-Pastor, A.; Martinez-Salamero, L., "Minimizing the effects of shadowing in a PV module by means of active voltage sharing," Industrial Technology (ICIT), 2010 IEEE International Conference on , vol., no., pp.943,948, 14-17 March 2010.
- [7] Pilawa-Podgurski, R.C.N.; Perreault, D.J., "Submodule Integrated Distributed Maximum Power Point Tracking for Solar Photovoltaic Applications," Power Electronics, IEEE Transactions on , vol.28, no.6, pp.2957,2967, June 2013.
- [8] Shubin Qin; Cady, S.T.; Dominguez-Garcia, A.D.; Pilawa-Podgurski, R.C.N., "A distributed approach to MPPT for PV submodule differential power processing," Energy Conversion Congress and Exposition (ECCE), 2013 IEEE , vol., no., pp.2778,2785, 15-19 Sept. 2013.
- [9] Qin, Shubin; Pilawa-Podgurski, Robert C.N., "Sub-module differential power processing for photovoltaic applications," Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE , vol., no., pp.101,108, 17-21 March 2013
- [10] Kim, K.A.; Shenoy, P.S.; Krein, P.T., "Photovoltaic differential power converter trade-offs as a consequence of panel variation," Control and Modeling for Power Electronics (COMPEL), 2012 IEEE 13th Workshop on , vol., no., pp.1,7, 10-13 June 2012
- [11] Shenoy, P.S.; Johnson, B.; Krein, P.T., "Differential power processing architecture for increased energy production and reliability of photovoltaic systems," Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE , vol., no., pp.1987,1994, 5-9 Feb. 2012.
- [12] Shenoy, P.S.; Kim, K.A.; Johnson, B.B.; Krein, P.T., "Differential Power Processing for Increased Energy Production and Reliability of Photovoltaic Systems," Power Electronics, IEEE Transactions on , vol.28, no.6, pp.2968,2979, June 2013.
- [13] Shenoy, P.S.; Kim, K.A.; Krein, P.T., "Comparative analysis of differential power conversion architectures and controls for solar photovoltaics," Control and Modeling for Power Electronics (COMPEL), 2012 IEEE 13th Workshop on , vol., no., pp.1,7, 10-13 June 2012.
- [14] Levron, Y.; Clement, D.; Maksimovic, D.; Olalla, C., "Nonlinear control design for the photovoltaic isolated-port architecture with submodule integrated converters," Energy Conversion Congress and Exposition (ECCE), 2013 IEEE , vol., no., pp.2398,2405, 15-19 Sept. 2013.
- [15] Olalla, C.; Clement, D.; BeomSeok Choi; Maksimovic, D., "A branch and bound algorithm for high-granularity PV simulations with power limited SubMICs," Control and Modeling for Power Electronics (COMPEL), 2013 IEEE 14th Workshop on , vol., no., pp.1,6, 23-26 June 2013.
- [16] Olalla, C.; Deline, C.; Maksimovic, D., "Performance of Mismatched PV Systems With Submodule Integrated Converters," Photovoltaics, IEEE Journal of , vol.4, no.1, pp.396,404, Jan. 2014.
- [17] Olalla, C.; Deline, C.; Maksimovic, D., "Modeling and simulation of conventionally wired photovoltaic systems based on differential power processing SubMIC-enhanced PV modules," Control and Modeling for Power Electronics (COMPEL), 2014 IEEE 15th Workshop on , vol., no., pp.1,9, 22-25 June 2014.
- [18] Levron, Y.; Clement, D.R.; Choi, B.; Olalla, C.; Maksimovic, D., "Control of Submodule Integrated Converters in the Isolated-Port Differential Power-Processing Photovoltaic Architecture," Emerging and Selected Topics in Power Electronics, IEEE Journal of , vol.2, no.4, pp.821,832, Dec. 2014.

- [19] Beomseok Choi; Clement, D.; Maksimovic, D., "A CMOS controller for submodule integrated converters in photovoltaic systems," *Control and Modeling for Power Electronics (COMPEL)*, 2014 IEEE 15th Workshop on , vol., no., pp.1,6, 22-25 June 2014.
- [20] Olalla, C.; Deline, C.; Clement, D.; Levron, Y.; Rodriguez, M.; Maksimovic, D., "Performance of Power-Limited Differential Power Processing Architectures in Mismatched PV Systems," *Power Electronics, IEEE Transactions on* , vol.30, no.2, pp.618,631, Feb. 2015.
- [21] Stauth, J.T.; Seeman, M.D.; Kesarwani, K., "Resonant Switched-Capacitor Converters for Sub-module Distributed Photovoltaic Power Management," *Power Electronics, IEEE Transactions on* , vol.28, no.3, pp.1189,1198, March 2013.
- [22] Stauth, J.T.; Kesarwani, K.; Schaef, C., "A distributed photovoltaic energy optimization system based on a sub-module resonant switched-capacitor implementation," *Power Electronics and Motion Control Conference (EPE/PEMC), 2012 15th International* , vol., no., pp.LS2d.2-1,LS2d.2-6, 4-6 Sept. 2012.
- [23] Kesarwani, K.; Stauth, J.T., "A comparative theoretical analysis of distributed ladder converters for sub-module PV energy optimization," *Control and Modeling for Power Electronics (COMPEL)*, 2012 IEEE 13th Workshop on , vol., no., pp.1,6, 10-13 June 2012.
- [24] Stauth, J.T.; Seeman, M.D.; Kesarwani, K., "A Resonant Switched-Capacitor IC and Embedded System for Sub-Module Photovoltaic Power Management," *Solid-State Circuits, IEEE Journal of* , vol.47, no.12, pp.3043,3054, Dec. 2012.
- [25] Seeman, M.D.; Sanders, S.R., "Analysis and Optimization of Switched-Capacitor DC-DC Converters," *Computers in Power Electronics, 2006. COMPEL '06. IEEE Workshops on* , vol., no., pp.216,224, 16-19 July 2006.
- [26] Gokdag, M.; Akbaba, M., "A novel switched-capacitor topology for submodule level maximum power point tracking under partial shading and mismatch conditions," *Modeling, Simulation, and Applied Optimization (ICMSAO), 2015 6th International Conference on* , vol., no., pp.1,5, 27-29 May 2015.

A Novel Switched-Capacitor Topology for Sub-module Level Maximum Power Point Tracking under Partial Shading and Mismatch Conditions

Mustafa GÖKDAĞ¹ and Mehmet AKBABA²

¹Dept. of Electrical-Electronics Eng., ²Dept. of Computer Eng.

Karabuk University

Karabuk, TURKEY

¹mgokdag@karabuk.edu.tr, ²mehmetakbaba@karabuk.edu.tr

Abstract—Partial shading and mismatching conditions among the series connected modules/sub-modules/cells suffers from non-convex P-V or P-I characteristic curves with multiple local maxima and decreased peak power for whole string/module including by-pass diodes. This limits the power extraction from whole string/module. Energy transfer or ‘charge redistribution’ between the sub-modules brings all sub-modules to the same operating point and this collective operation produces a convex P-V or P-I curves which have increased peak power for series connected sub-modules/cells. Then a conventional maximum power point tracking algorithm can be operated to find this maximum. A number of power electronics topologies are proposed to remove multiple local maximum points and to obtain convex P-V or P-I curves with increased peak power while ensuring that a net power gain is positive. The proposed topology benefits from switched-capacitor (SC) converters concept in a different manner and actually is an application of [1]-[3] at sub-module level with some novelties; stopping the switching, string level extension. Two sub-modules share one switched capacitor converter and this allows less power electronics component usage which is nearly half of the converter number used in the literature. This advantage leads to reduced power electronics losses, cost and volume of the converter circuits. The insertion loss of the topology under uniform irradiation is calculated as 0.51% for certain values of capacitance and switching frequency. The proposed topology is simulated in PSpice environment. The simulation results confirm the loss analysis given in section II and prove that it is able to extract all the power produced by the partially shaded string and transfer to the load side.

Keywords—Sub-module level MPPT; charge redistribution; differential power processing (DPP); distributed power converters; switched-capacitor converters.

I. INTRODUCTION

Since high voltage inverters have high efficiencies the photovoltaic modules are connected in series to obtain large voltages [4]. The recent research efforts and technologic developments chronologically introduced us with central inverters, string inverters, string inverters with multiple inputs allowing independent MPPT on each input, multi-level inverters, micro-inverters for each PV module, DC-DC optimizers at module level, DC-DC optimizers at sub-module level and lastly cell-level MPPT using DCR concept of [1]-[3]

which can be used in ‘Future Smart PV Modules’. The idea of each topology has arisen as a solution to the partial shading and the mismatching losses with increased granularity [5]. The partial shading and mismatching conditions among the series connected modules/sub-modules/cells suffers from non-convex P-V or P-I characteristic curves with multiple local maxima and decreased peak power for whole string/module including by-pass diodes. This limits the power extraction from whole string/module [6].

By-pass diodes are connected parallel with sub-modules exposed to partial shading only to prevent these sub-modules to behave as a load for the string simply by-passing them in the string. In this case all the power produced by this partially shaded sub-module is wasted and hence recent researches have focused on maximum power point tracking at the sub-module levels [6]. Reference [7] benefiting from distributed power electronics concept proposed synchronous buck MPPT converter employed parallel with sub-module; but used both inductive and capacitive elements and processed the whole power produced from the sub-module. This topology does not use differential power processing (DPP) concept and overall efficiency highly depends on the converter efficiency. Following studies at sub-module level generally rely on a similar idea which is to transfer energy or redistribute charge between sub-modules using energy storage elements like combination of inductor-capacitor or transformer-capacitor and switches in order to bring all sub-modules to the same operating point. This collective operation produces a convex P-V or P-I curves with increased peak power for series connected sub-modules/cells. These studies only process the differential power among sub-modules and lose only a certain percentage of this differential power. If the sub modules are in balance, they do not ideally lose power. Hence all of them are categorized in DPP concept [6], [8]-[20]. In [6] a bidirectional buck-boost circuit with current control is proposed to guarantee equal section voltages in a module using active voltage sharing. The closed loop control needs current measurement. In [8]-[9] a DPP converter is implemented as a synchronous buck-boost circuit with only voltage measurement feedback. The control strategy is designed to allow each and every DPP converter to track the local MPP of its corresponding sub-modules. The control strategy searches

duty cycles on a two-dimensional surface which maximize the voltage of the string for a temporarily fixed string current. The string voltage information is required by each DPP converter to realize this strategy and hence It requires a communication interface to acquire diagnostic data. A conventional perturb-observe MPPT algorithm working on the central inverter gradually move the string current to its maximum power point value in a ‘slow’ loop while the local DPP control adjusts the duty cycles to maximize the string voltage in a ‘fast’ loop. This control approach may fail under rapidly changing environmental conditions. Hence sub-module voltage and the string current may never converge to its optimal values. The control complexity also increases. In [10] the PV-to-Bus and PV-to-PV DPP architectures for series string are examined for mismatch conditions using Monte Carlo simulation and compared to series strings with and without bypass diodes. It is stated the flyback topology can be employed in the PV-to-bus converter and the buck-boost topology can be employed in the PV-to-PV converter. Their simulation results shows better performance for the PV-to-bus architecture. But the switches used in PV-to-bus converters must be rated to bus voltage and this brings some disadvantage from the application point of view. In [11]-[12] a local control strategy requiring the current and voltage measurement data is developed for the bidirectional buck-boost converter employed as a DPP in the PV-to-PV architecture proposed by [10]. A basic perturb and observe algorithm run on the local controller tries to maximize the power of each PV element finding the corresponding duty cycles. The converter efficiency is reported around 96%. In [13] several differential energy conversion architectures and associated local controls are analyzed. The simulations results show that the isolated flyback converters employed in a PV-to-bus architecture tend to process the least amount of power. In [14]-[20] the bidirectional flyback converter which allows DPP and its control approach are analyzed. The secondary ports of the flyback transformers are connected in parallel and disconnected from module/string output. This solves the disadvantage mentioned in [10] and brings some advantages like low voltage rated switch use and results in a control without need for additional sensing. The architecture increases the string cable usage since it needs dual-core cable at the secondary of the transformer. In [21]-[24] the resonant switched-capacitor converters are configured in a parallel-ladder architecture with strings of PV cells at the sub-module level to improve energy capture in the event of shading or mismatch. The balancing function extends from the sub-module level with added one more converter stage to the entire series string through a dual-core cable and connector. The above studies use energy storage elements like combination of inductor-capacitor or transformer-capacitor which results in increased cost and power electronic losses, and employ number of n or $n-1$ converters to prevent mismatch losses of number of n sub-modules.

The proposed topology benefits from switched capacitor converters concept in a different manner and actually is an application of [1]-[3] at sub-module level with some novelties; stopping the switching, string level extension. Sub-modules are configured in parallel-ladder architecture to form a string. These sub-modules which are supported by a charge storage capacitor are switched with each other to bring all sub-

modules to the same operating point. Two sub-modules share one switched capacitor converter and this allows less power electronics component usage which is nearly half of the devices number used in the literature. This advantage leads to reduced power electronics losses, cost and volume of the converter circuits. The proposed topology is simulated in PSpice environment. The simulation results confirm the loss analysis given in section II and prove that it is able to extract all the power produced by the partially shaded string and transfer to the load side.

II. PROPOSED TOPOLOGY

In the proposed topology the sub-modules supported by a charge storage capacitor are configured in the parallel-ladder architecture to form a string. Fig. 1 shows single output versions of the topology. These sub-modules are switched with each other to bring all sub-modules to the same operating point. The control is very simple and the sub-modules capacitors are periodically switched between two states. The topology requires n capacitors and $n+1$ switches for number of n sub-modules while resonant SC converters require $2n-1$ capacitors and $2n$ switches.

The single output version of this topology shown in Fig. 1a requires continuous switching and causes an insertion loss even if there is no partial shading and mismatch among sub-modules because the power produced by switched-ladder string shown in right in Fig. 1a must be processed to extract this power to the load side. Hence the whole power produced by the switched ladder is lost when switching is stopped [2], [5]. The topology shown in Fig. 1b allows stopping the switching process in position 1 while partial shading is not present and results with reduced insertion loss. The insertion loss in this case is just because of on-resistances of the uppermost and the lowest switches of the switched string which carry the string current of the series sub-modules at the right-hand side [5]. The string level extension of the proposed topology is shown in Fig. 2.

The switched-capacitor analysis presented in [1], [25] can be adopted for the topology shown in Fig. 1b. The switched-capacitor conversion loss has two asymptotic limits to output impedance, the slow and fast switching limits. The switches and all other conductive interconnects are assumed to be ideal to calculate the output impedance for the switching converter in the slow switching limit (SSL). It is also assumed that the -

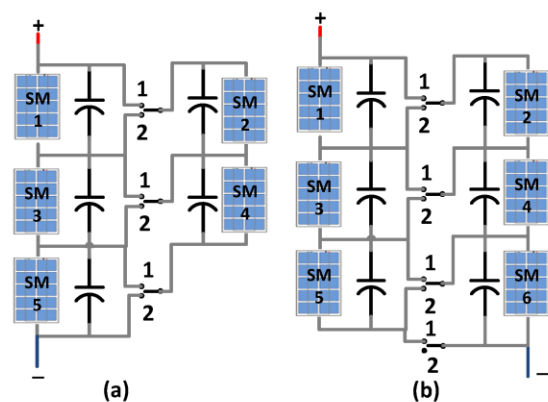


Figure 1 Proposed ladder-connected sub-modules.

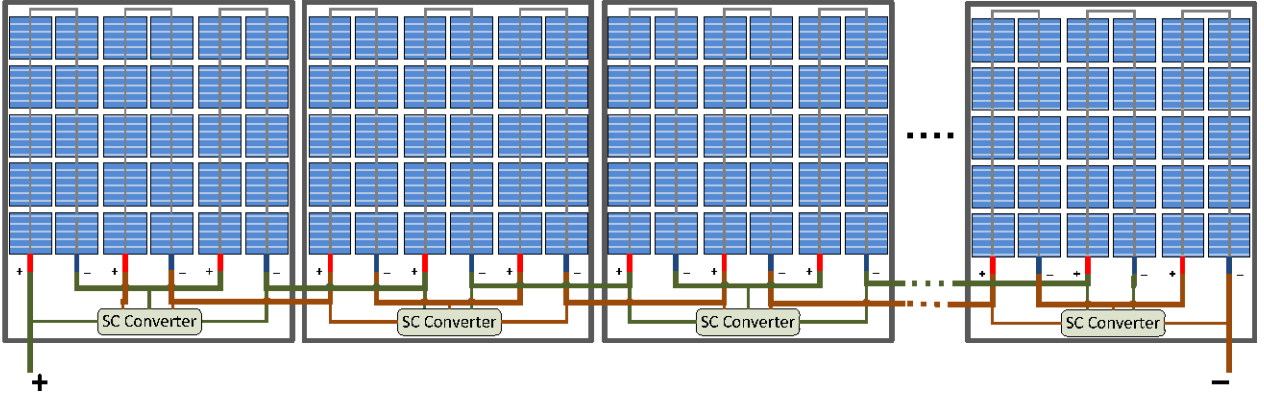


Figure 2 String level extension of the proposed topology

capacitors experience impulsive currents. In the fast switching limit (FSL), it is assumed that the capacitor voltages remains constant and the resistive sources from switches and other interconnects dominate losses. The topology shown in Fig. 1a is used for cell-level MPPT with internal diffusion capacitance of the solar cell and called as diffusion charge redistribution technique in [1]. The slow and fast switching loss analysis are given by [1] for this topology. The loss analysis for the topology shown in Fig. 1b can be done by following the procedure given by [1], [25]. Below insertion loss calculation is performed assuming that the sub-modules are perfectly matched.

The equation for the SSL output impedance of the switched sub-modules string is given in (1) where $\alpha_{c,i}$ is the charge multiplier of i^{th} capacitor which represents the normalized charge flow into that capacitor with respect to the output charge flow, C is the capacitance value connected parallel to the sub-module, f_{sw} is the switching frequency and N is the number of sub-module connected in one arm of the proposed topology shown in Fig. 1b.

$$R_{SSL} = \sum_{i=1}^{2N} \frac{(\alpha_{c,i})^2}{C f_{sw}} = \frac{1}{32 N^2 C f_{sw}} \left[\sum_{i=1}^N (2i-1)^2 \right] \quad (1)$$

The percentage insertion loss is calculated as the ratio of the SSL output impedance to the load resistance. The load resistance is given in (2). The percentage insertion loss for SSL is given in (3) where I_{MP} and V_{MP} is the maximum power current and maximum power voltage of the sub-module respectively.

$$R_L = \frac{V_{out}}{I_{out}} = \frac{V_{MP} \left(\frac{2N+1}{2} \right)}{I_{MP} \left(\frac{4N}{2N+1} \right)} = \frac{V_{MP}}{I_{MP}} \left[\frac{(2N+1)^2}{8N} \right] \quad (2)$$

$$IL_{SSL} = \frac{R_{SSL}}{R_L} = \frac{I_{MP}}{4N V_{MP} C f_{sw} (2N+1)^2} \left[\sum_{i=1}^N (2i-1)^2 \right] \quad (3)$$

The equation for the FSL output impedance of the switched sub-modules string is given in (4) where $\alpha_{sw,i}$ is the charge multiplier of i^{th} switch which represents the normalized charge flow through the on-state switch with respect to the output charge flow, R_{eff} is the on-state resistance of the switch. The percentage insertion loss for FSL is given in (5).

$$R_{FSL} = 2 \sum_{i=1}^{2N+1} R_{eff} (\alpha_{sw,i})^2 = R_{eff} \frac{(2N-3)(2N+1)}{4N^2} \quad (4)$$

$$IL_{FSL} = \frac{R_{FSL}}{R_L} = \frac{2 R_{eff} I_{MP} (2N-3)}{V_{MP} N (2N+1)} \quad (5)$$

As an illustration for the switched sub-modules string with the following parameters N of 3, maximum power voltage of 11.2 V, maximum power current of 4.66 A under maximum illumination and the capacitor value of 20 μF , the switching frequency of 250 kHz, and switch on-resistance of 10 m Ω , the SSL insertion loss is calculated as 0.5%, the FSL insertion loss is calculated as 0.12%. The total insertion loss is calculated as in (6). For the aforementioned illustration it is calculated as 0.51%.

$$IL_{TOT} = \sqrt{IL_{SSL}^2 + IL_{FSL}^2} \quad (6)$$

III. SIMULATION RESULTS

The subsequent simulations have been done in PSpice. The sub-module with the following parameters is used in the simulation; maximum power voltage of 11.2 V, maximum power current of 4.66 A under STC, parallel resistance of 75.36 Ω , series resistance of 0.326 Ω . A capacitor of 20 μF , the switching frequency of 250 kHz, and the switch on-resistance of 10 m Ω is used in the switched sub-module converter circuit. An example string with 6 sub-modules which are configured in 3//3 ladder-type configuration is simulated to show that the arbitrarily n/n configured proposed topology can be used to obtain convex power curves with increased peak power values in the partial-shading conditions and that the results are proved the loss analysis given in the section II.

Fig. 3 shows the power versus voltage curves under uniform irradiation for three different cases; 6 series string, 3//3 switched sub-modules string during continues switching, 3//3 string for switching stopped in position 1. Fig. 4 shows the P-V curves for partial shading condition; 2 sub-modules 60% and 20% overall shading. The P-V curve for series string with bypass diode includes multiple local maximum points with decreased peak power. In this case the MPPT algorithm working on string inverter must be able to find global maximum without hanging on local maximum or minimum.

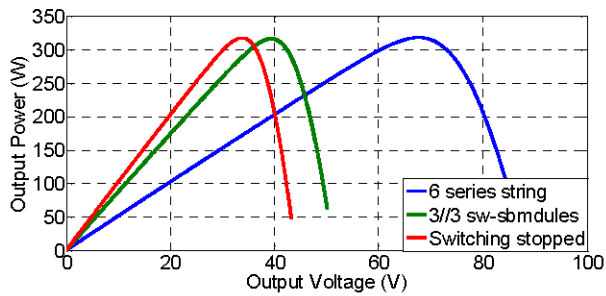


Figure 3 Comparison of 3/3 switched sub-modules string with 6-series string under 100% irradiance.

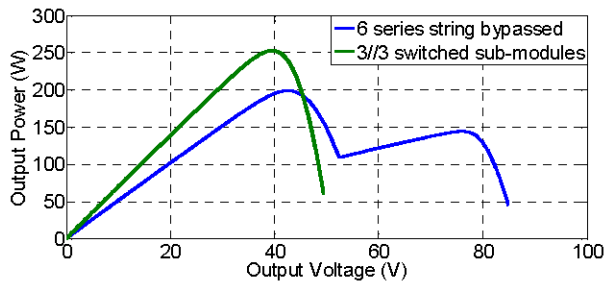


Figure 4 Comparison of 3/3 switched sub-modules string with 6-series string under the condition; 2 sub-modules 60% shaded (overall shading 20%).

The traditional hill-climbing based MPPT algorithms fails under multiple local maximum. For this purpose some hybrid algorithms including global search algorithms to find 'true maximum' has been proposed by researchers. The P-V curve for 3/3 switched sub-module string is a convex curve with increased peak power comparison to the series string. A traditional hill-climbing MPPT algorithm can easily find the maximum power point and extracts more power.

The results are concluded in Table 1 showing the maximum powers and efficiencies. The 99.48% conversion efficiency for the switched sub-module converter proves the loss analysis with the value of 0.51%. The extracted power percentage 79.87% in the case of 20% overall shading proves the proposed topology can be used to extract nearly all the power produced by the string. Under the uniform irradiation condition the switches are stopped in position 1 to prevent insertion loss. The conversion efficiency in this case is obtained as 99.84%. This small loss of 0.16% is because of on-resistances of the uppermost and the lowest switches of the switched string which carry the string current of the series sub-modules at the right-hand side. So this loss does not increase anymore and the ratio of this loss to the string power will be almost zero for longer strings.

TABLE I. Comparison for maximum powers and efficiencies

Config.	Uniform Irradiance		%20 Overall Shading		No shading, switches stopped	
	Power (W)	Conv Eff. %	Power (W)	Extract Percent	Power (W)	Conv Eff. %
6 series+ by-pass	318.06	100	198.93	62.54	318.06	100
3/3 sw sub-module	316.41	99.48	252.71	79.87	317.55	99.84

IV. CONCLUSIONS

In this study a switched sub-module converter is proposed to obtain convex power curves with increased peak power values under partial shading conditions. In the proposed topology the sub-modules are configured in n/n parallel-ladder architecture to form a string. The configuration eliminates the need of string inverter with multiple independent MPPT input and requires only a single input-string inverter with an LC filter. The sub-modules supported by a capacitor are switched with each other to bring all sub-modules to the same operating point. Two sub-modules share one switched capacitor converter and this allows less power electronics component usage which is nearly half of the devices number used in the literature. This advantage leads to reduced power electronics losses, cost and volume of the converter circuits. The proposed topology is simulated in PSpice environment. The simulation results confirm the loss analysis given in section II and prove that it is able to extract all the power produced by the partially shaded string and transfer the load side. The dual output version of the proposed topology which allows differential power processing is left for future studies.

ACKNOWLEDGMENT

This study was supported by Karabuk University under the project number KBU-BAP-13/2-DR-010.

REFERENCES

- [1] Chang, A.H., Avestruz, A.-T., Leeb, S.B., Capacitor-less photovoltaic (PV) cell-level power balancing using diffusion charge redistribution, (2014) Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC, art. no. 6803386, pp. 712-720.
- [2] Chang, A.H., Leeb, S.B., Differential Diffusion Charge Redistribution for Photovoltaic Cell-Level Power Balancing, (2014) Conference Proceedings - 3rd International Conference on Renewable Energy Research and Applications - ICRERA.
- [3] Chang, A.H., Avestruz, A.-T., Leeb, S.B., Capacitor-less photovoltaic cell-level power balancing using diffusion charge redistribution, (2015) IEEE Transactions on Power Electronics, 30 (2), art. no. 6858083, pp. 537-546.
- [4] Karekes, T., Analysis and Modeling of Transformerless Photovoltaic Inverter Systems, PhD Thesis, Aalborg University, 2009.
- [5] Gokdag, M., Akbaba, M., Symmetric Ladder Connection Design Using Diffusion Charge Redistribution for Solar Cell-Level MPPT with Reduced Insertion Loss, (2014) Conference Proceedings - SolarTR 2014 Conference & Exhibition.
- [6] Giral, R.; Ramos-Paja, C.A.; Gonzalez, D.; Calvente, J.; Cid-Pastor, A.; Martinez-Salamero, L., "Minimizing the effects of shadowing in a PV module by means of active voltage sharing," Industrial Technology (ICIT), 2010 IEEE International Conference on , vol., no., pp.943,948, 14-17 March 2010.
- [7] Pilawa-Podgurski, R.C.N.; Perreault, D.J., "Submodule Integrated Distributed Maximum Power Point Tracking for Solar Photovoltaic Applications," Power Electronics, IEEE Transactions on , vol.28, no.6, pp.2957,2967, June 2013.
- [8] Shibin Qin; Cady, S.T.; Dominguez-Garcia, A.D.; Pilawa-Podgurski, R.C.N., "A distributed approach to MPPT for PV sub-module differential power processing," Energy Conversion Congress and Exposition (ECCE), 2013 IEEE , vol., no., pp.2778,2785, 15-19 Sept. 2013.
- [9] Qin, Shibin; Pilawa-Podgurski, Robert C.N., "Sub-module differential power processing for photovoltaic applications," Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE , vol., no., pp.101,108, 17-21 March 2013

- [10] Kim, K.A.; Shenoy, P.S.; Krein, P.T., "Photovoltaic differential power converter trade-offs as a consequence of panel variation," *Control and Modeling for Power Electronics (COMPEL)*, 2012 IEEE 13th Workshop on , vol., no., pp.1,7, 10-13 June 2012
- [11] Shenoy, P.S.; Johnson, B.; Krein, P.T., "Differential power processing architecture for increased energy production and reliability of photovoltaic systems," *Applied Power Electronics Conference and Exposition (APEC)*, 2012 Twenty-Seventh Annual IEEE , vol., no., pp.1987,1994, 5-9 Feb. 2012.
- [12] Shenoy, P.S.; Kim, K.A.; Johnson, B.B.; Krein, P.T., "Differential Power Processing for Increased Energy Production and Reliability of Photovoltaic Systems," *Power Electronics*, IEEE Transactions on , vol.28, no.6, pp.2968,2979, June 2013.
- [13] Shenoy, P.S.; Kim, K.A.; Krein, P.T., "Comparative analysis of differential power conversion architectures and controls for solar photovoltaics," *Control and Modeling for Power Electronics (COMPEL)*, 2012 IEEE 13th Workshop on , vol., no., pp.1,7, 10-13 June 2012.
- [14] Levron, Y.; Clement, D.; Maksimovic, D.; Olalla, C., "Nonlinear control design for the photovoltaic isolated-port architecture with submodule integrated converters," *Energy Conversion Congress and Exposition (ECCE)*, 2013 IEEE , vol., no., pp.2398,2405, 15-19 Sept. 2013.
- [15] Olalla, C.; Clement, D.; BeomSeok Choi; Maksimovic, D., "A branch and bound algorithm for high-granularity PV simulations with power limited SubMICs," *Control and Modeling for Power Electronics (COMPEL)*, 2013 IEEE 14th Workshop on , vol., no., pp.1,6, 23-26 June 2013.
- [16] Olalla, C.; Deline, C.; Maksimovic, D., "Performance of Mismatched PV Systems With Submodule Integrated Converters," *Photovoltaics*, IEEE Journal of , vol.4, no.1, pp.396,404, Jan. 2014.
- [17] Olalla, C.; Deline, C.; Maksimovic, D., "Modeling and simulation of conventionally wired photovoltaic systems based on differential power processing SubMIC-enhanced PV modules," *Control and Modeling for Power Electronics (COMPEL)*, 2014 IEEE 15th Workshop on , vol., no., pp.1,9, 22-25 June 2014.
- [18] Levron, Y.; Clement, D.R.; Choi, B.; Olalla, C.; Maksimovic, D., "Control of Submodule Integrated Converters in the Isolated-Port Differential Power-Processing Photovoltaic Architecture," *Emerging and Selected Topics in Power Electronics*, IEEE Journal of , vol.2, no.4, pp.821,832, Dec. 2014.
- [19] Beomseok Choi; Clement, D.; Maksimovic, D., "A CMOS controller for submodule integrated converters in photovoltaic systems," *Control and Modeling for Power Electronics (COMPEL)*, 2014 IEEE 15th Workshop on , vol., no., pp.1,6, 22-25 June 2014.
- [20] Olalla, C.; Deline, C.; Clement, D.; Levron, Y.; Rodriguez, M.; Maksimovic, D., "Performance of Power-Limited Differential Power Processing Architectures in Mismatched PV Systems," *Power Electronics*, IEEE Transactions on , vol.30, no.2, pp.618,631, Feb. 2015.
- [21] Stauth, J.T.; Seeman, M.D.; Kesarwani, K., "Resonant Switched-Capacitor Converters for Sub-module Distributed Photovoltaic Power Management," *Power Electronics*, IEEE Transactions on , vol.28, no.3, pp.1189,1198, March 2013.
- [22] Stauth, J.T.; Kesarwani, K.; Schaef, C., "A distributed photovoltaic energy optimization system based on a sub-module resonant switched-capacitor implementation," *Power Electronics and Motion Control Conference (EPE/PEMC)*, 2012 15th International , vol., no., pp.LS2d.2-1,LS2d.2-6, 4-6 Sept. 2012.
- [23] Kesarwani, K.; Stauth, J.T., "A comparative theoretical analysis of distributed ladder converters for sub-module PV energy optimization," *Control and Modeling for Power Electronics (COMPEL)*, 2012 IEEE 13th Workshop on , vol., no., pp.1,6, 10-13 June 2012.
- [24] Stauth, J.T.; Seeman, M.D.; Kesarwani, K., "A Resonant Switched-Capacitor IC and Embedded System for Sub-Module Photovoltaic Power Management," *Solid-State Circuits*, IEEE Journal of , vol.47, no.12, pp.3043,3054, Dec. 2012.
- [25] Seeman, M.D.; Sanders, S.R., "Analysis and Optimization of Switched-Capacitor DC-DC Converters," *Computers in Power Electronics*, 2006. *COMPEL '06. IEEE Workshops on* , vol., no., pp.216,224, 16-19 July 2006.

A Simple-Novel Indirect Algorithm for Tracking Maximum Power Under Rapid or Slow Irradiation and Temperature Changes

Mustafa Gökdağ

Electrical-Electronics Engineering
Karabuk University
Karabuk, Turkey
mgokdag@karabuk.edu.tr

Mehmet Akbaba

Computer Engineering
Karabuk University
Karabuk, Turkey
mehmetakbaba@karabuk.edu.tr

Abstract—A novel indirect method for maximum power point tracking is proposed in this study. The proposed method, utilizing the linear relationship between the solar irradiation and the maximum power point current, directly provides the maximum power point current and hence the maximum power points trajectory. Therefore it does not require utilization of any search algorithm. Also it has been investigated that the maximum power point current is almost independent of the solar module temperature. Due to this interesting behavior, the proposed method has also superior response for the solar modules working under large temperature ranges. Therefore it has significant advantage over the conventional indirect methods using short circuit current or open circuit voltage. The proposed method is implemented on a boost type converter in MATLAB simulation environment and showed better results in terms of stability and power harvested from the solar module. The method is suitable for the solar systems such as used with micro-inverters.

Keywords—component; maximum power point tracking; indirect method; temperature independence of maximum power point current; irradiation sensor

I. INTRODUCTION

Renewable energy is among the first solutions to the future energy crisis and environmental problems because of green house effect of conventional fossil fuels. One of the most popular applications of renewable sources is solar energy. Developed countries are investing much for solar energy to meet their increasing energy demands. The efficiency of commercial solar modules is still in the level of 15-20% [1]. Because of the non-linear I-V characteristic of solar cells there is only one point at which maximum power can be extracted from the module. For this reason a lot of efforts have been devoted for operating solar modules on maximum power point [2]. Several maximum power point algorithms have been tried to develop in terms of accuracy, convergence speed, number of sensors used, economy, complexity and less computational load etc [3].

Maximum power point tracking (MPPT) algorithms can be splatted into two groups; first one is the direct control (the true seeking) which generally searches the maximum power point through the P-V characteristic curve and the second one is the

indirect control (the quasi seeking) which needs prior knowledge on solar modules to be used to operate the module on maximum power point [4]. Investigation addressed in this paper falls under the indirect methods group. In [5], approximately linear relationship between maximum power point current and short circuit current is used. A small monitor solar cell which must have identical characteristic with the solar module to be used is employed to measure the short circuit current, I_{SC} , and then the maximum power point is calculated by simply multiplying I_{SC} by a predefined k-parameter. In [6], a static switch to measure I_{SC} by certain intervals is added to the converter circuit to remove necessity of the small monitor cell with identical characteristic to main solar modules. The interruption of operation by switch results in power losses and causes oscillation of current. This method is called as fractional short circuit current [7]. In [8], approximately linear relationship between maximum power point voltage and open circuit voltage is used to operate the solar module on maximum power point. The operational principle is same as in the fractional I_{SC} method and called as fractional open circuit voltage. The characteristic surfaces used by both methods will be explained in detail in section III of this paper.

In this study approximately temperature independent one variable controlled method is used to track the maximum power point. The control variable is the maximum power point current (I_{MAX}). The method is applied on an MPPT utilizing a standard boost converter.. The current at maximum power point is calculated from the measured solar irradiation (G) multiplied by a k-parameter which is approximately constant under varying temperature. The calculated I_{MAX} is used as a reference in a closed loop controller to adjust the duty cycle of the converter. Simulation results showed that the method can be used under varying irradiation and temperature changes without necessity of small solar monitoring cell with identical characteristic to the main solar modules.

II. SOLAR MODULE MODELLING

Solar panels are modeled with an equivalent circuit shown in Fig. 1. Mathematical model for this circuit is given by (1) to (8) [9].

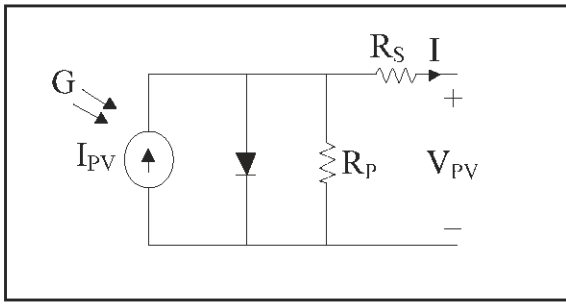


Figure 1. Equivalent circuit of a solar cell

$$I = I_{PV} - I_0 \left[e^{\frac{q(V_{PV} + IR_S)}{nkT}} - 1 \right] - \frac{V_{PV} + IR_S}{R_P} \quad (1)$$

$$I_{PV} = I_{PV(T_1)} * (1 + K_0(T - T_1)) \quad (2)$$

$$I_{PV(T_1)} = G * \left(\frac{I_{SC(T_1, nom)}}{G_{(nom)}} \right) \quad (3)$$

$$K_0 = \left(\frac{I_{SC(T_2)} - I_{SC(T_1)}}{I_{SC(T_1)} * (T_2 - T_1)} \right) \quad (4)$$

$$I_0 = I_0(T_1) * \left(\frac{T}{T_1} \right)^{3/n} * e^{\frac{-q * V_g}{nk \left(\frac{1}{T} - \frac{1}{T_1} \right)}} \quad (5)$$

$$I_0(T_1) = \frac{I_{SC(T_1)}}{\frac{q * V_{OC(T_1)}}{e * nkT_1} - 1} \quad (6)$$

$$R_S = - \frac{dV}{dI_{V_{OC}}} - \frac{1}{X_V} \quad (7)$$

$$X_V = I_0(T_1) * \frac{q}{nkT_1} * e^{\frac{q * V_{OC(T_1)}}{nkT_1}} \quad (8)$$

The above equations are used to obtain solar module characteristics in the simulation analysis. Solarex MSX-60 module parameters are used in the subsequent analysis.

III. PROPOSED METHOD

A. Extended Analysis of Solar Module Characteristics

The characteristic of solar modules are generally shown as I-V and P-V characteristics curves. It is more convenient to show the characteristics curve in P-I plane for the proposed method as shown in Fig 2.

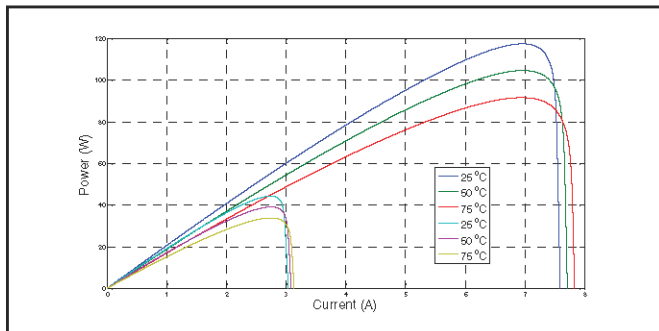


Figure 2. P-I characteristic curves at G=1000 W/m² and G=400 W/m² for different temperatures from 25 °C to 75 °C

Detail analysis showed that solar modules have an interesting characteristic at maximum power point, *that is, the current at maximum power point approximately remains constant under varying temperature. This property is the key point in proposed method.*

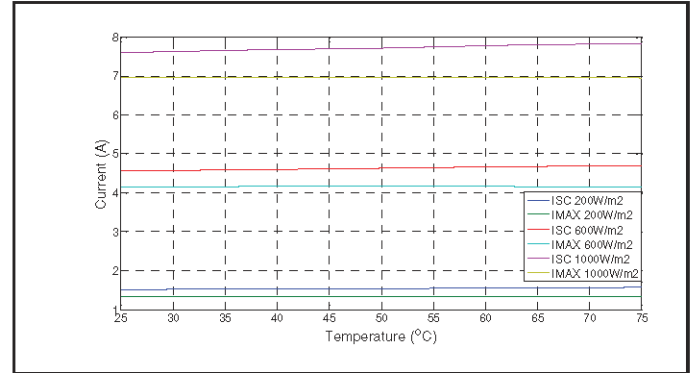


Figure 3. The variation of I_{SC} and I_{MAX} for different irradiation levels under varying temperature

The last column of the Table I, which is obtained from the data of [10], also supports the above argument. As it is evident from this Table, the variation in I_{MAX} is negligible while the temperature varies within a large limits (-25 °C to +50 °C).

TABLE I. DATA FOR SHELL S36 SOLAR MODULE[10]

Conditions	P _{MAX} (W)	V _{MAX} (V)	I _{MAX} (A)
T=50 °C, G=1000 W/m ²	31.95	14.60	2.188
T=25 °C, G=1000 W/m ²	36.00	16.50	2.182
T=0 °C, G=1000 W/m ²	40.05	18.40	2.177
T=-25 °C, G=1000 W/m ²	44.10	20.51	2.172

Fig. 4 shows variation of I_{MAX} / G versus temperature and irradiance. As could be seen from this figure this ratio is approximately constant through the temperature axis.

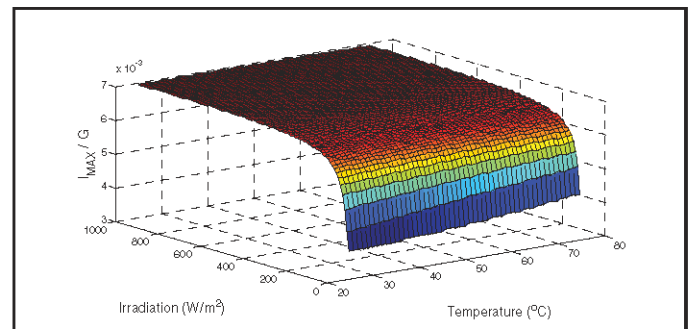


Figure 4. Variation of I_{MAX} / G versus temperature and irradiance

Fig. 5 shows the variation of I_{MAX} / I_{SC} versus temperature and irradiance. As could be seen from the figure this ratio decreases as the temperature increases. This means that the ratio is not constant under large temperature range.

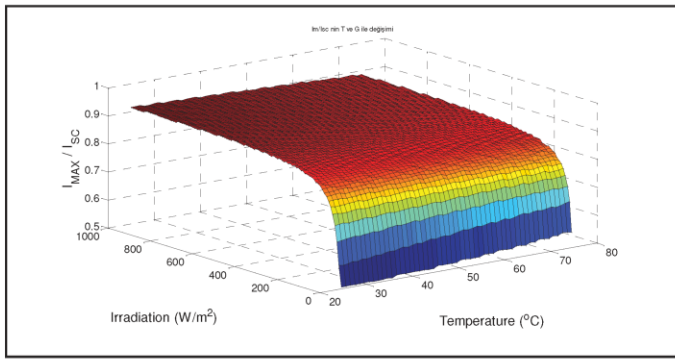


Figure 5. Variation of I_{MAX} / I_{SC} versus temperature and irradiance

Fig. 6 shows the variation of V_{MAX} / V_{OC} variation versus temperature and irradiance. As could be seen from this figure this ratio decreases as the temperature increases. This means that the ratio is not constant under large temperature range.

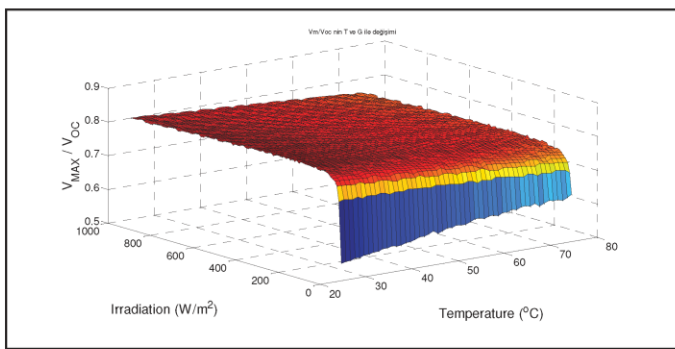


Figure 6. Variation of V_{MAX} / V_{OC} versus temperature and irradiance

B. Maximum Power Point Tracking with Proposed Method

The characteristic shown in Fig. 4 could be used in maximum power point tracking. The proposed method benefits from this surface while fractional I_{SC} and fractional V_{OC} methods use the surfaces shown in Fig. 5 and Fig. 6 respectively. The block diagram of proposed method could be shown as in Fig. 7.

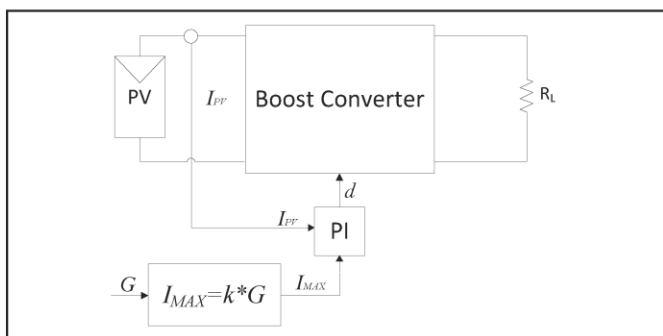


Figure 7. The block diagram of proposed method

I_{MAX} is calculated from solar irradiance G as shown in (9). As aforementioned above the k -parameter approximately remains constant versus temperature. Hence this method should be more effective for solar modules under working large temperature range.

$$I_{MAX} = f(G) = kG \tag{9}$$

Solar irradiance G could be measured using a silicon PIN photodiode like BPW21-R from Vishay semiconductors or photodiode OPT101 with on-chip trans-impedance amplifier from Burr-Brown. The photodiode could be operated in photoconductive mode to measure solar intensity using the trans-impedance amplifier circuit as in reported [11] - [13].

The k -parameter is determined from the module datasheet to be used. The I_{MAX} current is $3.52 \times 2 = 7.04$ A for the Solarex MSX60 module under 1000 W/m^2 . So it is calculated as 7.04×10^{-3} for our application. The k -parameter could be updated when G sensor reads solar intensity as more than 1000 W/m^2 for a few minutes.

IV. SIMULATION RESULTS

The proposed method is applied in a boost converter with a resistive load. The fractional I_{SC} and V_{OC} method is also implemented to compare the results. The variation of G and T during the simulation time is shown in Fig. 8. A step change in load ($R_L = 10 \Omega$ to 15Ω) is applied at $t = 0.8$ s.

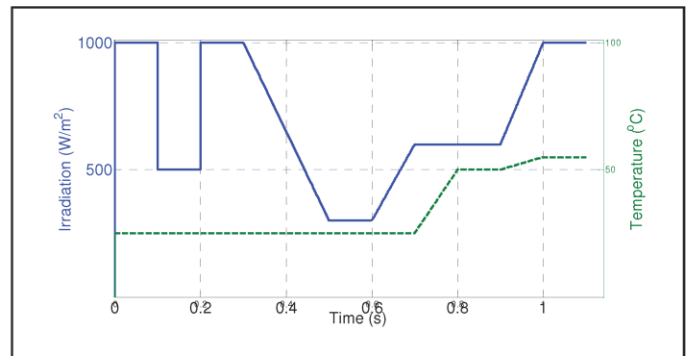


Figure 8. Variation of G and T during the simulation time

Fig. 9 shows the powers extracted with three different methods. The superior performance of the proposed method emerges in high temperatures as shown in Fig. 10.

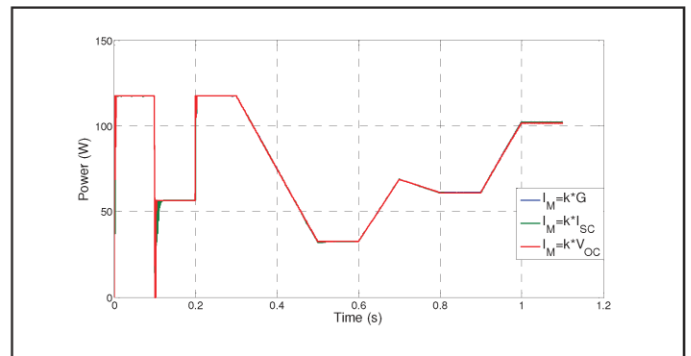


Figure 9. Simulation results

The power oscillation is less with the proposed method than the others methods and it extracts more power from the module since the constant used is more stable under varying temperature.

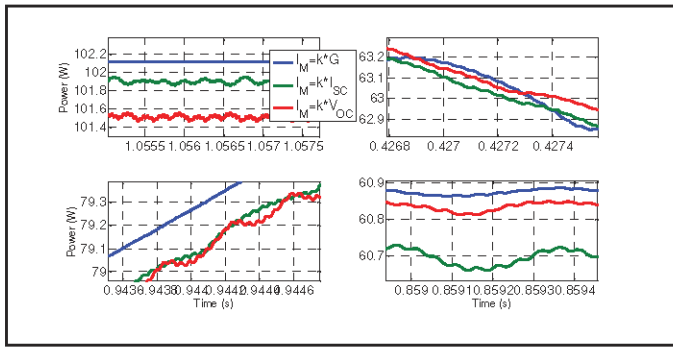


Figure 10. Zoomed in four different areas of Fig. 9

The average power harvested from the module under different operation conditions during 1.1 sec simulation time is shown in Table II.

TABLE II. COMPARISON OF AVERAGE POWERS

Conditions	Power (W)		
	$I_{MAX}=k*G$	$I_{MAX}=k*I_{SC}$	$V_{MAX}=k*V_{OC}$
Condition in Fig. 7	71.36	71.30	71.31
$G=1000 \text{ W/m}^2, T=75 \text{ }^\circ\text{C}$	91.68	91.04	90.15
$G=1000 \text{ W/m}^2, T=47 \text{ }^\circ\text{C}$	106.26	106.15	105.93
$G=500 \text{ W/m}^2, T=75 \text{ }^\circ\text{C}$	43.34	42.84	43.02
$G=300 \text{ W/m}^2, T=75 \text{ }^\circ\text{C}$	24.44	23.98	24.36

The results taken with fractional I_{SC} or V_{OC} methods does not include losses when solar module is shorted or opened to measure I_{SC} or V_{OC} . Hence it is supposed that there is a small monitoring solar cell having exactly the same characteristic with the main modules. Table II shows that the power extracted from module in any condition is higher with the proposed method.

V. CONCLUSION

The proposed method uses a special characteristic of solar module to track the maximum power. The current at maximum power is approximately constant for varying temperature. Hence the ratio between I_{MAX} and G is more favorable to use in maximum power point tracking than the fractional I_{SC} and V_{OC} methods. The measurement of G with silicon based photodiode implemented in a trans-impedance amplifier circuit removes

the necessity of a small monitoring cell with identical characteristic to the main modules. The proposed method could be easily implemented in the micro-inverters, converters of solar pumping systems, and extracts more power with less oscillation as compared to other fractional methods.

ACKNOWLEDGMENT

This study was supported by Karabuk University under the project number KBU-BAP-13/2-DR-010.

REFERENCES

- [1] Karekes, T., Analysis and Modeling of Transformerless Photovoltaic Inverter Systems, PhD Thesis, Aalborg University, 2009.
- [2] Ali Reza Reisi, Mohammad Hassan Moradi, Shahrar Jamasb, Classification and comparison of maximum power point tracking techniques for photovoltaic system: A review, Renewable and Sustainable Energy Reviews, Volume 19, March 2013, Pages 433-443.
- [3] Pallavee Bhatnagar, R.K. Nema, Maximum power point tracking control techniques: State-of-the-art in photovoltaic applications, Renewable and Sustainable Energy Reviews, Volume 23, July 2013, Pages 224-241.
- [4] V. Salas, E. Olias, A. Barrado, A. Lazaro, "Review of the maximum power point tracking algorithms for stand-alone photovoltaic systems," Solar Energy Materials & Solar Cells, vol. 90, pp. 1555-1578, 2006.
- [5] H. Matsuo and F. Kurokawa, "New solar cell power supply system using a boost type bidirectional DC-DC converter," IEEE Trans. Ind. Electron., vol. 31, pp. 51-55, Feb. 1984.
- [6] T. Noguchi, S. Togashi, and R. Nakamoto, "Short-current pulse based adaptive maximum-power-point tracking for photovoltaic power generationsystem," in Proc. 2000 IEEE Int. Symp. Ind. Electron., 2000, pp. 157-162.
- [7] ESRAM T, Chapman PL. Comparison of photovoltaic array maximum powerpoint tracking techniques. IEEE Trans Energy Convers 2007;22:2.
- [8] M. A. S. Masoum, H. Dehboni, and E. F. Fuchs, "Theoretical and experimental analyses of photovoltaic systems with voltage and current-based maximum power-point tracking," IEEE Trans. Energy Convers., vol. 17, no. 4, pp. 514-522, Dec. 2002.
- [9] Walker, G., "Evaluating MPPT converter topologies using a matlab PV model(2001) Journal of Electrical and Electronics Engineering, Australia, 21 (1), pp. 49-55.
- [10] Weidong Xiao; Dunford, W.G.; Capel, A., "A novel modeling method for photovoltaic cells," Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual, vol.3, no., pp.1950,1956 Vol.3, 20-25 June 2004.
- [11] Hamamatsu, S1223 Si PIN Photodiode, available online 20.09.2012 at <http://sales.hamamatsu.com/en/products/solid-state-division/si-photodiode-series/si-pin-photodiode/part-s1223.php>.
- [12] Texas Instruments, Photodiode Monitoring With Opamps, available online 20.09.2012 at <http://focus.ti.com/lit/an/sboa035/sboa035.pdf>.
- [13] The University of Arizona, Photodiode Characteristics, available online 20.09.2012 at http://www.optics.arizona.edu/Palmer/OPTI400/SuppDocs/pd_char.pdf

ÖZGEÇMİŞ

Mustafa GÖKDAĞ 1987 yılında Karabük'te doğdu; ilköğretim ve lise öğrenimini aynı şehirde tamamladı. 2005 yılında Fırat Üniversitesi Elektrik-Elektronik Mühendisliği bölümünde lisans öğrenimine başladı. 2007-2008 eğitim-öğretim yılında Erasmus öğrenci değişim programı çerçevesinde İngiltere'nin Coventry Üniversitesi'nde 3. Sınıf eğitimini tamamladı. 2009 yılında lisans eğitimini Mühendislik Fakültesi dönem birinciliği ile tamamladı. Aynı yıl Karabük Üniversitesi Elektrik-Elektronik Mühendisliği'nde araştırma görevlisi olarak göreve başladı. 2011 yılında yüksek lisans çalışmasını tamamladı.

ADRES BİLGİLERİ

Adres : Karabük Üniversitesi Mühendislik Fak. EEM Bölümü,
78050, Merkez/KARABÜK
Tel : (370) 433 20 21
E-posta : mgokdag@karabuk.edu.tr