

**HAREKETLİ SENARYOLARDA ARKA PLAN
MODELLEMELİ NESNE BELİRLEME
SİSTEMİNİN TASARIMI**

**2019
DOKTORA TEZİ
ELEKTRİK ELEKTRONİK MÜHENDİSLİĞİ**

Murat Fatih SAVAŞ

**HAREKETLİ SENARYOLARDA ARKA PLAN MODELLEMELİ
NESNE BELİRLEME SİSTEMİNİN TASARIMI**

Murat Fatih SAVAŞ

Karabük Üniversitesi

Fen Bilimleri Enstitüsü

Elektrik Elektronik Mühendisliği Anabilim Dalında

Doktora Tezi

Olarak Hazırlanmıştır

KARABÜK

Haziran 2019

Murat Fatih SAVAŞ tarafından hazırlanan “HAREKETLİ SENARYOLARDA ARKA PLAN MODELLEMELİ NESNE BELİRLEME SİSTEMİNİN TASARIMI” başlıklı bu tezin Doktora Tezi olarak uygun olduğunu onaylarım.

Doç. Dr. Hüseyin DEMİREL

Tez Danışmanı, Elektrik Elektronik Mühendisliği Anabilim Dalı

Bu çalışma, jürimiz tarafından oy birliği ile Elektrik Elektronik Mühendisliği Anabilim Dalı Doktora tezi olarak kabul edilmiştir. 27/06/2019

Ünvanı, Adı SOYADI (Kurumu)

İmzası

Başkan : Prof. Dr. Nurettin TOPALOĞLU (GÜ)

Üye : Doç. Dr. Bünyamin CİYLAN (GÜ)

Üye : Doç. Dr. Hüseyin DEMİREL (KBÜ)

Üye : Dr. Öğr. Üyesi Bilgehan ERKAL (KBÜ)

Üye : Dr. Öğr. Üyesi Ersagun Kürşat YAYLACI (KBÜ)

27/06/2019

KBÜ Fen Bilimleri Enstitüsü Yönetim Kurulu, bu tez ile, Doktora derecesini onamıştır.

Prof. Dr. Filiz ERSÖZ

Fen Bilimleri Enstitüsü Müdürü V.



“Bu tezdeki tüm bilgilerin akademik kurallara ve etik ilkelere uygun olarak elde edildiğini ve sunulduğunu; ayrıca bu kuralların ve ilkelerin gerektirdiği şekilde, bu çalışmadan kaynaklanmayan bütün atıfları yaptığımı beyan ederim.”

Murat Fatih SAVAŞ

ÖZET

Doktora Tezi

HAREKETLİ SENARYOLARDA ARKA PLAN MODELLEMELİ NESNE BELİRLEME SİSTEMİNİN TASARIMI

Murat Fatih SAVAŞ

Karabük Üniversitesi

Fen Bilimleri Enstitüsü

Elektrik Elektronik Mühendisliği Anabilim Dalı

Tez Danışmanı:

Doç. Dr. Hüseyin DEMİREL

Haziran 2019, 116 sayfa

Arka plan çıkartım tekniği, video analiz sistemlerinin ilk ve önemli adımıdır. Bu teknik önemlidir; çünkü analizlerin doğru yapılması ve değerlendirilmesi bu metodun güçlü yapısına bağlıdır. Arka plan çıkartım tekniğinin model yapısı, eşik parametre ve model güncelleme teknikleri, bu metodun önemli bileşenleridir. Bu bileşenlerin uygun seçimi özellikle dinamik sahnelerde analiz yapmayı zorlaştıran birçok etkeni ortadan kaldırır. Bu çalışma hem bilgisayar donanımı hem de sınırlı kaynaklara sahip Xilinx Zynq ZC702 deneme kartı üzerinde yapılmıştır. Bilgisayar donanımı üzerinde tasarlanan uyarlanabilir arka plan eşik ve güncelleme parametreleri hem uygunlaştırılmış KDE (Çekirdek Yoğunluk Kestirimi) metoduna hem de literatürde yaygın olan metotlara uygulanmıştır. Bu parametrelerin bu yöntemler üzerindeki etkileri analiz edilmiştir. Ayrıca önerilen yapı ile literatürdeki diğer yöntemler karşılaştırılarak performans değerlendirmesi yapılmıştır. Bu parametrelerin

yöntemler üzerinde olumlu performans arttırıcı etkisi gözlenmiştir. Xilinx Zynq ZC702 deneme kartında önerilen yapıyı gerçekleştirmek için donanım hızlandırıcılarının tasarımı gerçekleştirildi. Bu tasarımda tasarım süresini kısaltan ve analizi kolaylaştıran Vivado HLS (Yüksek Seviye Sentez) aracı kullanılmıştır. Vivado HLS'de uygulama için gerekli donanım hızlandırıcıların, kaynak kullanımları ve performansları değerlendirilmiştir. Donanım hızlandırıcılarının doğruluğunu test etmek için hem C test tezgahı hem de lojik test simülatörü kullanılmıştır. Son olarak, Xilinx Vivado Design Suite ve yazılım geliştirme kiti (XSDK) kullanılarak tasarım güç tüketimi, kaynak kullanımı ve gerçek zamanlı performans analizi yapıldı.

Anahtar Sözcükler: Arka plan çıkartım, Arka plan eşik parametresi, Arka plan güncelleme parametresi, Donanım hızlandırıcı, Zynq.

Bilim Kodu : 905.1.012

ABSTRACT

Ph. D. Thesis

IN MOVING SCENARIOS DESIGN OF OBJECT DETECTION SYSTEM WITH BACKGROUND MODELLING

Murat Fatih SAVAŞ

Karabük University

Graduate School of Natural and Applied Sciences

Department of Electric-Electronic Engineering

Thesis Advisor:

Doç. Dr. Hüseyin DEMİREL

June 2019, 116 pages

Background subtraction technique is the first and important step of video analysis systems. This technique is important because correct analysis and evaluation of the video analysis depend on the strong structure of this method. Model structure of background subtraction technique, threshold parameter and model update techniques are important components of this method. The correct choice of these components eliminates many factors that make it difficult to analyze, especially in dynamic scenes. This study was carried out on both computer hardware and the Xilinx Zynq ZC702 evaluation card, which has limited resources. Adaptive background threshold and update parameters designed on computer hardware were applied to both the optimized KDE (Kernel Density Estimation) method and the methods common in the literature. The effects of these parameters on these methods were analysed. In addition, by comparing proposed structure with other methods in the literature, the performance evaluation was made. The performance enhancing effect of these

parameters on the methods was observed. In order to realize the structure proposed on Xilinx Zynq ZC702 evaluation card, the design of hardware accelerators were implemented. In this design, Vivado HLS (High Level Synthesis) tool, which reduces design time and eases analysis was used. In the Vivado HLS, resource usages and performances of hardware accelerators required for implementation were evaluated. Both the C test bench and the logic test simulator were used to test the correctness of the hardware accelerators. Finally, by using Xilinx Vivado Design Suite and software development kit (XSDK), design power consumption, resource usage and real-time performance analysis were carried out.

Key Word : Background subtraction, Background threshold parameter, Background update parameter, Hardware accelerator, Zynq

Science Code : 905.1.012

TEŐEKKÜR

Bu tez alıřmasının planlanmasında, arařtırılmasında, yrtlmesinde ve oluřumunda ilgi ve desteęini esirgemeyen, engin bilgi ve tecrbelerinden yararlandığım, ynlendirme ve bilgilendirmeleriyle alıřmamı bilimsel temeller ıřığında Őekillendiren sayın hocalarım Do. Dr. Hseyin DEMİREL, Do. Dr. Bnyamin CİYLAN, Dr. Öğr. Üyesi Bilgehan ERKAL'a sonsuz teőekkrlerimi sunarım.

alıřma srecinde bana her trl desteęi veren sayın Salih GN hocama ve deęerli eřim Serap SAVAŐ'a ayrıca teőekkrlerimi sunarım.

alıřmam sresince desteklerinden dolayı babam Hseyin SAVAŐ'a annem Nuray SAVAŐ'a ve kardeřim M.Fırat SAVAŐ'a teőekkr ederim.

Sevgili aileme manevi hibir yardımı esirgemeden yanımda oldukları iin tm kalbimle teőekkr ederim.

Bu tez Karabk niversitesi, Bilimsel Arařtırma Projeleri (BAP), KBU-BAP-16/1-DR-167 numaralı proje ile desteklenmiřtir. Desteklerinden dolayı Karabk niversitesi, Bilimsel Arařtırma Projeleri birimine teőekkr ederim.

İÇİNDEKİLER

	<u>Sayfa</u>
KABUL.....	ii
ÖZET.....	iv
ABSTRACT.....	vi
TEŞEKKÜR.....	viii
İÇİNDEKİLER	ix
ŞEKİLLER DİZİNİ.....	xiii
ÇİZELGELER DİZİNİ	xvii
SİMGELER VE KISALTMALAR DİZİNİ	xviii
BÖLÜM 1	1
GİRİŞ	1
BÖLÜM 2	4
LİTERATÜR TARAMASI VE PROBLEMİN TANIMI.....	4
BÖLÜM 3	12
ARKA PLAN MODEL UYGUNLAŞTIRMA VE PARAMETRELERİN TASARIMLARI	12
3.1. UYARLANABİLİR PARAMETRİK OLMAYAN ARKA PLAN MODELİ	13
3.2. UYARLANABİLİR EŞİK PARAMETRE TASARIMI.....	16
3.3. ARKA PLAN MODEL GÜNCELLEME PARAMETRESİNİN TASARIMI	19
3.4. MODEL UYGUNLAŞTIRMA VE MODELE PARAMETRELERİN UYARLANMASI	20
BÖLÜM 4	27
PERFORMANS ÖLÇÜMLERİ.....	27
4.1. PERFORMANS DEĞERLENDİRME ÖLÇÜTLERİ	27

4.2. ÖNERİLEN PARAMETRELERİN ARKA PLAN TEKNİKLERİ ÜZERİNDEKİ ETKİSİ	28
4.2.1. Önerilen Uyarlanabilir Eşik Parametre Yapısının Zamansal Medyan Tekniği Üzerindeki Etkisi	29
4.2.2. Önerilen Uyarlanabilir Eşik Parametre Yapısının Yuvarlanan Ortalama Tekniği Üzerindeki Etkisi	31
4.2.3. Eşik ve Güncelleme Parametrelerinin Yuvarlanan Ortalama Tekniği Üzerindeki Etkisi	33
4.2.4. Eşik ve Güncelleme Parametrelerinin Önerilen Arka Plan Modeli Üzerindeki Etkisi	35
4.3. UYGUNLAŞTIRILAN ARKA PLAN MODELİNİN PERFORMANS ÖLÇÜMLERİ.....	37
4.3.1. Li and Wallflower Veri Setlerinde Performans Ölçümleri.....	37
4.3.2. CDnet 2014 Veri Setlerinde Performans Ölçümleri.....	41
4.3.2.1. Termal	41
4.3.2.2. Dinamik Arka Plan	42
4.3.2.3. Gölge.....	42
4.3.2.4. Aralıklı Nesne Hareketleri	43
4.3.2.5. Kötü Hava Şatları.....	43
4.3.2.6. Düşük Çerçeve Hızı	44
4.3.2.7. PTZ	44
4.3.2.8. Kamera Sallanması	45
4.3.2.9. Temel Görüntüler.....	45
4.3.2.10. Hava Türbülansı.....	46
4.3.2.11. Gece Videoları	47
BÖLÜM 5	53
TASARIM ARAÇLARI	53
5.1. XILINX ZYNQ-7000 PROGRAMLANABİLİR SoC MİMARİSİ.....	53
5.1.1. APU (Uygulama İşleme Birimi).....	54
5.1.2. PL (Programlanabilir Mantık) Birimi.....	55
5.1.3. Gelişmiş Genişletilebilir Arayüz AXI (Advanced Extensible Interface)	57
5.1.4. PL ve PS Arasındaki Portlar	59
5.1.4.1. HP Portlar (Yüksek Performanslı Portlar)	60

	<u>Sayfa</u>
5.1.4.2. GP Portlar (Genel Amaçlı Portlar).....	60
5.1.4.3. ACP Portu (Hızlandırılmış Tutarlılık Portu).....	60
5.2. DONANIM YAZILIM EŞ TASARIM	61
5.3. XILINX ZYNQ CİHAZININ TASARIM ARAÇLARI	62
5.3.1. Vivado HLS Aracı (Vivado Yüksek Seviye Sentez).....	62
5.3.2. Xilinx Yazılım Geliştirme Aracı (XSDK).....	63
5.3.3. Vivado Design Suite Geliştirme Ortamı.....	63
5.4. ZYNQ CİHAZI EK DONANIM MODÜLÜ FMC IMAGEON (FPGA ARA KAT KARTI)	65
BÖLÜM 6	67
UYGULAMA BİLEŞENLERİ VE IP ÇEKİRDEK TASARIMLARI.....	67
6.1. VIVADO DESIGN SUITE KÜTÜPHANESİNDEN KULLANILAN IP ÇEKİRDEKLER VE ÖZELLİKLERİ	68
6.1.1. AXI VDMA (AXI Video Doğrudan Belleğe Erişim).....	68
6.1.2. AXI VTC (AXI Video Zamanlayıcı Kontrolcüsü).....	70
6.1.3. AXI CDMA (AXI Merkezi Doğrudan Belleğe Erişim)	71
6.2. RENK UZAYLARI VE GRİ ÖLÇEK DÖNÜŞÜMÜ	74
6.2.1. RGB Renk Uzayı	74
6.2.2. YUV\YCbCr Renk Uzayı	75
6.3. ZYQN ZC702 DEMEME KARTINDA ÖNERİLEN YÖNTEMİN TASARIMI.....	77
6.3.1. 16 bit YCbCr 4:2:2 Renk Formatını 8 bit Gri Ölçeğe Dönüştüren IP Çekirdek Tasarımı.....	77
6.3.2. Önerilen Arka Plan Modelinin Vivado HLS ile Tasarımı	82
6.3.2.1. nxm Blok Ölçeklendirici IP Çekirdeğin Tasarımı	82
6.3.2.2. Önerilen Arka Plan Yapısının Tasarımı ve Uygunlaştırılması	88
6.3.1. 8 Bit Gri Ölçeği 16 bit YCbCr 4:2:2 Renk Formatına Dönüştüren IP Çekirdek Tasarımı	94
6.4. VIVADO TASARIM SUİTTE SİSTEMİN TASARIMI.....	96
BÖLÜM 7	99
ZC702 DENEME KARTINDA YÖNTEMİN TASARIMI VE KARTIN PERFORMANS ÖLÇÜMLERİ.....	99

	<u>Sayfa</u>
7.1. XSDK TASARIM ORTAMINDA ÖNERİLEN YÖNTEMİN TASARIMI .	99
7.2. UYGULAMANIN KURULUMU VE ZC702 CİHAZININ DONANIM PERFORMANSI.....	100
7.3. ZC702 DENEME KARTININ UYGULAMA İÇİN KAYNAK VE GÜÇ TÜKETİM.....	103
BÖLÜM 8	105
SONUÇLAR VE ÖNERİLER.....	105
KAYNAKLAR	108
ÖZGEÇMİŞ	116

ŞEKİLLER DİZİNİ

Sayfa

Şekil 2.1.	Temel arka plan çıkartımı ile hareket belirleme [1].	4
Şekil 2.2.	Çerçeve farkı yönteminin farklı eşik parametreleri için ön plan belirleme sonuçları, a) eşik değeri $T=15$, b) eşik değeri $T=30$.	5
Şekil 3.1.	Histogramdaki grupların güncellenme aralığı [24].	15
Şekil 3.2.	Eşik parametresi için tasarlanan sayıcı yapısı [40].	17
Şekil 3.3.	Çerçevenin 2x2 blok yapısı.	22
Şekil 3.4.	Gri ölçekte piksellerin, piksel tabanlı $I(39,40)$ ve 2x2 blok yapısı $\mu b(39,80, (40,81))$ konumundaki pikseller için davranışı.	22
Şekil 3.5.	320x240 çözünürlüklü çerçevede çakışmayan blok ölçüleri ve işlem zamanı arasındaki ilişki (2, 2x2, 8, 8x8.).	23
Şekil 3.6.	$n \times m$ blok ölçülerine göre ön plan belirleme (CDnet 2014 üst geçit test videosu 2400. çerçeve) [39].	24
Şekil 3.7.	Önerilen yöntemin akış şeması.	26
Şekil 4.1.	Zamansal medyan tekniği üzerinde önerilen uyarlanabilir eşik parametresinin ($T_{eş}=40$ ve $\alpha=0,5$) kullanımının sabit eşik parametresi ($T=40$) kullanımına göre etkisinin görsel sonuçları.	30
Şekil 4.2.	Zamansal medyan tekniği üzerinde önerilen uyarlanabilir eşik parametresinin ($T_{eş}=40$ ve $\alpha=0,5$) kullanımının sabit eşik parametresi ($T=40$) kullanımına göre etkisinin F-ölçütü sonuçları.	30
Şekil 4.3.	Zamansal medyan tekniği üzerinde önerilen uyarlanabilir eşik parametresinin ($T_{eş}=40$ ve $\alpha=0,5$) kullanımının sabit eşik parametresi ($T=40$) kullanımına göre etkisinin PSNR sonuçları.	31
Şekil 4.4.	Yuvarlanan ortalama tekniği üzerinde önerilen uyarlanabilir eşik parametresinin ($T_{eş}=40$ ve $\alpha=0,5$) kullanımının sabit eşik parametresi ($T=40$) kullanımına göre etkisinin görsel sonuçları.	32
Şekil 4.5.	Yuvarlanan ortalama tekniği üzerinde önerilen uyarlanabilir eşik parametresinin ($T_{eş}=40$ ve $\alpha=0,5$) kullanımının sabit eşik parametresi ($T=40$) kullanımına göre etkisinin F-ölçütü sonuçları.	32
Şekil 4.6.	Yuvarlanan ortalama tekniği üzerinde önerilen uyarlanabilir eşik parametresinin ($T_{eş}=40$ ve $\alpha=0,5$) kullanımının sabit eşik parametresi ($T=40$) kullanımına göre etkisinin PSNR sonuçları.	33
Şekil 4.7.	Yuvarlanan ortalama tekniği üzerinde önerilen uyarlanabilir eşik ve güncelleme parametrelerinin ($T_{eş}=25$, $\alpha=0,5$, $\beta_u = 10$ ve $K_c = 10$) kullanımının sabit eşik parametresi ($T=25$) kullanımına göre etkisinin görsel sonuçları.	34

Şekil 4.8.	Yuvarlanan ortalama tekniği üzerinde önerilen uyarlanabilir eşik ve güncelleme parametrelerinin ($T_{eş}=25$, $\alpha=0,5$, $\beta u=10$ ve $Kc=10$) kullanımının sabit eşik parametresi ($T=25$) kullanımına göre etkisinin F-ölçütü sonuçları.	34
Şekil 4.9.	Yuvarlanan ortalama tekniği üzerinde önerilen uyarlanabilir eşik ve güncelleme parametrelerinin ($T_{eş}=25$, $\alpha=0,5$, $\beta u=10$ ve $Kc=10$) kullanımının sabit eşik parametresi ($T=25$) kullanımına göre etkisinin PSNR sonuçları.	35
Şekil 4.10.	Lee ve Park [24]'in modelinde sabit ($T=25$) ve uyarlanabilir parametrelerin ($T_{eş}=30$, $\alpha=0,5$, $\beta u=2500$, $Kc=100$ ve $B_d=4$) kullanılması ile elde edilen görsel sonuçlar. a) doğru çerçeve b) sabit parametre kullanılan model c) önerilen blok yapısının ve parametrelerin modele uygulanmasının sonuçları.	36
Şekil 4.11.	Lee ve Park [24]'in modeline sabit ($T=25$) ve uyarlanabilir parametrelerin ($T_{eş}=30$, $\alpha=0,5$, $\beta u=2500$, $Kc=100$ ve $B_d=4$) uygulanması ile elde edilen PSNR sonuçları.	36
Şekil 4.12.	Lee ve Park [24]'in modeline sabit ($T=25$) ve uyarlanabilir parametrelerin ($T_{eş}=30$, $\alpha=0,5$, $\beta u=2500$, $Kc=100$ ve $B_d=4$) uygulanması ile elde edilen duyarlılık, kesinlik ve F-ölçütü sonuçları.	36
Şekil 4.13.	Önerilen yöntem ve diğer arka plan çıkartım tekniklerinin Li [44] ve Wallflower [45] veri setleri üzerinde karşılaştırılmasının görsel sonuçları.	38
Şekil 4.14.	Önerilen yöntem ve diğer arka plan çıkartım tekniklerinin Li [47] ve Wallflower [48] veri setleri üzerinde duyarlılık karşılaştırması.	40
Şekil 4.15.	Önerilen yöntem ve diğer arka plan çıkartım tekniklerinin Li [47] ve Wallflower [48] veri setleri üzerinde kesinlik karşılaştırması.	40
Şekil 4.16.	Önerilen yöntem ve diğer arka plan çıkartım tekniklerinin Li [47] ve Wallflower [48] veri setleri üzerinde F ölçütü karşılaştırması.	41
Şekil 4.17.	CDnet 2014 termal video veri seti [52].	42
Şekil 4.18.	CDnet 2014 dinamik arka plan video veri seti [52].	42
Şekil 4.19.	CDnet 2014 gölge video veri seti [52].	43
Şekil 4.20.	CDnet 2014 aralıklı nesne hareketi video veri seti [52].	43
Şekil 4.21.	CDnet 2014 kötü hava şartları video veri seti [52].	44
Şekil 4.22.	CDnet 2014 düşük çerçeve hızı video veri seti [52].	44
Şekil 4.23.	CDnet 2014 PTZ video veri seti [52].	45
Şekil 4.24.	CDnet 2014 kamera sallanması video veri seti [52].	45
Şekil 4.25.	CDnet 2014 temel görüntüler video veri seti [52].	46
Şekil 4.26.	CDnet 2014 hava türbülans video veri seti [52].	46

Şekil 4.27.	CDnet 2014 gece videoları veri seti [49].	47
Şekil 5.1.	Zynq 7000 mimari yapısı [60].	54
Şekil 5.2.	APU'nun yapısı [61].	55
Şekil 5.3.	ZC702 Zynq-7000 FPGA deneme kartı [63].	57
Şekil 5.4.	AXI4 yazma kanalı mimarisi [64].	58
Şekil 5.5.	AXI4 okuma kanalı mimarisi [64].	59
Şekil 5.6.	AXI4 akış mimarisi [64].	59
Şekil 5.7.	Zynq cihazı PL-PS port bağlantısı.	60
Şekil 5.8.	Donanım yazılım eş tasarımın akış şeması [68].	61
Şekil 5.9.	Vivado HLS genel giriş çıkış dosyaları[65].	62
Şekil 5.10.	Vivado Design Suite'de tasarım akışı [72].	64
Şekil 5.11.	FMC Imageon kartının yapısı [74].	65
Şekil 6.1.	Tasarımın genel yapısı.	67
Şekil 6.2.	AXI VDMA blok yapısı [72].	69
Şekil 6.3.	Vivado'da kullanılan AXI VDMA IP çekirdek yapısı [72].	69
Şekil 6.4.	Vivado Design Suite'de AXI VTC IP çekirdek yapısı.	70
Şekil 6.5.	Bir video karesinin zamanlama sinyallerinin gösterimi [75].	71
Şekil 6.6.	Dağıtım-toplama DMA transfer [79].	72
Şekil 6.7.	Vivado Design Suite'de video giriş AXI4 akış IP çekirdek yapısı.	73
Şekil 6.8.	Vivado Design Suite'de AXI4 akış video çıkış IP çekirdek yapısı.	74
Şekil 6.9.	RGB renk uzayının renk tekerleğinde renklerin oluşumu.	74
Şekil 6.10.	RGB Renk uzayı kartezyen koordinat sistemi.	75
Şekil 6.11.	YUV/YCbCr 4:4:4 [85].	76
Şekil 6.12.	YUV/YCbCr 4:2:2 [85].	77
Şekil 6.13.	YUV/YCbCr 4:2:0 [85].	77
Şekil 6.14.	YCbCr 4:2:2 video formatının Xilinx FMC imageon HDMI çıkışındaki yapısı.	78
Şekil 6.15.	Tasarımın giriş katı için akış şeması.	78
Şekil 6.16.	İki aralık arasındaki ölçekleme [85].	78
Şekil 6.17.	İki aralık arasındaki ölçekleme ve YUV 4:2:2 renk formatının Y gri ölçek dönüşüm lojik sinyal simülasyonu.	80
Şekil 6.18.	YUV 4:2:2'den gri ölçeğe çevirme Vivado HLS C doğrulaması a) giriş YUV 4:2:2 formatındaki resim b) gri ölçekli çıkış resmi ...	80
Şekil 6.19.	Gri ölçekli piksel değerlerinin DDR3 bellek alanına yerleştirilmesi.	82

Şekil 6.20.	nxm blok ölçeklendirici IP'nin veri akış şeması.	83
Şekil 6.21.	nxm IP çekirdeğinin 1 bayt çıkış vermesi için işlenecek veri grubu yapısı a) 2x2 blok, b) 4x4 blok, c) 6x6 blok ve d) 8x8 blok.	84
Şekil 6.22.	2x2 Blok IP çekirdeğinin lojik sinyal simülasyonu.	85
Şekil 6.23.	nxm blok ölçeklendirici IP çekirdeğinin Vivado HLS C test simülasyon sonuçları.	86
Şekil 6.24.	Piksel renk derinliğinin dönüşümü.	90
Şekil 6.25.	Tasarlanan arka plan IP çekirdeği.	90
Şekil 6.26.	Arka plan renk aralık uygunlaştırma lojik sinyal simülasyonu.	92
Şekil 6.27.	“frame_componenet” portu lojik sinyal simülasyonu.	93
Şekil 6.28.	“alfa” portu lojik sinyal simülasyonu	93
Şekil 6.29.	Önerilen arka plan modelinin histogram içeriği lojik sinyal doğrulaması.	94
Şekil 6.30.	Tasarımın çıkış katı için akış şeması.	94
Şekil 6.31.	Gri ölçek renk formatının YCbCr 4:2:2 renk formatına dönüşümü.	95
Şekil 6.32.	Gri ölçekden YCbCr 4:2:2 renk formatına dönüşüm lojik sinyal simülasyonu.	95
Şekil 6.33.	Vivado Design Suite'de yöntemin tasarımı.	98
Şekil 7.1.	ZC702 deneme kartının önerilen yöntemin 2x2 blok tabanlı gerçekleştirilmesinin görsel sonucu.	101
Şekil 7.2.	Önerilen yöntemin nxm IP çekirdek ölçülerine göre bir çerçeveyi işleme ve arka plan yapısının blok yapılı çerçeve işleme süreleri. .	102
Şekil 7.3.	nxm blok ölçüsüne göre algoritmanın çerçeveyi yürütme zamanı.	103
Şekil 7.4.	ZC702 deneme kartının enerji kestirimi.	104
Şekil 7.5.	ZC702 deneme kartının uygulama için kaynaklarının kullanımı. ..	104

ÇİZELGELER DİZİNİ

Sayfa

Çizelge 4.1.	Önerilen yöntemin CDnet 2014 veri setleri üzerindeki performansı.	47
Çizelge 4.2.	Önerilen yöntemin diğer yöntemlerle performansının karşılaştırılması.	51
Çizelge 5.1.	ZC702 Zynq-7000 FPGA deneme kartının özellikleri [60].	56
Çizelge 6.1.	YCbCr değerlerinden farklı renklerin elde edilmiş değerleri [83].	76
Çizelge 6.2.	16 bit YCbCr 4:2:2 renk formatını 8 bit gri ölçeğe dönüştüren IP çekirdeğin kaynak tüketimi.	81
Çizelge 6.3.	16 bit YCbCr 4:2:2 renk formatını 8 bit gri ölçeğe dönüştüren IP çekirdeğin performans özeti.	81
Çizelge 6.4.	nxm blok ölçülerine göre çıkış verileri için ihtiyaç duyulan bellek miktarı.	85
Çizelge 6.5.	nxm blok ölçeklendirici IP çekirdeğinin tahmini kaynak kullanımı.	87
Çizelge 6.6.	nxm blok ölçeklendirici IP çekirdeğinin performans özeti.	87
Çizelge 6.7.	Bir piksel için arka plan modelinde gerekli olan parametreler.	88
Çizelge 6.8.	“Data_pack” direktifi ile parametrelerin aynı portta birleştirilmesi.	89
Çizelge 6.9.	“Data_pack” direktifi ile parametrelerin aynı portta birleştirilmesi.	89
Çizelge 6.10.	Önerilen arka plan modeli kaynak kullanımı.	91
Çizelge 6.11.	Önerilen arka plan modeli performans özeti.	91
Çizelge 6.12.	Arka plan modelini oluşturacak IP çekirdeğe uygulanan piksel değerleri.	92
Çizelge 6.13.	Arka plan modelini oluşturacak IP çekirdeğe “Sayıcı_Ck” portuna uygulanan değerler.	92
Çizelge 6.14.	Gri ölçekden YCbCr 4:2:2 renk formatına dönüşüm IP çekirdeğinin kaynak tüketimi.	96
Çizelge 6.15.	Gri ölçekden YCbCr 4:2:2 renk formatına dönüşüm IP çekirdeğinin performans özeti.	96
Çizelge 7.1.	XSDK tasarım ortamında değişkenlerin DDR3 bellekteki başlangıç adresleri ve parametrelere ayrılan depolama miktarları.	100

SİMGELER VE KISALTMALAR DİZİNİ

SİMGELER

t	: zaman
I_t	: t anındaki çerçeve
I_{t-1}	: $t-1$ anındaki çerçeve
$I_t(x,y)$: t anında I çerçevesinin x, y konumundaki pikselin yoğunluk değeri
$I_{t-1}(x,y)$: $t-1$ anında I çerçevesinin x, y konumundaki pikselin yoğunluk değeri
T	: eşik değeri
$B_t(x,y)$: t anında arka plan
$B_{t-1}(x,y)$: $t-1$ anında arka plan
α	: arka plan model öğrenme parametresi
σ_t	: t anındaki standart sapma
σ_{t-1}	: $t-1$ anındaki standart sapma
K	: GMM'de dağılım sayısı
$P(x_t)$: t anındaki x pikselinin olasılık yoğunluk fonksiyonu
$\mu_{i,t}$: t anında i .Gauss bileşeninin ortalama değeri
$\Sigma_{i,t}$: t anında i .Gauss bileşeninin kovaryans matrisi
$\omega_{i,t}$: t anında i . Gauss brleşeninin ağırlık değeri
ρ	: GMM'de parametrelerin güncelleme parametresi
B	: GMM'de ağırlık derecelendirmedeki ilk b adet Gauss dağılımı
λ_-	: histerisiz alt eşik
λ_+	: histerisiz üst eşik
α_B	: arka plana ait güncelleme parametresi
α_F	: ön plana ait güncelleme parametresi
x_i	: gözlemiş piksellerin yoğunluk değerleri
x_t	: t anındaki pikselin yoğunluk değeri
$B_N(x_i)$: x_i pikselinin N adet piksele bağlı arka plan modeli

#min	: en az
$F(x_i)$: ön plan
$K(x)$: çekirdek fonksiyonu
dist	: iki değer arasındaki Öklid mesafesi
Dist	: iki değer arasındaki mutlak fark
$\hat{p}_t(x)$: t anında x pikselinin uygunlaştırılmış olasılık yoğunluk fonksiyonu
Bd	: d boyutlu histogtamın grup genişliği
G_t	: sigmoid fonksiyonuna bağlı öğrenme parametresi
Grad _t	: t anında Dist _t 'nin mutlak ortalaması
x_t^d	: t anında d boyutlu pikselin değeri
C_k	: histogram gruplarının merkez noktası
S_n	: n adet sayıcı sayısı
$\mu_{b,t}(x, y)$: t anında nxm bloğuna ait piksellerin ortalama değeri
$T_{eş}$: önerilen yöntemde gürültü eşik değeri
β_u	: önerilen yöntemde model uygunlaştırma parametresi
K_c	: önerilen yöntemde model öğrenme katsayısı
$s(x,y)$: piksel durum değişim ifadesi
CC_n	: n adet sayıcının sayabileceği en yüksek sayı değeri
$\tau(x,y)_{t-75}$: pikselin geçmiş yetmiş beş çerçevedeki toplam değişim sayısı
$\tau(x,y)_{t-50}$: pikselin geçmiş elli çerçevedeki toplam değişim sayısı
$\tau_t(x,y)$: bu tezde önerilen eşik parametresi
ns	: nano saniye
ms	: mili saniye
MHz	: mega hertz
Min	: minimum
Max	: maksimum

KISALTMALAR

- GMM : Gaussian Mixture Model (Gauss Karışımlar Modeli)
- NAD : Normalized Absolute Difference (Normalleştirilmiş Mutlak Fark)
- KDE : Kernel Density Estimation (Çekirdek Yoğunluk Kestirimi)
- PDF : Probability Density Function (Olasılık Yoğunluk Fonksiyonu)
- ViBe : Visual Background Extractor (Görsel Arka Plan Çıkarıcı)
- OpenCV: Open Source Computer Vision Library (Açık Kaynak Bilgisayar Görü Kütüphanesi)
- HD : High Definition (Yüksek Çözünürlüklü)
- VGA : Video Graphics Array (Video Grafik Dizini)
- FPGA : Field Programmable Gate Array (Alanda Programlanabilir Kapı Dizileri)
- CPU : Central Processing Unit (Merkezi İşlem Birimi)
- PS : Processing System (İşleme Sistemi)
- PL : Programmable Logic (Programlanabilir Mantık)
- APU : Application Processor Unit (Uygulama İşleme Birimi)
- MMU : Memory Management Unit (Bellek Yönetim Birimi)
- OCM : On Chip Memory (Çip Üzeri Bellek)
- KB : Kilo Bayt
- MB : Mega Bayt
- AXI : Advanced Extensible Interface (Gelişmiş Genişletilebilir Arayüz)
- BRAM : Block RAM (Blok Rasgele Erişimli Bellek)
- IP : Intellectual Property (Fikir Mülkiyeti)
- HLS : High Level Synthesis (Yüksek Seviye Sentez)
- RTL : Register Transfer Level (Kaydedici Transfer Seviyesi)
- XSDK : Xilinx Software Development Kit (Xilinx Yazılım Geliştirme Aracı)
- HDL : Hardware Description Language (Donanım Tanımlama Dili)
- FMC : FPGA Mezzanine Card (FPGA Ara Kat Kartı)
- VDMA : Video Direct Memory Access (Video Doğrudan Belleğe Erişim)
- CDMA : Central Direct Memory Access (Merkezi Doğrudan Belleğe Erişim)
- DDR : Double Data Rate (Çift Veri Hızlı)
- DSP48E: Digital Signal Processing Element (Sayısal Sinyal İşleme Elemanı)
- FF : Flip-Flop

- LUT : Look Up Table (Bakış Tablosu)
SoC : System on a Chip (Çip Üzerinde Sistem)
FPF : Frame Per Second (Saniyedeki Çerçeve Sayısı)



BÖLÜM 1

GİRİŞ

Son yıllarda, insandan bağımsız olarak çalışan video uygulamaları gittikçe önem kazanmaktadır. Bu uygulamalar özellikle trafik izleme, insan hareketlerinin analizi ve insan-bilgisayar etkileşimli sistemlerde sıkça kullanılmaktadırlar. Video uygulama ve analiz sisteminin temelini ve ilk basamağını oluşturan iki önemli unsur literatürde çokça birbirleri yerine kullanılmaktadırlar. Bunlar arka plan çıkartım ve arka plan modelleme teknikleridir. Arka plan çıkartım tekniği, hareketli ön plan nesnesinin, statik veya yarı statik arka plan nesnesinden ayrılmasını ifade etmektedir. Matematiksel modeli oluşturulan arka planın, güncellenme ve öğrenme aşamalarını içeren algoritma yapısı ise arka plan modelleme olarak ifade edilmektedir. Arka plan modeline uymayan değerler ön plan olarak değerlendirilirken, uyan değerler arka plan olarak değerlendirilir. Arka plan görsel olarak siyah renk ve matematiksel olarak 0 ile ifade edilirken ön plan nesnesi beyaz renk veya (1, 255) sayıları ile ifade edilmektedir.

Arka plan çıkartım bir sınıflama problemini de içerisinde barındırır. Bu problemin başarılı bir şekilde çözümünü sağlayacak olan ise oluşturulan arka plan modelinin güçlü yapısıdır. Arka plan modelleme yapısı literatürde parametrik veya parametrik olmayan yapılar olarak iki temel başlık altında toplanmıştır. Parametrik yapılarda oluşturulan matematiksel modelin parametrelerinin tahmini, bilinen istatistiksel parametre değerlerine bağlıdır. Parametrik olmayan yapıda ise verilerin herhangi bir dağılımı takip etmediği varsayılır. Parametrik yapıların gerçekleştirilmesi için verilerin depolanmasına ihtiyaç yoktur. Bu özellik parametrik yapıların güçlü özelliğidir. Fakat nesne belirleme yönünden zayıftırlar. Parametrik olmayan yöntemlerde ise verilerin belirli miktarının depolanma ihtiyacı bu yöntemin dezavantajı iken nesne belirleme başarısı bu yöntemin avantajıdır. Literatürde bu yöntemlerin dezavantajlarını ortadan kaldırmak için çeşitli öneriler mevcuttur.

Örneğin parametrik yapılarda parametrelerin en iyi şekilde kestirilebilmesi için beklenti maksimizasyonu yöntemi önerilirken, parametrik olmayan yöntemde depolama ihtiyacını en aza indirgeyecek uyarlanabilir mekanizmalar geliştirilmiştir.

Parametrik veya parametrik olmayan yöntemler mutlaka bir güncelleme mekanizmasına ihtiyaç duyar. Tercih edilecek güncelleme yöntemi, arka plan modelinin doğru bir şekilde oluşturulması için oldukça önemlidir. Çünkü model bu parametre değerine bağlı olarak oluşturulur.

Video analizinde bir nesneyi hareketli ön plan veya arka plan olarak değerlendirme aşaması, modelin bir eşik parametre değerine göre değerlendirilir. Eğer modelin matematiksel sonuç değeri, eşik parametre değerinden büyük ise ön plan nesnesi, küçük ise arka plan nesnesi olarak değerlendirilir. Bu parametre değeri çoğu yöntemde kullanıcı tecrübesine bağlı olarak sabit bir değer olarak belirlenir.

Bu tez çalışmasında iki temel amaç hedeflenmiştir. Birincisi, arka plan modelinin oluşturulmasında önemli bir yeri olan eşik ve güncelleme parametrelerinin tasarımlarını uyarlanabilir yapıda gerçekleştirmek. İkincisi, arka plan modeli için yüksek depolama alanı ihtiyacını asgari seviyeye indirerek, hem bilgisayar donanımı hem de sınırlı kaynaklara sahip bir donanım cihazı için uygun bir nesne belirleme sistemi gerçekleştirmektir.

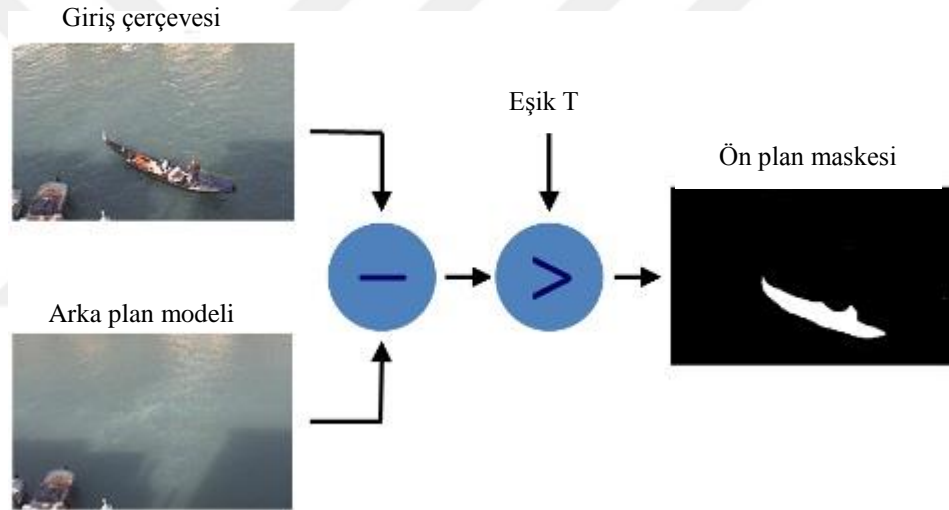
Çalışmada parametrik olmayan bir arka plan modeli blok tabanlı gerçekleştirilerek parametrik olmayan yöntemlerin depolama alanı ihtiyacı asgari seviyeye indirgenmeye çalışılmıştır. Tasarımda video bant genişliği ve işlem süresini azaltmak için arka plan modelinde tek renk kanalı kullanılmıştır. Eşik parametre ve güncelleme tekniğinde sayıcı yapısı kullanılarak hem fazla donanım kaynaklarının kullanımının hem de yoğun matematiksel algoritmalarla oluşabilecek zamansal gecikmelerin önüne geçilmiştir. Bilgisayar ortamında gerçekleştirilen tasarım, donanım cihazının sınırlı kaynaklara sahip olmasından dolayı çeşitli uygunlaştırmalarla donanım cihazında gerçekleştirilmiştir.

Bu çalışmada, önerilen yöntem hem bilgisayar donanımı hem de SoC (Çip üzerinde sistem) FPGA (Alanda Programlanabilir Kapı Dizileri) uygulama kartında gerçekleştirilmiştir. Bilgisayar donanımı üzerinde yapılan çalışmalar ikinci ve üçüncü bölümdür. Sonuç bölümü hariç sonraki üç bölüm SoC FPGA uygulama kartında yapılan çalışmalarla ilgilidir. Çalışmanın giriş bölümü temel bilgileri, ikinci bölümü literatür taraması ve benzer çalışmaları içermektedir. Bilgisayar donanımı üzerinde önerilen yöntemin, tasarımı, CDnet (changedetection.net) 2014, Wallflower ve Li veri setlerindeki performansı ile literatürdeki benzer yöntemlerle karşılaştırılması yapılmıştır. Altıncı bölümde, Vivado HLS aracı kullanılarak, Xilinx'in SoC FPGA'yı ZC702 deneme kartı için IP (Fikir Mülkiyeti) çekirdek tasarımları yapılmıştır. Yedinci bölümde ise bu kartın güç, performans ve kaynak kullanım analizleri yapılmıştır. Son bölümde ise sonuç ve öneriler yer almaktadır.

BÖLÜM 2

LİTERATÜR TARAMASI VE PROBLEMİN TANIMI

Bir video dizisinde, o anki giriş çerçevesi ve arka plan modelinin, bir eşik parametresi ile karşılaştırılması ön plan maskesinin (hareketli nesneye ait pikselleri içeren ikili resim) elde edilmesi ile sonuçlanır. Şekil 2.1, bu durumu özetler. Bu sonuç video analiz sistemlerinin temel ve ilk basamağıdır.

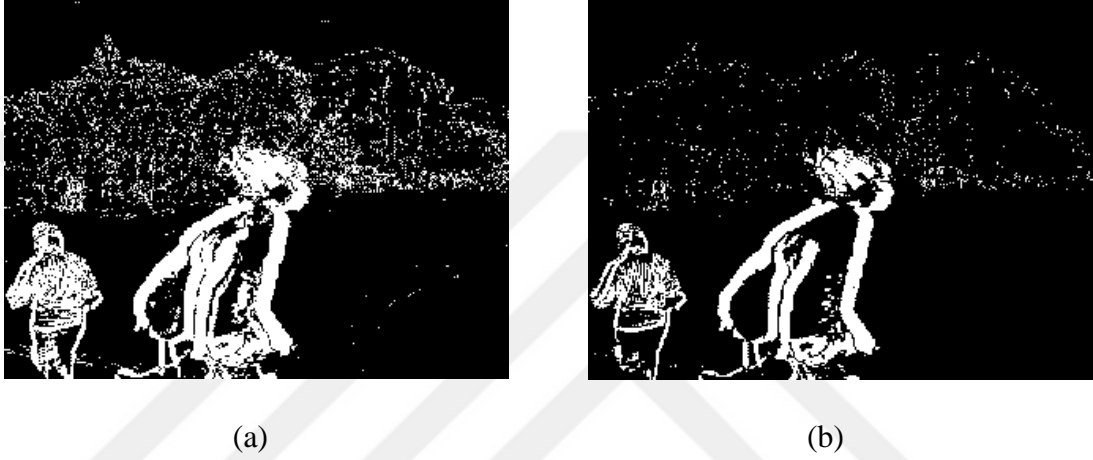


Şekil 2.1. Temel arka plan çıkartımı ile hareket belirleme [1].

Dinamik sahnelerde arka plan her zaman statik değildir. Bu sebeple ön plan nesnesinin kusursuz belirlenmesi, arka plan modelinin, belirli periyotlarla güncellenmesi ve eşik parametre değerinin uygun aralıklarda seçilmesine bağlıdır. Literatürde arka plan çıkartım teknikleri için çeşitli yöntemler önerilmiştir. Arka plan çıkartım tekniğinin en temel yapısı, çerçeve farkı yöntemi Eşitlik 2.1’de tanımlanmıştır. Burada ön plan maskesi $F_t(x, y)$ aşağıdaki kurala göre çıkartılır.

$$F_t(x, y) = \begin{cases} 1, & \text{Eğer } |I_t(x, y) - I_{t-1}(x, y)| > T \\ 0, & \text{Aksi halde} \end{cases} \quad (2.1)$$

Bu yöntemde, I_{t-1} (t-1 anındaki çerçeve) anındaki çerçevenin arka plan olduğu düşünülür ve I_t (t anındaki çerçeve) anındaki çerçeveden çıkartılır. Farkın mutlak değeri, bir T (eşik değeri) değeri ile karşılaştırılarak pikselin ön plan (1) veya arka plan (0) olup olmadığının kararına varılır. Bu yöntemde arka plan herhangi bir güncelleme mekanizması içermediğinden, yavaş hareket eden nesnelere karşı zayıftır. Ayrıca sonuçlar T değerine karşı aşırı duyarlıdır. Şekil 2.2’de çerçeve farkı yönteminin farklı eşik değerleri için ön plan çıkartım sonuçları verilmiştir.



Şekil 2.2. Çerçeve farkı yönteminin farklı eşik parametreleri için ön plan belirleme sonuçları, a) eşik değeri T=15, b) eşik değeri T=30.

Eşitlik 2.1’de eşik değeri uyarlanabilir olmadığından, modelin çevresel değişimlerden etkilenmesi kolaydır. Bu problemi çözmek için bir yolu, çevresel değişimleri eşik değerine eklemektir [2]. Mashak vd. dinamik arka plan içeren sahnelerde, ön planı daha iyi belirleyebilmek için çoklu eşikleme mekanizmasını kullanmışlardır [3]. Al-Smadi vd. ardışık çerçeve farklarının birikimli toplamlarını, dinamik eşik parametresi olarak kullanarak, arka plan olabilecek alanlarda azalan, ön plan alanlarında artan bir eşik parametre yapısı önermişlerdir [4-5].

Çevresel değişimlerle başa çıkabilmek için güncelleme mekanizmasına sahip en temel yaklaşım, yuvarlanan ortalama metodunda, arka plan öz yinelenmeli olarak oluşturulur.

$$B_t(x, y) = \alpha I_t(x, y) + (1 - \alpha) B_{t-1}(x, y) \quad (2.2)$$

Eşitlik 2.2’de B_t , t anındaki uyarlanabilir arka plan modelidir. I_t ise t anındaki çerçevedir. Model güncelleme parametresi α (alfa), $0 < \alpha < 1$ aralığında seçilir. α değeri 0’a yaklaştıkça örnekler modele yavaş eklenirken, 1’e yaklaştıkça daha hızlı eklenir. Yöntemde ön plan maskesi, Eşitlik 2.3 kullanılarak belirlenir.

$$F_t(x, y) = \begin{cases} 1, & \text{Eğer } |I_t(x, y) - B_{t-1}(x, y)| > T \\ 0, & \text{Aksi halde} \end{cases} \quad (2.3)$$

Wren vd. piksel değerini bir Gauss olasılık yoğunluk işevine uydurarak parametrik, uyarlanabilir arka plan yapısını önerdiler [6]. Bu yöntemde her piksel, μ (ortalama) ve σ (standat sapma) parametrelerine sahiptir. Bu parametreler yuvarlanan ortalama tekniğinde olduğu gibi özyinelemeli olarak güncellenirler.

$$\mu_t = \alpha I_{t-1} + (1 - \alpha)\mu_{t-1} \quad (2.4)$$

$$\sigma_t = (1 - \alpha)\sigma_{t-1} + \alpha(I_t - B_t)^2 \quad (2.5)$$

Bu modelde $|I_t - \mu_t| < k\sigma_t$ şartı sağlanırsa piksel arka plan, sağlanmazsa ön plan olarak değerlendirilir. Böylelikle eşik parametresi, σ değerine bağlı olarak, uyarlanabilir yapıda oluşturulmuştur. Bu modeli daha etkin kullanabilmek için çoklu parametre değerleri kullanılmış, ayrıca çoklu arka plan modelleri de oluşturulmuştur [7]. Koller vd. arka plan modelinin gün ışığına bağlı olarak değiştiğini varsayarak uyarlanabilir arka plan modeline, Kalman filtresini uygulayarak arka plan modelini oluşturmuşlardır. Şekil çıkarmada eşik değeri için görüntünün yön ve zaman türevini kullanmışlardır [8]. Rahman vd. sabit öğrenme parametrelili yuvarlanan ortalama metodunun, çevresel değişimlere karşı yapısını güçlendirmek için çerçeve farkı yöntemini kullanarak, eşik parametresini Otsu’nun eşikleme ile oluşturmuşlardır. Bu öneride modelin öğrenme parametresi, eşik parametresine bağlı olarak bölgelerin değişimi oranında uyarlanabilir yapıda tanımlanmıştır [9].

Tekli Gauss dağılımları modeli, modelin hesaplanma hızının düşük olmasına karşın, çoklu arka plan dağılımları ile başa çıkamaz. Çünkü dış ortamlarda, ışık ve çevre değişimlerine bağlı olarak piksel değeri birden fazla dağılımdan oluşabilir. Stauffer

ve Grimson, x pikselinin t anındaki yoğunluğunun gözlenme olasılığı $P(x_t)$ 'i, Eşitlik 2.6'da ağırlıklandırılmış K adet Gauss dağılımları toplamı ile tanımlamışlardır [10].

$$P(x_t) = \sum_{i=1}^K \omega_{i,t} \eta(x_t, \mu_{i,t}, \Sigma_{i,t}) \quad (2.6)$$

GMM (Gauss Karışımlar Modeli)'de, piksellerin kestirilen, ortalama değeri, $\mu_{i,t}$, kovaryans matrisi, $\Sigma_{i,t}$ ve ağırlık değeri $\omega_{i,t}$ sırası ile 2.7, 2.8 ve 2.9 Eşitlikleri ile uyarlanabilir yapıda oluşturulur. Bu yöntemde hesapsal yükü azaltmak için renk bileşenlerinin bağımsız olduğu farz edilerek kovaryans matrisinin köşegen olduğu varsayılır [10].

$$\hat{\mu}_{i,t} = (1 - \rho)\mu_{i,t-1} + \rho x_t \quad (2.7)$$

$$\hat{\sigma}_{i,t}^2 = (1 - \rho)\sigma_{i,t-1}^2 + \rho(x_t - \mu_{i,t})^T(x_t - \mu_{i,t}) \quad (2.8)$$

$$\hat{\omega}_{i,t} = (1 - \alpha)\omega_{i,t-1} + \alpha M_{k,t} \quad (2.9)$$

Burada α model güncelleme parametresidir. ρ (ro) parametrelerin güncellenmesi için öğrenme oranıdır. Bu yöntemde parametrelerin güncellenmesi için o anki piksel değeri, modelin var olan ortalama değerinden farkı, $|x_t - \mu_{t-1}| < k\sigma_{t-1}$ değerinde küçükse eşleşme olduğu düşünülür. Eşleşme yoksa sadece ağırlık değerleri güncellenir. Bir pikselin ön plan veya arka plana ait olup olmadığını belirlemek için Eşitlik 2.10'a göre ilk b adet dağılımın ağırlık değerleri toplamı, T değeri ile karşılaştırılır. K adet dağılımdan geri kalanın ise ön plana ait olduğu varsayılır. Eğer x_t , dağılımlardan birisiyle eşleşmediyse en düşük ağırlıklı bileşen değerleriyle yeniden yapılandırılır [10].

$$B = \operatorname{argmin}_b \sum_i^b \omega_{i,t} > T) \quad (2.10)$$

Power ve Schoonees, Stauffer ve Grimson'un temel önerilerine, eşleşme için normalleştirilmiş piksel sapmaları λ_- (histerisiz alt eşik)'den küçükse ön plan,

λ_+ (histerisiz üst eşik)'dan büyükse arka plan olarak değerlendiren histerezis eşikleme yöntemleri kullanılmışlardır [11]. İki çerçeve arasındaki varyans değerlerini ele alarak eşik parametresini uyarlanabilir yapılarda oluşturan önerilerde mevcuttur [12]. Temel GMM modelinin güncellenmesinde sabit sayıda bileşen kullanılmıştır. KaewTraKulPong ve Bowden, K ortalama kümelendirme metodunu temel alarak farklı güncelleme parametreleri ile modeli oluşturmuşlardır [13]. Chan vd. GMM'nin model güncelleme parametrelerinde α_B (arka plana ait güncelleme parametresi) ve α_F (ön plana ait güncelleme parametresi) gibi iki farklı parametre ile arka planın kurulum süresini azaltan ve ön planın kalıcılığını arttıran $\alpha_B > \alpha_F$ yapısını kullanmışlardır [14]. Liu ve Qi, GMM'nin adaptasyon hızının belirlenmesi için hipotez testine bağlı model güncellenme stratejisi belirlediler [15]. GMM yönteminde nesnelerin daha doğru belirlenmesi için Markov rastgele alanları, uyarlanabilir eşikleme olarak sisteme adapte etmek, modelin daha iyi değerler üretmesi için geçerli yöntemlerden biridir [16]. Yadav ve Singh ön planı belirlemek için sabit bir eşik değeri kullanmak yerine, Kullback-Leibler ıraksama değerini sabit bir sayı ile çarparak iki ardışık piksel arasındaki uzaklığı eşik değeri olarak kullanmışlardır [17]. Chen ve Ellis, GMM parametrelerinin güncellenmesinde, her Gauss bileşenin modele katkısını sayan bir sayıcı ile ani değişimlerde modelin ani değişikliklere daha hızlı adaptasyonunu sağlayacak bir model güncelleme yapısı önerdiler [18]. Yang vd. dinamik sahnelerde sabit eşik parametresi kullanmanın negatif etkilerini en aza indirmek için çerçeve hızına bağlı bir eşik parametresi kullanmışlardır [19]. Deng ve Guo eşik değerini renk değişim eşiği ve belirli bir alandaki piksellerin değişim miktarlarının toplamı olarak belirlemişlerdir [20]. Bazı çalışmalarda ise gri seviye görüntü üzerine uygulanabilen Otsu eşikleme yöntemleri kullanılmıştır. Jing vd., video sahnedeki ön plan nesnesinin varlığını belirleyebilmek için arka plan modeli ve çerçeveler arasında NAD (Normalleştirilmiş Mutlak Fark) değerini kullanmışlardır. Bu yöntemde sahne hareketli bir cisim içeriyorsa NAD değeri artan, içermiyorsa 0'a yaklaşan bir değer alır. Otsu metodunu, modelin eşleşmeden sonra her renk kanalına uygulanarak fark resmini ikili görüntüye dönüştürecek eşik değerini bulmak için kullanmışlardır [21].

Parametrik olmayan KDE (Çekirdek Yoğunluk Kestirim) metodunda, geçmiş $x_1, x_2, x_3 \dots x_N$ adet pikselin olasılık yoğunluk fonksiyonunu, KDE ile olasılıksal olarak hesaplanır [22].

$$P(x_t) = \frac{1}{n} \sum_{i=1}^n K(x_t - x_i) \quad (2.11)$$

Burada K çekirdek yoğunluk kestiricisini, x_t , t anındaki pikselin yoğunluğunu ve x_i gözlemlenmiş piksellerin yoğunluğunu ifade etmektedir [22]. Eşitlik 2.11 göz önüne alındığında, $P(x_t) < T$ durumunda piksel ön plan olarak değerlendirilir. Elgammal vd. parametrik olmayan arka plan modelini güncellemek için uzun terimli model ve kısa terimli model yapısını kullanmışlardır. Kısa terimli model sahnenin en yeni verilerini içerir ve seçici güncelleme tekniğini kullanır. Uzun terimli model ise sahne değişimlerine yavaş adapte olur ve kör güncelleme yapısındadır. Bu iki güncelleme modeli melez olarak arka plan modelinin güncellenmesinde kullanılır [22]. Tanaka vd. PDF (Olasılık Yoğunluk Fonksiyonu) olarak parzen penceresini kullanmışlar ve PDF'nin kestiriminin hesapsal yükünü azaltmak için önceki çerçevedeki PDF'yi kullanmışlar. Sahnedeki değişimlere hızlı bir şekilde adapte olan arka plan güncelleme önerisinde de bulunmuşlardır [23]. KDE'nin hesapsal yükünü azaltmak için arka planı histogram yapısında modelleyerek, o anki pikselin değerinin histogramdaki grup aralığının merkezlerine olan uzaklıklarının ortalamaları ile dinamik bir eşik parametresi oluşturan KDE modeli de mevcuttur [24].

Droogenbroeck ve Barnich'nin önerdikleri ViBe (Görsel Arka Plan Çıkarıcı) adlı parametrik olmayan arka plan çıkartım tekniğinde, arka plan modeli, gözlenmiş N adet piksel değeri ile modellenir [25-26].

$$B(x_i) = \{B_1(x_i), \dots, B_k(x_i), \dots, B_N(x_i)\} \quad (2.12)$$

Eşitlik 2.12'de x_i pikselinin, piksel değeri $I(x_i)$ dir. Bu metotta, $I(x_i)$ 'nin N adet arka plan değerinden farkı, belirli bir karar verme eşiği T den küçük olma sayısı, belirlenen #min (en az)'den az ise piksel ön plan, değilse arka plan olarak değerlendirilir [26]:

Eşitlik 2.13'te $F(x_i)$, ön plan maskesidir. Burada T , yeni piksel değerini, piksel örnekleri ile karşılaştırmak için kullanılan eşik parametresidir.

$$F(x_i) = \begin{cases} 1 & \text{Eğer } \#\{\text{dist}(I(x_i), B_N(x_i)) < T\} \# \min \\ 0 & \text{Aksi halde} \end{cases} \quad (2.13)$$

ViBe arka plan modelinde, model rastgele yerine koyma metodu ile güncellenir. Pikseller ve model arasındaki benzerlik Öklid mesafesi ile ölçülür [26]. ViBe'nin performansını arttırmak için her eşleşmeden sonra o anki piksel ve arka plan pikselleri arasındaki mesafenin ortalaması hesaplanır. Ortalama değer T değeri ile ilişkilendirerek ön plan eşleşmeleri için artan, eşleşme olmadığında kararlı kalan uyarlanabilir bir eşik değeri oluşturulur [27]. Böylece dinamik alanlarda daha başarılı sonuçlar elde edilir. Hoffman vd. o anki piksel ve arka plan modelindeki piksellerin toplam minimum mesafelerinin ortalaması ile T değerini belirlemişlerdir [28]. Çevresel gürültüleri dikkate alarak sabit T değerini, uyarlanabilir eşik değerine dönüştüren önerilerde mevcuttur [29].

Karmaşık arka plan problemi ile başa çıkmayı amaçlayan çalışmalardan birisinde kod çizelgesi yöntemidir. Kim vd. kod çizelgesi (codebook) olarak adlandırılan yapıyı gerçek zamanlı uygulamalar için sunmuşlardır. Bu yapıda her pikselin örnek arka plan değeri, kod çizelgesi içerisine nicelenir. Belirli periyotlarla bu kodlar güncellenir. Yapıda uzun süre erişilmeyen kodlar kod çizelgesinden çıkartılır. Kod çizelgesini oluşturan temel bileşenlere kod sözcükleri denir. Kod çizelgesi oluşturulurken kod sözcüklerinden faydalanılır [30]. Kod çizelgesinin her sahne için uygun öğrenme hızını bulmak zor olduğundan kod kelimelerinin oluşum sıklığını, öğrenme parametresi olarak kullanmak iyi bir tercihtir. Daha iyi sınıflama yapmak, modelin bellek ve işlem miktarını azaltmak için blok tabanlı kod çizelgesi yöntemi etkili bir yöntemdir [31].

Samanta ve Paul video dizilerinde kenar belirleme için resimlerin yönlü ortalama, varyans ve entropi değerlerinden oluşan uyarlanabilir bir eşik parametresi tanımlamışlardır [32]. Karasulu ve Körükoğlu nesne belirlemek için entropi tabanlı eşik ve adaptasyon parametrelerini kullanarak arka plan modelinin performansını

arttıran bir çalışma yaptılar [33]. Saundrapandiyan ve Moili kızılötesi görüntülerde hareketli nesnelere belirlemek ve arka plan gürültülerini bastırmak için eşik değerini Gauss dağılımının parametreleri ile tanımlamışlardır [34]. Amoto vd., arka plan modeli için çerçeveler arasındaki Öklid mesafesini ve renklerin açısız uzaklıklarını kullanarak blok tabanlı bir arka plan çıkartım tekniği önermişlerdir [35]. Wang ve Suter, arka plan modelinin güncellenmesinde seçici güncelleme tekniği kullanmışlar ve bir pikselin ne kadar süre ile ön plan olarak sınıflandırıldığını ölçülendirmişlerdir. Bu değer belirli bir eşik değerinden büyük olduğunda pikseli arka plan olarak sınıflandırmışlardır [36].

Literatür çalışmasında, arka plan çıkartım tekniklerinin gürbüzlüğünü arttırmada etkili olan arka plan eşik parametresi ve model güncelleme parametrelerinin uyarlanabilir yapıda gerçekleştirilmesine yönelik yoğun çalışmalar yapıldığı görülmektedir. Bu tez çalışmasında arka plan eşik ve model güncelleme parametreleri, arka plan modellerinin parametrelerinden bağımsız olarak uyarlanabilir yapıda gerçekleştirilmiştir. Bu parametrelerin hesaplanmasında sayıcı tabanlı yöntem kullanılmış ve sisteme hesapsal olarak yük getirmeyecek, gerçek zamanlı yapılara uygun bir tasarım gerçekleştirilmiştir. Böylece, arka plan çıkartım tekniklerinin performanslarının artırılması amaçlanmıştır.

BÖLÜM 3

ARKA PLAN MODEL UYGUNLAŞTIRMA VE PARAMETRELERİN TASARIMLARI

Arka plan deęişimlerine hızlı bir şekilde uyum sağlayabilen, piksel tabanlı parametrik olmayan KDE temelli yaklaşımlar, yoğunluk fonksiyonlarını doğrudan örnek verilerden elde ederler [22]. Bu metotlar piksellere ait arka plan modellemesinde herhangi bir varsayımda bulunmadığından, arka plandaki çoklu dağılımlarla başa çıkabilir. KDE'nin iyi bir model doğruluęu vermesine karşın bu yöntemlerin gerçek zamanlı yapılara uygulanabilmesi için bazı problemlerinin çözüme kavuşturulması gereklidir. Bunlar, yoğunluk fonksiyonunun hesaplanabilmesi için N sayıdaki geçmiş piksel deęerinin bellek alanında depolanması gereklilięinden, fazla depolama alanına ihtiyaç duyulması bir dięeri matematiksel hesaplamalar için harcanan zamandır.

Dinamik arka plan içeren video görüntülerinden, hareketli nesnelerin belirlenebilmesi bütün arka plan çıkartım yöntemleri için zor bir görevdir. Çünkü piksel deęerleri kararlı bir davranış göstermezler. Sahnenin farklı alanlarında farklı davranış gösteren piksellere uygulanacak genel eşik ve güncelleme parametreleri sonuçları da olumsuz etkileyecektir. Literatürde bazı yaklaşımlar, piksellerin özelliklerini veya farklı yöntemleri melez kullanarak bu parametreler için en uygun deęerleri belirlemeye çalışmışlardır.

Bu bölümde, bu tezde kullanılacak KDE yapılı arka plan modelinin, uzun işlem süresi ve ihtiyaç duyduğu depolama alanını azaltmak için blok tabanlı uygunlaştırma yöntemi gerçekleştirilecektir [37]. Uygunlaştırma metodu uygulanan arka plan çıkartım teknięinin, ön plan nesnesini belirleme aşamasındaki davranışı incelenecektir. Ayrıca arka plan uyarlanabilir eşik ve güncelleme parametrelerinin

tasarımları gerçekleştirilerek, bu parametrelerin uygunlaştırılan arka plan modeline uyarlanması yapılacaktır [37-39]. Yöntem, Microsoft Visual Studio 2010 programında openCV kütüphanesi kullanılarak C++ ile gerçekleştirilecektir.

3.1. UYARLANABİLİR PARAMETRİK OLMAYAN ARKA PLAN MODELİ

Parametrik olmayan KDE metodu, Elgammal vd. tarafından önerilmiş, literatürde popüler arka plan çıkartım yöntemidir. Bu yöntem, pikselin N geçmiş çerçevedeki yoğunluk değerlerini kullanarak, t zamanındaki değerini parametrik olmayan bir yöntemle kestirimini yapar. Her pikselin t zamanındaki KDE'si aşağıdaki eşitlikle hesaplanır [22].

$$p(x) = \frac{1}{n} \sum_{t=1}^n K(x - x_t) \quad (3.1)$$

n, pikselin çerçevelerde gözlemlenmiş toplam sayısı, x_t , t zamanında gözlemlenmiş değeridir. $p(x)$, x örneğinde merkezleştirilmiş normal yoğunluğun ortalamasıdır. Çekirdek fonksiyonu $K(x)$ şu şartları sağlamalıdır.

$$1. \int K(x)dx = 1, \quad (3.2)$$

$$2. \int xK(x)dx = 0 \quad (3.3)$$

$$3. K(x) > 0 \quad (3.4)$$

Tipik olarak normal dağılımda çekirdek fonksiyonu $N(0,1)$ ($N(\mu, \sigma)$)'dir. Bu yöntemde arka plan modelinin kestiriminden önce çok sayıda video çerçevesinin depolanması gereklidir. Bu durum çok fazla depolama alanı gerektirir. Bu problemi aşmak için Lee ve Park, KDE modelini uygunlaştırmışlardır. Bu metotta, modeldeki her piksel değeri, t zamanında, Gauss çekirdek fonksiyonu kullanılarak, olasılık değerlerinin birikimli toplamları ile oluşturulur [24].

$$p_t(x) = \hat{p}_{t-1}(x) + \frac{1}{G_t \sqrt{2\pi\sigma^2}} \exp\left(-\frac{1}{2}\left(\frac{x-x_t}{\sigma}\right)^2\right) \quad (3.5)$$

Eşitlik 3.5'te $p_t(x)$, x örneğinin t zamanında gözlemlenmiş yoğunluk değeridir. G_t , sigmoid model öğrenme hızı, $\hat{p}_{t-1}(x)$, $p(x)$ 'in normalize edilmiş olasılık değeri ve σ , bant genişliğidir. Çekirdek fonksiyonun Eşitlik 3.2'deki durumu için;

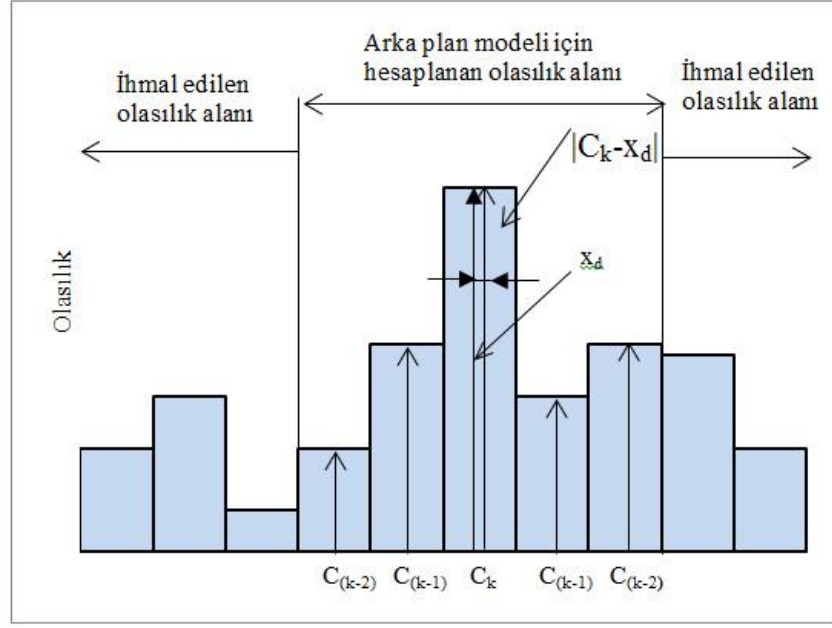
$$\hat{p}_t(x) = p_t(x) / \sum_{x=0}^N p_t(x) \quad (3.6)$$

Eşitlik 3.6 kullanılarak olasılık yoğunluk fonksiyonu normalize edilir. Orijinal KDE arka plan modelinin histogram tabanlı benzetimi Eşitlik 3.7 kullanılarak ifade edilir [24].

$$p_t^d(C_k) = \hat{p}_{t-1}^d(x) + \frac{1}{G_t \sqrt{2\pi} (B_d/2)^2} \exp\left(-\frac{1}{2} \left(\frac{C_k - x_t^d}{B_d/2}\right)^2\right) \quad (3.7)$$

Eşitlik 3.7'de d , piksellere ait renk bant sayısıdır. B_d , d boyutlu histogramın grup genişliğidir. x_t^d , d boyutlu pikselin giriş değeri, C_k , histogramdaki her bir grup genişliğinin merkez noktasıdır. Bu yaklaşımda, video çerçevesindeki piksellerin histogramdaki her grup üyelikleri, 1 veya 0 olarak değil, grup merkezlerine olan uzaklık değerleri oranında değerlendirilir. Her pikselin histogramdaki hangi gruba ait olduğunu belirlemek ve işlem karmaşıklığını azaltmak için giriş pikselinin değeri grup genişlik değerine bölünür. Örneğin eğer giriş değeri 0 ile 255 arasında değer alıyorsa, giriş değeri 160 değerini almışsa ve grup genişliği 4 ise pikselin $160/4 = 40$. gruba ait olduğu belirlenir [24].

Arka plan modeli için olasılık hesaplanırken, gözlemlenen verilerin grup aralıklarına olan uzaklıkları belirli uzaklıktan sonra olasılık değerlerini hızlı bir şekilde minimum değere ulaşacağından model KDE'sinin olasılığı, grupların tamamıyla değil, $B_d/2$ 'ye eşit gruplarla hesaplanır. Eğer piksel değeri x^d , ait olduğu en yakın grup merkezi C_k ve $B_d = 4$ ise sadece arka plan güncellenmesi histogramın $P_t^d(C_{(k-2)}) \sim P_t^d(C_{(k+2)})$ aralığında gerçekleşir [24]. Bu güncelleme aralığı Şekil 3.1'de gösterilmiştir.



Şekil 3.1. Histogramdaki grupların güncellenme aralığı [24].

Arka plan modelinde en yüksek olasılık değerine sahip, d boyutlu histogramların grup merkezi C_k^d , d boyutlu x^d değerinden çıkartılır ve aralarındaki mesafe Eşitlik 3.8’de kullanılan $Dist_d$ ile bulunur [24].

$$Dist_d = \min(C_k^d - x^d) \quad (3.8)$$

B_d ve $Dist_d$ Eşitlik 3.9’da karşılaştırılarak ön plan maskesi çıkartılır.

$$F_t(x) = \begin{cases} 1 & \text{Eğer } \sum_{d=1}^3 \left(\frac{|Dist_d|}{1+Grad_{t-1,d}} \right) > \sum_{d=1}^3 B_d x^d \\ Grad_t = (G_t - 1)xGrad_{t-1,d}/G_t + wx|Dist_d|/G_t \\ 0 & \text{Aksi halde} \\ Grad_t = (G_t - 1)xGrad_{t-1,d}/G_t + |Dist_d|/G_t \end{cases} \quad (3.9)$$

Eşitlik 3.9’da $F_t(x)$ ön plan maskesidir. $Grad_t$, t zamanında $Dist$ ’in ortalama değeridir. Bu teknikte her yeni örnek G_t parametresi oranında modele dahil edilir. Modelin adaptasyon hızı, G_t parametresine bağlıdır.

3.2. UYARLANABİLİR EŞİK PARAMETRE TASARIMI

Arka plan çıkartım yöntemlerinin hepsi video çerçevelerindeki görüntüyü ön plan veya arka plan olarak görüntüyü iki sınıfa ayırabilmek için mutlaka bir eşik parametre değeri kullanır. Bu parametre değerleri kullanıcıların tecrübelerine bağlı olarak belirlenebileceği gibi, görüntü üzerindeki birçok özellikten faydalanılarak da elde edilebilir. Görüntüye bağlı birden fazla özelliğin veya tekrarlı yöntemlerin kullanılması etkili çözümler sunar fakat uygulanacak sisteme hem depolama hem de matematiksel olarak bir yük getirir.

Dinamik sahnelerde, video görüntülerine ait piksel özellikleri değişken değerler alır. Bu değerler sahnenin gürültülü alanlarında kararsızken, hareket oluşumunun az olduğu yerlerde daha karardır. Video sahnesinin farklı alanlarında piksel özelliklerinin değişkenlik göstermesi arka plan çıkartım tekniklerinde göz önüne alınması gereken bir durumdur. Özellikle ön plan belirleme aşamasında kullanılan eşik parametre değeri, tekniklerin performansını doğrudan etkiler. Literatür incelendiğinde, eşik parametre değeri, arka plan çıkartım tekniklerinin performansını arttırmak için uyarlanabilir yapıda tasarlandıkları görülmektedir. Piksellerdeki değişimi referans olarak oluşturulan eşik parametre değeri, kendini video sahnesinin farklı alanlarına uyarlayabilmelidir.

Bu tez çalışmasında, Casares vd. çalışmalarında kullandıkları sayıcı yapısı, sınırlı kaynaklara sahip cihazlar göz önüne alınarak yoğun matematiksel işlem ve fazla depolama alanı gerektirmeyecek şekilde uyarlanabilir eşik parametre ve güncelleme parametresi olarak tasarlanmıştır [40]. Casares vd.'nin yönteminde pikselin durum değişimi, çerçeve farkı yöntemi kullanılarak Eşitlik 3.10'la belirlenir.

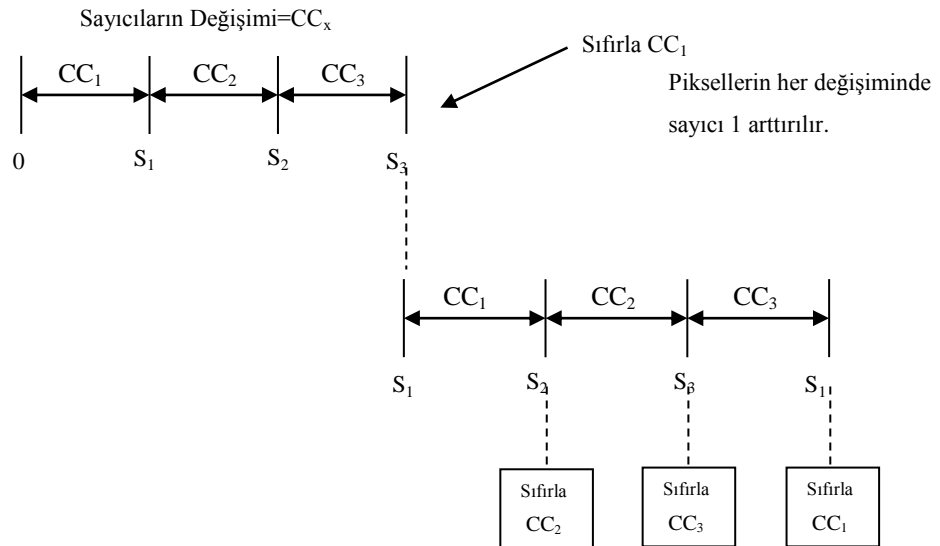
$$|I_t(x, y) - I_{t-1}(x, y)| > T \quad (3.10)$$

Eşitlik 3.11'e göre her pikselin durum değişimi 0 veya 1 olarak ifade edilir. Eşitlikte $s(x, y)$, piksellerin durum değişimini belirlemek için kullanılan parametredir.

$$s(x, y) = \begin{cases} 1 & \text{Eğer } |I_t(x, y) - I_{t-1}(x, y)| > T \\ 0 & \text{Aksi halde} \end{cases} \quad (3.11)$$

Her piksele ait 4 adet sayıcı, geçmiş (t-100) çerçevedeki değişim miktarını sayar. 100. çerçevenin sonunda sayıcılar her 25 çerçevede bir sırayla sıfırlanır. Böylece t-100 ve t aralığında bir pikselin kaç kere durum değiştirdiği hem hızlı hem de fazladan depolama alanı gerektirmeden bulunur. Eğer bir pikselin durumu t anında 1 ve (t+1) anında 0 ise veya tersi durumda değişim olarak kabul edilir. Bu duruma göre ilgili piksel, çerçeve numarası dikkate alınarak ilgili sayıcı değeri 1 arttırılır. Bu yöntemde karalı alanlarda sayıcıların değeri 0'a yaklaşırken gürültülü alanlarda artma eğilimi gösterir [40].

Bu tezde her piksel için 3 tane sayıcı vardır. Sayıcı sayısı S_n , $n \in \{1,2,3\}$, sayıcıların sayabileceği maksimum değer CC_n , $n \in \{1,2,3\}$ ile gösterilir. Eşik parametresinin oluşumunda modelin yakın geçmişe ait durum bilgilerini değerlendirmesi için her sayıcının sayabileceği maksimum değer 25 olarak belirlenmiştir. Piksellerin son yetmiş beş ve son elli geçmişteki durum değişiminin belirleyebilmek için bir piksele ait 3 sayıcı, durum değişimlerini sırayla sayarlar. Bu sayıcıların yapısı Şekil 3.2'de görülmektedir.



Şekil 3.2. Eşik parametresi için tasarlanan sayıcı yapısı [40].

Uyarlanabilir eşik parametresi için son 75 çerçevedeki toplam değişim sayısı Eşitlik 3.12 kullanılarak hesaplanır.

$$\tau(x, y)_{t-75} = CC_1(x, y)_t + CC_2(x, y)_t + CC_3(x, y)_t \quad (3.12)$$

Burada $\tau(x, y)_{t-75}$ t anında (x,y) konumundaki pikselin geçmiş 75 çerçevedeki toplam değişim sayısıdır. Yani sayıcıların içeriklerinin toplamıdır. $\tau(x, y)_{t-75}$ 'in değeri dinamik bölgelerde yüksek, statik bölgelerde düşük olur. $\tau(x, y)_{t-75}$ 'in sayıcı içeriklerindeki değerlerin sıfırlanması sonucu oluşacak ani değişimleri engellemek için Eşitlik 3.13 ile sayıcı toplamları, α oranında artan ve azalan fonksiyona dönüştürülür.

$$\tau_t(x, y) = (\alpha)\tau_{t-75}(x, y) + (1 - \alpha)\tau_{t-1}(x, y) \quad (3.13)$$

Arka plan çıkartım tekniklerinde ön plan veya arka plan sınıflarının oluşabilmesi için eşik parametre değerinin belirli bir değere sahip olması gereklidir. τ_t 'in kararlı bölgelerde 0'a ulaşması bir problem oluşturur. Bu problemin ortadan kaldırılması ve gürültülerden modeli korumak için uyarlanabilir eşik parametresi ile birlikte gürültü eşik değeri Eşitlik 3.14'te olduğu gibi ön plan maskesinin çıkartımı için kullanılır. Bu tezde gürültü eşik parametresi “ T_{es} ” olarak adlandırılmıştır.

$$|I_t(x, y) - B_{t-1}(x, y)| > \tau_t(x, y) + T_{es} \quad (3.14)$$

Önerilen arka plan eşik değeri, kendini çevresel koşullara ve video çerçevesinin farklı alanlarına farklı değerlerle uyarlayabilir. Böylece arka plan çıkartım teknikleri üzerinde kullanılabilir, etkili bir eşik parametre değeri elde edilir. Gürültü eşik parametresi T_{es} sabit bir değer olduğundan kullanıcı tarafından sezgisel veya çeşitli arka plan performans ölçüm değerleri ile belirlenebilir.

3.3. ARKA PLAN MODEL GÜNCELLEME PARAMETRESİNİN TASARIMI

Arka plan modelinin oluşturulmasında kullanılan seçici ve kör yöntemleri önemli iki güncelleme tekniğidir. Seçici güncelleme tekniğinde örnek setleri sadece arka plan ise modele eklenir ön plan ise eklenmez. Bu metodun eşitliği 3.15'te verilmiştir.

$$B_t(x, y) = \begin{cases} \alpha I_t(x, y) + (1 - \alpha)B_{t-1}(x, y) & \text{Eğer } I_t(x, y) \text{ arka plan ise} \\ B_{t-1}(x, y) & \text{Aksi halde} \end{cases} \quad (3.15)$$

Kör güncelleme tekniğinde ise yeni örnekler pikselin ön plan veya arka plan olmasına bakılmaksızın Eşitlik 3.16 kullanılarak modele eklenir.

$$B_t(x, y) = \alpha I_t(x, y) + (1 - \alpha)B_{t-1}(x, y) \quad (3.16)$$

Bu eşitliklerde kullanılan α sayısı önemli bir parametredir. α sayısının büyüklüğü modelin çevresel değişimlere adaptasyon hızını belirler. Bu parametre genellikle kullanıcıların deneyimlerine bağlı olarak belirlenir. Arka plan modelinin sabit α parametresine göre oluşturulması dinamik sahnelerde modelin yanlış oluşmasına sebep olur. Seçici güncelleme tekniği hedefin belirlenmesinde oldukça etkilidir fakat veri örneklerin modele eklenmemesinden dolayı kitlenmeler oluşur. Kör güncellemede bu durum oluşmaz fakat α parametre değerinin küçük seçilmesi yanlış arka planların oluşmasına, büyük seçilmesi yanlış ön planların oluşmasına sebep olur. Bu tezde arka plan güncellenmesi kör güncelleme yöntemi ile yapılmıştır.

Arka plan modelinin çevresel değişimlere uyum sağlaması doğru bir sınıflama yapması için önemlidir. Literatürde bu parametre için çerçevenin değişim oranına göre çoklu parametre değerleri kullanılmıştır. Casares vd. bu değişim oranını geçmiş 50 çerçeveye göre değerlendirmişlerdir. Eğer geçmiş elli çerçevedeki piksel durum değişim miktarı 2'den az ise alanı güvenli olarak değerlendirip Eşitlik 3.18'i, 2'den çoksa alanı güvensiz olarak değerlendirip Eşitlik 3.19'u kullanarak arka plan modelini güncellemişlerdir. Bu eşitliklerle yeni piksel değerleri arka plan modeline, değişim az ise yüksek, değişim çoksa düşük oranda eklenir [40].

$$B_t(x, y) = B_{t-1}(x, y) * 0.5 + 0,5 * I_t(x, y) \quad (3.18)$$

$$B_t(x, y) = B_{t-1}(x, y) * 0.95 + 0,05 * I_t(x, y) \quad (3.19)$$

Dinamik sahnelerde hızlı adaptasyon gürültülü sınıflandırmaya yol açar [18]. Yavaş adaptasyonlarda ise arka plan modeli, büyük değişimlerle başa çıkamayabilir. Yeni piksel değerlerini oransal olarak modele dahil etmek en etkili yöntemdir. Bu tezde, bu durum göz önüne alınarak arka plan modelini güncellemek için geçmiş elli çerçevedeki piksellerin durum değişim sayısı, modelin güncellemesinde doğrudan bir parametre olarak kullanır. Parametre, pikselin durum değişimine göre kendisini arttırıp azalttığı için Eşitlikler 3.18 ve 3.19'daki model güncellemelerini yapmak için ayrıca bir koşul ifadesine ihtiyaç duymaz. Bu tezde hangi sayıcı grubunun değişimi sayması gerektiğini belirleyen çerçeve sayısı sayıcısı “F_s” olarak adlandırılmıştır.

$$\lambda_{t-50} = \begin{cases} CC_2(x, y)_t + CC_3(x, y)_t & \text{Eğer } F_s < 26 \\ CC_1(x, y)_t + CC_3(x, y)_t & \text{Eğer } F_s \geq 26 \text{ ve } F_s < 51 \\ CC_1(x, y)_t + CC_2(x, y)_t & \text{Eğer } F_s \geq 51 \text{ ve } F_s < 76 \end{cases} \quad (3.20)$$

λ_{t-50} parametresi, arka plan modellerine güncelleme parametresi olarak doğrudan veya arka plan çıkartım tekniğine bağlı olarak bir katsayı ile birlikte kullanılabilir.

3.4. MODEL UYGUNLAŞTIRMA VE MODELE PARAMETRELERİN UYARLANMASI

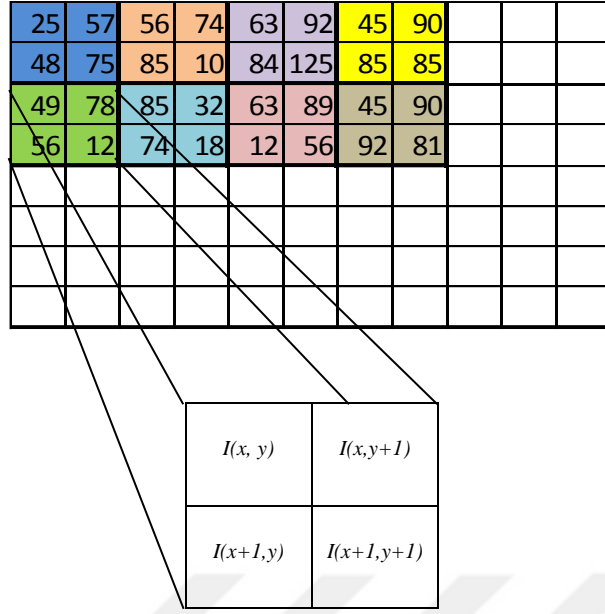
Ekran çözünürlüğü bir resmi veya bir video çerçevesindeki piksellerin sayısıdır. 1080p FullHD (High Definition, Yüksek Çözünürlüklü) bir video çerçevesinde bu sayı 1920x1080 iken VGA (Video Graphics Array, Video Grafik Dizini) için 640x480'dir. Ekran çözünürlük değeri arttıkça hem piksellerle yapılan matematiksel işlemler hem de depolama alanı ihtiyacı artmaktadır. Özellikle KDE yöntemlerinin hem uzun işlem zamanı hem de depolama alanı ihtiyacının fazla olması, yüksek çözünürlüklü çerçevelerde tasarımcılara bir dezavantaj oluşturur.

Arka plan çıkartım algoritmalarında depolama alanı ve işlem yükünü azaltmak için piksellerin gri ölçek bilgisiyle işlem yapılır. Ancak gri ölçekte işlem yapmanın dezavantajlarından biriside sahnede oluşan gürültülere karşı arka plan modelinin açık olmasıdır. Süper piksel sınıflama, bu dezavantajları ortadan kaldıracak bir çözümdür [40-43]. Bu yöntem literatürde çoğu zaman blok tabanlı olarak da adlandırılır. Yöntemde pikseller konumsal olarak gruplanır ve grubun tamamını temsil edecek piksel değeri veya değerleri ile işlem yapılır [44-45].

Video çerçevesinde birbirine komşu pikseller benzer özellik gösterir [37]. Bu özellik bu tez çalışmasında KDE arka plan modelleme yöntemlerinin uzun işlem zamanı ve fazla depolama ihtiyacını azaltmak için kullanılacaktır [37-39]. Kullanılacak teknikte, video çerçevesindeki piksellerin ortalamaları, çakışmayan $n \times m$ bloklar halinde Eşitlik 3.21 kullanılarak ifade edilecektir. Bu çalışmada ortalama alma metodunun kullanılmasının sebebi sistemin performansını etkileyecek karmaşık bir işlem içermemesidir. Bu işlem aynı zamanda modelin çevresel gürültülere olan bağışıklığını da arttırmaktır.

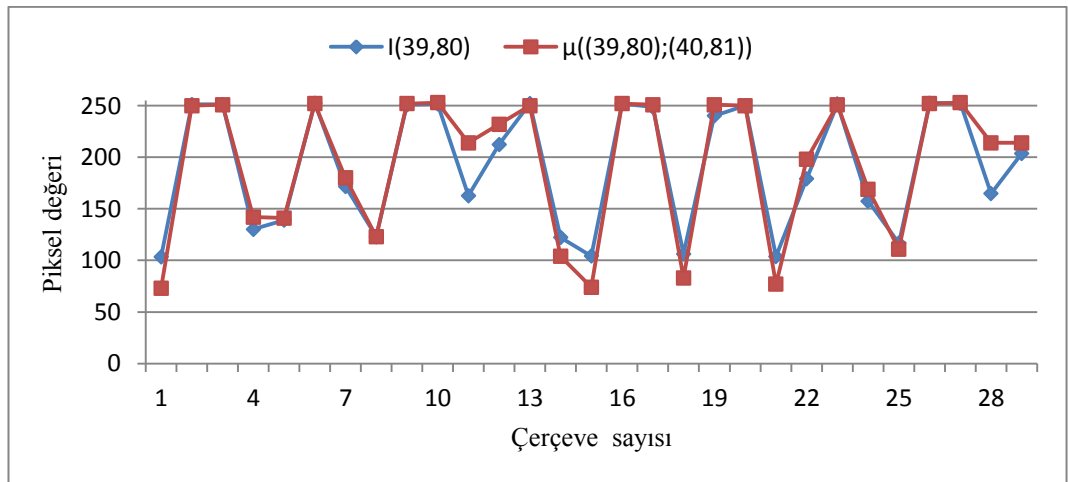
$$\mu_b(x, y) = \frac{1}{n \times m} \sum_{x=0}^n \sum_{y=0}^m I(x, y) \quad (3.21)$$

Bir ekran çözünürlüğü N satır ve M sütundan oluşuyorsa, Eşitlik 3.21'de n ve m değerleri, $N \times M$ çözünürlüklü çerçeveden oluşturulacak her bir bloğun n satır, m sütun sayısını göstermektedir. $\mu_b(x, y)$ ise blokların ortalama değeridir. Kullanıcıların isteği oranında bu bloklar 2×2 , 3×3 , gibi ölçülerinde oluşturulur. Eğer video çerçevesi 1920×1080 pikselden oluşursa, 2×2 blok için çerçeve 480×270 ölçülerinde yeniden oluşturulur. Şekil 3.3'te, 2×2 çakışmayan blok yapısı gösterilmektedir.



Şekil 3.3. Çerçevenin 2x2 blok yapısı.

Şekil 3.4'te, gri seviyedeki bir video görüntünün, belirli bir pikselinin değeri ve o pikselin bulunduğu konumda oluşturulan 2x2 blok ölçülerindeki grubun ortalama değerinin davranışı belirli bir zaman aralığında gösterilmiştir.



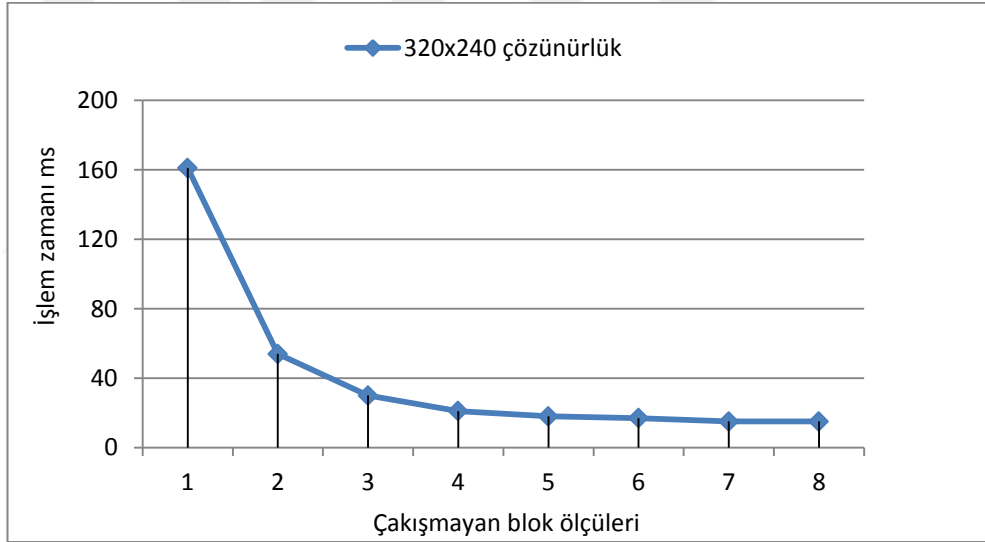
Şekil 3.4. Gri ölçekte piksellerin, piksel tabanlı $I(39,40)$ ve 2x2 blok yapısı $\mu_b((39,80), (40,81))$ konumundaki pikseller için davranışı.

Şekil 3.4'te, 2x2 blok tabanlı yapının aldığı değerler, piksel tabanlı değerlere göre daha yumuşak geçişlere sahiptir. Böylece $n \times m$ blok yapısı görüntü üzerinde oluşacak

gürültü miktarını azaltır. Eşitlik 3.21, Lee ve Park'ın (3.7) eşitliğine uygulanırsa Eşitlik 3.22 elde edilir.

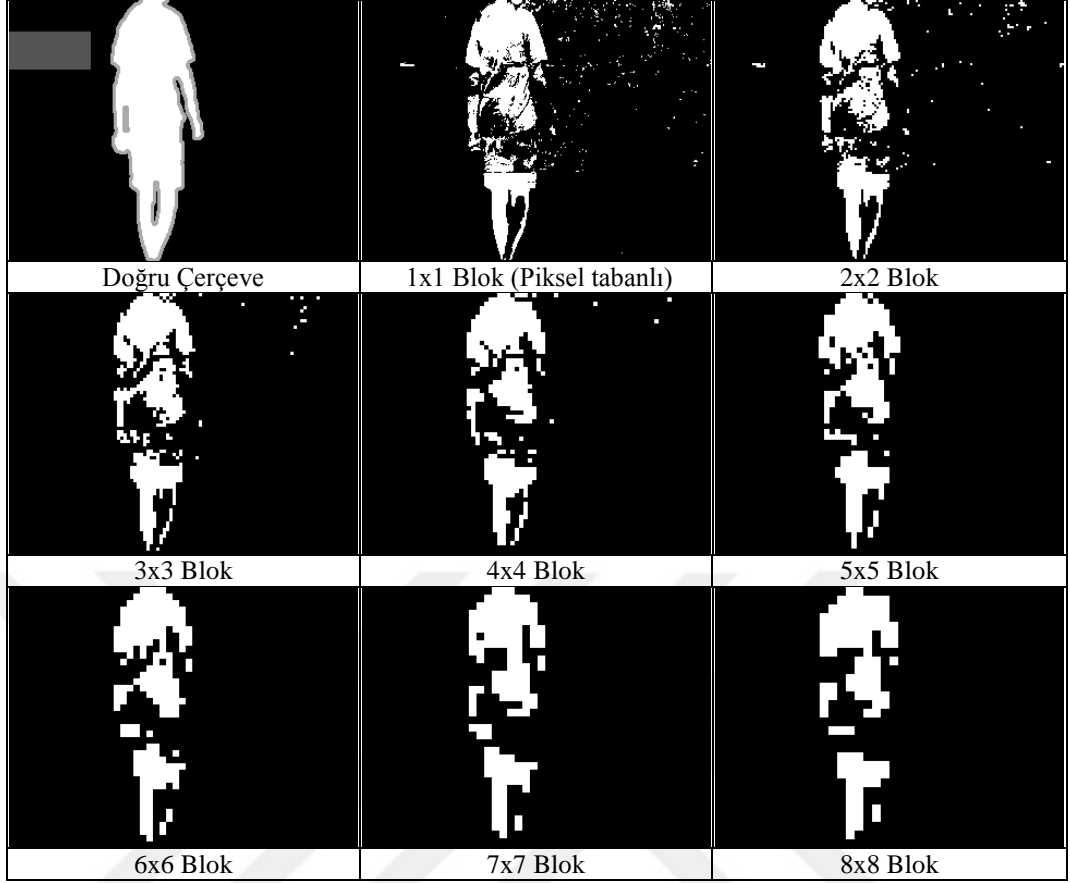
$$p_t(C_k) = \hat{p}_{t-1}(x) + \frac{1}{\sqrt{2\pi}(B_d/2)^2} \exp\left(-\frac{1}{2}\left(\frac{C_k - \mu_{b,t}(x,y)}{B_d/2}\right)^2\right) \quad (3.22)$$

Eşitlik 3.7'de ifade edilen piksel tabanlı arka plan modeli, Eşitlik 3.22'de nxm blok tabanlı yapıya dönüştürülür. Eşitlik 3.22 ile parametrik olmayan KDE yapılı arka plan modeline ait işlem süresi azaltılır. Önerilen nxm blok tabanlı arka plan modelinin farklı blok ölçülerine göre 2,1 GHz i3 işlemciye sahip bir dizüstü bilgisayarda 320x240 çözünürlüklü çerçevenin işleme süresi Şekil 3.5'te gösterilmiştir.



Şekil 3.5. 320x240 çözünürlüklü çerçevede çakışmayan blok ölçüleri ve işlem zamanı arasındaki ilişki (2, 2x2, 8, 8x8).

Şekil 3.5'te, Eşitlik 3.22'ye göre oluşturulan arka plan modelinin, bir çerçevesinin işleme süresi, blok ölçülerinin artması ile azaldığı gösterilmiştir. Bu işlem, görüntü üzerinde elde edilen ön plan nesnesine ait ayrıntıların kaybolmasına sebep olur. Aşağıdaki Şekil 3.6, Eşitlik 3.22'ye göre oluşturulan arka plan modelinin farklı nxm blok ölçülerine göre ön plan maskelerinin belirlemesi arasındaki ilişkiyi göstermektedir.



Şekil 3.6. $n \times m$ blok ölçülerine göre ön plan belirleme (CDnet 2014 üst geçit test videosu 2400. çerçeve) [39].

Eşitlik 3.7’de ifade edilen Lee ve Park [24]’ın piksel tabanlı arka plan modeli, Eşitlik 3.21 kullanılarak blok tabanlı arka plan modeline dönüştürülür ve Eşitlik 3.20’deki uyarlanabilir güncelleme parametresinin bu modele uygulanması ile Eşitlik 3.23 elde edilir.

$$p_t(C_k) = \hat{p}_{t-1}(C_k) + \left(\frac{1}{\beta_u + K_c \lambda_{t-50}(x,y)} \right) x \frac{1}{\sqrt{2\pi(B_d/2)^2}} \exp \left(-\frac{1}{2} \left(\frac{C_k - \mu_{b,t}(x,y)}{B_d/2} \right)^2 \right) \quad (3.23)$$

Burada β_u bölümünün tanımsız olmasını önlemek için kullanılan uygunlaştırma parametresidir. K_c ise modele eklenecek örneklerin hızını belirleyen katsayıdır. Piksellerin kararsız olması $\lambda_{t-50}(x,y)$ değerini arttıracığından yeni örnekler modele yavaş eklenir. Böylece arka plan modeli daha gürbüz bir yapıya kavuşur. Tezin

bundan sonraki bölümlerinde Eşitlik 3.23'teki eşitlik kullanılarak arka plan modeli oluşturulacaktır.

Eşitlik 3.8 ve 3.9 incelendiğinde, C_k değeri histogramdaki gruptan en yüksek olasılığa sahip grubun ortalama değeridir. x^d , d boyutundaki pikselin değeridir. $Grad_t$ ise C_k ve x^d farkının uyarlanabilir ortalamasıdır. Ön plan veya arka plan ise $Dist_t$ nin $Grad_{t-1}$ 'e bölümünün $B_d x \gamma$ gibi bir eşik değeri ile karşılaştırılması ile belirlenir. Eğer piksel değeri ön plan ise $Grad_t$ değeri w gibi bir sayı ile çarpılarak çevresel değişikliklere adaptasyon hızı belirlenir. O halde bu eşitliği şöyle yorumlayabiliriz. Pikselin t anındaki değeri, pikselin t anındaki ortalama değerinden farkı bir eşik değeri ile karşılaştırılarak ön plan veya arka plan belirlenir.

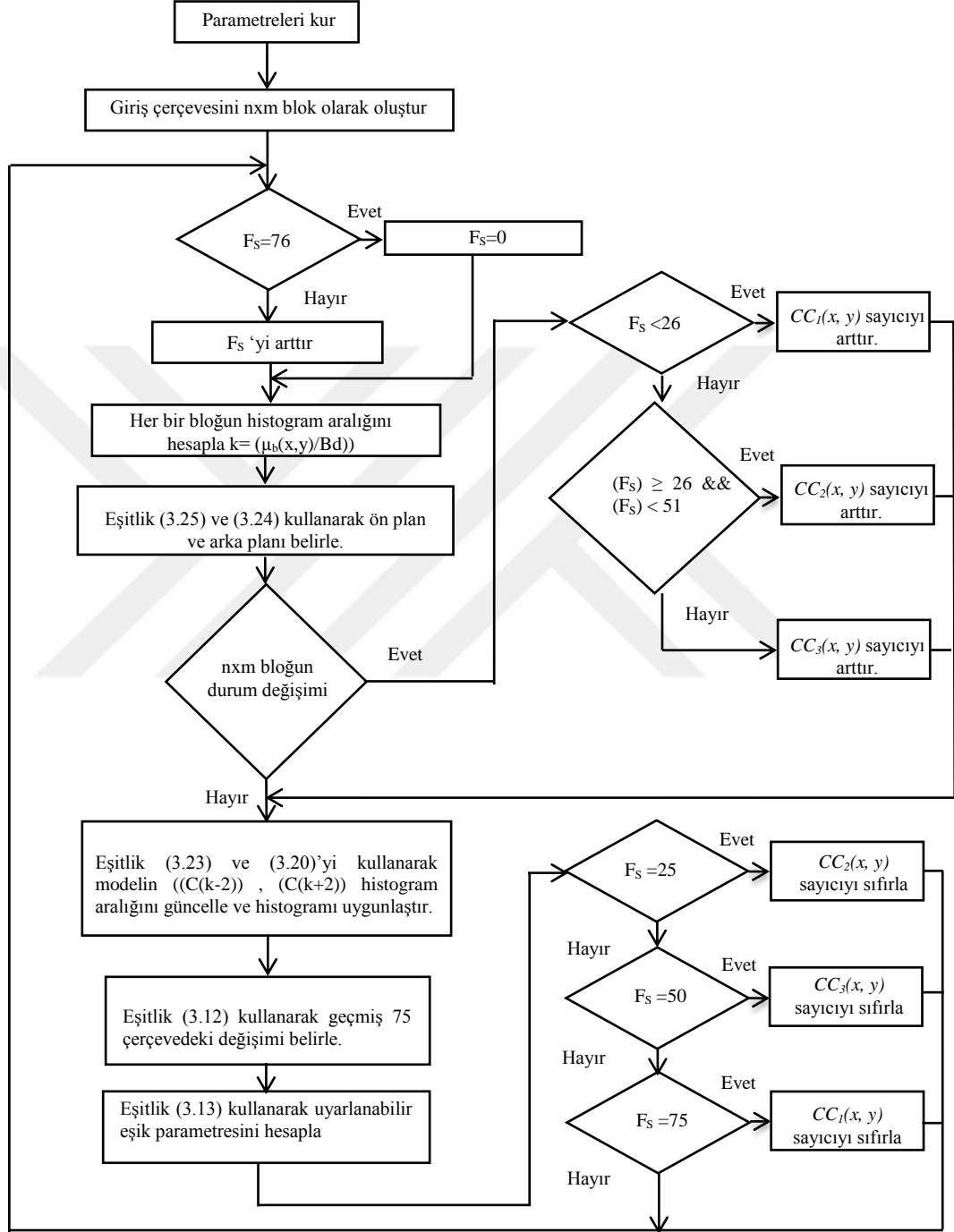
$$Dist = \min(C_k - \mu_{b,t}(x, y)) \quad (3.24)$$

$$F_t(x, y) = \begin{cases} 1 & \text{Eğer } Dist > T_{eş} + \tau_t(x, y) \\ 0 & \text{Aksi halde} \end{cases} \quad (3.25)$$

Bu tezde ön plan maskesi veya arka plan, gri ölçek pikseller için Eşitlikler 3.24 ve 3.25 kullanılarak belirlenecektir. Eşitlik 3.25'te piksellerin video çerçevelerinde aldıkları değerler kararsız ise eşik değeri artacaktır. Pikseller kararlı halde bulduklarında ise eşik değeri azalacaktır. Böylece çevresel değişimlere ve gürültülü alanlara uyum sağlayabilen uyarlanabilir eşik parametresi oluşturulur. Bu tezde önerile, nxm blok tabanlı arka plan yapısı, uyarlanabilir eşik ve güncelleme parametrelerinin yapısını içeren akış şeması parametrik olmayan KDE yöntemi için Şekil 3.7'de gösterilmiştir. Uyarlanabilir eşik ve güncelleme parametrelerinin başka metotlara uygulanmasında ise o metodun arka plan model yapısına uygun olarak parametreler kullanılacaktır.

İlk olarak girişten elde edilen video çerçevelerin piksel değerleri gri ölçeğe dönüştürülür. Gri ölçekli çerçeveler çakışmayan nxm blok yapısıyla yeniden oluşturulur. Bu bloklarda bir değişim olup olmadığı yani ön plan veya arka plan değişimi belirlenir. Eğer değişim belirlenirse ilgili sayıcı değeri bir arttırılır. Değişim yoksa herhangi bir değişim kaydedilmez. Piksel histogramları güncellenir.

Eşitlik 3.24 ve 3.25'e göre ön plan ve arka plan belirlenir. F_s (çerçeve sayıcı)'nin değerinin 25'in katlarına ulaşması ile ilgili sayıcılar sırasıyla sıfırlanır.



Şekil 3.7. Önerilen yöntemin akış şeması.

BÖLÜM 4

PERFORMANS ÖLÇÜMLERİ

4.1. PERFORMANS DEĞERLENDİRME ÖLÇÜTLERİ

Arka plan çıkarma yöntemlerinin performans değerlendirmesi, sınıflama kalitesini ölçer ve algoritmaların performansı için ortak bir ölçüt sağlar [46]. Literatürde çeşitli performans değerlendirme ölçütleri vardır. Bu tezde Li [47], Wallflower [48] ve CDnet 2014 [49] veri setleri için yaygın olarak kullanılan performans ölçütleri kullanılacaktır.

Bu bölümde, önerilen uyarlanabilir eşik ve güncelleme parametrelerinin, arka plan çıkartım yöntemleri üzerindeki performansları, literatürde yaygın biçimde kullanılan yuvarlanan ortalama ve zamansal medyan teknikleri ile uygunlaştırılan KDE tekniğine uygulanarak ölçülmüştür. Daha kapsamlı bir çalışma, uygunlaştırılmış KDE yöntemine önerilen parametrelerin uygulandığı teknik ile önerilen yapıyla benzerlik gösteren diğer arka plan çıkartım tekniklerinin performanslarının karşılaştırılmasıyla yapılmıştır.

Performans değerlendirme aşamasında, önerilen yöntemin video çıktı çerçevesi ile veri setlerinin referans video çerçevesi karşılaştırılır. Çıkış çerçevesinde ön plana ait pikseller beyaz, arka plana ait pikseller siyah olarak görüntülenir. Ön plan için doğru (true) arka plan için yanlış (false) tabiri kullanılır. Performans ölçülümü esnasında piksellerin dört farklı durum vardır.

1. TP (Doğru Pozitif): Doğru olarak belirlenmiş ön plan piksellerini ifade eder.
2. TN (Doğru Negatif): Doğru olarak sınıflandırılmış arka plan piksellerini ifade eder.

3. FP (Yanlış Pozitif): Yanlış olarak sınıflandırılmış ön plan piksellerini ifade eder.
4. FN (Yanlış Negatif): Yanlış olarak sınıflandırılmamış arka plan piksellerini ifade eder.

Performans ölçütleri:

$$Re \text{ (Duyarlılık)} = TP/(TP+FN) \quad (4.1)$$

$$Pr \text{ (Kesinlik)} = TP/(TP+FP) \quad (4.2)$$

$$F\text{-ölçütü (F1-skorlama)} = 2x(Pr \times Re) / (Pr+Re) \quad (4.3)$$

$$Sp \text{ (Belirlilik)} = FN/(TN+FP) \quad (4.4)$$

$$FPR \text{ (Yanlış Pozitif Oranı)} = TP/(NP+TN) \quad (4.5)$$

$$FNR \text{ (Yanlış Negatif Oranı)} = FN/(TN+FP) \quad (4.6)$$

$$PWC \text{ (Yanlış sınıflandırmanın Yüzdesi)} = 100(FN+FP)/(TP+FN+FP+TN) \quad (4.7)$$

$$PSNR(db) \text{ (Tepe Sinyal Gürültü Oranı)} = 10 \log(\max^2/mse) \quad (4.8)$$

Eşitlik 4.8’de verilen max değeri, pikselin alabileceği maksimum değeri olup, 8 bit için 255’dir. mse ise, $mse = \sum_{i=1}^x \sum_{j=1}^y \frac{|A_{ij}-B_{ij}|^2}{(x,y)}$ olarak formülize edilir. A değeri referans çerçeveyi, B ise önerilen yöntemin çıkış çerçeve değerleridir. PSNR değerinin büyüklüğü görüntünün kalitesini belirtir.

4.2. ÖNERİLEN PARAMETRELERİN ARKA PLAN TEKNİKLERİ ÜZERİNDEKİ ETKİSİ

Arka plan çıkarma modelleri, model yapıları bakımından farklılık göstermektedir. Temel yöntemler ani aydınlanma değişiklikleri, gölge ve su dalgalanması gibi arka plan modelinin yanlış oluşumunu etkileyecek tek bir durumun problemini çözmeye odaklandıklarından değişik durumlar karşısında farklı performans sergilerler. Bir yöntemin bütün veri setleri üzerinde başarılı olması ancak karmaşık algoritmalarla

mümkündür. Ancak bu yöntemlerinde gerçek zamanlı yapılarda uygulanabilir olması, çeşitli uygunlaştırmalarla mümkündür.

Arka plan çıkarma modellerinin değişik durumlar karşısında performanslarını arttırmak için uyarlanabilir eşik ve güncelleme parametreleri Bölüm 3'te önerilmiştir. Bu parametrelerin farklı arka plan çıkartım teknikleri üzerindeki performans etkilerini değerlendirebilmek için performans ölçütleri ve görsel sonuçlar kullanılmıştır.

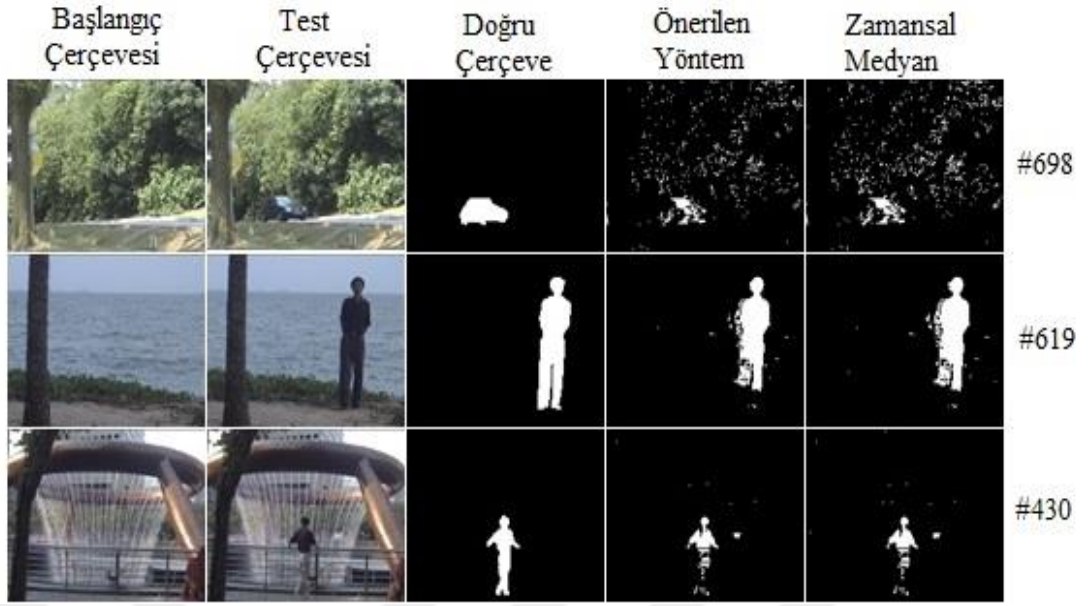
4.2.1. Önerilen Uyarlanabilir Eşik Parametre Yapısının Zamansal Medyan Tekniği Üzerindeki Etkisi

İlk olarak, önerilen uyarlanabilir eşik parametre yapısının performansı, literatürde çokça kullanılan arka plan çıkartım tekniklerinden, zamansal medyan tekniğe uygulayarak ölçülmüştür. Zamansal medyan tekniğinde, arka plan modeli, Eşitlik 4.9'da tanımlandığı gibi oluşturulur. Ön plan belirleme için Eşitlik 4.10 kullanılır.

$$B_t(x, y) = \begin{cases} B_{t-1}(x, y) + 1 & \text{Eğer } I_t(x, y) > B_{t-1}(x, y) \\ B_{t-1}(x, y) - 1 & \text{Eğer } I_t(x, y) < B_{t-1}(x, y) \\ B_t(x, y) = B_{t-1}(x, y) & \text{Aksi halde} \end{cases} \quad (4.9)$$

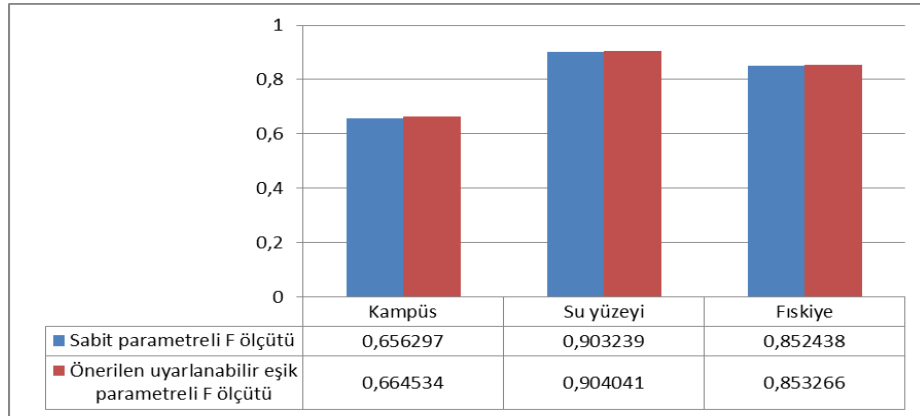
$$F_t(x, y) = \begin{cases} \text{Ön plan} & \text{Eğer } |B_{t-1}(x, y) - I_t(x, y)| > T \\ \text{Arka plan} & \text{Aksi halde} \end{cases} \quad (4.10)$$

Eşitlik 4.10'da test için zamansal medyan tekniğine uygulanacak eşik değeri, $T= 40$ 'tır. Önerilen modele uygulanacak eşik parametre değeri $T_{eş} = 40$ ve $\alpha = 0,5$ olarak ayarlanmıştır. Test için Li [47] veri setine ait üç adet test videosu kullanılmıştır. Şekil 4.1'de birinci satırdaki kampüs, ikinci satırdaki su yüzeyi ve üçüncü satırdaki fiske veri setleridir. Karşılaştırma için sırasıyla 698'inci, 619'uncu ve 430'uncu çerçeveler kullanılmıştır. Şekil 4.1 aynı zamanda, zamansal medyan tekniğine, hem önerilen uyarlanabilir eşik parametresi hem de sabit eşik parametresi kullanıldığında elde edilen test sonuç görselidir.

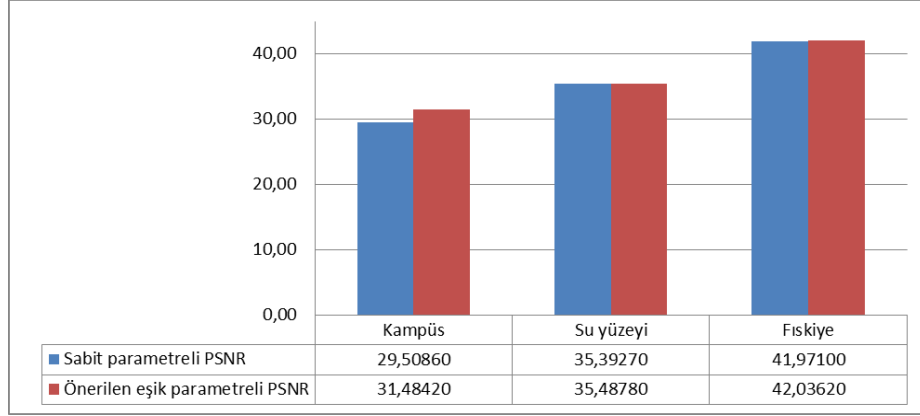


Şekil 4.1. Zamansal medyan tekniği üzerinde önerilen uyarlanabilir eşik parametresinin ($T_{es}=40$ ve $\alpha=0,5$) kullanımının sabit eşik parametresi ($T=40$) kullanımına göre etkisinin görsel sonuçları.

Şekiller 4.2 ve 4.3 sırasıyla yöntemin, önerilen eşik parametrelili ve sabit parametrelili kullanımına göre F-ölçütü ve PSNR sonuçlarını göstermektedir.



Şekil 4.2. Zamansal medyan tekniği üzerinde önerilen uyarlanabilir eşik parametresinin ($T_{es}=40$ ve $\alpha=0,5$) kullanımının sabit eşik parametresi ($T=40$) kullanımına göre etkisinin F-ölçütü sonuçları.



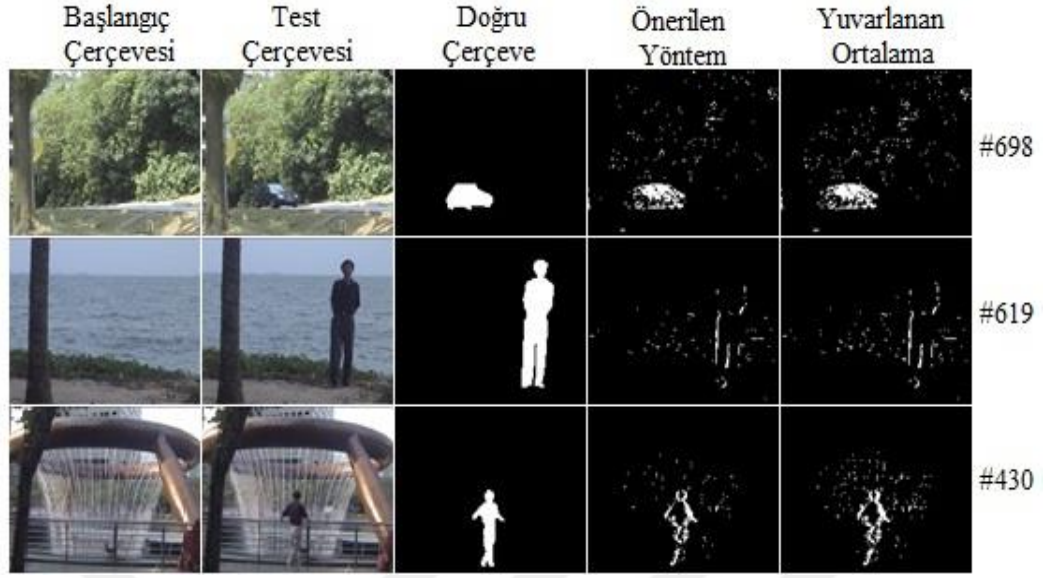
Şekil 4.3. Zamansal medyan tekniği üzerinde önerilen uyarlanabilir eşik parametresinin ($T_{eş}=40$ ve $\alpha= 0,5$) kullanımının sabit eşik parametresi ($T=40$) kullanımına göre etkisinin PSNR sonuçları.

F-ölçüm ve PSNR sonuçlarını incelediğimizde, önerilen eşik parametresinin zamansal medyan yöntemine uygulanması, yöntemin performans sonuçlarını arttırmıştır.

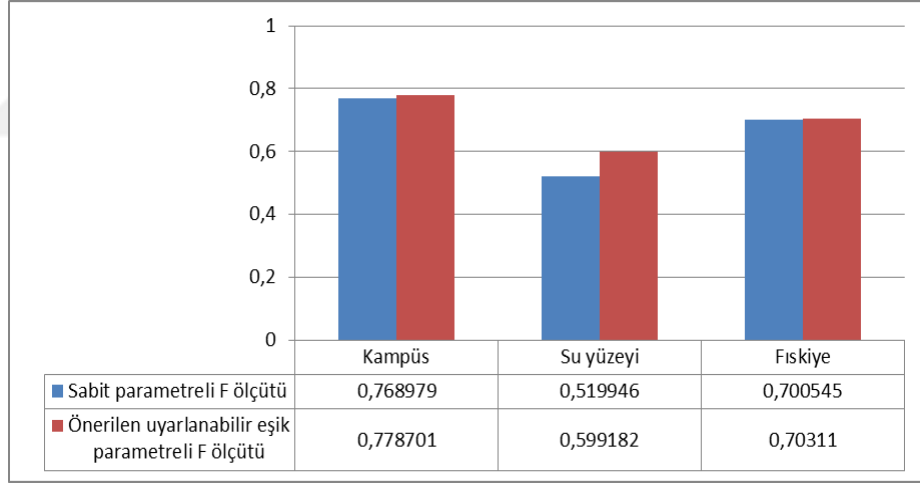
4.2.2. Önerilen Uyarlanabilir Eşik Parametre Yapısının Yuvarlanan Ortalama Tekniği Üzerindeki Etkisi

Yuvarlanan ortalama tekniğinde, arka plan Eşitlik 2.2 kullanılarak belirlenir. Ön planın belirlenmesinde ise Eşitlik 2.3 kullanılacaktır. Test videosu zamansal medyan tekniğinde kullanılan test videoları olacaktır.

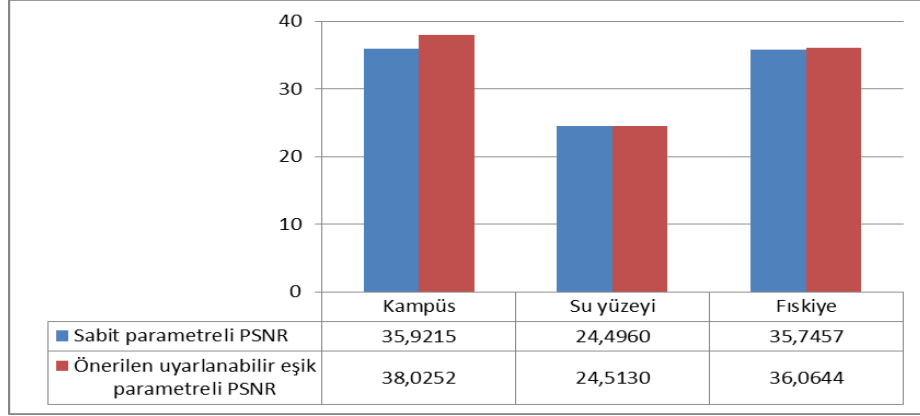
Test için yuvarlanan ortalamalar tekniğine uygulanacak eşik değeri $T= 40$ 'tır. Eşitlik 2.2'de α değeri $0,5$ 'tir. Önerilen modelin eşik parametresi $T_{eş}= 40$ ve $\alpha= 0,5$ olarak ayarlanmıştır. Aşağıdaki Şekil 4.4'te yuvarlanan ortalama tekniğine sabit ve önerilen uyarlanabilir eşik parametrelerinin uygulandığı durumdaki görsel sonuçlar görülmektedir. Bu karşılaştırmanın F ölçütü sonuçları Şekil 4.5'te ve PSNR sonuçları Şekil 4.6'da verilmiştir.



Şekil 4.4. Yuvarlanan ortalama tekniği üzerinde önerilen uyarlanabilir eşik parametresinin ($T_{eş}=40$ ve $\alpha=0,5$) kullanımının sabit eşik parametresi ($T=40$) kullanımına göre etkisinin görsel sonuçları.



Şekil 4.5. Yuvarlanan ortalama tekniği üzerinde önerilen uyarlanabilir eşik parametresinin ($T_{eş}=40$ ve $\alpha=0,5$) kullanımının sabit eşik parametresi ($T=40$) kullanımına göre etkisinin F-ölçütü sonuçları.



Şekil 4.6. Yuvarlanan ortalama tekniği üzerinde önerilen uyarlanabilir eşik parametresinin ($T_{eş}=40$ ve $\alpha=0,5$) kullanımının sabit eşik parametresi ($T=40$) kullanımına göre etkisinin PSNR sonuçları.

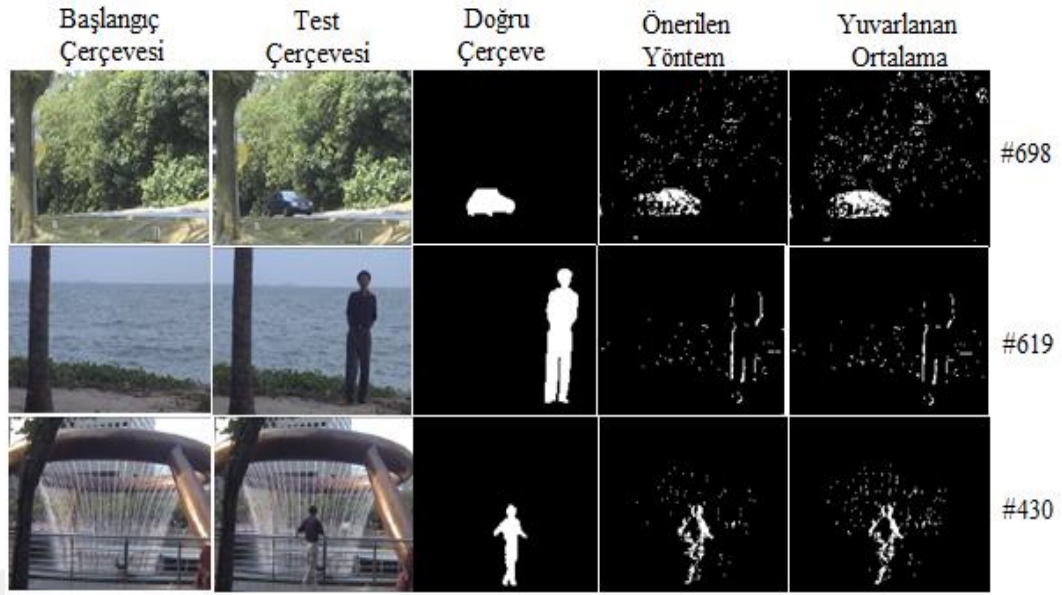
Önerilen uyarlanabilir eşik parametresinin yuvarlanan ortalama tekniğine uygulanması hem F-ölçütü hem de PSNR değerlerini arttırmıştır. Ayrıca bu parametrenin farklı teknikler üzerindeki etkisinin de farklı olduğu görülmektedir.

4.2.3. Eşik ve Güncelleme Parametrelerinin Yuvarlanan Ortalama Tekniği Üzerindeki Etkisi

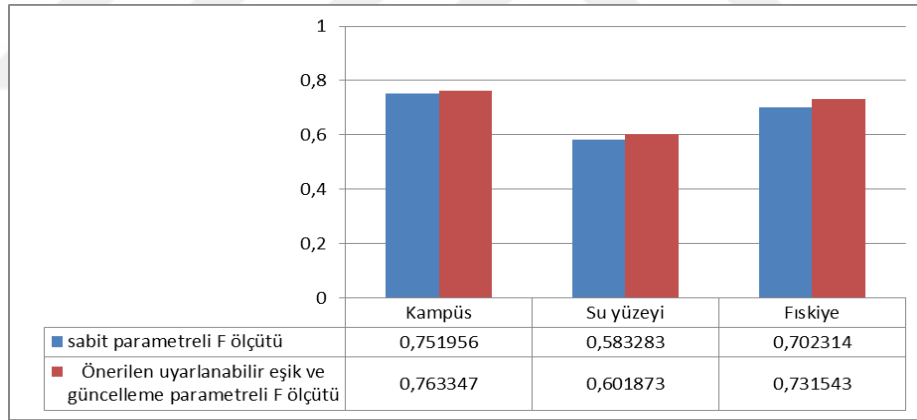
Yuvarlanan ortalama yöntemine, önerilen model güncelleme parametresi uyarlanırsa Eşitlik 4.12 elde edilir.

$$B_t(x, y) = B_{t-1}(x, y) * (1 - 1/(\beta_u + K_c * \lambda_{t-50})) + 1/(\beta_u + K * \lambda_{t-50}) * I_t(x, y) \quad (4.12)$$

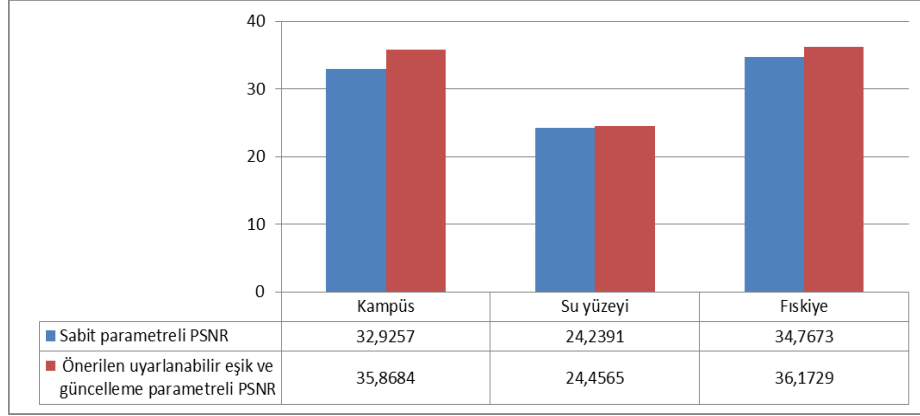
Test için Eşitlik 2.3'te $T=25$ ve Eşitlik 2.2 için $\alpha=0,5$ 'tir. Önerilen yöntemin parametreleri $T_{eş}=25$, $\beta_u = 10$, $K_c = 10$ değerlerine ayarlanmıştır. Şekil 4.7'de yuvarlanan ortalama yöntemine uygulanan, uyarlanabilir eşik ve güncelleme parametrelili yapı ile sabit parametrelili yapının karşılaştırmasının görsel sonucunu görülmektedir. Şekil 4.8 bu test sonucunun F ölçütü ve Şekil 4.9, PSNR sonuçlarını göstermektedir.



Şekil 4.7. Yuvarlanan ortalama tekniği üzerinde önerilen uyarlanabilir eşik ve güncelleme parametrelerinin ($T_{eş}=25$, $\alpha=0,5$, $\beta_u=10$ ve $K_c=10$) kullanımının sabit eşik parametresi ($T=25$) kullanımına göre etkisinin görsel sonuçları.



Şekil 4.8. Yuvarlanan ortalama tekniği üzerinde önerilen uyarlanabilir eşik ve güncelleme parametrelerinin ($T_{eş}=25$, $\alpha=0,5$, $\beta_u=10$ ve $K_c=10$) kullanımının sabit eşik parametresi ($T=25$) kullanımına göre etkisinin F-ölçütü sonuçları.

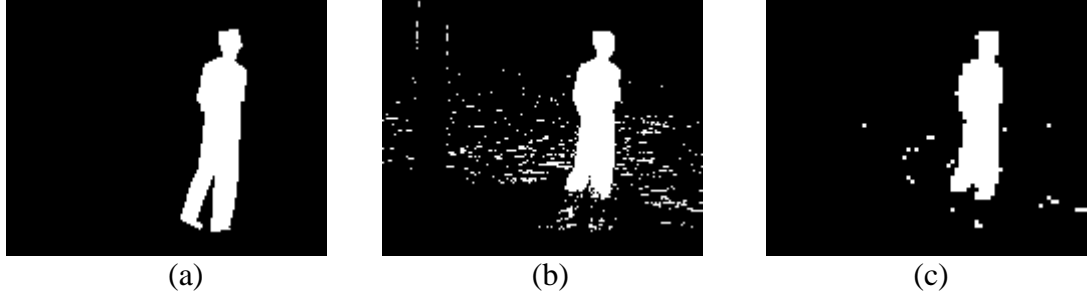


Şekil 4.9. Yuvarlanan ortalama tekniği üzerinde önerilen uyarlanabilir eşik ve güncelleme parametrelerinin ($T_{eş}=25$, $\alpha=0,5$, $\beta_u=10$ ve $K_c=10$) kullanımının sabit eşik parametresi ($T=25$) kullanımına göre etkisinin PSNR sonuçları.

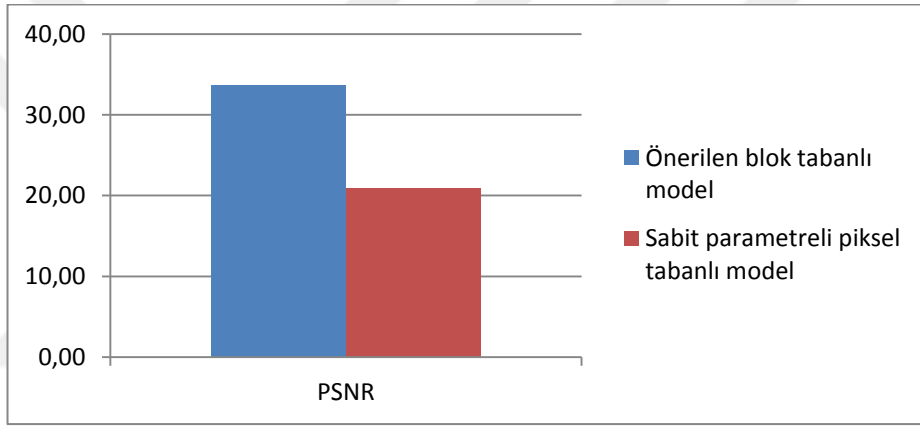
Bu testte gürültü eşik değeri $T_{eş}=25$ olduğundan model gürültülere açık olmaktadır. Önerilen yöntem kendisini çevresel durumlara uyarlayabildiğinden sonuçlarda olumsuz bir değişiklik yoktur. Sabit parametrelili modelin performansı, eşik ve güncelleme parametrelerine bağlı olduğundan sonuçları da değişkendir.

4.2.4. Eşik ve Güncelleme Parametrelerinin Önerilen Arka Plan Modeli Üzerindeki Etkisi

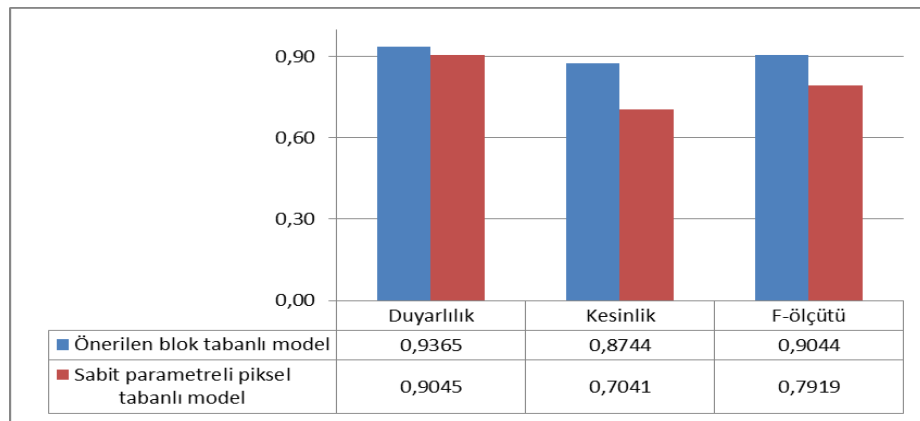
Uyarlanabilir eşik ve güncelleme parametrelerinin performans etkileri, Lee ve Park [24]'in arka plan modeli için Li [47]'nin su yüzeyi veri setinin 575'inci çerçevesi kullanılarak ayrıca ölçülmüştür. Bu testte Lee ve Park [24]'in piksel tabanlı arka plan modelinde sabit eşik ve güncelleme parametrelerinin kullanılmasının sonuçları ile önerilen $n \times m$ blok yapısı ve parametrelerin Lee ve Park [24]'in arka plan modeline uygulanması ile elde edilen sonuçlar karşılaştırılmıştır. Performans ölçütleri olarak tepe sinyal gürültü oranı, duyarlılık, kesinlik ve F-ölçütü kullanılmıştır. Model için kullanılan parametreler, $T_{eş}=30$, $\beta_u=2500$, $\alpha=0,5$, $K_c=100$ ve $B_d=4$ 'tür. Parametreleri uyguladığımız model 2×2 blok yapısında gerçekleştirilmiştir. Görsel sonuçlar Şekil 4.10 (a), (b), (c) incelendiğinde, çevresel değişimlere aşırı duyarlı arka plan modeline uygulanan blok yapısı ve uyarlanabilir parametreler, modelindeki gürültüyü önemli ölçüde azaltmıştır. Şekil 4.11 ve 4.12, bu durumu sayısal verilerle açıklamaktadır.



Şekil 4.10. Lee ve Park [24]'in modelinde sabit ($T=25$) ve uyarlanabilir parametrelerin ($T_{eş}=30$, $\alpha= 0,5$, $\beta_u = 2500$, $K_c = 100$ ve $B_d=4$) kullanılması ile elde edilen görsel sonuçlar. a) doğru çerçeve b) sabit parametre kullanılan model c) önerilen blok yapısının ve parametrelerin modele uygulanmasının sonuçları.



Şekil 4.11. Lee ve Park [24]'in modeline sabit ($T=25$) ve uyarlanabilir parametrelerin ($T_{eş}=30$, $\alpha= 0,5$, $\beta_u = 2500$, $K_c = 100$ ve $B_d=4$) uygulanması ile elde edilen PSNR sonuçları.



Şekil 4.12. Lee ve Park [24]'in modeline sabit ($T=25$) ve uyarlanabilir parametrelerin ($T_{eş}=30$, $\alpha= 0,5$, $\beta_u = 2500$, $K_c = 100$ ve $B_d=4$) uygulanması ile elde edilen duyarlılık, kesinlik ve F-ölçütü sonuçları.

Önerilen uyaralanabilir parametrelili ve blok tabanlı Lee ve Park [24]'in modeli, sabit parametrelili piksel tabanlı modeline göre, Şekiller 4.11 ve 4.12 incelendiğinde daha iyi sonuçlar elde etmiştir.

4.3. UYGUNLAŞTIRILAN ARKA PLAN MODELİNİN PERFORMANS ÖLÇÜMLERİ

4.3.1. Li and Wallflower Veri Setlerinde Performans Ölçümleri

Li ve Wallflower veri setleri, arka plan çıkartım tekniklerinin performanslarının ölçümü için kullanılan literatürde oldukça popüler veri setleridir. Önerilen yöntemin yapısı 2x2 blok yapısında gerçekleştirilerek Li ve Wallflower veri setleri üzerinde performansı ölçülmüştür. Önerilen yapı ile karşılaştırması yapılacak arka plan teknikleri için Sobral'ın arka plan çıkartım kütüphanesinden faydalanılmıştır [50]. Sonuçların karşılaştırılması için arka plan çıkartım algoritmalarının değerlendirme ölçütlerini hesaplayan ücretsiz BMC (Background Models Challenge) winzard programı kullanılmıştır. Yöntemlerin üzerinde herhangi bir işlem sonrası işlem yapılmamıştır.

Karşılaştırmada kullanılan MOGV1BGS tekniği, Gauss karışımları modelinin, çevresel değişikliklere etkili ve daha hızlı adapte olabilen yapısıdır. Bu teknik; KaewTraKulPong ve Bowden tarafından önerilmiş piksel tabanlı arka plan modelidir [13].

PBAS metodu, Hofmann vd. tarafından önerilmiş parametrik olmayan arka plan çıkartım metodudur. Modelin güncellemesi, ViBe'de olduğu gibi rastgele yapıdadır [25-26]. Ön planın belirlenmesinde kullanılan eşik parametresi uyarlanabilir yapıdadır [28].

T2FMRF_UM, Zaho vd. tarafından önerilmiş dinamik sahnelerde hareket belirlemek için tip-2 bulanık Gauss karışım modeline, Markov rasgele alanları yöntemi uygulanarak geliştirilmiş bir yöntemdir. Yöntem hem konumsal hem de zamansal yapıdadır [51].

Şekil 4.13, önerilen yöntem ve yukarıda sözü edilen arka plan çıkartım tekniklerinin Li ve Wallflower veri setleri için yapılan karşılaştırmanın görsel sonucudur. Şekil 4.13'te birinci ve son kolondaki test verileri Wallflower veri setine aittir. Diğer veri setleri Li veri setine aittir. Kamufraj videosu toplamda 352 test çerçevesinden oluşur. 241'inci çerçevede ön plan nesnesi sahneye girer ve monitörün önünü kapatır. Bu alanda yöntemlerin bu bölgeyi ön plan olarak belirlemesi beklenir. 280'inci çerçevede ön plan nesnesi sahneden ayrılır. Karşılaştırma için 251'inci çerçeve kullanılır. İkinci kolondaki perde test videosu 3963 çerçeveden oluşur ve Li veri setine aittir. Sahnede sürekli sallanan bir perde vardır ve ara sıra bir ön plan nesnesi sahneye giderek perdenin önünü kapatır. Perde test videosunda, karşılaştırma için 2774 nolu çerçeve kullanılmıştır. Su yüzeyi test videosunda arka planda sürekli olarak hareketli su dalgacıkları vardır. Toplamda 632 çerçeveden oluşur. Bu test videosunda 575'inci çerçeve kullanıldı. Fıskiye test videosunda arka planda sürekli değişken hızlarda hareketli su hareketleri vardır. Belirli aralıklarla ön plan nesnelere bu su hareketinin önüne gelir ve ekrandan ayrılırlar. Toplamda 522 çerçeveden oluşur ve bu video için 165'inci çerçeve kullanılmıştır. Sallanan ağaç test videosu arka planda sürekli sallanan bir ağaç vardır ve ön plan nesnesi bu ağaç önüne gelir. Karşılaştırma için 247'nci çerçeve kullanılmıştır. Veri setlerinin çözünürlükleri 160x120 ve 160x128'dir. Model için kullanılan parametreler, $T_{eş} = 30$, $\beta_u = 250$, $\alpha = 0,5$, $K_c = 100$ ve $B_d = 4$ 'tür. Parametrelerin uyguladığı model 2x2 blok yapısında gerçekleştirilmiştir.

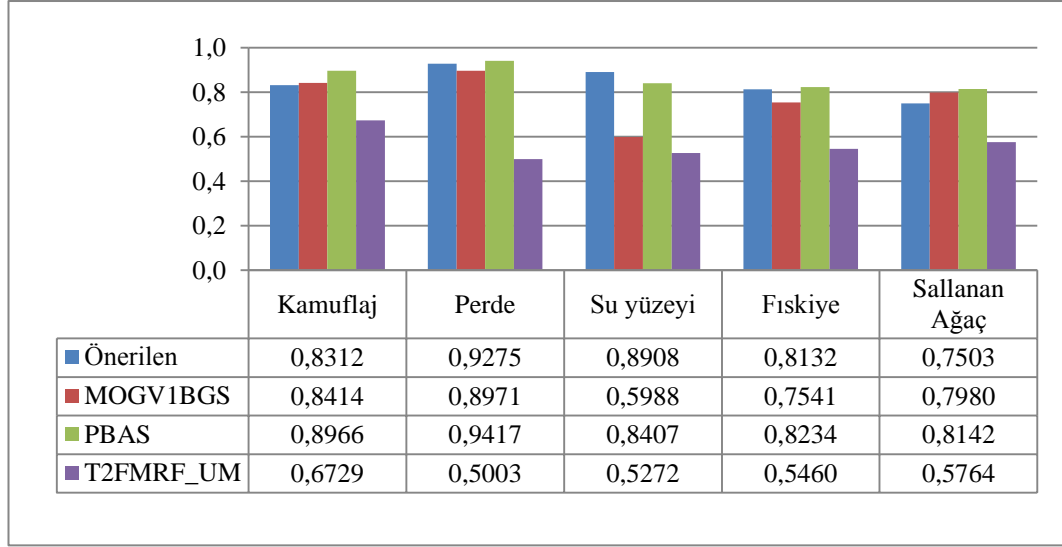


Şekil 4.13. Önerilen yöntem ve diğer arka plan çıkartım tekniklerinin Li [44] ve Wallflower [45] veri setleri üzerinde karşılaştırılmasının görsel sonuçları.

Dođru Çerçeve					
Önerilen					
MOGVIBGS [13]					
PBAS [28]					
T2EMRF_UM [51]					
No	Kamufflaj #251	Perde #1774	Su yüzeyi #575	Fiskiye #165	Sallanan Ağaç #247

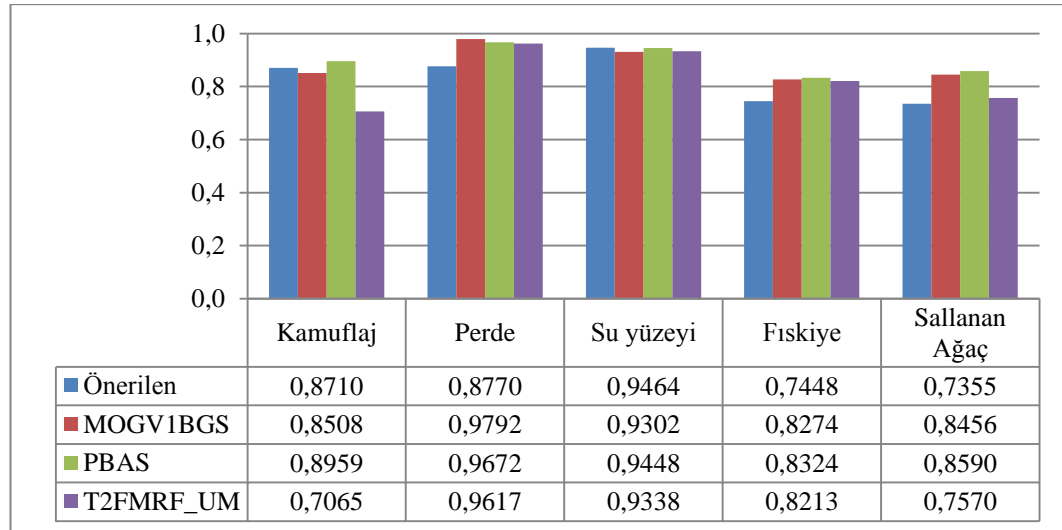
Şekil 4.13. (devam ediyor).

Duyarlılık, algoritma tarafından atanmış ön plan piksellerinin, doğru ön plan piksellerine oranıdır. Yani tam olarak ne kadar doğru ön plan pikselinin, ön plan pikseli olarak sınıflandırıldığını gösterir [24]. Önerilen yapının blok tabanlı olmasından kaynaklanacak FP sayısındaki artışa rağmen, Şekil 4.14'e göre ürettiği sonuçlara gayet başarılıdır. Bazı test videolarında, piksel tabanlı yöntemlere göre daha iyi sonuçlara sahiptir.



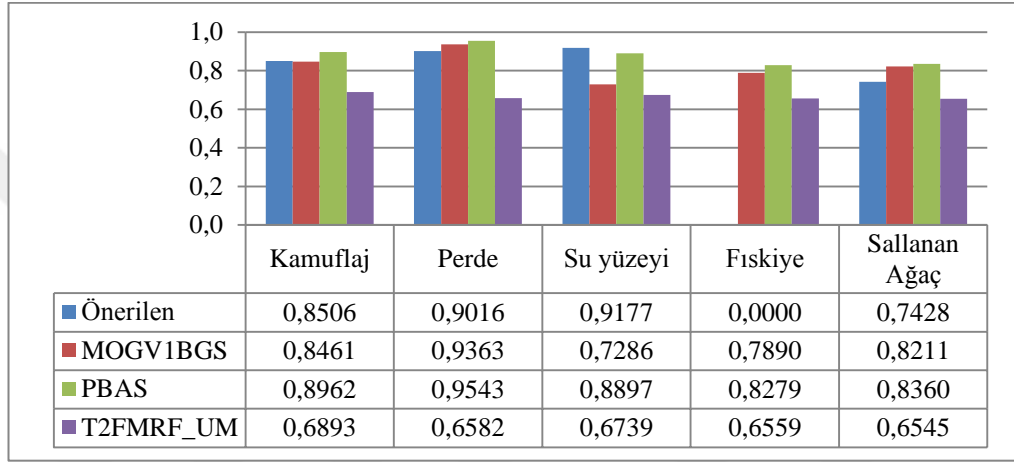
Şekil 4.14. Önerilen yöntem ve diğer arka plan çıkartım tekniklerinin Li [47] ve Wallflower [48] veri setleri üzerinde duyarlılık karşılaştırması.

Kesinlik, doğru ön plan piksellerinin algoritmamız tarafından atanmış ön plan piksellerine oranıdır. Yani atanmış ön plan pikselleri arasından ne kadarının doğru ön plan pikseli olarak sınıflandırıldığını gösterir [24]. Önerilen yöntem gürültüleri bastırıldığından dolayı Şekil 4.15'e göre kesinlik değerlerinde başarılı sonuçlar üretmiştir.



Şekil 4.15. Önerilen yöntem ve diğer arka plan çıkartım tekniklerinin Li [47] ve Wallflower [48] veri setleri üzerinde kesinlik karşılaştırması.

F ölçütü duyarlılık ve kesinlik değerlerinin harmonik ortalamasıdır. Sonuçların değerlendirilmesinde daha doğru bir referanstır. Diğer metotlar arka plan modeli için piksellerin çok renkli özelliklerini kullanmışlardır. Şekil 4.16'ya göre önerilen eşik, güncelleme parametreleri ve uygunlaştırma yöntemlerinin uygulandığı Lee ve Park [24]'ün metodu, diğer önerilen metotlarla karşılaştırıldığında gri ölçek seviyesinde iyi sonuçlar üretmiştir. Bütün test videolarında tek başına başarılı olan bir yöntem yoktur. Özellikle su yüzeyi test videosunda önerilen yöntem başarılıdır.



Şekil 4.16. Önerilen yöntem ve diğer arka plan çıkartım tekniklerinin Li [47] ve Wallflower [48] veri setleri üzerinde F ölçütü karşılaştırması.

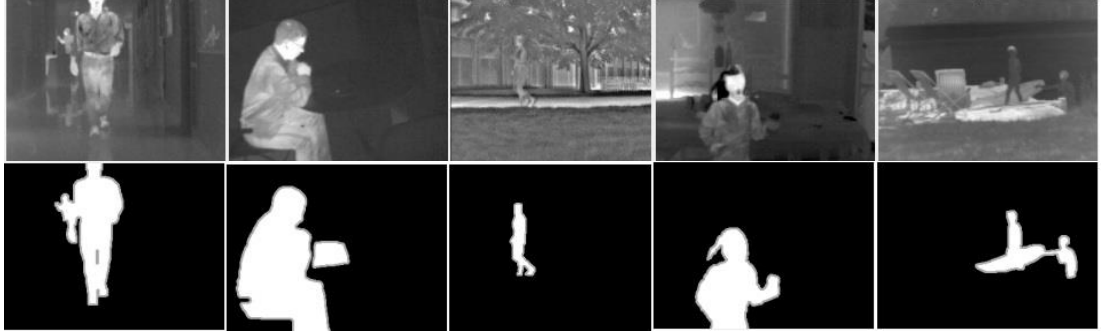
4.3.2. CDnet 2014 Veri Setlerinde Performans Ölçümleri

CDnet 2014 veri setinde, kötü hava şartları, düşük çerçeve hızı, gece videoları, PTZ (pan tilt zoom), termal, gölge, aralıklı nesne belirleme, kamera sallanması, dinamik arka plan, basit videolar ve hava türbülansı olmak üzere 11 arka plan çıkartım problemi bulunmaktadır. Bu veri setlerinin her biri 4 veya 6 video dizisinden oluşmaktadır.

4.3.2.1. Termal

Bu kategoride ikisi iç mekan, üçü dış mekan olmak üzere 5 video bulunur. Şekil 4.17'de birinci satırda bulunan videolar, termal video örneklerini, ikinci satır ise onların doğru çerçevelerini gösterir. Bu test videoları pencere ve zeminde ısı

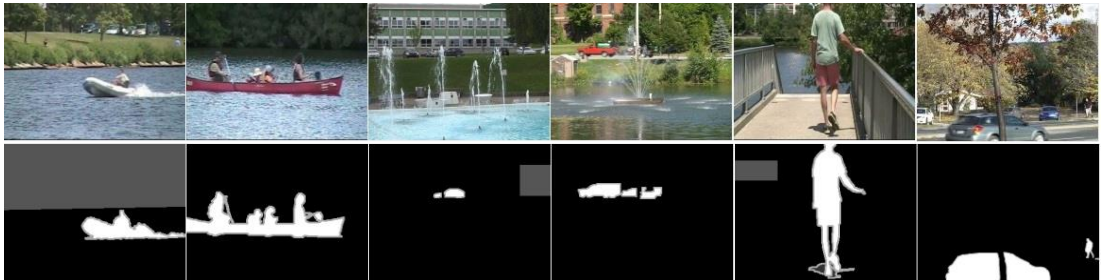
yayımları, bankta oturan bir kişinin arkasında bıraktığı ısı izleri gibi tipik termal problemleri içerir [52].



Şekil 4.17. CDnet 2014 termal video veri seti [52].

4.3.2.2. Dinamik Arka Plan

Bu kategori Şekil 4.18’de gösterildiği gibi 6 dinamik arka plan test videosu içerir. Test vidoları su dalgacıkları, fiskiyenin sebep olduğu dinamik su hareketleri, sallanan ağaç ve ağaç yapraklarının dinamik hareketlerinin oluşturduğu sorunları kapsamaktadır [52].



Şekil 4.18. CDnet 2014 dinamik arka plan video veri seti [52].

4.3.2.3. Gölge

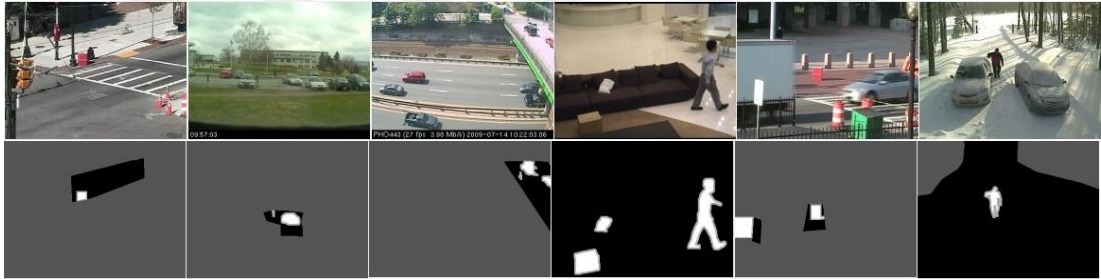
Bu kategoride iki iç, dört dış mekan olmak üzere 6 gölge problemlili test videosu bulunur. Gölgeler değişik boyutlara ve farklı parlaklıklara sahiptir [52]. Şekil 4.19’da birinci sıra test video örneklerini ikinci sıra doğru çerçeveleri gösterir.



Şekil 4.19. CDnet 2014 gölge video veri seti [52].

4.3.2.4. Aralıklı Nesne Hareketleri

Bu kategori 6 test videosundan oluşur. Video görüntülerinde terk edilen nesnelere, kısa duruşlardan sonra tekrar harekete geçen nesnelere yer verilir. Bu test videoları arka plan algoritmalarının arka plan değişikliklerine nasıl uyum sağladıklarını test etmek için tasarlanmıştır. [52]. Şekil 4.20’de birinci sıra test video örneklerini ikinci sıra doğru çerçeveleri gösterir.



Şekil 4.20. CDnet 2014 aralıklı nesne hareketi video veri seti [52].

4.3.2.5. Kötü Hava Şatları

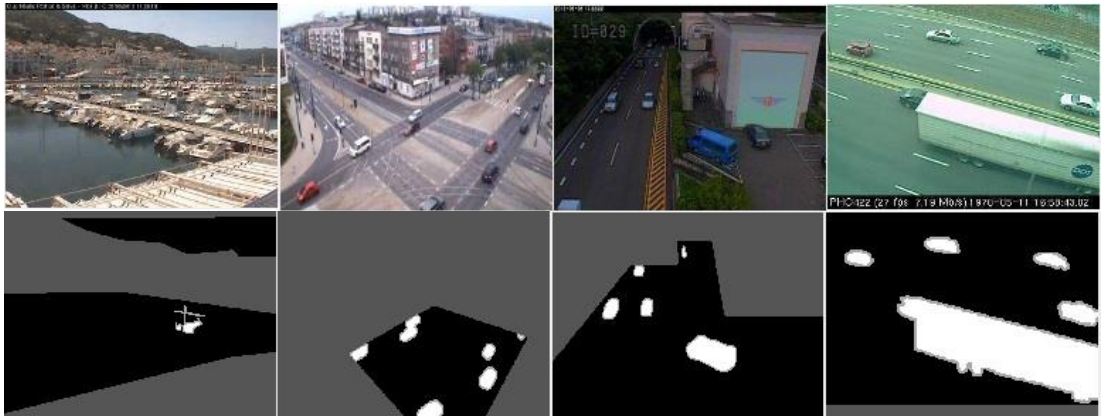
Bu test verisi, kötü hava şartlarında çekilmiş test videolarını içerir. Videolar, yoğun kar hareketleri sonucu, test sonuçlarında FP değerini arttıracak hareketleri içerir [53]. Şekil 4.21’de ilk sıra test verilerini ikinci sıra ise doğru sonuçları gösterir.



Şekil 4.21. CDnet 2014 kötü hava şartları video veri seti [52].

4.3.2.6. Düşük Çerçeve Hızı

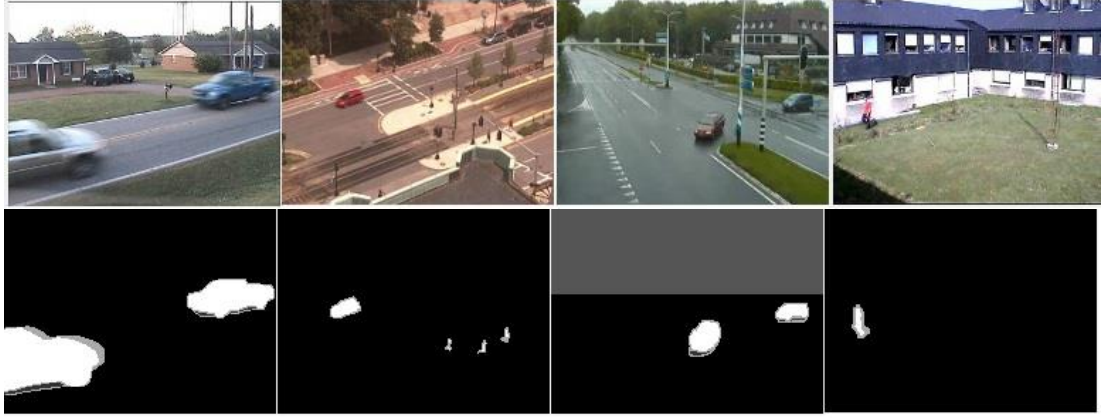
Bu test dizisi, IP (internet protokollü) kameralar ile kaydedilen düşük hızlı dört adet video görüntüsü içerir. Çerçeve hızları 1 ile 17 arasında değişmektedir. Kamera görüntüleri arasında belirli bir ilişki yoktur [53]. Şekil 4.22’de birinci sıra test verilerini, ikinci sıra doğru çerçeveleri göstermektedir.



Şekil 4.22. CDnet 2014 düşük çerçeve hızı video veri seti [52].

4.3.2.7. PTZ

Bu test dizisi, sağa sola, yakınlaştırma uzaklaştırma yapabilen kameralar ile kaydedilmiş, sürekli ve aralıklı, sağa sola, sürekli yakınlaştırma uzaklaştırma yapılmış görüntüler içerir [53]. Şekil 4.23’te birinci sıra test verilerini, ikinci sıra doğru çerçeveleri göstermektedir.



Şekil 4.23. CDnet 2014 PTZ video veri seti [52].

4.3.2.8. Kamera Sallanması

Bu test videoları, kamera sallanması ile görüntüde oluşacak bozulmaları içerir [52]. Şekil 4.24'te ilk satır kamera sallanmasına ait video görüntülerini, ikinci sıra doğru çerçeveleri göstermektedir.



Şekil 4.24. CDnet 2014 kamera sallanması video veri seti [52].

4.3.2.9. Temel Görüntüler

Bu kategori temel görüntüleri ve algoritmaların, karmaşık ortamlarda başa çıkabilmesi gereken durumları içerir. Bu grupta, iki dış, iki iç mekan videosu vardır [52]. Şekil 4.25'te ilk satır temel görüntü videolarını, ikinci satır doğru çerçeveleri gösterir.



Şekil 4.25. CDnet 2014 temel görüntüler video veri seti [52].

4.3.2.10. Hava Türbülansı

Bu kategori, sıcak bir yaz günü, öğlen saatlerinde, yakın kızılötesi bir kamera tarafından çekilmiş, hareketli nesnelere gösteren dört video test görüntüsünü içerir. Sahne bir telefoto lensle 5 ila 15 km'lik bir mesafeden çekilmiştir. Isı, video görüntüsünde bozulmalara ve hava türbülansına sebep olur. Hareketli nesnelere boyutu da bir videodan diğerine önemli ölçüde değişir. Hava türbülans kategorisi, uzun mesafeli uzaktan izleme uygulamalarında ortaya çıkan zorluklara benzer zorluklar sunar [53]. Şekil 4.26'da ilk satır hava türbülansı görüntü videolarını, ikinci satır doğru çerçeveleri gösterir.



Şekil 4.26. CDnet 2014 hava türbülans video veri seti [52].

4.3.2.11. Gece Videoları

Bu kategori 6 adet gece çekim test videosunu içerir. Araba ışıkları, trafik ışıkları, sokak lambaları gibi değişen ışık durumlarını içerir [53]. Şekil 4.27’de ilk satır gece görüntü videolarını, ikinci satır doğru çerçeveleri gösterir.



Şekil 4.27. CDnet 2014 gece videoları veri seti [49].

Yukarıda özetlenen veri grupları için bu tezde önerilen yöntemin performansı Re (duyarlılık), Sp (belirlilik), FPR (yanlış pozitif oranı), FNR (yanlış negatif oranı), PWC (yanlış sınıflandırılmanın oranı), Pr (kesinlik) ve F-ölçütü metrikleri kullanarak test edilmiştir. Bu veri seti için kullanılan parametreler, $B_d=4$, $n \times m$ blok ölçüsü= 2×2 , $K_c=10$, $T_{eş}=35$, $\alpha=0,1$ ve $\beta_u=250$ 'dir. $T_{eş}$ parametresinin değeri, CDnet 2014 veri setinin, dinamik arka plan kategorisinde, algoritmanın $T_{eş}$ 'e göre en iyi F ölçütü verdiği değere göre belirlenmiştir [39]. Çizelge 4.1'in değerlendirmesinde çoğunlukla F ölçütü değerleri dikkate alınmıştır.

Çizelge 4.1. Önerilen yöntemin CDnet 2014 veri setleri üzerindeki performansı.

	Veri seti isimleri	Re	Sp	FPR	FNR	PWC	F-ölçütü	Pr
Dinamik arka plan	botlar	0,5206	0,9973	0,0027	0,4794	0,5693	0,5343	0,5486
	kano	0,8157	0,9972	0,0028	0,1843	0,9194	0,8627	0,9155
	fiskiye01	0,5066	0,9889	0,0111	0,4934	1,1463	0,0684	0,0367
	fiskiye02	0,6508	0,9991	0,0009	0,3492	0,1688	0,6239	0,5991
	üst geçit	0,7244	0,9985	0,0015	0,2756	0,5126	0,7911	0,8713
	sonbahar	0,7623	0,9465	0,0535	0,2377	5,6745	0,3225	0,2045

Çizelge 4.1. (devam ediyor)

	Veri seti isimleri	Re	Sp	FPR	FNR	PWC	F-ölçütü	Pr
Temel	karayolu	0,7860	0,9951	0,0049	0,2140	1,7243	0,8438	0,9108
	ofis	0,7375	0,9971	0,0029	0,2625	2,0809	0,8303	0,9498
	yayalar	0,8896	0,9998	0,0002	0,1104	0,1288	0,9314	0,9774
	PETS2006	0,6609	0,9989	0,0011	0,3391	0,5511	0,7571	0,8860
Kötü hava	kar fırtınası	0,4002	1,0000	0,0000	0,5998	0,7015	0,5709	0,9955
	paten kayma	0,8311	0,9989	0,0011	0,1689	0,9384	0,8976	0,9756
	kar yağışı	0,5417	0,9995	0,0005	0,4583	0,4072	0,6771	0,9030
	sulu kar	0,4857	0,9954	0,0046	0,5143	1,1141	0,5290	0,5809
Kamera sallanması	badminton	0,6791	0,9688	0,0312	0,3209	4,1093	0,5312	0,4362
	bulvar	0,6470	0,9507	0,0493	0,3530	6,3511	0,4889	0,3928
	kaldırım	0,3941	0,9595	0,0405	0,6059	5,5234	0,2712	0,2067
	trafik	0,7652	0,4061	0,5939	0,2348	50,9160	0,4150	0,2847
Gece videosu	köprü girişi	0,3243	0,9655	0,0345	0,6757	4,3594	0,1743	0,1192
	yoğun bulvar	0,1754	0,9918	0,0082	0,8246	3,7022	0,2507	0,4388
	yoğun karayolu	0,4567	0,9793	0,0207	0,5433	2,8085	0,3151	0,2405
	gece cadde köşesi	0,4926	0,9949	0,0051	0,5074	0,7601	0,3909	0,3240
	tramvay istasyonu	0,6656	0,9850	0,0150	0,3344	2,3763	0,6063	0,5567
	kışın cadde	0,6255	0,9563	0,0437	0,3745	5,3476	0,4093	0,3042
Termal	geçit	0,7599	0,9983	0,0017	0,2401	0,9648	0,8392	0,9371
	yemek odası	0,5716	0,9967	0,0033	0,4284	3,9844	0,7113	0,9415
	göl kenarı	0,1949	0,9998	0,0002	0,8051	1,5588	0,3239	0,9584
	kütüphane	0,8515	0,9951	0,0049	0,1485	3,2592	0,9097	0,9764
	park	0,3958	0,9996	0,0004	0,6042	1,2622	0,5602	0,9582
PTZ	sürekli saga sola	0,6049	0,7830	0,2170	0,3951	21,8150	0,0336	0,0173
	aralıklı saga sola	0,5377	0,7617	0,2383	0,4623	24,1500	0,0592	0,0313
	İki pozisyonlu PTZ	0,6281	0,8895	0,1105	0,3719	11,4450	0,1428	0,0806
	yaklaşır uzaklaşır	0,4255	0,5513	0,4487	0,5745	44,8930	0,0040	0,0020
Aralıklı	unutulmuş paket	0,5831	0,9734	0,0266	0,4169	4,5381	0,5527	0,5254
	otopark	0,1992	0,9820	0,0180	0,8008	7,8574	0,2817	0,4806
	kanape	0,4289	0,9987	0,0013	0,5711	2,6137	0,5890	0,9398
	sokak lambası	0,6623	0,9996	0,0004	0,3377	1,6806	0,7927	0,9869
	tramvay durağı	0,2206	0,8290	0,1710	0,7794	28,0160	0,2204	0,2201
	kışın özel araba yolu	0,6620	0,9670	0,0330	0,3380	3,5296	0,2193	0,1314

Çizelge 4.1. (devam ediyor)

	Veri seti isimleri	Re	Sp	FPR	FNR	PWC	F-ölçütü	Pr
Türbülans	türbülans0	0,8577	0,9446	0,0554	0,1423	5,5523	0,0550	0,0284
	türbülans1	0,7950	0,9910	0,0090	0,2050	0,9790	0,3817	0,2511
	türbülans2	0,9123	0,9987	0,0013	0,0877	0,1344	0,3336	0,2041
	türbülans3	0,7808	0,9970	0,0030	0,2192	0,6520	0,7940	0,8077
Düşük çerçeve hızı	liman_0_17fps	0,4773	0,9954	0,0046	0,5227	0,4786	0,0560	0,0297
	tramvay kavşağı_1fps	0,6569	0,9065	0,0935	0,3431	10,0460	0,2663	0,1670
	tünel çıkışı_0_35fps	0,1140	0,9994	0,0006	0,8860	2,4856	0,2010	0,8471
	paralı yol_0_5fps	0,6117	0,9573	0,0427	0,3883	6,8401	0,5710	0,5353
Gölge	kapı arkası	0,7239	0,9891	0,0109	0,2761	1,6185	0,6400	0,5736
	bungalovlar	0,7300	0,9782	0,0218	0,2700	3,6656	0,7049	0,6814
	otobüs durağı	0,5507	0,9972	0,0028	0,4493	1,9289	0,6782	0,8824
	fotokopi makinesi	0,8081	0,9916	0,0084	0,1919	2,1092	0,8415	0,8778
	küçük oda	0,7195	0,9847	0,0153	0,2805	2,0552	0,5790	0,4844
	insan gölgeleri	0,9203	0,9893	0,0107	0,0797	1,4598	0,8768	0,8372

Dinamik arka plan kategorisinde fıskiye01 ve sonbahar kategorilerinde yanlış pozitif değerleri fazla olduğundan kesinlik değerleri düşük çıkmaktadır. Duyarlık değerleri ise yeterli seviyededir. Bu değerlere bağlı olarak bu test videolarında F ölçütü ve diğer değerler düşük çıkmaktadır.

Temel video kategorisi, temel seviye görüntüleri içerdiğinden önerilen yöntem bu kategoride iyi sonuçlar vermiştir. Yöntemin değerlendirmesinde herhangi bir işlem sonrası filtre kullanılmadığından, kötü hava şartları kategorisinin ıslak kar yağışı test videosunda, değerler düşük çıksa da değerler kabul edilebilir aralıktadır.

Önerilen yöntem video görüntülerinin sabit kameradan elde edildiğini varsayarak tasarlandığından kamera sallanması ve PTZ kategorilerinde değerler düşüktür. Gece videoları, türbülans, düşük çerçeve hızı ve aralıklı hareketler kategorilerinde değerler düşüktür. Çünkü bu kategorilerde yüksek değerler elde edebilmek için özel denetimli arka plan model yapıları gereklidir. Bu yapılar hem yoğun matematiksel işlemler, hem de depolama alanına ihtiyaç duyarlar.

Termal kategorisi, gri renk seviyesinde olduğundan önerilen yöntem geçerli değerleri elde etmiştir. Çizelge 4.1 incelendiğinde, dinamik arka plan, temel videolar, kötü hava şartları, termal ve gölge kategorilerinde önerilen yöntem geçerli değerler elde etmektedir. Önerilen metot gri renk seviyesinde ve KDE modelinde olduğu için ani aydınlanma değişimlerine karşı zayıftır.

Önerilen yöntemin diğer yöntemlerle performansının karşılaştırılması için dinamik arka plan, temel videolar ve termal kategorileri kullanıldı. Karşılaştırma için CDnet 2014 sayfasında bulunana KDE [22], RMoG [54], KDE-Spatio temporal change detection [55], KDE-Integrated Spatio-temporal Features [56], WeSamBE [57], ve Multimode Background Subtraction (MBS) [58] yöntemlerinin sonuçları kullanıldı.

KDE modeli, Elgammal vd. tarafından önerilmiş çekirdek yoğunluk kestirimli parametrik olmayan, literatürde kullanılan popüler arka plan modelidir [22]. RMoG, Varadarajan vd. tarafından önerilmiştir. Bu metot, Gauss karışım modelini temel alarak, piksellerin zamansal ve konumsal bilgilerini kullanan, dinamik arka planlar için önerilmiş bir yöntemdir [54]. KDE-Spatio temporal change detection, Yoshinaga vd. tarafından önerilmiş arka plan modelidir [55]. Yoshinaga vd. pikseller arasındaki yoğunluk değişiminin benzerliğini göz önüne alarak, arka plan modelini oluşturmuşlardır. Bu metotta arka plan modeli, piksellerin hem zamansal hem de konumsal özellikleri kullanılarak oluşturur. KDE-Integrated Spatio-temporal Features, Nonaka ve Shimada tarafından önerilmiş, piksel, alan ve çerçeve tabanlı arka plan modelidir [56]. Bu metotta arka plan histogram yapısında oluşturulur ve model parametrik olmayan arka plan modelindedir. Jiang ve Lu'nun önerdikleri WeSamBE (A Weight-Sample-Based Method for Background Subtraction), ön plan nesnesini belirlemek için ağırlıklandırılmış örnek tabanlı yapıyı kullanan, uyarlamalı geri besleme yapısındadır [57]. Multimode Background Subtraction (MBS) Sajid ve Cheung tarafından önerilmiş, çoklu arka plan modelini temel alan, eşik değeri için RGB ve YCbCr renk uzayını kullanan bir modeldir [58]. Yukarıda bahsi geçen arka plan modelleri piksellerin hem konumsal hem de zamansal özelliklerini kullandıkları gibi aynı zamanda RGB veya YCbCr renk uzaylarını kullanarak da modeli oluştururlar.

Bu metotların video çerçeve işleme hızları göz önüne alındığında WeSamBE, metodu C++ kodu ile yazılmıştır. Algoritmanın çalıştırıldığı bilgisayar 3,2 GHz'lik i5 CPU (merkezi işlem birimi)'ya sahiptir. Çerçeve işleme hızı ise 320x240 çözünürlükteki video için yaklaşık ~2 fps (saniyedeki çerçeve sayısı)'dir. Multimode Background Subtraction yöntemi, matlab kodu ile yazılmıştır. i5 işlemciye sahip PC (kişisel bilgisayar)'de 320x240 video çözünürlüğü için çerçeve işleme hızı ~ 8 - 9 fps' dir. C++ da yazılmış KDE [22] yönteminin, 720x480 çözünürlüğe sahip video çerçeveleri için 3,4 GHz'lik i7 işlemcili bilgisayarda yaklaşık çerçeve işleme hızı ~9 fps'dir. Integrated Spatio-temporal Features metodu 2,66 GHz'lik işlemcili bilgisayarda C++ programı ile yazılmış ve 320x240 çözünürlük için video işleme hızı ~10 fps'dir [56]. KDE- Spatio-temporal change detection metodunun C++ programı ile i7 işlemcili bir masa üstü bilgisayarda, 320x240 çözünürlüklü video için çerçeve işleme hızı ~25 fps'dir [49]. Önerilen yöntemin C++ programı ile 2,1 GHz'lik i3 CPU'ya sahip dizüstü bilgisayarda 320x240 video çözünürlüğü için çerçeve işleme hızı yaklaşık ~20 fps'dir.

Önerilen yöntemin dinamik arka plan, temel ve termal kategorilerindeki sonuçlarının ortalama değerleri, yukarıdaki metotların bu kategorilerdeki ortalama sonuç değerleriyle karşılaştırıldı. Ortalama değer bir kategorideki bütün video setlerinin sonuçlarının aritmetik ortalamasıdır. Çizelge 4.2'de ortalama değer "ort" ile gösterilmiştir.

Çizelge 4.2. Önerilen yöntemin diğer yöntemlerle performansının karşılaştırılması.

	Metotlar	Ort.Re	Ort.Sp	Ort. FPR	Ort. FNR	Ort. PWC	Ort. F-ölçütü	Ort. Pr
Dinamik arka plan	Önerilen yöntem	0,6634	0,9879	0,0121	0,3366	1,4985	0,5338	0,5293
	KDE [22].	0,8236	0,9849	0,0150	0,1763	1,7204	0,6122	0,5828
	RMoG [54].	0,7805	0,9974	0,0025	0,2194	0,6267	0,7291	0,7264
	KDE-Spatio temporal change detection [55].	0,8789	0,9905	0,0094	0,1210	1,1891	0,6592	0,6065
	KDE-Integrated Spatio-temporal Features [56].	0,8499	0,9901	0,0098	0,1500	1,2355	0,6133	0,5547
	WeSamBE [57.]	0,7395	0,9989	0,0010	0,2604	0,6167	0,7806	0,8941
	Multimode Background Subtraction (MBS) [58].	0,7794	0,9962	0,0037	0,2205	0,5991	0,7953	0,8560

Çizelge 4.2. (devam ediyor)

Temel	Önerilen yöntem	0,7685	0,9977	0,0023	0,2315	1,1213	0,8407	0,9310
	KDE [22].	0,8888	0,9982	0,0017	0,1111	0,5733	0,9092	0,9310
	RMoG [54].	0,7081	0,9980	0,0019	0,2918	1,5934	0,7848	0,9125
	KDE-Spatio temporal change detection [55].	0,7550	0,9939	0,0060	0,2449	1,9153	0,7554	0,7832
	KDE-Integrated Spatio-temporal Features [56].	0,7472	0,9954	0,0045	0,2527	1,8058	0,7392	0,7997
	WeSamBE [57].	0,9421	0,9980	0,0019	0,0578	0,4677	0,9412	0,9421
	Multimode Background Subtraction (MBS) [58].	0,9157	0,9978	0,0021	0,0842	0,4361	0,9287	0,9430
Termal	Önerilen yöntem	0,5547	0,9979	0,0021	0,4453	2,2059	0,6689	0,9543
	KDE [22].	0,6725	0,9955	0,0045	0,3275	1,6795	0,7423	0,8974
	RMoG [54].	0,3441	0,9991	0,0009	0,6559	5,1222	0,4788	0,9365
	KDE-Spatio temporal change detection [55].	0,4065	0,9973	0,0027	0,5935	5,1527	0,5199	0,8761
	KDE - Integrated Spatio-temporal Features [56].	0,4147	0,9981	0,0019	0,5853	5,4152	0,4989	0,9164
	WeSamBE [57].	0,7727	0,9928	0,0072	0,2273	2,3538	0,7962	0,8554
	Multimode Background Subtraction (MBS)[58].	0,8162	0,9920	0,0080	0,1838	1,4289	0,8194	0,8268

Çizelge 4.2 dinamik arka plan kategorisi incelendiğinde önerilen yöntem gri renk seviyesinde olmasına rağmen kabul edilebilir sonuçlar üretmektedir. Temel video kategorisinde yöntemler birbirine yakın değerler üretmektedir. Termal kategoride ise ortalama kesinlik değerinde yöntem en iyi sonucu üretmiştir. Önerilen yöntemin diğer yöntemlere göre düşük değerler üretmesi gri renk seviyesinde çalıştığından kaynaklanmaktadır. Fakat performans olarak yöntemlerin çalıştırıldığı bilgisayar platformları göz önüne alındığında önerilen yöntemin sınırlı kaynaklara sahip cihaz üzerinde de çalıştırılabilir nitelikte olduğu görülmektedir

BÖLÜM 5

TASARIM ARAÇLARI

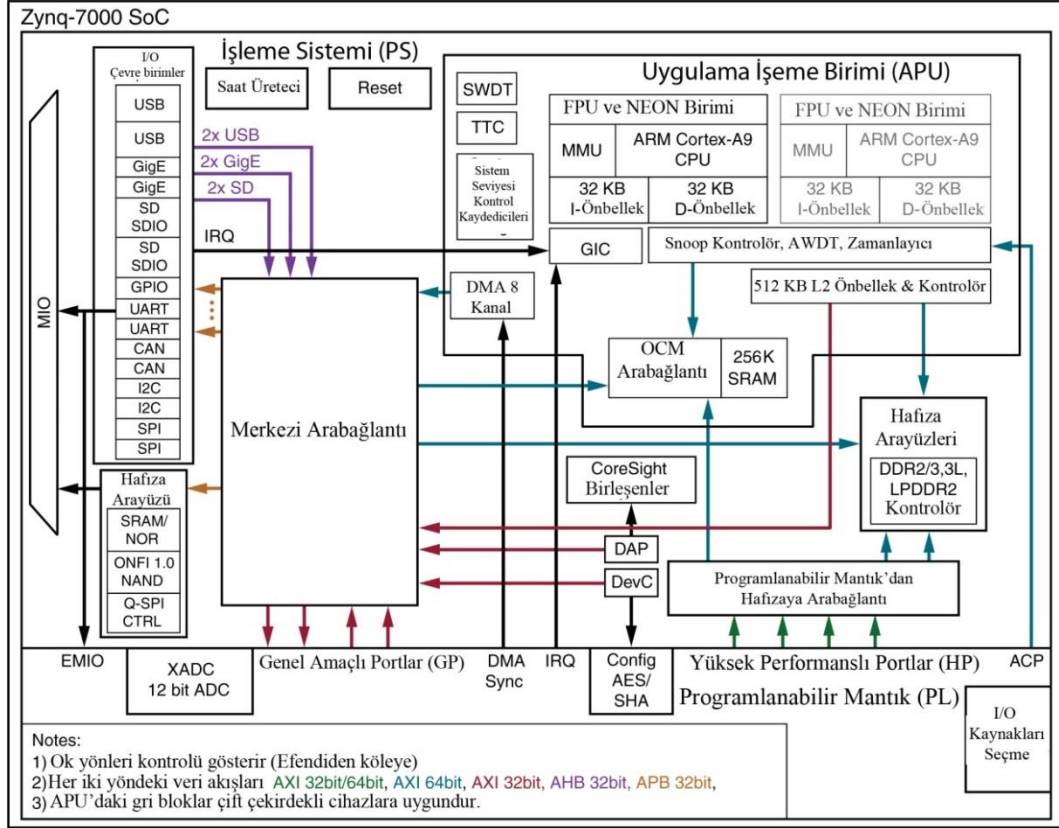
Her geçen gün hızla gelişen teknolojiye paralel olarak kullanıcıların ihtiyaçlarını karşılayacak yoğun veri ve karmaşık algoritmalar içeren video uygulamaları, gündelik yaşamımızın bir parçası haline gelmektedir. Bu uygulamaların daha etkin ve kolay kullanılabilmesi, bu uygulamaların çalıştırılacağı cihazların performans, boyut ve enerji verimlilikleriyle doğrudan ilişkilidir. Özellikle günümüzde SoC mimarisini temel almış cihazların düşük maliyet ve veri gecikmesi, daha az güç tüketimi ile daha az alan avantajlarına sahip olmaları, video uygulamalarında bu cihazların daha çok tercih edilmesine sebep olmuştur. Ayrıca yüksek performans seviyesine sahip SoC FPGA'ların yapılarında bulunan FPGA'ların paralel işleme kabiliyetleri, yoğun veri kaynakları kullanılan karmaşık video uygulamalarının, gerçek zamanlı gerçekleştirilmesini mümkün kılmaktadır.

5.1. XILINX ZYNQ-7000 PROGRAMLANABİLİR SoC MİMARİSİ

SoC tek bir entegre devrede belirli bir sistemi desteklemek için gerekli olan elektronik devrelere sahip bir mikroçiptir. SoC'un günlük hayatımızda tipik kullanımına cep telefonları gösterilebilir [59].

Zynq-7000 ailesi Xilinx SoC mimarisini temel almış SoC FPGA'dır. Bu ürünler, PS (İşleme Sistemi) çift veya tek çekirdek 32 bit ARM Cortex-A9 işlemci, PL (Programlanabilir Mantık) 28 nm (nano metre) Xilinx FPGA olmak üzere iki ana bölümden oluşur [60]. Bu iki yapının birleşmesi Zynq-7000 SoC'a düşük maliyet ve enerji tüketimi sunarken, karmaşıklığı azaltan yapısıyla kullanıcılara hızlı tasarım imkanı sağlar. Zynq cihazının bu özellikleri akıllı video izleme sistemleri, endüstriyel otomasyon, otomobil sürüş yardım, havacılık, savunma ve kablosuz iletişim gibi alanlarda, tasarımcıların uygulamalarını gerçekleştirmek için en çok

tercih ettiği cihaz yapmıştır. Zynq cihazının alt sistemlerindeki bağlantıda, yüksek bant genişliği ve düşük gecikmeyi sağlayacak AXI (Gelişmiş Genişletilebilir Arayüz) mimarisi kullanılmıştır. Aşağıdaki Şekil 5.1’de Zynq 7000 serisinin mimari yapısı gösterilmektedir.



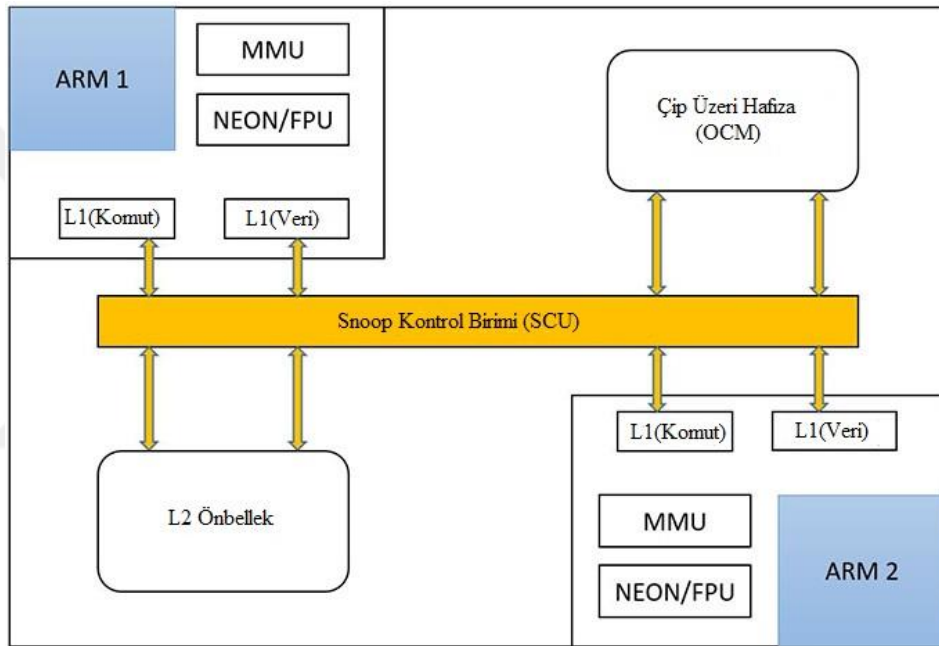
Şekil 5.1. Zynq 7000 mimari yapısı [60].

5.1.1. APU (Uygulama İşleme Birimi)

PS içerisine konumlandırılmış APU içerisinde iki adet 32 bitlik ARM Cortex-A9 işlemci vardır. NEON, APU'nun tek komut çoklu veri işleme (SIMD) özelliğine sahip ses ve video işleme gibi multimedya işlemlerinde oldukça kullanışlı birimdir. APU aynı zamanda kayan nokta aritmetiği ile ilgili işlemleri yüksek performansla yerine getiren FPU (Kayan Nokta Birimi) birimini de içerir. APU, her işlemciye sahip 32 KB (Kilo Bayt)'lık komut ve veri belleğine sahip L1 ön bellekler, paylaşımlı 512 KB'lık L2 ön bellek, PS üzerinde OCM (Çip Üzeri Bellek) 256 KB

RAM (Rastgele Erişimli Bellek) ve 128 KB ROM (Sadece Okunabilir Bellek) bellek birimlerine sahiptir [61].

APU'nun en önemli parçalarından biri olan SCU (Snoop Kontrol Birimi), L2 ön bellek ve Arm Cortex-A9'lar arasındaki veri tutarlılığını yönetir. MMU (Bellek Yönetim Birimi) birimi hem bellek koruması hem de sanal adreslerin fiziksel adreslere çevirisini yapar [61]. Aşağıdaki Şekil 5.2'de uygulama işleme biriminin yapısı gösterilmektedir.



Şekil 5.2. APU'nun yapısı [61].

5.1.2. PL (Programlanabilir Mantık) Birimi

PL birimi, yapılandırılabilen bellek blokları BRAM (Blok RAM), dijital sinyal işleme için DSP48E1 ünitesi, saat yönetimi, yapılandırılabilir giriş çıkışlar, analog dijital çevirici birimlerini üzerinde bulunduran bir FPGA'dır. Xilinx Zynq-7000 ailesinin programlanabilir mantık bölümünde Artix-7 ve Kintex-7 FPGA'lar kullanılmıştır. Xilinx Zynq-7000 ailesinin Z-7010, Z-7015, Z-7020, cihazlarında Artix-7, Z-7030, Z-7035, Z-7045 ve Z-7100 cihazlarında Kintex-7 FPGA eşdeğerlikleri kullanılmıştır. Bu cihazları birbirinden ayıran en önemli özellik PL biriminin özelliğidir. Bu birimin kapasitesi cihazların maliyetini de doğrudan

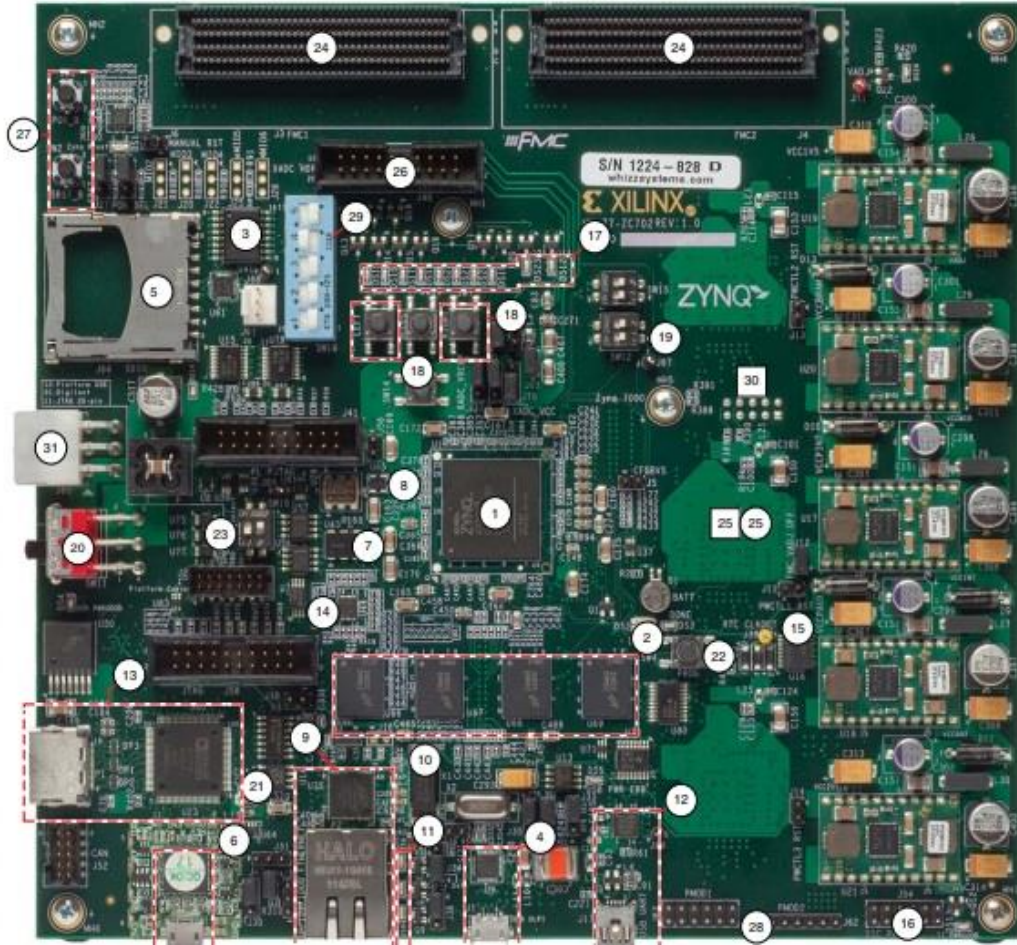
etkilemektedir. Üzerinde Artix-7 FPGA birimi bulunan ZC702 (XC7Z020) deneme kartının ortalama fiyatı 895\$ iken Kintex-7 FPGA'yı bulunduran ZC706 (XC7Z045) için bu fiyat 2495\$'dır [61]. Bu tezde, cihazın ortalama maliyet ölçütünü göz önünde bulundurulmuş ve donanım açısından ihtiyacı karşılayabilecek Xilinx Zynq ailesinin görme uygulamalarını hedefleyen Zynq ZC702 uygulama geliştirme kartı kullanılmıştır. Bu cihazın genel görünümü Şekil 5.3'te gösterilmiştir. Cihazın genel özellikleri ise Çizelge 5.1'de verilmiştir.

Çizelge 5.1. ZC702 Zynq-7000 FPGA deneme kartının özellikleri [60].

PS	İşlemci çekirdeği	Çift çekirdek Arm Cortex A9
	İşlemci ilaveleri	Her işlemci için FPU ve NEON
	Maksimum frekans	667 MHz (-1); 766 MHz (-2); 866 MHz (-3)
	L1 önbellek	Her işlemci için 32 KB komut, 32 KB veri
	L2 önbellek	512 KB
	Yonga üzeri bellek (OCM)	256 KB
	Harici bellek	1GB DDR3
	Harici statik bellek	2x Quad-SPI, NAND, NOR
	Doğrudan belleğe erişim kanalları	8 adet (4 tanesi PL'ye ayrılmış)
	Çevre birimleri	2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO
	DMA da bulunan çevre birimleri	2x USB 2,0 (OTG), 2x Tri-mode gigabit ethernet, 2x SD/SDIO
PL	Xilinx 7000 PL eşleniği	Artix-7 FPGA
	Bakış Tablosu (LUT)	53,200
	Flip flop	106,400
	DSP ünitesi	220
	Blok RAM (# 36 Kb Bloklar)	4,9 Mb (140)
	Lojik hücre	85K

Zynq-7000 XC7Z020 SoC güvenli ve güvensiz olmak üzere 4 adet önyükleme özelliğine sahiptir [63].

1. PL Konfigürasyon : Quad SPI flash bellek üzerinden önyükleme
2. PS Konfigürasyon : SD kart üzerinden PS'in önyüklemesi.
3. PL Konfigürasyon : USB JTAG portundan önyükleme(Digilent modülü)
4. PL Konfigürasyon : Kartın üzerinde bulunan J2 ve J58 JTAG konfigürasyon portları üzerinden önyükleme [63].



Şekil 5.3. ZC702 Zynq-7000 FPGA deneme kartı [63].

5.1.3. Gelişmiş Genişletilebilir Arayüz AXI (Advanced Extensible Interface)

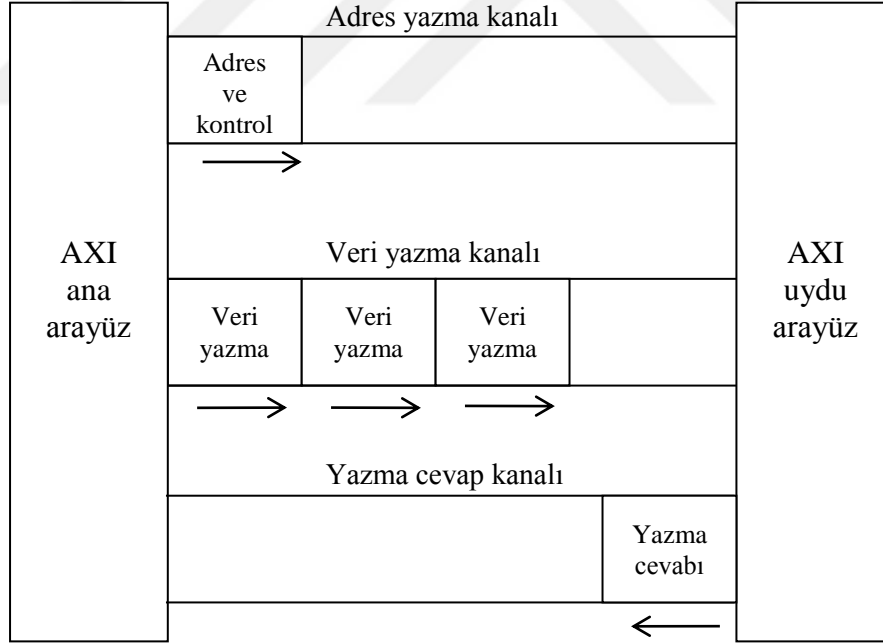
AMBA (Gelişmiş mikrodenetleyici veri yolu mimarisi) standardı, ilk kez 1996 yılında piyasaya sürülen mikrodenetleyicilerde kullanılmak üzere ARM tarafından geliştirilmiş bir veri yolu standardıdır [64]. AMBA'nın bir parçası olan AXI protokolü, AMBA'yı temel alan FPGA'larda IP (Fikir Mülkiyeti) çekirdekleri arasındaki iletişim protokolü olarak tasarlanmıştır. AMBA 4.0'ın 2010 yılında piyasaya sürülen AXI'nin ikinci versiyonu AXI4, tasarımcılara farklı çözüm sunan 3 farklı arayüze sahiptir. Bunlar:

1. AXI4 (AXI4 Bellek haritalı), yüksek performanslı veri iletimi tasarımlarına imkan tanıyan bellek haritalı arabirim. Bu arayüz patlamalı (burst) veri iletimini destekler.

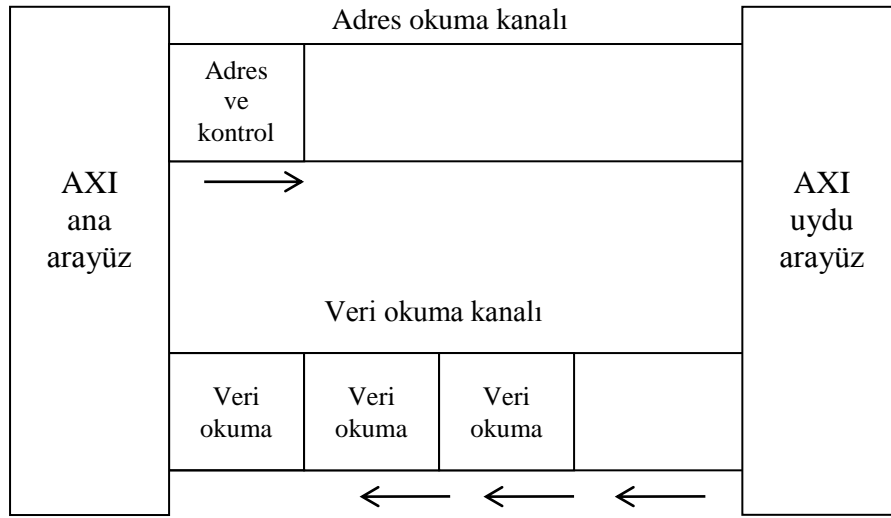
2. AXI4-Lite, tek adres tek veri iletimi destekleyen basit tasarımlar için kullanılan bellek haritalı arayüzdür. Aynı zamanda bu arayüz üzerinden IP çekirdeklerin kontrol ve programlanasıda yapılabilmektedir.
3. AXI4-Akış (AXI4 Stream) Yüksek hızlı tek yönlü veri akışı olan tasarımlarda kullanılan arayüzdür.

AXI4 ve AXI4-Lite ana (Master) ve uydu (Slave) arayüzlerin arasında, adres okuma kanalı, adres yazma kanalı, veri okuma kanalı, veri yazma kanalı ve yazma cevap kanalı olmak üzere 5 farklı kanal vardır (Şekil 5.4 ve Şekil 5.5) [64]. Bu kanallar ayrıktır ve çift yönlü veri transferini destekler.

AXI4 arayüzü, valid/ready el sıkışma protokolünü kullanır. Valid sinyali ana arayüz tarafından, veri, adres veya kontrol bilgisinin gönderileceğini belirtir. Uydu arayüz ise efendi arayüz'ün taleplerine cevap verebileceğini belirten ready sinyalini üretir.

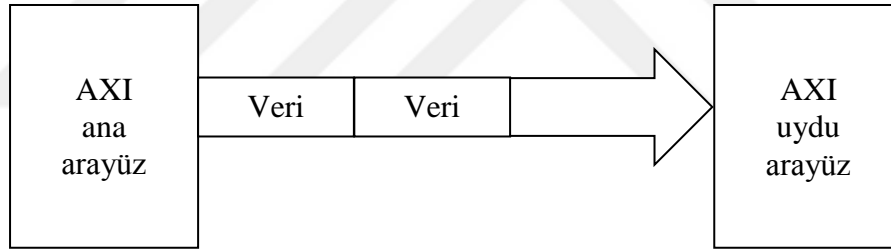


Şekil 5.4. AXI4 yazma kanalı mimarisi [64].



Şekil 5.5. AXI4 okuma kanalı mimarisi [64].

AXI akış mimarisi Şekil 5.6’da olduğu gibi veri tek yönlü olarak ana arayüzden uydu arayüzüne doğrudur. Bu mimari herhangi bir adres kanalı içermez.



Şekil 5.6. AXI4 akış mimarisi [64].

Bu mimarinin sinyalleri, tvalid, tready, tdata, tstrb, tkeep, tlast, tid, tdest ve tuser sinyalleridir.

5.1.4. PL ve PS Arasındaki Portlar

PL ve PS bileşenleri arasında veri alışverişini sağlayacak olan 9 adet port bulunur. Bu portların bazıları ana arayüz bazıları uydu arayüz olarak Zynq cihazında yapılandırılmıştır.

5.1.4.1. HP Portlar (Yüksek Performanslı Portlar)

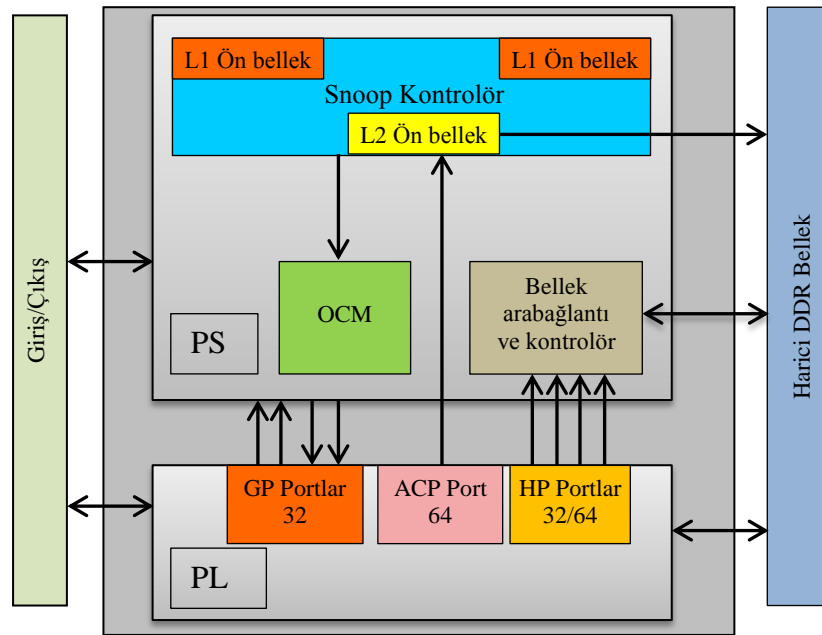
Zynq cihazının PS biriminde 4 adet uydu arayüz HP (yüksek performanslı) portu bulunur. Bu portlarla PL biriminden, 32 veya 64 bit veri yolu genişliğinde doğrudan PS birimindeki DDR (double data rate, çift veri hızlı) ve OCM birimlerine bağlantı yapılabilir.

5.1.4.2. GP Portlar (Genel Amaçlı Portlar)

PL ve PS arasında genel amaçlar için kullanılan, iki adet uydu ve iki adet ana arayüze sahip 32 bit veri genişliğinde dört adet genel amaçlı port bulunur. Bu portlar düşük veri hızlı uygulamalar veya programlanabilir mantık birimindeki IP çekirdeklerin kontrolü için kullanılırlar.

5.1.4.3. ACP Portu (Hızlandırılmış Tutarlılık Portu)

ACP port, yüksek performanslı portlarla aynı özelliğe sahip, 64 bit veri genişliğine sahip porttur. Fakat ön bellek tutarlılığı için doğrudan PS'deki SCU birimine bağlıdır. Şekil 5.7'de Zynq cihazının port bağlantıları görülmektedir.

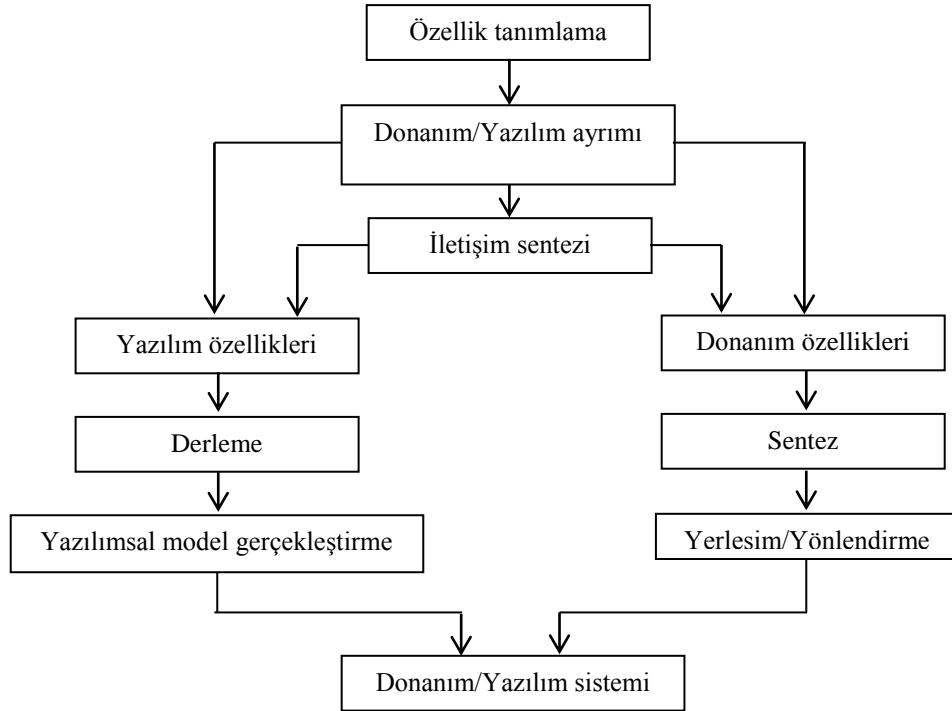


Şekil 5.7. Zynq cihazı PL-PS port bağlantısı.

5.2. DONANIM YAZILIM EŞ TASARIM

Donanım/yazılım ortak tasarım, IC (karmaşık entegre) devreleri tasarlamak için 1990'ın başında yeni bir model olarak ortaya çıkmıştır [66]. Donanım/yazılım ortak tasarımı, bir sistemdeki yazılım ve donanımın eş zamanlı tasarımını ifade eder [64]. Uygulamalarda yazılım genellikle bir CPU'da, donanım sistemi ise çoğunlukla bir FPGA üzerinde yürütülür. Yazılımın kullanıcılara sunduğu kolay değiştirilebilirlik ve veri yapılandırması, donanımın düşük güç tüketimi ve paralel işleme özelliği bu yapı üzerinde bütünleşir. Şekil 5.8'de genel bir donanım/yazılım eş tasarımın akış şeması gösterilmektedir.

Özellik tanımlama, hedef sistemin donanım ve yazılımın özelliklerinin amaçlanan tasarımın ihtiyaçlarını karşılamasını ifade etmektedir. Donanım özellikleri hedef sistemin donanım yapısını ifade eder. Tasarlanan yapı, sentez, yönlendirme ve yerleşim ile donanım öğelerine dönüştürülür. Yazılım gerçekleştirme modeli kullanılarak yazılım elementleri yazılım özellikleri ile bütünleştirilir. Bu işlemler yazılım sürecine benzer. Donanım/yazılım sistemi ise tüm bir sistemi ifade eder.



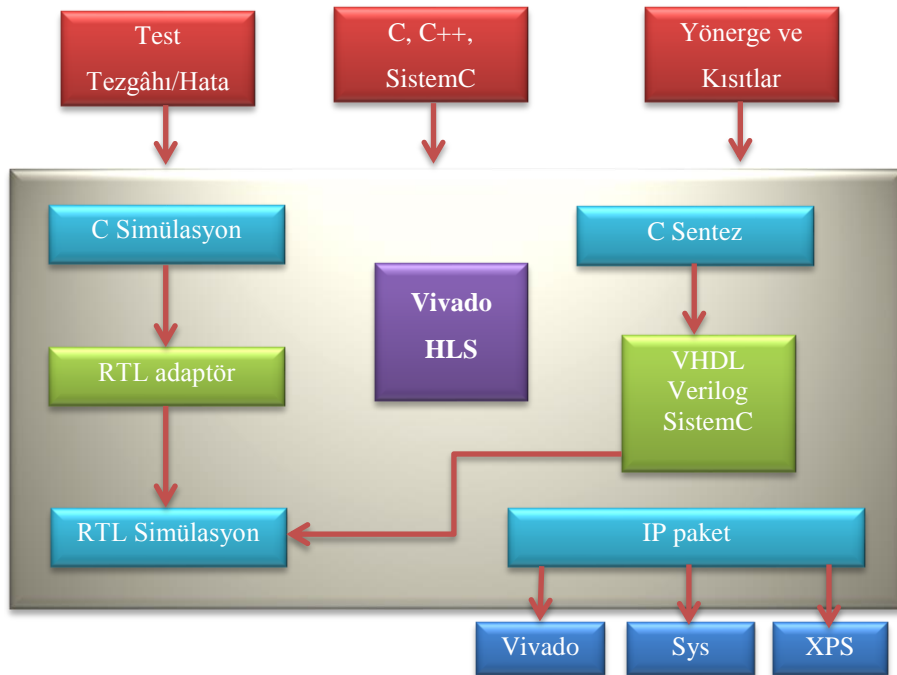
Şekil 5.8. Donanım yazılım eş tasarımın akış şeması [68].

5.3. XILINX ZYNQ CİHAZININ TASARIM ARAÇLARI

Xilinx Zynq cihazları, yapısal olarak farklı PL ve PS birimlerinden oluşmaktadır. Bu birimlerin yapılandırılmasında kullanılan platformlar da farklıdır. Xilinx marka Zynq'in PS birimine ait işlevsellikler kullanılıyorsa işlemciler, saat üretici ve genel I/O birimlerini yapılandırmak için XSDK aracı kullanılır. PL birimindeki FPGA yapılandırması için Vivado Design Suite yazılımı kullanılır. Vivado Design Suite'de, HDL (Verilog,VHDL) dilleri ile tasarım yapılarak özel amaçlı donanımsal hızlandırıcılar tasarlanabileceği gibi Xilinx Vivado HSL ve üçüncü parti araçlar kullanılarak da özel amaçlı tasarımlar gerçekleştirilebilir.

5.3.1. Vivado HLS Aracı (Vivado Yüksek Seviye Sentez)

Vivado HLS Xilinx'in FPGA cihazlarını hedefleyen, HDL (Donanım Tanımlama Dili) dilleri (VHDL, Verilog gibi) ile uzun sürede tasarlanabilen algoritmaları daha kısa sürede çözüme kavuşturan, yüksek seviye sentezlenebilen bir C, C++ ve SystemC odaklı yazılım platformudur [65]. Vivado HLS'in genel yapısı Şekil 5.10'da gösterilmiştir.



Şekil 5.9. Vivado HLS genel giriş çıkış dosyaları[65].

Vivado HLS'in çıkış dosyaları:

1. VHDL (IEEE 1076-2000)
2. Verilog (IEEE 1364-2001)
3. SystemC (IEEE 1666-2006 -sürüm 2.2)'dir [65].

Vivado HLS yazılım platformunda, üst düzey fonksiyonda (top level) tanımlanan parametreler RTL (Kaydedici Transfer Seviyesi) seviyesinde port olarak oluşturulur. Algoritmada, veri yazılan portlar giriş, veri çıkışı olan portlar çıkış, hem okunan hem de yazılan portlar, giriş çıkış için kullanılır. Kullanılacak yönergelerle bu portlar AXI4, AXI-Lite, AXI akış, FIFO (ilk giriş ilk çıkış) ve AXI BRAM (Blok RAM) arayüzü olarak oluşturulabilmektedir. C simülasyon aşamasında bilgisayar görme uygulamalarında kullanılan openCV'nin optimize edilmiş kütüphaneleri kullanılabilir. Ayrıca openCV'nin sentezlenebilir kodları kullanıcılara tasarımda büyük kolaylıklar sağlar. RTL simülasyonu için Vivado HLS, C simülasyon dosyalarını kullanır ve 3. parti programları destekler. Vivado HLS'den gelen çıktılar Vivado Design Suite, DSP tasarımları için System Generator (Vivado ve ISE sürümleri) veya Xilinx Platform Stüdyo (XPS)'da IP çekirdeği olarak kullanılabilir [69]. Bu tezde bütün IP çekirdekleri Vivado HLS tasarım ortamında oluşturulmuş ve Vivado tasarım ortamında kullanılmıştır.

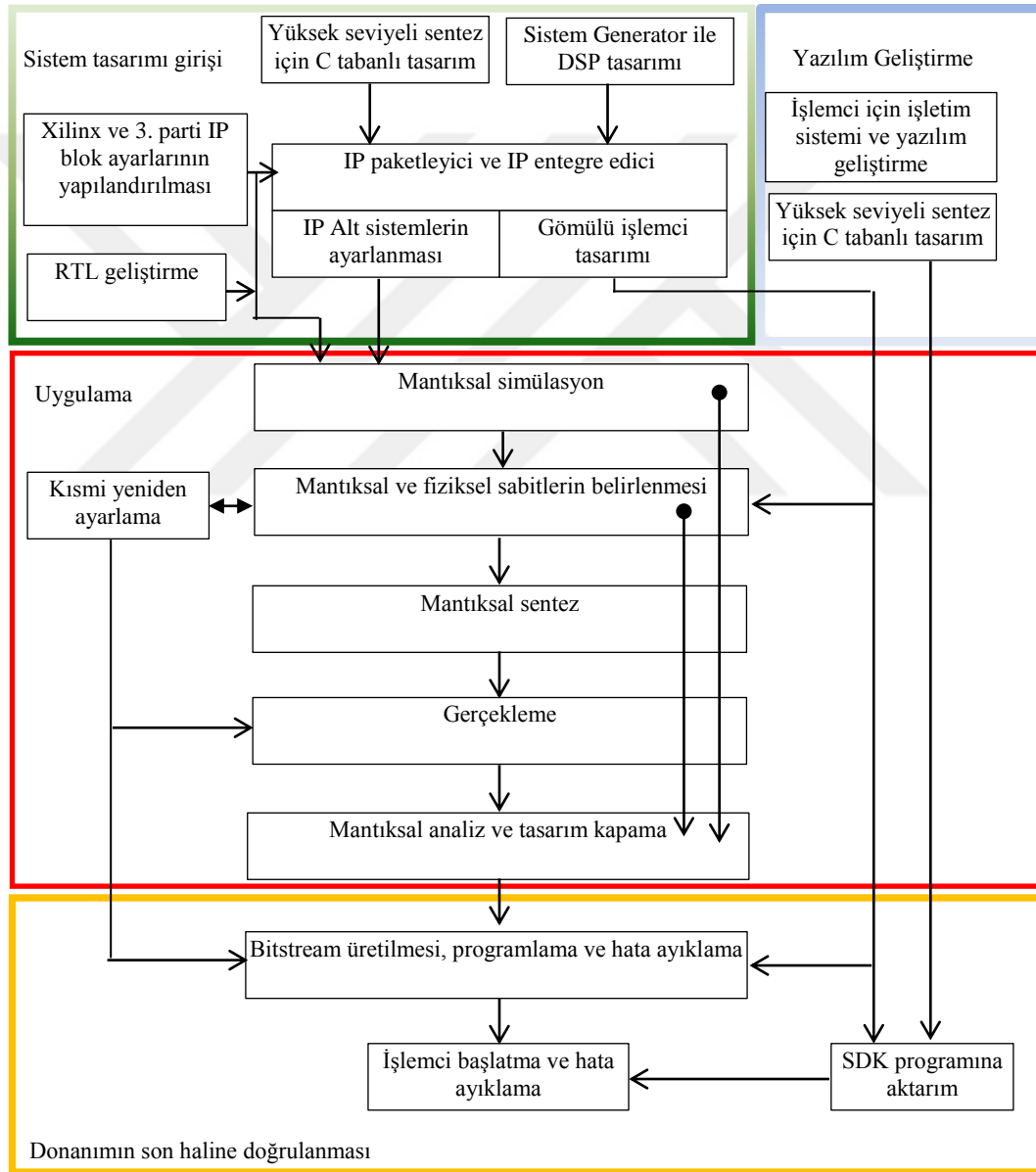
5.3.2. Xilinx Yazılım Geliştirme Aracı (XSDK)

XSDK, Xilinx'in Zynq-7000 programlanabilen SoC gibi gömülü mikroişlemcilerini hedefleyen, yazılım uygulamalarını gerçekleştirmek için kullanılan, bütünleşik geliştirme ortamıdır (IDE) [70]. XSDK, Vivado Design Suite ile oluşturulan donanım tasarımlarıyla çalışır. XSDK donanımdaki işlemcileri ve donanımın belleğe eşlenmiş çevre birimlerini belirlemek için donanım tanımlama dosyalarını kullanır.

5.3.3. Vivado Design Suite Geliştirme Ortamı

Vivado Design Suite, Xilinx tarafından yonga geliştirme ve yüksek seviyeli sentez için sisteme ek özellikler sunan, Xilinx ISE'nin yerine geçen, HDL tasarımlarının

sentezi ve analizi için üretilmiş bir yazılım paketidir. Vivado, oluşturulan HDL tasarımların dijital doğrulaması için simülasyon, sentezleme, gerçekleştirme ve analiz gibi FPGA ve SoC kullanıcıların ihtiyaç duyacağı araçları sunar. Vivado simülatör, VHDL, Verilog ve karma dil tasarımları için zamanlama, fonksiyonel ve davranışsal simülasyon yapmaya imkan tanıyan, Windows ve Linux işletim sistemleri destekli simülasyon programıdır [71]. Şekil 5.10’da Vivado Design Suite’nin tasarım akış şeması görülmektedir.

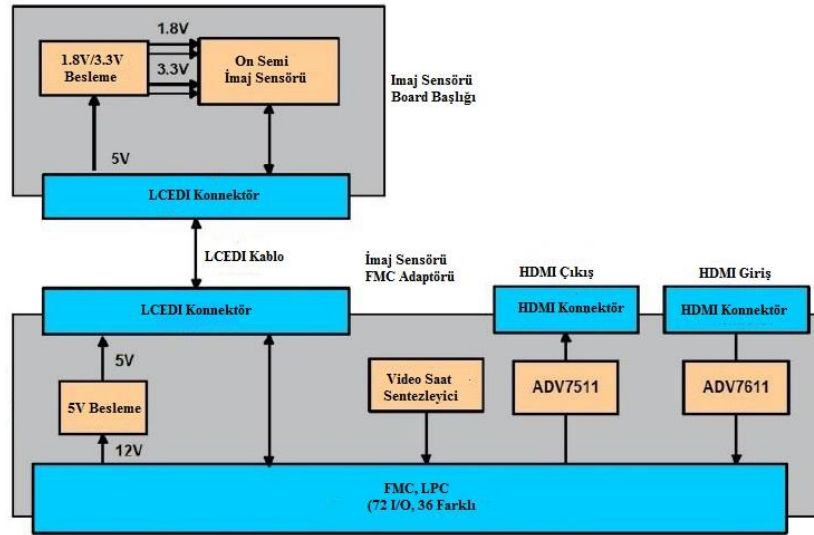


Şekil 5.10. Vivado Design Suite’de tasarım akışı [72].

Vivado Design Suite, sentezleme özelliğinde alan, performans gibi uygunlaştırma seçenekleri vardır. Vivado, kullanıcıların amaçları doğrultusunda bu seçenekleri seçmesine imkan tanır. Gerçekleme aşamasında proje veya otomatik olarak iki farklı seçenek sunan Vivado, proje seçeneğinde adım adım uygunlaştırmalar ve karşılaşılan zamansal hataların giderilmesi için tekrarlı düzeltmeler sunar. Vivado Design Suite geleneksel RTL tasarımına ek olarak önceden yapılandırılmış lojik fonksiyonları ifade eden IP çekirdekleri ve C tabanlı tasarımlarla kullanıcılara hızlandırılmış endüstriyel çözümler de sunar. Aynı zamanda Vivado, Vivado tasarım ortamında tasarlanan IP'lerin yazılım ortamında testi için XSDK programına donanım sürücülerini oluşturur.

5.4. ZYNQ CİHAZI EK DONANIM MODÜLÜ FMC IMAGEON (FPGA ARA KAT KARTI)

FMC, tasarımcıların uygulamalarını geliştirmelerini hızlandırmaları için yeniden yapılandırılabilir giriş çıkış özelliğine sahip, başka cihazlara yönelik elektromekanik genişletme arayüzü tanımlayan, ANSI standardıdır [73]. ZC702 kartı düşük pin sayısına (LPC) sahip iki adet VITA 57.1 FPGA FMC özelliklerini destekler. Şekil 5.11'de bu kartın blok yapısı görülmektedir.



Şekil 5.11. FMC Imageon kartının yapısı [74].

FMC modülü video uygulamaları için kullanıcılara esnek bir tasarım sunar. FMC adaptörü Analog Device'ın HDMI çıkış portu için ADV7511 ve HDMI giriş portu için ADV7611 yongalarını kullanır. Kart, video uygulamalarının farklı çözünürlüklerde gerçekleştirilmesi için video saat sentezleyicisini içerir. IIC (seri veri yolu arayüzü) sayesinde bu kartın saat ayarlamaları dinamik olarak yapılabilmektedir. Bu kart ayrıca video sensör kartını da içerisinde barındırır.

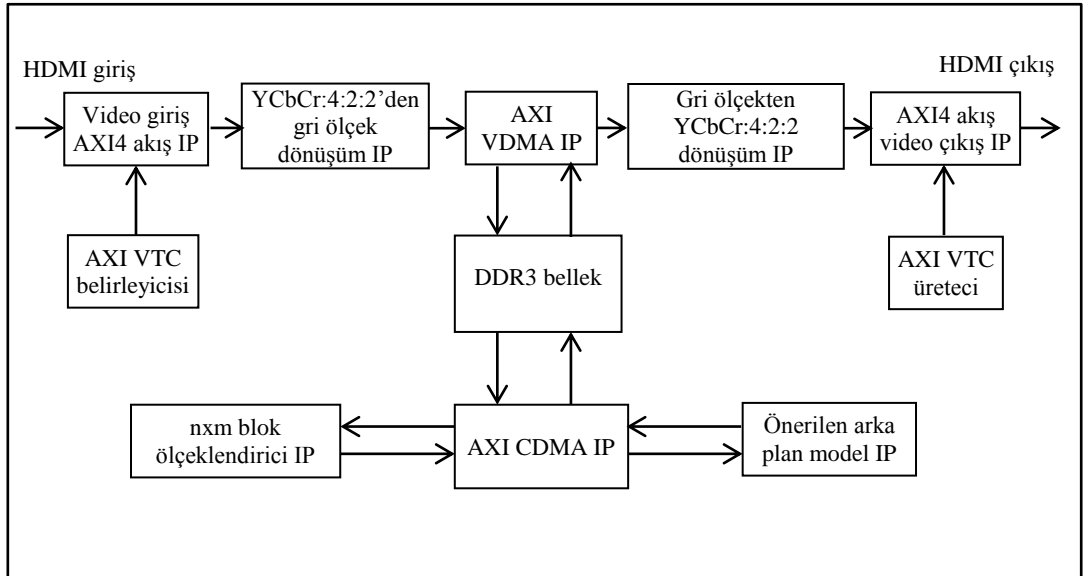


BÖLÜM 6

UYGULAMA BİLEŞENLERİ VE IP ÇEKİRDEK TASARIMLARI

Bu bölümde, Bölüm 3’te önerilen yöntem Xilinx’in Zynq ZC702 deneme kartı üzerinde yapılacaktır. Uygulamanın donanımsal tasarımı için gerekli IP çekirdekler, Vivado HLS aracı kullanarak oluşturulacaktır. Tasarlanan IP çekirdeklerin performans, kaynak kullanım ve simülasyon analizleri yapılarak tasarım bütünsel olarak gerçekleştirilecektir.

Tasarımını gerçekleştirilecek arka plan modeli fazla depolama alanına ihtiyaç duymaktadır. Aynı zamanda yoğun matematiksel işlemlerde içermektedir. Zynq ZC702 cihazının kaynakları göz önünde bulundurulduğunda algoritmaya hem donanımsal hem de tasarımsal uygunlaştırma işlemlerinin uygulanması gereklidir. Tasarımın hızlandırılması için Vivado Design Suite kütüphanesinde bulunana IP çekirdekleri de kullanılacaktır. Tasarımın genel Şekli 6.1’de gösterilmiştir.



Şekil 6.1. Tasarımın genel yapısı.

HDMI (Yüksek Çözünürlüklü Çoklu Ortam Arayüzü) video giriş verileri, video giriş AXI4 akış IP çekirdeği kullanılarak AXI4 akış protokolüne dönüştürülür. YCbCr 4:2:2 renk formatından, Y verileri (16-235) renk aralığından (0-255) renk aralığına dönüştürerek AXI VDMA (Video Doğrudan Belleğe Erişim) ile DDR3 belleğe yazılır. AXI CDMA (Merkezi Doğrudan Belleğe Erişim) IP çekirdeği ile nxm blok ölçeklendirici ve önerilen arka plan modeli IP birimlerine dağıtılan veriler, bu birimlerde işlendikten sonra AXI CDMA ile DDR3 belleğe tekrar yazılır. AXI VDMA ile DDR3 bellekten sonuçlar çıkış hattına gönderilir. Gri ölçekten YCbCr 4:2:2 renk formatına dönüştürülen akış verileri, AXI4 akış video çıkış IP çekirdeği kullanılarak HDMI arayüzüne yazılır. Video çerçevesini 2x2, 4x4, 6x6, 8x8 boyutlarında ölçeklendirebilmek ve nxm blok ölçeklendirici IP'nin performansını, arka plan IP'sinin performansından ayrı ölçülebilmek için önerilen arka plan modeli ve nxm blok ölçeklendirici IP çekirdekleri ayrı tasarlanmıştır.

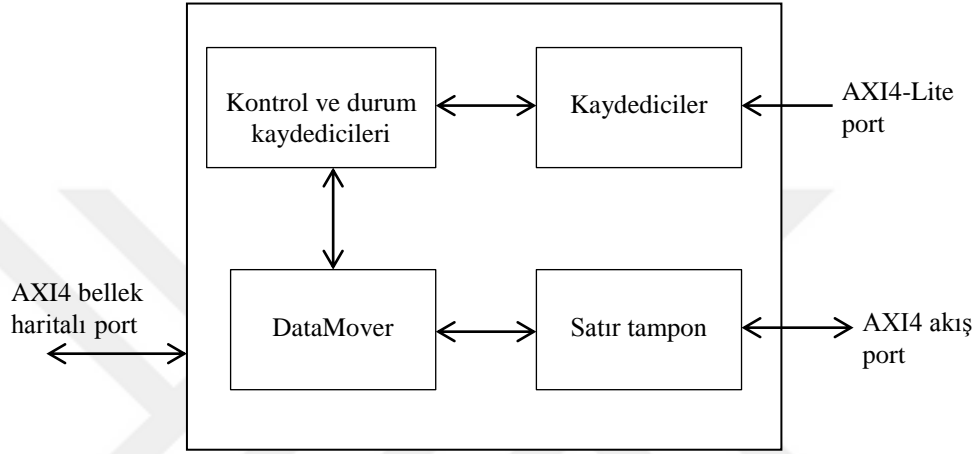
6.1. VIVADO DESIGN SUITE KÜTÜPHANESİNDEN KULLANILAN IP ÇEKİRDEKLER VE ÖZELLİKLERİ

Vivado Design Suite kullanıcıların tasarımlarını daha hızlı ve kolay yapabilmeleri için optimize edilmiş IP çekirdeklerini ücretsiz olarak kullanıcıların hizmetine sunar. Bu çekirdekleri tasarımın türüne göre yapılandırmakta mümkündür. Bu çalışmada, Vivado kütüphanesinden video sinyallerini AXI4 akış arayüzüne çeviren video giriş AXI4 çıkış, AXI4 akış arayüzü sinyallerini video sinyallerine çeviren, AXI4 giriş video çıkış, video protokolünü kullanan uygulamaların bellek elemanı ile yüksek hızda veri alışı verişini sağlayan, AXI VDMA, verilerin çeşitli birimler arasında yönetilmesini sağlayan AXI CDMA ve video sinyallerinin senkronizasyonunu sağlayan AXI VTC IP çekirdekleri kullanıldı.

6.1.1. AXI VDMA (AXI Video Doğrudan Belleğe Erişim)

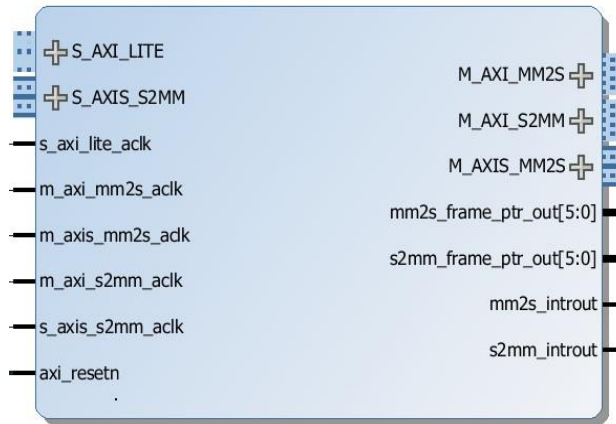
AXI VDMA çekirdeği, sistem belleği DDR3 ile video protokolüne sahip video IP çekirdekleri arasında yüksek hızlı veri iletişimini sağlar. AXI VDMA çekirdeği AXI akış protokolünden AXI4 protokolüne çevrimi sağlayan data mover bloğu, satır tamponlar, durum ve kontrol kaydedicileri ile AXI VDMA bloğunun

programlanmasını sağlayan AXI-Lite portundan oluşur. Şekil 6.2’de VDMA’nın blok yapısı gösterilmiştir. Video uygulamalarında kaynak veriyi üreten ve tüketen arasında farklı hızlar veya farklı uygulamalar için farklı saat hızları ile tasarımlar yapıldığında çerçeve tamponlarının kullanımı gereklidir. VDMA bloğu aynı tampona aynı anda video çerçevelerin okunması veya yazılmasını engelleyen genlock mekanizmasına sahiptir.



Şekil 6.2. AXI VDMA blok yapısı [72].

Genlock mekanizması isteğe bağlı olarak harici veya dahili olarak seçilebilir. AXI VDMA, AXI4 için veri genişliğini 32, 64, 128, 256, 512 ve 1024 bite kadar destekler. AXI akış portu için ise 8 bitten 1024 bite kadar veri genişliğini destekler [75].

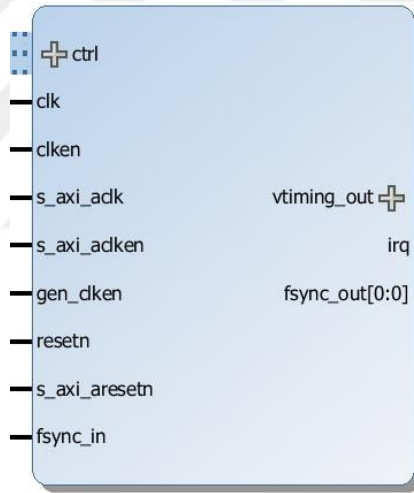


Şekil 6.3. Vivado’da kullanılan AXI VDMA IP çekirdek yapısı [72].

Şekil 6.3'te AXI VDMA IP çekirdeği, S_AXIS_S2MM (uydu arayüze sahip AXI akıştan bellek haritalı porta) portundan akış verilerini okur ve M_AXI_S2MM (ana arayüze sahip AXI akıştan bellek haritalı porta) portu üzerinden harici bellek DDR3'e verileri yazar. M_AXI_MM2S (ana arayüze sahip bellek haritalıdan AXI akış portuna) portu harici bellekten bilgileri okur ve M_AXIS_MM2S (ana arayüz sahip AXI akıştan bellek haritalı porta) portu ile verileri çıkış portuna yazar.

6.1.2. AXI VTC (AXI Video Zamanlayıcı Kontrolcüsü)

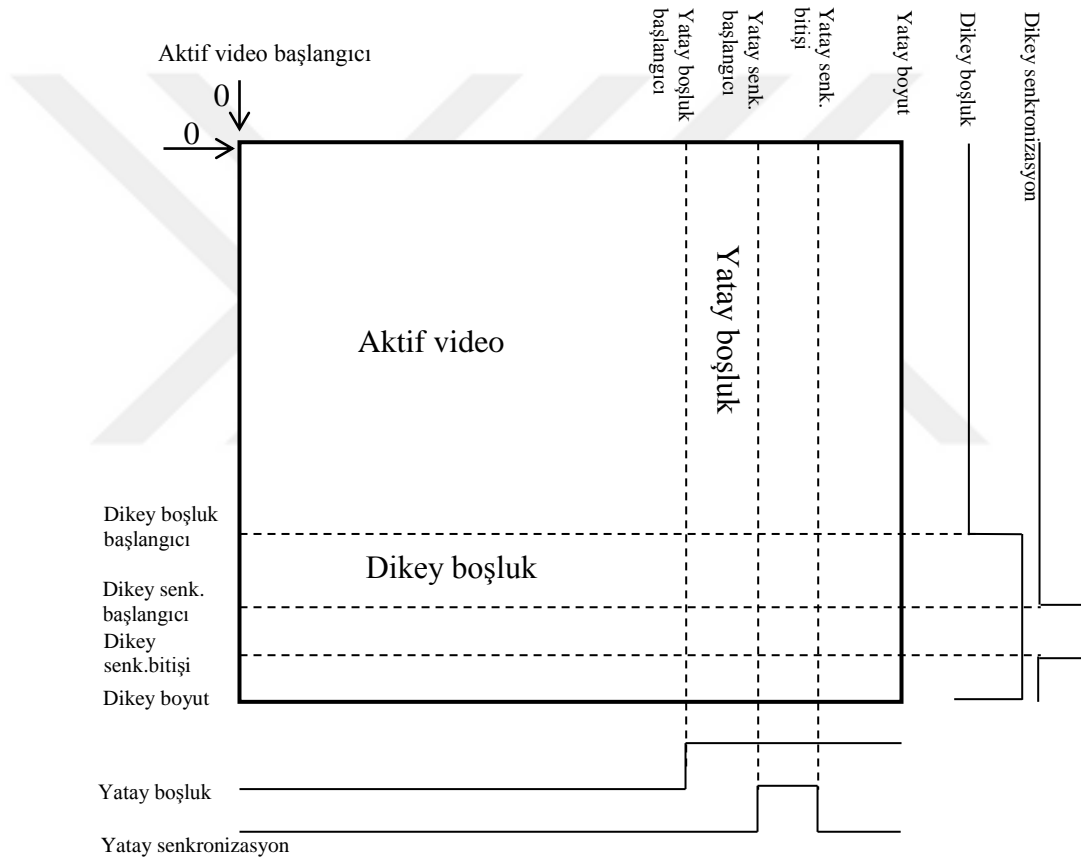
Video sistemlerinde ihtiyaç duyulan senkron sinyalleri için bu blok hem video sinyallerinin üretimi hem de algılayıcısı olarak kullanılır. Bu çekirdeğin Vivado'da kullanılan IP çekirdek yapısı Şekil 6.4'te görülmektedir.



Şekil 6.4. Vivado Design Suite'de AXI VTC IP çekirdek yapısı.

AXI VTC, video kaynakları ve akış sinyalleri arasında dönüşüm yapan, video giriş AXI akış, AXI akış video çıkış IP çekirdekleri ile birlikte yapılandırılır. Video zaman algılayıcısı, video giriş AXI akış bloğundan gelen akış verilerindeki zamanlama verilerini elde ederken, zaman üretici ise AXI akış video çıkış bloğuna zamanlama sinyallerini üretir. Bu IP çekirdeğin kullandığı sinyaller yatay ve dikey senkronizasyon, polarite, boşluk ve aktif piksel alan sinyalleridir. Bu çekirdeği AXI-Lite portu üzerinden dinamik olarak yapılandırmak mümkündür [76].

Şekil 6.5'te gösterilen zamanlama sinyallerini 1080p YUV 4:2:2 görüntüsü için özetleyecek olursak: Aktif video dikey piksel 1080, yatay 1920, dikey bütün çerçeve boyutu 1125, yatay bütün çerçeve boyutu 2200, yatay senkronizasyon başlangıcı 2008, bitişi 2052, dikey senkronizasyon başlangıcı 1084, bitişi 1089'dur. Video çözünürlüklerine göre bu sayılar değişiklik göstermektedir. Polarite zamanlama değişkeni 0 ve 1 sırasıyla dikey ve yatay senkronizasyonlara karşılık gelir. Polarite 1 olarak ayarlandığında aktif düşük senkronizasyon darbeleri algılanır. Polarite 0 olduğunda aktif düşük senkronizasyon darbeleri algılanmaz [77].

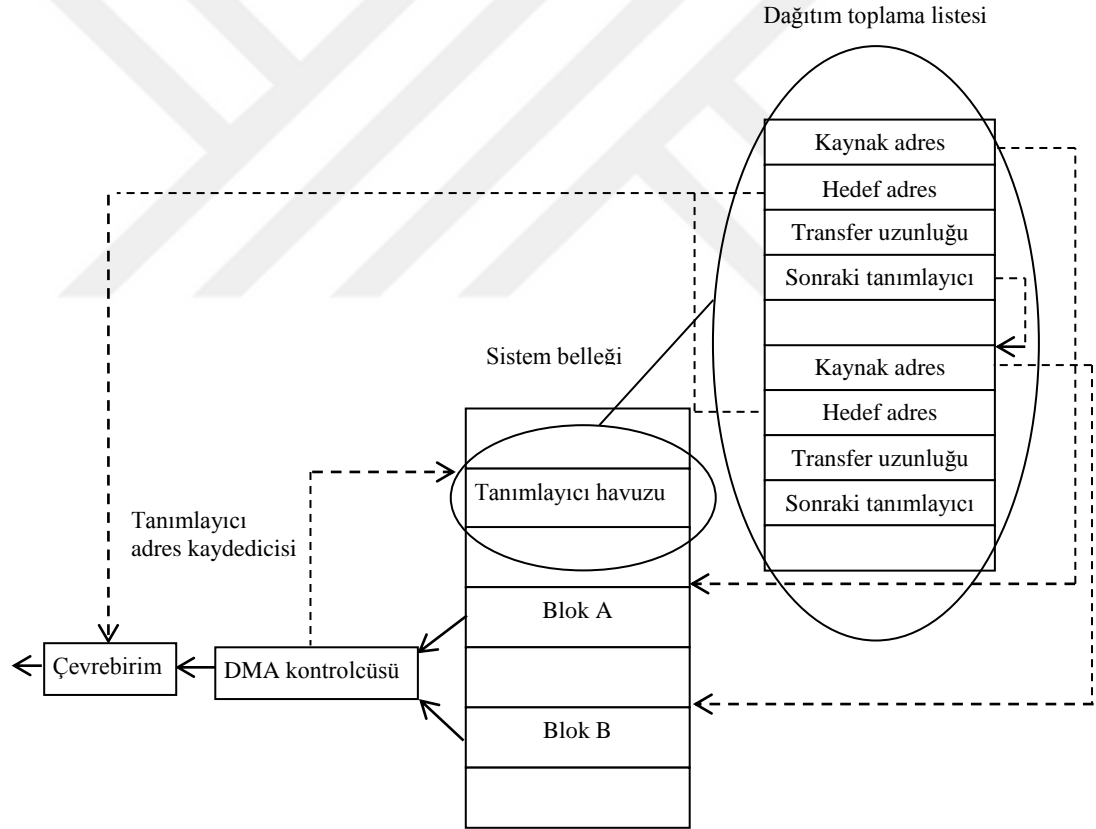


Şekil 6.5. Bir video karesinin zamanlama sinyallerinin gösterimi [75].

6.1.3. AXI CDMA (AXI Merkezi Doğrudan Belleğe Erişim)

AXI CDMA, bir bellek haritalı kaynak adres ile bellek haritalı hedef adres arasında AXI4 protokolünü kullanarak yüksek bant genişliğinde veri taşınması yapar [78]. Bu bloğun iki kullanım fonksiyonu vardır. Bunlar basit kullanım ve dağıtım toplama (scatter gather) fonksiyonlarıdır. Dağıtım-toplama fonksiyonunda cihaz CPU'dan

bağımsız olarak çalışır. Video işleme sistemlerinde bir verinin birden fazla kullanılması gerekebilir veya farklı işlem blokları tarafından verinin işlenmesi gerekebilir. Bu durumda her seferinde veriyi işleyecek olan birimin işlemciden ardışık verileri talebi belirli bir saat periyodu gecikmeye sebep olur. Bu durum sistemin çalışmasını olumsuz yönde etkiler. Bu olumsuzluğu gidermek için bellek haritalı adresler arasında veri alış verişini hızlandıran AXI CDMA IP çekirdeği dağıtım toplama fonksiyonunda kullanılır. Bu fonksiyonda tanımlanan, kaynak adres, hedef adres, daha sonraki tanımlayıcı ve aktarılacak bayt miktarı (transfer uzunluğu) kaydedicileri bu fonksiyonun tanımlayıcılarıdır. Bu fonksiyonun işleyişi Şekil 6.6'da gösterilmiştir.

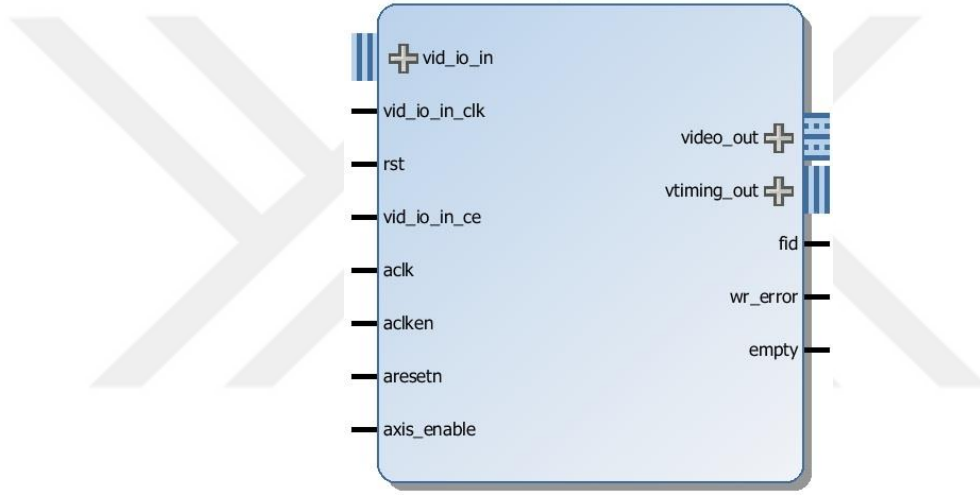


Şekil 6.6. Dağıtım-toplama DMA transfer [79].

Her bir tanımlayıcıda kaynak adres, verinin alınacağı adresi, hedef adres verinin aktarılacağı adresi, transfer uzunluğu aktarılacak verinin bayt miktarını ve sonraki tanımlayıcı bir sonraki tanımlayıcının adresinin belirtmektedir. Bu fonksiyonda sistem belleği CPU ve donanım kaynakları tarafından paylaşılan bellek alanıdır.

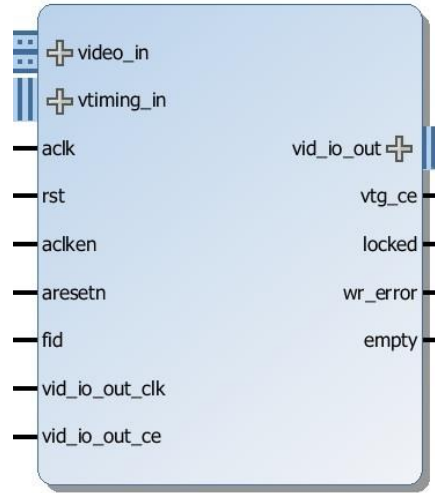
6.1.4. Video Giriş AXI4 Akış ve AXI4 Akış Video Çıkış IP Çekirdekleri

Video giriş AXI4 akış IP çekirdeği, video protokolü ve AXI4 akış arayüzü arasında köprü görevi görür. Video girişine uygulanan video verisi, video sinyallerini AXI4 video protokolüne dönüştürür. Bu çekirdek AXI VTC ile birlikte çalışır. Akış arayüzündeki veri genişliği 8 bitin katları ile sınırlıdır [80]. Ayrıca bu çekirdek kullanıcılara video formatı veya AXI akış için veri genişliği gibi ayarlamaları yapmaya imkan tanır. Aşağıdaki Şekil 6.7’de video giriş AXI4 akış çekirdeğinin Vivado Design Suite’de kullanılan IP yapısı gösterilmiştir.



Şekil 6.7. Vivado Design Suite’de video giriş AXI4 akış IP çekirdek yapısı.

AXI4 akış video çıkış çekirdeği AXI akış verilerini video protokolüne dönüştürmek için tasarlanmıştır. Bu çekirdek AXI VTC ile birlikte çalışır. Video işlemede çerçeve tamponlu ve çerçeve tamponsuz olmak üzere iki temel yapılandırma kullanır. Aynı zamanda ana cihaz ve uydu cihaz olmak üzere iki zamanlama seçeneğini bulundur. Uydu cihaz seçeneği, çerçeve tamponu kullanılmayan tasarımlarda kullanılır. Bu seçenekte video çıkış çekirdeği, VTC üreticinden senkronizasyonların zamanlamasını kontrol etmek için saat yetkilendirmesini kullanır. Ana cihaz seçeneği, çerçeve tamponu içeren tasarımlarda kullanılır. Bu seçenekte VTC, zamanlama sinyallerini yönetir. Video çıkış çekirdeği hat boyunca verilere basınç uygulayarak, verileri zamanlama sinyalleri ile senkronize eder [81]. Şekil 6.8, AXI4 akış video çıkış çekirdeğinin Vivado Design Suite’de kullanılan IP yapısıdır.



Şekil 6.8. Vivado Design Suite’de AXI4 akış video çıkış IP çekirdek yapısı.

6.2. RENK UZAYLARI VE GRİ ÖLÇEK DÖNÜŞÜMÜ

6.2.1. RGB Renk Uzayı

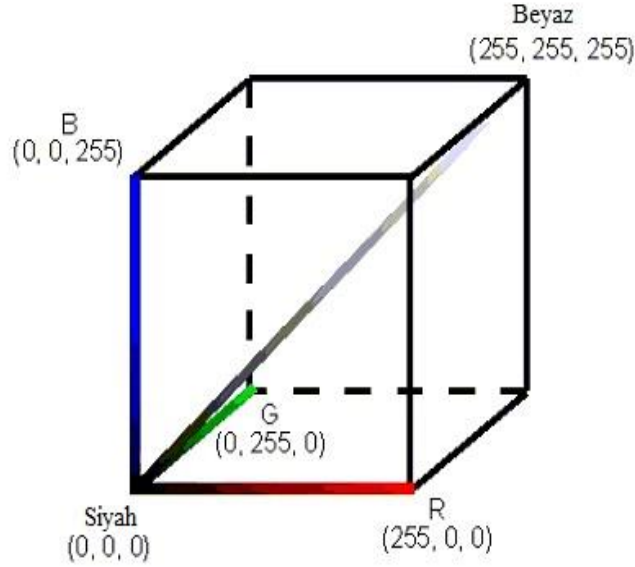
RGB (Red Green Blue, Kırmızı Yeşil Mavi) renk uzayı üç temel renkten oluşmaktadır. Bu renkler kırmızı, yeşil ve mavidir.



Şekil 6.9. RGB renk uzayının renk tekerleğinde renklerin oluşumu.

RGB renk uzayı üç boyutlu kartezyen koordinat sistemi olarak tanımlanabilir. Bu renk uzayında farklı renkler oluşturmak için bu üç renk, farklı oranlarda karıştırılır. Genellikle her renk için yoğunluk aralığı 0-255 (1 bayt) aralığındadır. Bu değer, renk

derinliđi olarak adlandırılır. Örneđin üç renk kanalının tümü 0 deđerine sahipse oluşacak renk siyah, 255 ise beyazdır.



Şekil 6.10. RGB Renk uzayı kartezyen koordinat sistemi.

RGB renk uzayından gri ölçeđe dönüşüm için yaygın olarak kullanılan iki tane yöntem bulunur. Ortalama alma ve ađırlıklandırılmış yöntemlerdir.

Ortalama alma yönteminde 3 rengin toplamının aritmetik ortalaması alınır. Gri ölçek= $(R+G+B)/3$ bu eşitlikte, her renk farklı dalga boylarına sahip olduğundan istenen sonuç elde edilemeyebilir. Fakat geçerli bir yöntemdir. Ađırlıklandırılmış yöntemde ise renklerin dalga boylarına göre ađırlıklı deđerleri alınır. Gri ölçek= $((0,3*R) + (0,59*G) + (0,11*B))$, bu eşitliđe göre kırmızının katkısı %30, yeşilin katkısı %59 ve mavinin %11'dir.

6.2.2. YUV\YCbCr Renk Uzayı

Özellikle video sistemlerinde kullanılan YUV renk formatında Y parlaklıđı, U (Chrominance1) ve V (Chrominance2) rengi belirleyen sinyallerdir [82-83]. Bu modele luma (parlaklık bilgisi) chroma (renk bilgisi) renk modeli de denilmektedir. U deđeri maviden Y deđerinin, V deđeri ise kırmızıdan Y deđerinin çıkartılması ile

oluşur. Y değerinin aralığı (16-235), Cb ve Cr'nin (16-240)'dır [83]. Aşağıdaki eşitlikler, RGB renk uzayından YCbCr renk uzayına dönüşümü göstermektedir. Çizelge 6.1'de YCbCr'nin farklı değerleri için renklerin oluşumunu gösterilmiştir.

$$Y = 0,257 * R + 0,504 * G + 0,98 * B + 16 \quad (6.1)$$

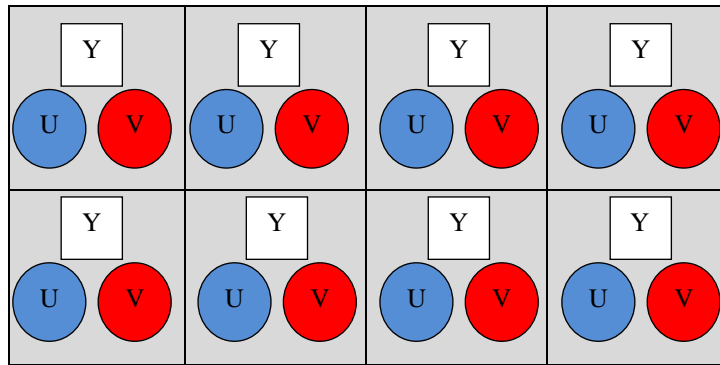
$$Cb = -0,148 * R - 0,291 * G + 0,439 * B + 128 \quad (6.2)$$

$$Cr = 0,439 * R - 0,368 * G - 0,071 * B + 128 \quad (6.3)$$

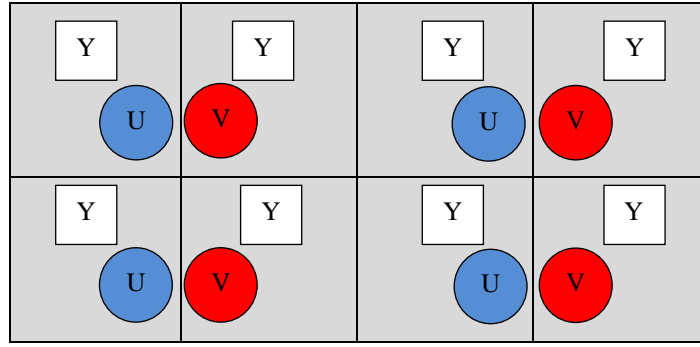
Çizelge 6.1. YCbCr değerlerinden farklı renklerin elde edilmiş değerleri [83].

	Beyaz	Sarı	Yeşil	Eflatun	Kırmızı	Mavi	Siyah
Y	235	210	145	107	82	41	16
Cb	128	16	54	202	90	240	128
Cr	128	146	34	221	240	110	128

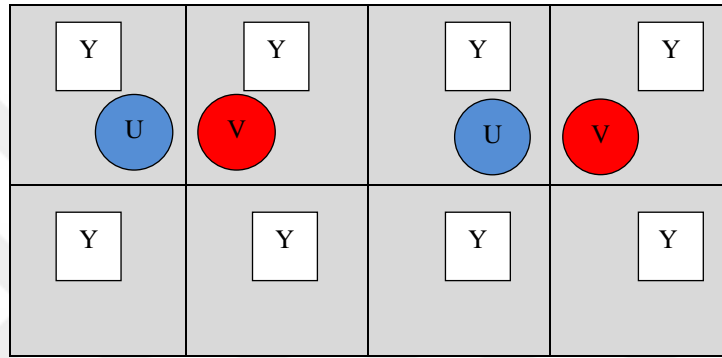
Eşitlik 6.1'de Y değeri gri ölçek değerine karşılık gelmektedir. Y'nin (16-235) renk aralık değeri çeşitli dönüşümlerle (0-255) aralığına dönüştürülebilir. YPbPc analog uygulamalara yönelik luma chroma renk modelidir. YPbPc'nin dijital sistemlerde kullanılan eşdeğeri YCbCr'dir. Dijital sistemlerde YCbCr 4:4:4 formatının (Şekil 6.11) bant genişliğini azaltmak için YCbCr'nin alt örnekleme yapıları mevcuttur (Şekil 6.12 ve Şekil 6.13).



Şekil 6.11. YUV/YCbCr 4:4:4 [85].



Şekil 6.12. YUV/YCbCr 4:2:2 [85].



Şekil 6.13. YUV/YCbCr 4:2:0 [85].

6.3. ZYNQ ZC702 DENEME KARTINDA ÖNERİLEN YÖNTEMİN TASARIMI

Zynq ZC702 deneme kartında önerilen yöntem için gerekli olan IP çekirdeklerin tasarımı, Vivado HLS tasarım aracı kullanılarak yapılacaktır. IP çekirdeklerin donanım sinyal simülasyonları için ModelSim SE-64 10.5 programı kullanılacaktır.

6.3.1. 16 bit YCbCr 4:2:2 Renk Formatını 8 bit Gri Ölçeğe Dönüştüren IP Çekirdek Tasarımı

FMC Imageon modülü Xilinx için tasarlanmış olduğu HDMI giriş sürücüsü 16 bit YCbCr 4:2:2 video formatını kullanmaktadır [74]. Xilinx AXI rehberinde, YCbCr 4:2:2 için Y bilgisi, 16 bitlik AXI veri formatında düşük öncelikli “0-7” bitlere, Cb ve Cr, yüksek öncelikli “15-8” bitlere hizalanmıştır [60]. Şekil 6.14’te bu hizalama gösterilmiştir. Burada Y pikselin parlaklık, Cb ve Cr renk bilgisini göstermektedir.

Renk bileşeni	Cb0	Y1	Cr0	Y0
Bit aralığı	15-8	0-7	15-8	0-7

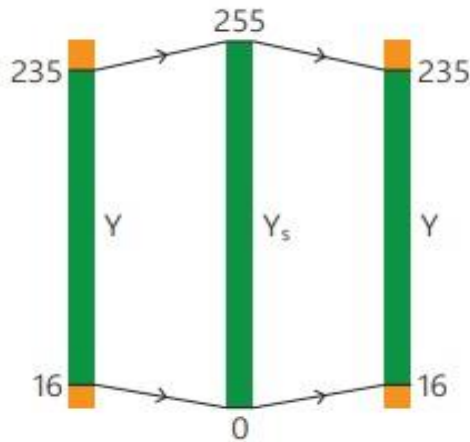
Şekil 6.14. YCbCr 4:2:2 video formatının Xilinx FMC imageon HDMI çıkışındaki yapısı.

Tasarımın giriş katı Şekil 6.15'te özetlenmiştir. Video giriş AXI4 akış IP çekirdeğinden gelen YCbCr 4:2:2 renk formatı, tasarlanan IP çekirdeği ile 8 bit gri ölçeğe dönüştürülecektir.



Şekil 6.15. Tasarımın giriş katı için akış şeması.

YCbCr renk uzayında Y değeri (16-235) arasında sınırlandırılmıştır. Bu değeri, Bölüm 3'te önerilen (0-255) gri renk seviye ölçeğinde ifade edebilmek için Şekil 6.16'da olduğu gibi kontrast ölçeklenmesi kullanıldı. Bu ölçeklemede veri kayıpları ve matematiksel işlemlerden dolayı oluşacak zamansal gecikmeleri en az seviyeye indirmek için Cedernaes'ın çalışmasında tanımladığı kontrast ölçeklenmesinden faydalanıldı [85].



Şekil 6.16. İki aralık arasındaki ölçekleme [85].

Eşitlik 6.4'te Y_s , (0-255) aralığında dönüşüm yapılacak piksel parlaklık değerini ve Eşitlik 6.5'te Y , (16-235) aralığındaki YCbCr için parlaklık değerini ifade etmektedir. Dönüşümde oluşabilecek hatanın en aza indirgenmesi için M ve N 'nin farklı kombinasyonları Matlab programında L2 normunu ile hesaplanmış ve en uygun değerler belirlenmiştir (Eşitlik 6.6 ve Eşitlik 6.7) [85].

$$Y_s = ((Y - 16) \times M) \times 2^N \quad (6.4)$$

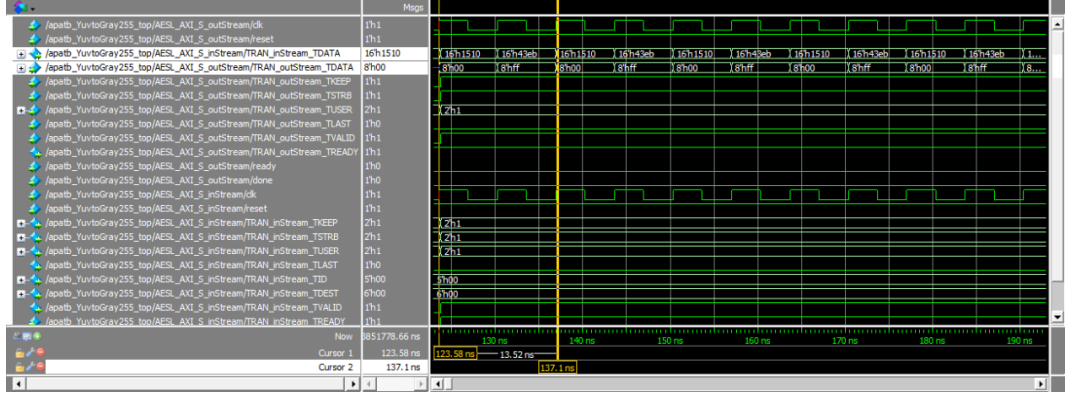
$$Y = (Y_s \times M) \times 2^N + 16 \quad (6.5)$$

$$Y \rightarrow Y_s \quad M = 299 \quad N = 8 \quad (6.6)$$

$$Y_s \rightarrow Y \quad M = 55 \quad N = 6 \quad (6.7)$$

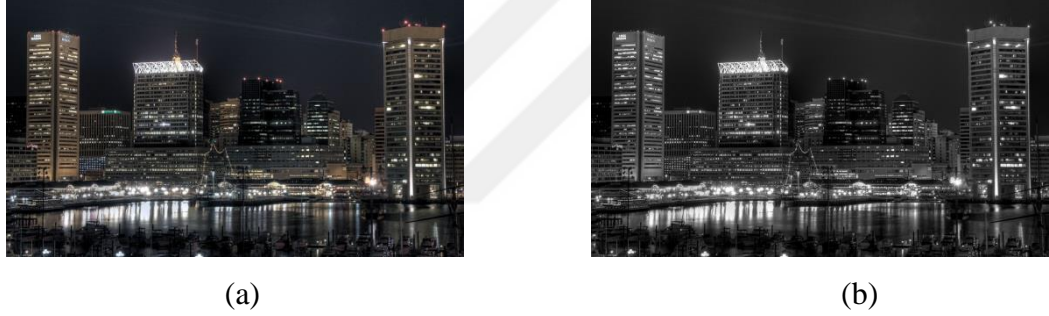
Tasarımda video formatı 1080' dir. Bu görüntü formatında bir çerçevenin aktif video boyutu 1920 sütun ve 1080 satırdan oluşur. Avnet FMC Imegaon kartı için saniyedeki çerçeve hızı (fps) 60'tır. Bu tasarım için ana fonksiyonun (top level function) sınırı 1920x1080 olarak ayarlanmıştır. 16 bit YCbCr 4:2:2 formatını 8 bit gri ölçeğe dönüştüren IP çekirdeğin giriş ve çıkış arayüzü AXI4 akıştır. Giriş portu veri genişliği YCbCr 4:2:2 görüntü formatı için 16 bit, çıkış portu gri seviye için 8 bittir. Veri aralığının (16-235)'ten (0-255) dönüştürülme esnasında çarpma ve bölme işlemlerinden kaynaklanacak zaman gecikmesini en az seviyeye indirmek için bakış tablosu (look-up table) kullanılmıştır. Oluşturulan IP çekirdeğinin lojik doğrulaması için IP çekirdeğin 16 bitlik girişine 0x1510 ve 0x43EB verileri giriş olarak uygulanmıştır.

Bu IP çekirdeğin lojik sinyal simülasyon sonucu Şekil 6.17'de gösterilmiştir. YCbCr 4:2:2 formatında Cb ve Cr'ye ait yüksek öncelikli baytların ("15-8" bitler) olmadığı ve çıkıştan sadece Y değerine ait düşük baytların ("0-7" bitler) çıkışı olduğu görülmektedir. (16-235)'ten (0-255) aralığına dönüşüm için, 0x10 sayısının 0x00'a, 0xEB sayısının da 0xFF'e dönüşümü gösterilmiştir.



Şekil 6.17. İki aralık arasındaki ölçekleme ve YUV 4:2:2 renk formatının Y gri ölçek dönüşüm lojik sinyal simülasyonu.

16 bit YCbCr 4:2:2 renk formatını 8 bit gri ölçeğe dönüştüren IP çekirdeğin C test simülasyonu Şekil 6.18'de gösterilmiştir.



Şekil 6.18. YUV 4:2:2'den gri ölçeğe çevirme Vivado HLS C doğrulaması a) giriş YUV 4:2:2 formatındaki resim b) gri ölçekli çıkış resmi

Tasarlanan IP çekirdeğin Vivado HLS C simülasyonu için 1920x1080 boyutunda YCbCr 4:2:2 formatına çevrilmiş bir resim, tasarlanan fonksiyona giriş olarak verilmiş ve çıkıştan gri seviyeye çevrilmesiyle C simülasyon doğrulaması yapılmıştır.

Performans değerlendirme kriterlerinde önemli iki parametre vardır. Bunlar fonksiyon gecikmesi (latency) ve fonksiyonun aralığı (Initiation Interval (II))'dir. Fonksiyonun gecikmesi bütün çıkış değerlerini hesaplamak için fonksiyonun ihtiyaç duyduğu saat çevrimidir. Aralık ise fonksiyonun yeni giriş verilerini kabul etmeden önceki saat çevrim sayısıdır [65]. Bu değerlere bağlı olarak yürütme zamanı tahmin edilen saat çevrimi ile gecikme değerinin çarpımından elde edilir. Bu IP çekirdeğin

150 MHz (Mega Hertz) veya 6,67 ns'lik saat frekansında kaynak tüketimi Çizelge 6.2'de ve performans özeti Çizelge 6.3'te özetlenmiştir.

Çizelge 6.2. 16 bit YCbCr 4:2:2 renk formatını 8 bit gri ölçeğe dönüştüren IP çekirdeğin kaynak tüketimi.

YUV 4:2:2'den gri ölçek	Mevcut kaynaklar	Kullanılan kaynak adet	Kullanılan kaynak yüzde
BRAM_18K	280	0	0
DSP48E	220	0	0
FF	106400	24	~0
LUT	53200	639	~1

Bu tasarımın kaynak kullanımı, 24 FF (flip flop) ve 639 LUT (Bakış tablosu)'dur.

Çizelge 6.3. 16 bit YCbCr 4:2:2 renk formatını 8 bit gri ölçeğe dönüştüren IP çekirdeğin performans özeti.

Zamanlama Özeti (ns)			
Saat	Hedef	Tahmin edilen	Belirlenemeyen
Varsayılan	6,67	3,80	0,83
Gecikme (saat çevrimi)			
Gecikme		Aralık	
Min	Max	Min	Max
2073601	2073601	2073602	2073602

Tahmin edilen saat periyodu en kötü durumda 3,80 ns'dir. Çıkış veri hızı 1,26 KSPS (saniyedeki kilo örnek sayısı)'dır. 1920x1080 boyutundaki bir çerçevenin işlenmesi için geçen süre $2073601 \times 3,80 = 7,87$ ms'dir. Ana fonksiyon gecikmesi 2073601 saat çevrimidir. Bu değer ana fonksiyonun bütün giriş verilerin hesaplanması için gereken saat çevrimidir. Ana fonksiyonun bir sonraki veri grubunu kabul edeceği aralık ise 2073602 saat çevrimidir. Yinelenme gecikmesi ise 1 saat çevrimidir. Bu değerler tahmini olduğu için öngörülemez gerçekleştirme aşamasındaki yerleştirme ve bağlantı için gecikme 0,83 ns'dir.

6.3.2. Önerilen Arka Plan Modelinin Vivado HLS ile Tasarımı

Zynq ZC702 cihazı birçok uygulamayı gerçekleştirebilecek kapasiteye sahip olabilmesine karşın PL birimindeki kaynakları sınırlıdır. Özellikle yoğun veri işlemleri içeren video uygulamalarında FPGA kaynakları yetersiz kalmaktadır. Uygulamalar yüksek kaynaklara sahip FPGA'larla gerçekleştirilebilir fakat tasarımcılar maliyet kriterini de göz önüne bulundurmak zorundadır.

Bölüm 3'te Microsoft Visual Studio 2010 C++ programı ile gerçekleştirilen uygulamadaki nxm blok ölçeklendirici ve arka plan çıkartım yapılarının performansları ayrıık olarak değerlendirilecektir. Bundan dolayı iki farklı IP çekirdek tasarlanacaktır.

6.3.2.1. nxm Blok Ölçeklendirici IP Çekirdeğin Tasarımı

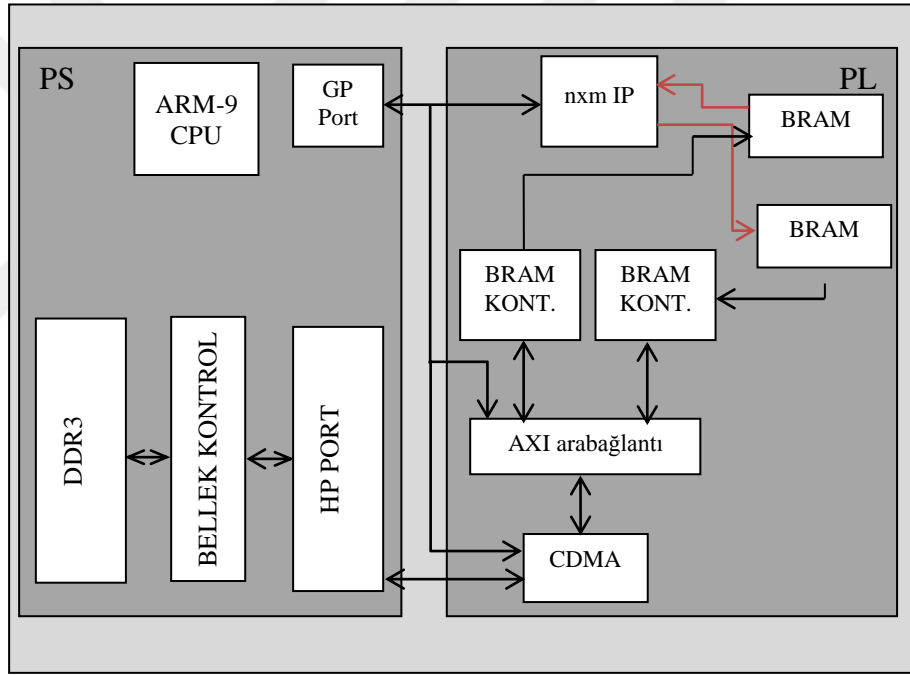
AXI VDMA IP'si, AXI akış girişinden 8 bit (1 bayt) genişliğinde ardışık olarak gelen piksel verileri kullanıcının belirlediği düşük adres alanından başlayarak DDR3 belleğine bayt seviyesinde Şekil 6.19'da olduğu gibi ardışık olarak yerleştirir.

0x00000000	Y_0
0x00000001	Y_1
0x00000002	Y_2
0x0000000N-1	Y_{N-1}

Şekil 6.19. Gri ölçekli piksel değerlerinin DDR3 bellek alanına yerleştirilmesi.

Tasarımda ilk olarak işlem yapılacak piksel verileri AXI CDMA IP'sinin dağıtım toplama fonksiyonu kullanılarak DDR3 bellek alanından, PL birimindeki BRAM'lere gönderilir. Veriler, nxm blok ölçeklendirici IP çekirdeği işlemlerini tamamlamasından sonra AXI CDMA IP'si ile BRAM'lerden DDR3 bellek alanına geri gönderilir. HP port, AXI CDMA, AXI BRAM kontrolör veri genişlikleri, veri okuma ve yazma zaman gecikmelerini en aza indirebilmek için 64 bit veri genişliğe ayarlanmıştır. Böylece her saat çevriminde DDR3 belegeinden 64 bitlik veri BRAM'lere okunur ve yazılır. BRAM'ler, Zynq cihazının PL kısmında

bulduğundan PS kısmında bulunan DDR3 bellek alanından BRAM'lere veri okunup yazılabilmesi için AXI BRAM kontrolörün kullanılması gereklidir. AXI BRAM kontrolörlerin veri genişlikleri 64 bit olarak yapılandırıldığından BRAM kontrolörlerin BRAM'lere olan bağlantı portlarının da veri genişlikleri 64 bit olarak yapılandırılmıştır. Bu yapılandırma için BRAM'lerin "stand alone mode" seçeneği aktif edilmiştir. BRAM portlarına bağlanacak nxm blok ölçeklendirici IP çekirdeğinin portları bir saat çevriminde daha fazla veri okuyup yazabilmesi için 8 bit yerine 32 bit veri genişliğinde yapılandırılmıştır. Yani her çevrimde BRAM'den 4 baytlık veri okunup blok ölçüsüne bağlı olarak yeterli okuma yapıldıktan sonra çıkış portuna 4 baytlık veri yazılır. Bu tasarımın Şekli 6.20'de gösterilmiştir.



Şekil 6.20. nxm blok ölçeklendirici IP'nin veri akış şeması.

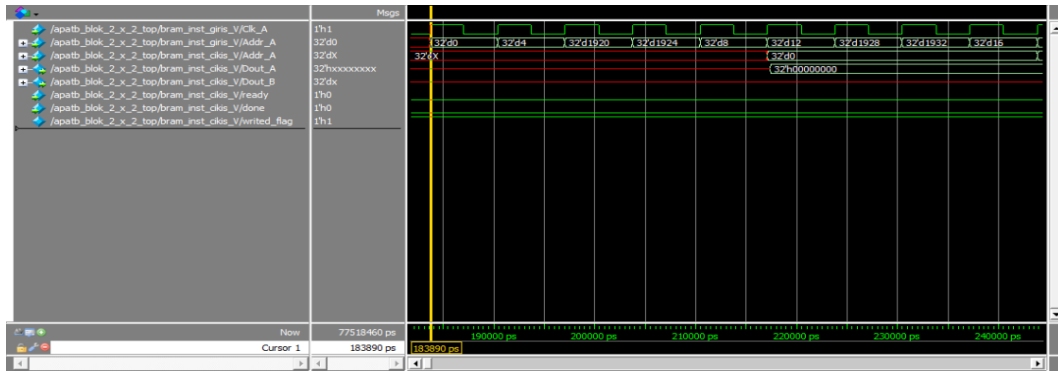
Eşitlik 3.21 için tasarlanacak nxm blok yapıları 2x2, 4x4, 6x6 ve 8x8'dir. Şekil 6.21, nxm blok ölçeklendirici IP'sinin her blok yapısı için çıkış portuna 4 baytlık veri yazabilmesi için BRAM'lerden okuması gereken veri miktarlarını gösterir.

AXI CDMA IP'sinin BRAM'e taşıdığı veri miktarı $1920 \times 24 = 45$ KB'tır. Vivado tasarım ortamında bu verilerin depolanacağı BRAM alanı 2^n in katı olan 64 KB'ta ayarlanmıştır. nxm blok ölçülerine göre çıkış verileri için gerekli olan bellek alanı aşağıdaki Çizelge 6.4'te gösterilmiştir. Çizelge 6.4'e göre nxm blok ölçeklendirici IP çekirdeğinin çıkış verilerinin depolanacağı BRAM bellek alanı 16 KB olarak ayarlanmıştır.

Çizelge 6.4. nxm blok ölçülerine göre çıkış verileri için ihtiyaç duyulan bellek miktarı.

Blok ölçüleri	Çıkış veri miktarı	Bayt
2x2	960x12	11520
4x4	480x6	2880
6x6	320x4	1280
8x8	240x3	720

2x2 blok ölçeklendirici IP çekirdeğinin bir veriyi çıkış portuna yazılabilmesi için 16 baytlık veriyi okuması gereklidir. Çünkü çıkış portunun veri genişliği dört bayt olarak yapılandırılmıştır. Giriş portu veri genişliği dört bayt olduğundan 16 baytlık veri 4 saat çevriminde okunur. 2x2 blok yapısı için lojik sinyal simülasyonu Şekil 6.22'de görülmektedir.

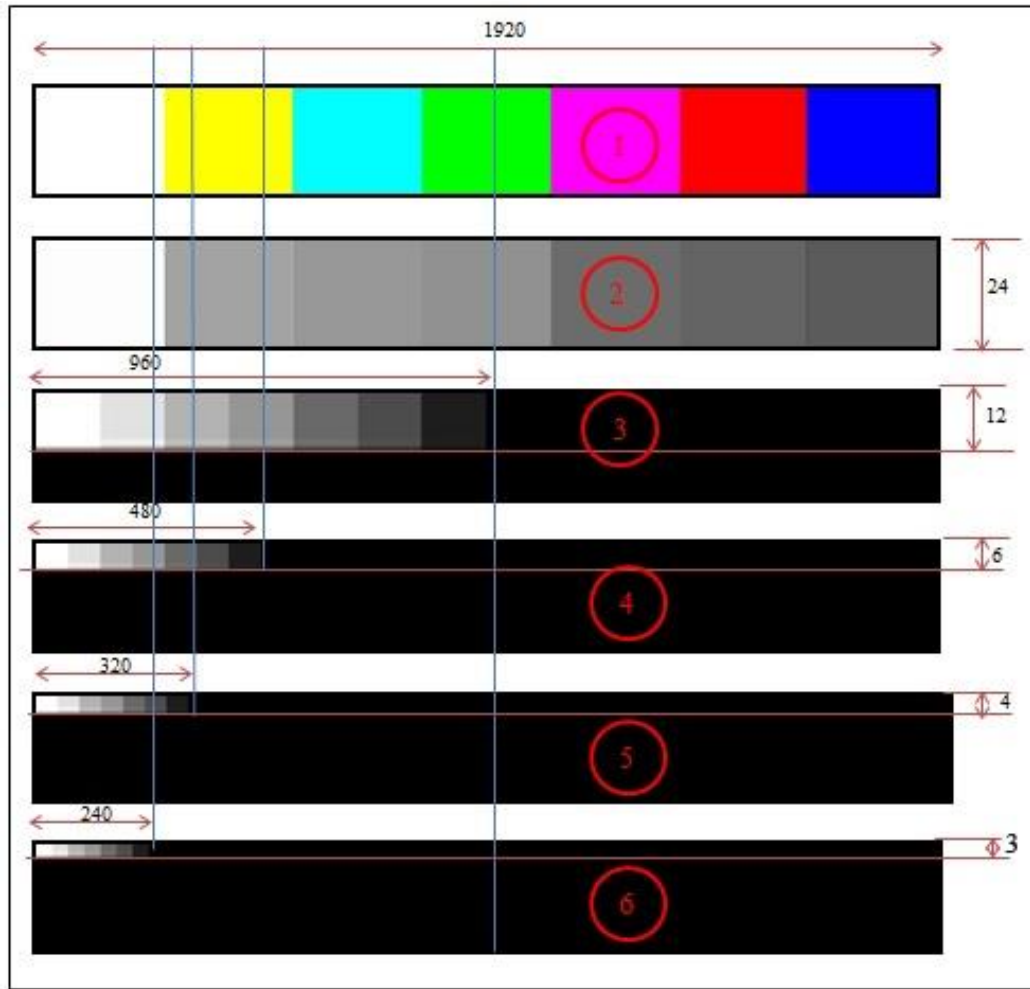


Şekil 6.22. 2x2 Blok IP çekirdeğinin lojik sinyal simülasyonu.

Her dört okumadan sonra sonuç geçerli adreslere yazılır. Okumanın yapıldığı adresler onluk düzeyde d0, d4, d1920, d1921'dir. Sonuç, çıkış adresi d0'a yazılmıştır. Her saat çevriminde 4 baytlık veri okunur ve çıkış 1 saat çevrimi sonra

gerçekleşir. Diğer blok ölçüleri içinde blok yapılarını oluşturacak kadar okuma yaptıktan sonra veriler çıkışa yazılır.

Vivado HLS tasarım ortamında gerçekleştirilen 2x2, 4x4, 6x6 ve 8x8 blok yapıları için algoritmanın Vivado HLS C test simülasyon doğrulaması yapılmıştır. Şekil 6.23'te bir numaralı resim, iki numaralı gri ölçekli resme çevrilmiş ve algoritmaya giriş olarak verilmiştir. Üç, dört, beş ve altı numaralı resimler sırasıyla 2x2, 4x4, 6x6 ve 8x8 blok yapıları için algoritmanın ürettiği sonuçlardır.



Şekil 6.23. $n \times m$ blok ölçeklendirici IP çekirdeğinin Vivado HLS C test simülasyon sonuçları.

$n \times m$ blok ölçeklendirici IP çekirdek yapıları için n ve m parametre değerleri algorithmada sabit değerler olarak kullanılmıştır. Değişken parametre kullanımlarında Vivado HLS kaynak kullanımını arttırmaktadır. Bütün tasarımlarda

saat frekansı 150 Mhz (6,67 ns)'e ayarlamış ve 1920x24 baylık veri grubu için ölçümler yapılmıştır. Her nxm blok yapısının kaynak kullanımı ve performans değerleri sırasıyla Çizelge 6.5 ve Çizelge 6.6'da özetlenmiştir.

Çizelge 6.5. nxm blok ölçeklendirici IP çekirdeğinin tahmini kaynak kullanımı.

nxm blok	Mevcut kaynak	2x2 IP çekirdek kaynak kullanımı		4x4 IP çekirdek kaynak kullanımı		6x6 IP çekirdek kaynak kullanımı		8x8 IP çekirdek kaynak kullanımı	
	Adet	Adet	Yüzde	Adet	Yüzde	Adet	Yüzde	Adet	Yüzde
BRAM_18K	280	0	0	0	0	0	0	0	0
DSP48E	220	0	0	0	0	5	2	0	0
FF	53200	238	~0	601	~0	1960	1	2449	2
LUT	106400	328	~0	921	~1	2469	4	3036	5

Çizelge 6.6. nxm blok ölçeklendirici IP çekirdeğinin performans özeti.

nxm blok	Zamanlama özeti (ns)				
	Saat	Hedef	Tahmin edilen	Belirlenemeyen	
2x2	Varsayılan	6,67	5,13	0,83	
4x4	Varsayılan	6,67	5,13	0,83	
6x6	Varsayılan	6,67	5,48	0,83	
8x8	Varsayılan	6,67	5,27	0,83	
nxm blok	Gecikme (saat çevrimi)				
	Gecikme		Aralık		Yürütme zamanı ms
	Min	Max	Min	Max	
2x2	11569	11569	11570	11570	0,0593
4x4	11545	11545	11546	11546	0,0592
6x6	11530	11530	11531	11531	0,0631
8x8	11526	11526	11527	11527	0,0607

2x2 bloğun yürütme zamanı, $11569 \times 5,13 = 0,0593$ ms'dir. Giriş veri boyutu 1920x24 için bütün nxm blok ölçeklendirici IP çekirdeklerin yürütme zamanı yaklaşık olarak birbirine eşittir. Zynq cihazından kullanılacak kaynak miktarı nxm boyutu arttıkça artmaktadır. Çünkü nxm IP bloğun çıkış portundan 4 baytlık veri çıkışı yapılabilmesi için okunması gereken veri miktarı ve matematiksel işlemlerin sayısı blok ölçüleriyle doğru orantılı olarak artmaktadır.

6.3.2.2. Önerilen Arka Plan Yapısının Tasarımı ve Uygunlaştırılması

Zynq cihazlarında birçok hazır IP'nin AXI arayüz veri genişliği 64 veya 32 bit olarak ayarlanmıştır. ZC702 deneme kartı için tasarlanacak Vivado HLS arka plan model IP'sinin bütün veri yolları 32 bit olarak yapılandırılmıştır. Zynq cihazı için Eşitlikler 3.12, 3.13 ve 3.23'ün tasarımı yapılacaktır. Bu eşitliklere göre gerekli olan parametre listesi Çizelge 6.7'de bir piksel için tanımlanmıştır.

Çizelge 6.7. Bir piksel için arka plan modelinde gerekli olan parametreler.

Parametreler	Parametreler isimleri	Adet	Veri türü	Kullanılan bayt
P_{bs}	Histogramdaki grup sayısı	64	float	256
$CC_1(x, y)$	1. sayıcı	1	char	1
$CC_2(x, y)$	2. sayıcı	1	char	1
$CC_3(x, y)$	3. sayıcı	1	char	1
C_k	Pikselin histogram grup merkezi belirleyicisi	1	char	1
$\tau_{t-75}(x, y)$	Pikseldeki son yetmiş beş çerçevedeki değişim değeri	1	char	1
$\tau_{t-50}(x, y)$	Pikselin son elli çerçevedeki değişim değeri	1	char	1
$s(x, y)$	Piksel durum değişim belirleme	1	char	1
F_s	Çerçeve sayısı sayıcı	1	char	1
$\tau_t(x, y)$	Uyarlanabilir eşik parametresi	1	float	4
$\mu_{b,t}(x, y)$	Blok ortalama piksel değeri	1	char	1
0-255	Ön plan maske değeri	1	char	1

Çizelge 6.7'ye göre toplamda bir piksel için 270 baytlık bellek alanı gereklidir. Bu miktar bir satır için hesaplanacak olursa $270 \times 1920 = 507$ KB'dır. Bu değer Zynq ZC702 cihazının bütün BRAM kaynaklarının kullanılacağı anlamına gelmektedir. Bir diğer sorun parametre çokluğu ve parametrelerin veri genişliklerinin orantısız olması. Parametrelerin her biri için ayrı port tanımlanması sistem için ayrıca fazladan kaynak kullanımını da beraberinde getirecektir. Bu sistemin tasarımında bu dezavantajları ortadan kaldırmak için tasarımda uygunlaştırmalar yapılmıştır.

Tasarımda 1. sayıcı, 2. sayıcı, 3. sayıcı ve histogram grup merkezi değerleri C_k , 8 bit veri genişliklerinde olduklarından bu parametreler Vivado HLS'de "data_pack" direktifi kullanılarak 32 veri genişliğinde bir paket olarak oluşturulmuştur.

Tasarımda Çizelge 6.8'i kullanan parametrelerin port ismi "Sayici_Ck" olarak isimlendirilmiştir.

Çizelge 6.8. "Data_pack" direktifi ile parametrelerin aynı portta birleştirilmesi.

Port ismi	"Sayici_Ck"			
Port bit aralıkları	31-24	23-16	15-8	7-0
Parametreler	$CC_3(x, y)$	$CC_2(x, y)$	$CC_1(x, y)$	C_k

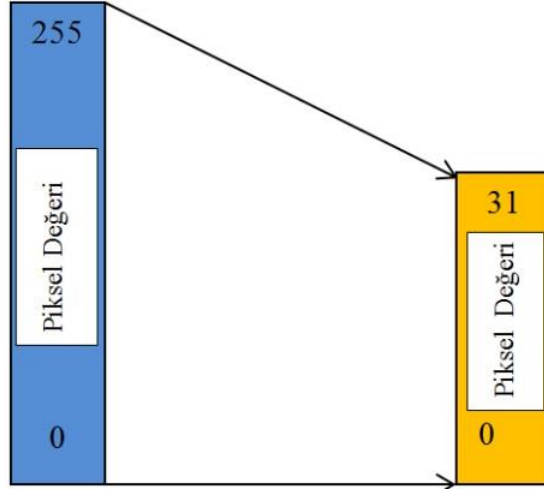
Değişim belirleme, çerçeve sayısı sayıcı, son yetmiş beş ve son elli parametreleri de 8 bit veri genişliğinde olduklarından bu parametreler içinde "data_pack" direktifi kullanılarak port genişliği 32 bit olacak şekilde ayarlanmıştır. Tasarımda Çizelge 6.9'u kullanan parametrelerin port ismi "frame_component" olarak isimlendirilmiştir.

Çizelge 6.9. "Data_pack" direktifi ile parametrelerin aynı portta birleştirilmesi.

Port ismi	"frame_component"			
Port bit aralıkları	31-24	23-16	15-8	7-0
Parametreler	$s(x, y)$	F_s	$\tau_{t-75}(x, y)$	$\tau_{t-50}(x, y)$

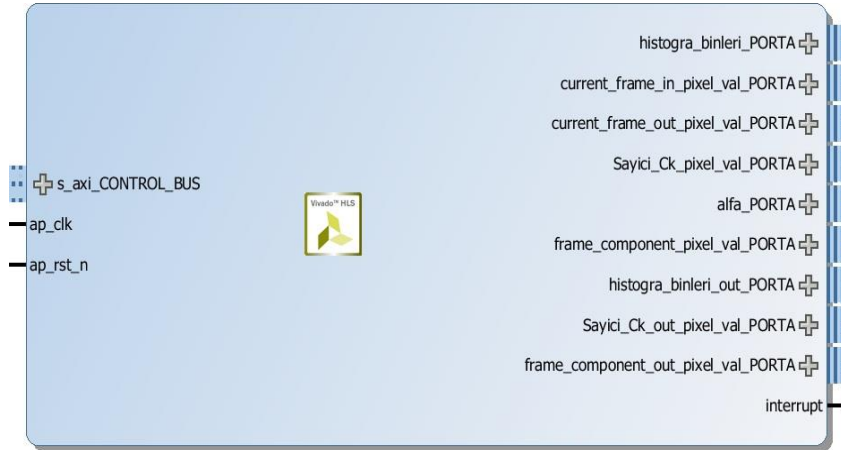
Piksel değerlerinin giriş yaptığı portun veri genişliği de 32 bite ayarlanmıştır. Her saat çevriminde 4 bayt veri okunur ve 4 bayt veri yazılır. Piksel verilerin giriş portu "current_frame_in" olarak isimlendirilmiştir. Bu bölümde uyarlanabilir eşik parametresi τ_t 'nin port ismi "alfa" olarak isimlendirilmiştir. "alfa", her piksel için float veri tipinde olduğundan ayrı bir port olarak oluşturulmuştur. Ön plan maskesinin portu 32 bit genişliğinde "current_frame_out" ismi ile adlandırılmıştır.

Eşitlik 3.23'te B_d değeri 4 olduğundan toplamda her piksel için grup sayısı 64 olan float veri türünden histogram oluşturulur. Bu veri çok fazla bellek alanına ihtiyaç duyduğu gibi tasarımda zamansal bozulmalara sebep olmaktadır. Bu veri portu için veri okuma ve yazma sayısını azaltacak bir uygunlaştırma gerçekleştirilmiştir. Piksel renk derinliği Şekil 6.24'te gösterildiği gibi (0-255)'ten (0-31) aralığında temsil edilerek pikseller için oluşturulacak histogram grup sayısı azaltılır.



Şekil 6.24. Piksel renk derinliğinin dönüşümü.

Bu uygunlaştırma ile her piksel için histogram grup genişlikleri $B_d=2$ olarak ayarlanmıştır. Böylece her piksele ait histogram grup sayısı 64 yerine 16 olarak uygunlaştırılmıştır. Histogram verilerinin kullanıldığı port “histogram_binleri” olarak adlandırılmıştır. Tasarım için uygunlaştırmalar gerçekleştirilmiş ve Şekil 6.25’te arka plan IP çekirdeği oluşturulmuştur.



Şekil 6.25. Tasarlanan arka plan IP çekirdeği.

Bu IP çekirdeğinin kaynak kullanım değerleri Çizelge 6.10’da özetlenmiştir. Bu IP çekirdeğinin üst seviye fonksiyon sınırı 480 adet piksel değerini ve buna bağlı parametre değerini işleyecek yapıda tasarlanmıştır.

Çizelge 6.10. Önerilen arka plan modeli kaynak kullanımı.

Arka plan modeli	Mevcut kaynaklar	Kullanılan kaynak	Kullanılan kaynak
Birim	Adet	Adet	Yüzde
BRAM_18K	280	0	%0
DSP48E	220	9	%4
FF	106400	10684	%10
LUT	53200	13213	%24

Bu IP çekirdeğinin tasarımı için toplamda 10684 FF, 9 adet DSP48E ve 13213 adet LUT kullanılmıştır. Diğer tasarımlara göre bu IP çekirdeğinin kaynak kullanımı fazladır. Çünkü bu IP çekirdeği diğer tasarımlara göre float veri tipinde yoğun matematiksel işlemler içermektedir. Çizelge 6.11’de tasarlanan IP çekirdeğinin performans özeti gösterilmektedir.

Çizelge 6.11. Önerilen arka plan modeli performans özeti.

Zamanlama Özeti (ns)			
Saat	Hedef	Tahmin edilen	Belirlenemeyen
Varsayılan	6,67	6,34	0,83
Gecikme (saat çevrimi)			
Gecikme		Aralık	
Min	Max	Min	Max
7964	7964	7965	7965

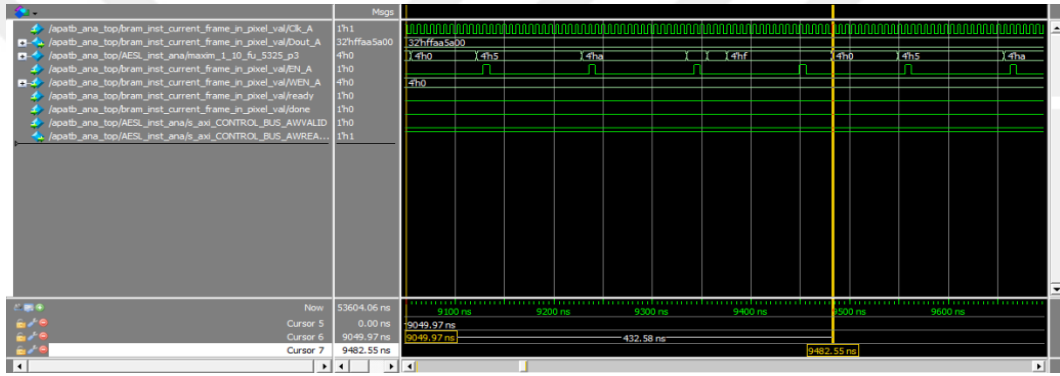
Üst seviye fonksiyonun bu işlemi tamamlayabilmesi için tahmin edilen saat periyodu 6,34 ns’dir. Toplam süre $7964 \times 6,34 = 0,0504$ ms’dir.

Önerilen arka plan modelini oluşturacak IP çekirdeğinin lojik simülasyonu yapılacaktır. Bu simülasyonda “alfa”, “Sayıcı_Ck”, “frame_component” ve “current_frame_in”, portlarına uygulanan parametre değerlerine göre bu portların sahip oldukları parametrelerdeki değişimler gözlenecektir. İlk olarak Çizelge 6.12’deki piksel değerleri, IP çekirdeğinin piksel verilerinin girişi için kullanılan 32 bitlik “current_frame_in” portuna “0xffaa5a00” veri grubu olarak uygulanmıştır. Bu değerlere bağlı olarak IP çekirdeğinin uygun renk aralık dönüşüm yapması incelenmiştir.

Çizelge 6.12. Arka plan modelini oluşturacak IP çekirdeğe uygulanan piksel değerleri.

	“current_frame_in” portundan okunan piksel değerleri			
Bit aralıkları	31-24	23-16	15-8	7-0
Piksel değerleri	255 (0xff)	170 (0xaa)	90 (0x5a)	0 (0x00)

Aralık uygunlaştırmada (0-255) aralığı 16 eşit parçaya böldüğünden fonksiyon, 0 değerini 0 (0x00)’a, 90 değerini 5 (0x05)’e, 170 değerinin 10 (0x0A)’a ve 255 değerinin 15 (0x0F)’e dönüştürmelidir. Şekil 6.26, bu dönüşümün lojik sinyal simülasyonunu göstermektedir.



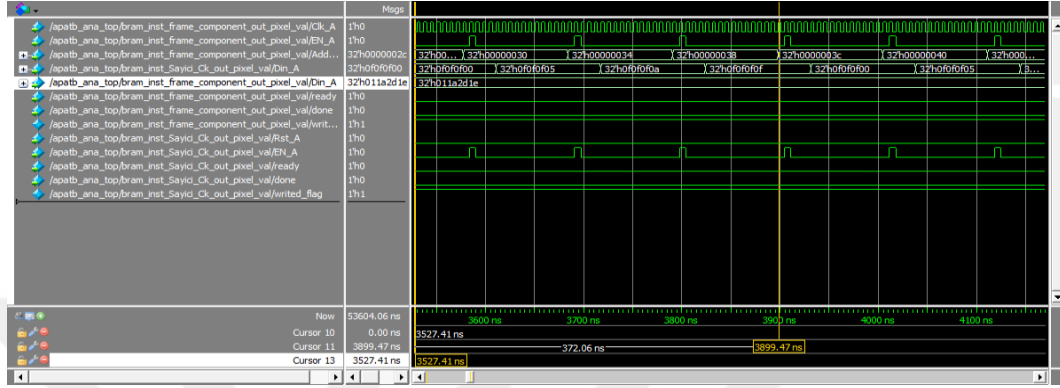
Şekil 6.26. Arka plan renk aralık uygunlaştırma lojik sinyal simülasyonu.

Çizelge 6.13’teki parametreler 32 bitlik “Sayıcı_Ck” portuna 32 bitlik veri grubu olarak uygulanmıştır. Her piksel için aynı sayıcı değerleri giriş olarak uygulanırken, C_k değerleri için yukarıdaki uygunlaştırılmış piksel renk değerleri uygulanmıştır. Böylece bu porta uygulanan değerler “0xfffff00, 0xfffff05, 0xfffff0a, 0xfffff0f” olarak verilebilir.

Çizelge 6.13. Arka plan modelini oluşturacak IP çekirdeğe “Sayıcı_Ck” portuna uygulanan değerler.

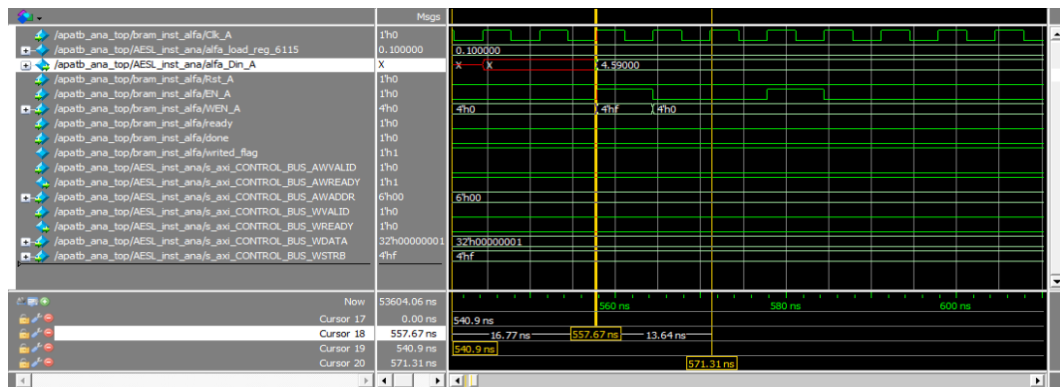
Port ismi	“Sayıcı_Ck”			
Değişken	CC ₃ (x, y)	CC ₂ (x, y)	CC ₁ (x, y)	C _k
Bit aralıkları	31-24	23-16	15-8	7-0
Piksel değerleri	0x0f	0x0f	0x0f	0x0,0x5,0xa,0xf

“frame_componenet” portunun çerçeve sayısı sayıcının değeri 25 (0x19) olarak uygulanmıştır. Çizelge 6.13 değerlerine göre “frame_componenet” portunun dört baytlık alanında, son ellinin, 30 (0x1E), son yetmiş beş’in, 45 (0x2D) ve çerçeve sayısı sayıcının bir çerçeve sonrası, 26 (0x1A) değerleri Şekil 6.27’de gözlenmiştir.



Şekil 6.27. “frame_componenet” portu lojik sinyal simülasyonu.

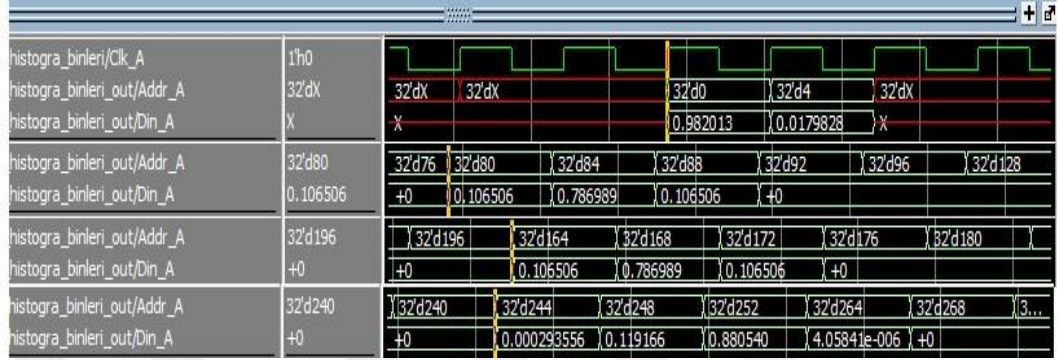
“alfa” portu, eşik parametresi için kullanılmaktadır. “alfa” portundan 0.1 float değeri alfa girişi olarak uygulanmıştır. Bu değere bağlı olarak uyarlanabilir eşik parametresinin değeri $\text{alfa} = 0.9 * \text{alfa} + 0.1 * \tau_{t-75}(x, y)_t$ eşitliğinin lojik simülasyonu, $0.9 \times 0.1 + 0.1 \times 45 = 4.59$ eşitliğinin sayısal sonucu için aşağıdaki Şekil 6.28’de yapılmıştır.



Şekil 6.28. “alfa” portu lojik sinyal simülasyonu

Her piksel değerinin sahip olduğu olasılık değeri en yüksek olasılık değerleri ile geçerli adreslere yazılmalıdır. Histogram aralık değerleri float veri tipinde ve her piksele ait grup aralığı 16 değerinde olduğundan toplamda bir piksele ait 64 baytlık

alan vardır. Birinci piksele ait 0 değeri 0.grup için 0. adrese, 2. piksele ait 90 değeri 5.grup için 84. adrese, üçüncü piksele ait 170 değeri 10.grup için 168. adrese ve dördüncü pikselin 255 değeri 16. grup için 252. adreslere en yüksek olasılık değerleri yazılmalıdır. Bu durumun lojik sinyal simülasyonu Şekil 6.29’da gösterilmiştir.

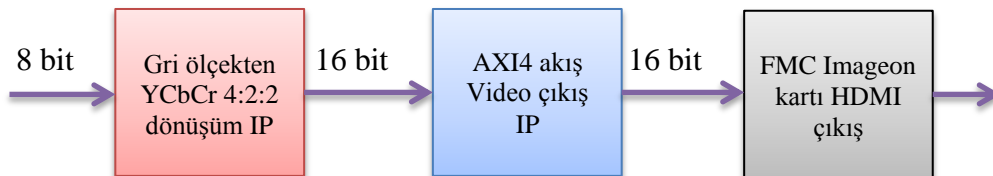


Şekil 6.29. Önerilen arka plan modelinin histogram içeriği lojik sinyal doğrulaması.

Tasarlanan arka plan modelinin IP çekirdek lojik sinyal simülasyonları uygunlaştırma durumları için yapılmıştır. Vivado HLS ortamında tasarlanan bu IP çekirdekler Vivado tasarım ortamı için RTL IP katalogları oluşturulmuştur.

6.3.1. 8 Bit Gri Ölçeği 16 bit YCbCr 4:2:2 Renk Formatına Dönüştüren IP Çekirdek Tasarımı

Şekil 6.30, tasarımın çıkış katının blok şemasını göstermektedir. İlk olarak AXI4 akış video çıkış IP çekirdeğinin, AXI4 akış portuna, 8 bit gri ölçeği 16 bit YCbCr IP çekirdeğinin çıkış değerini uygulayabilmek için çıkış değerini YCbCr 4:2:2 renk formatına dönüştürülmesi gerekmektedir.



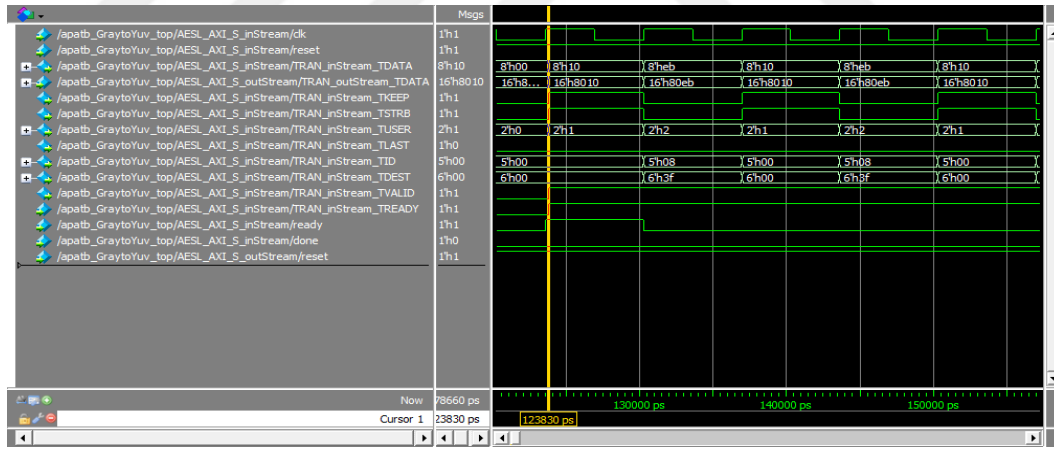
Şekil 6.30. Tasarımın çıkış katı için akış şeması.

Bu tasarımda ön plan maskesinin çıkış değeri, 16 (0x10) veya 235 (0xEB) olarak ayarlanmıştır. 16 değeri pikselin arka plan, 235 değeri ön plan olduğunu gösterir. Çizelge 6.1’de tanımlanan siyah ve beyaz renkler için Cb ve Cr değerlerine 128 (0x80) değerini atamamız yeterlidir. Şekil 6.31’de gri ölçek formatının YCbCr 4:2:2 renk formatına dönüşümü için atanan sayısal değerler gösterilmiştir.

Renk bileşeni	Cb0	Y1	Cr0	Y0
Bit aralığı	15-8	0-7	15-8	0-7
Sayısal değer	128	16-235	128	16-235

Şekil 6.31. Gri ölçek renk formatının YCbCr 4:2:2 renk formatına dönüşümü.

Bu IP çekirdeğin simülasyonu için 8 bitlik giriş portundan Y bileşenine 16 (0x10) ve 235 (0xEB) değerleri uygulanmıştır. IP çekirdeğin 16 bitlik çıkış portuna, Cb veya Cr bileşenlerine 128 (0x80) değerinin eklemesinin lojik simülasyonu aşağıdaki Şekil 6.32’de gösterilmiştir.



Şekil 6.32. Gri ölçekten YCbCr 4:2:2 renk formatına dönüşüm lojik sinyal simülasyonu.

8 Bit gri ölçekten YCbCr 4:2:2 renk formatında dönüşüm IP çekirdeğin kaynak tüketimi Çizelge 6.14’te performans özeti ise Çizelge 6.15’te gösterilmiştir.

Çizelge 6.14. Gri ölçekten YCbCr 4:2:2 renk formatına dönüşüm IP çekirdeğinin kaynak tüketimi.

Gri ölçekten YCbCr 4:2:2'ye	Mevcut kaynaklar	Kullanılan kaynak adet	Kullanılan kaynak yüzde
BRAM_18K	280	0	0
DSP48E	220	0	0
FF	106400	24	~0
LUT	53200	71	~0

Bu tasarımda kullanılan kaynaklar 24 FF ve 71 LUT'tur. Tasarımda herhangi bir matematiksel işlem kullanılmadığından IP çekirdeğinin kaynak tüketimi çok düşüktür.

Çizelge 6.15. Gri ölçekten YCbCr 4:2:2 renk formatına dönüşüm IP çekirdeğinin performans özeti.

Zamanlama Özeti (ns)			
Saat	Hedef	Tahmin edilen	Belirlenemeyen
Varsayılan	6,67	2,36	0,83
Gecikme (saat çevrimi)			
Gecikme		Aralık	
Min	Max	Min	Max
2073601	2073601	2073602	2073602

1920x1080 boyutundaki bir çerçevenin işlenmesi için geçen süre $2073602 \times 2,36 = 4,89$ ms'dir. Ana fonksiyonun bir sonraki veri grubunu kabul edeceği aralık ise 2073602 saat çevrimidir. Yinelenme gecikmesi ise 1 saat çevrimidir.

6.4. VIVADO TASARIM SUİTTE SİSTEMİN TASARIMI

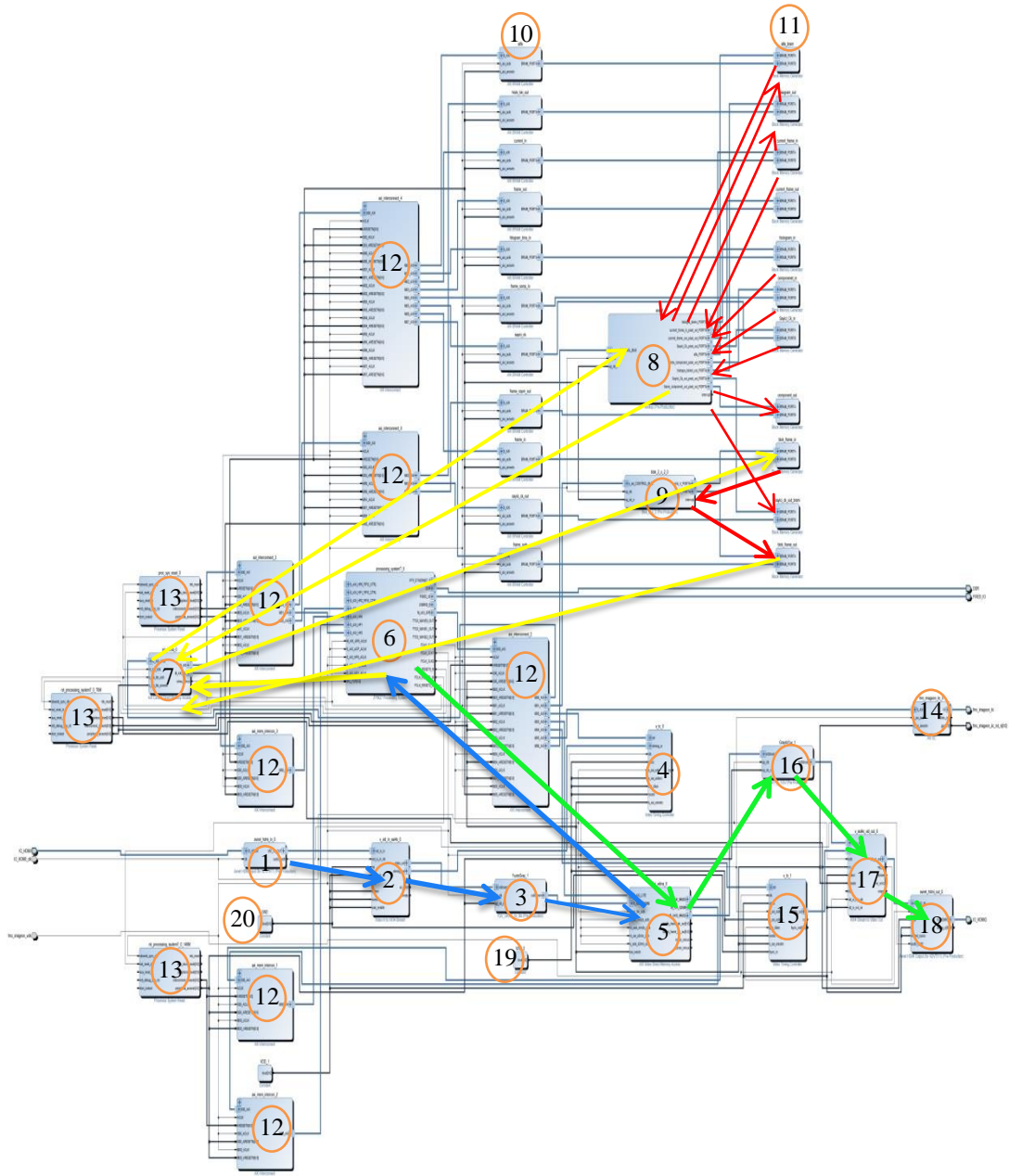
Bu bölümde sistem için tasarlanan IP çekirdekler ve Vivado Design Suite kütüphanesinden kullanılan IP çekirdekler kullanılarak, Vivado 2014.4 tasarım ortamında önerilen yöntem gerçekleştirilmiştir. Tasarıma göre numaralandırılmış IP çekirdeklerin isimleri şunlardır;

1. HDMI giriş
2. Video giriş AXI çıkış.
3. YCbCr 4:2:2'den gri ölçeğe dönüşüm

4. VTC belirleyicisi
5. AXI VDMA
6. PS sistemi
7. AXI CDMA
8. Önerilen arka plan
9. Blok ölçeklendirici
10. BRAM kontrolörler
11. BRAM'ler
12. AXI arabağlantılar
13. İşlemci sıfırlama (reset)
14. AXI IIC
15. VTC üretici
16. Gri ölçekten YCbCr 4:2:2 dönüşüm
17. AXI akış video çıkış
18. HDMI çıkış
19. VDD (pozitif kaynak)
20. GND (0 voltaj seviyesi)

Şekil 6.33'te okların yönleri verinin akış yönünü göstermektedir. Mavi oklar sistemin giriş katını, sarı oklar verinin dağıtıldığı alt sistemi, kırmızı oklar verinin işlendiği katı ve yeşil oklar sistemin çıkış katını göstermektedir.

Sistemde 3 adet saat üretici kullanılmıştır. IP çekirdeklerin AXI-Lite portuna bağlı saat 150 MHz, video alt sisteminde AXI CDMA ile ilişkili IP çekirdekler, arka plan IP ve blok ölçeklendirici IP çekirdeklerde 150 MHz, sistemin giriş çıkış katındaki IP çekirdeklerde 148.5 MHz'lik saat frekansları kullanılmıştır. AXI CDMA IP çekirdeğinin veri alışı verişinde bulunduğu birimlerde kullanılan AXI arabağlantılar maksimum performans özelliğinde yapılandırılmıştır. AXI VTC üretici 1080p seçeneğinde kullanılmıştır. HP portları 64 bitlik veri genişliğinde aktif edilmiştir. ARM CPU 666.66 MHz ve DDR bellek 553.33 MHz'lik frekanslarda çalışmaktadırlar. Tasarım tamamlandıktan sonra FPGA yapılandırma dosyası (bitstream) ve XSDK için donanım platformunun özelliklerini içeren (HDF) dosyası dışarıya aktarılarak tasarımın donanım işlemleri tamamlanmıştır.



Şekil 6.33. Vivado Design Suite’de yöntemin tasarımı.

BÖLÜM 7

ZC702 DENEME KARTINDA YÖNTEMİN TASARIMI VE KARTIN PERFORMANS ÖLÇÜMLERİ

Bu bölümde, Vivado Design Suite tasarım ortamında tasarımı tamamlanan çalışmanın XSDK yazılım ortamındaki tasarımı yapılarak ZC702 cihazının bu uygulama için gerçek zamanlı donanım testleri yapılacaktır. Ayrıca cihazın kaynak ve güç tüketim analizleri de değerlendirilecektir.

7.1. XSDK TASARIM ORTAMINDA ÖNERİLEN YÖNTEMİN TASARIMI

XSDK tasarım ortamında yazılım dili olarak C kullanılmıştır. Bütün IP çekirdeklerin sürücü ayarları bu ortamda yapılmıştır. AXI CDMA'nın dağıtım toplama seçeneğinde her bir tampon tanımlayıcısının adres sınırı en az 0x40 (64) bayt olması gereklidir. Bunun için DDR3'te 0xFFFF (65535) 64 KB'lık bir alan ayrılmış ve toplamda 1023 adet halka oluşumunu sağlamıştır.

Bir video çerçevesi için $1080 \times 1920 = 2$ MB'lık bir alan ihtiyaç duyulur. Tasarımda 5 adet tampon çerçevesi kullanılacağından yaklaşık olarak 10 MB'lık bir alana ihtiyaç vardır. Çerçeve tamponlarının yazılma alanı için 16MB, okunması içinde 16MB'lık alan ayrıldı. Piksel histogramları en büyük video çerçevesi 2×2 blok ölçüsü için $960 \times 540 \times 16 \times 4 = 31$ MB'lık alana ihtiyaç duyulur. Bu değişken için 64 MB alanı kullanıldı. Arka plan model IP'sinin "Sayici_Ck", "frame_component" ve "alfa" portları için $960 \times 540 \times 4 = 1,97$ MB'lık alana ihtiyaç duyulur. Bu portlar içinde 2 MB alan kullanıldı. Çizelge 7.1'de bu parametrelerin başlangıç adresleri ve parametreler için kullanılan depolama miktarları gösterilmiştir.

Çizelge 7.1. XSDK tasarım ortamında değişkenlerin DDR3 bellekteki başlangıç adresleri ve parametrelere ayrılan depolama miktarları.

Değişken ismi	Başlangıç Adresi	Bitiş Adresi	Miktar
Dağıtım toplama AXI CDMA	0x10000000	0x1000FFFF	64 KB
Çerçeve yazma tamponları	0x12000000	0x12FFFFFF	16 MB
“histogram_binleri” portu veri değişkenleri	0x20000000	0x23FFFFFF	64 MB
“alfa” portu” eşik parametresi değişkeni	0x24000000	0x241FFFFFF	2 MB
“Sayici_Ck” portu değişkenleri	0x24200000	0x243FFFFFF	2 MB
“frame_componenet” portu değişkenleri	0x24400000	0x245FFFFFF	2 MB
nxm blok yapılı çerçeve tamponları	0x24600000	0x247FFFFFF	2 MB
Çerçeve okuma tamponları	0x13000000	0x13FFFFFF	16MB

Eğer video çerçeveleri gri ölçeğe çevrilmeseydi parametreler için kullanılan depolama alanı şu anki hesaplananın 3 katı kadar daha fazla olacaktı. Tasarımda çerçevelerin nxm blok yapısında oluşturulması ve piksel renk derinliği uygunlaştırması ile piksellere ait histogram bellek alanında yaklaşık 16 kat daha az alan kullanımı sağlanmıştır.

7.2. UYGULAMANIN KURULUMU VE ZC702 CİHAZININ DONANIM PERFORMANSI

Bilgisayar kamerasından alınan görüntü veya bilgisayar üzerinde oynatılan bir görüntü, bilgisayar HDMI çıkış portundan cihaza uygulanmıştır. Cihaz, önerilen yöntemi gerçekleştirerek FMC HDMI çıkış portundan görüntüyü 1080p'ye sahip bir monitöre aktarmaktadır.

ZC702 deneme kartının bilgisayarla olan bağlantısında, bilgisayarın birinci USB (Universal Serial Bus, Evrensel Seri Veri Yolu) portuna bağlı JTAG (Joint Test Action Group, Ortak Test Eylem Grubu) arayüzü ile FPGA'nın programlanması, ARM'in hata ayıklaması (Debug) ve CPU'nun bellek alanına erişim sağlanır. Bilgisayarın ikinci USB portu ise, cihazın UART (Universal Asynchronous Receiver Transmitter, Evrensel Asenkron Alıcı/Verici) arayüz portundan “printf” komutlarının ARM CPU tarafından yürütülerek, CPU'nun komut sonuçlarının transferi için kullanılır.

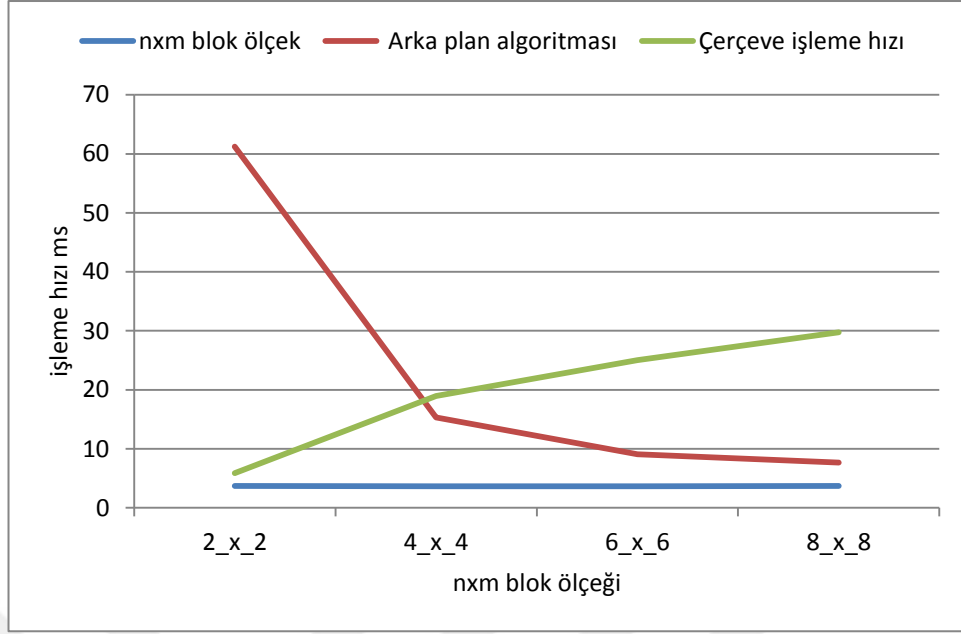
Şekil 7.1’de, ZC702 deneme kartının önerilen yöntemi 2x2 blok tabanlı olarak gerçekleştirdiğinde, 1080p FullHD bir monitörde gözlemlenen görsel sonuç gösterilmektedir.



Şekil 7.1. ZC702 deneme kartının önerilen yöntemin 2x2 blok tabanlı gerçekleştirilmesinin görsel sonucu.

Zynq ZC702 cihazının donanımında oluşturulan IP çekirdeklerinin performansı ayrıık olarak değerlendirilmiştir. Performans ölçümlerinde Zynq cihazının zamanlayıcısı kullanılmıştır. Ölçüm sonuçları XSDK “printf” fonksiyonu çıktılarında elde edilmiştir. Blok ölçeklendirici IP çekirdeğinin önerilen arka plan işlemleri ve çerçeve hızı üzerindeki performans etkisi Şekil 7.2’de gösterilmiştir.

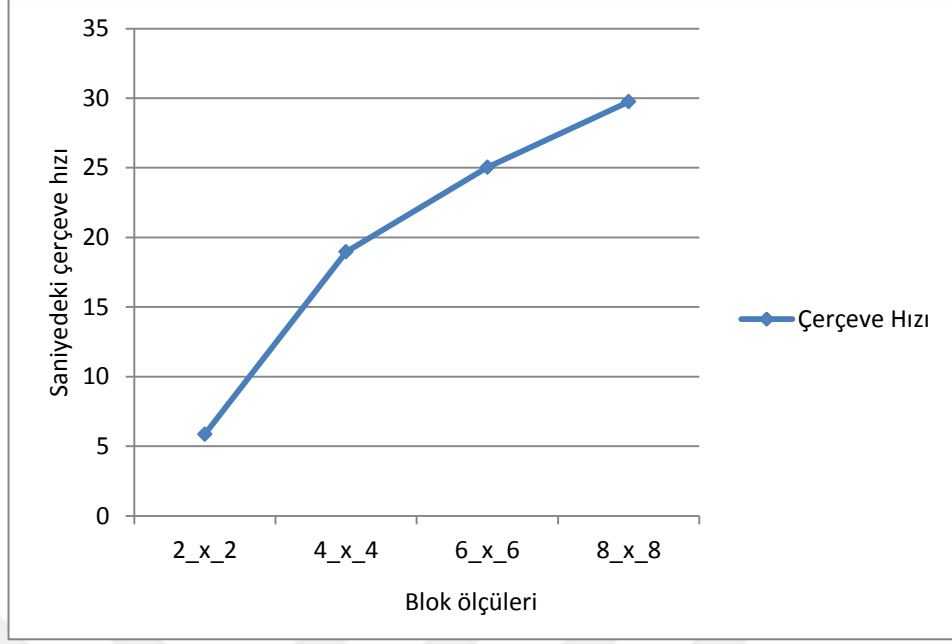
nxm blok ölçeklendirici IP çekirdeğinin her blok yapısında bir çerçeve için harcadığı zaman ortalama 3,7 ms’dir. Bu değer Bölüm 6’da gerçekleştirilen nxm IP çekirdek performans değerleriyle örtüşmektedir.



Şekil 7.2. Önerilen yöntemin nxm IP çekirdek ölçülerine göre bir çerçeveyi işleme ve arka plan yapısının blok yapıli çerçeve işleme süreleri.

2x2 bloğun yürütülme zamanı, $11569 \times 5,13 = 0,0593$ ms'dir. Öngörülemeyen gecikme ise $0,83 \times 11569 = 0,009$ ms'dir. İki değerin toplamı $0,0689$ ms'dir. Toplamda bir çerçevenin işlenmesi $1080/24 = 45$ döngüde gerçekleşecektir. O halde bir çerçevenin işlenmesi için tüketilen zaman $0,0689 \times 45 = 3,1$ ms'dir. XSDK analizine göre ise $3,73$ ms'dir. Aradaki $0,63$ ms'lik fark AXI CDMA'nın nxm blok IP çekirdeğine DDR bellekten piksel değerlerini taşıması esnasında oluşmaktadır. Şekil 7.3'ten de anlaşılacağı gibi nxm blok ölçülerinin değişmesi bu IP çekirdeğinin bir çerçeveyi işleme süresi üzerinde belirgin bir farklılık oluşturmamaktadır. Arka plan modeline ait algoritma için çerçeve işleme süreleri blok ölçüsü arttıkça işlem süresi azalmaktadır.

IP çekirdeğin 6x6 blok yapısı için performansını değerlendirecek olursak; arka plan IP çekirdeğinin Bölüm 6'daki performans değeri 480 piksel için işlem süresi $0,0504$ ms'dir. 6x6 blok yapısında $320 \times 180 = 57600$ piksel vardır. Toplamda $57600/480 = 120$ çevrimde bu blok işlenecektir. Vivado HLS verilerine göre $0,0504 \times 120 = 6,048$ ms'dir. XSDK analizine göre ise $9,0673$ ms'dir. Aradaki bu zaman farkı AXI CDMA'nın DDR bellekten verileri arka plan IP çekirdeğe taşıması ve ön görülemeyen bağlantı süresinden kaynaklanmaktadır.



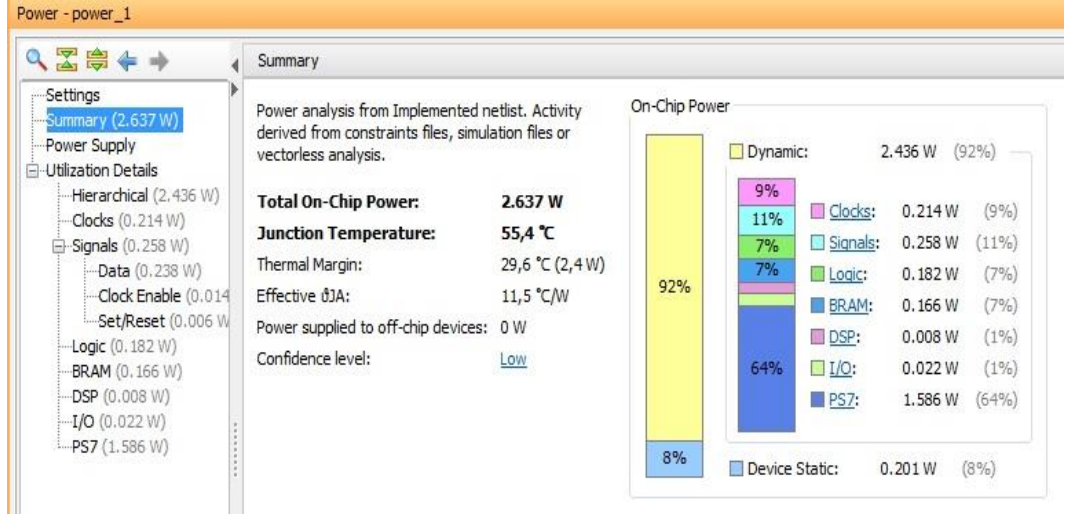
Şekil 7.3. nxm blok ölçüsüne göre algoritmanın çerçeveyi yürütme zamanı.

Blok ölçüleri ile doğru orantılı olarak saniyede işlenen çerçeve hızı da artmaktadır. Blok ölçüsü 8x8 için saniyede yaklaşık 30 çerçeve işlenmektedir.

7.3. ZC702 DENEME KARTININ UYGULAMA İÇİN KAYNAK VE GÜÇ TÜKETİM

Cihazın toplam gücü statik ve dinamik güçlerin toplamıdır. Bir FPGA'nın dinamik güç tüketimi, FPGA çalışma voltajı, frekans, düğüm kapasitansları ve dizaynın çeşitli düğümlerindeki aktivitelerine bağlıdır. Yani cihazımızın çalışırken ki gücünü temsil eder. Statik güç ise voltaj, işlemler ve sıcaklığın bir fonksiyonudur [86]. Şekil 7.4, tasarımını gerçekleştiren nxm blok yapılarından en çok kaynak tüketen 8x8 blok yapısındaki tasarımın güç tüketimini özetler.

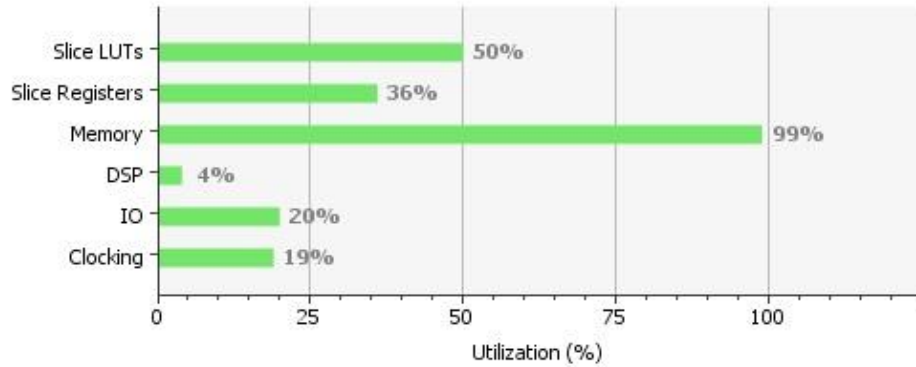
Cihaz 2,637 W enerji tüketmektedir. jonksiyon sıcaklığı 55,4 C'dir. Bu sıcaklık ortam sıcaklığı ve cihazın içsel aktivitelerinin oluşturduğu sıcaklıktır. Havaya karşı gösterilen termal direnç 11,5 C/W'dir. Şekilde ayrıca her birimin tükettiği enerji miktarı da ayrıntılı olarak raporlanmıştır.



Şekil 7.4. ZC702 deneme kartının enerji kestirimi.

Şekil 7.5'te, Vivado Design Suite'de gerçekleştirilen tasarımın, ZC702 deneme kartı için kaynak tüketimi gösterilmiştir. Gerçekleştirilen tasarım yüksek hızda, yoğun veri kaynaklarını kullanarak işlem yaptığından BRAM kaynakları %98.57 tüketilmiştir. Diğer kaynak tüketimleri ise makul seviyededir.

Resource	Utilization	Available	Utilization %
Slice LUTs	26799	53200	50.37
Slice Registers	38510	106400	36.19
Memory	138	140	98.57
DSP	9	220	4.09
IO	40	200	20.00
Clocking	6	32	18.75



Şekil 7.5. ZC702 deneme kartının uygulama için kaynaklarının kullanımı.

BÖLÜM 8

SONUÇLAR VE ÖNERİLER

Video analiz sistemlerinde, sabit bir kameradan hareketli nesnelerin belirlenmesi için kullanılan arka plan çıkartım tekniği, oldukça popüler bir yaklaşımdır. Bu teknik, özellikle dinamik sahnelerde piksellerin kararsız davranışlarından dolayı doğru sonuçlar üretemez. Her geçen gün hızla gelişen dijital teknoloji, tasarımcılara karmaşık algoritmalarla bu problemlerin üstesinden gelecek fırsatı sunsa da tasarımcılar uygulamalarını gerçekleştirecekleri cihazlarda maliyet, bellek alanı, enerji tüketimi ve algoritmanın gerçekleştirilebilmesi gibi ölçütleri göz önünde bulundurmak zorundadır.

Bu tez çalışmasında, dinamik sahnelerde arka plan çıkartım tekniklerinin performansını arttıracak, eşik ve model güncelleme parametrelerinin tasarımı, yoğun işlem ve depolama alanı gerektiren KDE tabanlı arka plan modeline uygulanarak hem sınırlı kaynaklara sahip Xilinx Z702 deneme kartı hem de bilgisayar donanımı üzerinde gerçekleştirilmiştir.

Sayıcı özellikli eşik ve model güncelleme parametreleri, literatürde yaygın olarak kullanılan metotlara ve histogram yaklaşımı KDE tabanlı modele uygulanarak parametrelerin performans arttırıcı etkileri gösterilmiştir. Ayrıca literatürdeki diğer arka plan çıkarım teknikleri ile önerilen yapının performansı karşılaştırılmış ve yöntemin avantajları, dezavantajları değerlendirilmiştir. Özellikle KDE tabanlı arka plan modelinin blok yapılı gerçekleştirilmesinin işlem süresi ve depolama alanı ihtiyacını azaltan avantajı ortaya koyulmuştur. Böylece bu yöntemin sınırlı kaynaklara sahip cihazlar üzerinde de gerçekleştirilebilir olması sağlanmıştır.

Bu tezde, sayıcı tabanlı değişim belirleme mekanizması kullanılarak piksellerin geçmiş çerçevelerdeki değişim sayıları belirlenmiştir. Böylece dinamik sahnelerde,

piksellerin durum deęişimleri oranında piksellere ait uyarlanabilir eşik deęerini belirlemek fazla matematiksel işlem gerektirmeden mümkün olmuştur. Uyarlanabilir eşik deęerinin deęeri, piksellerin durum deęişim azaldıkça azalmakta arttıkça artmaktadır. Eşik deęerinin hesaplanmasında sisteme yük getirecek özellikler kullanılmadığından parametre hesaplanması, sistemin performansını düşürecek bir etkiye de sahip deęildir. Sayıcıların deęerleri aynı zamanda arka plan model güncellenmesi için de kullanıldığından, algoritma için yoğun matematiksel işlemler kullanılmamıştır. Bu parametre uyarlanabilir yapıda olduğundan, gürültü içeren çevrelerde, modele piksel deęerlerini daha az ekleyerek, modelin çevresel bozulmalardan olumsuz etkilenmesi de kısmen ortadan kaldırılmıştır.

Video uygulamaları yoğun veri kaynaklarını kullanan uygulamalardır. Bu uygulamaların FPGA yapıları üzerinde gerçekleştirilmesinin zorluğu ve uzun tasarım süresi bu yapıların en büyük dezavantajıdır. Bu tezde, ZC702 deneme kartında gerçekleştirilen uygulamanın IP çekirdek tasarımları, tasarım süresini kısaltan ve kolaylaştıran Xilinx Vivado HLS tasarım aracı ile yapılmıştır. IP çekirdek davranış doğrulamaları hem Vivado HLS C test tezgahında görsel olarak hem de lojik sinyal simülatöründe sinyal gösterimi olarak gerçekleştirilmiştir. Böylece tasarım için ihtiyaç duyduğumuz IP çekirdek performans deęerlendirmeleri ve IP çekirdeklerin simülasyon doğrulamaları kolaylıkla yapılabilmektedir.

Önerilen yöntemin Xilinx ZC702 deneme kartı üzerinde gerçekleştirilebilmesi için tasarıma uygunlaştırmalar yapılarak gerçek zamanlı analizleri deęerlendirilmiştir. Tasarlanan IP çekirdeklerin HLS yazılım ortamındaki sonuçları, XSDK yazılım ortamındaki sonuçlarla karşılaştırılarak verilerin tutarlığı gözlemlenmiştir. Tasarımın enerji tüketiminin düşük seviyede olduğu analiz sonuçlarıyla gösterilmiştir.

Gerçek zamanlı video uygulamalarında, önemli ölçütlerden birisi de sistemin zamansal gereklilikleri karşılamasıdır. Tasarımda yapılacak hatalar uygulamanın çalışmaması ile sonuçlanır. Önerilen yöntem gri ölçekli, blok yapılı ve uygunlaştırılmış olarak tasarlandığından, uygulamalarını yoğun matematik ve depolama alanı gerektiren sınırlı kaynaklara sahip donanım cihazların ile gerçekleştirecek tasarımcılar tarafından farklı bir çözüm olarak kullanılabilir. Vivado

HLS tasarım aşamasında video uygulamasının alt sisteminde kullanılan blok ölçeklendirici ve arka plan IP çekirdeklerin portlarında kullanılan “data_pack” direktifi ile parametreler bir portta toplanmıştır. Böylelikle parametreler için kullanılacak port sayısı azaltılmıştır. Aynı zamanda bir saat çevriminde bellek alanından daha fazla veri okunarak, verilerin okunması için harcanacak zaman azaltılmıştır. Arka plan IP çekirdeğinde yapılan renk derinliği ve histogram aralıklarının azaltılması uygunlaştırmalarıyla tasarımda oluşacak zamansal bozulmaların önüne geçilmiştir.

Tasarımın sınırlılıklarından birisi, gerçekleştirilen histogram yaklaşımı KDE arka plan modelinin, piksellere ait histogramların uygunlaştırılması için bütün histogram aralıklarının okunmasının sıralı işlem gerektirmesidir. Ayrıca histogramdaki olasılık değerleri “float” veri tipinde olduğundan zamansal gecikme artmaktadır. Bu durum tasarımda zamansal bir darboğaz oluşturmaktadır. Bu sorunun giderilmesi için histogram olasılık değerleri isteğe bağlı sabit nokta veri tipinde tasarlanabilir. Ayrıca histogramların uygunlaştırmasında da başka metotlar izlenebilir.

Kullanılan ZC702 deneme kartı orta ölçekli FPGA kaynaklarına sahip olduğundan daha çok AXI akış uygulamalarına uygundur. Bu cihaz, kenar algılama veya daha az kaynak tüketen video işleme uygulamalarında kullanılması daha doğru bir tercih olacaktır. Bu uygulama için özellikle BRAM kaynakları fazla olan cihazlar kullanılarak, AXI CDMA alt sisteminde kullanılan IP çekirdekleri çoğaltılarak çerçeve işleme hızı arttırılabilir.

Bu çalışmanın, tasarımlarında arka plan çıkartım teknikleri için eşik ve güncelleme parametrelerini kullanacak tasarımcılara kaynak olması, video analiz sistemlerini kullanacak araştırmacılara da farklı bir bakış açısı kazandıracığı düşünülmektedir.

KAYNAKLAR

1. İnternet: Open Source Computer Vision (OpenCV), “How to Use Background Subtraction Methods”, https://docs.opencv.org/3.4/d1/dc5/tutorial_background_subtraction.html (2019).
2. Liu, H., Hou, X., “Moving Detection Research of Background Frame Difference Based on Gaussian Model”, *2012 International Conference on Computer Science and Service System*, Nanjing, 258-261 (2012).
3. Mashak, S.V., Hosseini, B., Mokji, B., Abu-Bakar, S.A.R, “Background subtraction for object detection under varying environments”, *2010 International Conference of Soft Computing and Pattern Recognition*, Paris, 1123-126 (2010).
4. Al-Smadi M., Abdulrahim, K. and Abdul Salam, R. , “Cumulative frame differencing for urban vehicle detection”, *1st International Workshop on Pattern Recognition*, Tokyo, 11-13 (2016).
5. Al-Smadi M., Abdulrahim, K. and Abdul Salam, R., “A New Motion Segmentation Technique Using Foreground-Background Bimodal”, *Malaysian Journal of Science, Healty & Technology*, 11-15 (2018).
6. Wren, C., Azarhayejani, A., Darrell, T. and Pentland, A.P, “Pfinder: real-time tracking of the human body”, *IEEE Trans. on Pattern Anal. And Machine Intell*, 780-785 (1997).
7. Boulton, T.E., Micheals, R., Gao, X., Lewis, P., Power, C., Yin,W., and Erkan, A., “Frame-rate omnidirectional surveillance and tracking of camouaged and occluded targets” *Second IEEE Workshop on Visual Surveillance Fort Collins*, Fort Collins, 48- 55 (1999).
8. Koller, D., Weber, J., Huang, T., Malik, J., Ogasawara, G., and Russell, S., “Towards Robust Automatic Traffic Scene Analysis in Real-Time”, *In Proc. of the 12th Int'l Conf. on Pattern Recognition*, Jerusalem, 126-131 (1994).
9. Rahman, M.A., Ahmed, B., Hossian, A. and Mondal, N.I., “An adaptive background modeling based on modified running Gaussian average method”, *2017 International Conference on Electrical, Computer and Communication Engineering (ECCE)*., Cox's Bazar, 524-527 (2017).
10. Stauffer, C., Grimson, W., “Adaptive background mixture models for real-time tracking”, *Proceedings 1999 IEEE Computer Society Conference on Computer Vision and Pattern Recognition*, Fort Collins, 246-252 (1999).

11. Power P.W. and Schoonees J., “Understanding background mixture models for foreground segmentation”, *Imaging and Vision Computing New Zealand (IVCNZ 2002)*, Auckland, 267-271 (2002).
12. Ghedia, N.S., C. H. Vithalani, C.H. and Kothari,A., “ Performance Evaluation of Crowd Analysis Algorithm using Modified GMM and Adaptive Thresholding”, *Indian Journal of Science and Technology*, 10 (17): 1-7 (2017).
13. KaewTraKulPong, P. and Bowden, R., “An improved adaptive background mixture model for real-time tracking with shadow detection”, *Proceedings of the 2nd European Workshop on Advanced Video Based Surveillance Systems*, Boston, 135-144, (2001).
14. Chan, Y.T., Wang, S.J. and Tsai, C.H., “Real-time foreground detection approach based on adaptive ensemble learning with arbitrary algorithms for changing environments”, *Information Fusion*, 39 (2018): 154-167 (2018).
15. Xin Liu, X. and Qi, C., “Future-data driven modeling of complex backgrounds using mixture of Gaussians”, *Neurocomputing*, 119 (2013): 439–453 (2013).
16. Yang, S.Y. and Hsu, C.T., “Background Modeling from GMM Likelihood Combined with Spatial and Color Coherency”, *2006 International Conference on Image Processing*, Atlanta, 2801–2804 (2006).
17. Yadav, D. K. and Singh, K., “A combined approach of Kullback–Leibler divergence and background subtraction for moving object detection in thermal video”, *Infrared Physics & Technology*, 76 (2016): 21–31 (2016).
18. Chen, Z. and Ellis, T., “A self-adaptive Gaussian mixture model”, *Computer Vision and Image Understanding*, 122 35–46 (2014).
19. Yang, J. B., Shi. M, and Yi, Q.M., “A New Method for Motion Target Detection by Background Subtraction and Update”, *Physics Procedia*, 33 (2012): 1768-1775 (2012).
20. Deng, G. and Guo, K., “Self-adaptive background modeling research based on change detection and area training”, *2014 IEEE Workshop on Electronics, Computer and Applications*, Ottawa, 59-62 (2014).
21. Jing, G., Rajan, D. and Siong , C.E., “Motion Detection with Adaptive Background and Dynamic Thresholds”, *2005 5th International Conference on Information Communications & Signal Processing*, Bangkok, 41-45 (2005).
22. Elgammal, A., Harwood, D. and Davis, L., “Non-parametric model for background subtraction”, *in European conference on Computer Vision*, Dublin,751-767 (2000).

23. Tanaka, T., Shimada, A., Arita, D. and Taniguchi, R., “Non-parametric background and shadow modeling for object detection”, *Computer Vision – ACCV 2007*, Berlin, 4843(2007): 159-168 (2007).
24. Lee, J. and Park, M., “An Adaptive Background Subtraction Method Based on Kernel Density Estimation”, *Sensors*, 12 (9), 12279–12300 (2012).
25. Barnich, O. and Droogenbroeck, M. V., “ViBE: A powerful random technique to estimate the background in video sequences”, *2009 IEEE International Conference on Acoustics, Speech and Signal Processing*, Taipei, 945-948 (2009).
26. Barnich, O. and Droogenbroeck, M. V., “ViBe: A universal background subtraction algorithm for video sequences”, *IEEE Transactions on Image Processing*, 20 (6) 1709-1724 (2011).
27. Chang, L., Liu, Z., and Ren, Y., “Improved Adaptive Vibe and the Application for Segmentation of Complex Background”, *Mathematical Problems in Engineering*, 2016 (2016), 1-8 (2016).
28. Hofmann, M., Tiefenbacher, P. and Rigoll, G., “Background segmentation with feedback: The Pixel-Based Adaptive Segmenter”, *2012 IEEE Computer Society Conference on Computer Vision and Pattern Recognition Workshops*, Providence, 38-42 (2012).
29. Peng, X., Xiaobo, L., Shengqin, J., Cong, L. and Chengyi, P., “A new background update algorithm for airborne camera in dynamic background”, *13th International Conference on Natural Computation, Fuzzy Systems and Knowledge Discovery*, Guilin, 644-648 (2017).
30. Kim, K., Chalidabhongse T.H., Harwood, D. and Davis, L. , “Background modeling and subtraction by codebook construction”, *2004 International Conference on Image Processing*, Singapore, 5(2004): 3061-3064 (2004).
31. Shah, M., Deng, J.D., Woodford, B.J., “A Self-adaptive CodeBook (SACB) model for real-time background subtraction”, *Image and Vision Computing* , 38(C): 52–64 (2015).
32. Samanta, D., Paul, M., “A Novel Approach of Entropy based Adaptive Thresholding Technique for Video Edge Detection”, *International Journal of Computer Science and Information Technologies*, 2 (5): 2108-2110 (2011).
33. Karasulu, B. and Korukoglu, S., “Moving object detection and tracking by using annealed background subtraction method in videos: Performance optimization”, *Expert Systems with Applications*, 39 (1), 33-43 (2012).
34. Soundrapandiyan, R., Mouli , P.V.S.S.R.C., “Adaptive Pedestrian Detection in Infrared Images Using Background Subtraction and Local Thresholding”, *Procedia Computer Science*, 58 (2015): 706-713 (2015).

35. Amato, A., Mozerov, M.G., Roca, F.X. and Gonzalez, J., “Robust Real-Time Background Subtraction Based on Local Neighborhood Patterns”, *EURASIP Journal on Advances in Signal Processing*, 2010 (2010): 1-7 (2010).
36. Wang, H. and Suter, D., “Background Subtraction Based on a Robust Consensus Method”, *18th International Conference on Pattern Recognition (ICPR'06)*, Hong Kong, 223-226 (2006).
37. Savaş, M.F., H. Demirel, H. and B. Erkal, “Moving Object Detection Using an Adaptive Background Modeling in Dynamic Scene”, *2nd International Conference on Engineering and Natural Science*, Sarajevo, 408–414 (2016).
38. Savaş, M.F. and Demirel, H., “Noise Reduction using MRF and Block-Based Background Modeling in Dynamic Scenes Input”, *IJCSNS International Journal of Computer Science and Network Security*, 17(1): 54-59 (2017).
39. Savaş, M.F., Demirel, H. and Erkal B., “Moving object detection using an adaptive background subtraction method based on block-based structure in dynamic scene”, *Optik International Journal for Light and Electron Optics*, 168 (2018): 605-618 (2018).
40. Casares, M., Velipasalar, S. and Pinto, A., “Light-weight salient foreground detection for embedded smart cameras”, *Computer Vision and Image Understanding*, 114 (11): 1223–1237 (2010).
41. Liu, M., Tuzel, O., S. Ramalingam, S. and Chellappa, R., “Entropy rate superpixel segmentation”, *CVPR 2011*, Colorado Springs, 2097-2104 (2011).
42. Chen, M., Wei, X., Yang, Q., Li, Q., Wang, G. and Yang, M., “Spatiotemporal GMM for Background Subtraction with Superpixel Hierarchy”, *in IEEE Transactions on Pattern Analysis and Machine Intelligence*, 40 (6): 1518-1525 (2018).
43. Lim, J. and Han, B., “Generalized Background Subtraction Using Superpixels with Label Integrated Motion Estimation.”, *European Conference on Computer Vision, ECCV 2014*, 8693 (2014): 173-187 (2014).
44. P.Ramya, P. and Rajeswari, R., “A Modified frame difference method using correlation coefficient for background subtraction”, *6th International Conference On Advances In Computing & Communications*, ICACC 2016, Cochin, India 93 (2016): 478–485 (2016).
45. Javed, S., Mahmood, A., Al-Maadeed, S., Bouwmans, T. and Jung, S.K., “Moving Object Detection in Complex Scene Using Spatiotemporal Structured-Sparse RPCA”, *in IEEE Transactions on Image Processing*, 28 (2): 1007-1022 (2019).

46. Sepulveda, J. and Velastin, S.A., “F1 score assesment of Gaussian mixture background subtraction algorithms using the MuHAVi dataset”, *6th International Conference on Imaging for Crime Prevention and Detection*, London, 1-6 (2015).
47. İnternet: Li “Li dataset”, http://perception.i2r.a-star.edu.sg/bk_model/bk_index.html, (2012).
48. İnternet: Wallflower, “Wallflower dataset”, <https://www.microsoft.com/en-us/download/confirmation.aspx?id=54651>, (1999).
49. İnternet: CDnet 2014, “CD.Net 2014 dataset”, <http://changedetection.net>, (2014).
50. İnternet: Sobral, A., “An OpenCV C++ Background Subtraction Library”, <https://github.com/andrewsobral/bgslibrary>, (2013).
51. Zhao, Z., Bouwmans, T., Zhang, X. and Fang, Y., “A Fuzzy Background Modeling Approach for Motion Detection in Dynamic Backgrounds”, *In Multimedia and signal processing*, Berlin, Heidelberg, 346 (2012): 177–185 (2012).
52. Goyette, N., Jodoin, P., Porikli, F., Konrad, J. and Ishwar, P., “Changedetection.net: A new change detection benchmark dataset”, *2012 IEEE Computer Society Conference on Computer Vision and Pattern Recognition Workshops*, Providence, RI, 1-8 (2012).
53. Wang, Y., Jodoin, P., Porikli, F., Konrad, J., Benezeth, Y. and Ishwar, Y., “CDnet 2014: An Expanded Change Detection Benchmark Dataset”, *2014 IEEE Conference on Computer Vision and Pattern Recognition Workshops*, Columbus, 393-400 (2014).
54. Varadarajan, S., Miller, P and Zhou, H., “Spatial Mixture of Gaussians for dynamic background modelling”, *2013 10th IEEE International Conference on Advanced Video and Signal Based Surveillance*, Krakow, 64-68 (2013).
55. Yoshinaga, S., Shimada, A., Nagahara, H and Taniguchi, R., “Background Model Based on Intensity Change Similarity Among Pixels”, *19th Korea-Japan Joint Workshop on Frontiers of Computer Vision*, Incheon, 276-280 (2013).
56. Nonaka, Y and Shimada, A., “Evaluation Report of Integrated Background Modeling Based on Spatio-temporal Features”, *2012 IEEE Computer Society Conference on Computer Vision and Pattern Recognition Workshops*, Providence, 9-14 (2012).
57. Jiang, S. and Lu, X., “A Weight-Sample-Based Method for Background Subtraction (WeSamBE)”, *IEEE Transactions on Circuits and Systems for Video Technology*, 29 (9): 2105-2115 (2018).

58. Sajid, H. and Cheung, S.C.S., “Universal multimode background subtraction”, *IEEE Transactions on Image Processing*, 26 (7): 3249-3260 (2017).
59. Internet: DE247 Digital Engineering, “A System-on-a chip SoC”, <https://www.digitalengineering247.com/glossary/soc/> (2018).
60. Internet: Xilinx, “Zynq-7000 SoC Data Sheet: Overview”, https://www.xilinx.com/support/documentation/data_sheets/ds190-Zynq-7000-Overview.pdf (2018).
61. Internet: ALDEC The Design Verification Company, “Introduction to Zynq Architecture”, <https://www.aldec.com/jp/company/blog/144--introduction-to-zynq-architecture> (2018).
62. internet: Xilinx “Video and Image Processing Boards & Kits”, <https://www.xilinx.com/products/boards-and-kits/board-functions/nav-video-and-image-processing.html> (2018).
63. Internet: Xilinx “ZC702 Evaluation Board for the Zynq-7000 XC7Z020 SoC User Guide”, https://www.xilinx.com/support/documentation/boards_and_kits/zc702_zvik/ug850-zc702-eval-bd.pdf (2018)
64. Crockett, L.H., Elliot, R.A., Enderwitz, M.A., Stewart, R.W., “The Zynq Book: Embedded Processing with the ARM CortexA9 on the Xilinx Zynq-7000 All Programmable SoC, First Edition”, *Strathclyde Academic Media*, 30-364 (2014).
65. internet: Xilinx, “Vivado Design Suite User Guide High-Level Synthesis”, https://www.xilinx.com/support/documentation/sw_manuals/xilinx2014_1/ug902-vivado-high-level-synthesis.pdf, 1-660 (2014).
66. Teich, J., “Hardware/Software Codesign: The Past, the Present, and Predicting the Future”, *Proceedings of the IEEE*, 100, 1411-1430 (2012).
67. Cui, G., “A Driving Assistance System with Hardware Acceleration”, *M. Sc. Thesis, Chalmers University of Technology University of Gothenburg*, Gothenburg 1-3 (2015).
68. Ganesh, J., “Design Issues in Hardware/Software Co-Design” *International Journal of Research in Electronics & Communication Technology*, 2 (1): 1-5 (2014)
69. internet: Xilinx, “AR# 60927, Vivado HLS : Integrating HLS IP into the System”, <https://www.xilinx.com/support/answers/60927.html> (2018).
70. internet: Xilinx, “Getting Started with Xilinx SDK”, https://www.xilinx.com/html_docs/xilinx2018_2/SDK_Doc/sdk_getting_started/sdk_getting_started.html#sdk_getting_started (2018).

71. Internet: Xilinx, “Logic Simulation Vivado Design Suite Tutorial”, https://www.xilinx.com/support/documentation/sw_manuals/xilinx2018_1/ug937-vivado-design-suite-simulation-tutorial.pdf (2018).
72. Internet: Xilinx, “UltraFast Design Methodology Guide for the Vivado Design Suite”, https://www.xilinx.com/content/dam/xilinx/support/documentation/sw_manuals/xilinx2018_3/ug949-vivado-design-methodology.pdf (2018).
73. internet: Samtec, “VITA 57.1 FMC”, <https://www.samtec.com/standards/vita/fmc> (2018).
74. internet: AVNET, “FMC-IMAGEON–VITA Pass-Through Tutorial”, <https://forums.xilinx.com/xlnx/attachments/xlnx/EMBEDDED/34386/1/FMC-IMAGEON%20-%20VITA%20Pass-Through%20Tutorial%20-%202013.3%20-%2020140320.pdf> (2014).
75. Internet: Xilinx “Vivado Design Suite Vivado AXI Reference Guide”, https://www.xilinx.com/support/documentation/ip_documentation/axi_ref_guide/latest/ug1037-vivado-axi-reference-guide.pdf (2018).
76. Internet: Xilinx “Video Timing Controller v6.1”, https://www.xilinx.com/support/documentation/ip_documentation/v_tc/v6_1/pg016_v_tc.pdf (2019).
77. Internet: Xilinx, “AXI4-Stream Video IP and System Design Guide”, https://www.xilinx.com/support/documentation/ip_documentation/axi_videoip/v1_0/ug934_axi_videoIP.pdf (2018).
78. Internet: Xilinx, “AXI Central Direct Memory Access v4.1”, https://www.xilinx.com/support/documentation/ip_documentation/axi_cdma/v4_1/pg034-axi-cdma.pdf (2018).
79. Sales,J., “Symbian OS Internals Real-time Kernel Programming”, *John Wiley and Sons*, West Sussex, England, 551-552 (2005).
80. Internet: Xilinx, “Video In to AXI4-Stream v4.0, LogiCORE IP Product Guide”, https://www.xilinx.com/support/documentation/ip_documentation/v_vid_in_axi4s/v4_0/pg043_v_vid_in_axi4s.pdf (2017).
81. Internet: Xilinx, “LogiCORE IP AXI4-Stream to Video Out v3.0 Product Guide”, https://www.xilinx.com/support/documentation/ip_documentation/v_axi4s_vid_out/v3_0/pg044_v_axis_vid_out.pdf (2014).
82. Xu,Y. and Pok, G., “Identification of Hand Region Based on YCgCr Color Representation”, *International Journal of Applied Engineering Research*, 12 (6): 1031-1034 (2017).

83. Prathibha, E., Manjunath A. and Likitha, R., “RGB to YCbCr color conversion using VHDL approach”, *International Journal of Engineering Research Development*, 1(3): 15-22 (2012).
84. Jack, K., “Video Demystified, A Handbook for the Digital Engineer Fourth Edition” *Elsevier*, Oxford, England, 17-24 (2005).
85. Cedernaes, E., “Runway detection in LWIR video: Real time image processing and presentation of sensor data”, M. Sc. Thesis, *Uppsala University Master Programme in Engineering Physics*, Swedish, Uppsala, 30-33 (2016).
86. Internet: Xilinx, “Power Analysis and Optimization”, https://www.xilinx.com/support/documentation/sw_manuals/xilinx2017_4/ug907-vivado-power-analysis-optimization.pdf (2018).



ÖZGEÇMİŞ

Murat Fatih SAVAŞ 1980 yılında Konya’da doğdu. İlk ve orta öğrenimini Kastamonu’da tamamladı.1997 yılında Kastamonu Mesleki ve Teknik Anadolu Lisesi elektronik bölümünden mezun oldu. 1998 yılında girdiği Sakarya Üniversitesi Teknik Eğitim Fakültesi Elektronik ve Bilgisayar Eğitimi Bölümü Elektronik Öğretmenliği Bölümü’nden 2002 yılında mezun oldu. 2003 yılında Sakarya Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Bilgisayar Eğitimi Anabilim Dalı’nda yüksek lisansa başladı. Bu bölümden 2005 yılında mezun oldu. Milli Eğitim Bakanlığında 2004 yılında göreve başladı. 2006 yılından beri Kastamonu Taşmektep Mesleki ve Teknik Anadolu Lisesinde elektronik öğretmeni olarak görev yapmaktadır.

ADRES BİLGİLERİ

Adres : Kastamonu Taşmektep Mesleki ve Teknik
Anadolu Lisesi
Saraçlar Mh. Sanat Okulu Cd.
Hastane Sk. No2 37100 /Merkez/ Kastamonu
Tel : (505) 522 24 64
E-posta : muratfatihshavas@hotmail.com