

**TOBB EKONOMİ VE TEKNOLOJİ ÜNİVERSİTESİ**  
**FEN BİLİMLERİ ENSTİTÜSÜ**

**FPGA'LERDE BRAM GERİLİMİ DÜŞÜRÜLMESİNİN GÜÇ KAZANIMI,  
HATA ORANI VE SICAKLIĞIN ETKİLERİ YÖNÜNDEN ARAŞTIRILMASI**

**YÜKSEK LİSANS TEZİ**

**Fulya AĞIRNAS**

**Bilgisayar Mühendisliği Anabilim Dalı**

**Tez Danışmanı: Prof. Dr. Oğuz ERGİN**

**KASIM 2019**



Fen Bilimleri Enstitüsü Onayı

.....  
**Prof. Dr. Osman EROĞUL**  
Müdür

Bu tezin Yüksek Lisans derecesinin tüm gereksinimlerini sağladığını onaylarım.

.....  
**Prof. Dr. Oğuz ERGİN**  
Anabilim Dalı Başkanı

TOBB ETÜ, Fen Bilimleri Enstitüsü'nün 171111020 numaralı Yüksek Lisans Öğrencisi **Fulya AĞIRNAS**'ın ilgili yönetmeliklerin belirlediği gerekli tüm şartları yerine getirdikten sonra hazırladığı "**FPGA'LERDE BRAM GERİLİMİ DÜŞÜRÜLMESİNİN GÜÇ KAZANIMI, HATA ORANI VE SICAKLIĞIN ETKİLERİ YÖNÜNDEN ARAŞTIRILMASI**" başlıklı tezi **25.11.2019** tarihinde aşağıda imzaları olan jüri tarafından kabul edilmiştir.

**Tez Danışmanı:** **Prof. Dr. Oğuz ERGİN** .....  
TOBB Ekonomi ve Teknoloji Üniversitesi

**Eş Danışman:** **Dr. Fatih SAY** .....  
Aselsan

**Jüri Üyeleri:** **Prof. Dr. Kemal BIÇAKÇI (Başkan)**.....  
TOBB Ekonomi ve Teknoloji Üniversitesi

**Prof. Dr. Özcan ÖZTÜRK** .....  
Bilkent Üniversitesi

**Doç. Dr. Ali BOZBEY** .....  
TOBB Ekonomi ve Teknoloji Üniversitesi



## TEZ BİLDİRİMİ

Tez içindeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edilerek sunulduğunu, alıntı yapılan kaynaklara eksiksiz atıf yapıldığını, referansların tam olarak belirtildiğini ve ayrıca bu tezin TOBB ETÜ Fen Bilimleri Enstitüsü tez yazım kurallarına uygun olarak hazırlandığını bildiririm.

Fulya AĞIRNAS



## ÖZET

Yüksek Lisans

### FPGA'LERDE BRAM GERİLİMİ DÜŞÜRÜLMESİNİN GÜÇ KAZANIMI, HATA ORANI VE SICAKLIĞIN ETKİLERİ YÖNÜNDE ARAŞTIRILMASI

Fulya Ağırnas

TOBB Ekonomi ve Teknoloji Üniversitesi  
Fen Bilimleri Enstitüsü  
Bilgisayar Mühendisliği Anabilim Dalı

Danışman: Prof. Dr. Oğuz Ergin

Tarih: Kasım 2019

Yüksek performans, düşük güç tüketimi, tasarım esnekliği sağlaması, basit ve yeniden yapılandırılabilir tasarım özellikleriyle, FPGA'ler gömülü sistemler, savunma ve uzay uygulamaları için donanım hızlandırıcı olarak sıklıkla tercih edilmektedir. FPGA tabanlı tasarımlarda, çalışma gerilimi düşürülmesi, enerji verimliliğini arttırmak için çok etkili bir tekniktir. Nominal çalışma geriliminden daha düşük gerilimlerde çalıştırılan bu sistemler için, güç tüketimini azaltırken güvenilirlik için hata oluşmasını önlemek de çok önemlidir. Bu amaçla, minimum çalışma geriliminin ( $V_{min}$ ) yani hataların oluşmaya başladığı en düşük gerilim seviyesinin tespit edilmesi bu sistemlerde kritik öneme sahiptir. Çalışma geriliminin düşürülmesi konusundaki önceki araştırmalarda, FPGA'ler içerisindeki BRAM belleklerinin, üretici tarafından belirtilen nominal gerilimin %39 altına kadar güvenli bir şekilde çalıştırılmasının mümkün olduğu gösterilmiştir.

Bu çalışmada, silikon sıcaklığının hatasız çalışılabilen minimum besleme gerilimi olan  $V_{min}$  üzerinde çok etkili olduğu gösterilmiştir. Yapılan ölçümlerde, silikon sıcaklığı arttıkça daha fazla güç kazanımı elde edebilmek için BRAM'lerin çalışma gerilimlerini artan sıcaklığa bağlı olarak azaltmanın, güvenilir çalışmayı bozmadığı görülmüştür. Bu davranışı gözlemleyebilmek için çalışma gerilimi düşürülmesi işlemi  $-30^{\circ}\text{C}$  ve  $+82^{\circ}\text{C}$  silikon sıcaklığı arasındaki sıcaklık değerlerinde analiz edilmiştir. Yapılan

analizlerde, FPGA BRAM'ler için hatasız çalışılabilen minimum besleme gerilimi olan  $V_{min}$  değerinin bu sıcaklık aralığında sıcaklığa bağılı olarak deęiştigi ve bu sayede yüksek sıcaklıklarda %9 daha fazla güç tasarrufu yapılabileceęi gözlemlenmiştir. Sonuç olarak, çalışma gerilimi düşürülmesi uygulamalarında güç tüketimini daha çok azaltırken güvenilir çalışmayı da bozmamak için FPGA'in silikon sıcaklığını okuyan, bu sıcaklıkta hatasız çalışılabilen en düşük besleme gerilimini belirleyen ve FPGA BRAM'lerin besleme gerilimini bu değere ayarlayan bir yöntem önerilmiştir. Bu yöntem sayesinde, sadece %0.04 ek kaynak kullanımıyla enerji tüketiminde %40'a varan kazanç elde edilmiştir.

**Anahtar Kelimeler:** Çalışma gerilimi düşürülmesi, FPGA, BRAM, Silikon sıcaklığı, Hatasız çalışma.



## ABSTRACT

Master of Science

### THE EFFECTS OF TEMPERATURE TO UNDERVOLTING IN TERMS OF ERROR RATE AND POWER AND A TEMPERATURE CONTROLLED UNDERVOLTING METHOD

Fulya Ađırnas

TOBB University of Economics and Technology  
Institute of Natural and Applied Sciences  
Department of Computer Engineering

Supervisor: Prof. Dr. Ođuz Ergin

Date: August 2019

Due to high performance, low power usage, design flexibility, simple and reconfigurable design ability, FPGAs are chosen as hardware accelerators for embedded, defense and space applications. In FPGA based design, scaling supply voltage is a very effective technique to improve energy efficiency. For the systems which use undervolting, it is also important to avoid errors for reliability while reducing power consumption. For this purpose, detecting the minimum voltage,  $V_{\min}$ , lowest voltage value which does not cause any errors, is critical. Through the previous research on undervolting, it has been shown that it is possible to operate on-chip BRAM memories of FPGAs safely up to 39% below the vendor specified nominal voltage.

In this paper we show that the effect of junction temperature is crucial on the exact level of  $V_{\min}$  of the supply voltage of BRAMs. While the junction temperature of FPGA is increased, it is safe to decrease  $V_{\min}$  of the supply voltage of BRAM further to achieve more power efficiency. We analyzed the whole behavior of scaling supply voltage between  $-30^{\circ}\text{C}$  and  $+82^{\circ}\text{C}$  junction temperature. We also observed that

minimum safe voltage for FPGA BRAMs varies in this temperature range and it is possible to save up to 9% more power. For a reliable and energy efficient undervolting operation, we propose a method that reads the junction temperature of FPGA and adjusts the supply voltage of FPGA BRAMs for a safe undervolting at this temperature. By the help of this method, we achieved up to 40% decrease in power consumption with only an additional 0.04% resource usage.

**Keywords:** Undervolting, FPGA, BRAM, Junction temperature, Error free operation.



## TEŐEKKÜR

Çalıőmalarım boyunca deęerli yardım ve katkılarıyla beni yönlendiren danışman hocalarım Prof. Dr. Oęuz Ergin'e ve Dr. Fatih Say'a, yüksek lisans eęitimim boyunca bana burs saęladıęı için TOBB Ekonomi ve Teknoloji Üniversitesi'ne, tez çalıőmama teknik desteęinden ötürü ASELSAN'a, kıymetli tecrübelerinden faydalandıęım TOBB Ekonomi ve Teknoloji Üniversitesi Bilgisayar Mühendislięi Bölümü öğretim üyelerine, destekleriyle her zaman yanımda olan arkadaşlarıma, bu süreçte gösterdięi destek ve sabrından dolayı aileme, eőim Emre Aęırnas'a ve kızım Defne Aęırnas'a çok teşekkür ederim.



## İÇİNDEKİLER

### Sayfa

|  |           |
|--|-----------|
| ÖZET.....  | iv        |
| ABSTRACT .....   | vi        |
| TEŞEKKÜR .....   | viii      |
| İÇİNDEKİLER .....  | ix        |
| ŞEKİL LİSTESİ.....   | x         |
| ÇİZELGE LİSTESİ.....   | xii       |
| KISALTMALAR .....  | xiii      |
| SEMBOL LİSTESİ .....   | xv        |
| <b>1. GİRİŞ .....</b>  | <b>1</b>  |
| 1.1 Tezin Amacı .....  | 1         |
| 1.2 Tez Kapsamı.....   | 3         |
| 1.3 Tez Organizasyonu.....   | 3         |
| <b>2. TEMEL BİLGİLER .....</b>   | <b>5</b>  |
| 2.1 FPGA (Field Programmable Gate Array-Alanda Programlanabilir Kapı Dizisi) 5   |           |
| 2.2 SRAM (Statik Rastgele Erişim Belleği - Static Random Access Memory) 8        |           |
| 2.3 BRAM (Blok Rastgele Erişim Belleği - Block Random Access Memory)11           |           |
| <b>3. ÇALIŞMA GERİLİMİ DÜŞÜRÜLMESİ .....</b>                                     | <b>17</b> |
| 3.1 Çalışma Gerilimi Düşürülmesi ve Önceki Çalışmalar .....                      | 17        |
| 3.2 BRAM’lerde Çalışma Gerilimi Düşürülmesi Kaynaklı Oluşan Hatalar....          | 19        |
| 3.3 Motivasyon.....  | 24        |
| <b>4. DENEYSEL METODOLOJİ.....</b>   | <b>27</b> |
| 4.1 Test Düzenegi.....   | 27        |
| 4.2 Test Yöntemi.....  | 31        |
| <b>5. SICAKLIĞIN ÇALIŞMA GERİLİMİ DÜŞÜRÜLMESİNE ETKİLERİ..</b>                   | <b>37</b> |
| 5.1 KC705 Geliştirme Kartı ile Yapılan Testler .....                             | 37        |
| 5.2 ZC702 Geliştirme Kartı ile Yapılan Testler.....                              | 41        |
| 5.3 Farklı Frekanslarda Yapılan Testler.....                                     | 45        |
| <b>6. ÖNERİLEN YÖNTEM: SICAKLIK KONTROLLÜ ÇALIŞMA GERİLİMİ DÜŞÜRÜLMESİ .....</b> | <b>49</b> |
| 6.1 Önerilen Yöntem.....   | 49        |
| 6.2 Önerilen Yöntemin Performans Sonuçları .....                                 | 52        |
| <b>7. SONUÇ.....</b>   | <b>55</b> |
| <b>8. GELECEK ÇALIŞMALAR.....</b>  | <b>57</b> |
| <b>KAYNAKLAR .....</b>   | <b>59</b> |
| <b>ÖZGEÇMİŞ.....</b>   | <b>65</b> |



## ŞEKİL LİSTESİ

### Sayfa

|   |    |
|---|----|
| Şekil 2.1 : FPGA konfigüre edilebilir mantık bloğu.....   | 5  |
| Şekil 2.2 : FPGA'in iç yapısı. ....   | 6  |
| Şekil 2.3 : CPU, GPU, FPGA ve ASIC karşılaştırması. ....  | 7  |
| Şekil 2.4 : Intel (Altera) ve Xilinx FPGA örnekleri.....  | 8  |
| Şekil 2.5 : Tipik bir SRAM bellek hücresi (6T). ....  | 9  |
| Şekil 2.6 : SRAM'e yazma işlemi.....  | 10 |
| Şekil 2.7 : SRAM'den okuma işlemi. ....   | 11 |
| Şekil 2.8 : BRAM hücrelerinin FPGA içerisindeki yerleşimi. ....                                   | 12 |
| Şekil 2.9 : BRAM'lerin farklı genişlik ve derinlikleriyle oluşturulan<br>konfigürasyonlar. ....   | 14 |
| Şekil 2.10 : Tek kanallı BRAM. ....   | 15 |
| Şekil 2.11 : İki kanallı BRAM ....  | 15 |
| Şekil 2.12 : FIFO'lu BRAM. ....   | 16 |
| Şekil 3.1 : Xilinx Kintex-7 FPGA için önerilen bazı çalışma gerilimleri limit<br>değerleri . .... | 17 |
| Şekil 3.2 : 6T SRAM hücresindeki $V_L$ ve $V_R$ değerleri için birleşim noktaları.....            | 21 |
| Şekil 3.3 : Veri tutma hatası grafiksel gösterimi.....  | 21 |
| Şekil 3.4 : Okuma hatası grafiksel gösterimi. ....  | 22 |
| Şekil 3.5 : Yazma hatası grafiksel gösterimi. ....  | 22 |
| Şekil 3.6 : Statik gürültü marjı (SNM) kelebek eğrisi. ....                                       | 23 |
| Şekil 3.7 : Statik gürültü marjı (SNM) asimetric kelebek eğrisi. ....                             | 24 |
| Şekil 3.8 : Düşük besleme geriliminde statik gürültü marjı (SNM) kelebek eğrisi ..                | 24 |
| Şekil 4.1 : Test düzeneği. ....   | 27 |
| Şekil 4.2 : FPGA geliştirme kartı ve test bilgisayarı arasındaki bağlantı. ....                   | 28 |
| Şekil 4.3 : Sıcaklık kabini içerisindeki FPGA geliştirme kartı. ....                              | 28 |
| Şekil 4.4 : KC705 geliştirme kartı. ....  | 29 |
| Şekil 4.5 : "Fusion Digital Power Designer" listelenen gerilimler. ....                           | 30 |
| Şekil 4.6 : "Fusion Digital Power Designer" gerilim ayarlama. ....                                | 31 |
| Şekil 4.7 : BRAM kaynak kullanımı.....  | 32 |
| Şekil 4.8 : Testlerde kullanılan tasarımın gerçekleşmiş ekran görüntüsü. ....                     | 33 |
| Şekil 4.9 : "Vivado-System Monitor" penceresi.....  | 34 |
| Şekil 4.10 : Testlerde kullanılan FPGA tasarımı blok yapısı.....                                  | 34 |
| Şekil 5.1 : Oda sıcaklığında hata-sıcaklık karakteristiği (KC705). ....                           | 38 |
| Şekil 5.2 : Bit hata sayısı ve $V_{CC_{BRAM}}$ grafiği (KC705). ....                              | 39 |
| Şekil 5.3 : $V_{min}$ gerilim değeri ve FPGA silikon sıcaklığı grafiği (KC705). ....              | 39 |
| Şekil 5.4 : $V_{off}$ gerilim değeri ve FPGA silikon sıcaklığı grafiği (KC705). ....              | 40 |
| Şekil 5.5 : ZC702 geliştirme kartı. ....  | 42 |
| Şekil 5.6 : Oda sıcaklığında hata-sıcaklık karakteristiği (ZC702). ....                           | 43 |
| Şekil 5.7 : Bit hata sayısı ve $V_{CC_{BRAM}}$ grafiği (ZC702). ....                              | 44 |
| Şekil 5.8 : $V_{min}$ gerilim değeri ve FPGA silikon sıcaklığı grafiği (ZC702). ....              | 44 |

|  |    |
|--|----|
| Şekil 5.9 : $V_{off}$ gerilim değeri ve FPGA silikon sıcaklığı grafiği (ZC702). .....                          | 45 |
| Şekil 5.10 : Farklı frekanslar için $V_{min}$ gerilim değeri ve FPGA silikon sıcaklığı grafiği. ....           | 46 |
| Şekil 5.11 : Farklı frekans değerleri için $V_{CCBRAM}$ gerilim değeri ve bit hata sayısı grafiği (82°C). .... | 47 |
| Şekil 5.12 : Farklı frekans değerleri için $V_{CCBRAM}$ gerilim değeri ve bit hata sayısı grafiği (58°C). .... | 47 |
| Şekil 5.13 : Farklı frekans değerleri için $V_{CCBRAM}$ gerilim değeri ve bit hata sayısı grafiği (38°C). .... | 48 |
| Şekil 6.1 : Sıcaklık kontrollü çalışma gerilimi düşürülmesi FPGA tasarımı. ....                                | 50 |
| Şekil 6.2 : Önerilen yöntemin akış şeması. ....  | 51 |
| Şekil 6.3 : BRAM normalleştirilmiş güç tüketimleri. ....   | 52 |





## ÇİZELGE LİSTESİ

### Sayfa

|   |    |
|---|----|
| Çizelge 2.1 : Xilinx 7 serisi FPGA’lerdeki BRAM kaynak miktarları.....                      | 12 |
| Çizelge 2.2 : Intel Startix serisi FPGA’lerdeki M20K kaynak miktarları. ....                | 13 |
| Çizelge 2.3 : Xilinx 7 serisi FPGA’lerdeki 18K BRAM’lerin konfigürasyon<br>seçenekleri..... | 14 |
| Çizelge 4.1 : KC705 besleme gerilimleri için önerilen limit değerleri.....                  | 29 |
| Çizelge 5.1 : FPGA silikon sıcaklıkları ile test kabini sıcaklıkları.....                   | 38 |
| Çizelge 5.2 : Oda sıcaklığında hata oluşan ilk BRAM adresleri. ....                         | 41 |
| Çizelge 5.3 : ZC702 BRAM besleme gerilimleri için önerilen limit değerleri.....             | 42 |
| Çizelge 5.4 : FPGA silikon sıcaklıkları ile test kabini sıcaklıkları (ZC702). ....          | 42 |
| Çizelge 6.1 : FPGA kaynak kullanımları.....   | 53 |



## KISALTMALAR

|             |   |
|-------------|---|
| <b>ASIC</b> | : Application Specific Integrated Circuit (Uygulamaya Özel Tümüleşik Devre)   |
| <b>BRAM</b> | : Block Random Access Memory (Blok Rastgele Erişimli Bellek)  |
| <b>CMOS</b> | : Complementary Metal Oxide Semiconductor (Bütünleyici Metal Oksit Yarı İletken)  |
| <b>CPU</b>  | : Central Processing Unit (Merkezi İşlem Birimi)  |
| <b>DRAM</b> | : Dynamic Random Access Memory (Dinamik Rastgele Erişimli Bellek)   |
| <b>DSP</b>  | : Digital Signal Processing (Sayısal İşaret İşleme)   |
| <b>ECC</b>  | : Error Correction Code (Hata düzeltme kodu)  |
| <b>FIFO</b> | : First In First Out (İlk Giren İlk Çıkar)  |
| <b>FPGA</b> | : Field Programmable Gate Array (Alanda programlanabilir kapı dizisi)   |
| <b>GPU</b>  | : Graphical Processing Unit (Grafik İşlemci Birimi)   |
| <b>HDL</b>  | : Hardware Description Language (Donanım tanımlama dili)  |
| <b>HLS</b>  | : High Level Synthesis  |
| <b>IOT</b>  | : Internet of Things (Nesnelerin interneti)   |
| <b>LUT</b>  | : Lookup Table  |
| <b>RTL</b>  | : Register Transfer Level (Yazmaç Transfer Seviyesi)  |
| <b>SNM</b>  | : Static Noise Margin (Statik Gürültü Marjı)  |
| <b>SRAM</b> | : Static Random Access Memory (Durağan Rastgele Erişimli Bellek)  |
| <b>VHDL</b> | : VHSIC (Very High Speed Integrated Circuit) Hardware Description Language (Yüksek hızlı tümleşik devreler için donanım tanımlama dili) |
| <b>TPU</b>  | : Tensor Processing Unit (Tansör İşleme Birimi)   |
| <b>VTC</b>  | : Voltage Transfer Characteristics (Gerilim transfer karakteristikleri)   |



## SEMBOL LİSTESİ

Bu çalışmada kullanılmış olan simgeler açıklamaları ile birlikte aşağıda sunulmuştur.

### Simgeler

### Açıklama

$V_{\min}$

Hatasız Çalışılan En Düşük Gerilim Değeri (Volt)

$V_{\text{off}}$

Fonksiyonel Çalışmanın Sonlandığı Gerilim Değeri (Volt)

W

Harcanan güç (Watt)



# 1. GİRİŞ

## 1.1 Tezin Amacı

Bilgi teknolojilerindeki hızla büyümeyle ve üretilen verinin çok büyük boyutlara ulaşmasıyla birlikte hesaplama sistemlerinin ihtiyaçları değişmiştir. Birçok derin öğrenme uygulamasında büyük verilerin işlenmesi ve bu verilerden anlamlı bilgilerin çıkarılması için hızlandırıcıların kullanımı oldukça yaygınlaşmıştır. Bu hesaplama platformları için değişen hız, performans ve güç gereksinimlerine bağlı olarak için CPU [1], GPU [2,3] veya FPGA [4,5] tabanlı hızlandırıcılar tasarlanmaktadır. Söz konusu platform gömülü sistemler, savunma veya uzay uygulamaları olduğunda ise güvenilirlik, sınırlı pil kapasitesi ve uzun kullanım süresi kriterleri ve gerekleri ön plana çıkmıştır. Bu sebeple bu platformlar için geliştirilen hızlandırıcılarda da güvenilir ve düşük güç tüketimine sahip çözümler geliştirilmesi ihtiyacı doğmuştur. Bu nedenle, bu uygulamalardaki mevcut yaklaşımlar düşük güç tüketimi ile yüksek performans ve yüksek güvenilirlik elde edilmesine dayanmaktadır. CPU ve GPU'lardan farklı olarak, FPGA'ler düşük enerji tüketimi, yüksek performans, iyi güvenilirlik ve yeniden yapılandırılabilirlik özellikleri sunmaktadır. FPGA'ler sundukları bu özellikler ile gömülü sistemler, savunma ve uzay hesaplama uygulamaları için kullanıcılar tarafından çok uygun bir alternatif olarak değerlendirilmektedir.

Özellikle sinyal işleme, makine öğrenmesi ve derin öğrenme uygulamaları için geliştirilen hesaplama platformları sadece yüksek performanslı işlemci kaynaklarına değil, aynı zamanda büyük miktarda bellek kullanımına da ihtiyaç duyarlar. Bu uygulamalarda bellek kullanımları, hesaplama platformlarındaki güç tüketiminin önemli bir bölümünün de kaynağını oluşturmaktadır. Yüksek güç tüketimi bu uygulamaların sıklıkla kullanıldığı özellikle nesnelerin interneti (IoT) araçlarında sınırlı pil ile kullanım senaryosuna uygun olmadığı için donanımların toplam güç tüketimlerini azaltmak için çalışmalar yapılmaktadır. Bellek elemanları da bu uygulamalarda güç tüketiminin önemli bir bölümünü oluşturduğu için, bellek

elemanlarının güç tüketimini azaltmak amacıyla yeni yöntemler geliştirilmesi zorunlu hale gelmiştir.

Günümüzde yaygın olarak kullanılan CMOS teknolojisinde harcanan güç ilgili besleme geriliminin karesiyle doğru orantılı olduğu için besleme gerilimini düşürmek güç tüketimi üzerinde doğrudan büyük bir etkiye sahiptir. Bu sebeple, hesaplama sistemlerinde ilgili donanım kaynaklarının besleme gerilimini düşürerek güç tüketimini azaltmak çoğunlukla tercih edilen yöntemlerin başında gelmektedir. Besleme gerilimini azaltarak güç tüketimini azaltmayla ilgili yapılan daha önceki çalışmalarda, CPU ve GPU tabanlı sistemlerde, DRAM'lerin besleme gerilimleri düşürülerek bellek bileşenlerinin güç tüketiminin azaltıldığı ve bu sayede sistemin toplam güç tüketiminde %7'ye varan düşüş sağlandığı ortaya konmuştur [6,7,8,9]. Benzer biçimde FPGA tabanlı sistemler için de son yıllarda bu konuda çalışmalar yapılmaya başlanmıştır. Bu çalışmalar arasında FPGA'lerin temel bellek elemanı olarak kullanılan Blok Belleklerin (Block RAM-BRAM) tükettiği enerjiyi azaltmaya yönelik çalışma da mevcuttur. Bu çalışmada, FPGA'lerin BRAM besleme gerilimlerini azaltarak toplam güç tüketimi azaltılması önerilmiştir [7]. BRAM besleme gerilimi bağlantısı FPGA içerisindeki diğer blokların besleme gerilimi bağlantısından farklı olduğu ( $VCC_{BRAM}$ ) için, BRAM'lerde çalışma gerilimi düşürülmesi işlemi kolaylıkla uygulanabilmektedir ve bu sayede FPGA'lerde toplam güç tüketimi azaltılabilmektedir. Ancak FPGA'lerin BRAM'lerini düşük besleme gerilimlerinde çalıştırırken, gerilimi belirli bir seviyenin altına düşürmek, BRAM hücrelerinde bit hatalarına sebep olacağından, güç verimliliği sağlarken güvenilirliği de sürdürmek çok önemlidir.

FPGA bellek bileşenlerinde gerçekleştirilen çalışma gerilimi düşürülmesi uygulamaları önceki çalışmalarda sabit bir sıcaklık varsayımıyla oda şartlarında gerçekleştirilmiştir. Ancak gerçek hayattaki uygulamalarda, FPGA'li sistemlerin silikon sıcaklıkları değişkendir. Özellikle gömülü sistemler, savunma ve uzay uygulamalarında çok büyük bir aralıkta değişen sıcaklıklarda (-55°C ile + 125°C arasında) çalışma durumu söz konusu olabilmektedir. Böyle geniş sıcaklık aralığında çalışan sistemlerde, çalışma gerilimi düşürülmesi işlemlerinde ayarlanan gerilim seviyesi sıcaklığa göre uygun şekilde ayarlanmadığı takdirde bu işlemin avantajlarından tam olarak yararlanmak mümkün olmayacaktır.



Bu çalışmada amacımız, çalışma gerilimi düşürülmesi ile güç tüketimini azaltırken, tüm çalışma sıcaklığı aralığında güvenilirliği de sürdürmektir. Ayrıca bu işlemler sırasında, sıcaklığın çalışma gerilimi düşürülmesine olan etkisini kapsamlı bir şekilde analiz etmektir. Bu çalışmada, sıcaklığa dayalı bir çalışma gerilimi düşürülmesi kontrol mekanizmasının bellek hücrelerindeki hataları önlerken daha fazla güç tasarrufu sağlamaya yardımcı olacağını düşünüyoruz ve bunun için sıcaklık kontrollü çalışma gerilimi düşürülmesi yöntemi öneriyoruz. Önerilen yöntemin temeli, belleklerde hata olmadan BRAM'lerin besleme gerilimlerini ne kadar azaltabileceğimize karar vermeye dayanmaktadır. Bildiğimiz kadarıyla, bu kadar geniş sıcaklık aralığının FPGA'de BRAM'lere çalışma gerilimi düşürüldüğündeki etkileri ve bu etkiler için önerilen bir çözüm hakkında daha önceden bir çalışma yayınlanmamıştır.

## **1.2 Tez Kapsamı**

Çalışmaların en başında öncelikle BRAM besleme gerilimi düşürülmesinin BRAM hücrelerine etkileri incelenmiştir. Daha sonra aynı testler farklı sıcaklıklarda tekrarlanmış ve bu sıcaklık değerlerindeki değişimler gözlemlenmiştir. Yapılan tüm deneysel çalışmaların sonuçlarından yola çıkarak sıcaklık kontrollü bir çalışma gerilimi düşürülmesi yöntemi önerilmiştir. Önerilen yöntem güç tüketimi azaltılması ve güvenilirlik yönünden değerlendirilmiştir.

## **1.3 Tez Organizasyonu**

Bölüm 2'de FPGA, SRAM ve BRAM ilgili temel literatür bilgileri verilmiştir.

Bölüm 3'te çalışma gerilimi düşürülmesi işlemiyle ilgili literatür taraması, bu çalışmaya referans olan çalışmalar ve motivasyon kısmı verilmiştir.

Bölüm 4'te deneysel metodoloji açıklanmıştır. Test ortamı, kullanılan cihazlar ve test yöntemi bu bölümde anlatılmıştır.

Bölüm 5'te çalışma gerilimi düşürülmesi sonucu çıkan hatalara sıcaklığın etkileri sunulmuştur. Farklı sıcaklıklardaki çalışma gerilimi düşürülmesi işleminin sonuçları bu kısımda verilmiştir.

Bölüm 6'da bu çalışma kapsamında önerilen “Sıcaklık Kontrollü Çalışma Gerilimi Düşürülmesi Yöntemi” tariflenmiştir. Yöntemin genel blok şeması ve yöntemin

uygulama detayları bu bölümde anlatılmıştır. Bu bölümün sonunda yapılan tüm deneysel çalışmaların sonuçları ve değerlendirmeleri verilmiştir. Bu bölümde deneysel sonuçların normaliz edilerek karşılaştırılması yapılmıştır. Hem FPGA’de kullanılan kaynaklar hem de güç tüketimleri yönünden karşılaştırmalar yapılmıştır.

Bölüm 7’de yapılan tez çalışmasının sonuç kısmı sunulmuştur.

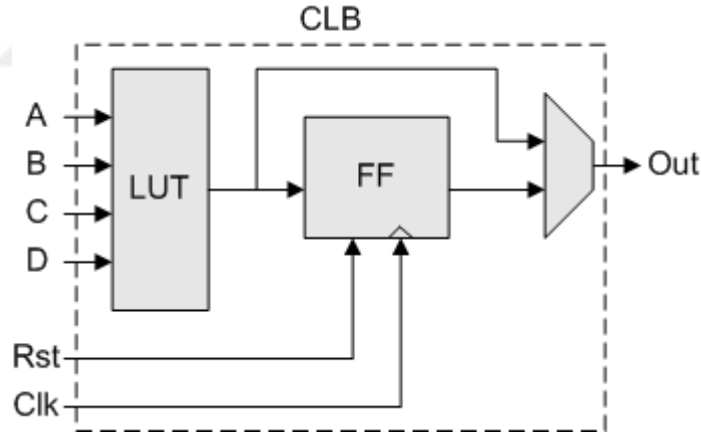
Bölüm 8’de gelecek çalışmalar anlatılmıştır.



## 2. TEMEL BİLGİLER

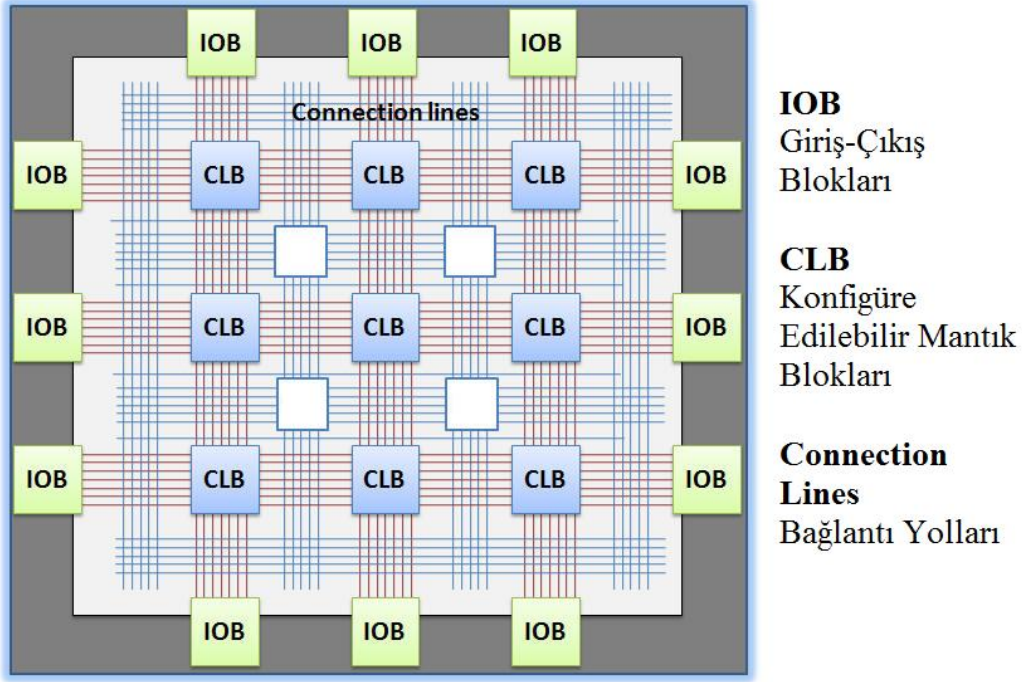
### 2.1 FPGA (Field Programmable Gate Array-Alanda Programlanabilir Kapı Dizisi)

FPGA'ler, programlanabilir mantık blokları ve bu bloklar arasındaki ara bağlantılardan oluşan ve geniş uygulama alanlarına sahip olan sayısal tümleşik devrelerdir. FPGA'ler temel olarak mantık blokları, ara bağlantılar ve giriş çıkış bloklarından oluşurlar. Mantık blokları FPGA'lerin programlanabilir mantıksal yeteneklerinin temelini oluştururlar. Mantık bloklarında bulunan LUT'lar (Look-up Table) ve Flip-Flop'lar sayesinde lojik işlemlerinin gerçekleştirilmesi ve sonuçlarının saklanması işlemleri gerçekleştirilmektedir. Mantık Bloğu iç yapısı Şekil 2.1'de gösterilmiştir.



Şekil 2.1 : FPGA konfigüre edilebilir mantık bloğu.

Mantık blokları arasındaki uygulamaya özel ara bağlantılar bağlantı yolları ile oluşturulur. FPGA'ler içerisinde yer alan bir diğer kısım olan Giriş-Çıkış blokları ile FPGA'in dış dünya ile dijital giriş-çıkış arayüzleri sağlanmaktadır. Üretim sürecinden sonra FPGA'in temel mantık blokları ve ara bağlantıları kullanım amacına göre yeniden programlanabilmektedir. Şekil 2.2'de FPGA iç yapısı gösterilmiştir.



Şekil 2.2 : FPGA'in iç yapısı [11].

FPGA'ler benzer amaçlarla farklı uygulamalarda tercih edilen CPU, GPU ve ASIC'lerle karşılaştırılmaktadırlar. CPU'lar genel amaçlı olarak tasarlanmışlardır ve kullanımları FPGA'lere ve diğer işlem birimlerine göre daha kolaydır. Ancak paralel işlem yapabilme yetenekleri çekirdek sayılarıyla sınırlı olduğu için FPGA'ler kadar başarılı değildir. GPU'lar ise paralel işlem yetenekleriyle öne çıkan grafik işlem ve hesaplama birimleridir. Ancak maliyet ve güç tüketimi yönünden pek kullanışlı değildirler. FPGA'ler en çok uygulamaya göre özelleşmiş olan ASIC'lerle karşılaştırılmaktadırlar. Ancak ASIC'ler sadece bir uygulama için özelleşmiş ve ona göre tasarlanmış tümeşik devrelerdir. FPGA'ler ise farklı uygulamalar için defalarca yeniden programlanabilme özelliğine sahiptirler. FPGA'ler, düşük miktarlı üretimler ve prototip denemeler için ASIC'lere göre daha düşük maliyetlidirler. Ancak diğer yandan ASIC'ler hem daha hızlı hem de daha az güç tüketimine sahiptirler. FPGA'ler ASIC'lerin ilk prototipleme aşamasında hızlı prototipleme amaçlı olarak sıklıkla kullanılmaktadırlar. FPGA'leri bir diğer önemli özellikleri ise paralel işlem yapabilme yetenekleridir. Bu yönleriyle GPU'lara benzemektedirler. Ancak güç tüketimleri yönünden GPU'larla karşılaştırıldığında, GPU'lardan çok daha az güç tüketimine sahiptirler [12]. Şekil 2.3'te CPU, GPU, FPGA ve ASIC'lerin kullanım kolaylığı ve verimlilik yönünden karşılaştırması gösterilmektedir.



Şekil 2.3 : CPU, GPU, FPGA ve ASIC karşılaştırması [12].

FPGA'ler düşük güç tüketimi, yeniden yapılandırılabilirlik ve isteğe göre uyarlanabilirlik özellikleri nedeniyle son yıllarda çok ilgi görmektedir. Veri bilimciler ve uygulama geliştiriciler tarafından yapay zeka uygulamaları ve gerçek zamanlı uygulamalar için hızlandırıcı tasarımlarında düşük gecikme süreleri, yüksek performans, esneklik ve düşük güç tüketimleri sebepleriyle çok sık tercih edilmektedirler.

FPGA'lerin tasarımlarını oluşturmak için şematik tasarım ya da donanım tanımlama dilleri ile tasarım yapılabilir. FPGA tasarımları için VHDL (Very High Speed Integrated Circuit Hardware Description Language) ya da VERILOG donanım tanımlama dilleri kullanılmaktadır. Şematik tasarımda devre elemanları yerleştirilip ara bağlantılar yapılırken, donanım tanımlama dilleri ile yapılan tasarımlarda bu diller ile FPGA'in iç bağlantıları ve hangi yapıların kullanılacağı tariflenmektedir.

FPGA'lerin paralel hesaplama işlemlerinin yoğunlukta olduğu sistemlerde kullanılması ile birlikte "High Level Synthesis (HLS)" araçları da FPGA tasarımları için sıklıkla kullanılmaya başlanmıştır. Paralel hesaplamadaki yazılım platformlarında C/C++ dilleri tercih edilmektedir. Bu dillerde tanımlanan algoritmaların çalışacağı donanımların etkin bir şekilde tasarlanması ve doğrulanması amacıyla HLS tercih edilmektedir. FPGA üretici firmaların HLS için geliştirdikleri sentez araçları bulunmaktadır. Bu sentez araçları C/C++ dillerindeki yazılımları bir HDL dilinde tanımlanan RTL (Register Transfer Level) seviye bir tasarıma dönüştürmektedir. Ancak bu dönüşüm sonrası RTL tasarımların, dönüşüm işleminin istenildiği gibi olup olmadığının tespit edilmesi için bir doğrulama ve test aşamasından geçmesi gerekmektedir. HLS'in amacı yazılımcılara C/C++ dilleri ile yazılım tasarımı imkanı vererek kullanıcıların algoritmalarının optimizasyonlarını, mimarilerinin kontrollerini ve soyutlamalarını daha iyi yapabilmeleri için ortam sağlamaktır.

Xilinx ve Intel (Altera) firmaları günümüzde önde gelen FPGA üreticileridir. Firmaların geliştirme aşamasında kullanılmak üzere tasarladıkları farklı FPGA'ler için uygun fiyatlı çok çeşitli geliştirme kartları bulunmaktadır. Bu geliştirme kartları tasarım aşamalarında büyük kolaylık sağlamaktadır. Ayrıca FPGA'ler içerisinde bulunan çeşitli SRAM, BRAM, yüksek hızlı giriş çıkışlar, yüksek hızlı alıcı-vericiler sunarak yüksek hızlı sayısal işaret işleme ve yüksek performans gerektiren işlem için uygun bir ortam sağlamaktadır. Ayrıca firmaların yazılım araçlarıyla kolay bir arayüzle sunduğu farklı arayüzler ve devre elemanları için özel geliştirdikleri hazır IP (Intellectual Property) blokları tasarımların geliştirme süresini, gücünü ve maliyetini düşürmektedir. Şekil 2.4'te Intel ve Xilinx firmasından birer FPGA örneği gösterilmiştir.



Şekil 2.4 : Intel (Altera) ve Xilinx FPGA örnekleri.

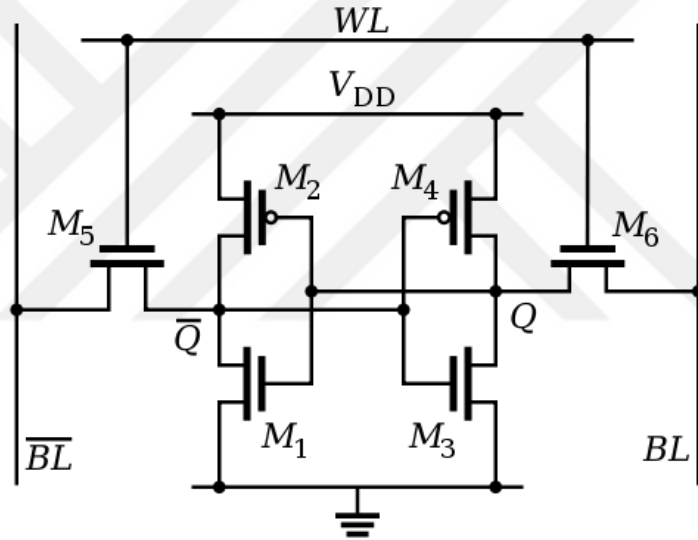
## 2.2 SRAM (Statik Rastgele Erişim Belleği - Static Random Access Memory)

SRAM veya Statik Rasgele Erişim Belleği, elektronik, mikroişlemci ve genel bilgi işlem uygulamalarında yaygın olarak kullanılan bir yarı iletken hafıza şeklidir. SRAM (statik RAM), güç verildiği sürece veri bitlerini bellekte tutan rasgele erişim belleğidir. Bir kapasitör ve bir transistörden oluşan hücrelerde bitleri depolayan dinamik RAM'den (DRAM) farklı olarak, SRAM periyodik olarak yenilenmek zorunda değildir. Statik RAM, verilere daha hızlı erişim sağlar. DRAM'den daha hızlı olsa da, SRAM daha pahalıdır ve birim alan başına daha az veri tutar.

SRAM'in temel iki özelliği vardır. Birincisi; veriler belleğe güç uygulandığı sürece yenilenmesine gerek kalmadan SRAM'de tutulur. İkincisi; SRAM'deki veriler, son

bellek konumundan bağımsız olarak herhangi bir sırayla yazılabilmekte veya okunabilmektedir.

Bir SRAM bellek hücresinin devresi tipik olarak iki çapraz bağlı evirici olarak yapılandırılmış dört transistörden oluşur. Bu formatta devre iki kararlı duruma sahiptir. Bunlar mantıksal "0" ve "1" durumlarına eşittir. Temel bellek hücresindeki dört transistöre ek olarak, okuma ve yazma işlemleri sırasında bellek hücresine erişimi kontrol etmek için ek iki transistör gerekir. Bu, toplam 6 transistörlü yapı 6T bellek hücresi olarak adlandırılmaktadır. Bazen 8T veya 10T hafıza hücrelerini vermek için başka transistörler de kullanılır. Bu ek transistörler, SRAM hafızası için bir kayıt dosyasına ek kanallar ekleme gibi işlevler için kullanılmaktadır [41]. Şekil 2.5'te tipik bir 6T SRAM bellek hücresi gösterilmiştir.

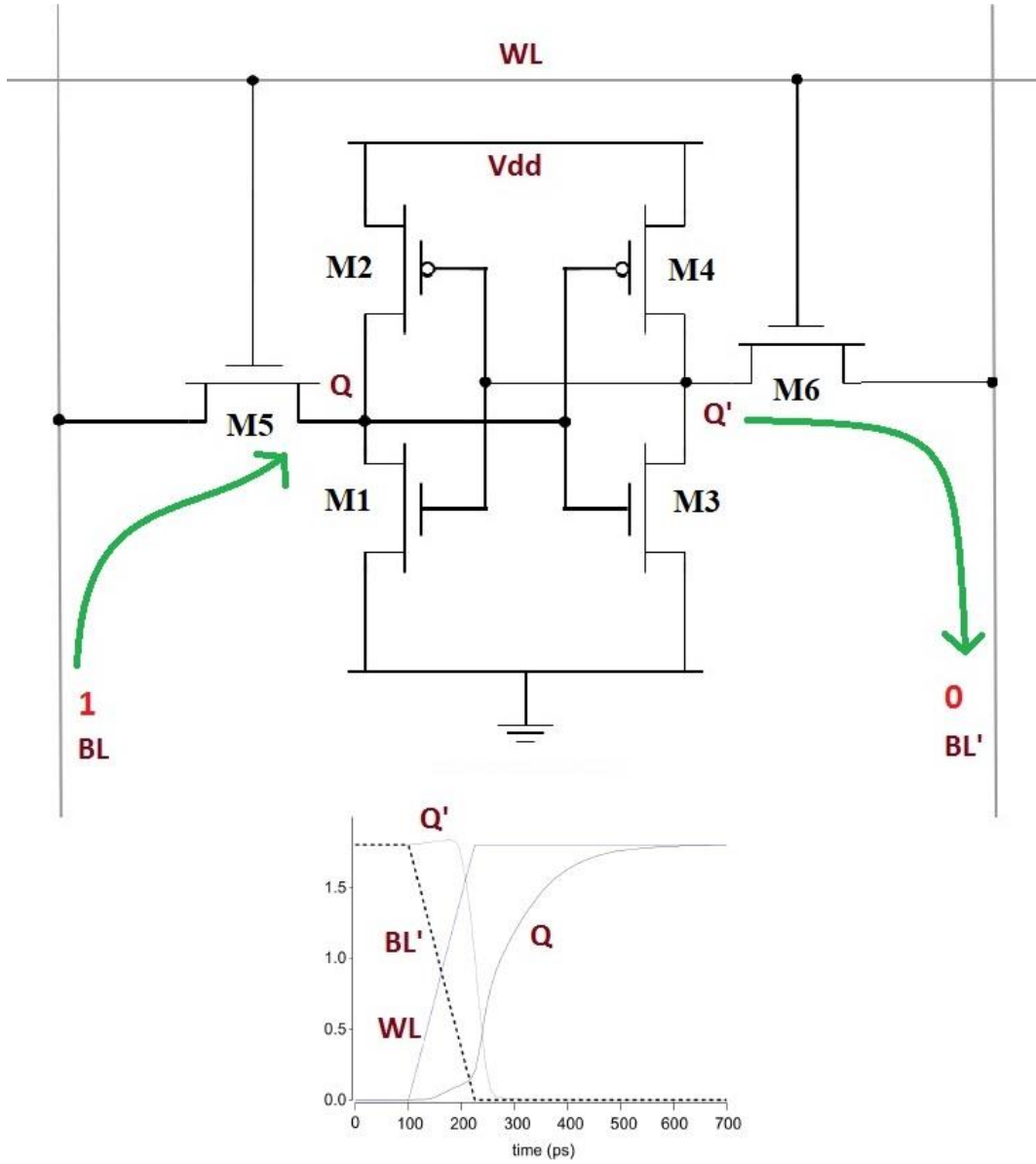


Şekil 2.5 : Tipik bir SRAM bellek hücresi (6T) [41].

Bellek hücresine erişim, M5 ve M6 iki erişim transistörünü kontrol eden ve sırayla hücrenin bit hatlarına bağlanıp bağlanmayacağını kontrol eden kelime satırı (Şekil X) ile sağlanır. Bu erişim transistörleri hem okuma hem de yazma işlemlerinde veriyi aktarmak için kullanılırlar. İki bit hattının olması kesinlikle gerekli olmamakla birlikte, gürültü dayanım sınırlarını iyileştirmek için bu hatlardan hem işaret hem de işaretin tersi tipik olarak sağlanır.

Veriyi SRAM'e yazmak için veri bit hattına ( $BL$ ) ve verinin mantıksal tersi ise ters bit hattına ( $\overline{BL}$ ) uygulanır. Ardından erişim transistörleri, kelime satırını '1' ayarlayarak

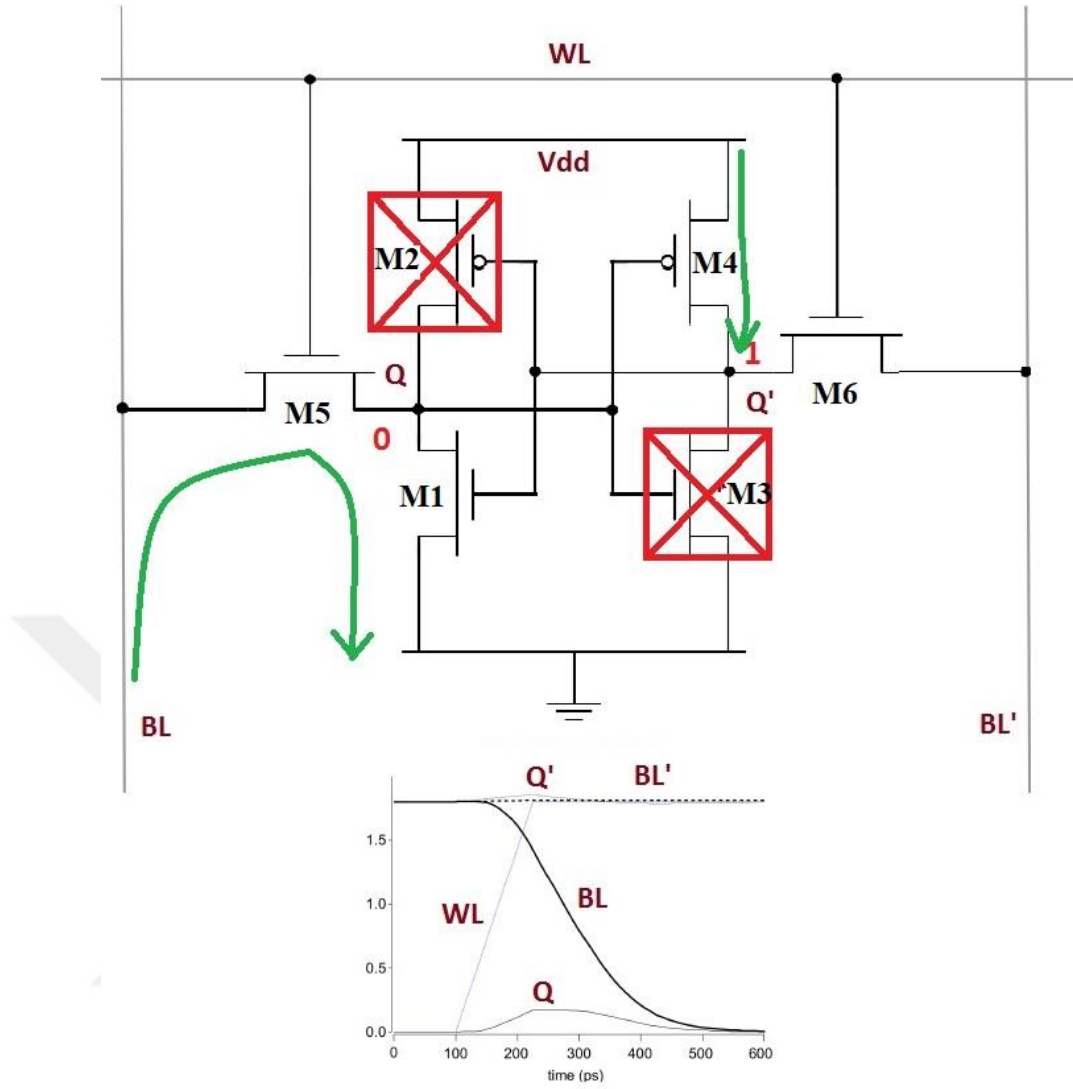
açılırlar. Veri eviricilerde depolandığında, erişim transistörleri kapatılabilir ve evirici deki veriler korunur. Şekil 2.6'da SRAM'e yazma işlemi gösterilmiştir.



Şekil 2.6 : SRAM'e yazma işlemi [42].

SRAM'den veriyi okumak için, bit hattı ( $BL$ ) ve ters bit hattı ( $\overline{BL}$ ) '1' olarak sürülür. Bit hatlarına yapılan bu ön yükleme sonrası erişim transistörlerini aktif hale getirmek için kelime satırı açılmaktadır. Kelime satırı açıldıktan sonra bit hatları arasındaki gerilim farkını algılayan bir yükseltici tarafından saklanan veri okunur. 'de SRAM'den okuma işlemi gösterilmiştir.





Şekil 2.7 : SRAM'den okuma işlemi [42].

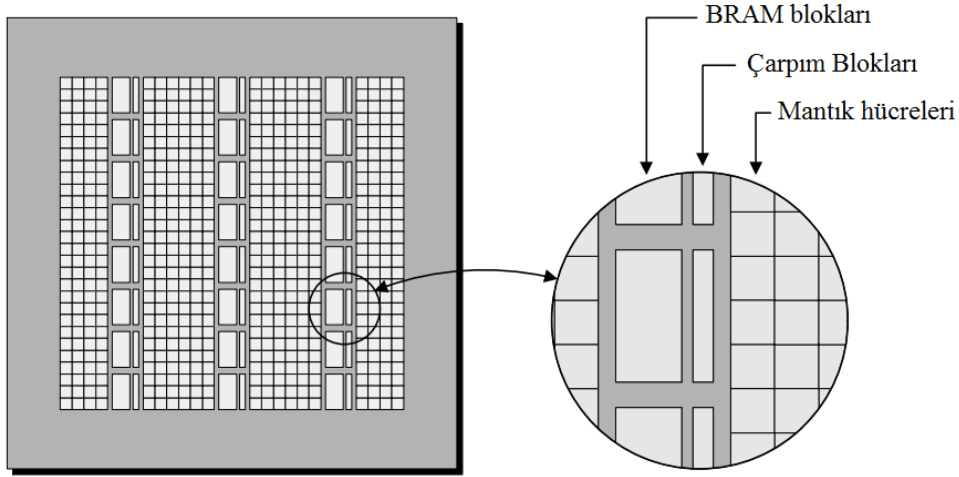
SRAM'ler genellikle, işlemci önbelleği ve video kartındaki dijital-analog dönüştürücünün rastgele erişim belleğinin bir parçası olarak kullanılır. Ayrıca günümüzde kullandığımız FPGA'lerin çoğu SRAM (Statik RAM) teknolojisine dayanmaktadır.

SRAM tabanlı FPGA'ler, mantık hücrelerinin konfigürasyon verilerini statik bellekte saklarlar. SRAM kalıcı bir bellek olmadığından ve verileri güç kaynağı olmadan tutamayacağından, bu tür FPGA'lerin başlatıldığında programlanması gerekmektedir.

### 2.3 BRAM (Blok Rastgele Erişim Belleği - Block Random Access Memory)

Tipik bir FPGA'de iki tip dahili bellek vardır: Dağıtılmış RAM ve BRAM. Dağıtılmış RAM'ler LUT (Look-up table) tabanlı olan, FPGA'lerde nispeten küçük kaynaklardır.

BRAM'ler ise, büyük miktarda veri depolamak için bir FPGA boyunca gömülü olan SRAM tabanlı bloklardır. Şekil 2.8'de BRAM hücrelerinin FPGA içerisindeki yerleşimi gösterilmiştir.



Şekil 2.8 : BRAM hücrelerinin FPGA içerisindeki yerleşimi [19].

BRAM'ler, FPGA'lerde bellek ihtiyaçları için en etkili yöntemdir. Bir FPGA'in veri sayfasında tanımlanmış 4 bileşen birisidir. Diğer üçü Flip-Flop, Look-Up Table (LUT) ve Dijital İşaret İşlemcileridir (DSP). Çizelge 2.1'de Xilinx FPGA'lerde BRAM kaynak miktarlarının gösterildiği örnek bir tablo verilmiştir.

Çizelge 2.1 : Xilinx 7 serisi FPGA'lerdeki BRAM kaynak miktarları [16].

| Max. Capability                | Spartan-7           | Artix-7                                 | Kintex-7  | Virtex-7                      |
|--------------------------------|---------------------|---|---|-------------------------------|
| Logic Cells                    | 102K                | 215K                                    | 478K  | 1,955K                        |
| Block RAM <sup>(1)</sup>       | 4.2 Mb              | 13 Mb                                   | 34 Mb   | 68 Mb                         |
| DSP Slices                     | 160                 | 740                                     | 1,920   | 3,600                         |
| DSP Performance <sup>(2)</sup> | 176 GMAC/s          | 929 GMAC/s                              | 2,845 GMAC/s                                      | 5,335 GMAC/s                  |
| MicroBlaze CPU <sup>(3)</sup>  | 260 DMIPs           | 303 DMIPs                               | 438 DMIPs   | 441 DMIPs                     |
| Transceivers                   | –                   | 16                                      | 32  | 96                            |
| Transceiver Speed              | –                   | 6.6 Gb/s                                | 12.5 Gb/s   | 28.05 Gb/s                    |
| Serial Bandwidth               | –                   | 211 Gb/s                                | 800 Gb/s  | 2,784 Gb/s                    |
| PCIe Interface                 | –                   | x4 Gen2                                 | x8 Gen2   | x8 Gen3                       |
| Memory Interface               | 800 Mb/s            | 1,066 Mb/s                              | 1,866 Mb/s  | 1,866 Mb/s                    |
| I/O Pins                       | 400                 | 500                                     | 500   | 1,200                         |
| I/O Voltage                    | 1.2V–3.3V           | 1.2V–3.3V                               | 1.2V–3.3V   | 1.2V–3.3V                     |
| Package Options                | Low-Cost, Wire-Bond | Low-Cost, Wire-Bond, Bare-Die Flip-Chip | Bare-Die Flip-Chip and High-Performance Flip-Chip | Highest Performance Flip-Chip |

Intel üretici firmasına ait FPGA'lerde BRAM'lere karşılık gelen M20K bileşenleri bulunmaktadır. Yine aynı BRAM'lerde olduğu gibi Intel FPGA'lerde de M20K'lar kullanılarak farklı boyutlarda bellekler elde etmek mümkündür. Çizelge 2.2'de Intel FPGA'lerdeki M20K kaynak miktarını gösteren bir tablo verilmiştir.

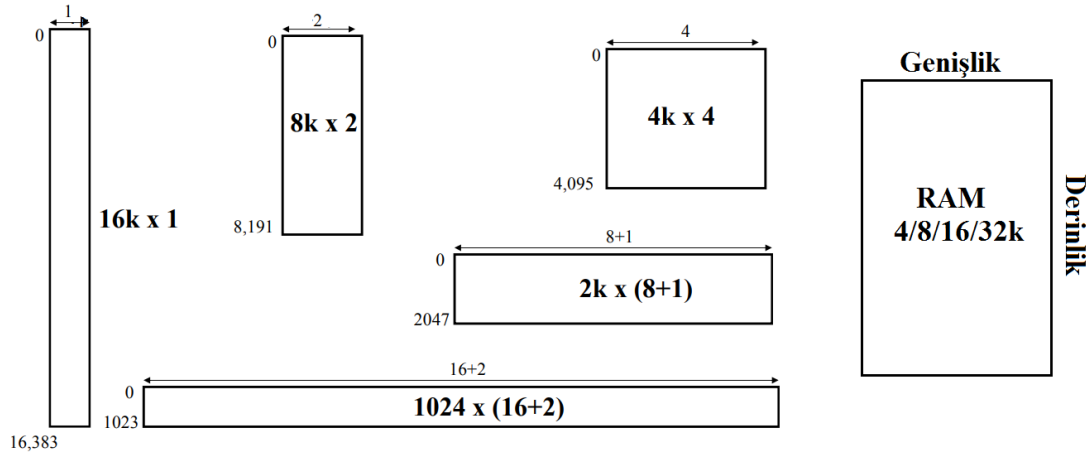
Çizelge 2.2 : Intel Startix serisi FPGA'lerdeki M20K kaynak miktarları [10].

|  | GX 400<br>SX 400   | GX 650<br>SX 650 | GX 850<br>SX 850 | GX 1100<br>SX 1100 | GX 1650<br>SX 1650 | GX 2100<br>SX 2100 | GX 2500<br>SX 2500 | GX 2800<br>SX 2800 | GX 4500<br>SX 4500 | GX 5500<br>SX 5500 |
|--|--|------------------|------------------|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|
| Logic elements (LEs)   | 378,000  | 612,000          | 841,000          | 1,092,000          | 1,624,000          | 2,005,000          | 2,422,000          | 2,753,000          | 4,463,000          | 5,510,000          |
| Adaptive logic modules (ALMs)  | 128,160  | 207,360          | 284,960          | 370,080            | 550,540            | 679,680            | 821,150            | 933,120            | 1,512,820          | 1,867,680          |
| ALM registers  | 512,640  | 829,440          | 1,139,840        | 1,480,320          | 2,202,160          | 2,718,720          | 3,284,600          | 3,732,480          | 6,051,280          | 7,470,720          |
| Hyper-Registers from Intel® HyperFlex™ FPGA architecture               | Millions of Hyper-Registers distributed throughout the monolithic FPGA fabric  |                  |                  |                    |                    |                    |                    |                    |                    |                    |
| Programmable clock trees synthesizable                                 | Hundreds of synthesizable clock trees  |                  |                  |                    |                    |                    |                    |                    |                    |                    |
| M20K memory blocks   | 1,537  | 2,489            | 3,477            | 4,401              | 5,851              | 6,501              | 9,963              | 11,721             | 7,033              | 7,033              |
| M20K memory size (Mbit)  | 30   | 49               | 68               | 86                 | 114                | 127                | 195                | 229                | 137                | 137                |
| MLAB memory size (Mbit)  | 2  | 3                | 4                | 6                  | 8                  | 11                 | 13                 | 15                 | 23                 | 29                 |
| Variable-precision digital signal processing (DSP) blocks              | 648  | 1,152            | 2,016            | 2,520              | 3,145              | 3,744              | 5,011              | 5,760              | 1,980              | 1,980              |
| 18 x 18 multipliers  | 1,296  | 2,304            | 4,032            | 5,040              | 6,290              | 7,488              | 10,022             | 11,520             | 3,960              | 3,960              |
| Peak fixed-point performance (TMACS) <sup>2</sup>                      | 2.6  | 4.6              | 8.1              | 10.1               | 12.6               | 15.0               | 20.0               | 23.0               | 7.9                | 7.9                |
| Peak floating-point performance (TFLOPS) <sup>2</sup>                  | 1.0  | 1.8              | 3.2              | 4.0                | 5.0                | 6.0                | 8.0                | 9.2                | 3.2                | 3.2                |
| Secure device manager  | AES-256/SHA-256 bitstream encryption/authentication, physically unclonable function (PUF), ECDSA 256/384 boot code authentication, side channel attack protection  |                  |                  |                    |                    |                    |                    |                    |                    |                    |
| Hard processor system <sup>3</sup>                                     | Quad-core 64 bit ARM® Cortex®-A53 up to 1.5 GHz with 32 KB I/D cache, NEON™ coprocessor, 1 MB L2 cache, direct memory access (DMA), system memory management unit, cache coherency unit, hard memory controllers, USB 2.0 x2, 1G EMAC x3, UART x2, SPI x4, I <sup>2</sup> C x5, general-purpose timers x7, watchdog timer x4 |                  |                  |                    |                    |                    |                    |                    |                    |                    |
| Maximum user I/O pins  | 392  | 400              | 736              | 736                | 704                | 704                | 1160               | 1160               | 1640               | 1640               |
| Maximum LVDS pairs (RX or TX)  | 192  | 192              | 360              | 360                | 336                | 336                | 576                | 576                | 816                | 816                |
| Total full duplex transceiver count                                    | 24   | 48               | 48               | 48                 | 96                 | 96                 | 96                 | 96                 | 24                 | 24                 |
| GXT full duplex transceiver count (up to 30 Gbps)                      | 16   | 32               | 32               | 32                 | 64                 | 64                 | 64                 | 64                 | 16                 | 16                 |
| GX full duplex transceiver count (up to 17.4 Gbps)                     | 8  | 16               | 16               | 16                 | 32                 | 32                 | 32                 | 32                 | 8                  | 8                  |
| PCI Express® (PCIe™) hard intellectual property (IP) blocks (Gen3 x16) | 1  | 2                | 2                | 2                  | 4                  | 4                  | 4                  | 4                  | 1                  | 1                  |
| Memory devices supported   | DDR4, DDR3, DDR2, DDR, QDR II, QDR II+, RLDRAM II, RLDRAM 3, HMC, MoSys  |                  |                  |                    |                    |                    |                    |                    |                    |                    |

BRAM'ler farklı saat işareti alanları arasında veri aktarma, FPGA ve işlemci arasında veri aktarımı, FPGA'ler arası veri aktarımı, geçici verilerin saklanması ve büyük veri setlerinin LUT tabanlı RAM'ler yerine daha hızlı erişilmesi için saklanması amacıyla sıklıkla kullanılmaktadır. BRAM'ler, her bir saat işareti döngüsünde erişilebilen hızlı ve küçük dahili belleklerdir. DRAM'ler ise veri transferinde ek işlem yükü çok fazla olan, birden fazla döngüde veriye erişilebilen ve BRAM'e göre daha büyük olan harici belleklerdir. Bu yüzden FPGA uygulamalarında harici DRAM'lerin kullanımı yerine dahili BRAM'lerin kullanılması tercih edilmektedir.

BRAM'in temel özellikleri uygulamaya bağlı olarak ayarlanabilmektedir. BRAM'ler, hafıza adres aralığı, veri genişliği gibi parametrelerin bir fonksiyonu olarak yapılandırılabilir [17]. Her FPGA farklı miktarda BRAM'a sahiptir. FPGA büyüdükçe içerisindeki BRAM miktarları da artmaktadır. Birçok modern FPGA'in oldukça çok miktarda BRAM kaynağı var. BRAM'lerin boyutları sınırlıdır ve 4/8/16/32 kb (kilobit) olabilmektedirler [15]. Özelleştirilebilir derinliğe ve genişliğe sahiptirler. Her boyut bir adreste saklanacak bit sayısında göre farklı şekillerde konfigüre edilebilmektedir. Şekil 2.9'da BRAM'lerin farklı genişlik ve derinlikleriyle oluşturulan konfigürasyonları gösterilmiştir. Çizelge 2.3'te Xilinx 7 Serisi FPGA'lerdeki 18K BRAM'lerin konfigürasyon seçenekleri verilmiştir.

BRAM'lerin işleyişler her bir saat işaretinde bir okuma yapacak şekildedir. "WR\_EN" işareti aktif olmadığı sürece, "ADDR" girişlerindeki adresler için her bir saat işaretinin pozitif çıkan kenarında okuma yapılır. Okunan değerler "RD\_DATA"ya aktarılır. Eğer BRAM 1024 derinliğinde ise, BRAM'deki tüm verileri okumak için en az 1024 saat döngüsü gerekir.



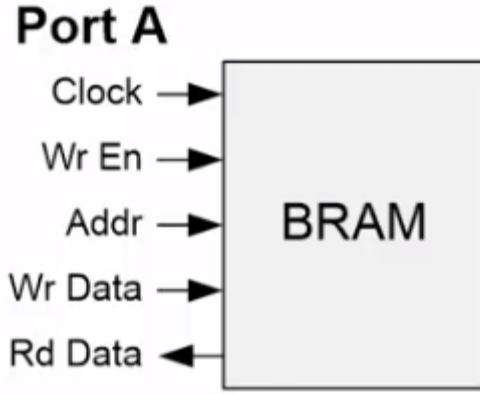
Şekil 2.9 : BRAM'lerin farklı genişlik ve derinlikleriyle oluşturulan konfigürasyonlar [15].

Çizelge 2.3 : Xilinx 7 serisi FPGA'lerdeki 18K BRAM'lerin konfigürasyon seçenekleri [18].

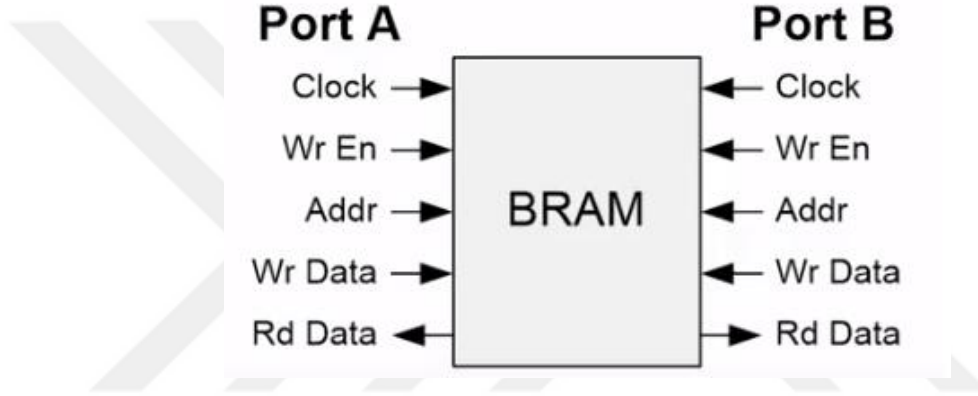
| Port Data Width | Port Address Width | Depth  | ADDR Bus | DI Bus<br>DO Bus | DIP Bus<br>DOP Bus |
|-----------------|--------------------|--------|----------|------------------|--------------------|
| 1               | 14                 | 16,384 | [13:0]   | [0]              | NA                 |
| 2               | 13                 | 8,192  | [13:1]   | [1:0]            | NA                 |
| 4               | 12                 | 4,096  | [13:2]   | [3:0]            | NA                 |
| 9               | 11                 | 2,048  | [13:3]   | [7:0]            | [0]                |
| 18              | 10                 | 1,024  | [13:4]   | [15:0]           | [1:0]              |

BRAM'ler tek kanallı, çift kanallı ve FIFO'lu gibi farklı tiplerde kullanılabilirler. Tek kanallı BRAM'ler veri almak isteyen tek bir arayüz olduğunda kullanışlıdır. BRAM'in en basit kullanım şeklidir. Tek kanallı BRAM'lerde yazma ve okuma işlemi aynı anda yapılamaz. Şekil 2.10'da tek kanallı bir BRAM gösterimi verilmiştir.

İki kanallı BRAM bloğu okuma ve yazmanın aynı anda yapılabilmesi için iki kanal sunmaktadır. Ayrıca, iki farklı arayüzden erişim sağlandığından harici başka bir cihaz ile ortak kullanım ile bir taraftan verilerin yazılması ve diğer taraftan yazılan bu verilerin okunması mümkün olmaktadır. İki kanallı BRAM kullanımını oldukça yaygındır. Şekil 2.11'de iki kanallı bir BRAM gösterimi verilmiştir.



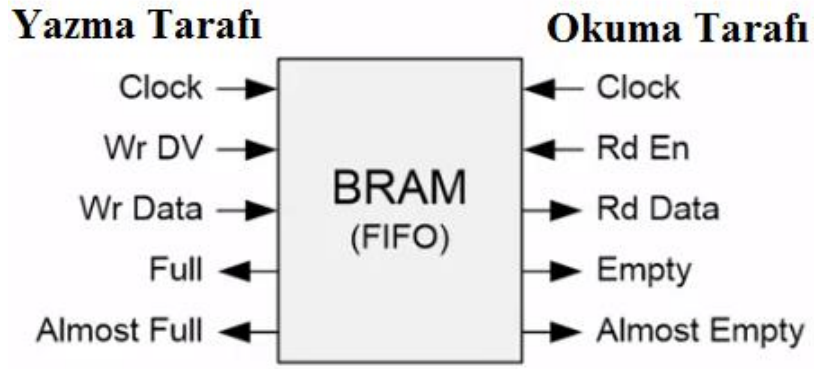
Şekil 2.10 : Tek kanallı BRAM.



Şekil 2.11 : İki kanallı BRAM

FIFO (First In First Out) yapıları iki arayüz arasında bazı verilerin tamponlanması gerektiğinde kullanılır. Özellikle iki farklı saat işareti alanında veri transferi yaparken veri kaybı olmaması için FIFO kullanımı gerekmektedir. 'de FIFO'lu bir BRAM gösterimi verilmiştir.

FPGA tasarımı içerisinde BRAM eklemek için birkaç seçenek bulunmaktadır. Bunlardan biri örnek oluşturma (instantiation) yöntemidir. Her yöntemin kendi avantajları vardır. Örnek oluşturma yöntemi bileşenin nasıl kullanıldığı konusunda tam kontrol sağlar ve bu nedenle tam olarak bileşenin nasıl çalıştığını bilirsiniz. Çıkarım yöntemini kullanmak için ise hangi FPGA ailesini kullanıyorsanız ona uygun BRAM'i hedeflemek için kullanılacak ve okunabilecek kodları kullanmanız gerekir. BRAM'li tasarımlarda daha tecrübeli olanların kullandığı yöntemdir.



Şekil 2.12 : FIFO'lu BRAM.



### 3. ÇALIŞMA GERİLİMİ DÜŞÜRÜLMESİ

#### 3.1 Çalışma Gerilimi Düşürülmesi ve Önceki Çalışmalar

Çalışma gerilimi düşürülmesi, dijital elektronik devrelere veya bileşenlere, besleme gerilimlerini azaltarak uygulanabilecek bir güç azaltma tekniğidir. Bu besleme geriliminin azaltılması sırasında, uygun düşük gerilim seviyesini belirlemek için devrelerin performansı ve güvenilirliği dikkate alınır. Düşük gerilimin uygulanması, CMOS elektronik bileşenlerinin güç tüketimi, besleme geriliminin karesiyle doğru orantılı olduğundan entegre devrelerin güç tüketimini önemli ölçüde azaltmaktadır.

Entegrelerin veya elektronik bileşenlerin veri sayfalarında belirtilen nominal besleme gerilimleri sınırları çok koruyucudur ve cihazların en kötü çalışma koşullarında doğru çalışmasını sağlamak için sınır aralıkları çok dardır. Şekil 3.1'de Xilinx Kintex-7 FPGA için önerilen bazı çalışma gerilimleri limit değerleri verilmiştir. Bu sınırlar silikon üretici firmaların ilgili üretim prosesi için olabilecek en düşük sıcaklık, en düşük gerilim ve en düşük çalışma hızını belirleyen koşul (Slow Slow Corner) ile belirlenmektedir. Ancak, entegrelerin çalışabilecekleri en düşük besleme gerilimlerinin gerçek değerleri silikon üreticisinden gelen bu uç değerin çok altındadır. Birçok elektronik bileşen bu minimum besleme gerilimi limitlerinin altında hatasız şekilde çalışabilmektedir. Kapasite gereksinimleri, sıcaklık ve çalışma koşulları çalışma gerilimi düşürülmesi işlemini gerçekleştirirken önemli faktörlerdir.

| Symbol              | Description  | Min  | Typ  | Max   | Units |
|---------------------|--|------|------|-------|-------|
| <b>FPGA Logic</b>   |  |      |      |       |       |
| V <sub>CCINT</sub>  | For -3, -2, -2LE (1.0V), -1, -1M, -1LM devices: internal supply voltage  | 0.97 | 1.00 | 1.03  | V     |
|                     | For -2LE (0.9V) devices: internal supply voltage                         | 0.87 | 0.90 | 0.93  | V     |
|                     | For -2LI (0.95V) devices: internal supply voltage                        | 0.93 | 0.95 | 0.97  | V     |
| V <sub>CCBRAM</sub> | For -3, -2, -2LE (1.0V), -1, -1M, -1LM devices: block RAM supply voltage | 0.97 | 1.00 | 1.03  | V     |
|                     | For -2LE (0.9V) devices: block RAM supply voltage                        | 0.87 | 0.90 | 1.03  | V     |
|                     | For -2LI (0.95V) devices: block RAM supply voltage                       | 0.93 | 0.95 | 0.97  | V     |
| V <sub>CCAUX</sub>  | Auxiliary supply voltage   | 1.71 | 1.80 | 1.89  | V     |
| V <sub>CCO</sub>    | Supply voltage for HR I/O banks  | 1.14 | –    | 3.465 | V     |
|                     | Supply voltage for HP I/O banks  | 1.14 | –    | 1.89  | V     |

Şekil 3.1 : Xilinx Kintex-7 FPGA için önerilen bazı çalışma gerilimleri limit değerleri [52].

Besleme gerilimi ne kadar düşürülürse, bir devrenin düzgün çalışabileceği maksimum çalışma frekansı o kadar düşük olur. Bunun nedeni gerilim düşerken elektronik bileşenlerin anahtarlama sürelerinin uzamasıdır. Devreye daha düşük gerilim uygulandığında, devreler yavaşlar ve bu durum devrelerde zamanlama hatalarına yol açabilir. Özellikle yüksek frekanslarda çalışan bileşenler için böyle bir gerilim düşmesi güvenilir olmayan davranışlara ve hatalara neden olabilir.

Literatüre bakıldığında çalışma gerilimi düşürülmesi işlemi genellikle bellek bileşenlerine [6,7,8,9], CPU'lara [20,21,33], GPU'lara [22,23] ve FPGA'lere [24,25,26] uygulanmaktadır. CPU'larda, güç tüketimini azaltmak için CPU'nun çekirdek besleme gerilimi çalışma kapasitesine göre azaltılmaktadır. [27]'deki çalışmada önerilen sıcaklığa duyarlı çalışma gerilimi düşürülmesi tekniğinin yardımıyla, besleme geriliminde %10'luk bir düşüşle %50 oranında güç kazanımı sağlanabildiği gösterilmiştir. [30]'deki çalışmada ise "Thundervolt" olarak adlandırdıkları Google TPU'lara uygulanan çalışma gerilimi düşürülmesi işlemi ile %34 ile %57 arasında güç tüketiminde kazanım sağladıklarını göstermişlerdir. Bu güç tüketimini sağlarken çalıştırdıkları sınıflandırma uygulamasının doğruluğunda %1'den az kayıpla bu güç tüketimini sağlayabildikleri gösterilmiştir [30].

Özellikle evrimsel sinir ağlarının kullanıldığı derin öğrenme uygulamalarında en çok güç tüketimi kullanılan bellekler üzerinde olduğu için gerilim düşürme yöntemi bellek elemanları üzerinde de kullanılmıştır. 28nm 8 KB SRAM'ler üzerinde yapılan bir çalışmada alınan ölçümlerle 310mV'lik besleme gerilimi düşüşü ile ek donanım gerektirmeden bir sınıflandırma uygulaması doğruluğunu % 99'da koruyarak 5,4 katı daha fazla kaçak güç kazanımı ve 2,9 katı daha fazla bellek erişim gücünde azalma gösterilmiştir [31].

CPU'larda daha iyi bir sonuç elde etmek için bu işlem, frekans ve çalışma gerilimi birlikte düşürülerek yapılmaktadır. Böylece düşük gerilim nedeniyle yavaşlayan devrelerin frekansı düşürülerek hata oluşumunun önüne geçilebilmektedir. Dinamik gerilim ve frekans ölçeklendirmesi (Dynamic Frequency and Voltage Scaling-DVFS) olarak adlandırılan bu yöntem CPU'larda güç verimliliği sağlamak için sıklıkla kullanılan bir yöntemdir [28,29]. Çalışma gerilimi düşürülmesinin DRAM'lerde hata, hata yerleri, DRAM sıcaklığı ve veri tutma açısından etkileri [12]'deki çalışmada detaylı olarak incelenmiştir.



Son yıllarda FPGA'ler özellikle yapay zeka ve makine öğrenmesi alanlarında sıklıkla tercih edilmeye başlanmakta olup, FPGA'in belleklerine uygulanan çalışma gerilimi düşürülmesi işleminin güç tüketimini önemli ölçüde azalttığı yapılan çalışmalarda gösterilmiştir [8]. Xilinx firması, son çıkardığı 7 serisi FPGA'lerinin gücü %30'a kadar azaltan daha düşük gerilim seviyelerini desteklediğini yayınlamıştır. Altera firması, FPGA'lerde gücü %30'a kadar azaltmanın mümkün olduğunu açıklamıştır [50] [51].

Agresif çalışma gerilimi düşürülmesi işleminin ticari FPGA'ler üzerindeki etkileri [7] 'de analiz edilmiştir. Ayrıca, aynı çalışmada BRAM'lerin bilinen hatalı yerlerini kullanmamaya dayanan BRAM yerleştirme tekniği de önerilmiştir. Bu önerdikleri yöntemle, bir yapay sinir ağı uygulamasında sadece %0,6 doğruluk kaybı ile %39 enerji tasarrufu sağlandığını gösterilmiştir. Çalışmalarında, ortam sıcaklığının artmasının düşük gerilimle oluşan hataları azalttığına da değinilmiş ancak ayrıntılı olarak değerlendirilmemiştir.

FPGA'lerde çalışma gerilimini ve frekansı dinamik olarak azaltan çalışmalarda [32], devrenin performansını düşürmeden çalışmak istenen saat frekansına karşılık gelen ve güvenli çalışmayı garanti eden en düşük besleme geriliminin ayarlanmasına dayalı çalışmalar da bulunmaktadır [36,37,38,39,40]. Bu çalışmalardan bazıları çalışır durumda iken bir devrede zamanlama marjlarını ölçerek limitleri belirlemek ve dinamik olarak gerilimi veya frekansı ölçeklendirmek temeline dayanmaktadır [36,37,40]. Bazıları ise gerilimi veya frekansı ölçeklendirmek için önceden oluşturulan tabloları kullanmaktadır [38,39]. Bu çalışmalara benzer olarak bir diğer çalışmada ise besleme gerilimi ölçeklendirmesi yapılırken, bir gerilim seviyesi atandığında önerilen kontrol ünitesi bu gerilimle desteklenebilecek en yüksek frekansı bularak en uygun gerilim ve frekans ölçeklendirme işlemi yapılmaktadır. Bu yöntemle yaklaşık %30 civarında güç kazanımı elde edilebilmektedir [46].

### **3.2 BRAM'lerde Çalışma Gerilimi Düşürülmesi Kaynaklı Oluşan Hatalar**

Çalışma gerilimi düşürülmesi SRAM'lardaki ana sorunlardan biri veriyi tutmak için harcanan gücün fazla olmasıdır. Bu yüzden, SRAM'lerdeki bu statik güç tüketimini azaltmak amacıyla besleme gerilimini azaltma yöntemi yaygın olarak kullanılmaktadır. Ancak, besleme gerilimini azaltmak, SRAM hücresinin kararlılığı ve veriyi tutma gücü üzerinde olumsuz etkilere sebep olmaktadır. BRAM'ler de SRAM tabanlı bellek elemanları oldukları için benzer davranışlar, gerilim düşürülmesi

kaynaklı hatalar BRAM'lerde de görülmektedir. Bu bölümde tipik bir 6T SRAM hücresinin veri tutma modunda besleme gerilimi düşürülmesi kaynaklı ortaya çıkabilecek hatalar ve sebepleri anlatılmıştır.

SRAM'ler, standart mantık işlemleriyle uyumluluğu ve hızları sebebiyle çiplerdeki birçok mikroişlemci ve yonga üstü sistemler için en çok tercih edilen dahili bellektir ve böyle kalmaya devam edecektir. Yüksek performanslı ve düşük maliyetli sistemlere olan talep, çok yoğun ve çok hızlı gömülü belleklere ihtiyaç duyulmasına neden olmuştur. Yoğunluk gereksinimini elde etmek için, SRAM bit hücrelerinin boyutları küçülmektedir. Bu küçülme, SRAM bellek hücrelerini işlem değişikliklerine daha fazla duyarlı olmalarına sebep olmaktadır. Nano ölçekli üretim teknolojilerindeki bu işlem değişiklikleri, hücre stabilitesini, çalışma marjlarını ve SRAM gömülü belleklerinin sağlamlığını ve güvenilirliğini etkileyerek parametrik arızalara yol açacak transistör parametrelerinin değişkenliğine yol açarlar.

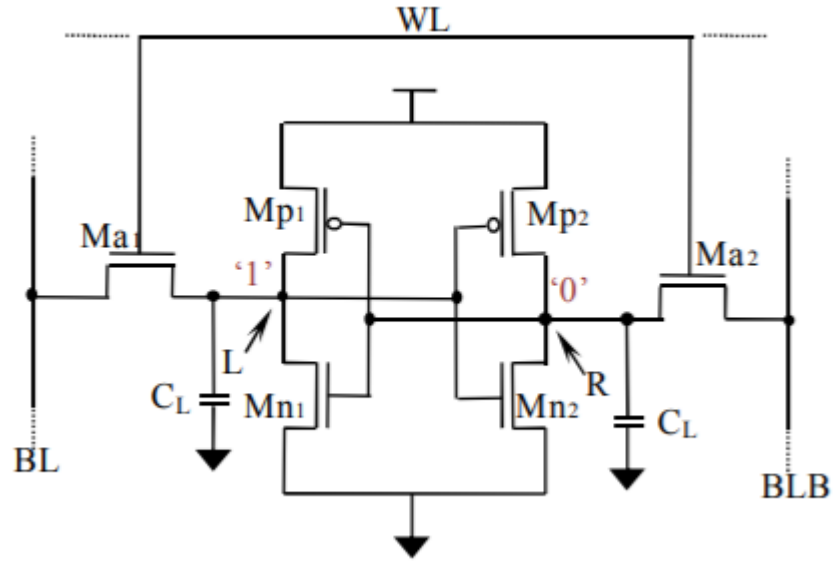
SRAM'lerin hücrelerinde bulunan transistörlerin sürme güçlerindeki uyumsuzluklar statik hatalara neden olabilir. Bu hatalara devre parçalarının parametrelerindeki değişiklikler neden olur.

Tipik bir 6T SRAM hücresi, iki özdeş çapraz bağlanmış invertör ve iki geçiş transistörü kullanır. Geçiş transistörleri, okuma ve yazma işlemleri sırasında bellek hücresine erişime izin verir ve veri tutma modunda bu hücrenin izolasyonunu sağlar. Hücrenin çalışma modu (okuma-yazma-veri tutma), kelime hattı ve bit hatlarının yükleri tarafından belirlenir. İyi tasarlanmış bir bellek hücresi, okuma ve yazma işlemi arasındaki bu dengeyi dikkate alır ve hataya en az izin veren güvenilir işlem limitleri sağlar. Bu limitler statik gürültü limitleri olarak adlandırılmaktadır [43].

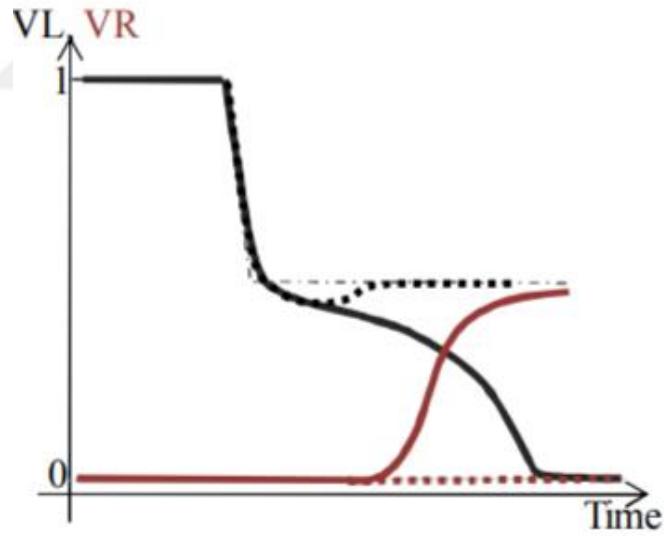
İyi tasarlanmış bir SRAM bellek hücresinin gerilim ölçeklendirmesi altında karşılaşılabileceği parametrik arızalar vardır. Bu parametrik arızalar hücrelerin proses değişimleriyle ilgilidir. Parametrik arızalar farklı şekillerde ortaya çıkabilmektedirler. Tipik bir 6T SRAM bellek hücresinde oluşabilecek bu hataların gösterilmesi için kullanılacak  $V_L$  ve  $V_R$  gerilim değerleri için ilgili birleşim noktaları Şekil 3.2'de gösterilmiştir.

Veri saklama modunda, güç tüketimini azaltmak için hücrenin besleme gerilimi düşürüldüğünde, besleme gerilimi  $V_{DD}$ 'nin belli bir değer altına düşürülmesi, hücrede depolanan verilerin bozulmasına neden olabilmektedir. Bu veri bozulması

hücrenin veri tutma hatası (“Hold Failure”) olarak ifade edilir. Veri tutma hatası sırasındaki  $V_L$  ve  $V_R$  noktalarındaki gerilim değişimleri Şekil 3.3’te gösterilmiştir.

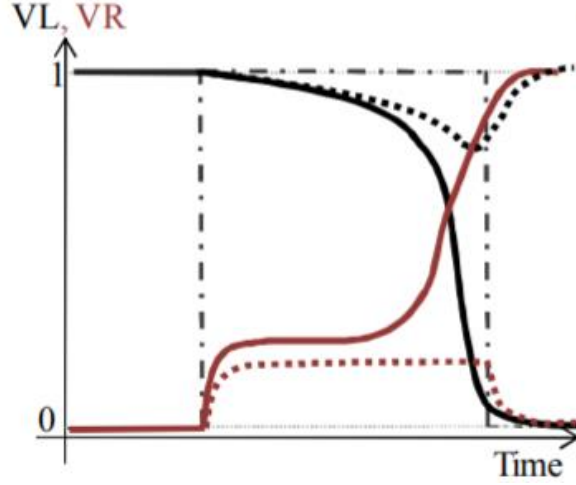


Şekil 3.2 : 6T SRAM hücreesindeki  $V_L$  ve  $V_R$  değerleri için birleşim noktaları [43].



Şekil 3.3 : Veri tutma hatası grafiksel gösterimi [43].

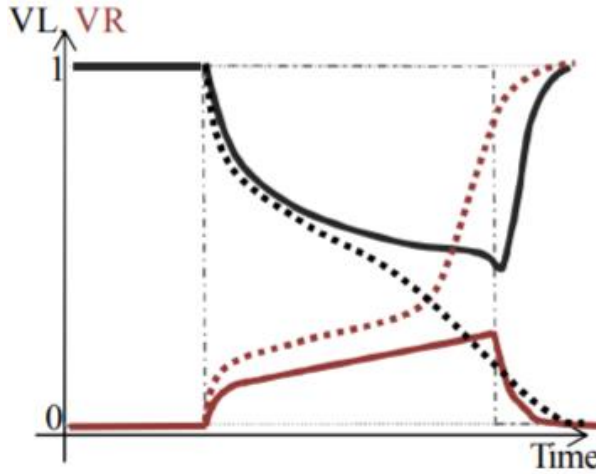
Bellek hücresinin okurken “0” depolayan düğümdeki gerilim pozitif bir değere çıkar. Bu değer invertörün açma noktasından yüksekse, okuma sırasında okunan değer değişmiş olur ve bu hata okuma hatası (“Read Failure”) olarak adlandırılır [43]. Okuma hatası sırasındaki  $V_L$  ve  $V_R$  noktalarındaki gerilim değişimleri Şekil 3.4’te gösterilmiştir.



Şekil 3.4 : Okuma hatası grafiksel gösterimi [43].

Hücrenin erişim süresi, bit hattı ( $BL$ ) ve ters bit hattı ( $\overline{BL}$ ) arasında belirli bir gerilim farkı üretmek için gereken süre olarak tanımlanır. Eğer hücreye erişim süresi kabul edilebilir sınırdan büyük olursa, erişim süresi hatası (“Access Failure”) meydana gelir [43].

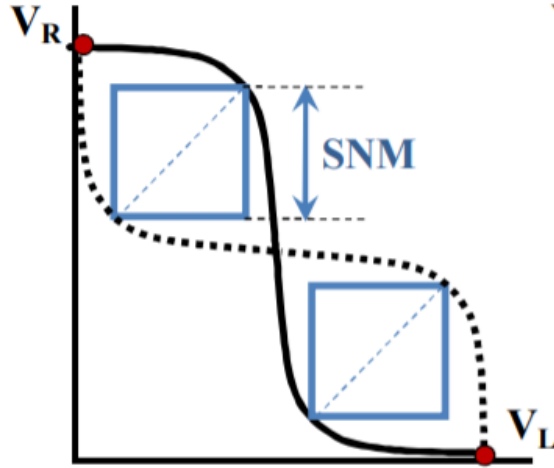
Bir hücreye '0' yazarken, '1'i depolayan düğüm bit hattı üzerinden düşük bir değere boşaltılır. Bu değer onun kontrol ettiği invertörün açma noktasından düşük değilse, yazma hatası (“Write Failure”) oluşur [43]. Yazma hatası sırasındaki  $V_L$  ve  $V_R$  noktalarındaki gerilim değişimleri Şekil 3.5’te gösterilmiştir.



Şekil 3.5 : Yazma hatası grafiksel gösterimi [43].

Parametre değişikliklerinin SRAM hücresi üzerindeki etkisini değerlendirmenin en yaygın yolu, hücrenin gürültüye karşı bağımsızlığını ölçmektir. Statik Gürültü Marjı (Static Noise Margin - SNM), bir SRAM hücresinin sakladığı veriyi kaybetmeden

tolere edebileceği maksimum gürültü seviyesi veya işaret sapması olarak yorumlanabilir. Grafikselsel olarak, veri tutma modunda ve okuma işleminde statik gürültü marjı, iki invertörün gerilim transfer özelliklerini (VTC) çizerek, "kelebek eğrisi" olarak adlandırılan ve elde edilen maksimum kareyi bularak tahmin edilebilir. Statik gürültü marjı (SNM) kelebek eğrisi Şekil 3.6'da gösterilmiştir.

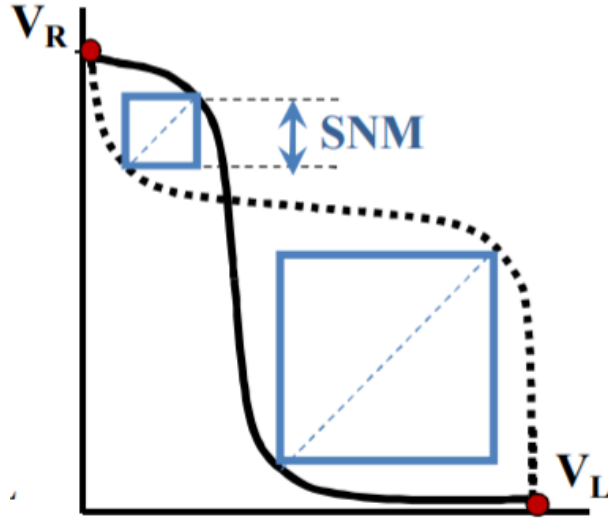


Şekil 3.6 : Statik gürültü marjı (SNM) kelebek eğrisi [44].

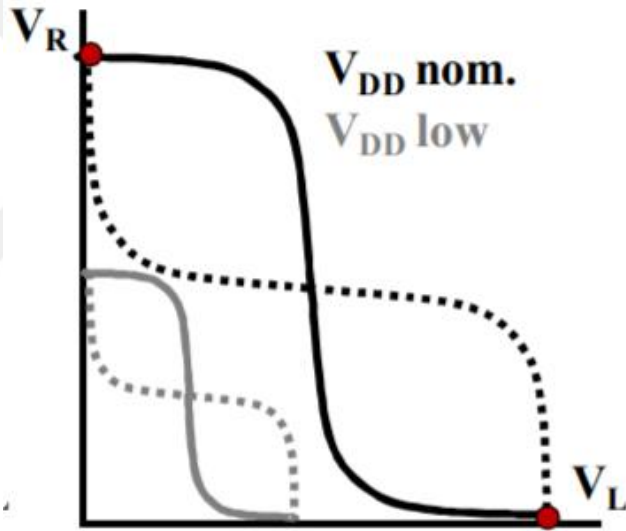
SRAM bellek hücrelerindeki transistörün parametrelerinin değişkenliği asimetrik bir transistör konfigürasyonuna ve bu da kelebek eğrisinin asimetrik olmasına neden olur. Bu durumda statik gürültü marjı iki maksimum kareden daha küçük olanı tarafından ifade edilir. Bu asimetrik durumla birlikte azalan statik gürültü marjı bellek hücresinin hataya karşı dayanımını azaltır [44]. Statik gürültü marjı (SNM) asimetrik kelebek eğrisi Şekil 3.7'de gösterilmiştir.

Besleme gerilimi Statik Gürültü Marjı üzerinde güçlü bir etkiye sahiptir. Çünkü kelebek eğrisi, besleme gerilimi düşürüldüğünde küçülmekte ve hücreyi gürültüye daha duyarlı hale getirmektedir. Düşük besleme geriliminde statik gürültü marjı (SNM) kelebek eğrisi Şekil 3.8'de gösterilmiştir.

SRAM'lerde çalışma gerilimi düşürülmesi işlemi SRAM'in harcadığı toplam gücü azaltırken depolanan veride hata olma olasılığını arttırmaktadır. Bu hataların sebebi de parametrik arızalardır [45].



Şekil 3.7 : Statik gürültü marjı (SNM) asimetrik kelebek eğrisi [44].



Şekil 3.8 : Düşük besleme geriliminde statik gürültü marjı (SNM) kelebek eğrisi [44].

### 3.3 Motivasyon

Çalışma gerilimi düşürülmesiyle ilgili yapılan önceki çalışmalarda, besleme gerilimi düşürülmesi sebebiyle elektronik bileşenlerin anahtarlama sürelerinin uzadıkları belirtilmiştir [47,48]. Yavaşlayan devreler bu durumlarda devrelerde istenmeyen zamanlama hatalarına sebep olabilmektedir.

Modern FPGA'lerde birden fazla gerilim bölgesi bulunmaktadır. Bu bölgeler FPGA programlanabilir çekirdek alanı, PLL gibi analog bloklar, BRAM'ler ve yüksek hızlı seri haberleşme arayüzleri gibi başka işlevler için farklı seviye ve özelliklerde (akım, gürültü seviyesi gibi) besleme gerilimi gerektirmektedir. Özellikle FPGA çekirdek alanı besleme geriliminin düşürülmesinin FPGA içerisindeki yollandırmalarda gecikmelere sebep olacağından tercih edilmemektedir. Benzer biçimde sıcaklığın FPGA devrelerine etkileriyle ilgili yapılan çalışmalarda ise sıcaklık arttıkça, transistörlerin yavaşlamasından bahsedilmiştir [49]. Bu nedenle, tüm sıcaklık aralığında zamanlama kısıtlamasını karşılamak için devrenin en yavaş (en kötü) duruma göre frekans ayarının yapılması gerekmektedir.

Ancak çalışma gerilimi düşürülmesinin etkileri FPGA BRAM gerilim bölgesi için çekirdek alanına göre farklılık göstermektedir. BRAM gerilim bölgesindeki besleme gerilimi 6 transistörlü bir SRAM hücresinde verinin saklanması, yazılması ve okunması için kullanılmaktadır. Daha önceki çalışmalarda BRAM besleme geriliminin düşürülmesinin BRAM erişim hızına olumsuz bir etkisi görülmemiştir [24]. Bu çalışmalarda gerilim düşürülmesi işleminin belirli bir seviyeye kadar bir hataya sebep olmadığı ve bu sayede önemli bir miktarda güç tüketiminde azalma sağlandığı görülmüştür [24]. Ancak bu çalışmalarda sıcaklığın etkisi incelenmemiştir.

CMOS teknolojisinde entegre devrelerin sıcaklıkla olan davranışları üretim teknolojileri azaldıkça önemli ölçüde değişmektedir. CMOS sıcaklığı arttıkça, devrenin yayılma gecikmesinin de devredeki elemanların sıcaklıkla daha yavaş hareket etmesi sebebiyle azaldığı gösterilse de mikron altı teknolojilerde düşük çalışma geriliminde bu durumun farklı olduğu gösterilmiştir [54]. Mikron altı teknolojilerde, düşük çalışma gerilimlerinde, CMOS devrelerin yayılma gecikmesinin sıcaklık arttıkça azaldığı yapılan çalışmalarda gösterilmiştir [55]. Bu davranışın sadece devrelerin normal besleme gerilim değerlerinin altındaki düşük çalışma gerilimlerinde gerçekleştiği ifade edilmiştir. Böylece devrelerin daha yüksek sıcaklıklarda daha yüksek frekanslarda hatasız çalışabileceği ifade edilmiştir [54]. Çalışma gerilimi düşürülmesiyle yavaşlayan devrelerin sıcaklığının devredeki gecikmelere bu etkisiyle nasıl bir davranış göstereceğinin analizi bilindiği kadarıyla daha önce yapılmamıştır.

Çalışma gerilimi düşürülmesine sıcaklığın etkilerinin daha önce detaylı bir şekilde analiz edilmemiş olması, FPGA BRAM'lere çalışma gerilimi işleminin ayrı gerilim bankası olması sebebiyle kolay uygulanabiliyor ve hataların kolayca

gözlemlenebiliyor olması sebebiyle sıcaklığın FPGA BRAM'lerinde çalışma gerilimi düşürülmesi işlemine etkileri çalışması yapılmıştır. Bu çalışmada, FPGA BRAM'lerinin çalışma gerilimi düşürülmesi işlemine, sıcaklığın hatalar ve minimum besleme gerilimi açısından etkilerini kapsamlı bir şekilde analiz edilmiştir. Bu amaçla, çalışma gerilimini azaltarak FPGA'in BRAM'lerinin çeşitli silikon sıcaklıklarındaki davranışlarını karakterize etmek için testler gerçekleştirilmiştir. BRAM'lerin besleme gerilimlerinin hata oluşmasına izin vermeden ne kadar azaltılabileceği deneysel olarak analiz edilmiştir. Bu deneysel çalışmaların sonuçlarına göre, geniş bir sıcaklık aralığında hatasız çalışma sağlayacak şekilde çalışma gerilimini azaltarak güç tüketimini azaltan sıcaklığa dayalı yeni bir dinamik kontrol mekanizması önerilmiştir.

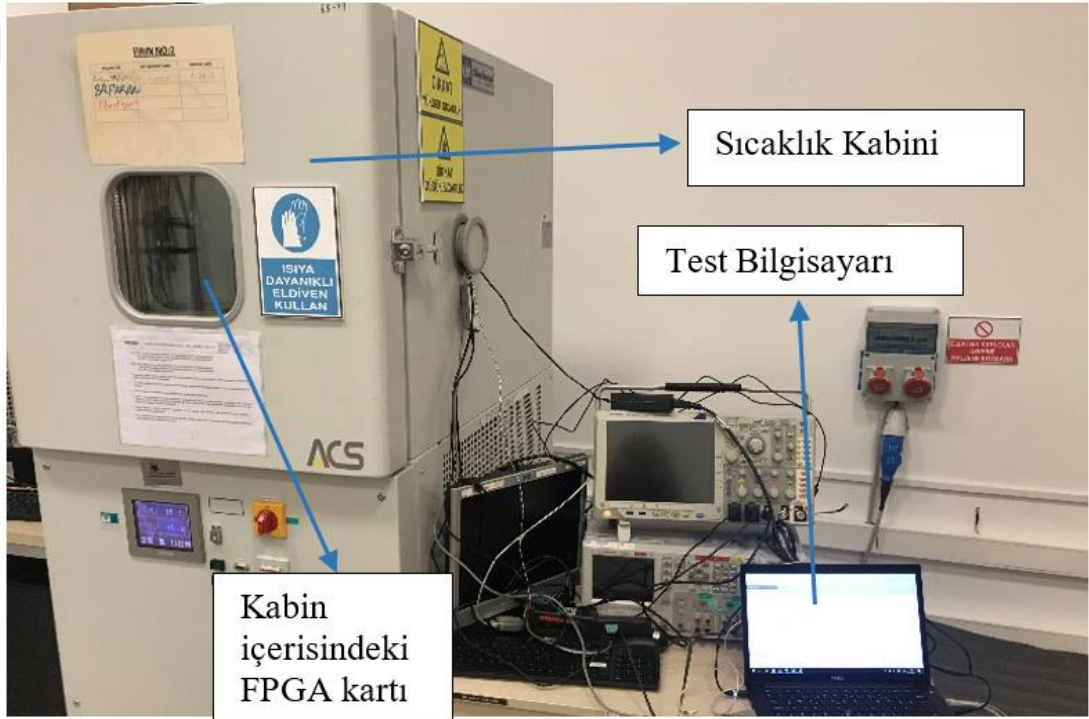




## 4. DENEYSEL METODOLOJİ

### 4.1 Test Düzenegi

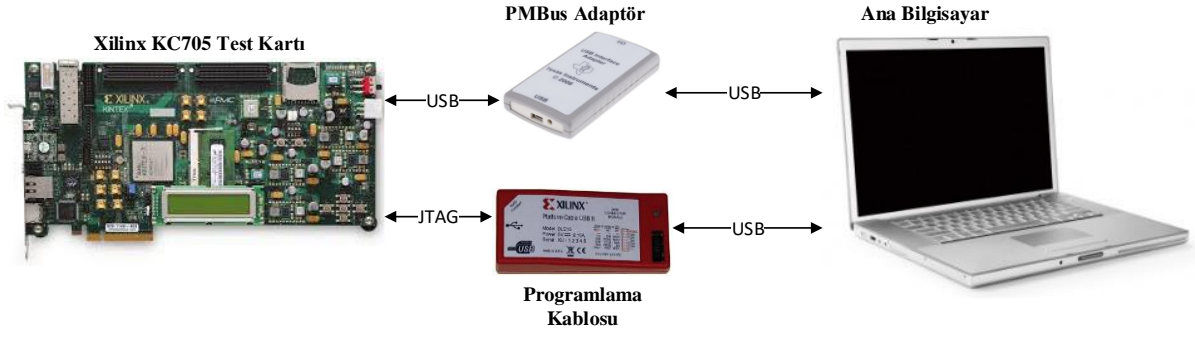
Bu çalışma kapsamında sıcaklığın FPGA BRAM'lerde çalışma gerilimi düşürülmesine etkilerinin görülebilmesi için Şekil 4.1'deki gibi bir test düzenegi hazırlanmıştır.



Şekil 4.1 : Test düzenegi.

Bu düzenekte FPGA kartından BRAM'den okunan verilerin seri kanaldan iletildiği bir test bilgisayarı bulunmaktadır. FPGA geliştirme kartı ve test bilgisayarı arasındaki bağlantı resmi Şekil 4.2'de gösterilmiştir. Ayrıca FPGA programlama ve PMBUS üzerinden çalışma gerilimi değiştirme işlemleri de test bilgisayarından yapılmaktadır.

Testlerde farklı sıcaklıklarda ölçüm alabilmek için hem yüksek sıcaklık hem de düşük sıcaklık ortamı sağlayabilen yüksek hassasiyetli bir endüstriyel sıcaklık kabini kullanılmıştır. Endüstriyel sıcaklık kabini ile istenilen sıcaklık değerleri ile testler yapılmıştır.



Şekil 4.2 : FPGA geliştirme kartı ve test bilgisayarı arasındaki bağlantı.

Bu endüstriyel sıcaklık kabine yerleştirilen FPGA kartının farklı sıcaklıklarda ölçümleri alınmıştır. Sıcaklık kabini içerisindeki FPGA kartının görüntüsü Şekil 4.3'te verilmiştir.



Şekil 4.3 : Sıcaklık kabini içerisindeki FPGA geliştirme kartı.

Bu çalışmada, Xilinx firmasının KC705 geliştirme kartı kullanılmıştır. KC705 geliştirme kartı üzerinde Xilinx Kintex7 FPGA serisinden XC7K325T FPGA

bulunmaktadır. Bu geliştirme kartını seçilmesinin nedeni, Kintex serisi FPGA'lerin hem performans hem de güvenilirlik açısından orta seviye FPGA'ler olmasıdır. KC705 geliştirme kartı Şekil 4.4'de gösterilmiştir.



Şekil 4.4 : KC705 geliştirme kartı.

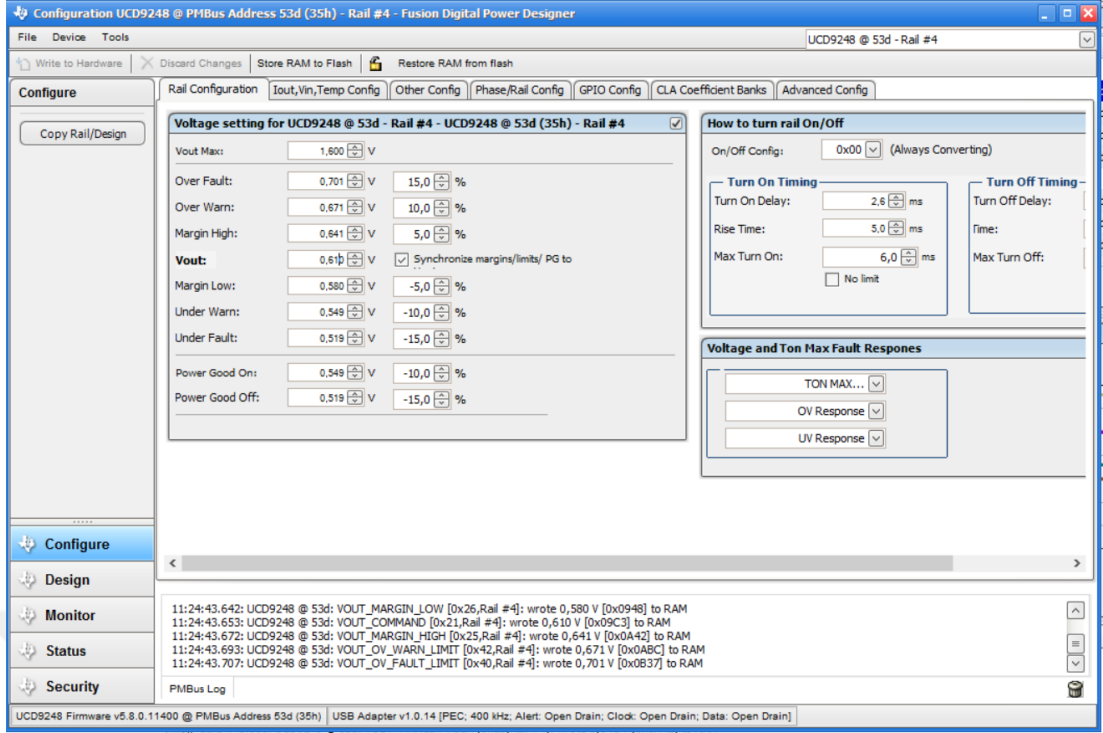
KC705 geliştirme kartı üzerindeki XC7K325T 445 adet BRAM'a sahiptir ve bu BRAM'ler temel olarak 36 Kb boyutundadır. Her blok iki bağımsız 18 Kb blok olarak kullanılabilir [18]. Bu FPGA 4 farklı besleme gerilim hattına sahiptir ve her bir besleme hattı ayrı ayrı bağlanabilmektedir. Üretici firmanın ürün sayfasında bu besleme blokları için belirlediği gerilim limitleri detaylı olarak Çizelge 4.1'de verilmiştir.

Çizelge 4.1 : KC705 besleme gerilimleri için önerilen limit değerleri [32].

| <b>KC705</b> | <b>Min.(V)</b> | <b>Typ.(V)</b> | <b>Max.(V)</b> |
|--------------|----------------|----------------|----------------|
| VCCINT       | 0.97           | 1.00           | 1.03           |
| VCCBRAM      | 0.97           | 1.00           | 1.03           |
| VCCAUX       | 1.71           | 1.80           | 1.89           |
| VCCO         | 1.14           | -              | 3.46           |

KC705 geliştirme kartı üzerinde besleme gerilimlerinin ayarlanmasına olanak sağlayan kontrolcü bir entegre (Texas Instruments'tan UCD9248PFC) vardır ve bu da dinamik olarak gerilim değiştirmeyi mümkün kılmaktadır. KC705'teki bu entegre besleme gerilim hatlarını görüntülemekte ve bu hatlardaki besleme seviyelerini kontrol edebilmektedir [53]. Bu entegre seri bir arayüz olan PMBus ile kontrol edilmektedir. Yapılan testlerde, bu seri arayüzle test bilgisayarı Texas Instruments firmasının PMBus adaptörü [35] ile bağlanmıştır. Böylece test bilgisayarı aracılığıyla geliştirme





Şekil 4.6 : "Fusion Digital Power Designer" gerilim ayarlama.

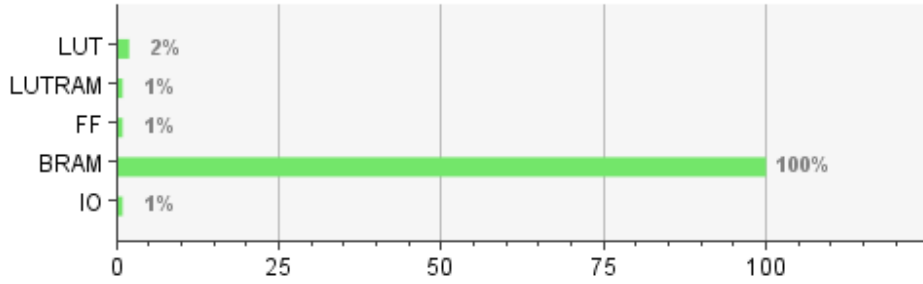
## 4.2 Test Yöntemi

Bu çalışma sırasında kullanılan tüm FPGA tasarımları Vivado Design Suite 2018.3 programı kullanılarak VHDL ile gerçekleştirilmiştir. FPGA içerisine gömülü olan belirli parametreler doğrultusunda programlanabilen FPGA BRAM bloklarının sentezi için Vivado'nun IP Üretici (IP Generator) aracı kullanılmıştır.

Testlerde test edilen FPGA'in içerisine gömülmüş tüm BRAM bloklarını kullanmak ve bunların davranışlarını gözlemleyebilmek amacıyla FPGA içerisindeki tüm BRAM'leri kullanacak şekilde tasarım yapılmıştır. KC705 üzerindeki XC7K325T FPGA'inin içerisindeki tüm BRAM'leri gözlemleyebilmek için 445 BRAM bloğu yerleştirecek şekilde tasarım yapılmıştır. Tasarımın FPGA kaynaklarını kullanım oranı grafiği Şekil 4.7'te verilmiştir. FPGA içerisindeki tüm BRAM'ler kullanılarak yapılan tasarımın sentezlenmiş ve gerçekleştirilmiş ekran görüntüsü 'te verilmiştir.

FPGA BRAM'lerin düşük çalışma gerilimlerinde farklı silikon sıcaklıklarındaki hata davranışlarını analiz edebilmek için BRAM'lere yazıp okuma yapan bir modül oluşturulmuştur. Yapılan ilk testlerde düşük çalışma gerilimi uygulamasına bağlı BRAM'lerdeki hatalar gözlemlendiğinde, daha önce yapılan bir çalışmada da

gözlemlendiği gibi, bit hatalarının büyük çoğunlukla '1'den '0'a dönme şeklinde olduğu gözlemlenmiştir [7].



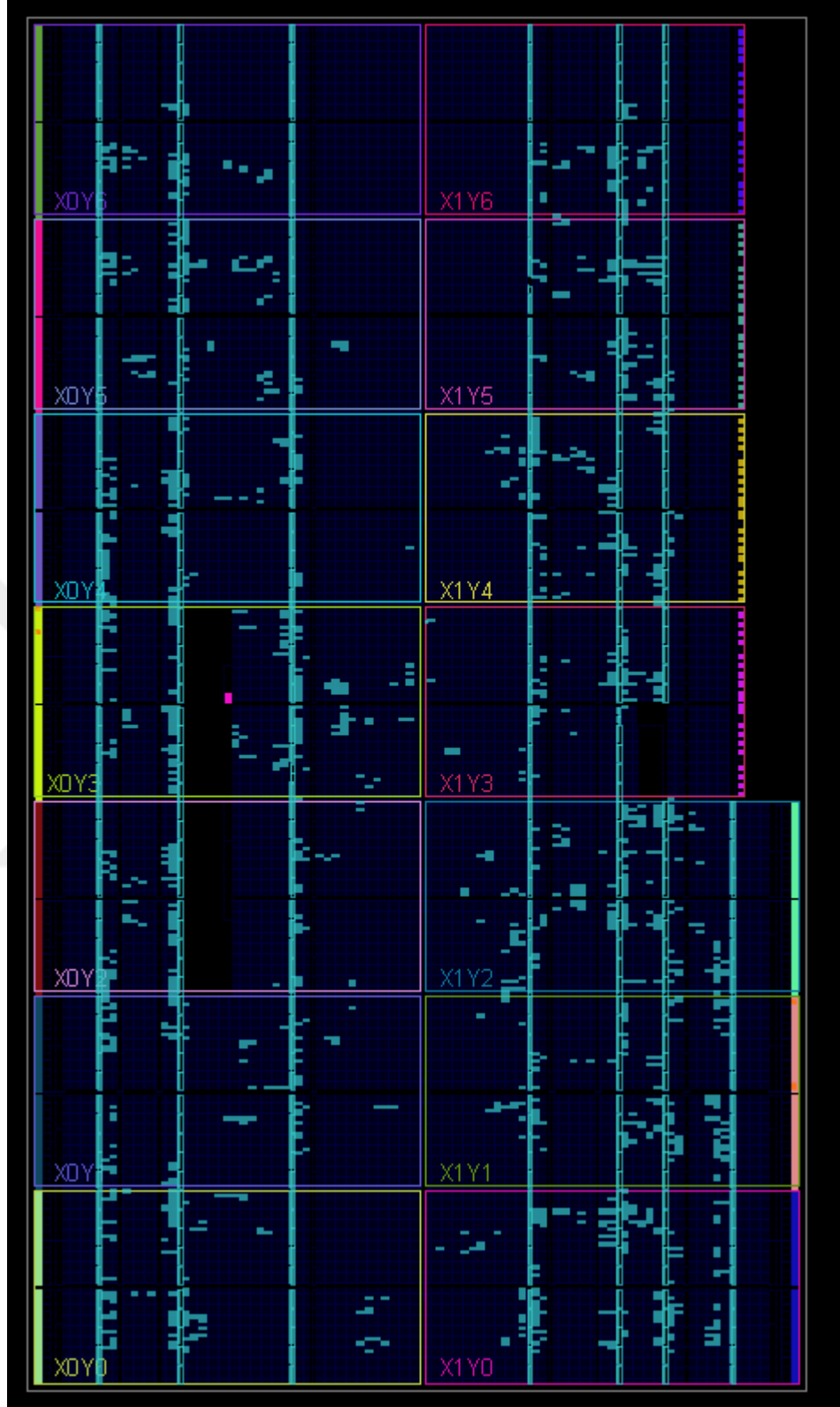
Şekil 4.7 : BRAM kaynak kullanımı.

Bu nedenle oluşturulan test tasarımında BRAM'lerin hata davranışlarını gözlemleyebilmek için tüm BRAM adreslerine onaltılık "FF" değerleri yazılarak testler gerçekleştirilmiştir. Test modülünde her BRAM adresine onaltılık "FF" yazılmakta ve ardından istenilen sayıda okuma yapılmaktadır. Okumalar sırasında yazılan tüm BRAM adresleri okunmaktadır.

BRAM'den okunan verilerin gözlemlenebilmesi ve değerlendirilebilmesi amacıyla okunan bu veriler test bilgisayarına iletilmiştir. BRAM'den okunan verilerin FPGA'den test bilgisayarına iletilmesi amacıyla FPGA'den veriler UART (Evrensel Asenkron Alıcı-Verisi) formatında FPGA giriş-çıkışlarına iletilmiştir.

İletilen bu veriler Geliştirme kartı üzerindeki USB'den UART'a çeviren entegre aracılığı ile bu veriler USB arayüzünden RS232 formatında test bilgisayarına iletilmesi sağlanmıştır. Test bilgisayarında bir seri kanal programı aracılığı ile toplanan verilerin bit hataları ve hataların hangi adreslerde olduğu ile ilgili sonuçlar çıkarılmıştır. Bu işlem farklı sıcaklık ve farklı gerilim seviyelerinde tekrarlanarak BRAM verilerinde düşük gerilim kaynaklı hatalar analiz edilmiş ve farklı sıcaklıklardaki her gerilim seviyesindeki bit hatalarının sayıları ve yerleri belirlenmiştir.

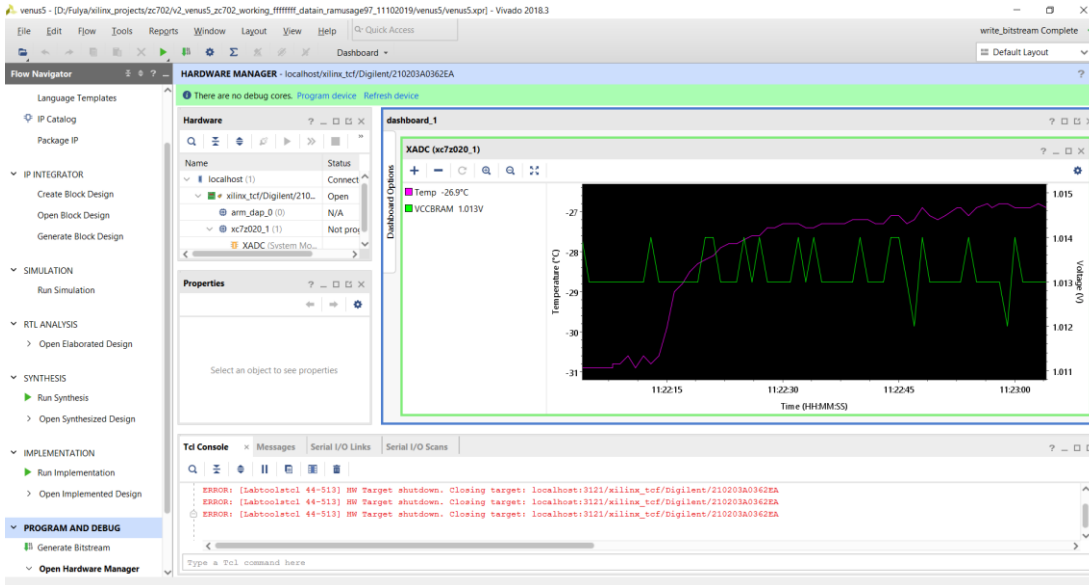
Farklı sıcaklık kabini sıcaklıklarında FPGA'in gerçek silikon sıcaklıklarının ölçülmesi için FPGA içerisinde yer alan sensör verileri okunmuştur. Bu veriler kart ile JTAG bağlantısı kurulduktan sonra Vivado yazılım aracının "System Monitor" penceresinden sıcaklık ölçümü seçilerek Şekil 4.9'daki gibi gözlemlenebilmektedir. Ayrıca FPGA içerisindeki tasarımda da bu sıcaklık değerlerinin okunması mümkündür.



Şekil 4.8 : Testlerde kullanılan tasarımın gerçekleştirilmiş ekran görüntüsü.

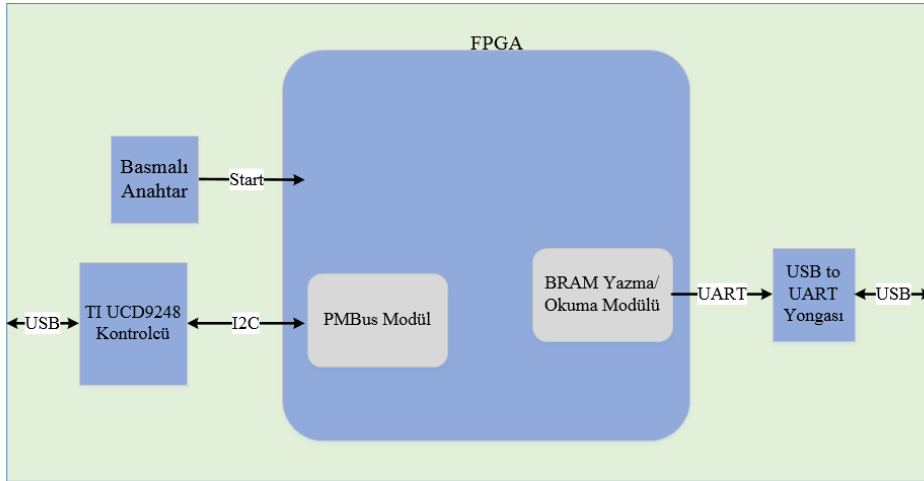
Önerilen yöntemde FPGA tasarımını içerisinde bu sıcaklık değerlerinin okunabilmesi için Vivado yazılım aracının IP Üretici (IP Generator) aracı ile tasarıma eklenen

XADC bloğu kullanılmaktadır. Bu blok ile sıcaklık okuma için gerekli ayarlar yapılarak FPGA içerisindeki sıcaklık sensör verileri alınabilmektedir.



Şekil 4.9 : “Vivado-System Monitor” penceresi.

Testlerde kullanılan FPGA tasarımı genel blok yapısı Şekil 4.10’da verilmiştir. Test kartı üzerindeki FPGA’in temel olarak JTAG, UART ve bir adet giriş arayüzü bulunmaktadır.



Şekil 4.10 : Testlerde kullanılan FPGA tasarımı blok yapısı.

JTAG arayüzü programlama ve FPGA gözlemlene işlemleri için kullanılmaktadır. BRAM’den okunan verilerin test bilgisayarına iletim için gerekli UART arayüzü de FPGA tasarımında gerçekleştirilmiştir. Yüksek ve düşük sıcaklıklarda sıcaklık kabinin kapağı açılıp kabinin içerisine müdahale edilmesi zor olduğundan kabin dışına test



kartına uzun bir kablo ile bağlanan basmalı bir anahtar kabinin kablo çıkışından dışarı çıkarılmıştır. Bu basmalı anahtar FPGA'in bir giriş portuna bağlanmıştır.





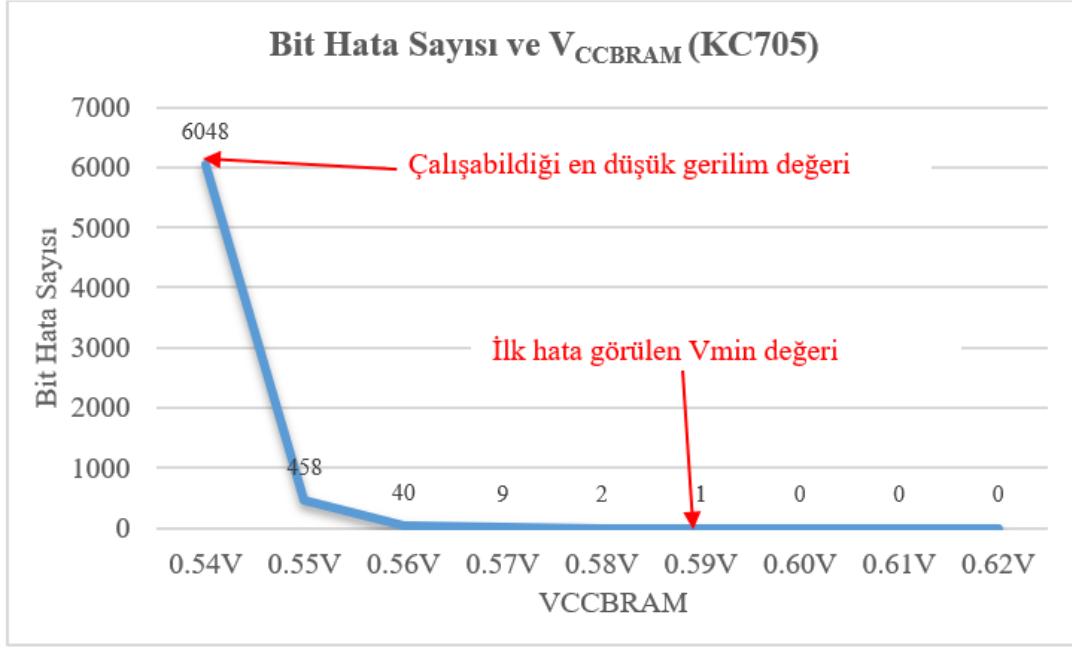
## 5. SICAKLIĞIN ÇALIŞMA GERİLİMİ DÜŞÜRÜLMESİNE ETKİLERİ

### 5.1 KC705 Geliştirme Kartı ile Yapılan Testler

Sıcaklığın çalışma gerilimi düşürülmesine etkilerinin gözlemlenebilmesi için  $V_{CC_{BRAM}}$  gerilimi 0.01V'luk düşüşlerle kademeli olarak nominal seviye olan 1.00V'dan, ilk hatanın çıkmaya başladığı gerilim seviyesine kadar düşürülerek testler yapılmıştır. Üretici firma tarafından  $V_{CC_{BRAM}}$  gerilimi için nominal seviye 1.00 V olarak verilmiştir. Bu testlerle, her sıcaklık değeri için hataya neden olmayan en düşük gerilim değeri olan  $V_{min}$  değeri belirlenmiştir. Çalışma gerilimi  $V_{min}$  değerinin altına düşürülmeye devam edildiğinde, belirli bir gerilim seviyesine kadar fonksiyonel çalışmanın devam ettiği ancak gerilim düşümüne bağlı hataların ortaya çıktığı gözlemlenmiştir. Çalışma gerilimi belirli bir değer altına düştüğünde ise artık fonksiyonel çalışmanın da durduğu gözlemlenmiştir.

Testler en başta oda sıcaklığında alınan ölçümler ile başlatılmıştır. Sıcaklık kabini çalıştırılmadan oda sıcaklığındaki test düzeneğinde BRAM'lere yazma okuma yapılarak farklı gerilim seviyelerindeki hatalar gözlemlenmiştir. Oda sıcaklığındaki hata davranışı çıkarılmıştır. Oda sıcaklığında, FPGA'in silikon sıcaklığı 30°C iken, test kartının hataya neden olmayan en düşük gerilim değeri  $V_{min}$ 'in 0.60V olduğunu gözlemlenmiştir.  $V_{CC_{BRAM}}$  gerilimi 0.60V'un altına düştüğünde FPGA çalışmaya devam etse de, bu seviyenin altında hataların katlanarak artmaya başladığı gözlemlenmiştir. Gerilim seviyesi  $V_{min}$ 'in altında düşürülmeye devam edildiğinde, 0.53V'un altında FPGA'in çalışmayı durduğu ve herhangi bir giriş ve isteğe cevap vermediği, FPGA "done" ledinin söndüğü gözlemlenmiştir. Oda sıcaklığında alınan ölçümler sonucunda oluşturulan bit hata sayısı ve  $V_{CC_{BRAM}}$  gerilimi grafiği Şekil 5.1'de verilmiştir.

Geniş bir çalışma sıcaklık aralığında bu davranışın nasıl değişeceğini görülebilmesi için oda sıcaklığında yapılan testler ve ölçümler Çizelge 5.1'de verilen tüm sıcaklıklar değerleri için aynı şekilde tekrar edilmiştir.



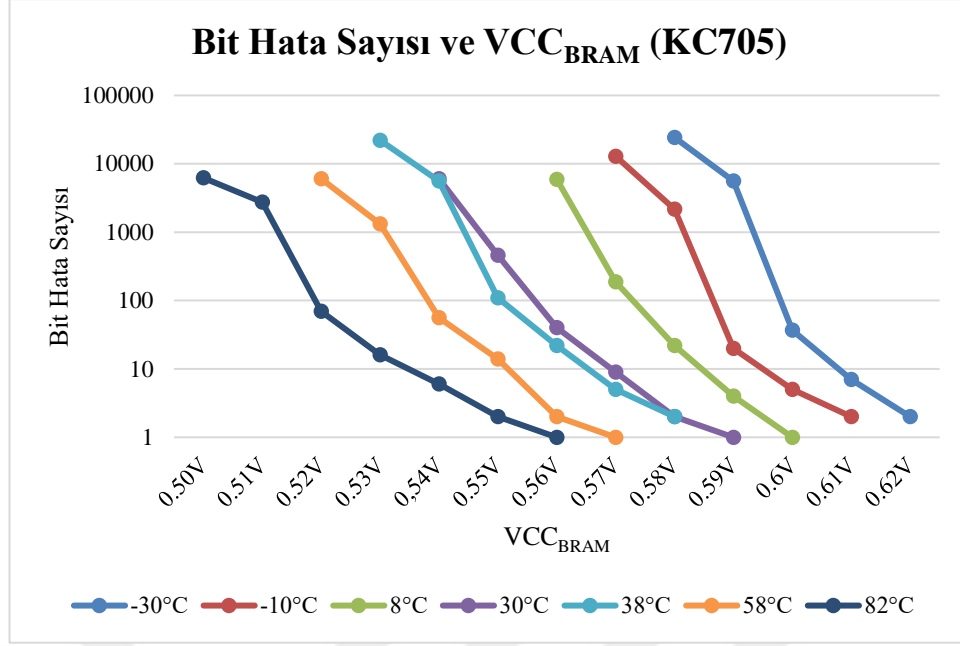
Şekil 5.1 : Oda sıcaklığında hata-sıcaklık karakteristiği (KC705).

Test edilen geliştirme kartı da çalışırken ısındığı için test kabinin sıcaklığı ile silikon sıcaklığı arasında farklar olduğu görülmüştür. Bu farklar Çizelge 5.1'de gösterilmiştir.

Çizelge 5.1 : FPGA silikon sıcaklıkları ile test kabini sıcaklıkları.

|                                    |     |     |   |    |    |    |    |
|------------------------------------|-----|-----|---|----|----|----|----|
| <b>Kabin Sıcaklığı (°C)</b>        | -40 | -20 | 0 | 25 | 30 | 50 | 70 |
| <b>FPGA Silikon Sıcaklığı (°C)</b> | -30 | -10 | 8 | 30 | 38 | 58 | 82 |

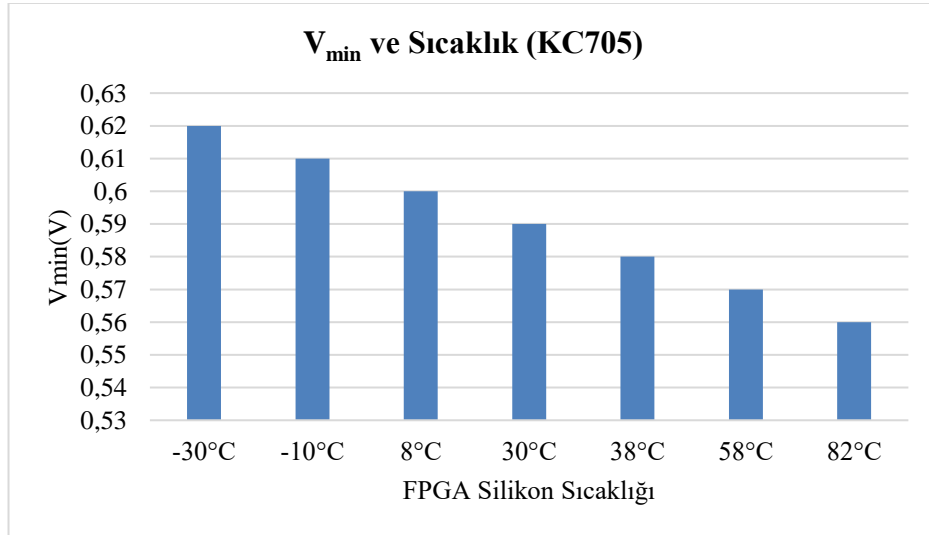
Sıcaklık kabini  $-40^{\circ}\text{C}$  ve  $+70^{\circ}\text{C}$  arasında, oda sıcaklığı dışında, farklı 6 sıcaklık değerine ayarlanarak testler gerçekleştirilmiştir. Bu farklı sıcaklık değerlerindeki tüm veriler seri kanal aracılığı ile test bilgisayarına iletilmiştir. Test sonuçları burada bit hatası sayısı ve hata adresi cinsinden karşılaştırılmıştır. Şekil 5.2'de, tüm sıcaklık aralığı için ilgili  $V_{CCBRAM}$  gerilimine karşılık gelen bit hatası sayısı grafiği verilmiştir. Bu grafik incelendiğinde, aynı besleme gerilimi için farklı sıcaklık değerlerindeki bit hata sayıları incelendiğinde sıcaklık arttıkça bit hatası sayısının azaldığı tespit edilmiştir.



Şekil 5.2 : Bit hata sayısı ve VCC<sub>BRAM</sub> grafiği (KC705).

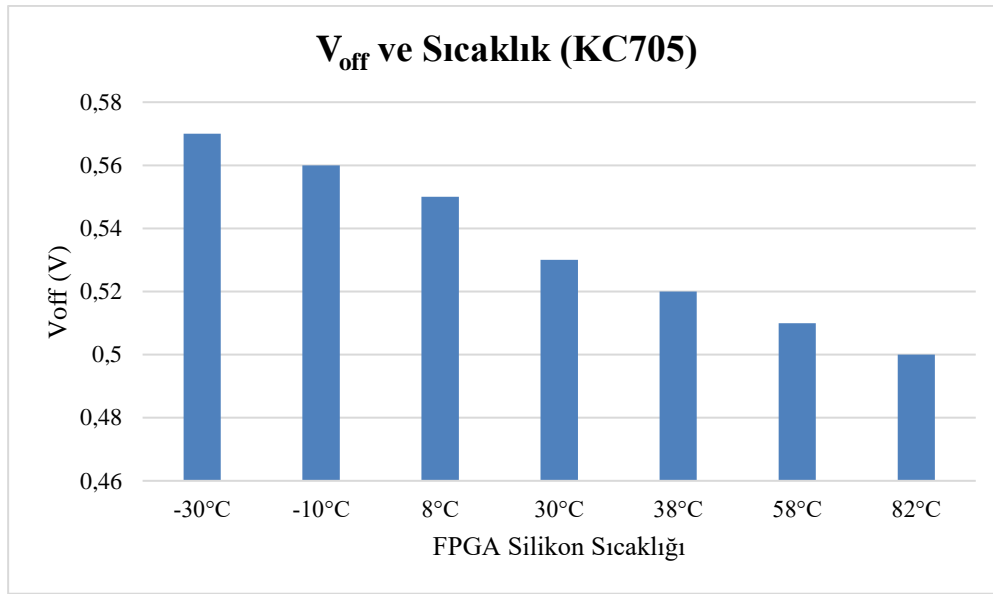
Yapılan testlerde, sıcaklık arttıkça  $V_{min}$  değerinin azaldığı görülmüştür. Diğer bir deyişle, daha yüksek silikon sıcaklıklarında daha düşük çalışma gerilimlerinde hatasız çalışmanın mümkün olduğu görülmüştür.

Benzer şekilde, daha yüksek sıcaklıklarda daha fazla güç kazanımı elde etmek de mümkündür. Şekil 5.3, -30°C ile +82 °C sıcaklık aralığındaki her bir sıcaklık değeri için  $V_{min}$  gerilim seviyelerini göstermektedir.



Şekil 5.3 :  $V_{min}$  gerilim değeri ve FPGA silikon sıcaklığı grafiği (KC705).

Alınan ölçümlerde hatalar incelendiğinde hataların BRAM'in bir adresinde 1 bit'lik hata olarak oluştuğu gözlemlenmiştir. BRAM'lere yazılan 32 bit veriden yalnızca 1 bitinin bozulduğu tespit edilmiştir. Hataların 1-bit olmasının, ECC ile düzeltilmesi için çok elverişli bir yapı sunduğu görülmüştür.  $V_{min}$  gerilim seviyesinin altında bu hataların üstel olarak arttığı gözlemlenmiştir. FPGA'lerin fonksiyonel çalışmayı durdurduğu gerilim değerlerinin de aynı  $V_{min}$  değerinin gösterdiği davranış gibi sıcaklık arttıkça düştüğü gözlemlenmiştir. Farklı sıcaklık değerlerindeki FPGA'lerin kapandığı gerilim değeri  $V_{off}$  Şekil 5.4'te gösterilmiştir.



Şekil 5.4 :  $V_{off}$  gerilim değeri ve FPGA silikon sıcaklığı grafiği (KC705).

Yapılan testlerde hataların oluştuğu adresler de karşılaştırılmıştır. Farklı gerilim seviyelerinde alınan ölçümlerde düşük gerilim kaynaklı hataların oluştuğu ilk adresin hep aynı olduğu gözlemlenmiştir. Aynı zamanda bir gerilim seviyesinde hata oluşan adreste, o gerilim seviyesinin daha düşük değerlerinde de mutlaka hata oluştuğu gözlemlenmiştir. FPGA'lerin bazı bölgelerinin düşük gerilimden kaynaklı hatalara karşı daha hassas olduğu görülmüştür. Bir diğer deyişle, bu durum FPGA yongalarında sıcaklığa daha duyarlı bölgelerin olduğunu göstermektedir. Oda sıcaklığındaki testler sırasında hata oluşan ilk BRAM adresleri Çizelge 5.2'de verilmiştir.

Sıcaklığın SRAM'deki bit hatalarına analizini inceleyen önceki çalışmalarda [29,30,31], sıcaklıkla bit hata sayılarının arttığı ifade edilmiştir. Ancak bu çalışmada yapılan testlerde çıkan sonuçlar, BRAM için sıcaklığın hatalara etkisinin SRAM'dekinin tam tersi olduğunu ortaya koymuştur. Bu ortaya çıkan sonucun,

FPGA’de çalışma gerilimini düşürerek güç tüketimini azaltırken, yüksek sıcaklıklarda daha düşük gerilimlere inerek daha fazla güç kazanımı sağlamaya olanak sağlayabileceği değerlendirilmiştir.

Çizelge 5.2 : Oda sıcaklığında hata oluşan ilk BRAM adresleri.

| <b>Hata Oluşan BRAM Adresleri</b> | <b>VCC<sub>BRAM</sub></b> |              |              |
|-----------------------------------|---------------------------|--------------|--------------|
|                                   | <b>0.58V</b>              | <b>0.57V</b> | <b>0.56V</b> |
| Adres-1                           | 0x0007E8ED                | 0x0007E8ED   | 0x0007E8ED   |
| Adres-2                           | 0x0019E68F                | 0x0019E68F   | 0x0019E68F   |
| Adres-3                           | -                         | 0x000461CB   | 0x000461CB   |
| Adres-4                           | -                         | 0x000915CF   | 0x000915CF   |
| Adres-5                           | -                         | 0x000A6729   | 0x000A6729   |
| Adres-6                           | -                         | -            | 0x00120003   |
| Adres-7                           | -                         | -            | 0x001A0003   |
| Adres-8                           | -                         | -            | 0x000A7069   |
| Adres-9                           | -                         | -            | 0x0016A54A   |
| Adres-10                          | -                         | -            | 0x001AE818   |

## 5.2 ZC702 Geliştirme Kartı ile Yapılan Testler

KC705 kartı ile yapılan testlerin sonucunda elde edilen, sıcaklığın çalışma gerilimi düşürülmesine etkilerinin başka FPGA donanımları üzerinde de aynı davranışı gösterip göstermeyeceğinin gözlemlenebilmesi amacıyla yapılan testler başka bir FPGA geliştirme kartı üzerinde tekrarlanmıştır.

Tekrarlanan testlerde geliştirme kartı olarak yine Xilinx firmasının ZC702 FPGA kartı kullanılmıştır. Bu kart üzerinde Xilinx’in Zynq-7000 FPGA ailesinden XC7Z020-CLG484-1 FPGA’i bulunmaktadır. ZC702 geliştirme kartı Şekil 5.5’te gösterilmiştir.

ZC702 geliştirme kartı üzerindeki XC7Z020 140 adet BRAM'a sahiptir ve bu BRAM'ler de KC705 geliştirme kartında olduğu gibi temel olarak 36 Kb boyutundadır. Üretici firma Xilinx’in ürün sayfasında BRAM besleme blokları için belirlediği gerilim limitleri Çizelge 5.3’te verilmiştir.



Şekil 5.5 : ZC702 geliştirme kartı.

Çizelge 5.3 : ZC702 BRAM besleme gerilimleri için önerilen limit değerleri [13].

| ZC702               | Min.(V) | Typ.(V) | Max.(V) |
|---------------------|---------|---------|---------|
| VCC <sub>BRAM</sub> | 0.95    | 1.00    | 1.05    |

Bu kartın üzerinde de KC705 kartındaki gibi besleme gerilimlerinin ayarlanmasına olanak sağlayan kontrolcü bir entegre (Texas Instruments firmasından UCD9248PFC) bulunmaktadır. Besleme gerilimlerinin ayarlanması ve izlenebilmesi için yine PMBUS üzerinden bu entegre ile işlemler yapılmıştır [14].

KC705 kartının ölçüm alındığı sıcaklık değerlerine sıcaklık kabini ayarlanmış ve ölçümler tekrarlanmıştır. Bu geniş sıcaklık aralığında sıcaklık kabinin sıcaklığı ile silikon sıcaklığı arasında oluşan farklar Çizelge 5.4'te verilmiştir.

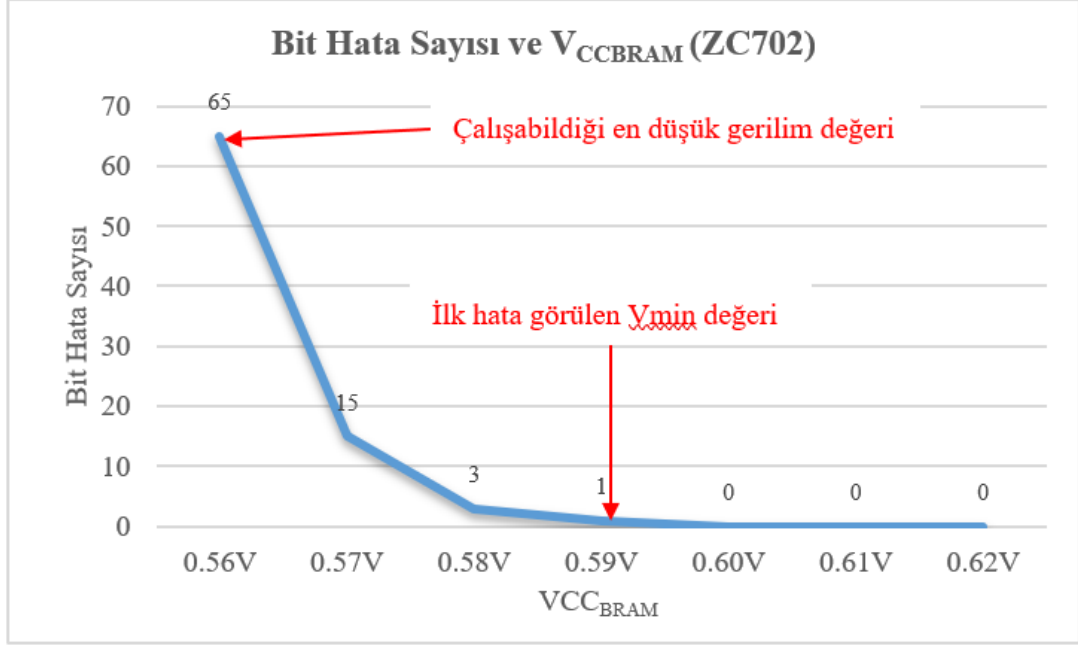
Çizelge 5.4 : FPGA silikon sıcaklıkları ile test kabini sıcaklıkları (ZC702).

| Kabin Sıcaklığı (°C)        | -40 | -20 | 0  | 20 | 30 | 50 | 70 |
|-----------------------------|-----|-----|----|----|----|----|----|
| FPGA Silikon Sıcaklığı (°C) | -26 | -6  | 14 | 30 | 42 | 64 | 85 |

Testler yine sıcaklık kabini çalıştırılmadan oda sıcaklığında başlatılmıştır. Geliştirme kartı üzerindeki FPGA'in tüm BRAM'lerine yazma okuma yapabilen bir test yazılımı hazırlanmıştır. Gerilim seviyesi nominal seviye olan 1V'dan 0.01V adımlarla düşürülerek farklı gerilim seviyelerindeki hata sayıları çıkarılmıştır. Hata davranışının KC705 kartında çıkarılan grafikte (Şekil 5.1) çok benzer olduğu görülmektedir.



FPGA'in silikon sıcaklığı 30°C iken, ZC702 kartının hataya neden olmayan en düşük gerilim değeri 0.60V olduğu görülmüştür. ZC702 FPGA kartının 0.56V'un altında FPGA'in çalışmayı durduğu gözlemlenmiştir. Oda sıcaklığında alınan ölçümler sonucunda ZC702 kartı için oluşturulan bit hata sayısı ve  $V_{CCBRAM}$  gerilimi grafiği Şekil 5.6'da verilmiştir.



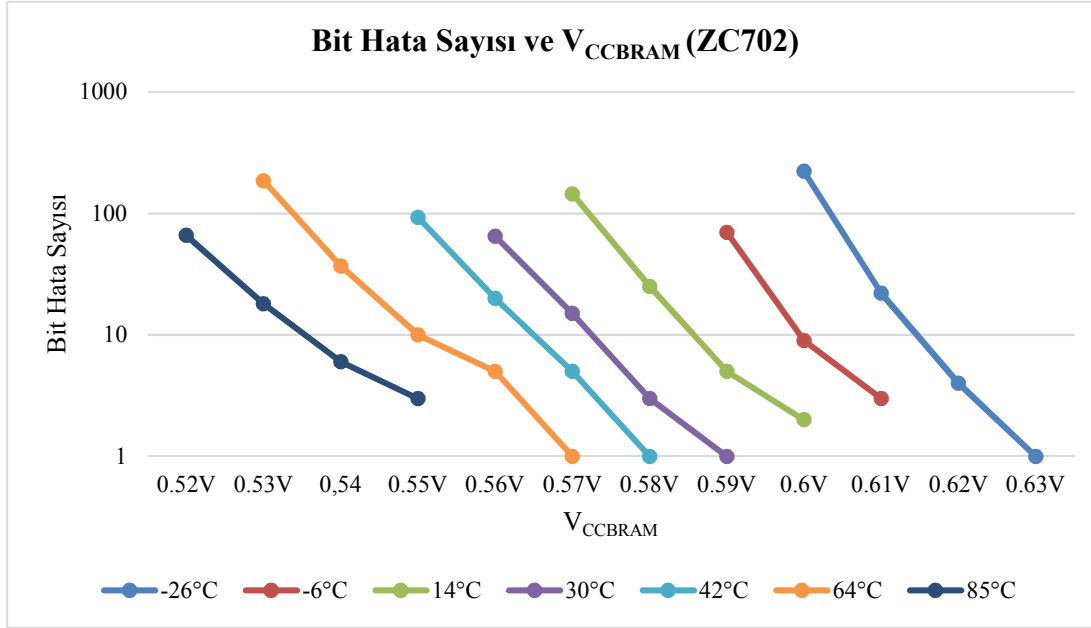
Şekil 5.6 : Oda sıcaklığında hata-sıcaklık karakteristiği (ZC702).

KC705 kartı için ölçüm sonuçları çıkarılan -40°C ve +70°C arasındaki 6 sıcaklık farklı sıcaklık değeri için de ölçümler ZC702 kartı ile tekrarlanmıştır. Şekil 5.7'de, tüm bu sıcaklık değerlerindeki ilgili  $V_{CCBRAM}$  gerilimine karşılık gelen bit hatası sayısı grafiği verilmiştir. Bu grafik incelendiğinde, ZC702 FPGA kartının da sıcaklığa bağlı hata sayısı değişiminin KC705 kartına çok benzer olduğu görülmektedir.

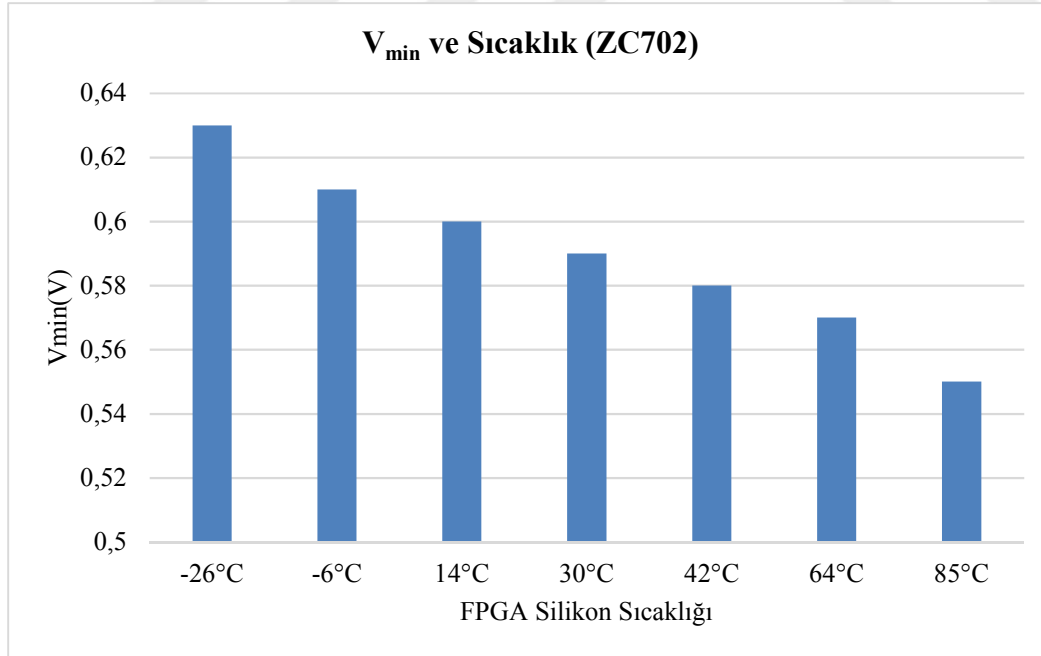
ZC702 kartında da sıcaklık arttıkça  $V_{min}$  değerinin azaldığı görülmüştür. Şekil 5.8'de ölçüm alınan sıcaklık değerlerine karşılık gelen  $V_{min}$  gerilim seviyeleri gösterilmiştir.

Ölçüm alınan sıcaklık değerlerinde FPGA'lerin çalışmayı durdurduğu en düşük gerilim seviyeleri ( $V_{off}$ ) Şekil 5.9'da verilmiştir.

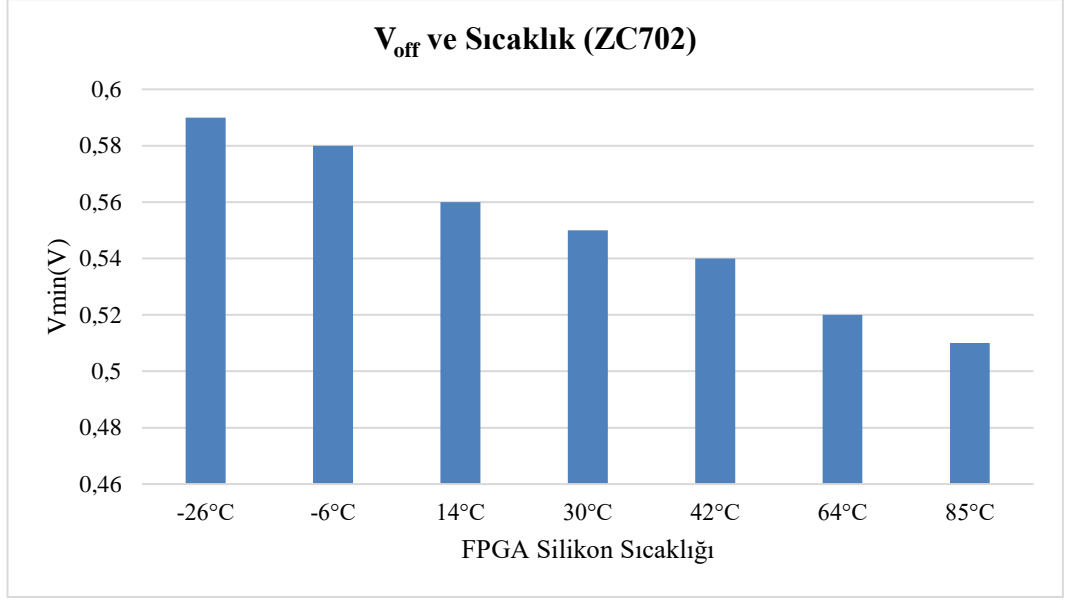
Ölçüm alınan iki FPGA kartının da benzer sonuçlar göstermesi bu sıcaklık hata karakteristiklerinin daha çok güç kazanımı için kullanabilmesi önermesini desteklemiştir. Bu amaçla da sıcaklık kontrollü çalışma gerilimi düşürülmesi yöntemi önerilmiştir.



Şekil 5.7 : Bit hata sayısı ve  $V_{CCBRAM}$  grafiği (ZC702).



Şekil 5.8 :  $V_{min}$  gerilim değeri ve FPGA silikon sıcaklığı grafiği (ZC702).



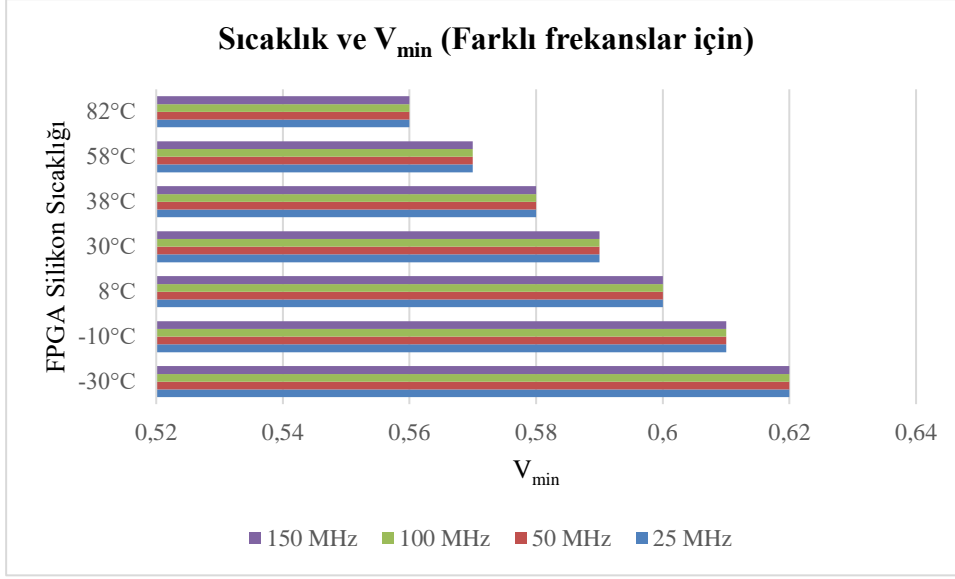
Şekil 5.9 : V<sub>off</sub> gerilim değeri ve FPGA silikon sıcaklığı grafiği (ZC702).

### 5.3 Farklı Frekanslarda Yapılan Testler

ZC702 ve KC705 geliştirme kartlarıyla yapılan testlerin sonucunda sıcaklığın çalışma gerilimi düşürülmesi sonucu oluşan hatalara etkileri gözlemlenmiştir. Bu sonuçlara frekanstaki değişmelerin nasıl etki edeceğinin gözlemlenebilmesi için testler farklı frekanslarla tekrarlanmıştır. ZC702 kartı üzerinde geliştirilen test kodu 50 MHz frekansta çalışmaktadır. Daha düşük ve daha yüksek frekanslarda tüm sıcaklık aralığı için testler tekrarlanmıştır. Testlerde kullanılan FPGA tasarımı 25 MHz, 100 MHz ve 150 MHz frekanslarla yeniden derlenmiştir.

Yapılan testlerde sıcaklıkla değişen hatasız çalışılabilen en düşük gerilim değeri olan V<sub>min</sub> değerinin frekansa bağlı olarak değişmediği gözlemlenmiştir. Aynı sıcaklıklarda farklı frekanslarla alınan ölçümlerde hatanın çıktığı ilk gerilim değerlerinin hep aynı olduğu gözlemlenmiştir. Şekil 5.10'da farklı frekanslar için ölçülen V<sub>min</sub> değerleri gösterilmiştir.

V<sub>min</sub> değerleri farklı frekanslarda değişmezken hata sayıları incelendiğinde ise hata sayılarının yüksek sıcaklıklarda frekans arttıkça azaldığı gözlemlenmiştir. Ancak bu durumun sadece oda sıcaklığından daha yüksek sıcaklıklarda görüldüğü daha düşük sıcaklıklarda düşük gerilimlerde, yüksek frekanslarda daha fazla hata çıktığı gözlemlenmiştir.

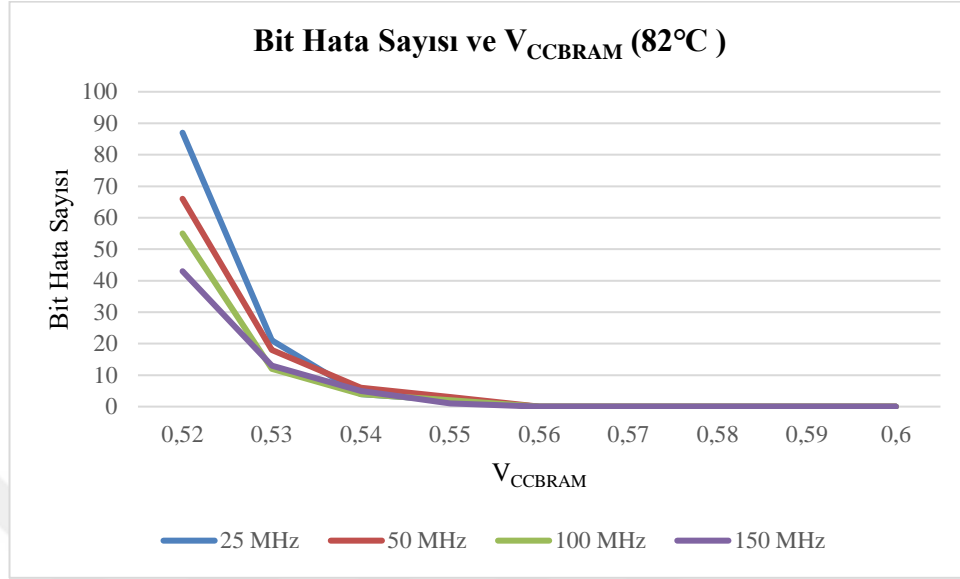


Şekil 5.10 : Farklı frekanslar için  $V_{min}$  gerilim değeri ve FPGA silikon sıcaklığı grafiği.

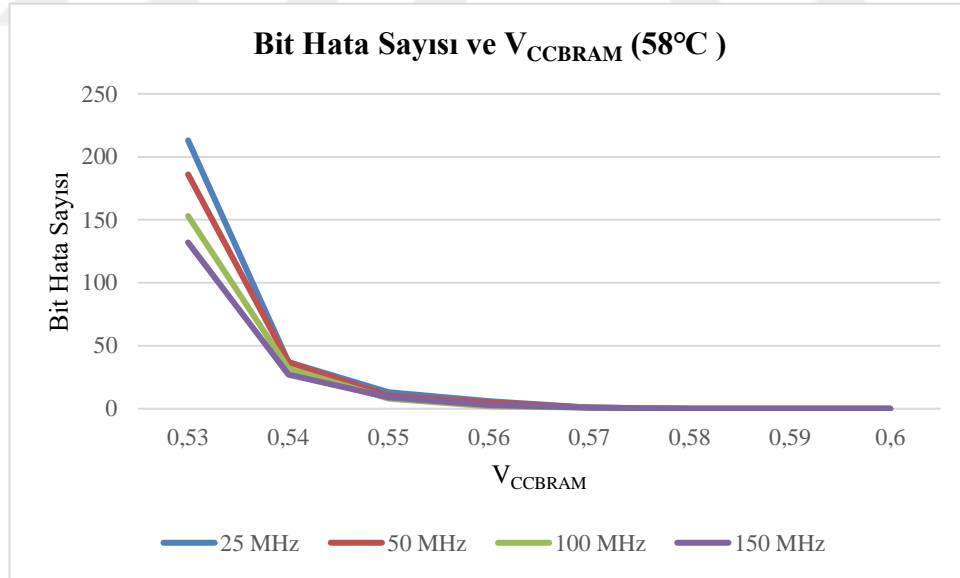
Bu durumun sebebi de daha önce literatür araştırmalarında incelenen bir çalışmada “Inverse Thermal Dependence (ITD)” olarak tanımlanan davranışla uyduğu gözlemlenmiştir [54]. Normalde sıcaklık arttıkça parçacıkların hareketinin yavaşlamasından kaynaklanan devredeki gecikmelerin artması gerçeği, düşük mikronlu CMOS entegrelerinde, düşük çalışma gerilimlerinde ve yüksek sıcaklıklarda geçersiz olmuştur. Bu çalışmada da yüksek sıcaklıklarda ve düşük çalışma gerilimlerinde alınan ölçümlerde de yüksek frekanslarda devredeki gecikmelerin azalmasından dolayı daha az bit hatası çıktığı gözlemlenmiştir. FPGA silikon sıcaklığı 82°C olduğundan farklı frekansta çalışan FPGA tasarımlarıyla yapılan testlerde alınan bit hata sayıları Şekil 5.11’de gösterilmiştir.

Aynı testler daha düşük sıcaklıklar için de tekrarlanmıştır. 58°C’deki düşük gerilimlerde ortaya çıkan hatalı bit sayıları Şekil 5.12’de verilmiştir. Bu sıcaklık değerinde de bit hata sayıları yüksek frekanslarda düşüş göstermiştir.

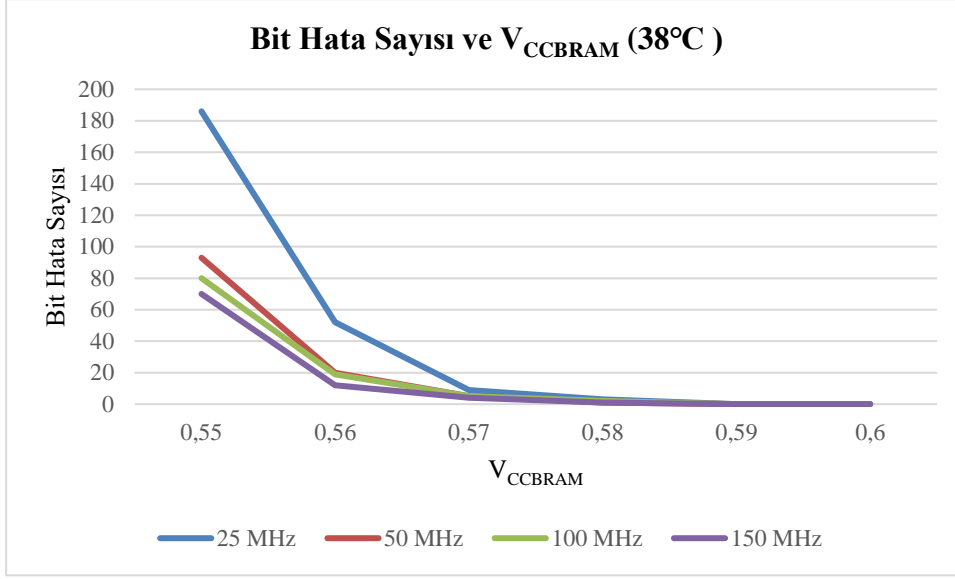
38°C’deki düşük gerilimlerde ortaya çıkan hatalı bit sayıları Şekil 5.13’te verilmiştir. Bu sıcaklık değerine kadar farklı frekanslar için alınan bit hata sayısı ölçümlerinden yüksek frekanslarda daha düşük hata sayıları olduğu gözlemlenmiştir. 38°C’den sonra alınan ölçümlerde yüksek frekansla bit hata sayısı arasında böyle bir ilişki gözlemlenmemiştir.



Şekil 5.11 : Farklı frekans değerleri için  $V_{CCBRAM}$  gerilim değeri ve bit hata sayısı grafiği (82°C).



Şekil 5.12 : Farklı frekans değerleri için  $V_{CCBRAM}$  gerilim değeri ve bit hata sayısı grafiği (58°C).



Şekil 5.13 : Farklı frekans değerleri için V<sub>CCBRAM</sub> gerilim değeri ve bit hata sayısı grafiği (38°C).

Daha düşük silikon sıcaklıkları için yapılan testlerde, frekansa arttıkça hatalı bit sayılarının azalma davranışının gözlemlenmediği tespit edilmiştir. Frekans değişimi ve besleme gerilimi düşürülmesi arasında sıcaklıkla olduğu gibi bir bağlantı gözlemlenmemiştir.

## 6. ÖNERİLEN YÖNTEM: SICAKLIK KONTROLLÜ ÇALIŞMA GERİLİMİ DÜŞÜRÜLMESİ

### 6.1 Önerilen Yöntem

Yapılan testlerin sonucunda, hatasız çalışmayı garanti edecek şekilde yüksek sıcaklıklarda çalışma gerilimini düşürürken, daha düşük sıcaklıklarda çalışmanın mümkün olduğu görülmüştür. Bundan yola çıkarak bu çalışmada sıcaklık kontrollü bir çalışma gerilimi düşürme yöntemi önerilmektedir. Önerilen bu modelin temeli, FPGA'in silikon sıcaklığını kontrol ederek, hatasız bir işlem için uygun minimum  $V_{min}$  değerinin belirlenmesi ve  $VCC_{BRAM}$ 'in bu değere ayarlanmasına dayanmaktadır. Bu sayede, ilgili FPGA ve bulunduğu sıcaklık değeri için hata oluşmasına izin vermeyen en düşük gerilim değeri belirlenecek ve çalışma gerilimi bu seviyeye düşürülerek en yüksek oranda güç kazanımı sağlanmış olacaktır.

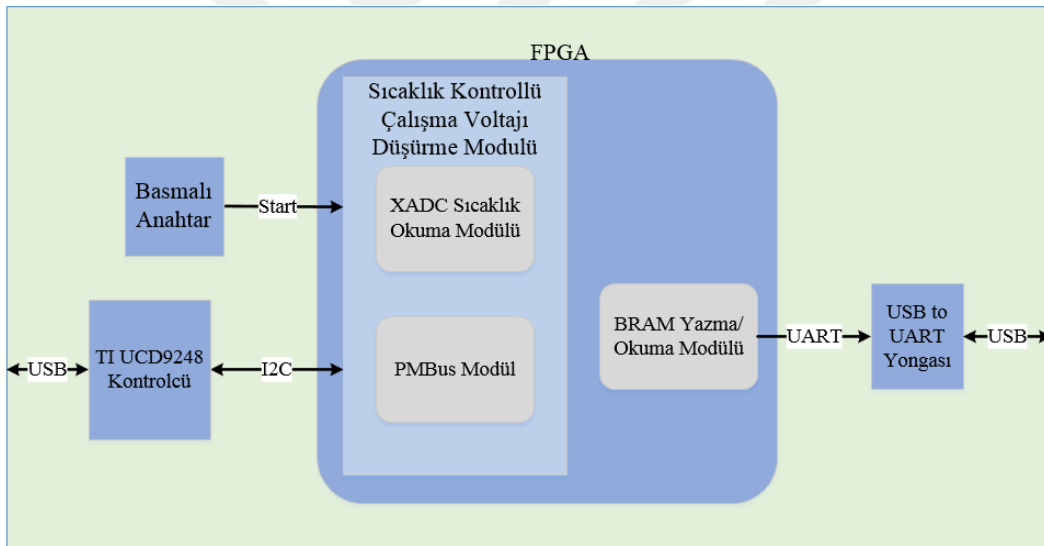
Testler sonucunda  $V_{min}$  değerinin her sıcaklık değeri için farklı olduğu görülmüştür. Ayrıca  $V_{min}$  değeri, FPGA üretim teknolojilerine ve hatta üretimden üretime bile farklılık gösterebilmektedir.  $V_{min}$  değeri her FPGA için farklı olduğundan, önerilen yöntemi kullanmak için, uygulama öncesi kısa bir test ile FPGA'in modellenmesi ve her bir sıcaklık değerine karşılık gelen  $V_{min}$  tablosunun oluşturulması gerekmektedir. Bu işlem, uygulama öncesi çalıştırılacak dinamik bir BRAM analizörü ile yapılabilir.

Dinamik BRAM analizörünün çalışma prensibi BRAM'lerin farklı sıcaklık durumlarında hatasız bir işlem için en uygun olan  $V_{min}$  değerinin tespit edilmesine ve bu değerlerin bir tabloda saklanmasına dayanmaktadır. En uygun  $V_{min}$  değerinin bulunması işlemi, herhangi bir bellek adresinde bit hatası tespit edene kadar küçük adımlarla çalışma gerilimi seviyesini azaltarak gerçekleştirilmektedir. Besleme gerilimi seviyesi bellek adreslerinden herhangi birinde bir hataya sebep olduğundan bu durum analizör tarafından rapor edilir ve ayarlanan son gerilim  $V_{min}$  değeri olarak tabloya kaydedilir.

Dinamik BRAM analizörü bu işlemleri yaparken, 0.01V gerilim adımları ile her bir gerilim seviyesi için her bir adresten yazma ve okuma yapar. Analizör belirli bir

gerilim seviyesinde bir hatayla karşılaştığında, uygulama tarafından daha sonra dinamik olarak kullanılan tabloyu günceller. Bu tablo, geniş bir sıcaklık aralığında 10°C çözünürlükteki sıcaklık değerlerine karşılık gelen  $V_{min}$  değerini tutar. Önerilen yöntemde çalışma gerilimi düşürülmesi işlemci bu tabloya göre yapılır. Böylece her FPGA için en uygun  $V_{min}$  değerinin seçildiğine ve ayarlandığına emin olmak mümkündür.

Önerilen yöntemin FPGA tasarımı Sıcaklık Okuma Bloğu ve PMBus Bloğu olmak üzere temel olarak iki ana bloktan oluşmaktadır. Ayrıca dinamik BRAM analizörü için tasarımda BRAM Yazma/Okuma Bloğu da bulunmaktadır. Yapılan gerilim düşürme işleminin BRAM'lerde bir hataya sebep olup olmadığını kontrol etmek için de bu BRAM Yazma/Okuma Bloğu kullanılmaktadır. Şekil 6.1 sıcaklık kontrollü çalışma gerilimi düşürülmesi önermesinin gerçekleştirildiği FPGA tasarımının blok şemasını göstermektedir.



Şekil 6.1 : Sıcaklık kontrollü çalışma gerilimi düşürülmesi FPGA tasarımı.

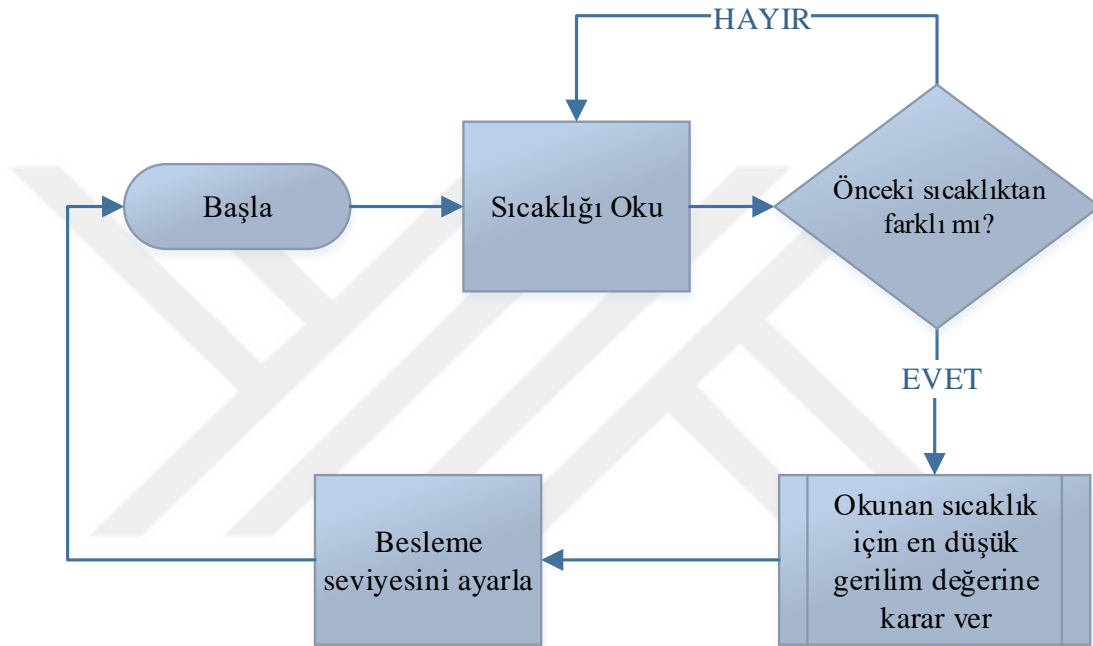
Sıcaklık Okuma Bloğunda, FPGA'in silikon sıcaklığı ölçülmektedir. Bu amaçla, Vivado IP üreticinin XADC makrosu kullanılarak FPGA yongasının silikon sıcaklığını izlemek için sıcaklık okuma bloğu sentezlenir.

PMBus Bloğu ise  $VCC_{BRAM}$  besleme gerilimini ayarlamak amacıyla PMBus komutlarını kontrolcü yongaya iletmektedir. Bu blokta tüm işlemlerin başında öncelikle  $VCC_{BRAM}$  gerilimi alt sınırlarının ilgili komutlarla devre dışı bırakılması ve ilgili cihazın seçilmesi işlemleri gerçekleştirilir. Ardından ayarlanmak istenilen



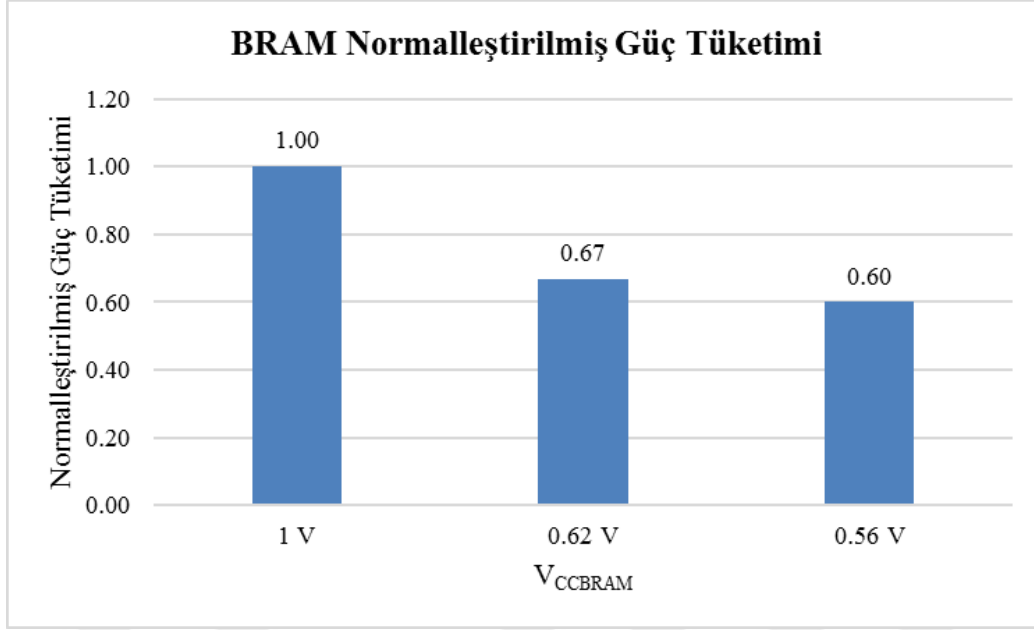
gerilim değeri ilgili yazmaca yazılır. Yazım işlemci ilgili yazmaç tekrar okunarak kontrol edilir.

Önerilen yöntem “Sıcak kontrollü çalışma gerilimi düşürme modülü”, periyodik olarak FPGA’in silikon sıcaklığını okur. Okunan sıcaklık değeri, önceki okunan sıcaklıktan farklıysa, daha önce o kart için oluşturulan  $V_{min}$  ve sıcaklık tablosuna göre  $V_{min}$  değerini belirler ve  $VCC_{BRAM}$  gerilimini o değere ayarlar. Önerilen yöntemin akış şeması Şekil 6.2’de verilmiştir.



Şekil 6.2 : Önerilen yöntemin akış şeması.

Yapılan testlerde  $VCC_{BRAM}$  gerilim hattından çekilen akım değeri Fusion Digital Power Designer aracı kullanılarak farklı gerilim seviyeleri için ölçülmüştür. Bu ölçümlerde gerilim düşmesine rağmen çekilen akımın sabit olduğu görülmüştür. Güç tüketimini daha anlaşılır bir şekilde karşılaştırabilmek için, 1V besleme gerilimindeki güç referans noktası olarak kabul edilmiştir. Tüm güç tüketimleri bu değere göre normalize edilmiştir. Şekil 6.3, 1V, 0.62V ve 0.56V  $VCC_{BRAM}$  gerilimleri için normalize edilmiş güç tüketimlerini göstermektedir. Bu grafikte 1V nominal gerilim değeridir. 0,62V değeri  $-30^{\circ}C$  için  $V_{min}$  ve 0,56V değeri ise  $82^{\circ}C$  için  $V_{min}$ 'dir.



Şekil 6.3 : BRAM normalleştirilmiş güç tüketimleri.

## 6.2 Önerilen Yöntemin Performans Sonuçları

Bu bölümde kaynak kullanımı ve güç tüketimi miktarı açısından önerilen yöntemin değerlendirilmesi yapılmıştır. Önerilen sıcaklık kontrollü çalışma gerilimi düşürme modeli, sıcaklık kontrolü olmayan statik çalışma gerilimi düşürme uygulaması ile karşılaştırılmıştır.

Sıcaklık kontrolü için eklenen tasarım bloğunun kaynak kullanımı açısından getirdiği ek maliyetin değerlendirilmesi amacıyla Çizelge 6.1'de FPGA'de kullanılan kaynak yüzdeleri gösterilmektedir. Bu tabloda, BRAM'lerin sıcaklığını kontrol etmek ve besleme gerilimi seviyesini ayarlamak için kullanılan ek devrenin kaynak kullanımında önemli bir artışa neden olmadığı görülmektedir. Sadece %0,04 ek Look-up tablosu (LUT) ve %0,01 ek Flip-Flop (FF) kullanımıyla önerilen sıcaklık kontrollü çalışma gerilimi düşürülmesi modeli oluşturulabilmektedir. Bu ek kaynak kullanımı güç verimliliği ve hatasız çalışma avantajları göz önüne alındığında oldukça küçüktür.

Güç tüketimi açısından, ölçüm sonuçları en düşük ve en yüksek sıcaklık değerleri için karşılaştırılmıştır.  $V_{CCBRAM}$  çalışma gerilimini düşürürken bir sıcaklık kontrol mekanizması kullanmazsak,  $V_{min}$ 'in güvenli tarafta olması ve tüm sıcaklık aralığında hatasız çalışmayı garanti etmesi için en düşük sıcaklıktaki  $V_{min}$  değeri olan 0.62V'a ayarlanması gerekir.  $V_{CCBRAM}$  besleme gerilimi 82°C'de 0.62V'a ayarlanırsa, güç tüketimi kazancı % 33 ile sınırlı olacaktır. Oysaki hatasız çalışmayı sürdürerek ve daha

düşük besleme gerilimi değeri ile güç tüketimini önemli ölçüde azaltmak mümkündür. Çalışma gerilimini 82°C için 0.62V yerine bu sıcaklığa en uygun değer olan 0.56V'a ayarlarsak, güç tüketimi 0.62V'deki durumdan %9 daha düşük olacak ve yine de hatasız bir çalışma sağlanmış olacaktır.

Çizelge 6.1 : FPGA kaynak kullanımları.

|   | <b>BRAM</b>      | <b>LUT</b>      | <b>FF</b>       | <b>IO</b> |
|---|------------------|-----------------|-----------------|-----------|
| <b>Sıcaklık Kontrol Bloğu Olmayan Tasarım</b> | 444.5<br>(98.9%) | 3209<br>(1.57%) | 2631<br>(0.65%) | 4 (0.8%)  |
| <b>Sıcaklık Kontrol Bloğu Olan Tasarım</b>    | 444.5<br>(98.9%) | 3287<br>(1.61%) | 2690<br>(0.66%) | 4 (0.8%)  |

Testlerin uygulandığı FPGA geliştirme kartı için, BRAM'lerin güç tüketimi, Xilinx Power Estimator Tool'a göre en fazla 2.76W'a kadar çıkabilmektedir. Bu durumda önerilen yöntem ile toplamda 1.10W tasarruf sağlanabilmektedir. Önerilen çözümün avantajıyla,  $V_{CC_{BRAM}}$  besleme geriliminin en uygun  $V_{min}$  değerine ayarlanması ve bu sayede geniş bir sıcaklık aralığında hatasız olarak maksimum güç verimliliğinde çalışmak mümkün olacaktır.



## 7. SONUÇ

FPGA'ler, yarı iletken endüstrisinin geleceğin bilgi işlem platformlarını şekillendirmesine katkı sağlamaktadır. Moore Kanununun artık geçersiz olduğu döneme girerken, sistem mimarilerinin ileri gitmek için gelişmeleri gerekmektedir. Bu gelişme için sistem tasarımcılarının geleneksel mimarileri ve yazılımları yeniden düşünmeleri ve yeni aygıt ve materyallerin kullanımını değerlendirmeleri gerekmektedir.

Bu noktada FPGA'lerle birleştirilmiş geleneksel işlemciler ve veri hareketini en aza indiren teknolojiler, performans ve güç verimliliğini artırmada yeni yaklaşımlar sunmakta ve gelecek nesil sistemlerde için yeni bir bakış sunmaktadır.

FPGA'li sistemlerin son dönem hesaplama platformları için artan kullanımıyla birlikte FPGA'lerin güç tüketimlerinin azaltılması üzerine çalışmalar yaygınlaşmaya başlamıştır. Bu platformlarda veri hareketliliğini ve verimliliği arttıran FPGA gömülü bloklarının da güç tüketimlerinin azaltılması oldukça önemli hale gelmiştir. Çalışma gerilimi düşürülme işlemi yakın zamanda FPGA'lerin karşılaştığı güç tüketimi sorunlarına bir çözüm olarak önerilmektedir.

Bu çalışmada, sıcaklığın FPGA BRAM'lerin çalışma gerilimi düşürülmesi işlemine etkileri analiz edilmiştir ve geniş çalışma sıcaklık aralığına sahip uygulamalar ve cihazlar için sıcaklık kontrollü bir çalışma gerilimi düşürülmesi mekanizması önerilmiştir. Sıcaklık kontrollü çalışma gerilimi düşürülmesi yönteminin hem güç tüketimini azaltmak hem de hatasız çalışmayı garanti etmek için oldukça etkili bir yol olduğu gösterilmiştir.

Önerilen çözüm uygulamanın özelliklerine bağlı değildir, ancak FPGA yongasına ve üretim teknolojilerine bağlıdır. Önerilen metod, kullanılan FPGA'in BRAM'inin sıcaklığa olan duyarlılığını önce profillendirmeyi ve daha sonra bu bilgiyi farklı çalışma sıcaklıklarında çalışma gerilimi düşürülmesi için kullanmayı içerir. Bu çalışmada, önerilen çözümün sıcaklığın etkilerini göz önünde bulundurmadan çalışma

gerilimi dűűrűlen bir uygulamaya kıyasla %9 daha ok enerji kazanımı saėladıėı gűsterilmiűtir.



## 8. GELECEK ÇALIŞMALAR

Önerilen çözümü birçok yönden genişletmek ve daha fazla sıcaklık duyarlılığı olan daha iyi bir çözüm tasarlamak mümkündür. BRAM yapısının zayıf noktalarını analiz edip bu bilgiyi de kullanarak daha gelişmiş bir kontrolcü tasarımı gelecekteki çalışmalar için bırakılmıştır. FPGA yongası üzerindeki BRAM bölgelerini analiz ederek ve FPGA üzerinde koşan uygulamanın taleplerini belirleyerek, uygulamayı belirli BRAM bölgelerine eşlemek ve hata olma olasılığı daha düşük olan bölgeleri kullanarak daha düşük güç tüketimi elde etmek mümkündür. Düşük besleme gerilimi kaynaklı hataların oluşumunu ortadan kaldıracak daha akıllı bir analizör ile daha fazla güç tasarrufu sağlanabilir.

BRAM'lere ECC ekleyerek çalışma gerilimi düşürülmesi kaynaklı 1-bit hataları düzelterek güç tüketimini azaltma yöntemi [25]'de önerilmiştir. Bu yöntemi sıcaklığa bağlı olarak geliştirip değişen sıcaklığa göre ihtiyaç duyulan zamanlarda aktif olacak akıllı bir ECC yapısı ekleme çalışması sonraki çalışma olarak bırakılmıştır.

Çalışma gerilimi düşürülmesi işleminin FPGA'in diğer gerilimleri üzerindeki etkilerinin araştırılması ve bu etkilerin analizi sonrası bu gerilimlerde de çalışma gerilimi düşürülmesi yapılarak daha fazla güç kazanımı sağlanıp sağlanamayacağının çalışması gelecek çalışmalardan biri olabilir.





## KAYNAKLAR

- [1] **Lane, N. D., et al.**, (2016). Deepx: A software accelerator for low-power deep learning inference on mobile devices, *Proceedings of the 15th International Conference on Information Processing in Sensor Networks*, Vienna, Austria.
- [2] **Oskouei, S. S. L., Golestani, H., Hashemi, M., Ghiasi, S.**, (2016). CNNdroid: Gpu-accelerated execution of trained deep convolutional neural networks on android, *Proceedings of the 24th ACM international conference on Multimedia*, San Francisco, USA.
- [3] **Zhang, C., et al.**, (2015). Optimizing FPGA-based accelerator design for deep convolutional neural networks, *Proceedings of the 2015 ACM/SIGDA International Symposium on Field-Programmable Gate Arrays*, California, USA.
- [4] **Canis, A., et al.**, (2011). LegUp: high-level synthesis for FPGA-based processor/accelerator systems, *Proceedings of the 19th ACM/SIGDA international symposium on Field programmable gate arrays*, California, USA.
- [5] **Suda, N., et al.**, (2016). Throughput-optimized OpenCL-based FPGA accelerator for large-scale convolutional neural networks, *Proceedings of the 2016 ACM/SIGDA International Symposium on Field-Programmable Gate Arrays*, California, USA.
- [6] **Chang, K. K., et al.**, (2017). Understanding reduced-voltage operation in modern DRAM devices: Experimental characterization, analysis, and mechanisms, *Proceedings of the ACM on Measurement and Analysis of Computing Systems 1.1*, New York, USA.
- [7] **Chang, K. K., et al.**, (2018). Voltron: Understanding and Exploiting the Voltage-Latency-Reliability Trade-Offs in Modern DRAM Chips to Improve Energy Efficiency, arXiv preprint arXiv:1805.03175.
- [8] **Tovletoglou, K., et al.**, (2018). Measuring and exploiting guardbands of server-grade ARMv8 CPU cores and DRAMs, *2018 48th Annual IEEE/IFIP International Conference on Dependable Systems and Networks Workshops (DSN-W)*, Luxembourg.
- [9] **David, H., Fallin, C., Gorbato, E., Hanebutte, U. R., Mutlu, O.**, (2011). Memory power management via dynamic voltage/frequency scaling, *Proceedings of the 8th ACM international conference on Autonomic computing*, Karlsruhe, Germany.
- [10] <<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/pt/stratix-10-product-table.pdf>>, Alındığı tarih:03.11.2019.

- [11] <<http://jmk.dk/MMMI/PLDs/FPGA/fpga.h11.jpg>>, Alındığı tarih:03.11.2019.
- [12] <<https://docs.microsoft.com/tr-tr/azure/machine-learning/service/how-to-deploy-fpga-web-service>>, Alındığı tarih:03.11.2019.
- [13]<[https://www.xilinx.com/support/documentation/data\\_sheets/ds187-XC7Z010-XC7Z020-Data-Sheet.pdf](https://www.xilinx.com/support/documentation/data_sheets/ds187-XC7Z010-XC7Z020-Data-Sheet.pdf)>, Alındığı tarih:03.11.2019.
- [14]<[https://www.xilinx.com/support/documentation/boards\\_and\\_kits/zc702\\_zvik/ug850-zc702-eval-bd.pdf](https://www.xilinx.com/support/documentation/boards_and_kits/zc702_zvik/ug850-zc702-eval-bd.pdf)>, Alındığı tarih:03.11.2019.
- [15]<<https://www.nandland.com/articles/block-ram-in-fpga.html>>, Alındığı tarih:03.11.2019.
- [16]<[https://www.xilinx.com/support/documentation/data\\_sheets/ds180\\_7Series\\_Overview.pdf](https://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf)>, Alındığı tarih:03.11.2019.
- [17]<[https://www.xilinx.com/support/documentation/ip\\_documentation/bram\\_block.pdf](https://www.xilinx.com/support/documentation/ip_documentation/bram_block.pdf)>, Alındığı tarih:03.11.2019.
- [18]<[https://www.xilinx.com/support/documentation/user\\_guides/ug473\\_7Series\\_Memory\\_Resources.pdf](https://www.xilinx.com/support/documentation/user_guides/ug473_7Series_Memory_Resources.pdf)>, Alındığı tarih:03.11.2019.
- [19] The Design Warrior's Guide to FPGAs Devices, Tools and Flows. ISBN 0750676043, 2004.
- [20] **Lorch, J. R., Smith, A. J., (2001).** Improving dynamic voltage scaling algorithms with PACE, *ACM SIGMETRICS Performance Evaluation Review*, Vol. 29. No. 1.
- [21] **Bacha, A., Teodorescu, R., (2013).** Dynamic reduction of voltage margins by leveraging on-chip ECC in Itanium II processors, *ACM SIGARCH Computer Architecture News*, Vol. 41. No. 3.
- [22] **Leng, J., Buyuktosunoglu, A., Bertran, R., Bose, P., Reddi, V. J., (2015).** Safe limits on voltage reduction efficiency in GPUs: a direct measurement approach, *2015 48th Annual IEEE/ACM International Symposium on Microarchitecture (MICRO)*, Waikiki, HI, USA.
- [23] **Mei, X., Yung, L. S., Zhao, K., Chu, X., (2013).** A measurement study of GPU DVFS on energy conservation, *Proceedings of the Workshop on Power-Aware Computing and Systems*, Pennsylvania, USA.
- [24] **Salami, B., Unsal, O. S., Kestelman, A. C., (2018).** Comprehensive Evaluation of Supply Voltage Underscaling in FPGA on-chip Memories, *51st Annual IEEE/ACM International Symposium on Microarchitecture (MICRO)*,.
- [25] **Salami, B., Unsal, O. S., Kestelman, A. C., (2019).** "Evaluating Built-In ECC of FPGA On-Chip Memories for the Mitigation of Undervolting Errors," 2019 27th Euromicro International Conference on Parallel, Distributed and Network-Based Processing (PDP), IEEE, 2019.
- [26] **Ahmed, I., Zhao, S., Trescases, O., Betz, V., (2018).** Automatic Application-Specific Calibration to Enable Dynamic Voltage Scaling in FPGAs, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 37.12: 3095-3108.

- [27] **Yang, Y., Li, K. S.,** (2009). Temperature-aware dynamic frequency and voltage scaling for reliability and yield enhancement, *Proceedings of the 2009 Asia and South Pacific Design Automation Conference*, Yokohama, Japan.
- [28] **Lefurgy, C. R., et al.,** (2011). Active management of timing guardband to save energy in POWER7, *2011 44th Annual IEEE/ACM International Symposium on Microarchitecture (MICRO)*, Porto Alegre, Brazil.
- [29] **Bowhill, B., et al.,** (2015). The Xeon® processor E5-2600 v3: A 22 nm 18-core product family, *IEEE Journal of Solid-State Circuits* 51.1 (2015): 92-104.
- [30] **Zhang, J., Rangineni, K., Ghodsi, Z., Garg, S.,** (2018). ThUnderVolt: Enabling Aggressive Voltage Underscaling and Timing Error Resilience for Energy Efficient Deep Neural Network Accelerators, *Proceedings of 55th Design Automation Conference (DAC)*, San Francisco, California, USA.
- [31] **Yang, L., Murmann, B.,** (2017). SRAM voltage scaling for energy-efficient convolutional neural networks, in *Proceedings of the 18th International Symposium on Quality Electronic Design (ISQED)*, Santa Clara, CA, USA.
- [32] **Nunez-Yanez, et al.,** (2016). Energy optimization in commercial FPGAs with voltage, frequency and logic scaling, *IEEE Transactions on Computers* Volume: 65 , Issue: 5.
- [33] **Yalcin, G., Islek, E., Tozlu, O., Reviriego, P., Cristal, A., Unsal, O. S., Ergin, O.,** (2014). Exploiting a fast and simple ECC for scaling supply voltage in level-1 caches, in *Proceedings of the 20th IEEE International Symposium on On-Line Testing Symposium (IOLTS)*, Girona, Spain.
- [34] <[http://www.ti.com/tool/fusion\\_digital\\_power\\_designer?keyMatch=fusion%20digital%20powe%20rdesigne&tisearch=Search-EN-Everything](http://www.ti.com/tool/fusion_digital_power_designer?keyMatch=fusion%20digital%20powe%20rdesigne&tisearch=Search-EN-Everything)>, Alındığı tarih:03.11.2019.
- [35] < <http://pmbus.org>>, Alındığı tarih:03.11.2019.
- [36] **Levine, J. M., et al.,** (2014). Dynamic Voltage & Frequency Scaling with Online Slack Measurement, *2014 ACM/SIGDA international symposium on Field-programmable gate arrays*, California, USA.
- [37] **Ahmed, I., et al.,** Measure twice and cut once: Robust dynamic voltage scaling for FPGAs, *2016 26th International Conference on Field Programmable Logic and Applications (FPL)*, Lausanne, Switzerland.
- [38] **Chow, C. T., et al.,** (2005). Dynamic voltage scaling for commercial FPGAs, *2005 IEEE International Conference on Field-Programmable Technology*, Singapore.
- [39] **Nabina, A., Nunez-Yanez, J. L.,** (2012). Adaptive Voltage Scaling in a Dynamically Reconfigurable FPGA-Based Platform, *TRETS*, vol. 5, no. 4, pp. 20:1–20:22.

- [40] **Ahmed, I., Zhao, S., Meijers, J., Trescases, O., Betz, V.,** (2018). Automatic BRAM Testing for Robust Dynamic Voltage Scaling for FPGAs, *2018 28th International Conference on Field Programmable Logic and Applications (FPL)*, Dublin.
- [41] **Morita, Y., Fujiwara, H., Noguchi, H., Iguchi, Y., Nii, K., Kawaguchi, H., Yoshimoto, M.** (2007). Area Optimization in 6T and 8T SRAM Cells Considering V<sub>th</sub> Variation in Future Processes. *IEICE Transactions*, 90-C, 1949-1956.
- [42] <<https://allthingsvlsi.wordpress.com/2013/04/19/6t-sram-operation/>>, Alındığı tarih:03.11.2019.
- [43] **Vătăjelu, E. I., Figueras, J.,** (2010). Statistical analysis of SRAM parametric failure under supply voltage scaling, *2010 IEEE International Conference on Automation, Quality and Testing, Robotics (AQTR)*, Cluj-Napoca, 2010, pp. 1-6.
- [44] **Vătăjelu, E. I., Figueras, J.,** (2011). Statistical analysis of 6T SRAM data retention voltage under process variation, *14th IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems, Cottbus*, 2011, pp. 365-370.
- [45] **Kumar, A., Rabaey, J., Ramchandran, K.,** (2009). SRAM supply voltage scaling: A reliability perspective, *2009 10th International Symposium on Quality Electronic Design*, San Jose, CA, 2009, pp. 782-787.
- [46] **Nunez-Yanez, J.,** (2013). Energy Proportional Computing in Commercial FPGAs with Adaptive Voltage Scaling, *FPGAworld '13 Proceedings of the 10th FPGAworld Conference*, Stockholm, Sweden.
- [47] **Salami, B., Unsal, O. S., Kestelman, A. C.,** (2018). Comprehensive Evaluation of Supply Voltage Underscaling in FPGA on-Chip Memories, *2018 51st Annual IEEE/ACM International Symposium on Microarchitecture (MICRO)*, Fukuoka, 2018, pp. 724-736.
- [48] **Salami, B., Unsal, O. S., Kestelman, A. C.,** (2018). Fault Characterization Through FPGA Undervolting, *2018 28th International Conference on Field Programmable Logic and Applications (FPL)*, Dublin, 2018, pp. 85-853.
- [49] **Khaleghi, B., Rosing, T. Š.,** (2019). Thermal-Aware Design and Flow for FPGA Performance Improvement, *2019 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, Florence, Italy, 2019, pp. 342-347.
- [50] <[https://www.xilinx.com/support/documentation/application\\_notes/xapp555-Lowering-Power-Using-VID-Bit.pdf](https://www.xilinx.com/support/documentation/application_notes/xapp555-Lowering-Power-Using-VID-Bit.pdf)>, Alındığı tarih:03.11.2019.
- [51] <<http://www.altima.jp/products/devices/stratix/download/wp-01200-power-performance-zettabyte-generation-10.pdf>>, Alındığı tarih:03.11.2019.
- [52] <[https://www.xilinx.com/support/documentation/data\\_sheets/ds180\\_7Series\\_Overview.pdf](https://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf)>, Alındığı tarih:03.11.2019.
- [53] <<http://www.ti.com/product/UCD9248>>, Alındığı tarih:03.11.2019.

- [54] **Neshatpour, K., Burleson, W., Khajeh, A., Homayoun, H.,** (2018). Enhancing Power, Performance, and Energy Efficiency in Chip Multiprocessors Exploiting Inverse Thermal Dependence, in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 26, no. 4, pp. 778-791.
- [55] **Sassone, A., et al.,** (2012). Investigating the effects of Inverted Temperature Dependence (ITD) on clock distribution networks, 2012 *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, Dresden, 2012, pp. 165-166.





## ÖZGEÇMİŞ

**Ad-Soyad** : Fulya AĞIRNAS  
**Uyruğu** : T.C.  
**Doğum Tarihi ve Yeri** : 03.07.1988, Antakya  
**E-posta** : fagirnas@etu.edu.tr

## ÖĞRENİM DURUMU:

**Lisans** : 2011, Orta Doğu Teknik Üniversitesi, Mühendislik Fakültesi, Elektrik ve Elektronik Mühendisliği (3,29/4,00)  
**Yüksek Lisans** : 2019, TOBB Ekonomi ve Teknoloji Üniversitesi, Mühendislik Fakültesi, Bilgisayar Mühendisliği

## MESLEKİ DENEYİM VE ÖDÜLLER:

| Yıl        | Yer  | Görevler                            |
|------------|--|-------------------------------------|
| 2009       | Tübitak Uzay Teknolojileri Araştırma Enstitüsü | Stajyer                             |
| 2009       | Türk Havacılık ve Uzay Sanayi (TAİ)            | Stajyer                             |
| 2010       | ASELSAN A.Ş                                    | Stajyer                             |
| 2010       | ASELSAN A.Ş                                    | Aday Mühendis                       |
| 2011-Halen | ASELSAN A.Ş                                    | Mühendis                            |
| 2017-2019  | TOBB ETÜ                                       | ARGE Burslu Yüksek Lisans Öğrencisi |

**YABANCI DİL:** İngilizce (İyi), Almanca(Başlangıç)

## TEZDEN TÜRETİLEN YAYINLAR, SUNUMLAR VE PATENTLER:

**Ağırnas, F., Say, F., Ergin, O.** (2019). FPGA BRAM'lerde Çalışma Gerilimi Düşürülmesine Sıcaklığın Etkileri. İşlemci Tasarımı Çalıştayı 2019, İstanbul, Türkiye.