

EMG YÜKSELTECİ TASARIMI
SERCAN KARACA
YÜKSEK LİSANS TEZİ
ELEKTRİK-ELEKTRONİK
MÜHENDİSLİĞİ ANABİLİM DALI

**T.C.
ONDOKUZ MAYIS ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

EMG YÜKSELTECİ TASARIMI

SERCAN KARACA

**YÜKSEK LİSANS TEZİ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ
ANABİLİM DALI**

**AKADEMİK DANIŞMAN
Yrd. Doç. Dr. İlyas EMİNOĞLU**

SAMSUN-2010



**T.C.
ONDOKUZ MAYIS ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

Bu çalışma jürimiz tarafından 08/02/2010 tarihinde yapılan sınav ile Elektrik-Elektronik Mühendisliği Anabilim Dalı yüksek lisans tezi olarak kabul edilmiştir.

Başkan: Doç. Dr. Okan ÖZGÖNENEL

Üye: Yrd. Doç. Dr. İlyas EMİNOĞLU

Üye: Yrd. Doç. Dr. Nurettin ŞENYER

ONAY:

Yukarıdaki imzaların adı geçen öğretim üyelerine ait olduğunu onaylarım.

.../.../2010

Prof. Dr. Hasan GÜMÜŞ
Fen Bilimleri Enstitüsü Müdürü

İCİNDEKİLER

ÖZ.....	iii
ABSTRACT.....	iv
TEŞEKKÜR.....	v
Şekiller listesi.....	vi
Simge ve Kısaltmalar listesi.....	ix
1.GİRİŞ.....	1
1.1. EMG'nin Doğası.....	1
1.2 Aksiyon potansiyeli oluşumu.....	4
1.3 Aksiyon Potansiyelin Yayılımı.....	6
1.4. EMG İşaretinin Tasarlanacak Yükselteç Bakımından Özellikleri.....	10
1.4.1. Bozucu Etkiler.....	11
1.4.2 EMG işaretinin alınabileceği noktalar.....	13
2. Yöntem.....	14
2.1 Devrenin Temel Katları.....	14
2.2 Kullanılan elektrot.....	14
2.3 Etkin(aktif) devre elemanları.....	17
2.3.1 Dengesizlik (offset) gerilimi	18
2.3.2 Giriş dengesizlik (offset) akımı.....	18
2.3.3 Giriş kutuplama(bias) akımı	18
2.3.4 Giriş direnci (R_{in})	19
2.3.5 Çıkış direnci (R_o)	19
2.3.6 Maksimum çıkış gerilim sınırları ($\pm V_k$).....	19
2.3.7 Ortak işaret bastırma oranı (“CMRR”).....	20
2.4. İşlemsel Yükseltecin Uygulamaları.....	21

2.4.1 Gerilim İzleyici.....	21
2.4.2 Toplayıcı.....	21
2.4.3 Fark Yükseltici.....	21
2.4.4 Ölçüm(Enstrumantasyon) Yükseltici.....	22
2.5 Devre Tasarımında Kullandığımız Aktif Devre Bileşenleri.....	23
2.5.1 AD8221 Ölçüm yükseltici(ilk kat için).....	23
2.5.2 AD8230 Ölçüm yükseltici(ikinci kat için).....	24
2.5.3 OPA4277 işlemsel yükselteç.....	25
2.5.4 LT1065 Çıkış süzgeci.....	25
2.6 Tasarım Aşamasında Dikkat Edilen Hususlar.....	27
2.6.1 Ön Yükselteç ve Geri besleme devresi.....	27
2.6.2 Dış Bileşen Ekleme.....	30
2.6.3 Yüksek geçiren süzgeç.....	34
2.7 Tasarlanan devre.....	35
2.7.1 Devrenin ilk katı(Ön Yükselteç)	35
2.7.2 Devrenin ikinci katı(geri besleme devresi)	36
2.7.3 Devrenin üçüncü katı(asıl yükselteç ve süzme katı)	37
3. Devrenin gerçekleşmesi.....	39
4. Bulgular.....	46
4.1 Geri beslemenin etkisi.....	46
4.2 Devre çıktıları.....	50
5. Tartışma ve Öneriler.....	54
Kaynaklar.....	56
EKLER.....	58
ÖZGEÇMİŞ.....	100

EMG YÜKSELTECİ TASARIMI

ÖZ

Bu çalışmada, dört kanallı bir EMG yükselteci aygıtı tasarlanmış, gerçekleştirilmiş ve denenmiştir. Tasarlanan EMG devresi klinik amaçlı olmayıp tamamıyla Ondokuz Mayıs Üniversitesi Kontrol ve Kumanda Anabilim Dalında yürütülmekte olan “BİR PROTEZ ELİN YÜZEY EMG‘Sİ İLE DENETİMİ İÇİN GEREKLİ ALGORİTMİK İŞARET İŞLEME ALTYAPISININ GELİŞTİRİLMESİ” Projelerine temel olacak devrelerin analog kısımlarını barındıran bir geliştirme sürecidir. Bu tez çalışmasının temel amacı el hareketleri için veri bankası oluşturacak devreleri tasarlayıp geliştirmektir.

Çalışma kapsamında birinci bölümde EMG işaretinin oluşumu ve bu işaretin doğası hakkında kısa bir bilgilendirmeye gidilmiştir.

İkinci bölümde tasarımın parçalarını oluşturan etkin elektrot ve diğer yükselteçler için kullanılan tümleşik devreler ve özelliklerinden bahsedilip tasarım aşamaları anlatılmıştır.

Üçüncü bölümde tasarlanan devrenin baskılı devresinin gerçekleştirilmesi ve elemanların bu devreye montajı anlatılmıştır.

Dördüncü bölümde devreden elde edilen bulgular gerekli dalga şekilleriyle verilmiştir.

Beşinci bölümde ileriye yönelik yapılabilecekler tartışılmıştır.

Anahtar kelimeler: EMG yükselteci, aktif elektrot, ölçüm yükselteci

EMG AMPLIFIER DESIGN

ABSTRACT

In this study, a four-channel EMG amplifier device is designed, implemented and experimented. The designed EMG circuit is not for clinical purposes, it is mainly a development process including analog parts of the main circuits within the project “DEVELOPMENT OF AN ALGORITHMIC SIGNAL PROCESSING STRUCTURE REQUIRED FOR THE CONTROL OF AN ARTIFICIAL HAND BY SURFACE EMG” which is being held in the department of Electrical-Electronics Engineering. The main purpose of this thesis is to design and develop circuits to form a database for hand motions.

This thesis is organized as follows. A short introduction to EMG signal occurrence and nature of these signals are given and explained in section I.

In section II, the integrated circuit parts used for active electrode and other amplifiers, which constitute the design, are mentioned and design process is presented.

In section III, realization of printed circuit of the designed circuit and assembling of the part to this circuit are designed and developed.

The experimental results obtained from the circuit are given with the required waveforms in section IV.

Then in section V, the improvements that can be done in the future are concluded.

Keywords: EMG amplifier, active electrode, instrumentation amplifier

TEŞEKKÜR

Çalışmalarım boyunca bana yardımcı olan Yrd. Doç. Dr. İlyas EMİNOĞLU'na, tez çalışmamın düzeltilmesinde bana yardımcı olan Doç. Dr. Okan ÖZGÖNENEL ve Yrd. Doç. Dr. Nurettin ŞENYER'e, çalışma arkadaşım Arş. Gör. Tolga YÜKSEL'e, yardımlarını eksik etmeyen Y. Fatih Kurt'a ve proje arkadaşlarıma en içten teşekkürlerimi sunarım.

ŞEKİLLER LİSTESİ

Şekil 1.1 Ani, kararlı bir uyarımla ilgili zamana bağlı değişimler.....	3
Şekil 1.2 Bir insanın sert bir çakıl taşına bastığında uyarlanabilir dokunun devreye girmesi.....	4
Şekil 1.3: Aksiyon potansiyelin değişik hücreler için oluşumu.....	5
Şekil 1.4: Hücre zarının eşdeğer devresi.....	6
Şekil 1.5 Miyelinsiz aksonun net iyon akış eğrisi ve aksiyon potansiyel eğrisi.....	7
Şekil 1.6 Miyelin aksonlarındaki düğümler ve üretilen aksiyon potansiyeli.....	8
Şekil 1.7 Sinir uyarıtısı ve ilgili kasta oluşturduğu aksiyon potansiyeli.....	9
Şekil 1.8:Sinir ileti hızının ölçülmesi.....	9
Şekil 1.9 Orta hareket ettirici sinir iletimi için bağlantılar.....	10
Şekil 1.10: EMG işaretinin sıklık spektrumu.....	10
Şekil 1.11 Geribesleme yokken 50 Hz ortak mod girişimi.....	11
Şekil 1.12 Geribesleme yokken 50 Hz ortak mod girişimine binmiş EMG işareti.....	12
Şekil 1.14: Kas işaretlerinin alınabileceği ve elektrotların bağlanabileceği noktalar.....	13
Şekil 2.1: EMG yükseltici geliştirme aşamaları.....	14
Şekil 2.2: Tümüyle atılır elektrot (a) şekli (b) resmi.....	15
Şekil 2.3: Deri- yüzey elektrodu eşdeğer devresi.....	16
Şekil 2.4: Aktif elektrod (a) modeli (b)gerçeklenen elektrod.....	17
Şekil 2.5 Çıkış empedansları.....	19
Şekil 2.6 Maksimum çıkış gerilim sınırları.....	20
Şekil 2.7 AD8221 için ortak mod bastırma oranının frekansla değişimi.....	20
Şekil 2.8: Gerilim izleyici devresi.....	21
Şekil 2.9: Toplayıcı devresi.....	21
Şekil 2.10: Fark yükseltici.....	22

Şekil 2.11: Ölçüm yükselteci.....	23
Şekil 2.12: AD8221 in basitleştirilmiş iç yapısı.....	24
Şekil 2.13: AD8230'un faz örnekleme biçemi.....	24
Şekil 2.14: OPA4277 nin iç yapısı.....	25
Şekil 2.15: 3.4 kHz köşe frekansına sahip LTC1065'in kazanç-frekans eğrisi	26
Şekil 2.16: Saat frekansına göre K değişimi	26
Şekil 2.17: Saat frekansına göre parametre değişimleri	27
Şekil 2.18: Elektrot çiftini ve bacağa doğru geribeslenen ortak mod işaretini gösteren EKG ölçümü.....	28
Şekil 2.19: Ortak mod işaretinden kurtulmak için yükseltecin ortak mod bastırma yeteneğinden faydalanmak	29
Şekil 2.20: Elektrot çiftini ve kola doğru geri beslenen ortak mod işaretini gösteren EMG ölçümü.....	30
Şekil 2.21: D1 D1, D2, D3, D4 yüksek gerilimden korunmak için konmuş diyotlar	30
Şekil 2.22: $C_{XCM1,2}$ ve C_{XD} ile yüksek frekanstaki gürültünün ayıklanması.....	31
Şekil 2.23: EKG devresi.....	32
Şekil 2.24: LT1168 kullanan sinir dürtü yükselteci.....	33
Şekil 2.25: Çıkış geriliminin doğrusal olmayan kazancın çeşitli değerleri için değişimi.....	33
Şekil 2.26: 13 Hz kesim frekanslı olan yüksek geçiren süzgeç.....	34
Şekil 2.27: 13 Hz kesim frekanslı olan yüksek geçiren süzgecin frekans-zayıflama eğrisi...	35
Şekil 2.28: Tasarlanan devrenin ilk katı: Ön Yükselteç Devresi.....	35
Şekil 2.29: Tasarlanan devrenin ikinci katı.....	36
Şekil 2.30: Tasarlanan devrenin üçüncü katı.....	37
Şekil 3.1: Sinyal dönüş akımının etkisi.....	39
Şekil 3.2: Basılan devrenin benzetim programındaki görünümü.....	40
Şekil 3.3: Devrenin kazınmış görünümü (İkinci kat-Ön yüz)	41
Şekil 3.4: Devrenin kazınmış görünümü (Arka Yüz)	41

Şekil 3.5: Lehim yapmak için gerekli aygıtlar.....	42
Şekil 3.6: Etkin elektrot.....	43
Şekil 3.7: Devrenin ikinci ve üçüncü katlarının dört kanallı olarak kazınmış devrede gerçekleşmiş görünümü.....	44
Şekil 3.8: Ölçüm için hazırlanan bağlantılar.....	44
Şekil 3.9: Yükseltecin kutulanmış hali	45
Şekil 4.1: Kaslar durağan konumdayken ve geribesleme yokken frekans karakteristiğinin osiloskop çıktısı.....	46
Şekil 4.2: Kaslar durağan konumdayken ve geribesleme varken frekans karakteristiğinin osiloskop çıktısı.....	47
Şekil 4.3: Kaslar durağan konumdayken ve geribesleme yokken dalga şekli.....	47
Şekil 4.4: Kaslar durağan konumdayken ve geribesleme varken dalga şekli.....	48
Şekil 4.5:Kaslar durağan konumdayken ve geribesleme yokken orta uç referans işaretinin dalga şekli.....	49
Şekil 4.6:Kaslar durağan konumdayken ve geri besleme varken referans işaretinin dalga şekli.....	49
Şekil 4.7: Kol kasından işaret alınan bölgeler.....	50
Şekil 4.8: Kasılan pazu kasının osiloskop çıktısı.....	51
Şekil 4.9: Kasılan bilek kasının osiloskop çıktısı.....	51
Şekil 4.10: CMRR ölçümü için oluşturulan deney düzeneği.....	52
Şekil 4.11: Koldaki 4 kasın EMG Görüntüsü (El açıkken).....	53
Şekil 4.12: Koldaki 4 kasın EMG Görüntüsü (Pazu kası kasılırken).....	53
Şekil 5.1: Devre çıkışının D-A dönüşümden sonra yalıtılması.....	55

Simge ve kısaltmalar listesi

Simge	Açıklama
A	Amper
Ag	Gümüş
AgCl	Gümüşklorür
dB	Desibel
G	İletkenlik
Hz	Hertz
kV	Kilovolt
kHz	Kilohertz
mV	Milivolt
MΩ	Megaohm
V	Volt
μV	Mikrovolt
°C	Santigrat Derece

Kısaltma	Açıklama
AP	Aksiyon Potansiyeli
BG	Band Genişliği
K _G	Gerilim Kazancı
CMRR	Ortak Mod Bastırma Oranı
EKG	Elektrokardiyogram
EMG	Elektromayogram
RMS	Etkin değer

1. GİRİŞ

Elektromyografi (EMG), biyolojik kökenli myoelektrik etkinliğin yani kasların kasılması ve durağan halde kalması durumunun elektriksel işaretler bakımından araştırılmasıdır. Daha geniş bir tanımla, beyinden sinir sistemi aracılığı ile vücuttaki kas gruplarına iletilen ve bilgi taşıyan işaretlerin vücut tarafından belli kas bölgelerinde kasılmaya yol açması sonucu ortaya çıkan elektriksel etkinlikler toplamıdır. Kasılan kaslar, kasılma şiddetine ve süresine bağlı olarak elektriksel işaretler üretmektedirler. Kasılan kasları ve bu emri taşıyan sinirlerin oluşturduğu işaretlerin tümü EMG işaretleri olarak adlandırılırlar.

Amaç, kasların kasılmasını sağlayan elektriksel eylemin izlendiği ve yorumlandığı bir kas incelemesi yapmaktır. Bu sayede sinir dokusunda bulunan emirler alınıp yorumlanabilmektedir.

Diğer biyolojik kökenli elektriksel işaretler gibi (EKG-kalp işareti, EEG-beyinsel işaret) EMG işareti de yükseltilmeye ihtiyaç duyar. Bu yükseltecin EMG işaretinin yapısına uygun olarak tasarlanmaya gereksinimi vardır. Lee ve ark. yaptıkları kablosuz EMG önyükselteç tasarım çalışmasında 2 kanallı bir elektrod kullanarak alınan EMG işaretlerini basit bir yüksek geçiren süzgeçten geçirerek doğrudan bir sayısal işaret işleyiciye verebilecek bir devre tasarlamışlardır (Lee ve ark., 2006). Shimomura ve ark. basit bir EMG devresi ile yükseltilecek işaretin RMS değerini alıp ve değeri DC çıkış olarak veren bir devre tasarlamışlardır (Shimomura ve ark., 1999). Fidan ve Güler EKG, EMG, kalp atım hızı, solunum hızı, vücut sıcaklığı gibi fizyolojik verilerin ölçümü ve kablosuz olarak iletimi için bir biyometri cihazı tasarlamışlardır (Fidan ve Güler, 2007). Siriprayoonsak yaptığı tez çalışmasında 4 kanallı bir EMG cihazı tasarlamıştır (Siriprayoonsak, 2005). Bu cihazın basitleştirilmiş hali “BİR PROTEZ ELİN YÜZEY EMG’Sİ İLE DENETİMİ İÇİN GEREKLİ ALGORİTMİK İŞARET İŞLEME ALTYAPISININ GELİŞTİRİLMESİ” projesi kapsamında gerçekleştirilmiştir.

Bu tez çalışmasında gerçekleştirilen proje devresinin eksikliklerinin giderilmesi amaçlanmıştır. Tezin izleyen bölümlerinde EMG işaretinin gürültüsüz ve güvenilir bir şekilde alınabileceği analog devrenin tüm katları ve bu katların işlevleri hakkında bilgi verilecektir.

1.1. EMG’nin Doğası

Biyolojik işaretlerin temelini hücredeki elektrokimyasal olayların sonucunda oluşan aksiyon potansiyeli oluşturur. EMG işareti elektriksel bakımdan etkin bir hücrede temel

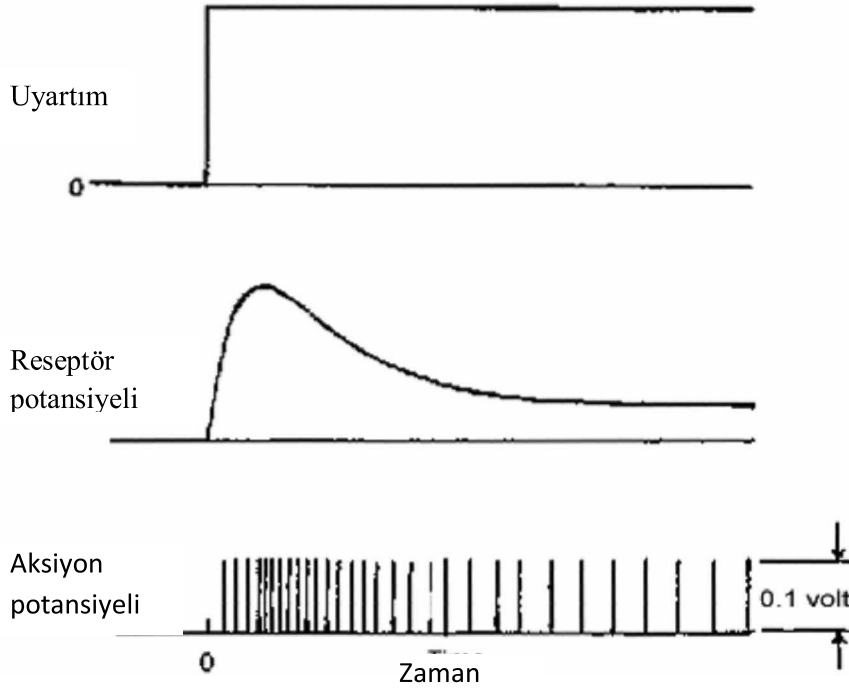
olarak tek bir sinir ya da kas hücresinden alındığında bir ani gerilim yükselmesi (spike) şeklinde gelişir. Bu patlamayı oluşturan potansiyele aksiyon potansiyeli (AP) denir. Ölçüm yapılacak olan işaret bu patlamaların toplamalarının oluşturduğu işarettir.

Aksiyon potansiyeli hücrenin içi ve dışındaki yüklü kimyasalların değişimiyle gerçekleşir. Hücre, çekirdek, sitoplazma deneni ve diğer organelleri barındıran hücre akışkanı ve sitoplazmayı çevreleyen hücre zarından oluşmuştur. Hücre zarları eşik düzeyi olarak isimlendirilen bir değerin üzerindeki bir işaret ile uyarılacak olursa bu uyarı bütün hücreye yayılır. Uyarma şekli elektriksel, kimyasal, optik, ısı veya mekanik olabilir (Yazgan ve Koruürek, 1996).

Sinir sisteminde iki tip doku vardır: uyarılabilir doku ve uyarılamaz doku. Nöronlardan oluşan uyarılabilir doku sinir uyarısına tepki verir ve sinir uyarısını iletir. Glial hücrelerinden oluşan uyarılamaz dokular ise glial hücreleri iletken olmadıklarından ve sinir sisteminde sadece destek hücreleri olarak görev yaptıklarından herhangi bir gerilime (voltaj) veya herhangi geleneksel bir uyarıya tepki vermezler.

Uyarılabilir hücreler dört bileşene ayrılabilir: algılayıcı reseptörler, nöron hücre gövdeleri, aksonlar ve kas fiberleri (Siriprayoonsak, 2005). Sert bir çakıl taşı veya sıcak bir yüzeyle temas gibi zararlı uyartım içeren bir durumda oluşan acı ve basınç algılayıcı reseptörler tarafından iletilir. Acı algılayıcı hücrenin zar geçiş potansiyel farkı olan *reseptör potansiyeldir*. Algılayıcı iletimleri tarafından oluşan reseptör potansiyeli, *aksiyon potansiyeli* (AP) olarak adlandırılan hızlı gerilim darbe uyarılarını türeten nöron tetiklemesini oluşturmak için algılayıcı reseptörlerin zar potansiyelini eşikten fazla yapan içe doğru akım akışı sonucu oluşur.

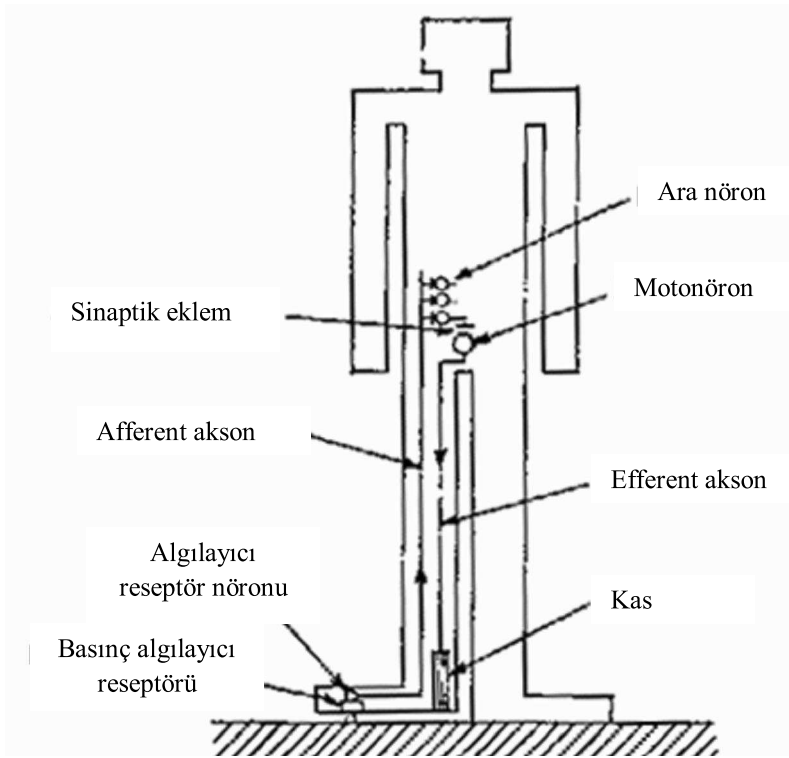
Şekil 1.1' de gösterildiği üzere yüksek-basınçlı sabit bir uyartım tarafından tetiklenen algılayıcı reseptör ilk olarak daha düşük ve kararlı seviyeye düşen bir yüksek alıcı potansiyeli türetir. Reseptör potansiyelindeki bu düşüş *uyarlama* olarak adlandırılır. Nöronlar tarafından türetilen bu aksiyon potansiyeli 0.1 V genliğe sahiptir (Siriprayoonsak, 2005), ve bu değer mükemmel bir şekilde insana tüm hayvanlar tarafından paylaşılır (Gulrajani, 1998).



Şekil 1.1 Ani, kararlı bir uyartımla ilgili zamana bağlı değişimler(Gulrajani, 1998)

Bu düşüşü engellemek amacıyla, nöron sinir aksonundan spinal kordun temeli boyunca bir mesaj gönderir. Akson veya sinir fiberi somadan veya sinir hücre gövdesinden elektriksel darbeleri ileten sinirin narin bir izdüşümüdür. Aksonların iki tipi vardır: *afferent* ve *efferent* aksonları. Afferent veya algılayıcı aksonlar merkezi sinir sistemine önderlik ederler ve çevresel sonlandırıcılardaki algılayıcı reseptörlerden spinal korda veya beyine mesajları taşırlar. Efferent akson veya motor akson, spinal kordan başlar ve kas belleği ve el-göz eşgümünün anahtar etkeni olan birincil hassasiyeti değiştirmek için kas ilmiklerini ve kas kasılmalarını uarmak için kas fiberleriyle sinaplarla tüm vücut parçaları boyunca bilgiyi taşırlar. Bu iki tip akson yüksek hızda mesajları iletmek için tasarlandıklarından, çapları 0.001 ve 0.022 mm. dir ve çapları 0.0003 ve 0.0013 mm olan sıradan aksonlardan daha uzundur (Siriprayoonsak,2005). Sıradan aksonlarla karşılaştırıldığında efferent ve afferent aksonlar tuzlu ortamda iletimin sonucunda darbelerin hızı arttıran bir elektriksel yağlı yalıtım katmanı olan miyelin katmanından daha kalındır. Böylece, yük sızıntısını tutması sayesinde miyelinlenmiş aksonlar dalgalardan ziyade başarılı düğümlerde tekrar tekrar oluşan ve böylece darbe hızı arttıran ve böylece akson boyunca “hop”layan aksiyon potansiyellerini yayar. Geniş çap ve kalın miyelin kılıflarıyla, tüm sinyaller saniyede 120 metre veya saatte 270 mil ile afferent ve efferent aksonları boyunca dolaşabilir. Diğer taraftan acı ve ısı değişimi gibi basit eylemlerden sorumlu sıradan aksonlar düşük hızlı sinyalleri taşımak için yeterli olan küçük çapa ve miyelinsiz fiberlere sahiptirler.

Şekil 1.2’de gösterildiği üzere afferent aksonlar aksiyon potansiyel patlamasını nörondan sadece diğer nöronlarla veya motor nöronla haberleşen bir nöron olan ara nörona taşır. Bu, snapsisler olarak adlandırılan dar bir sıvı kapalı boyunca salınan bir kimyasal iletişime sebep olur. Daha sonraki kısım nöronlara başka bir nöron veya kas veya bez gibi bir hedef hücreye sinyal taşınmasına izin veren özel eklemlerdir. Aksiyon potansiyelleri bu eklemi, aksiyon sinyallerini ayak kasına geri taşıyan efferent aksonuna mesaj erişene kadar süreç devam ettiği sürece ya başka bir aranörona veya motonörona doğru geçerler. Sinyal kas dokusuna ulaştığında, mesaj ayağın taştan kaldırılmasıyla sonuçlanan anlaşmayı söyleyen mesaj emrini uygular.

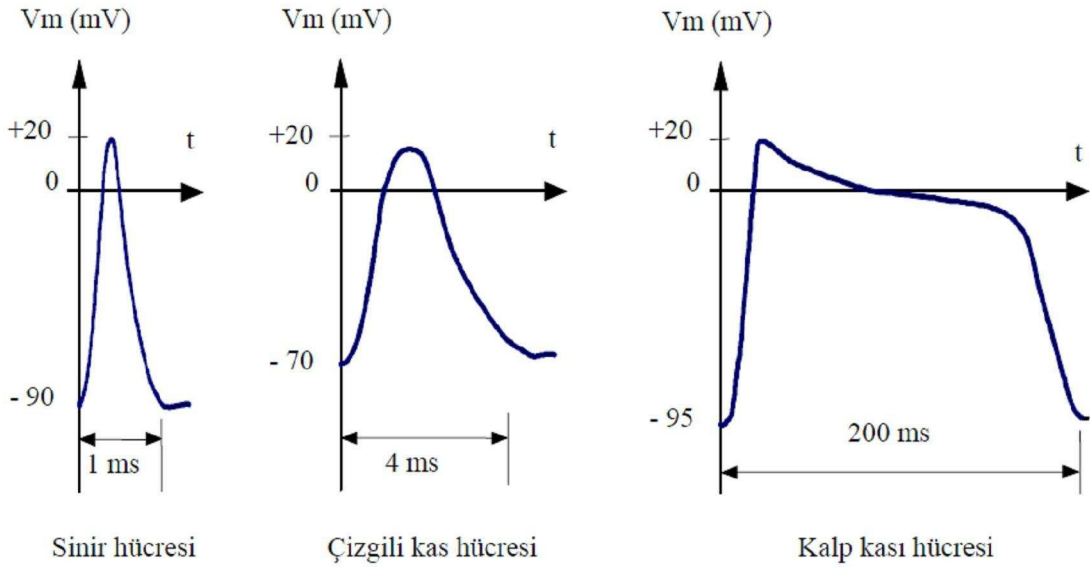


Şekil 1.2 Bir insanın sert bir çakıl taşına bastığında uyarlanabilir dokunun devreye girmesi(Siriprayoonsak, 2005)

1.2 Aksiyon Potansiyeli Oluşumu

Uyarılabilir bir hücre zarındaki akımlar birbirine paralel iletkenlerin ve sıvının ürettiği akımların toplamıdır. Eğer hücreye depolarize edici güçlü bir elektriksel uyarı verilirse, hücre karakteristik bir yanıt verecektir. Bu yanıt aksiyon potansiyeli adı verilir. Depolarizasyon dinlenme durumunda sodyum ve potasyum iletkenliği olmadığından sızıntı iletken üzerinden akan akım zarı daha pozitif seviyelere çekecektir.

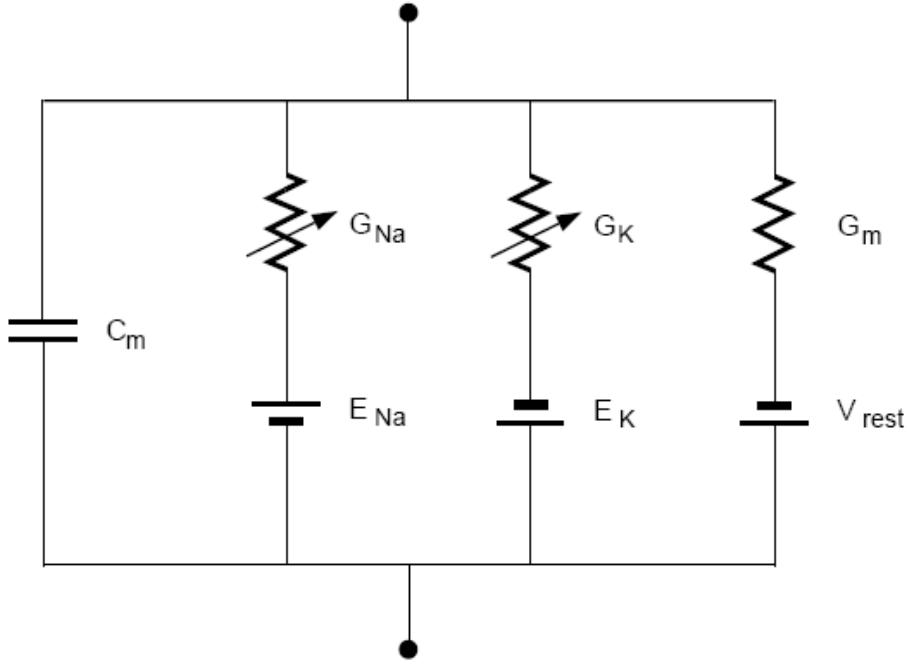
Depolarizasyon sodyum kanallarını aktive edecek bunların yaratacağı depolarizasyon daha çok sodyum kanalını aktivasyonuna neden olacaktır. Bu pozitif geri besleme olayıyla sodyum kanalları hızla açılıp zar potansiyelini E_{Na^+} 'ya doğru çekecektir. Bu şekilde aksiyon potansiyelinin çıkan kolu hızla oluşmaya başlar. Depolarizasyon eş zamanlı olarak sodyum kanallarını etkisizleştirmeye ve potasyum kanalları açmaya başlar. Ancak bu her iki olay sodyum kanalı etkinleştirmesinden 10 kez kadar daha yavaş gelişirler. Etkisizleştirme sonucu açık sodyum kanalı sayısının hızla gerilemesi ve daha fazla potasyum kanalının açılması zar potansiyelini tekrar azalmaya zorlar. Bir süre sonra açılan sodyum kanallarının tamamı etkisiz olduğundan zar potansiyeli dinlenme potansiyeline yaklaşır ve hala açık durumdaki bir kısım potasyum kanalı nedeniyle bir miktar hiperpolarize olduktan sonra dinlenme durumuna geriler (Gulrajani,1998).



Şekil 1.3: Aksiyon potansiyelinin değişik hücreler için oluşumu

Hücre zarı iyon akışına göre C_m dediğimiz bir kapasiteye sahiptir. Ayrıca her bir iyon için zar potansiyeline göre değişen bir $G(V_m)$ iletkenliği vardır. Bu yüzden hücre zarı doğrusal olmayan bir davranışa sahiptir.

Hücre zarının elektriksel eşdeğerinin bir devre ile temsili Şekil 1.4 ile gösterilmiştir;



Şekil 1.4: Hücre zarının eşdeğer devresi(Gulrajani, 1998)

Burada G_K ve G_{Na} birbirinden bağımsız iyon akış kondüktanslarıdır; G_L ise kaçak iyon akışı kondüktansıdır. Bu kondüktanslar birbirinden bağımsızdır.

G_L olarak varsayılan kaçak akım kondüktansı göreceli olarak daha düşüktür.

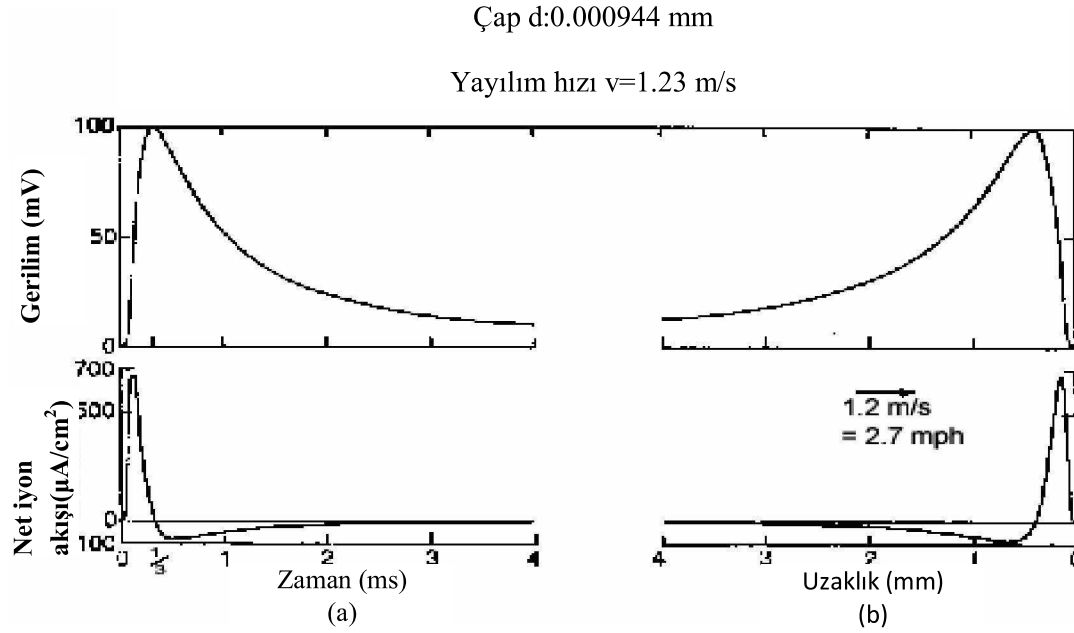
1.3 Aksiyon Potansiyelin Yayılımı

Bu bölümde miyelinsiz ve miyelinli aksonların nasıl aksiyon potansiyellerini ürettiğine odaklanacaktır. Yeniden üretilen sinir fiberleri miyelinli ve miyelinsiz olabilir (Siri-prayoonsak,2005). Daha önce belirtildiği üzere, miyelinsiz fiberler düşük hızlı sinyalleri taşımak için ince zarlara sahiptir. Diğer taraftan miyelinli aksonlar yüksek hızlı sinyalleri taşımak için kalın zarlara sahiptir.

Miyelinli fiberlerde, AP okyanus dalgası şeklinde yayılırlar. Zar boyunca olan gerilim 8 mV 'luk eşiği aştığında, yeniden üretilen akson aksiyon potansiyeli üretmeye başlar. Miyelinli aksonun ince zarı iyonların zar boyunca kolayca hareket etmesine izin verir. Şekil 1.4 miyelinsiz aksonlar tarafından başlatılan AP dalga formunu göstermektedir.

Şekil 1.5'teki net iyon akışı Hodgkin Huxley modelinden daha basit ve daha az doğruluklu bir model olan bir RC kablodaki darbenin modeli üzerine kurulmuştur.

Şekil 1.5 (a) aksiyon potansiyelini üreten net iyon akışını göstermektedir. Gerilim değerindeki düşmeden önce tepe değeri olan 100 mV'a yükselmektedir. Şekil 1.4 (b) gerilime ve akıma karşılık uzunluğun eğrisini göstermektedir. Uzaklık ve zaman eğrilerinin birbirlerinin ayna görüntüsü olması ilginçtir. Genellikle uzaklık eğrisi zaman eğrisinden farklı olurken, miyelinli akson aksiyon potansiyelinin aynı şekle ve genliğe sahip uzaklık ve zaman eğrilerini üretebilir[47].



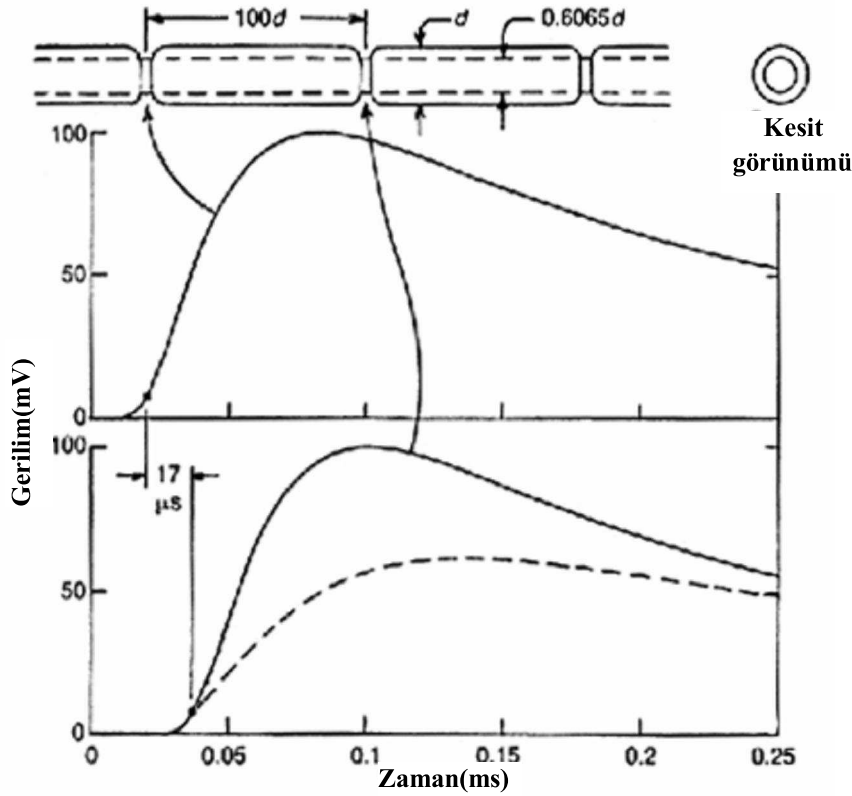
Şekil 1.5 Miyelinsiz aksonun net iyon akış eğrisi ve aksiyon potansiyel eğrisi (Gulrajani, 1998).

Miyelinsiz aksonlarla karşılaştırıldığında miyelinli aksonlar daha kalın duvara sahiptir. Bu sodyum ve potasyum iyonlarının akson zarı boyunca hareketini imkansız hale getirir. Sonuç olarak, aksiyon potansiyelinin yeniden üretilmesi oluşamaz. Yine de, kalın zar kırılmadan aksonun yüksek gerilim mesajları taşımaya izin verir (Siriprayoonsak, 2005).

Kalın,yeniden üretilmeyen miyelin zarı *Ranvier* düğümleri olarak bilinen periyodik düğümler tarafından uzak tutulur (Siriprayoonsak, 2005). Düğümler Şekil 1.5'te yukarıda gösterildiği üzere 100 çap kadar uzaktadır.

Şekil 1.6'da yukarıdaki dalga şekli soldaki ilk düğüm tarafından başlatılan aksiyon potansiyelinin şeklidir. Teorik olarak daha sonra aksiyon potansiyeli resmin altında gösterildiği üzere kesikli çizgiye düşecektir. Bunun yerine, aksiyon potansiyeli '.' (noktalarla) gösterilen 8 mV'a ulaştığında ikinci düğüm alttaki dalga şeklinde gösterildiği üzere yeni bir

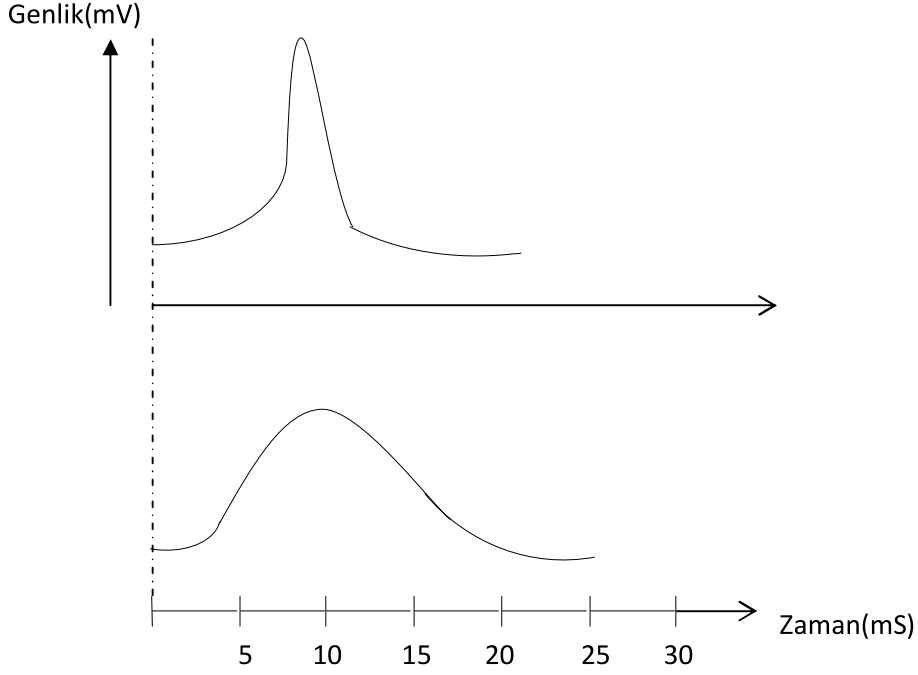
aksiyon potansiyeli üretmek için ateşler. Düğümdeki bu yeniden üretme miyelinsiz aksondakiyle aynıdır.



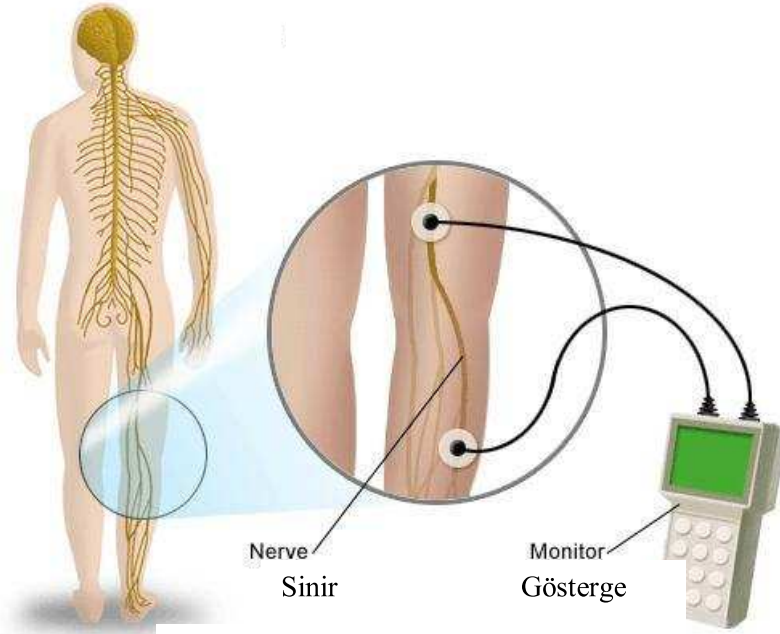
Şekil 1.6 Miyelin aksonlarındaki düğümler ve üretilen aksiyon potansiyeli(Gulrajani, 1998)

Vücutta birçok işleve ve özelliğe sahip kas vardır. Bu da birçok sınıflandırma şekline karşılık gelir. Bunlardan en çok kullanılan sınıflandırma ise yapılarına göre kaslardır. Biz bu kas çeşitlerinden istemli olarak kasılabilen iskelet kasları üzerinde ölçüm yapacağız. Bu kaslar istendiğinde uzayabilir, eski durumuna geri dönebilir ve kasılabilirler.

Kas lifi uyarıldığında kasılır. Gerekli uyarı motor siniri ile gelir, fakat kas elektrik akımı gibi bir uyarıya da cevap verir. Kasa bir uyarı (stimulus) uygulandıktan sonra bir zaman gecikmesi ile kasılma fazı ve bundan sonra bir dinlenme fazı şeklinde hareket olur. Şekil 1.7’de dışarıdan verilen bir uyarıya kasın verdiği yanıt gösterilmiştir (Altınbaş, 2007). Buradan çıkarılabilecek sonuç kasın sinir tarafından getirilen ve kasa iletilen elektriksel uyarıya yanıtı bu işareti yayma şeklinde gerçekleşir. Yani kas hücresi kendine gelen elektriksel uyarıya karşı alçak geçiren süzgeç gibi davranır.



Şekil 1.7 Sinir uyarıtısı ve ilgili kasta oluşturduğu aksiyon potansiyeli(Korürek, 2000).



Şekil 1.8:Sinir ileti hızının ölçülmesi

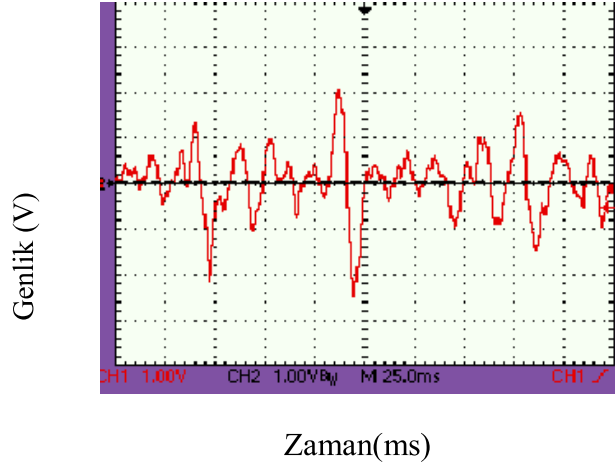
Şekil 1.8 ve 1.9'daki gibi bir hastaya sinir uyarıtısı verilerek bu uyarıtının etkin olduğu kas grubundaki potansiyel değişimi irdelenir ve bu sinir hattındaki hız hesaplanabilir. Bunun yanında verilen potansiyelin gerektirdiği karşılıklı potansiyel irdelenerek burada bir zedelenme olup olmadığı hakkında fikir alınabilir.



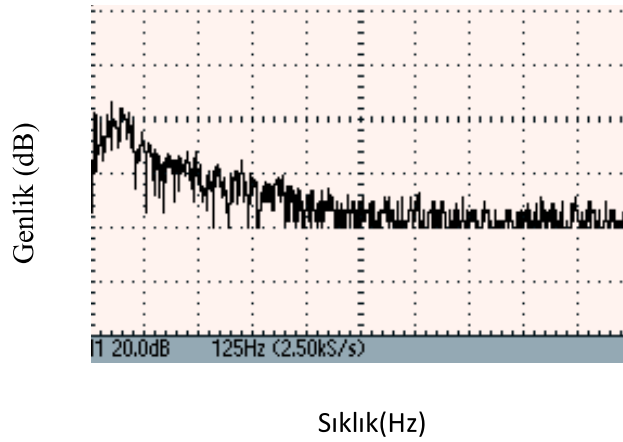
Orta hareket ettirici sinir iletimi için bağlantı şekli.

Şekil 1.9 Orta hareket ettirici sinir iletimi için bağlantılar

1.4 EMG İşaretinin Tasarlanacak Yükselteç Bakımından Özellikleri:



(a)



(b)

Şekil 1.10: EMG işaretinin sıklık spektrumu

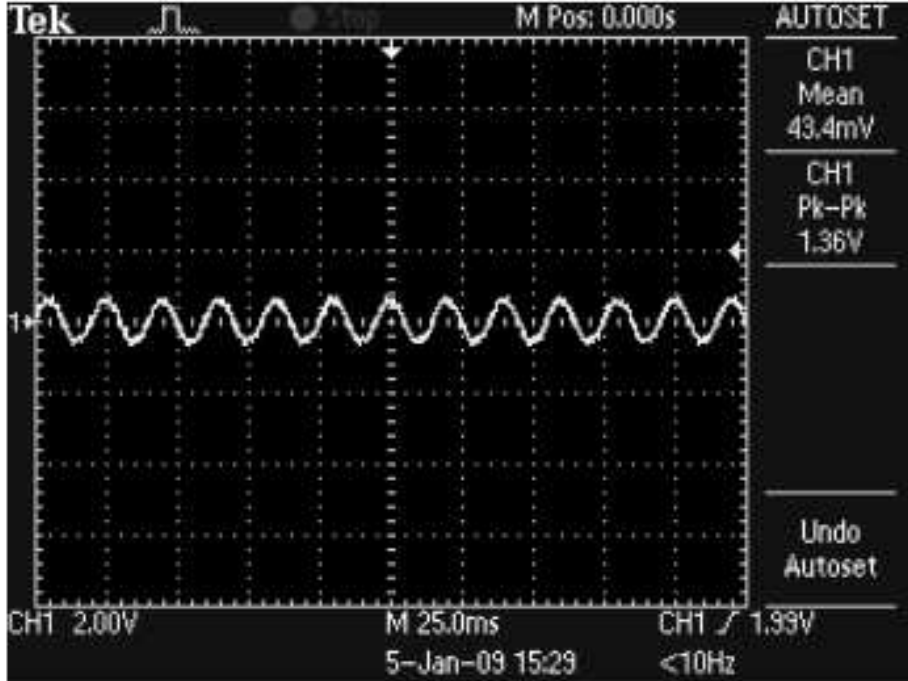
(a) EMG işareti (b) Sıklık spektrumu

Şekil 1.10'da gösterilen örnek EMG işareti kasılmış pazu kasının genliği 1200 kat yükseltilmiş haline aittir. Bir EMG işareti karakteristik olarak, tepeden tepeye 0-10mV genliğe sahiptir. Kullanılabilir enerji aralığı 0-500Hz, baskın enerji aralığı ise 50-150Hz 'dir. Bu da bizim hangi işaret kuşağını kullanacağımıza yol gösterir. Bu kuşağın dışında kalan kısımların bastırılması işaretin karakteristiğine bozucu bir etkide bulunmayacaktır.

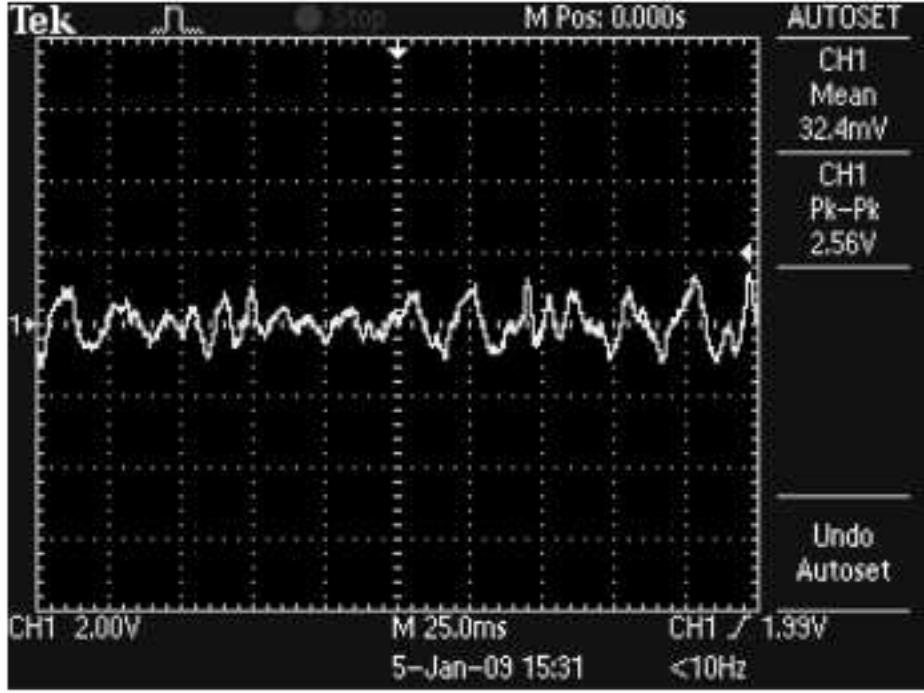
1.4.1 Bozucu Etkiler

Bozucu etkiler kas işareti dışında kas kasılma işaretinin frekans bandının içine düşen ve işaretin yapısını etkileyen tüm işaretlerdir. Bu işaretlerin tamamından kurtulmak olanaksızdır. Bu etkiler aşağıda sırasıyla verilmiştir.

a) Enerji iletim hatlarından kaynaklanan girişim: Kaçınılmaz olan bu bozucu etkinin geriliminin genliği EMG sinyalinin bir katından birkaç katına kadar çıkabilir ve baskın frekansı 50Hz'dir. Yapılan deneylerde iletim hatların uzaklaştırıldığında zayıfladığı gözlemlenmiştir. Yine de enerji iletim hattından tamamen yalıtılmış bir ortam oluşturmak oldukça zordur. Tamamıyla bastırılması oldukça zordur.



Şekil 1.11 Geribesleme yokken 50 Hz ortak mod girişimi



Şekil 1.12 Geribesleme yokken 50 Hz ortak mod girişimine binmiş EMG işareti

Şekil 1.11 ve şekil 1.12'den de görülebileceği gibi kas kasılması sırasında oluşan işaretin büyük bir oranı ortak mod işaretidir.

b) Çevre gürültüsü: Radyo iletimi, flüoresan aydınlatmaları gibi elektro-magnetik ışınım kaynaklarının oluşturduğu gürültü biçimidir. Band genişliği megahertzler mertebesindedir.

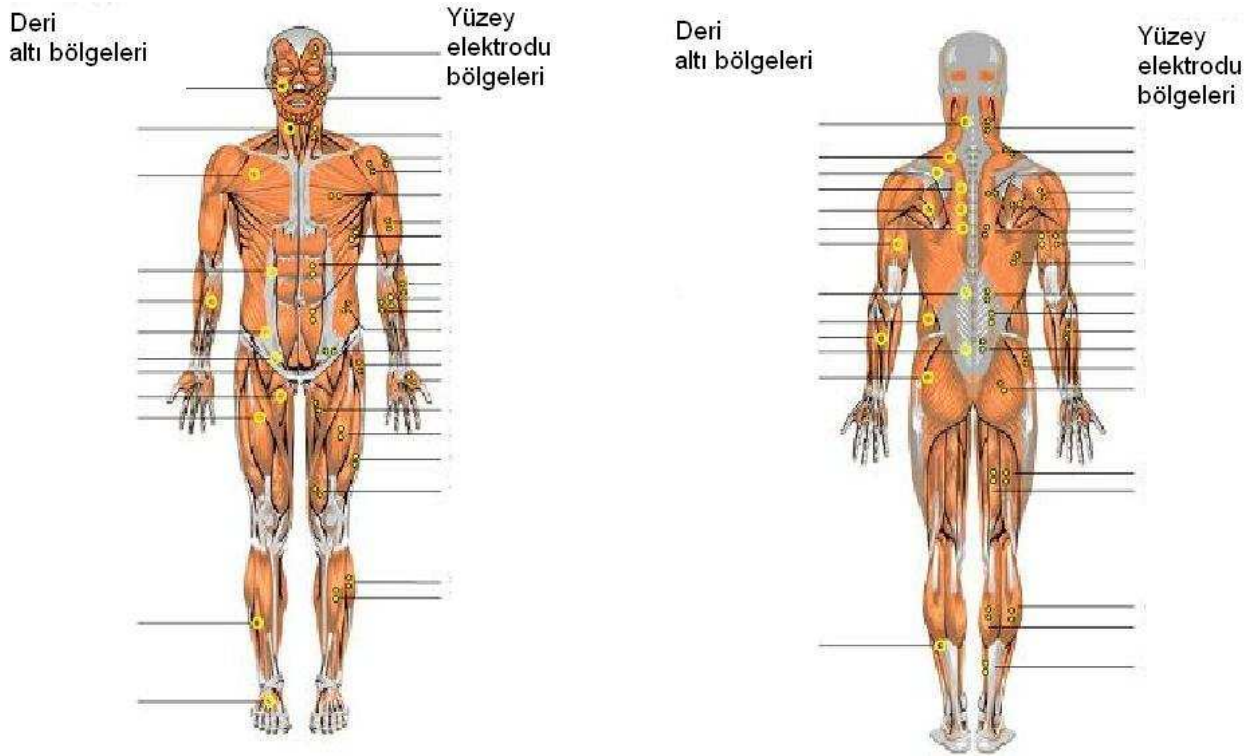
c) Elektriksel aygıtların içsel gürültüsü: Tüm elektriksel aygıtlar bu gürültüye sahiptir. Frekans aralığı 0 ile binler düzeyinde Hz aralığında değişebilen bu gürültü giderilemez. yüksek kaliteli aygıtlar kullanılarak azaltılabilir (Korürek, 2000).

d) Hareket gürültüsü: Elektrot-deri ara yüzü ve elektrot kablosu kaynaklı bir gürültüdür. Deri ve elektrot arasındaki sıvının yer değiştirmesi yüzünden oluşur. Uygun devre ve kurulum ile azaltılabilir. Frekansı 0-20Hz aralığındadır.

e) Diğer beden elektriksel etkinlikleri: Vücutta birçok olay elektrokimyasal olarak gerçekleşmektedir. Bunun yanında ölçülen kas etkinliği yanında iç organlar ve ölçülmesi istenmeyen kasların işaretleri de girişe gelmektedir. Ölçüm açısından çok etkili olmasa da göz ardı edilemeyecek bir gürültü topluluğu olduğunu söyleyebiliriz.

1.4.2 EMG İşaretinin Alınabileceği Noktalar

Kas işaretinin nasıl alınacağını bilmemiz gereklidir. Kas işareti vücudumuzda sadece yüzeye yakın olan kas gruplardan ve ilgili kas dokusu boyunca ölçülür. Şekil 1.13'te kas işaretinin hangi kaslardan alınabileceği ve elektrotların hangi noktalara yerleştirildiğinde işaret alınabileceği gösterilmiştir. Bunun yanında kişi üzerinde ölçüm yapılacağına önce bu kas grubunu kasarak en fazla kasıldığı elle de hissedilen bölgenin iki ucu arasından ölçüm almak daha yüksek genlikli işaretlerin alınmasını sağlamaktadır.



Şekil 1.13: Kas işaretlerinin alınabileceği ve elektrotların bağlanabileceği noktalar

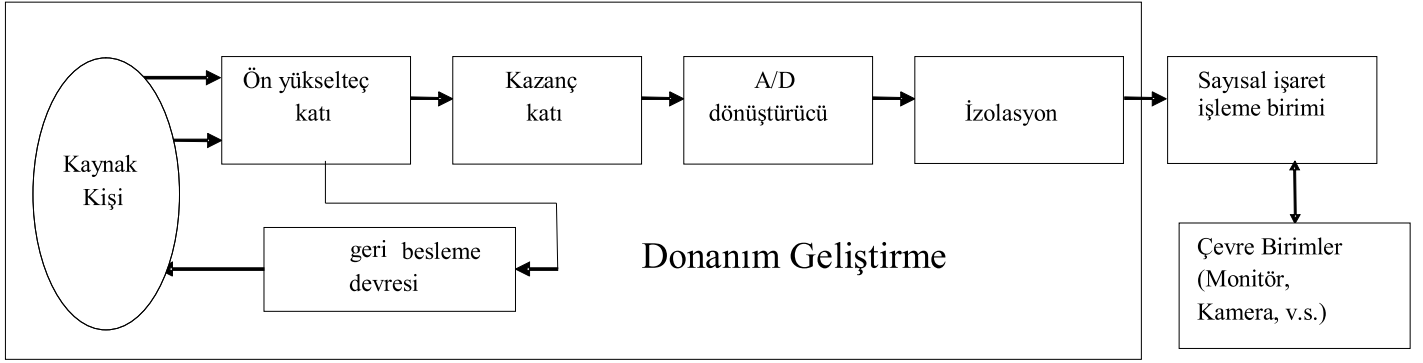
2. YÖNTEM

Bu bölümde devre tasarımında kullanacağımız devre parçaları, bunların özellikleri ve kullanım şekillerinden bahsedilecektir.

2.1 Devrenin Temel Katları

EMG işaretini kabaca tanıdıktan sonra yapmaya çalışılan tasarımın nasıl bir yapının içine oturduğunu ele almak gerekir. Buradaki temel amaç elde bulunan tasarımların tüm katlarında iyileştirme yapıp, nitelikli EMG verisi almak için ucuz ve güvenilir çok kanallı bir EMG yükselteci elde etmektir.

Şekil 2.1'den de görülebileceği gibi analog devre gürültüyü azaltan bir geri besleme devresi ve kazancı gerekli görülen genlik sınırlarına yükselten bir yükselteçten ibarettir.



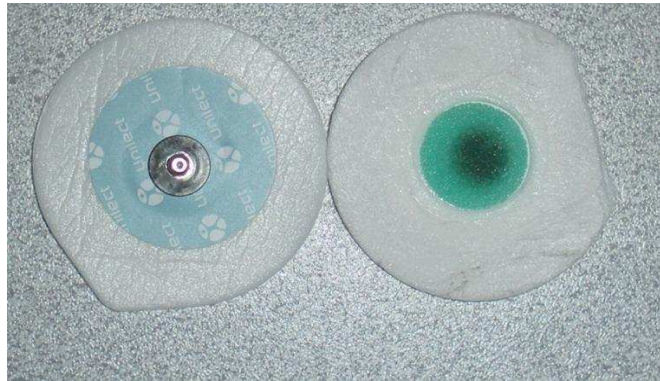
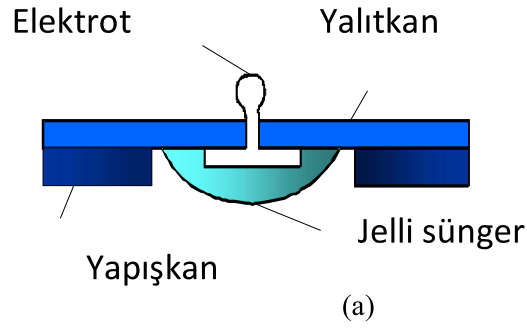
Şekil 2.1: EMG yükselteci geliştirme aşamaları

2.2 Kullanılan Elektrot:

Tasarlanacak devrenin bir yükselteç devresi olması su götürmez bir durumdur. Devrenin kazanç katının, doğrusal zamanla değişmeyen yani kazancında zamana bağlı istenmeyen değişikliklere yol açmayacak bir dizge olması gereklidir. Bunun yanında girişe verilen her genlik mertebesindeki işareti ve band içinde bulunan tüm işaretleri aynı oranda yükseltmesi istenmektedir. Bunun yanında devrenin dış etkilerden en az etkilenmesi gerekmektedir. Kullanılacak etkin devre elemanlarının durumu göz önüne alındığında çok yüksek kazanç değerlerine ulaşıldığında dizge doğrusallık, zamanla değişmezlik, sıcaklığa karşı duyarlılık gibi parametreler bakımından sorunlu duruma gelmektedir. Bunun yanında devrenin girişlerinin kaynak kişiye uzak olması gürültüye karşı duyarlılığı arttırmaktadır. Bu yüzden devrenin yükseltme katını, geribesleme yapılacak işareti alan ve

yükseltilecek EMG işaretini gürültüden daha az etkileneceği bir genliğe yükselten bir ön yükselteç katıyla; işaretin geri kalan kazancını üstlenecek bir asıl yükselteç katına ayırmak daha mantıklı görünmektedir. Elde ettiğimiz bu bilgiler ışığında yaptığımız tasarımlar etkin elektrot kullanılacak şekilde olacaktır. Bu elektrot deri yüzeyine yapıştırılır ve deri yüzeyinden ölçüm alınır. Tam olarak algılayıcı olarak kullanılan elektroda eklenen etkin bir ön yükseltme katıyla birlikte oluşturulan dizgeye etkin elektrot adı verilmiştir. Etkin elektrodun şekli ve resmi Şekil 2.2’de verilmiştir. 2.2 (b)’de verilen elektrot görüntüsünde soldaki elektrot fotoğrafı devreye bağlanacak olan bir tür çıtçıtın bağlanacağı kısımdır. Sağdaki fotoğraf ise yapışkan kısmı ve jelli süngerini göstermektedir. Bu elektrodun pasif kısmının özellikleri aşağıda verilmiştir.

- Tümüyle atılır Ag-AgCl elektrot
- EKG için göğüs elektrodudur.
- Elektrot tabanına yapışık jel emdirilmiş süngeridir.
- Bir kere kullanılır ve atılır.

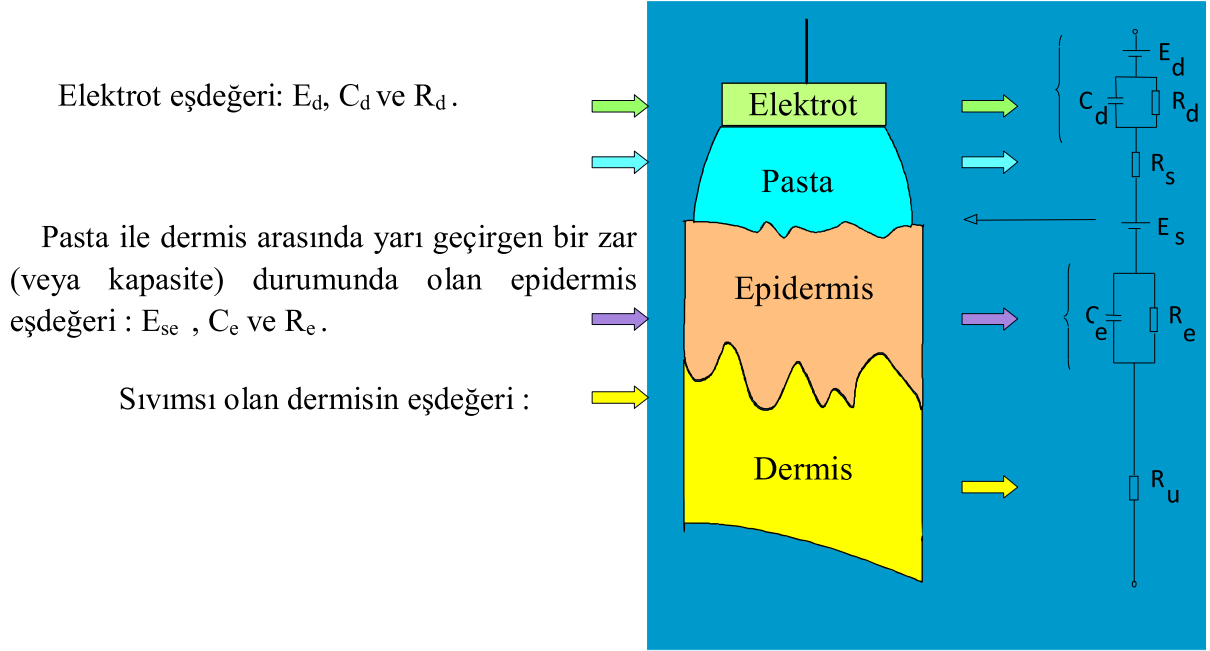


Şekil 2.2: Tümüyle atılır elektrot (a) şekli (b) resmi

Pasif EKG elektrodu yanında devre geliştirme aşamasında gümüş çubuklar da kullanılmıştır. Fakat deri yüzeyine yapıştırılması sırasında kullanılan aparat gerekliliği ve

EKG elektrodunun piyasada kolayca bulunabilmesi nedeniyle EKG elektrodu tercih edilmiştir.

Yüzey elektrotları, elektrolit görevi gören pasta aracılığı ile vücuttaki biyo-potansiyel işaretleri algılamak üzere deri üzerine ve belli noktalara yerleştirilirler. Deri ile birlikte elektrodun eşdeğer devresi, Şekil 2.3'de gösterilmiştir (Korürek, 2000).



Şekil 2.3: Deri- yüzey elektrodu eşdeğer devresi

Eğer polarize olan bir elektrot, elektrolit içinde hareket ettirilirse bu, elektrolit içindeki yük dağılımını mekanik olarak bozar ve denge kurulana kadar yarı-hücre potansiyelinde değişimler olur. Yarı-hücre potansiyelindeki bu değişimlere hareket bozukluğu adı verilir.

Genellikle hareket bozukluğu, frekans spektrumu alçak frekanslar bölgesinde olan EKG, EEG ve EMG işaretlerinin algılanmasında etkili olur.

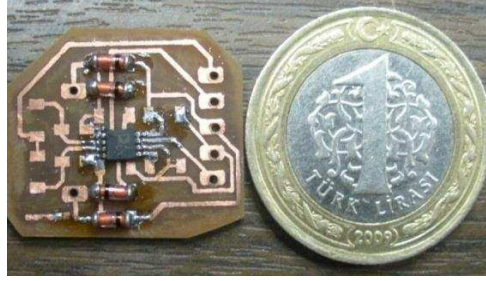
Bu elektrodun deri yüzeyi ile oluşturduğu direnç $51K\Omega$ düzeyindedir. Bu direnç ne kadar az olursa o kadar iyidir (Analog Devices, 2010).

Devrenin bilimsel çalışmalarda kullanılabilmesi için gürültüden arındırılmış veri almak önemlidir. Atılabilir elektrotlar sadece hastanelerde kaba bir tanı koyma yardımcısı olarak kullanılmaktadırlar. Bu yüzden bu elektrot kullandığımız etkin elektrodun sadece vücuttan işaret alma kısmını oluşturmaktadır.

Bu elektrodun yanında içinde ölçüm yükselticini de barındıran aktif elektrotlar kullanılmıştır. Aktif elektrotlar aktif bir ön yükseltme aşamasından sonra yükseltilmiş işareti asıl yükseltme ve süzme işlemlerinin yapılacağı gövde devresine bir kablo yoluyla aktarırlar. Gövde devresine eskisine göre daha temiz gelen işaretin dış etkilerden etkilenmesi daha zordur. Ayrıca kullanılan devre elemanlarını incelediğimizde devre yükseltme yükünün sadece gövde devresi tarafından üstlenilmesinin devrenin doğrusal olmama durumunun artması, etkin devre elemanlarının band genişliklerinin azalması, aygıtların içsel gürültülerinin artması gibi sakıncaları vardır.



(a)



(b)

Şekil 2.4: Aktif elektrod (a) modeli (b)gerçeklenen elektrod

Şekil 2.4'de etkin elektrodun piyasada kullanılan modeli ve tezde gerçekleştirilen elektrodun gerçek boyutlarını vermek amacıyla bozuk parayla görüntüsü verilmiştir.

2.3 Etkin(aktif) Devre Elemanları

Yarıiletken teknolojisi kullanan aktif devreler olarak adlandırılır. Tez çalışmasında tasarlanan devrelerde işlemsel yükselteç, ölçüm yükseltici ve etkin süzgeçler kullanılmıştır. Bu devre elemanlarından beklenen özellikler aşağıda verilmiştir. Bu özelliklere ait açıklamalar da izleyen bölümlerde verilmiştir.

- yüksek giriş direnci,
- düşük giriş dengesizlik(offset) gerilimi,
- düşük giriş kutuplanma(bias) akımı,
- düşük ısı sürüklenme katsayısı
- yüksek ortak mod bastırma oranı (CMRR) / frekans karakteristiği.

Bu devreden istenenlerin tümü daha küçük bir işareti daha büyük hassasiyette ve doğrusal olarak yükseltmesidir. Bu istek göz önünde bulundurulduğunda giriş dengesizlik gerilimi, giriş kutuplanma akımı ne kadar küçük olursa etkin devre elemanları o kadar küçük işareti işleyebilir; ısı sürüklenme katsayısı ne kadar düşük olursa devre elemanlarının ısıya duyarlılığı o aranda azalır. Bu özellikler v_1 , v_2 giriş gerilimleri ve $v_ç$ çıkış gerilimi olmak üzere aşağıda verilmiştir. Bunun yanında kayma olarak verilen parametreler sıcaklığın 25 °C farklı olduğu durumlarda her bir santigrad derece için kayma miktarını vermektedir.

2.3.1 Dengesizlik (offset) Gerilimi :

- En iyi durumda, $v_ç = 0$ olması için $v_2 - v_1 = 0$ olmalıdır.
- Giriş dengesizlik gerilimi :

$v_ç = 0$ Olması için girişteki sıfırdan farklı olan $v_2 - v_1$ gerilim farkı.

- Çıkış dengesizlik gerilimi :

$v_2 = v_1 = 0$ İken çıkış geriliminin sıfırdan farklı olan değeri.

- LT1114 İşlemsel yükselteci için dengesizlik gerilimi $75\mu V$,
dengesizlik kayması ise $0.5 \mu V/^\circ C$ kadardır.

2.3.2 Giriş Dengesizlik (offset) Akımı :

- $V_ç = 0$ İken yükselteç girişlerindeki akımların farkı olarak tanımlıdır.
- LT1114 için ofset akımındaki kayma en fazla $250 pA/^\circ C$ kadar olmaktadır.

2.3.3 Giriş Kutuplama(bias) Akımı :

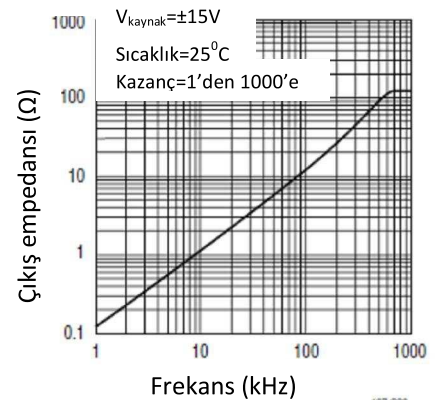
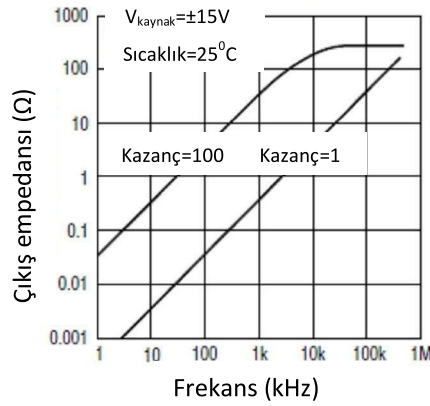
- Giriş katlarını uygun bir şekilde çalıştırabilmek için girişlerde gerekli olan doğru akım değerlerinin ortalamasıdır.
- INA2126 için $25nA$ kadarken;LT1114 için $250 pA$, LT1167 için $250pA$ dir.

2.3.4 Giriş Direnci (R_{in}) :

Kuvvetlendirici fark girişleri arasında görülen fark giriş direnci veya her bir giriş ile toprak arasında tanımlanan ortak mod giriş direnci olarak tanımlanabilir. LT1167 için giriş direnci $1G\Omega$ dur.

2.3.5 Çıkış Direnci (R_o) :

Frekans aralığı için değişmektedir. LT1114 ve LT1167 için bu eğriler Şekil 2.5’de verilmiştir. Örnek bir işlemsel yükteçte (LT1114) bu eğri kazançla göre değişmekteyken örnek bir ölçüm yükseltecinde (LT1167) kazançla göre tek bir eğri ile ifade edilmektedir.



Şekil 2.5 Çıkış empedansları

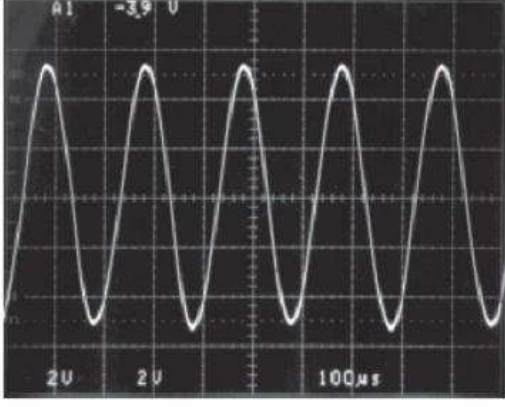
(a) Kapalı çevrim çıkış empedansının frekansla değişimi (LT1114)

(b) empedansın frekansla değişimi (LT1167)

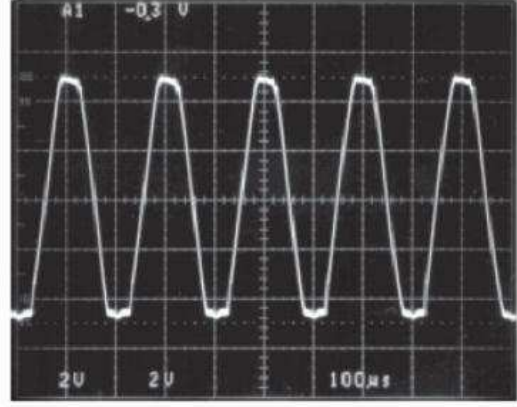
2.3.6 Maksimum Çıkış Gerilim Sınırları ($\pm V_k$) :

- İşlemsel kuvvetlendirici çıkış gerilimi ideal halde $V+$ ve $V-$ kaynak gerilimi değerlerine kadar çıkabilmelidir.
- Oysa pratikte çıkış gerilimi hiçbir zaman kaynak gerilimi değerlerine ulaşamaz, alttan $-V_k$ ve üstten $+V_k$ değerlerinde kırılır.
- Yapılan deneyler sonucunda ve kullanıcı kataloglarında da açıklandığı şekliyle giriş bazı etkin devre elemanlarının (LT1065, AD8230) çıkış gerilim sınırları aşıldığında bozulduğu gözlemlenmiştir.

Şekil 2.6’da LT1112 entegresinde çıkış gerilimi aşıldığı durumlar görülmektedir.



Giriş ±5.2 Sinüs İşareti



LT1112 Çıkışı

Şekil 2.6 Maksimum çıkış gerilim sınırları (Linear Technology, 1992)

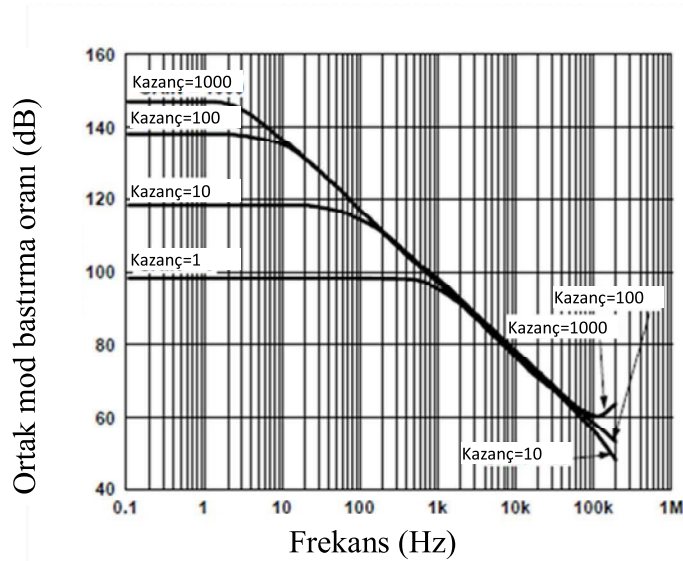
2.3.7 Ortak İşaret Bastırma Oranı (“CMRR”) :

Kuvvetlendirici fark kazancının (K_n), ortak işaret kazancına (K_{om}) oranı olarak tanımlanır:

$$CMRR = \frac{K_n}{K_{om}} \quad (2.1)$$

Burada K_{om} , $v_1 = v_2$ şartı altında girişlere ortak mod gerilimi uygulandığında, çıkışta elde edilen gerilimin giriş gerilimine oranı olarak tanımlıdır.

CMRR'nin frekansa göre nasıl değiştiği yarı-iletken üretici firmalar tarafından ürün kataloglarında (datasheet) verilmektedir. Şekil 2.7'de AD8221 entegresinin CMRR'sinin frekansa göre nasıl değiştiği gösterilmiştir.



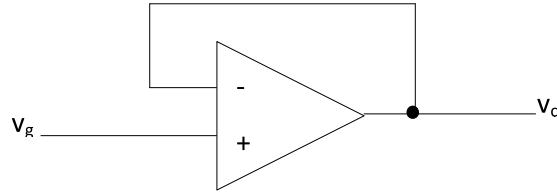
Şekil 2.7 AD8221 için ortak mod bastırma oranının frekansla değişimi (1KΩ kaynak dengesizliği varken)

2.4. İşlemsel Yükseltecin Uygulamaları

2.4.1 Gerilim İzleyici

- Birim kazançlı evirmeyen yükselteç durumunda olan izleyici devresi, daha çok giriş katlarında ve bir empedans dönüştürücüsü olarak kullanılır ve Şekil 2.8’de gösterilmiştir.
- Giriş direnci çok büyük çıkış direnci ise küçüktür.
- Koruma yükselteci adı da verilmektedir.
- Giriş-çıkış ilişkisi şu şekildedir:

$$v_c = v_g \quad (2.2)$$

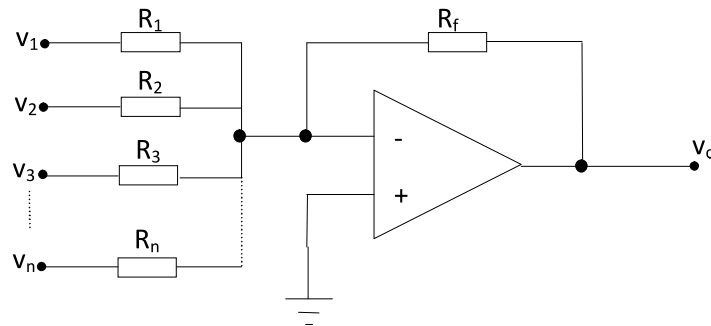


Şekil 2.8: Gerilim izleyici devresi

2.4.2 Toplayıcı

Evircinin özel bir şeklidir ve çok girişlidir. Şekil 2.9’da toplayıcı devresi verilmiştir.

$$v_c = -R_f \left(\frac{1}{R_1} v_1 + \frac{1}{R_2} v_2 + \dots + \frac{1}{R_n} v_n \right) \quad (2.3)$$



Şekil 2.9: Toplayıcı devresi

2.4.3 Fark Yükselteci

Yükselteç ideal kabul edildiğinde aşağıdaki eşitlikler yazılabilir:

$$v_{g2} = v_2 \frac{R_4}{R_3 + R_4}$$

$$v_{g1} = v_\phi + R_2 \frac{v_1 - v_\phi}{R_1 + R_2} = \frac{R_2}{R_1 + R_2} v_1 + \frac{R_1}{R_1 + R_2} v_\phi \quad (2.4)$$

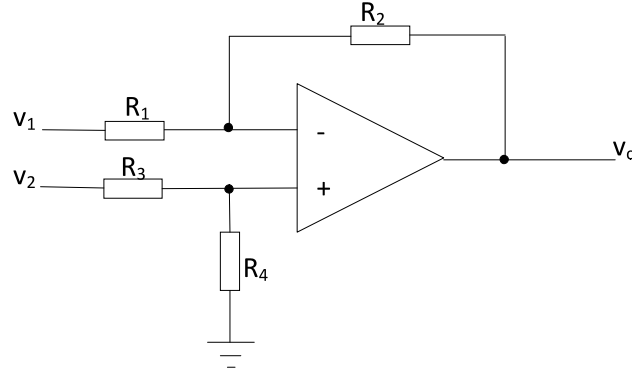
- $v_{g1} = v_{g2}$ olduğuna göre, çıkış gerilimi;

$$v_\phi = \frac{R_1 + R_2}{R_1} \left\{ \frac{R_4}{R_3 + R_4} v_2 - \frac{R_2}{R_1 + R_2} v_1 \right\} \quad (2.5)$$

- $R_1 = R_3$ ve $R_2 = R_4$ iken $v_\phi = \frac{R_4}{R_3} (v_2 - v_1)$ elde edilir.

- Bu; $v_2 = v_1$ iken $v_\phi = 0$ veya ortak mod kazancı (K_{om}) = 0 veya $CMRR = \infty$ demektir.
- Eksikliği: giriş direnci küçüktür.

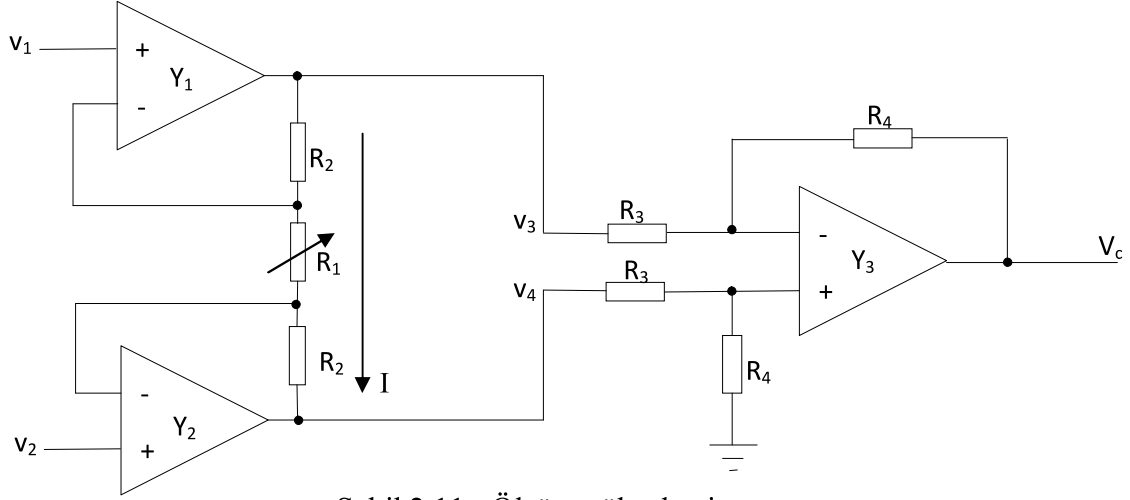
Şekil 2.10'da fark yükseltici devresi verilmiştir.



Şekil 2.10: Fark yükseltici

2.4.4 Ölçüm (Enstrumantasyon) Yükseltici

- Şekil 2.11'de gösterilen ölçüm yükseltici
- Girişlerine izleyici konmuş bir fark yükselticidir.
- Giriş dirençleri (R_g) ve ortak işaret bastırma oranı ($CMRR$) büyüktür.
- Tek direnç (R_1) fark kazancı ayarlanabilmektedir.
- Biyolojik işaretlerin ölçülmesinde yaygın olarak kullanılır.



Şekil 2.11: Ölçüm yükseltici

$$I = \frac{v_3 - v_4}{2 \cdot R_2 + R_1} = \frac{v_1 - v_2}{R_1} \quad (2.6)$$

$$v_4 - v_3 = \frac{2 \cdot R_2 + R_1}{R_1} \cdot (v_2 - v_1) \quad (2.7)$$

Eşitlikleri yardımıyla çıkış gerilimi:

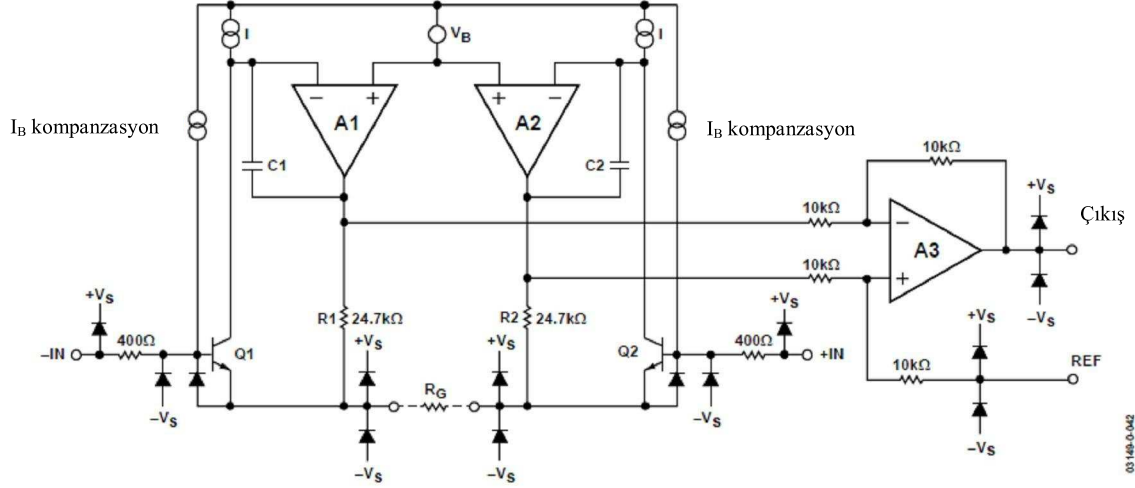
$$v_c = \frac{2 \cdot R_2 + R_1}{R_1} \cdot \frac{R_4}{R_3} \cdot (v_2 - v_1) \quad (2.8)$$

elde edilir.

2.5 Devre Tasarımında Kullanılan Aktif Devre Bileşenleri

2.5.1 AD8221 Ölçüm yükseltici (ilk kat için):

- Gerilim kazancı tek dirençle ayarlanabilir ve 1 ile 10.000 arasında değişir
- Kazanç hatası $K_v=10$ iken en fazla %0.08 dir
- Giriş dengesiz(offset) kayması $0.3 \mu V/^\circ C$ dir
- Giriş dengesizlik gerilimi en fazla $25 \mu V$ dur.
- Giriş dengesizlik akımı en fazla $400 pA$ dir.



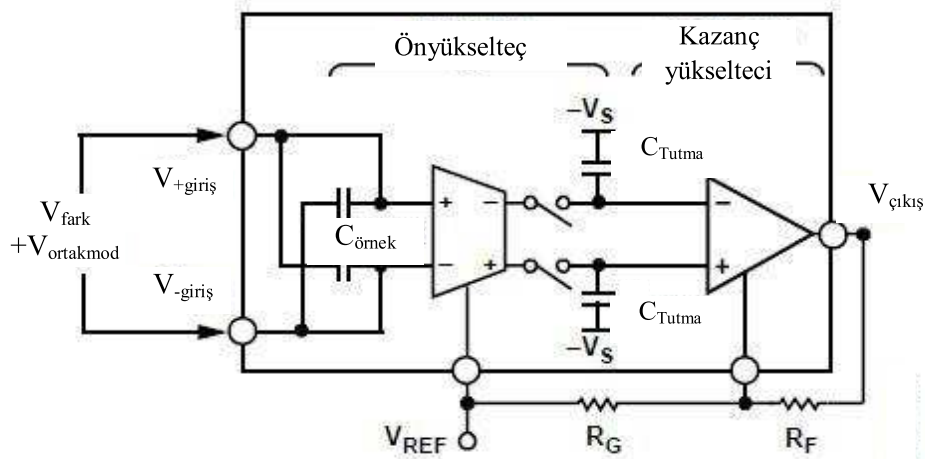
Şekil 2.12: AD8221 in basitleştirilmiş iç yapısı

R_G kazanç direnci olmak üzere:

$$\text{GerilimKazancı} = 1 + \frac{49.4K\Omega}{R_G} \quad (2.9)$$

2.5.2 AD8230 Ölçüm yükseltici (ikinci kat için):

- Gerilim kazancı tek dirençle ayarlanabilir ve 10 ile 1.000 arasında değişir.
- 60Hzde 110 dB Ortak Mod Bastırma Oranına sahiptir.
- Dengesizlik gerilimi en fazla $10\mu V$
- Dengesizlik kayma gerilimi en fazla $50n V/^{\circ}C$



Şekil 2.13: AD8230'un faz örnekleme biçemi

Şekil 2.13’de verilen AD8230 devresi daha önce bahsedilen ölçüm yükselteçlerinden farklı olarak tasarlanmıştır. Yaptığı iş diğer ölçüm yükselteçlerinden farklı olmamakla birlikte kazanç direncinin orta noktasından ortak mod işareti alınmamaktadır. Aslında kazanç eldesi ile de işlemsel yükseltece benzetilmektedir. Bunun yanında özellikleri daha gelişmiş olan ölçüm yükselteci yapısındadır. Bu yüzden bu devre için melez yorumu yapılabilir.

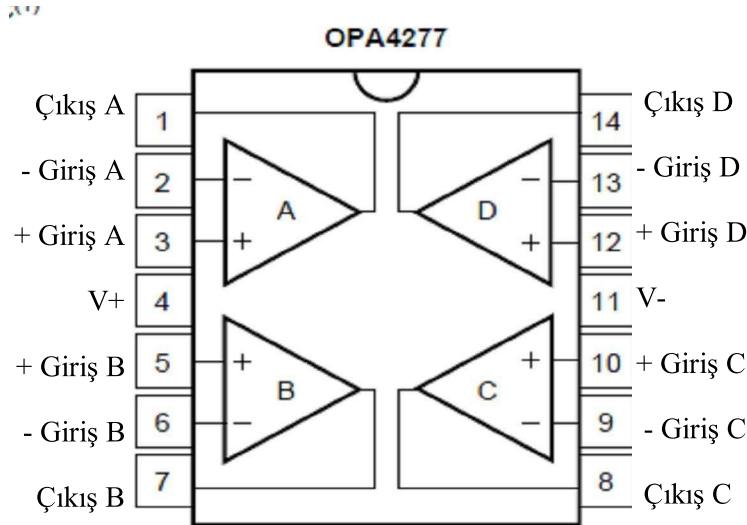
AD8230’un gerilim kazancı şöyle hesaplanır:

$$\text{GerilimKazancı} = 2 \left(1 + \frac{R_F}{R_G} \right) \quad (2.10)$$

2.5.3 OPA4277 İşlemsel Yükselteç

- Dengesizlik (offset) kayması $0.1 \mu\text{V}/^\circ\text{C}$ dir
- Giriş dengesizlik gerilimi en fazla $10 \mu\text{V}$ dur.
- Giriş kutuplanma akımı en fazla 1 nA dir.
- CMRR en yüksek 140dB dir.

OPA4277 işlemsel yükseltecin iç yapısı Şekil 2.14’de verilmiştir.



Şekil 2.14: OPA4277 nin iç yapısı

2.5.4 LT1065 Çıkış Süzgeci:

- 5. Dereceden Bessel süzgeçidir.
- Frekans aralığı dışarıdan bir kristalle sağlanabildiği gibi pasif devre elemanları ile sağlanabilir.
- 80 dB Ortak Mod Oranına sahiptir.

- 1mV özgün dengesizlik gerilimine sahiptir.

Bessel süzgeci ele alındığında geçiş işlevi:

$$H(s) = \frac{Q_n(0)}{Q_n(s/w_0)} \quad (2.11)$$

Şeklinde elde edilmektedir. Bu geçiş işlevi paydası Bessel polinomu olan rasyonel bir kesirdir. Bu polinom şöyle oluşturulmaktadır (Wikipedia, 2009) :

$$a_k = \frac{(2n-k)!}{2^{n-k} k!(n-k)!} \quad k = 0,1,\dots,n \quad (2.12)$$

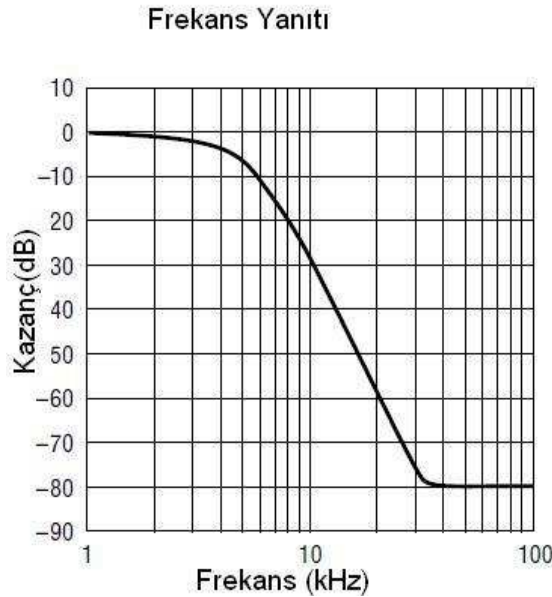
için;

$$Q_n(s) = \sum_{k=0}^n a_k s^k \quad (2.13)$$

buradan beşinci derece bessel işlevi katsayılarını elde edildiğinde

$$H(s) = \frac{Q_n(0)}{Q_n(s/w_0)} = \frac{945}{s^5 + 15s^4 + 105s^3 + 420s^2 + 945s + 945} \quad (2.14)$$

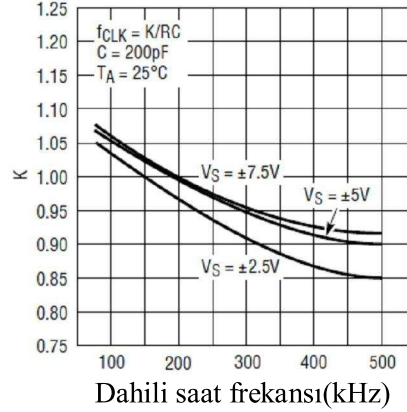
İfadesi ortaya çıkmaktadır (Bond, 2003). Gerekli frekans kaydırma işlevleri yapıldığında şekil 2.15 deki frekans eğrisi ortaya çıkmaktadır.



Şekil 2.15: 3.4 kHz köşe frekansına sahip LTC1065'in kazanç-frekans eğrisi (Linear Technology, 2008)

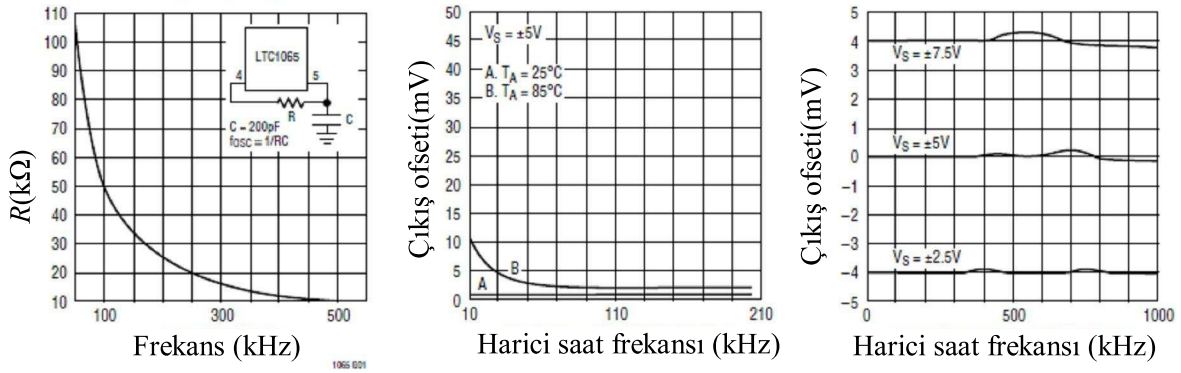
LT1065 devresi için band genişliği simetrik besleme gerilimine bağlıdır. Saat darbesinin 1/100' ü kadar bir değer 3dB band genişliğini vermektedir. Şekil 2.16 saat frekansının hesaplanabilmesi için gerekli K değerinin band genişliğine göre nasıl değiştiğini göstermektedir.

$$f_{CLK} = \frac{K}{RC} \quad (2.11)$$



Şekil 2.16: Saat frekansına göre K değişimi

Buradan seçilecek band genişliğinin 1kHz civarında olduğu düşünülürse $K = 1.05$ olarak alınabilir. Şekil 2.17’de saat frekansına göre değişen bazı parametreler verilmiştir.



Şekil 2.17: Saat frekansına göre parametre değişimleri

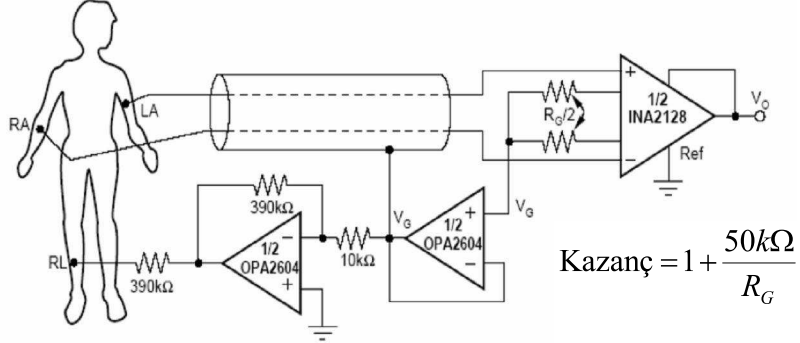
- Saat frekansına karşılık R değişimi
- Düşük frekanslarda saate karşılık çıkış ofseti
- Orta frekanslarda saate karşılık çıkış ofseti

2.6 Tasarım Aşamasında Dikkat Edilen Hususlar

2.6.1 Ön Yükselteç ve Geri besleme devresi

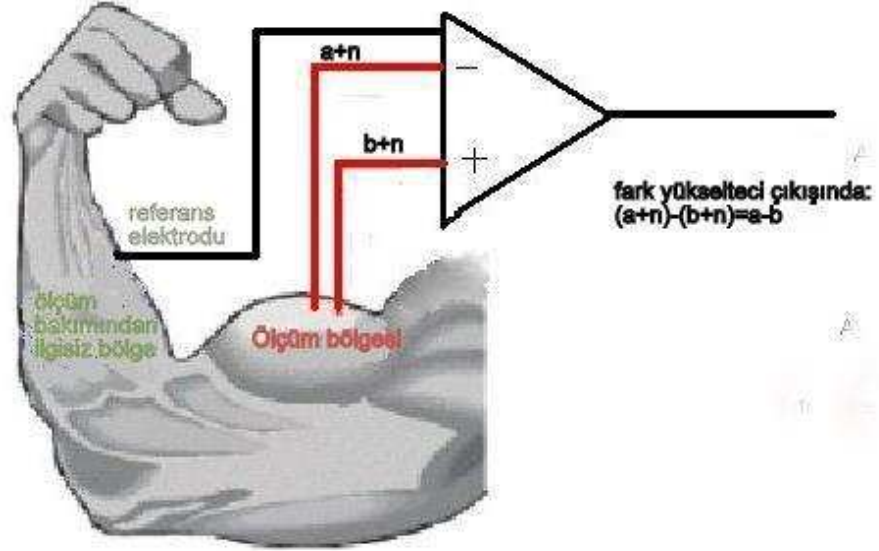
Kazanca ve çıkış gerilimine göre verdiğimiz devre parametrelerine bakacak olursak, kazancın bir etkin devre bileşeninden sağlanması ortak mod bastırma oranının band genişliğini olumsuz etkileyecektir. Ayrıca devrenin içsel gürültüsünün toplamsal olarak arttığını düşünürsek bu gürültü artacaktır. Bunun için kazancı ortam gürültüsünden en az etkilenecek şekilde ve band genişliğini etkilemeyecek şekilde seçmek en uygunu olacaktır. Bu da toplamda beklenen 1200 katlık kazancın 10 ile 20 arasında bir önyükselteç devresiyle ve 70 ile 90 arasında bir asıl yükselteç devresiyle ayrılması gerektiğini gösterir.

Şekil 2.18'deki dizge bir EKG aygıtına aittir. Burada da temel prensip devrede EMG yükseltecinin önyükselteç kısmı ile neredeyse aynı yapıya sahiptir. Önyükselteç tasarımı bakımından temel felsefe tüm biyolojik kökenli elektriksel işaretlerin ölçümü için neredeyse aynıdır: Vektörel olarak iki nokta arasındaki ölçüm yapmak ve istenmeyen işaretlerden kurtulmak.



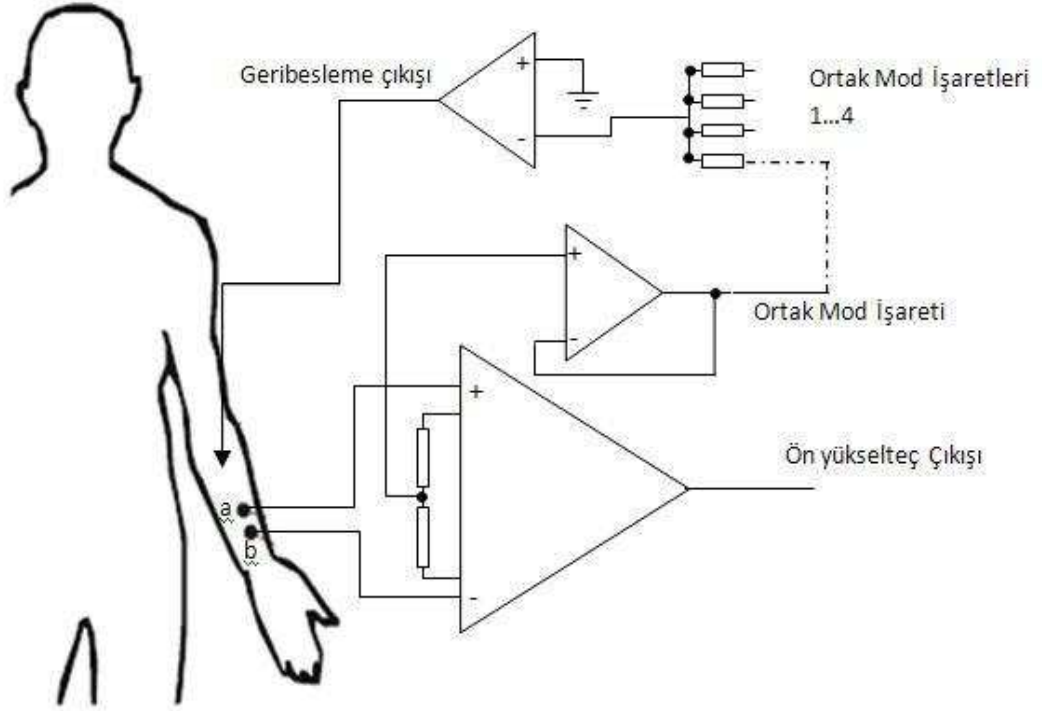
Şekil 2.18: Elektrot çiftini ve bacağa doğru geribeslenen ortak mod işaretini gösteren EKG ölçümü

Bölüm 1.4'de söz edilen işaretin doğru algılanmasını engelleyen işaretler her iki elektroda da yaklaşık olarak eşit miktarda etkimektedir. Bu prensipten yola çıkarak her iki giriş ucuna da ortak etkiyen bu bozucu etkilerin tamamına ortak mod işareti denilebilir. Bölüm 2.4.4 de söz edildiği şekliyle ölçüm yükselteçleri ortak mod bastırma oranı kadar iki giriş ucuna gelen işareti dışlar ve çıkışa aktarmaz, fakat bu oranın yapılan deneylerde yeterli olmadığı gözlemlenmiştir. Bölüm 1.4 de söz edildiği gibi devrede çok yüksek genlikli 50Hz frekanslı şebekeden kaynaklanan girişim, devre çıkışında birkaç voltluk gerilim olarak gözlemlenmektedir. Bu yüzden bu işareten kurtulmak amacıyla ek birtakım yardımcıları ihtiyaç vardır. Şekil 2.19'da bu iş için yapılabilecek bir yöntem önerilmiştir.



Şekil 2.19: Ortak mod işaretinden kurtulmak için yükseltecin ortak mod bastırma yeteneğinden faydalanmak

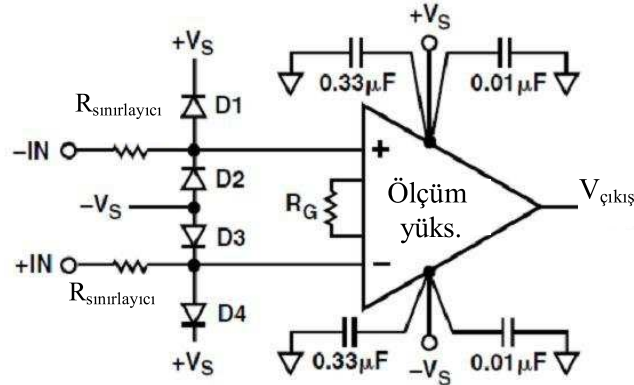
Burada istenen iki uca da ortak olarak gelen işaretin negatifini tekrar deri yüzeyine besleme yoluyla bozucu ortak mod işaretinin bastırılması yoluna gidilmiştir. Ortak mod işareti gerilim örnekleme şeklinde alınıp, terslenip ölçüm yaptığımız kas noktalarına yaklaşık olarak eşit olarak geri besleyebileceğimiz bir bölgeye bağlanmıştır. Bu ön yükseltme işlemi ve ortak modu geri besleme yoluyla yapabilecek en iyi devre bir ölçüm yükselteci. Her iki mod için de giriş direnci çok yüksek olduğu için, ölçüm yükselteci ile deri yüzeyi bir köprü devresi gibi davranır. Bastırılmayan ortak mod işareti yükselttilip tekrar bu ölçüm noktalarına geri verildiğinde ortak mod işareti zayıflatılmış olur. Şekil 2.20'de a ve b uçlarına aynı gürültü işareti geldiği varsayılırsa bu ölçüm yükseltecinde ortak moda karşılık gelir. Bunun bastırılabilen kısmı çıkışa aktarılır, bastırılmayan kısmı ise negatif geribesleme yoluyla tekrar ölçüm yapılacak kişinin deri yüzeyinde verilir. Bu da ortak mod gürültüsünü en iyi bastıran yöntemdir.



Şekil 2.20: Elektrot çiftini ve kola doğru geri beslenen ortak mod işaretini gösteren EMG ölçümü

2.6.2 Dış Bileşen Ekleme

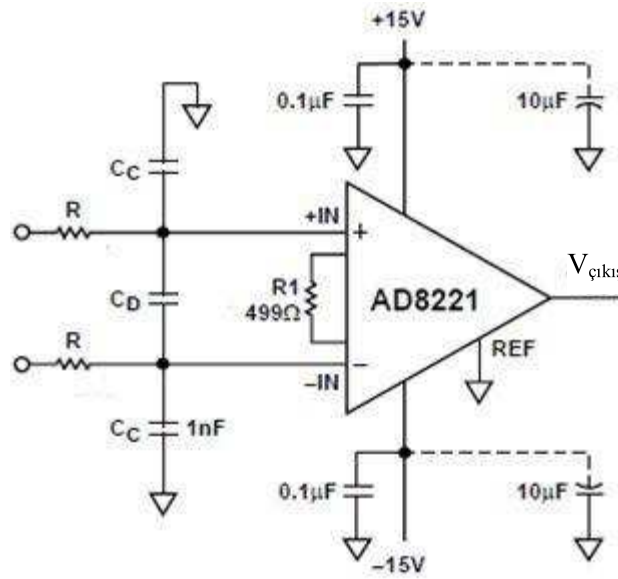
Devreye girişten gelebilecek yüksek gerilimlere karşı korumaya ihtiyaç vardır. Kullandığımız LT1167 7 KV'a kadar kendini koruyabilir. Hızlı koruma diyotu kullandığımızda ise bu değer 13 KV'a çıkabilir. Bu durumdan kurtulmak için Şekil 2.21'de gösterildiği üzere uygun şekilde diyotlar kullanılır.



Şekil 2.21: D1, D2, D3, D4 yüksek gerilimden korunmak için konmuş diyotlar

Güçlü RF işaretlerinde ölçüm yükselteçleri kullanıldığında RF doğrultması sıkça yaşanan bir problemdir. Bu gibi durumlarda bozucu etki bir doğru gerilim ofseti olarak gözlenebilir (Analog Devices, 2004).

Şekil 2.22'deki gibi yükselteç girişine eklenen RC devresi elektrotlardan devre girişine kadar gelen kısımda iletken yüzeyine yapışan yüksek frekans bileşenleri ortadan kaldırmaktadır. Bunun yanında kaynak ile toprak arasına bağlanan sığaçlar ise doğru gerilim beslemesinde oluşabilecek dalgalanmalara karşı konulmuştur. Bu sığaçların yerleşimi, her bir etkin devre elemanının pozitif ve negatif beslemelerine mümkün olduğunca en yakın noktadan 100nF; devre kartına girişteki besleme noktalarından ise 10µF şeklinde gerçekleştirilmiştir.



Şekil 2.22: $C_{XCMI,2}$ ve C_{XD} ile yüksek frekanstaki gürültünün ayıklanması

$$BG_{(\text{ortakmod})} = \frac{1}{2\pi R C_{CC}} = \mathbf{41\text{KHz}} \quad (2.12)$$

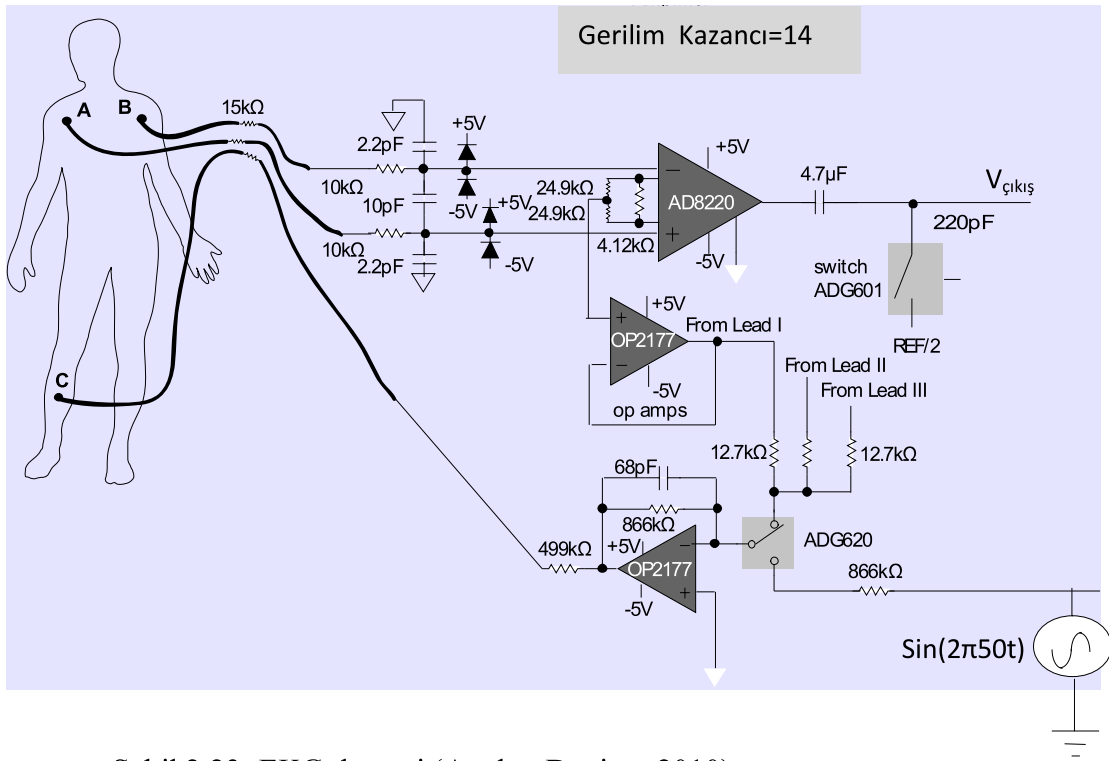
$$BG_{(\text{farksal})} = \frac{1}{2\pi R (2C_{CD} + C_{CC})} = \mathbf{900\text{Hz}}$$

$$C_{CD} \geq 10C_{CC}$$

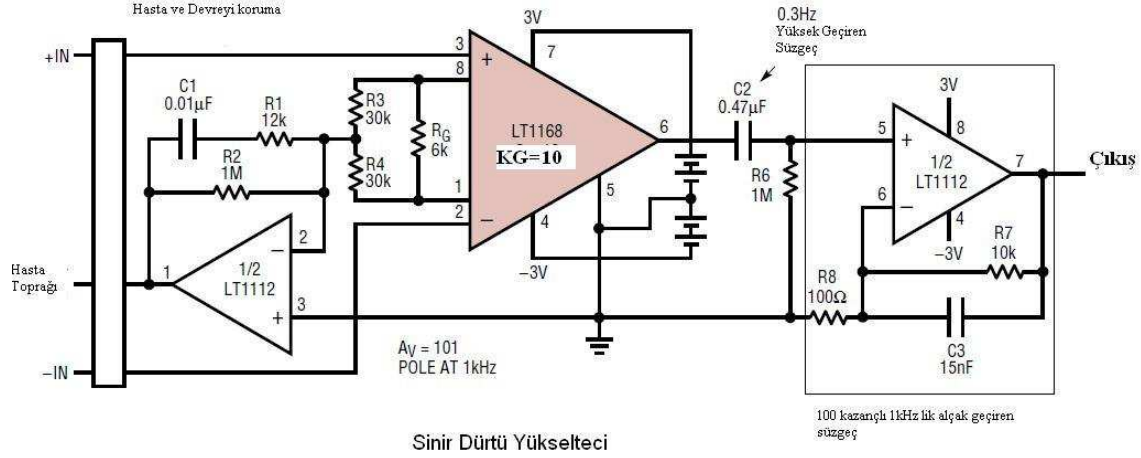
2.12 numaralı ifadeler seçilen kondansatör ve direnç değerlerine göre oluşturulan giriş süzgecinin alt kesim frekansını vermektedir. Farksal olan süzgecin band genişliği ifadesi her bir uca ayrı ayrı gelen işaretleri süzmek için kullanılan yapı; ortak mod olan süzgecin band genişliği ifadesi ise her iki moda gelen işareti süzmek için kullanılan yapı için verilmiştir. Tasarlanan ön yükselteç katı

girişinde C_{CD} değeri 220pF, C_{CC} değeri 10pF, R değeri de 390K Ω olarak seçilmiştir. Burada band genişliğini daha fazla azaltan sığaç ve direnç değerleri kullanıldığında işaretin bandında bulunan yüksek frekans bileşenlerinin zayıfladığı ve EMG işaretinin sadece bir zarf işareti olarak kaldığı gözlemlenmiştir. Bu yüzden deneysel olarak işaret bandını zayıflatmadığı gözlemlenen bu direnç ve sığaç değerleri kullanılmıştır.

Şekil 2.23'de Analog Devices tarafından önerilen ve dış bileşenleri de barındıran bir EKG yükselteç devresi verilmiştir. Bu devre ile Şekil 2.24'de verilen LT1168 kullanan sinir dürtü yükselteci (Linear Technology, 2000) devresi karşılaştırıldığında temel farklar vücutta bağlandıkları noktalar ve EKG devresindeki geri besleme işaretinin vücuda beslenirken seri bir direnç kullanılmasıdır. Bunun yanında kazanç bakımından EKG ön yükseltecinin kazancı 14 iken; EMG ön yükseltecinin kazancı 10 olarak verilmiştir.



Şekil 2.23: EKG devresi (Analog Devices,2010)



Şekil 2.24: LT1168 kullanan sinir dürtü yükseltici (Linear Technology, 2000)

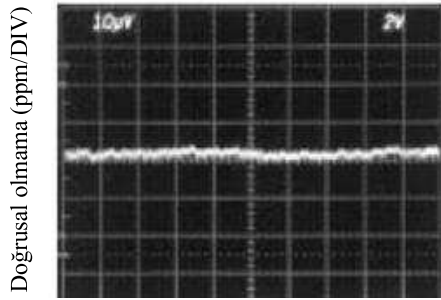
LT1168 de gerilim kazancının ayarlanması:

$$R_K = R_G // (R_3 + R_4) = 6K // 60K \cong 5.45 \quad (2.13)$$

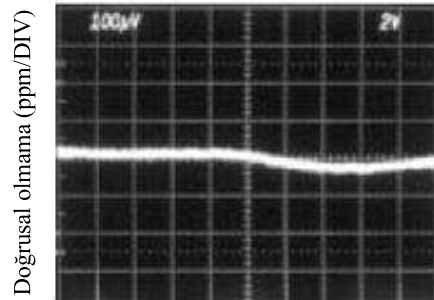
$$K_G = \frac{49.4K\Omega}{R_K} + 1 \cong 10$$

Doğrusal olmayan kazanç, $G = 1$

Doğrusal olmayan kazanç, $G = 10$



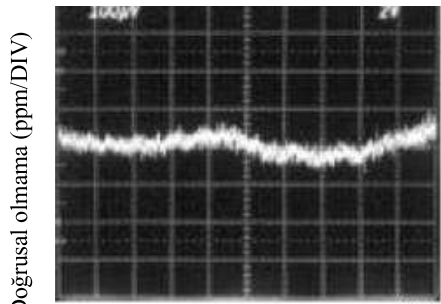
$G = 1$ Çıkış gerilimi(2V/div)
 $R_L = 2k\Omega$
 $V_{\text{çıkış}} = \pm 10V$



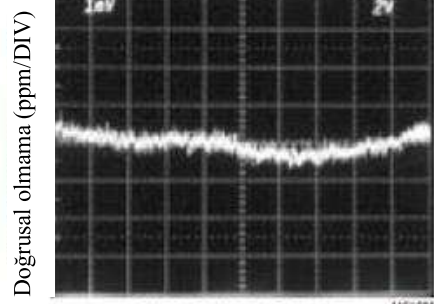
$G = 10$ Çıkış gerilimi(2V/div)
 $R_L = 2k\Omega$
 $V_{\text{çıkış}} = \pm 10V$

Doğrusal olmayan kazanç, $G = 100$

Doğrusal olmayan kazanç, $G = 1000$



$G = 100$ Çıkış gerilimi(2V/div)
 $R_L = 2k\Omega$
 $V_{\text{çıkış}} = \pm 10V$



$G = 1000$ Çıkış gerilimi(2V/div)
 $R_L = 2k\Omega$
 $V_{\text{çıkış}} = \pm 10V$

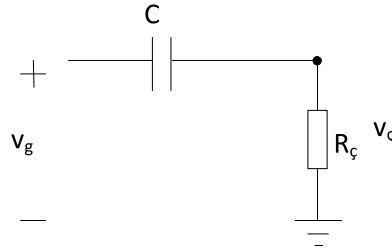
Şekil 2.25: Çıkış geriliminin doğrusal olmayan kazancın çeşitli değerleri için değişimi

Şekil 2.25’de verilen doğrusal olmayan kazançla göre çıkış gerilimleri incelendiğinde kazanç arttıkça doğrusal olmama durumunun da arttığı için devrede kazancı tek bir bileşene yüklemek sakıncalıdır.

Bunun yanında Şekil 2.7’den da anlaşılabilirdiği üzere kazanç arttıkça ortak mod bastırma oranının artmasına rağmen; ortak mod bastırma oranının band genişliği düşmektedir. Bu da kazanç hakkında yukarıdaki ifadeyi desteklemektedir.

2.6.3 Yüksek Geçiren Süzgeç

Bu süzgeç 13 Hz altındaki hareket bozukluğu gürültüsünü bastırmak için konmuştur. Devrede konumlandırıldığı yer ise ön yükseltecin çıkışı; asıl yükseltecin girişidir. Burada aktif bir süzgeç kullanılmamasının sebebi ise bu banda düşen işaretin tümünün bastırılmak istenmemesidir. Bu süzgeç etkin elektrod ile daha sonraki yükseltmelerin yapılacağı kat arasındaki ofseti ve doğru gerilim bileşenlerini yok etmek amacıyla kullanılmıştır. Süzgecin şekli Şekil 2.26’da verilmiştir.

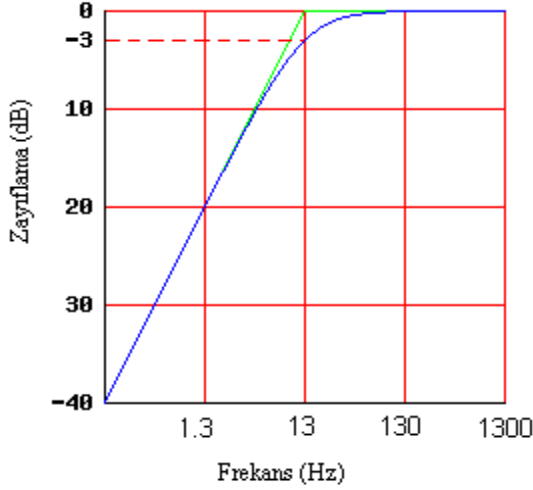


Şekil 2.26: 13 Hz kesim frekansı olan yüksek geçiren süzgeç

Süzgecin 3 dB kesim frekansı şöyle hesaplanmaktadır:

$$BG_{YG} = \frac{1}{2\pi R C} = \frac{1}{2\pi \times 150 \times 10^{-9} \times 82 \times 10^3} \cong 13Hz \quad (2.14)$$

Burada $R = 82k\Omega$, $C = 150nF$ değerleri 13 Hz’lik kesim frekansı sağlayacak şekilde seçilmiştir. 13 Hz kesim frekansı olan yüksek geçiren süzgecin frekans-zayıflama eğrisi Şekil 2.27’de verilmiştir.



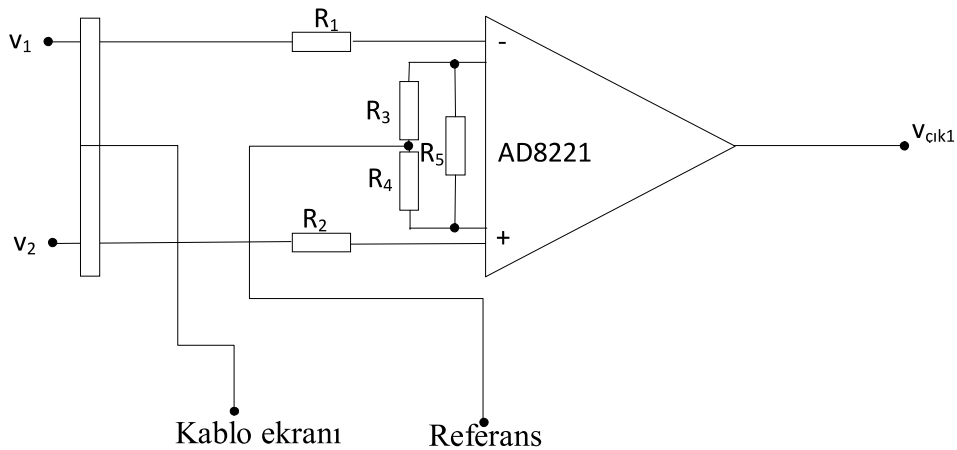
Şekil 2.27: 13 Hz kesim frekansı olan yüksek geçiren süzgecin frekans-zayıflama eğrisi

2.7 Tasarlanan Devre

Tasarlanan devre ön yükselteç geri besleme ve esas kazanç katı olmak üzere üç parçadan oluşmaktadır.

2.7.1 Devrenin İlk Katı(ön yükselteç):

Şekil 2.28’de verilen ve devrenin ilk katında daha önceden de bahsedildiği gibi bozulmaya karşı direnci yüksek 10 ile 20 arasında bir kazanç elde etmek yeterlidir. Bunun yanında kablo ekranından gürültüyü azaltmak amacıyla ikinci kattaki gerilim takipçisinin ucuna bağlamak üzere bir bağlantı almak gereklidir. Alınan referans ucu daha sonra anlatılacak olan ikinci kata; ölçüm yükseltecinin çıkışı da devrenin asıl kazancının oluşturulacağı üçüncü kata aktarılacaktır.



Şekil 2.28:Tasarlanan devrenin ilk katı: Ön Yükselteç Devresi

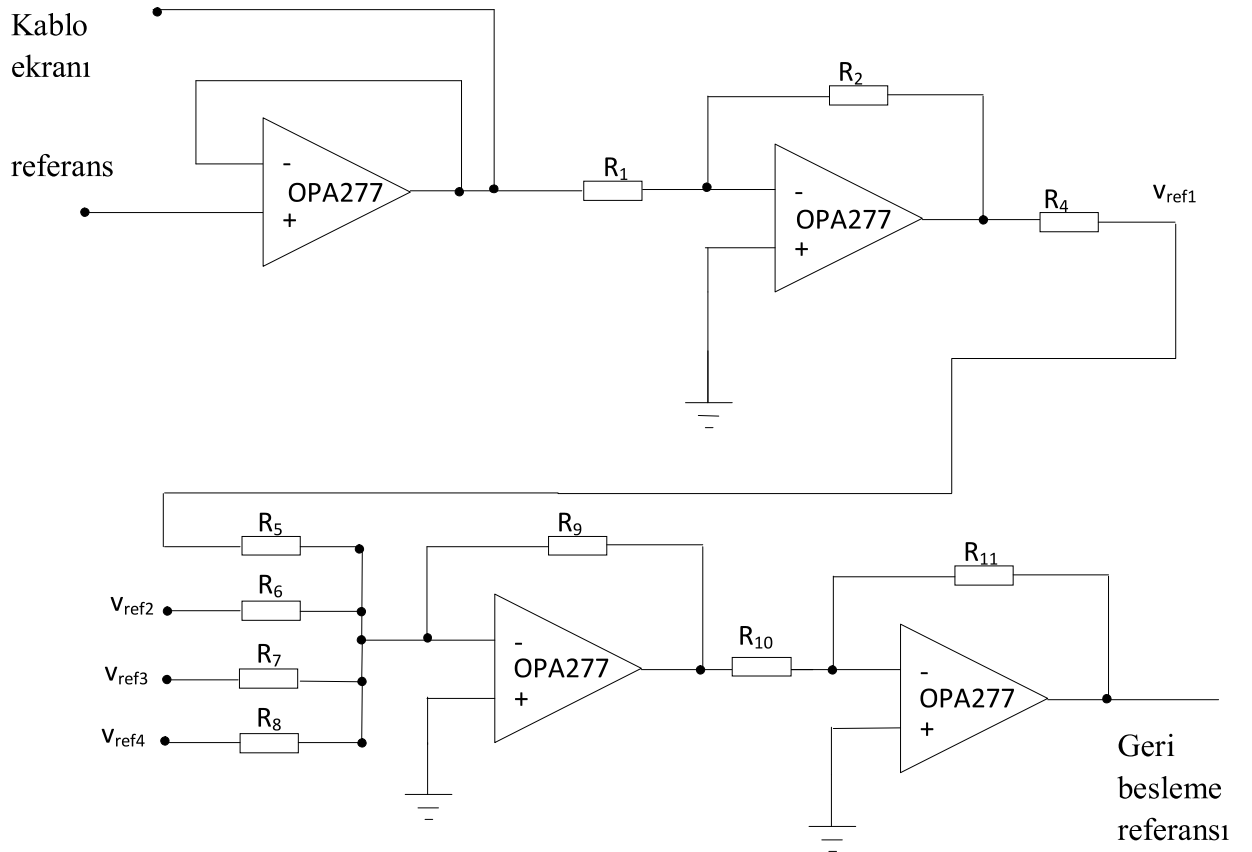
Burada $R_1 = R_2 = 390K\Omega$, $R_3 = R_4 = 20 K\Omega$, $R_5 = 3.9 K\Omega$ 'dur. Bu değerler (2.15)'de verilen yaklaşık 15'lik bir gerilim kazancı elde etmek için seçilmiştir.

$$R_G = (R_3 + R_4) \times \frac{R_5}{R_3 + R_4 + R_5} = 3.55K\Omega \quad (2.15)$$

$$\text{Gerilim Kazancı} = 1 + \frac{49.4K\Omega}{R_G} = 1 + \frac{49.4K\Omega}{3.55K\Omega} = 14.91$$

2.7.2 Devrenin İkinci Katı(geri besleme devresi):

Şekil 2.29'da verilen ikinci katta amaç ilk kattan alınan referans(bastırılmayan ortak mod işaretini) yükseltip yeniden deri yüzeyine geri beslemektedir. Burada dört kanaldan alınan ayrı ayrı ortak mod işaretlerinin deri yüzeyine geri beslenmesi için çıkıştan önce tüm işaretler toplanmıştır.



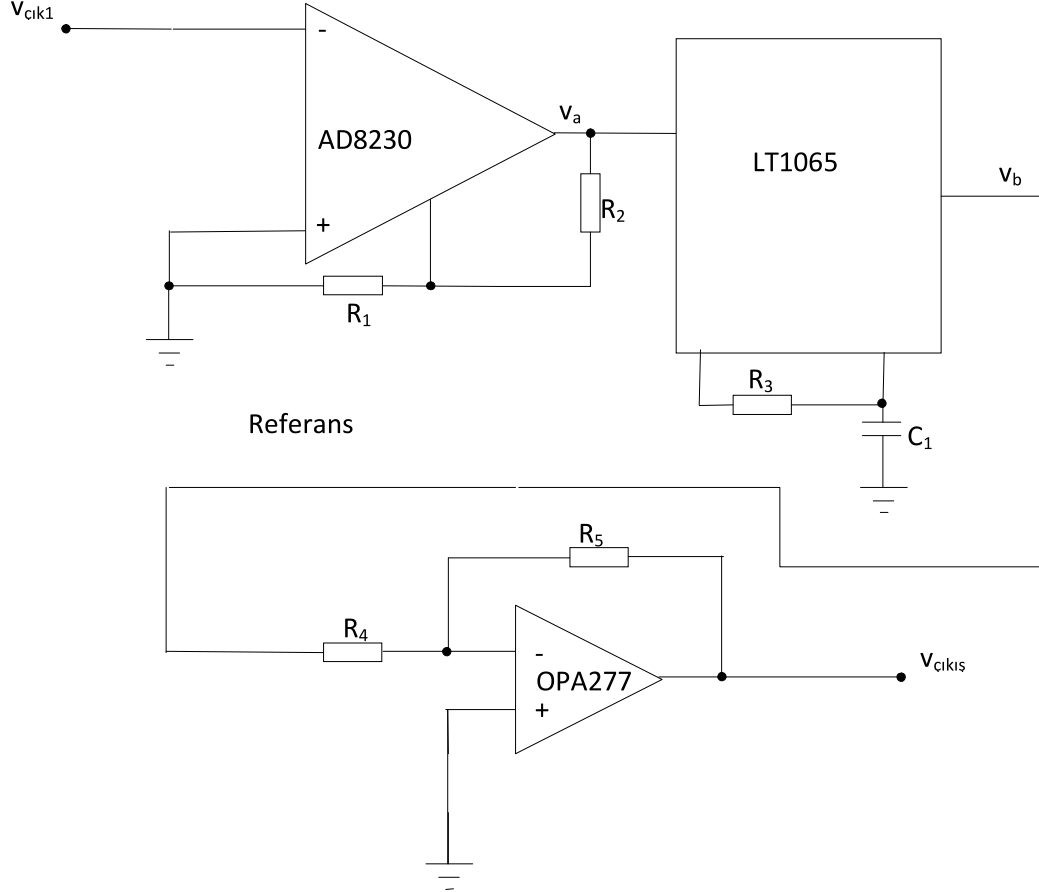
Şekil 2.29: Tasarlanan devrenin ikinci katı

$R_1 = 20 K\Omega$, $R_2 = R_4 = 390 K\Omega$, $R_5 = R_6 = R_7 = R_8 = 4.7 K\Omega$, $R_9 = 1.25 K\Omega$, R_{10} ve $R_{11} = 1 K\Omega$ olarak seçilmiştir. R_5 , R_6 , R_7 , R_8 , R_9 her bir kanaldan gelen işaretin $\frac{1}{4}$ 'ünü toplamak

amacıyla bu şekilde seçilmiştir. Böylece ölçüm yapılan noktaların hepsinin devreye getirmiş oldukları ortak mod işaretlerinin ortalaması alınmıştır.

2.7.3 Devrenin Üçüncü Katı(asıl yükselteç ve süzme katı):

Şekil 2.30 ile verilen bu katta yükseltme ve süzme işlemleri gerçekleştirilmektedir.



Şekil 2.30: Tasarlanan devrenin üçüncü katı

Üçüncü katta $R_1 = 10 \text{ K}\Omega$, $R_2 = 390 \text{ K}\Omega$, $R_3 = 51 \text{ K}\Omega$, $C_1 = 220 \text{ nF}$, $R_4 = R_5 = 1 \text{ K}\Omega$ seçilmiştir. Bu seçimdeki amaç devrenin bu katına 80'lik bir gerilim kazancı sağlamak ve işaretin band genişliğini 1kHz'in altında tutmaktır. Çıkıştan önce eklenen OPA277 işlemsel yükselteci ise süzgeç çıkışını uzun koaksiyel kabloları sürmek için eklenmiştir.

Buna göre

$$K_{v8230} = 2\left(1 + \frac{R_2}{R_1}\right) = 80$$

$$K_{VOPA277} = -\left(\frac{R_5}{R_4}\right) = -1$$
(2.16)

olur. Saat frekansı istenen kesim frekansının 100 katıdır ve aşağıdaki gibi bulunur:

$$f_{CLK} = \frac{K}{R_3 C_1} \quad (2.17)$$

$K = 1.05$ alınırsa $f_{CLK} = 93582 \text{ Hz}$ olarak bulunur. Buna göre de band genişliği:

$$f_{AG} = \frac{f_{CLK}}{100} = 935.82 \text{ Hz} \quad (2.18)$$

olur.

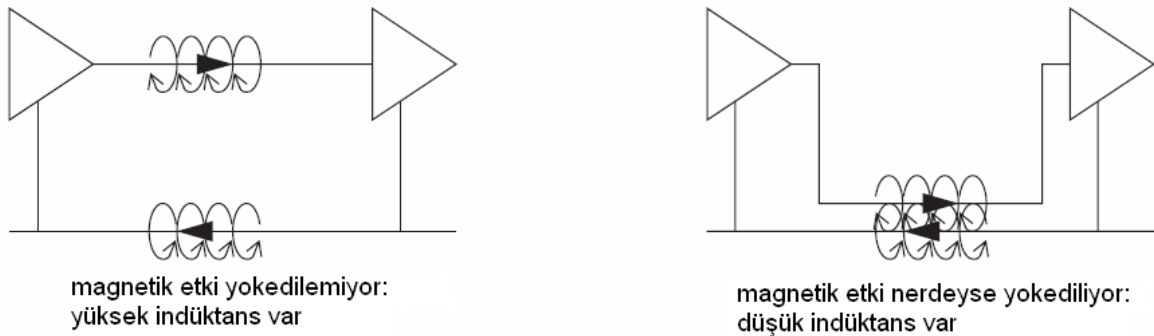
Buna göre devrenin toplam kazancı:

$$\begin{aligned} K_{V_{topl}} &= K_{V_{birincikat}} \times K_{V_{ikincikat}} = 14.91 \times 80 = 1192.8 \\ K_{dB} &= 20 \log(K_{V_{topl}}) = 20 \log(1192.8) = 61.53 \end{aligned} \quad (2.19)$$

3. DEVRENİN GERÇEKLENMESİ

Tasarlanan ve bileşenleri seçilen devre iki kart üzerine kazanılmıştır. Kazınırken yüzey montaj teknolojisi (Surface Mount Technology-SMT) kullanılmıştır. Bu teknoloji adından da anlaşılacağı gibi yüzey montaj (Surface Mount) bileşenlerini (Surface Mount Components-SMCs) devre kartına doğrudan bağlamak için kullanılan teknolojidir. Boşluklar-delikler (through-hole technology) yardımıyla yapılan eski monte etme yöntemlerinden farklı bir şekilde bileşenler monte edilir. Yüzey montaj aygıtlar (Surface Mount Devices-SMDs) hafif, ucuz, küçüktürler ve ayrıca devre kartı(Printed Circuit Boards-PCBs) üzerinde birbirine yakın bir şekilde yerleştirilebilirler. Yerleşimde getirdiği esneklik ve uçsuz olmalarının getirdiği gürültüye karşı daha az duyarlılık göz önüne alındığında boşluklu-delikli bağlama yöntemine göre daha üstün oldukları söylenebilir.

Devre bileşenlerini yerleştirmek için kullanılacak devre kartı PROTEUS programı yardımıyla çizilmiş ve çift yönlü bakır levhayı eritme yöntemiyle oluşturulmuştur. Devre kartı oluşturulurken işaretlerin geçtiği yolların Şekil 3.1’de gösterildiği üzere yüksek indüktansı yok etmek amacıyla mümkün olduğunca toprağa yakın hatta yan yana olmasına özen gösterilmiştir. Devredeki işaret yollarının tümü devre bileşenlerinin bağlanacağı üst yüzeye çizilmiştir. Arka yüzeyde zorunlu olarak atlatılması gereken enerji yolları bulunmaktadır.

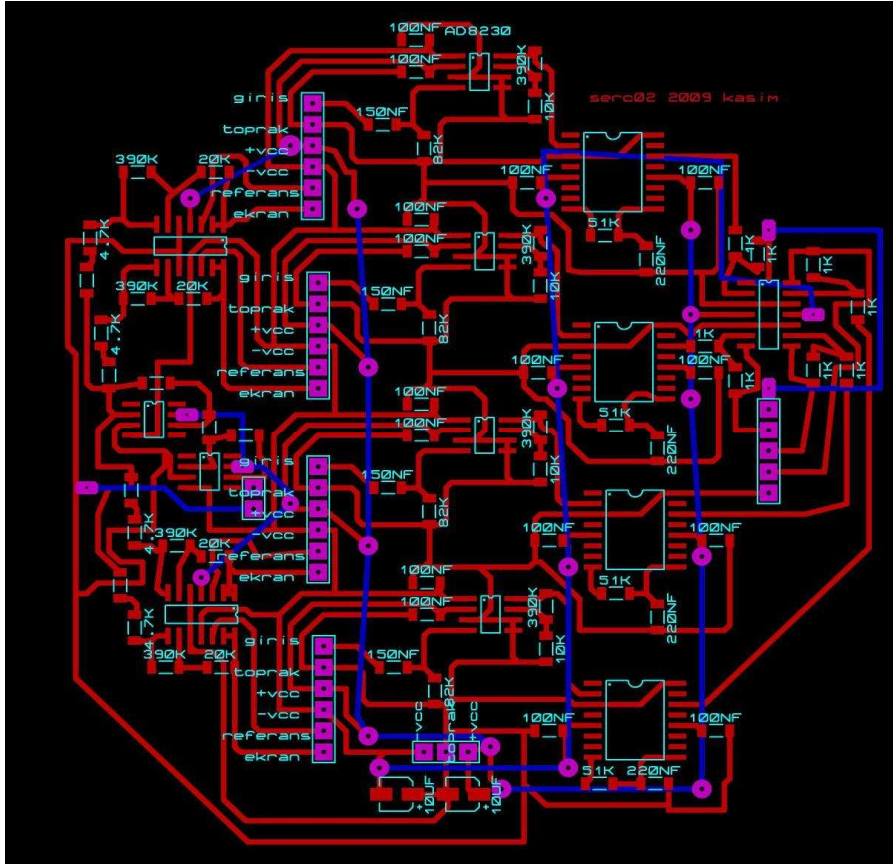


Şekil 3.1: Sinyal dönüş akımının etkisi

Magnetik etkiyi yok etmek için gidiş ve dönüş yollarının birbirine yakın olması gereklidir (Williams 2005). İşaret gidiş ve dönüş yolları ilk kat için modlar arasındır yani iki elektrottan ayrı ayrı gelen yollardır. İkinci kata gelen işaret sadece fark işareti olduğu için toprak ve fark işareti yakın tutulmaya çalışılmıştır. İşaret yollarının tümü aynı kalınlıkta seçilmiştir.

PROTEUS benzetim programı kullanılırken yolların tümü (kullanacağımız bileşenler ile ilgili paketler bu programda kayıtlı olmadığı için) elle çizilmiştir. Bacak genişlikleri ve paket büyüklükleri kullanacağımız parçalara uygun olarak seçilmiştir.

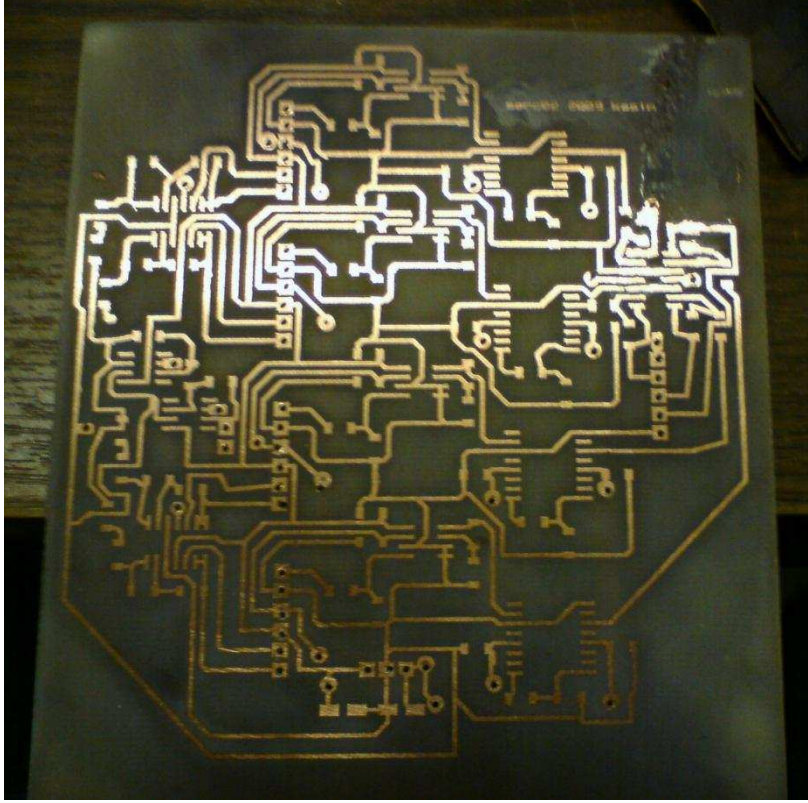
Şekil 3.2’de kırmızı ile çizilmiş bölgeler montaj yapılacak olan üst yüzeyde bulunan yol ve bağlantıları, mavi ile çizilmiş olan bölgeler alt yüzeyde bulunan bağlantıları, mor olanlar ise her iki yüzeyde bulunan bağlantıları göstermektedir.



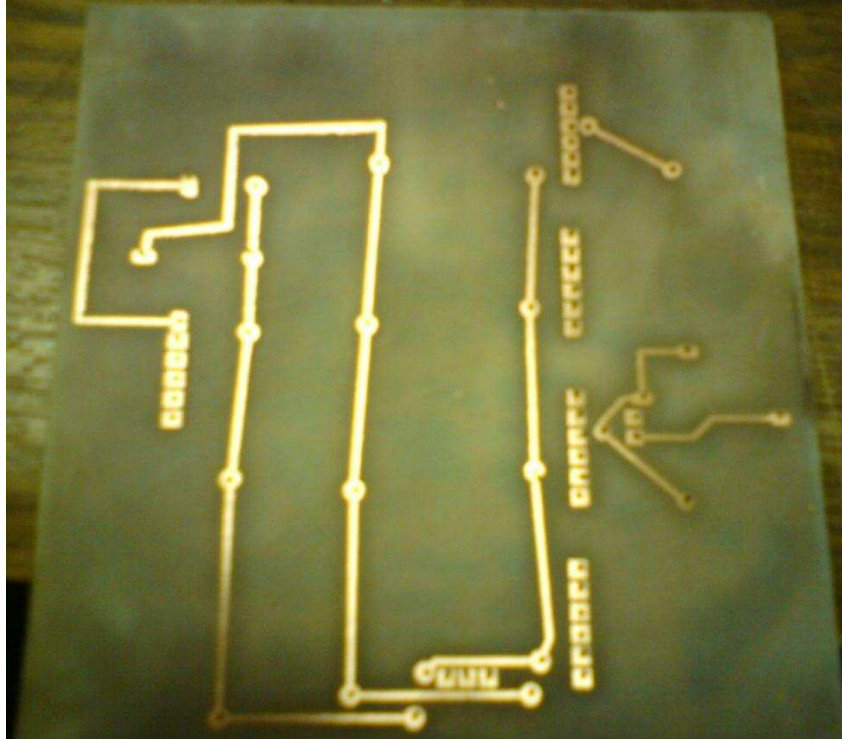
Şekil 3.2: Basılan devrenin benzetim programındaki görünümü

Devreler oluşturulurken kullanılan AD8230 için 8-Lead SOIC_N , LT1065 için S Package 16-Lead SOL, AD8221 8-Lead SOIC ,OPA277 için R-PDSO-G8, OPA4277 için R-PDSO-G14 paketleri kullanılmıştır.

Devrenin kazanmış görünümü Şekil 3.3 ve 3.4’te verilmiştir.



Şekil 3.3: Devrenin kazınmış görünümü (İkinci kat-Ön yüz)



Şekil 3.4: Devrenin kazınmış görünümü (Arka Yüz)



Şekil 3.5: Lehim yapmak için gerekli aygıtlar

Devre basılmış hale getirildikten sonra devre elemanları bacak bağlantıları doğru olacak şekilde baskılı devreye lehimlenmiştir. Lehim için gerekli olan ayarlanabilir hava, lehim teli ve hava temizleyiciye ait bir görünüm Şekil 3.5'te verilmiştir.

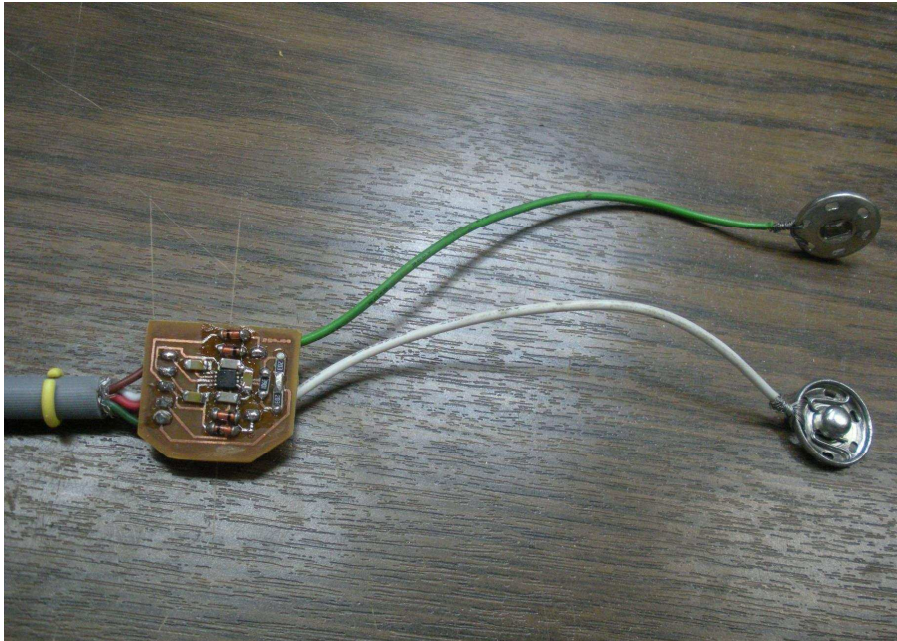
Yüzey montaj entegreler kullanılırken lehim yapılacak havaya ve lehim türüne dikkat etmek gereklidir. Aksi takdirde istenmeyen deşmeme ve kısa devre olma sorunları ortaya çıkabilir. Üreticiler tarafından genelde entegre bacaklarının sıcaklığının 300°C nin üzerine çıkarılmaması tavsiye edilmiştir. Bu yüzden ısıyı kontrol edilebilen bir hava kullanmak gereklidir. Ayrıca havyanın uç kısmının da bu bacakların arasında lehim köprüsü olmayacak şekilde küçük olması gereklidir. Bunun yanında havaya bulaşan ve lehim telinin içinde akışkanlığı ve yapıştırmayı sağlayan ve hemen bozulan kimyasallar vardır. Bunları her bacak lehimlendikten sonra temizleyecek bir hava temizleyiciye gereksinim vardır. Kullanılan lehim telinin kalınlığı ve içindeki akışkan oranı da önemlidir. %2 nin üstünde akışkana sahip lehim teli kullanılmalıdır. 0.75mm çapında bir lehim telinin kullanılan bileşenler için yeterli olduğu gözlemlenip %3 akışkan değerinde ve bu çapta bir lehim teli tercih edilmiştir.

Kullanılan bileşenlerinin birçoğunun bacak kalınlığı 1 mm'nin altında olduğu için devreyi lehimlemek için bir büyüteç gereklidir. Lehimleme sırasında en ufak bir kıvılcama bile ısınmış lehimde içsel kırılmalara neden olacağından büyüteçle bacakların tam olarak yerleştiğinden emin olup bir elektrostatik boşalmaya karşı bir cımbızla üzerine bastırılması gereklidir. Lehimleme işlemi bileşen doğru şekilde yerleştirildikten sonra bileşenin bacağı ve bakır yola aynı anda havya ucunun değdirilmesi ve yeterince lehim teli buraya değdirilerek her ikisine yapışması sağlanarak yapılmıştır. Bu işlem sırasında bacaklar arasındaki ve yollar arasındaki istenmeyen lehim artıkları içinde akışkan bulunan bir bakır örgülü tel ile çekilmiştir.

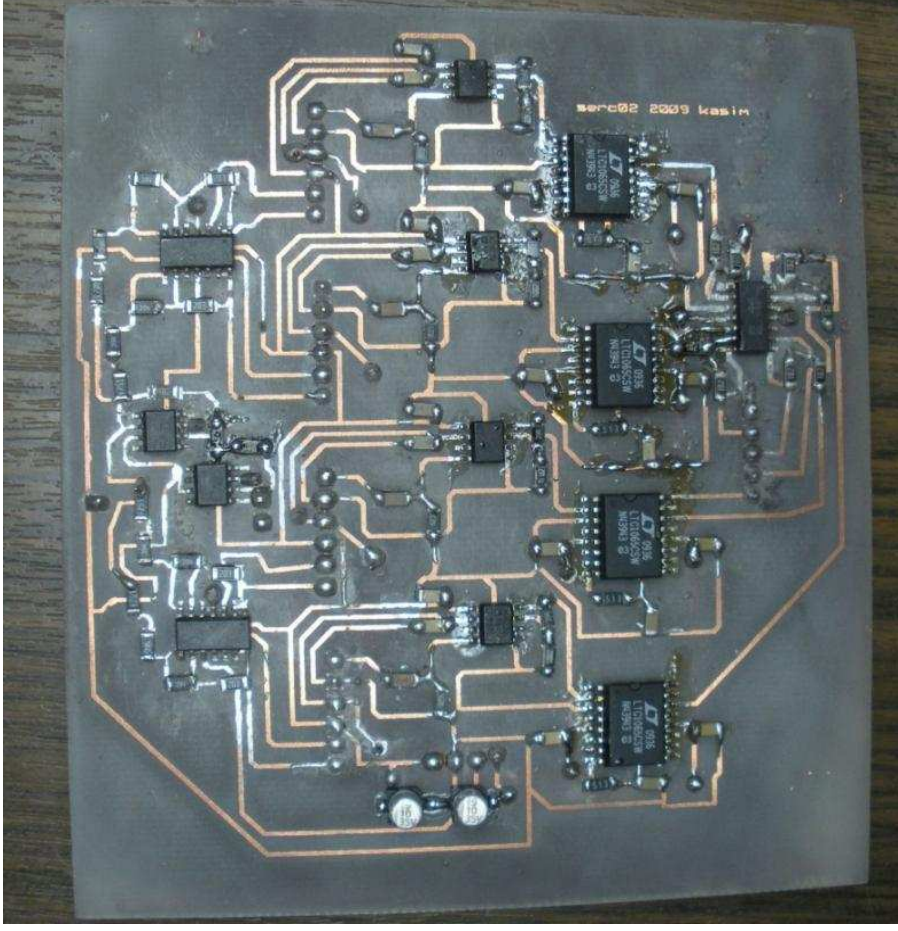
Etkin elektrodun kullanım kolaylığı açısından mümkün olduğunca küçük olması gerekir. Bu yüzden SMD elemanları kullanmak baskı tasarımını oldukça kolaylaştırmıştır. Şekil 3.6'da etkin elektrodun bağlantıları pasif elektroda bağlanacak son hali verilmiştir.

Şekil 3.7'de devrenin asıl yükselteç ve geri besleme katlarını içeren dört kanallı olarak kazınmış devrede gerçekleştirilmiş görünümü verilmiştir.

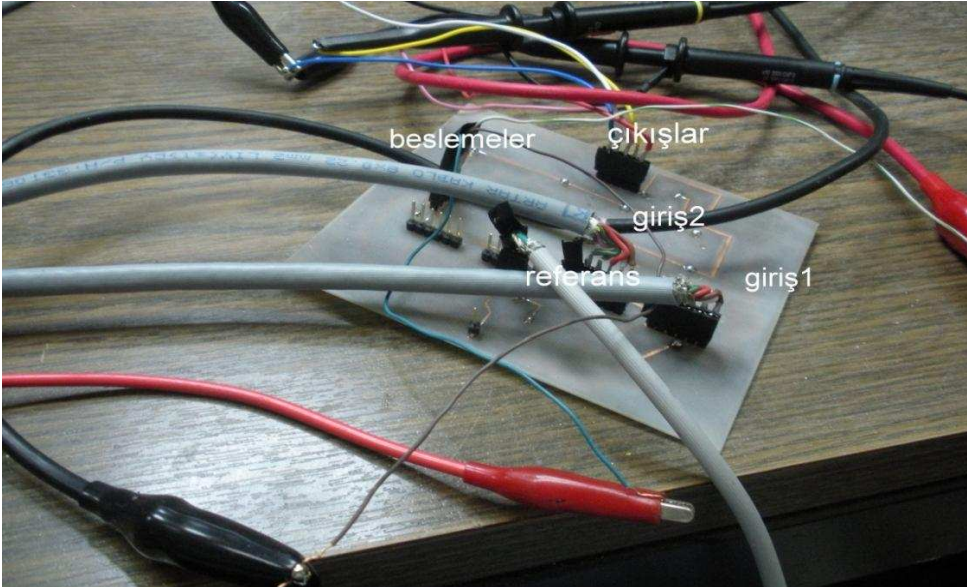
Şekil 3.8'de devreden ölçüm alınan bağlantı görüntüsü ve ölçüm aygıtları gösterilmiştir.



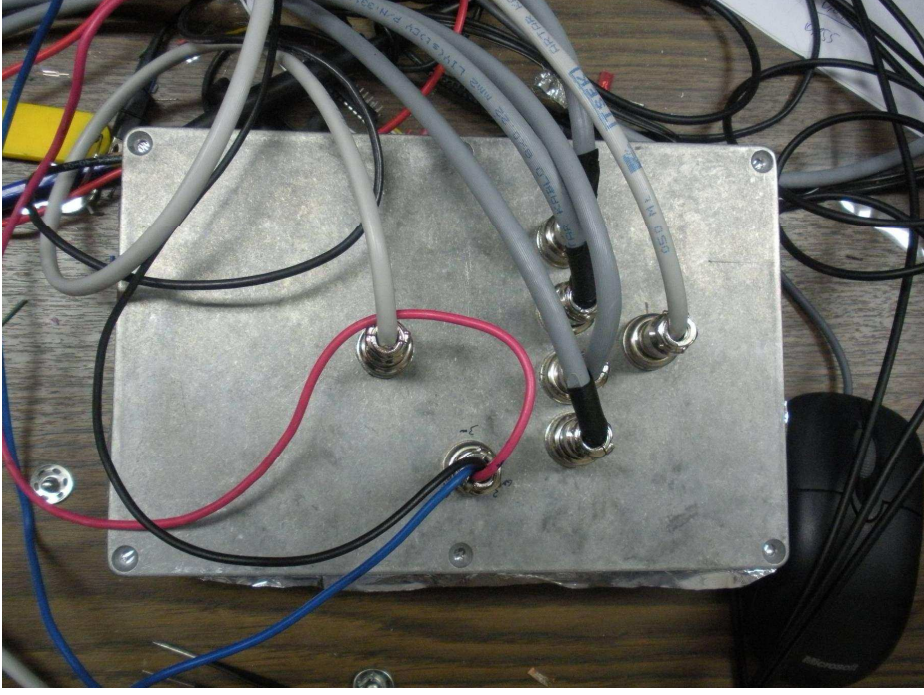
Şekil 3.6: Etkin elektrot



Şekil 3.7: Devrenin ikinci ve üçüncü katlarının dört kanallı olarak kazanmış devrede gerçekleştirilmiş görünümü



Şekil 3.8: Ölçüm için hazırlanan bağlantılar



Şekil 3.9: Yükseltecin kutulanmış hali

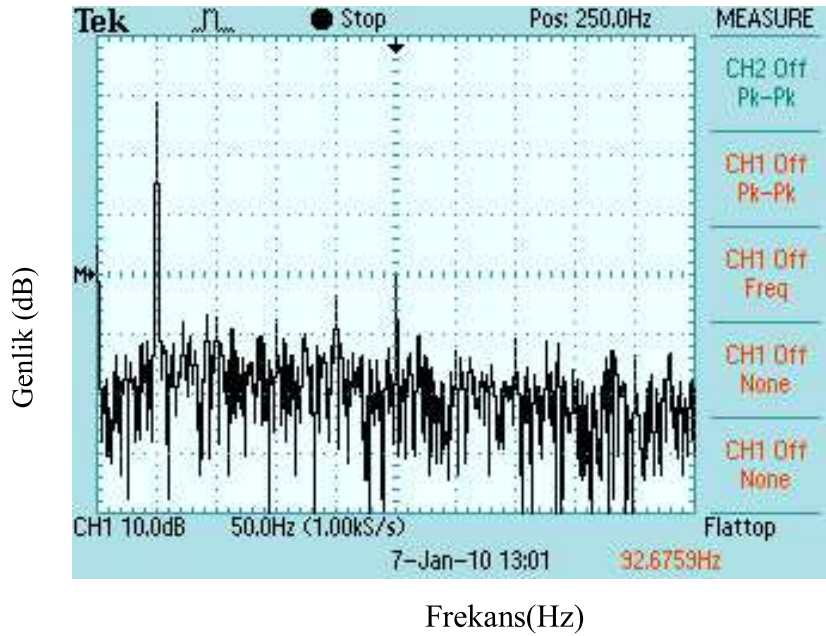
Şekil 3.9’da EMG yükseltecinin kutulanmış hali verilmiştir. Devre iletken yapıya sahip bir tür dökümlü alüminyum malzemedan yapılmıştır. Bu sayede dışarıdan gelip devreye etki edebilecek yüksek frekanslı gürültülerden yalıtılması amaçlanmıştır.

4. BULGULAR

Bu bölümde devrenin çıktılarını incelenmiştir. Devre sadece analog bileşenlerden oluştuğu için elde edilen sonuçlar tamamı ile osiloskopta gözlemlenmiştir.

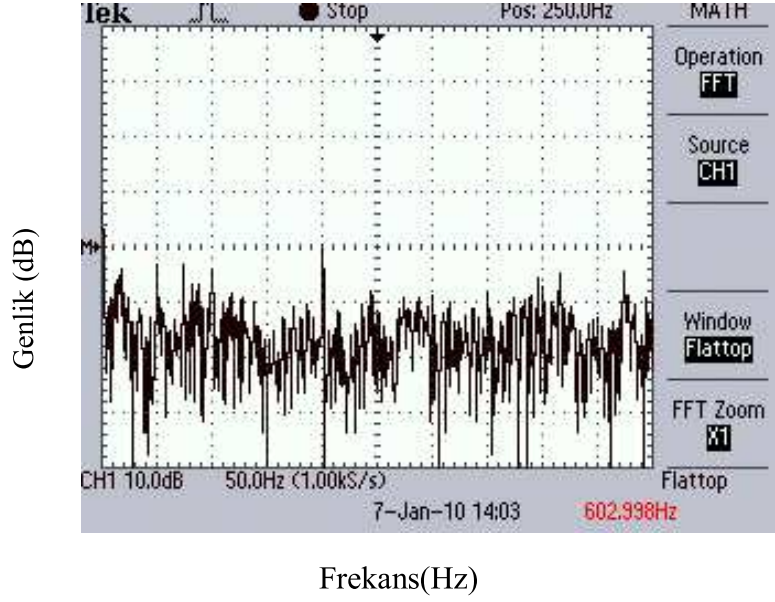
4.1 Geri Beslemenin Etkisi:

Öncelikle geribeslemenin devreye kattığı etki gözlemlenmeye çalışılmıştır. 3. Bölümde de bahsedildiği gibi 50 Hz ortak mod girişimi devrenin çalışmasına en fazla etki eden etmendir. Şekil 4.1 den de gözlenebileceği gibi kol kası durağan konumdayken bile diğer frekans bileşenleri -dB değerindeyken 50Hz frekansı 30 dB mertebesindedir. Bu istenmeyen işaret kas işaretinin neredeyse görünmez konuma getirmektedir.



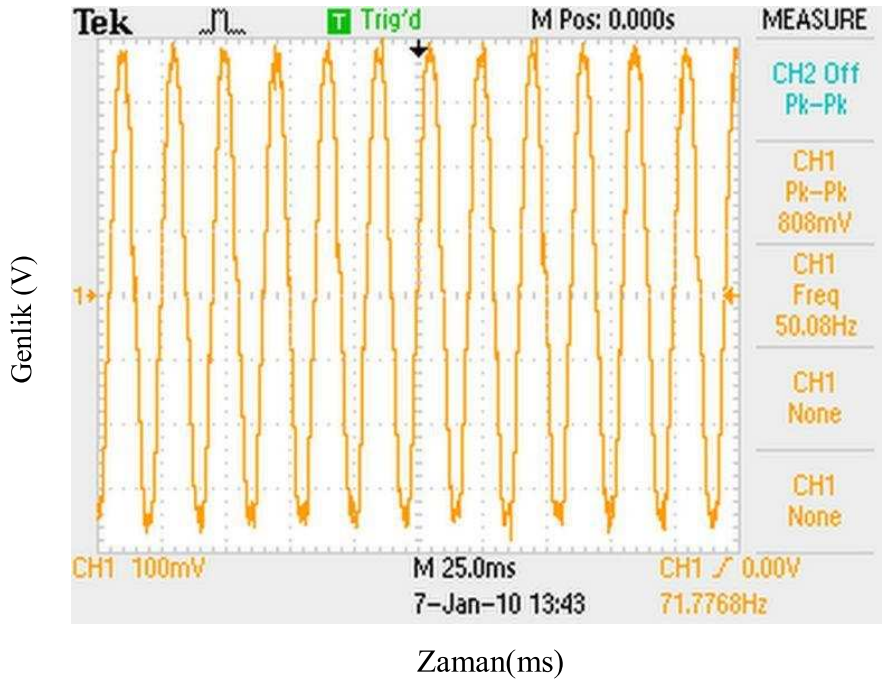
Şekil 4.1: Kaslar durağan konumdayken ve geribesleme yokken frekans karakteristiğinin osiloskop çıktısı

Geri besleme devreye sokulduğunda ise Şekil 4.2 ortaya çıkmaktadır. Bu şekilde her bir yatay birim uzunluk 50Hz'i her bir dikey birim uzunluk da 10dB'lik çıkış gücünü temsil etmektedir. Burada devre için oldukça fayda sağlayıcı bir iyileştirme olduğu gözlemlenmiştir.



Şekil 4.2: Kaslar durağan konumdayken ve geribesleme varken frekans karakteristiğinin osiloskop çıktısı

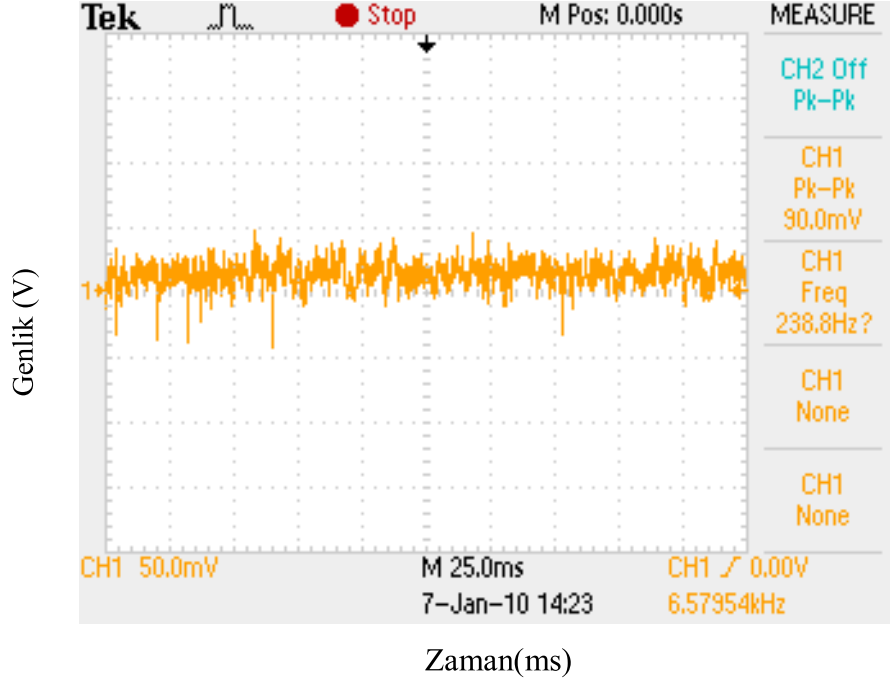
Şöyle ki 30dB olan 50Hz ortak mod girişimi geri beslemenin devreye girmesiyle -4 dB'e kadar düşmüştür ve 34 dB kadar zayıflamıştır. Bu durumu işaret üzerinde zaman düzleminde gözlemlenirse çıkış genliği bakımından zayıflama Şekil 4.3 ve Şekil 4.4'den görülebilir.



Şekil 4.3: Kaslar durağan konumdayken ve geribesleme yokken dalga şekli

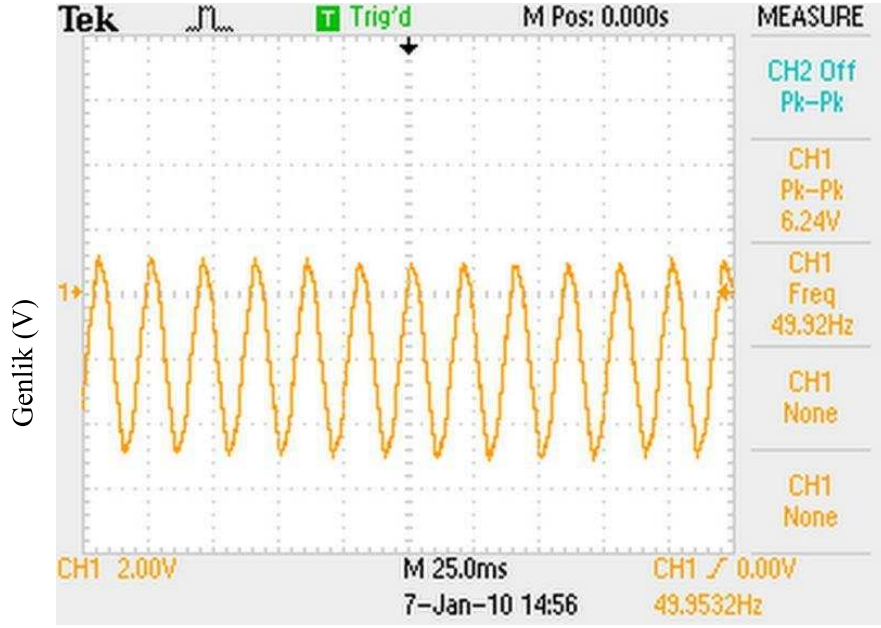
Şekil 4.3'de gösterildiği üzere kaslar durağan durumdayken ve geri besleme yokken tepeden tepeye genlik değeri 808mV olarak bulunmuştur. Şekil 4.4'teki geri besleme varken

ise bu deęer 90mV'a kadar dūřmüřtür. Bu iřaretin genlięini etkileyen kas dokusundaki ufak hareketleri ve elektronik bileřenlerin içsel gürültülerini de göz önünde bulundurulduğunda daha düşük bir deęer olduęu da söylenebilir.

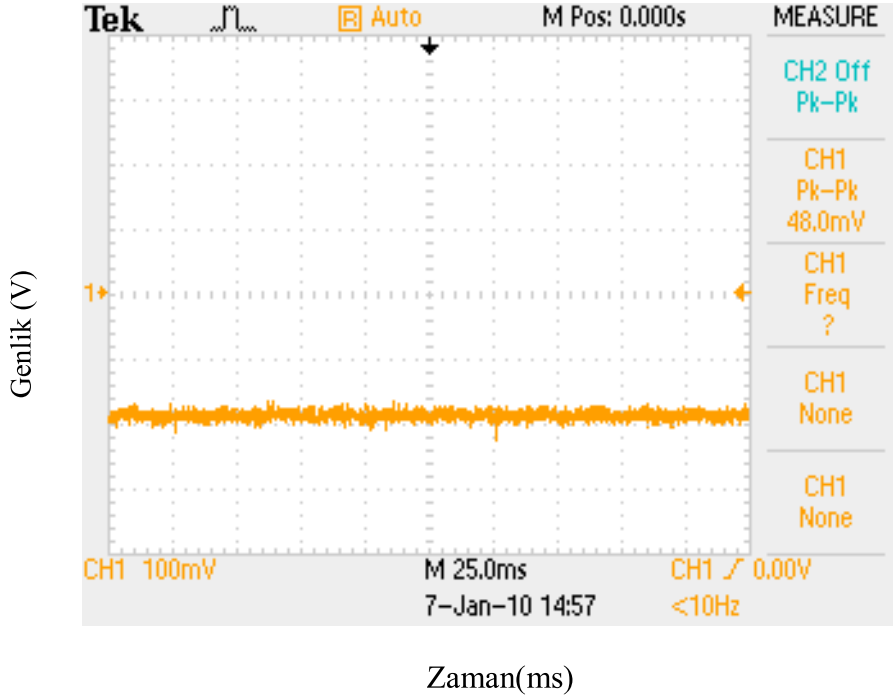


řekil 4.4: Kaslar duraęan konumdayken ve geribesleme varken dalga řekli

Bunu saęlayan devre katı olan geri besleme katındaki iřaret deęiřimleri de önemlidir. Geri beslemenin alıřması sonucunda geri beslenen iřaretin azalması gereklidir. Bu deęiřimi incelemek için etkin elektrottan alınan orta uç referans iřaretinin geri besleme varken ve yokken ıkıřları řekil 4.5 ve řekil 4.6'da verilmiřtir.



Şekil 4.5: Kaslar durağan konumdayken ve geribesleme yokken orta uç referans işaretinin dalga şekli



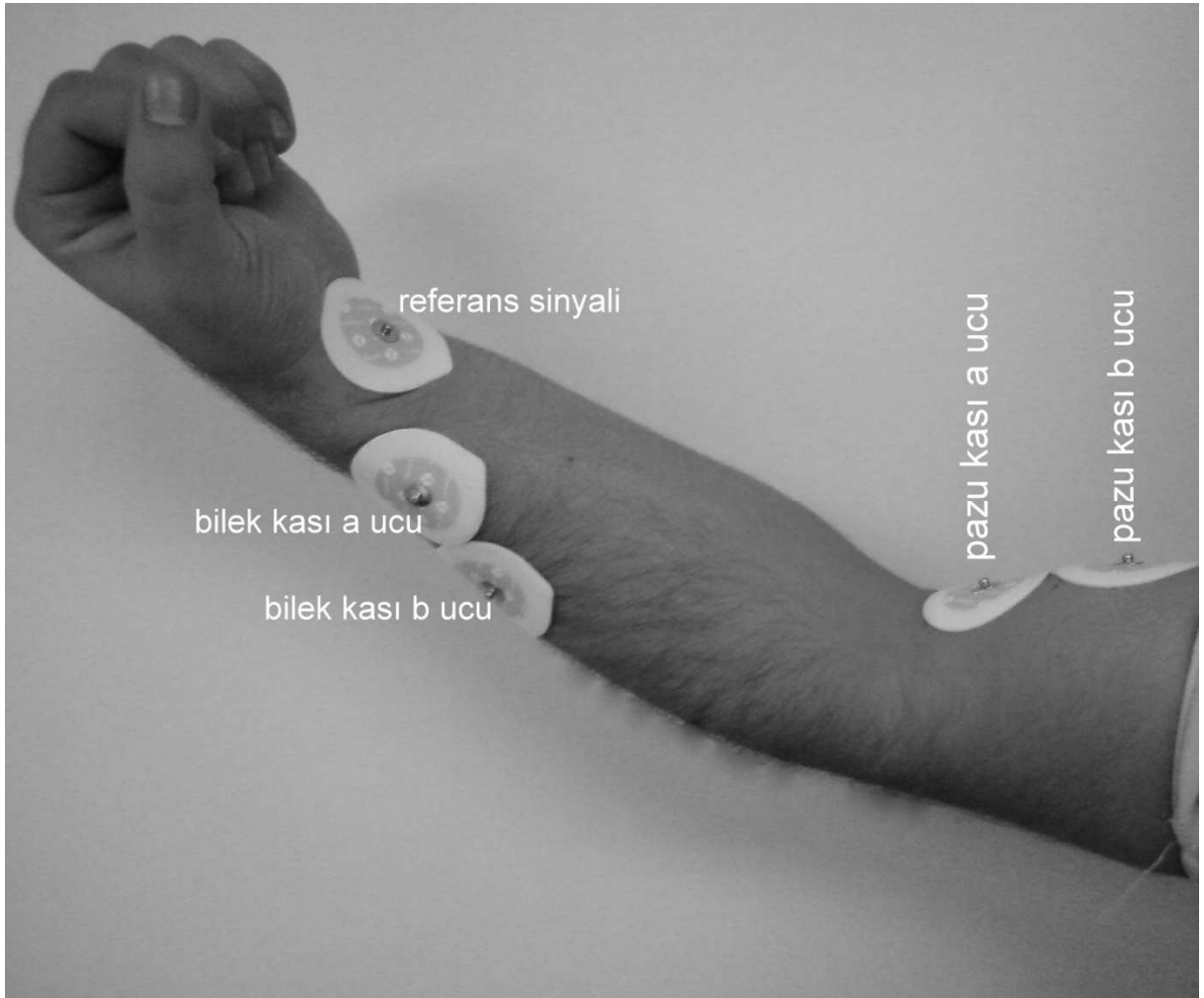
Şekil 4.6: Kaslar durağan konumdayken ve geri besleme varken referans işaretinin dalga şekli

Şekil 4.5 ve 4.6'dan da görülebileceği gibi işaretin genliği 130 kez azalmıştır. Fakat doğru gerilim bileşenleri bakımından süregelen ortak mod kayması tam olarak giderilmemiştir. Bunu gidermek en azından azaltmak için bir pasif süzgeç kullanılabilir. Ayrıca etkin elektrotlardan biri ya da birkaçı bağlı olmadığında toplamsal geribeslemeyi

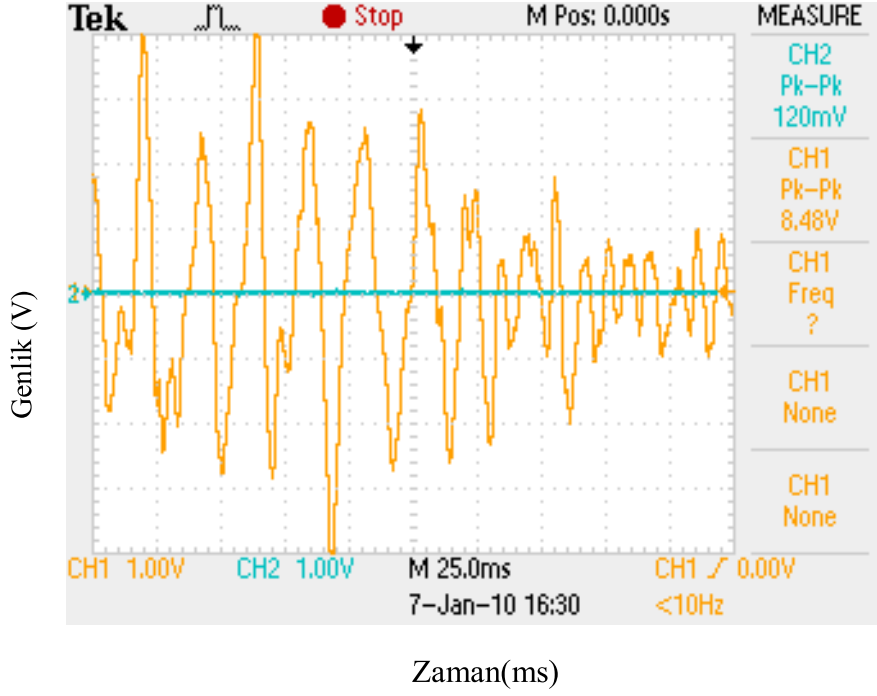
oluşturan işlemsel yükselteçlerin giriş bacakları boşta kalmaktadır. Bu da devreyi olumsuz etkilemektedir. Bu yüzden boşta kalan referans ucu bacaklarını topraklamak faydalı olabilir.

4.2 Devre Çıktıları:

Bu bölümde iki kas bölgesinden alınan EMG işaretleri incelenmiştir ve bu işaretlerin algılanmaları için yeterli olup olmadıkları araştırılmıştır. Bu kas bölgelerinden ilki bilek ve parmakların hareketinden sorumlu bilek kası; ikincisi ise kol açılıp kapanmasından sorumlu pazu kasıdır. Bu bölgeler Şekil 4.7’de gösterilmiştir.

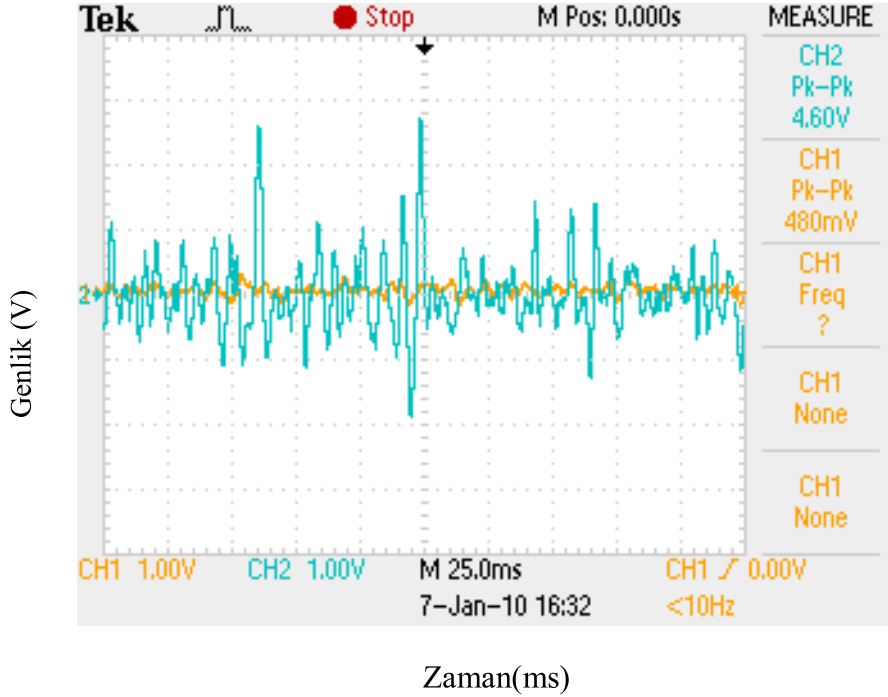


Şekil 4.7: Kol kasından işaret alınan bölgeler



Şekil 4.8: Kasılan pazu kasının osiloskop çıktısı

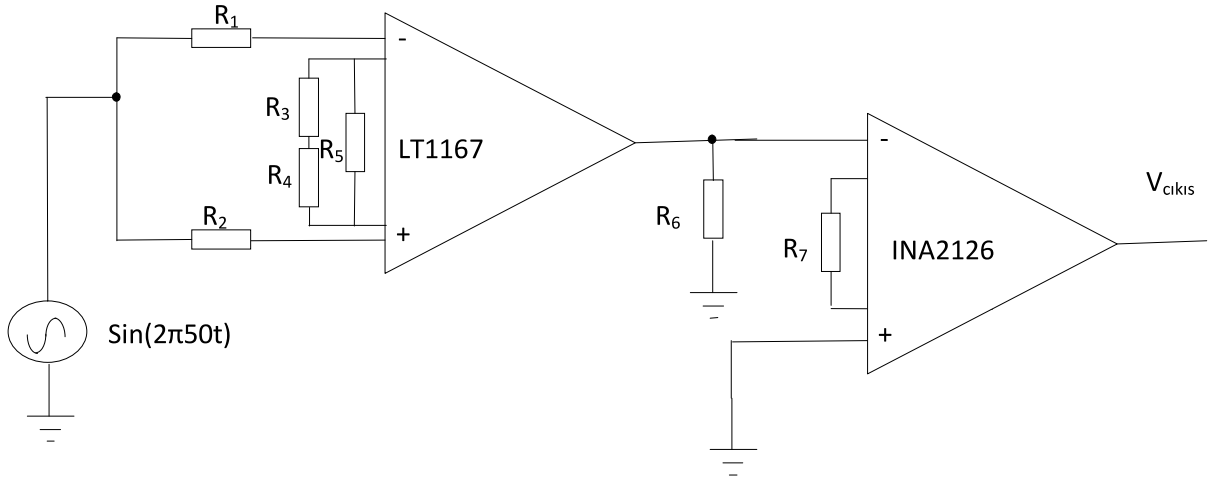
Şekil 4.8’den de görülebileceği gibi pazu kasının kasılması durumunda 8.48 V tepeden tepeye genliğe sahip bir EMG işareti elde edilmiştir. Bu kol kası kolun açılıp kapanmasını sağlayan pazu kasıdır. Bu kasılma sırasında bilek kasına ait işarete fazla değişim olmayıp 120mV tepeden tepeye genlikte kalmıştır.



Şekil 4.9: Kasılan bilek kasının osiloskop çıktısı

Şekil 4.9'daki gibi bilek kası kasıldığında ise bu kasılma süresince az da olsa pazu kası da kasılmıştır. Bu tepeden tepeye genlikler sırasıyla, bilek kası için 4.60V; pazu kası için 480 mV'dur. Bu kasın yükseltilmeden önceki genliği yaklaşık olarak $300\mu V$ 'tur(Yazgan ve Koruürek,1996). Bu durum göz önüne alındığında yükseltecin 1196 kat yükseltme işlemini gerçekleştirdiği söylenebilir.

EMG aygıtları üretici firmalar tarafından genellikle 50Hz için Ortak Mod Bastırma Oranı ile tanıtılırlar. Bu oran Benning ve ark. yaptıkları taşınabilir EMG yükseltici tasarım çalışması raporuna göre genelde 90dB in üstünde tercih edilir (Benning ve ark., 2003). Bu değer hesaplanmak için devrenin iki moduna da aynı işaret verilir ve çıkışta ne kadar zayıfladığı hesaplanır.



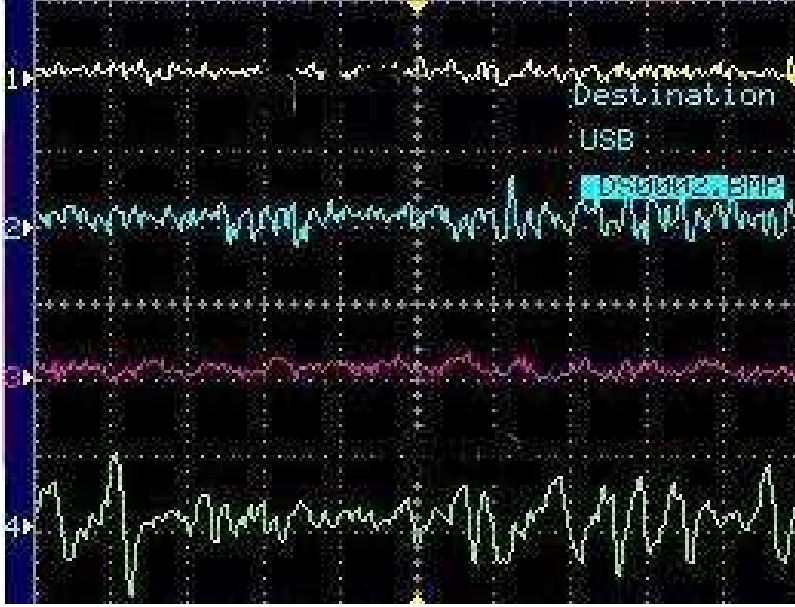
Şekil 4.10:CMRR ölçümü için oluşturulan deney düzeneği

CMRR ölçümü için Şekil 4.10'daki devre basılıp oluşturulmuştur. Fakat açık çevrim kazancı hesaplanırken aşırı gürültüden dolayı giriş işareti gözlemlenememiştir. Giriş gerilimi gözlemlenebilecek kadar büyütüldüğünde ise çıkış entegresi kesime gitmiş ve bu yüzden kazanç hesaplanamamıştır.

Devre bir güç kaynağıyla simetrik beslenmiştir. Pil ile yapılan deneylerde iyi sonuçlar elde edilmediğinden bu yola gidilmiştir. Güç Kaynağı devre çalışırken devreye '+' ve '-' besleme olarak 50'er mA akım çekmiştir.

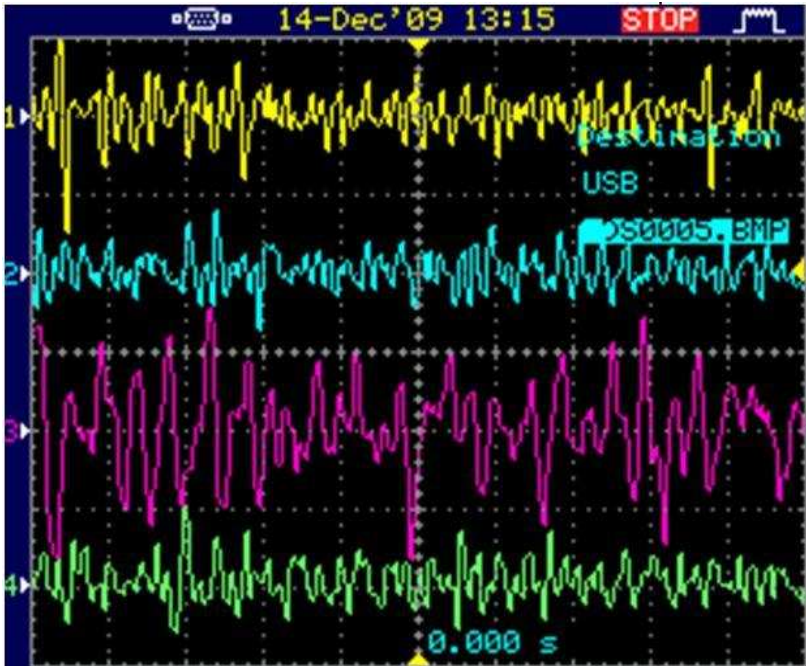
Devrenin dört kanalının da kas kasılmasını algıladığı ve çıkışa algılanabilir şekilde aktardığı gözlemlenmiştir. Şöyle ki devrede bir kas grubu kasılı değilken 40 ile 60 mV arasında tepeden tepeye genlikli gürültü işareti üretmektedir. Bunun yanında bağlı bulunduğu

kas grubuna göre 1V ve 5V arasında tepeden tepeye genlikli işaretler üretmektedir. Bu da kas grubunda kas etkinliği olup olmadığını algılamak için yeterlidir.



Şekil 4.11: Koldaki 4 kasın EMG Görüntüsü (El açıkken)

Şekil 4.11 ve 4.12’de el üzerine yerleştirilmiş elektrotlar vastasıyla ölçülen EMG görüntüleri verilmiştir. El açık konumundayken el üstü kasının (4 numaralı kanal) aktif konumda olduğu gözlenmektedir. Pazu kası kasılırken de nerdeyse tüm el kaslarının kasıldığı gözlemlenmiştir. Bu iki görüntü sadece tüm kanalların çalışıp çalışmadığını gözlemek için konmuştur. Tüm kanallar için bir yatay birim kare 25 ms, bir dikey birim kare de 1V’dur.



Şekil 4.12: Koldaki 4 kasın EMG Görüntüsü (Pazu kası kasılırken)

5. TARTIŞMA VE ÖNERİLER

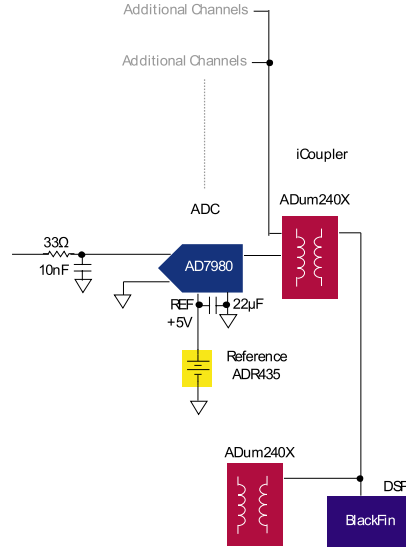
Bu tez çalışmasında 4 kanallı bir EMG yükselteci tasarımı ve yapımı amaçlanmıştır. Bu amaçla çeşitli aktif elektrot tasarımları denenmiş ve en son tasarımda SMD teknolojisini kullanan frekans bandını işareti bozmayacak ve dış etmenlerden mümkün olduğunca arındıracak bir tasarım gerçekleştirilmiştir. Ayrıca daha önceki çalışmalardan farklı olarak tasarlanan yükselteç katında ölçüm yükselteci ve çıkışında aktif süzgeç kullanılarak özgün bir tasarım ortaya konmuş ve gerçekleştirilmiştir.

Tasarımın gerçekleştirilmesi aşamasında çeşitli iyileştirmeler yapılabileceği açıktır. Devrenin geribesleme katında bulunan toplamsallığı iyileştirmek amacıyla kullanılmayan etkin elektrotların referanslarının bulunduğu geribesleme girişlerini bir anahtarla toprağa çekmek gereklidir. Bunun yanında geribeslemede oluşan dengesizliği azaltmak veya bu girişte aşırı değişimleri önlemek amacıyla bu girişe bir band geçiren süzgeç eklenebilir.

Tasarlanan devre daha önce de bahsedildiği gibi bakır levhanın kazınmasıyla oluşturulmuştur. Bu bakırın asit ile aşındırılması ve aside maruz kalmamış bölgelerin zımpara ile temizlenmesi yöntemine dayandığından tüm bölgeler benzetim programında eş kalınlıklı çizilmiş olsa bile elde edilen üründe eş dağılımlı bir kalınlığa sahip olmadıkları açıktır. Bu yüzden devrenin uzman gözetiminde gelişmiş aygıtlarla basılması gereklidir.

Devrenin CMRR'sinin deneysel yöntemlerle ölçülebilmesi için düşük genlikte işaretleri temiz olarak üretebilecek bir işaret kaynağı ve bu kaynağın frekans spektrumunu doğru şekilde gösterebilecek bir ölçüm aygıtına ihtiyaç vardır.

Bu devrelerin çıktılarının bilgisayar temelli matematiksel yöntemlerle irdelenebilmesi analog işaretin sayısala dönüştürülmesi gereklidir. Bunun için denetleyici ve algılayıcı olarak kullanılan bilgisayardan kas grubunda ölçüm yapılan kişiye ve bu kişiden bilgisayara kaçak akım geçmemesi için yalıtım yapılmalıdır. Buna ilişkin devre Şekil 5.1'de Analog Devices üreticisi tarafından önerilmiştir. Burada işaret önce analogdan sayısala dönüştürülmüş ve bir sayısal izolatörle önceki devreden ayrılmıştır.



Şekil 5.1: Devre çıkışının D-A dönüşümden sonra yalıtılması (Analog Devices,2010)

Devre çıkışında elde edilen işaretlere bakılarak iki istenmeyen işaret kaldığı söylenebilir. Bunlar genliği 40mV civarında olan 50Hz ortak mod girişimi ve genliği ortak moda göre daha düşük düzeydeki ve frekansı megahertzleri bulan aygıtların içsel gürültüsüdür. Bu iki istenmeyen işaret de sayısal yöntemler kullanarak kolayca yok edilebilir.

Devrenin girişleri kısadevre edilip 5V genlikli 50Hz frekansında sinüzoidal bir kaynak giriş olarak uygulandığında 56mV genlikli bir işaret gözlemlenmiştir. Devrenin kazancının 61dB olduğu düşünülürse bu zayılatma miktarı 39 dB'e karşılık gelir. Buradan da devrenin ortak mod bastırma oranının 50 Hz için yaklaşık olarak 100 dB'den daha yüksek olduğunu gösterir. Şöyle ki 56mV un tamamı saf sinüs işaretine ait değildir. Kaldı ki girişe uygulanan gerilim mertebesi arttıkça devrenin ortak mod bastırma yeteneği zayıflamaktadır.

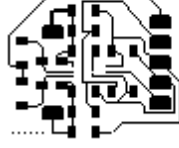
Giriş direnci olarak bakıldığında ise devrenin giriş direnci 8221 entegresinin giriş direncine eşittir. Üretici kataloğunda bu değer 1GΩ dan yüksek olarak verilmiştir.

Sonuç olarak devre bir dijital analog çevirici kartı ile doğrudan kullanıma hazırdır.

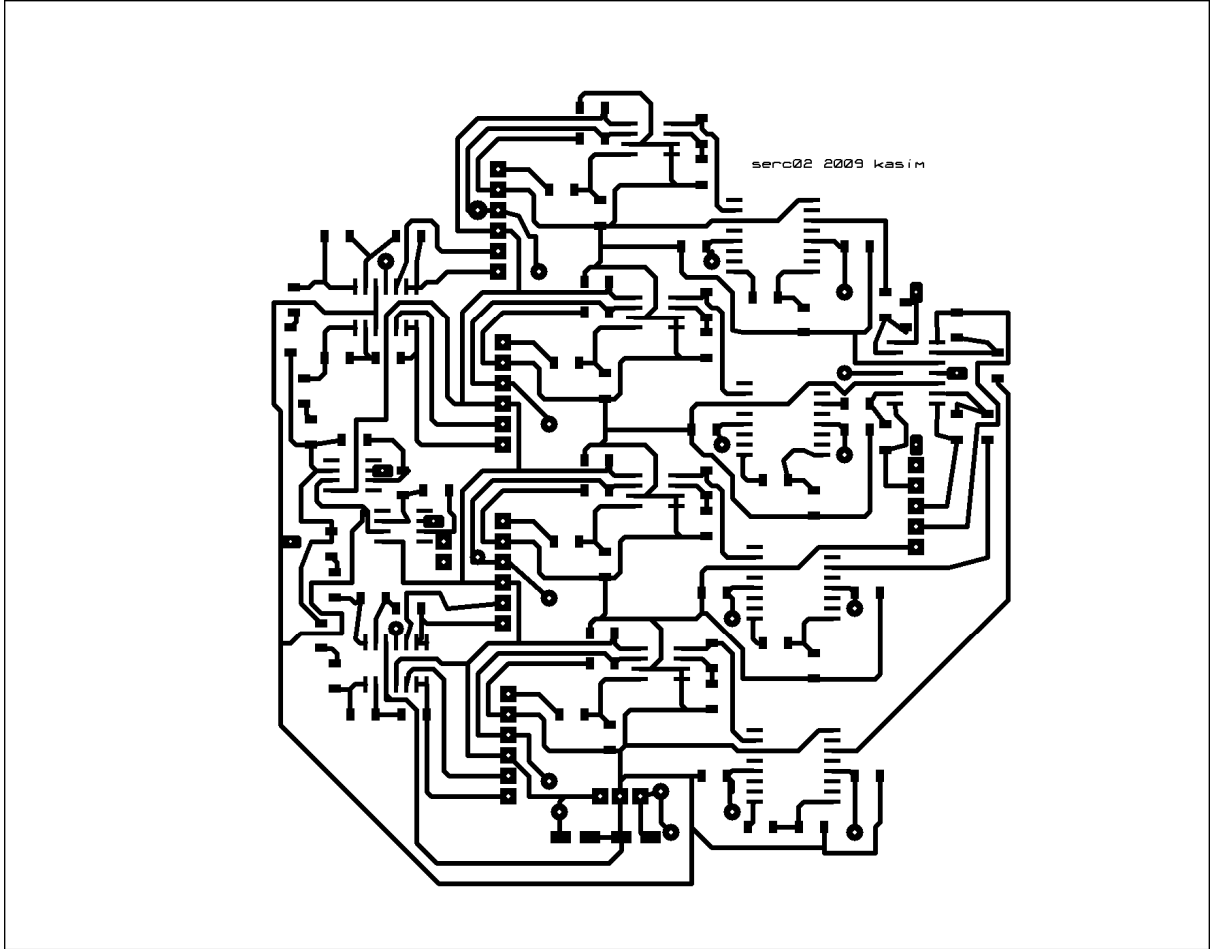
KAYNAKLAR

- Altınbaş A., 2007. EMG sinyallerinin Kısa Zamanlı Fourier Dönüşümü ve Dalgacık Dönüşümü Kullanarak Analiz Edilmesi, Yüksek Lisans Tezi, Gazi Üniversitesi Bilişim Enstitüsü .
- Analog Devices, 2004. AD8230 16 V Rail-to-Rail, Zero-Drift, Precision Instrumentation Amplifier,
<http://www.datasheetcatalog.org/datasheet2/c/0hj0eq6y3kvt883xtfcrpr301ccy.pdf>,
 (07.01.2010).
- Analog Devices, 2007. AD8221 Datasheet, Precision Instrumentation Amplifier.,
http://www.analog.com/static/imported-files/Data_Sheets/AD8221.pdf,(07.01.2010).
- Analog Devices, 2010. Medical Applications Electrocardiogram (ECG)(PowerPoint sunusu),
http://www.analog.com/static/imported-files/overviews/MedicalApplications_ECG.ppt (07.01.2010).
- Benning M., Boyd S., Cochrane A., Uddenbergi D.,2003. ” The Experimental Portable EEG/EMG Amplifier”, ELEC 499A Teknik Raporu.
- Bond C., 2003. Polynomials, Poles and Circuit Elements,
<http://www.crbond.com/papers/bsf2.pdf>
- Fidan U. ve Güler N.,2007. ”4 Kanallı Biyotelemtri Cihazı Tasarımı”, Gazi Üniv. Müh. Mim. Fak. Der. Cilt 22, No 1, s:7-12.
- Gulrajani R., 1998. Bioelectricity and Biomagnetism, John Wiley and Sons, New York.
- Kitchin C. ve Counts L., 2006. A Designer’s Guide to Instrumentation Amplifiers. 3. Edition, Analog Device,
http://www.analog.com/UploadedFiles/Associated_Docs/56674312778737Complete_In_Amp.pdf , (07.012010).
- Korürek M., 2000.Biyolojik İşaretlerin Oluşumu ve Algılama Yöntemleri, Ders notu.
- Kugelstadt T., 2005. Getting the most of your instrumentation amplifier design, Texas Instruments Incorporated Amplifiers: OP Amps, Application Notes.
- Lee S. S., Shin K. Y., Mun J. H., 2006. “Development of a Preamplifier and a Wireless Surface EMG”, World Congress on Medical Physics and Biomedical Engineering, s: 2748-2751.

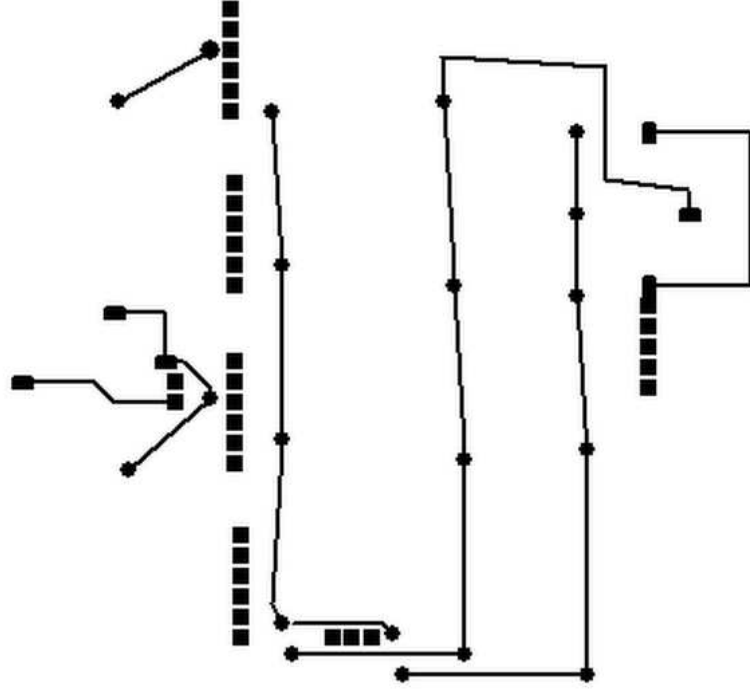
- Linear Technology, 1992. LT1112, LT1114 Dual/Quad Low Power Precision, Picoamp Input Op Amps.
- Linear Technology, 2000. LT1168, Low Power, Single Resistor Gain Programmable, Precision Instrumentation Amplifier
- Linear Technology, 2008. LT1065 DC Accurate, Clock-Tunable Linear Phase 5th Order Bessel Lowpass Filter. http://www.ic-on-line.cn/iol/viewpdf/ltc1065c_84486.htm, (07.01.2010).
- Moore J. ve Zouridakis G., 2004. Biomedical Technology and Devices Handbook, (Bölüm-4, Electromyography: Detection, Processing, and Application), Edited by CRC Press.
- Shimomura Y., Iwanag K., Katsuura T., 1999. "Evaluation and Design of a Small Portable EMG Amplifier with Potential RMS Output", Appl Human Sci, Cilt:18, No:2, s: 61-67.
- Siriprayoonsak S., 2005. Real-Time Measurement of Prehensile EMG Signals, Yüksek Lisans Tezi, Diego State University, San Diego, USA.
- Texas Instruments Incorporated, 2007. Burr-Brown INA2126 Datasheet, Micropower Instrumentation Amplifier Single and Dual Versions, Texas.
- Wikipedia, 2009. 'Bessel Filter' konu başlığı, http://en.wikipedia.org/wiki/Bessel_filter
- Williams T., 2005. The Circuit Designer's Companion, Second edition, Elsevier.
- Yazgan E., Koruürek M., 1996. Tıp Elektronik, İTÜ Elektrik-Elektronik Fakültesi Ofset Baskı Atelyesi, İstanbul.

EKLER**Ek1: Baskı devrelerin PROTEUS çıktıları**

Etkin elektrot ıktısı



Gövde ıktısı:üst



Gövde çıktısı: alt

EK-2 Kullanılan kataloglar

FEATURES

Available in space-saving MSOP package
 Gain set with 1 external resistor (gain range 1 to 1000)
 Wide power supply range: ± 2.3 V to ± 18 V
 Temperature range for specified performance:
 -40°C to $+85^{\circ}\text{C}$

Operational up to 125°C ¹

EXCELLENT AC SPECIFICATIONS

80 dB min CMRR to 10 kHz (G = 1)
 825 kHz -3 dB bandwidth (G = 1)
 2 V/ μs slew rate

LOW NOISE

8 nV/ $\sqrt{\text{Hz}}$, @ 1 kHz, max input voltage noise
 0.25 μV p-p input noise (0.1 Hz to 10 Hz)

HIGH ACCURACY DC PERFORMANCE (AD8221BR)

90 dB min CMRR (G = 1)
 25 μV max input offset voltage
 0.3 $\mu\text{V}/^{\circ}\text{C}$ max input offset drift
 0.4 nA max input bias current

APPLICATIONS

Weigh scales
 Industrial process controls
 Bridge amplifiers
 Precision data acquisition systems
 Medical instrumentation
 Strain gages
 Transducer interfaces

GENERAL DESCRIPTION

The AD8221 is a gain programmable, high performance instrumentation amplifier that delivers the industry's highest CMRR over frequency. The CMRR of instrumentation amplifiers on the market today falls off at 200 Hz. In contrast, the AD8221 maintains a minimum CMRR of 80 dB to 10 kHz for all grades at G = 1. High CMRR over frequency allows the AD8221 to reject wideband interference and line harmonics, greatly simplifying filter requirements. Possible applications include precision data acquisition, biomedical analysis, and aerospace instrumentation.

Low voltage offset, low offset drift, low gain drift, high gain accuracy, and high CMRR make this part an excellent choice in applications that demand the best dc performance possible, such as bridge signal conditioning.

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

CONNECTION DIAGRAM

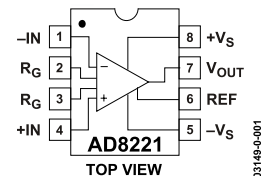


Figure 1. SOIC and MSOP Connection Diagram

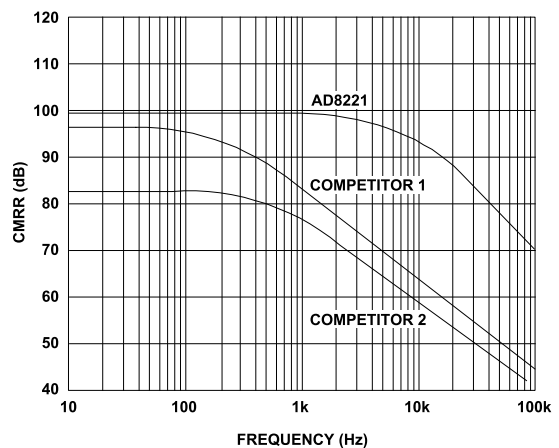


Figure 2. Typical CMRR vs. Frequency for G = 1

Programmable gain affords the user design flexibility. A single resistor sets the gain from 1 to 1000. The AD8221 operates on both single and dual supplies, and is well suited for applications where ± 10 V input voltages are encountered.

The AD8221 is available in low cost 8-lead SOIC and MSOP packages, both of which offer the industry's best performance. The MSOP requires half the board space of the SOIC, making it ideal for multichannel or space-constrained applications.

Performance is specified over the entire industrial temperature range of -40°C to $+85^{\circ}\text{C}$ for all grades. Furthermore, the AD8221 is operational from -40°C to $+125^{\circ}\text{C}$ ¹.

¹ See Typical Performance Curves for expected operation from 85°C to 125°C .

TYPICAL PERFORMANCE CHARACTERISTICS

(@+25°C, $V_S = \pm 15\text{ V}$, $R_L = 10\text{ k}\Omega$, unless otherwise noted.)

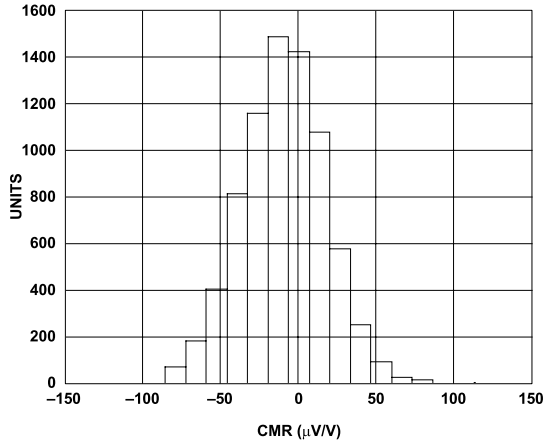


Figure 3. Typical Distribution for CMR ($G = 1$)

03149-0-003

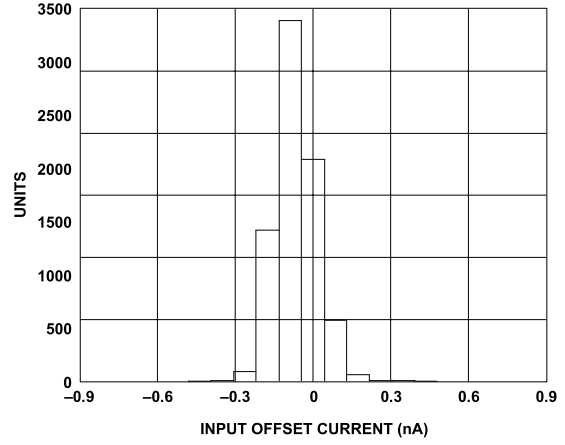


Figure 6. Typical Distribution of Input Offset Current

03149-0-006

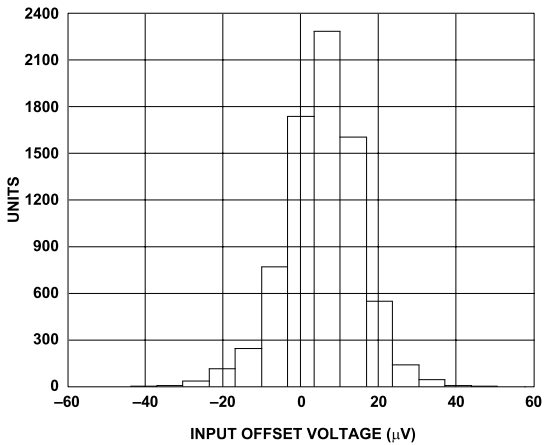


Figure 4. Typical Distribution of Input Offset Voltage

03149-0-004

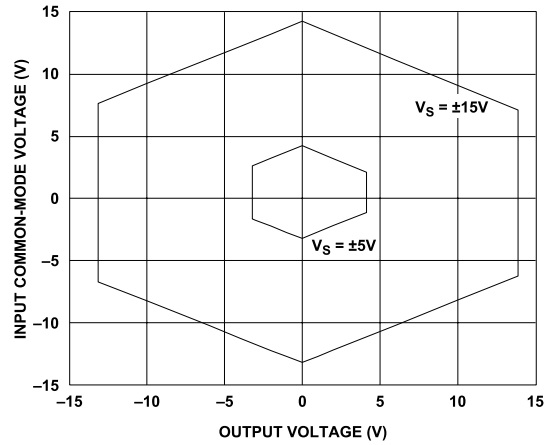


Figure 7. Input Common-Mode Range vs. Output Voltage, $G = 1$

03149-0-007

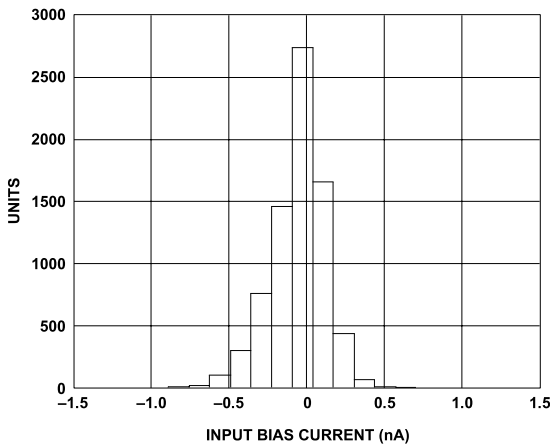


Figure 5. Typical Distribution of Input Bias Current

03149-0-005

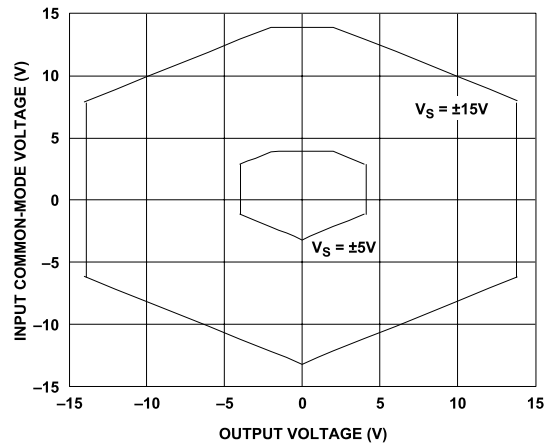


Figure 8. Input Common-Mode Range vs. Output Voltage, $G = 100$

03149-0-008

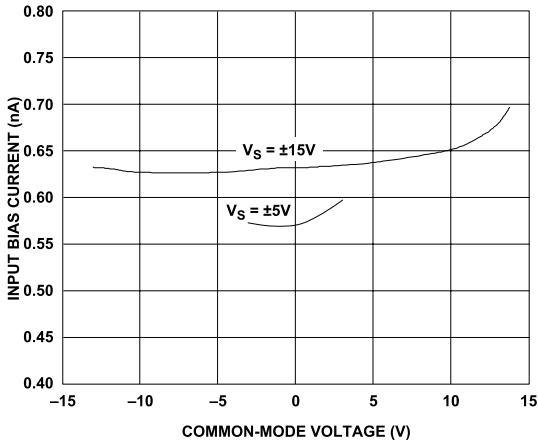


Figure 9. I_{BIAS} vs. CMV

03149-0-009

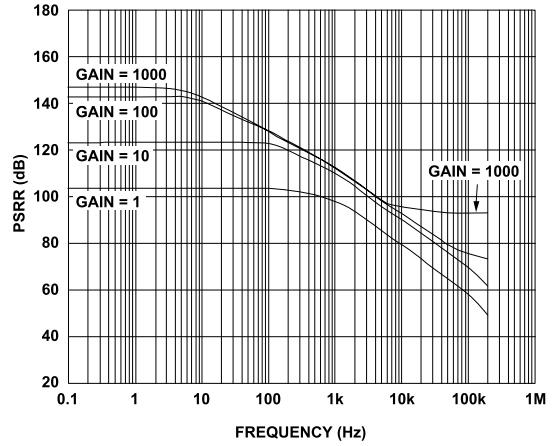


Figure 12. Positive PSRR vs. Frequency, RTI ($G = 1$ to 1000)

03149-0-012

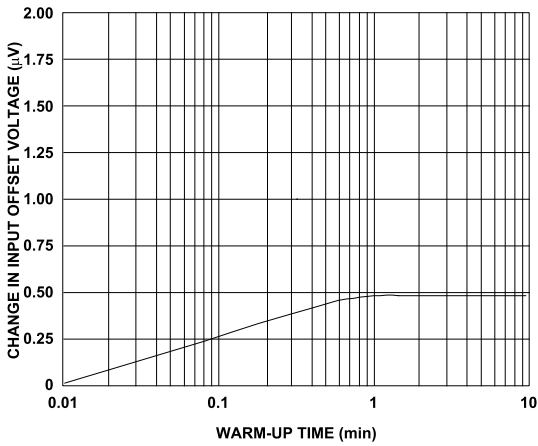


Figure 10. Change in Input Offset Voltage vs. Warm-Up Time

03149-0-010

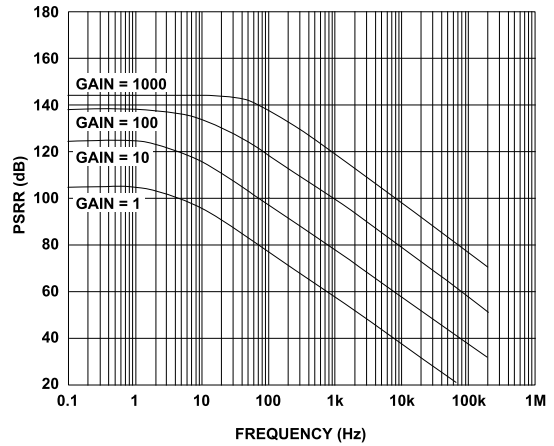


Figure 13. Negative PSRR vs. Frequency, RTI ($G = 1$ to 1000)

03149-0-013

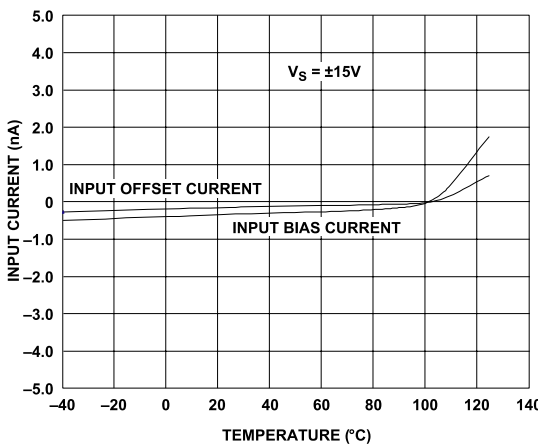


Figure 11. Input Bias Current and Offset Current vs. Temperature

03149-0-011

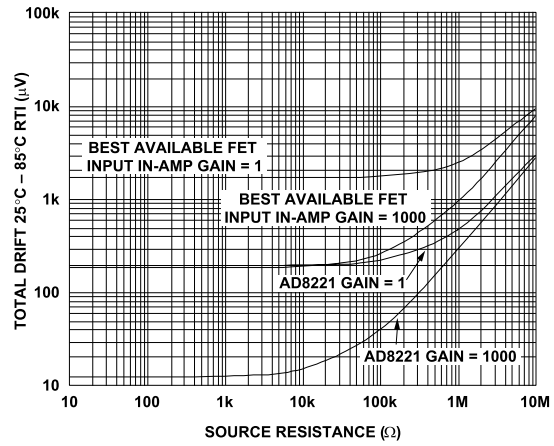


Figure 14. Total Drift vs. Source Resistance

03149-0-014

AD8221

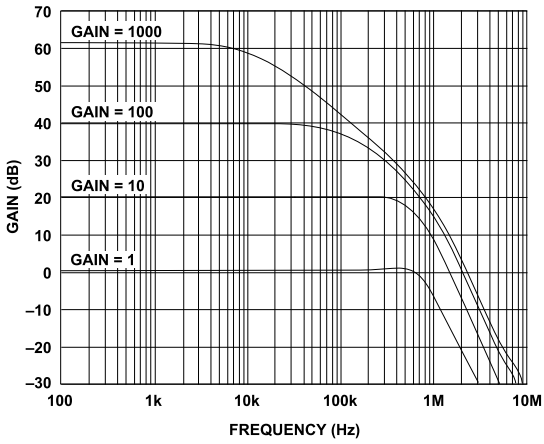


Figure 15. Gain vs. Frequency

03149-0-015

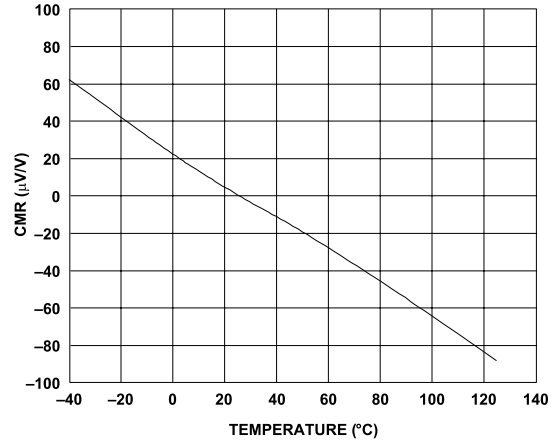


Figure 18. CMR vs. Temperature

03149-0-041

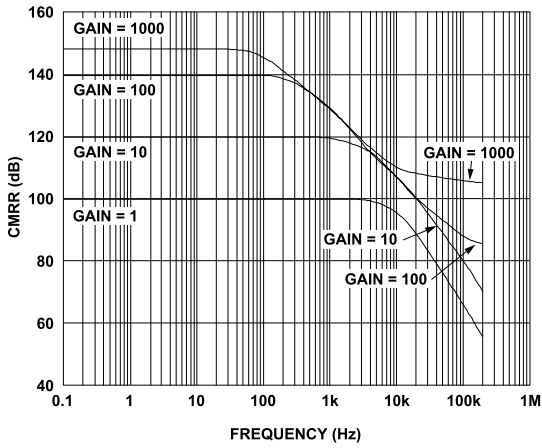


Figure 16. CMRR vs. Frequency, RTI

03149-0-016

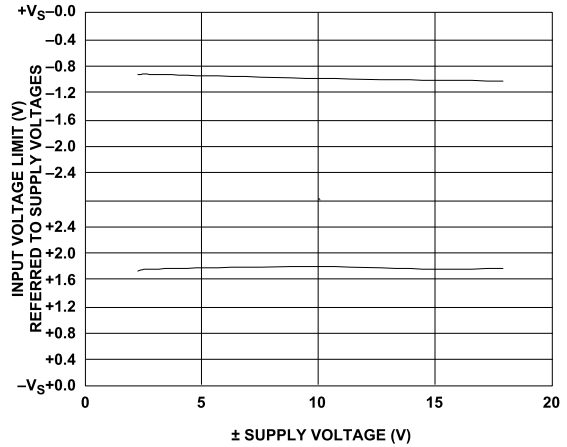


Figure 19. Input Voltage Limit vs. Supply Voltage, $G = 1$

03149-0-018

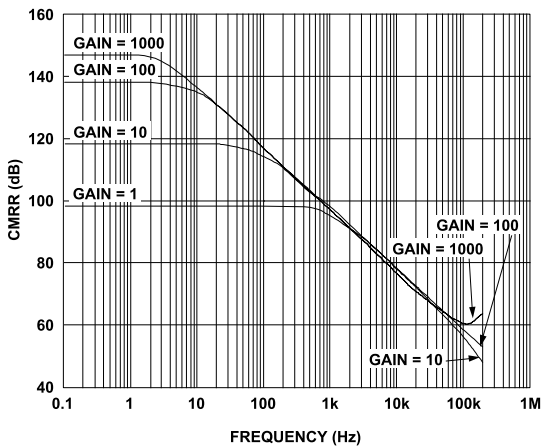


Figure 17. CMRR vs. Frequency, RTI, 1 kΩ Source Imbalance

03149-0-017

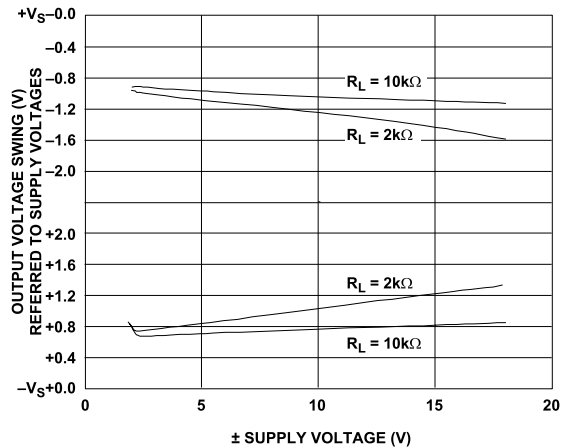


Figure 20. Output Voltage Swing vs. Supply Voltage, $G = 1$

03149-0-019

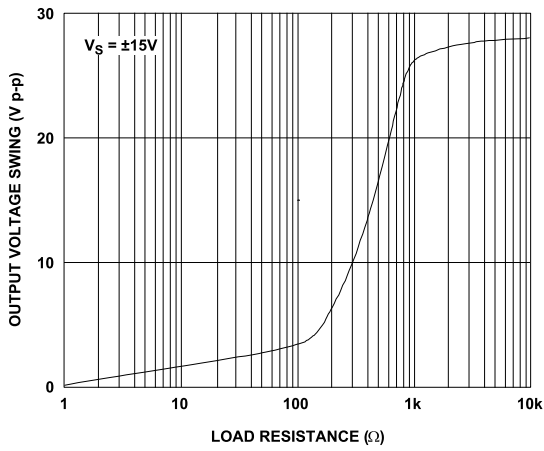


Figure 21. Output Voltage Swing vs. Load Resistance

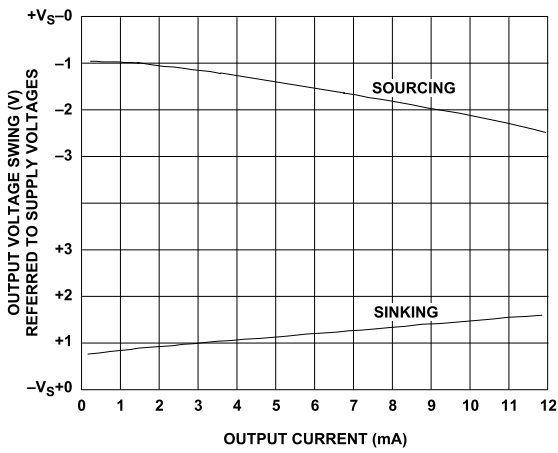


Figure 22. Output Voltage Swing vs. Output Current, $G = 1$

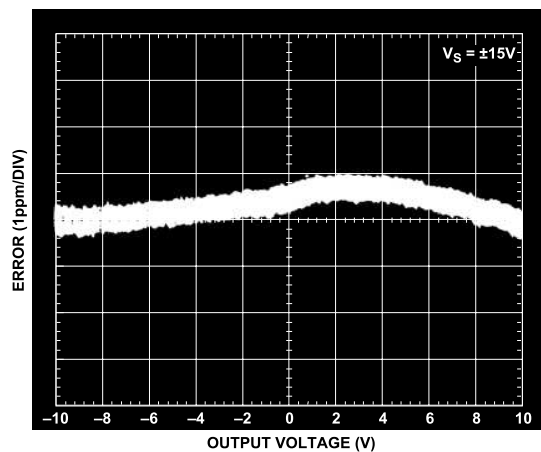


Figure 23. Gain Nonlinearity, $G = 1$, $R_L = 10\text{ k}\Omega$

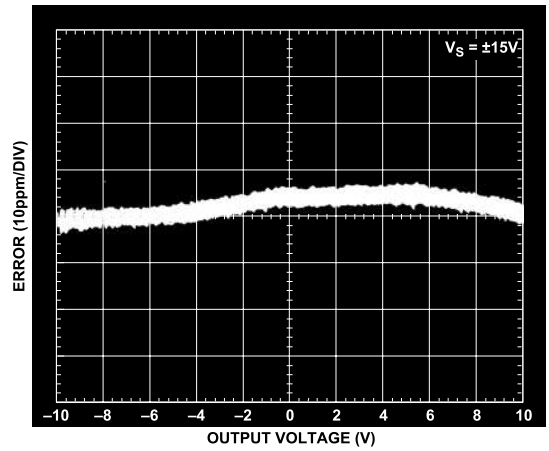


Figure 24. Gain Nonlinearity, $G = 100$, $R_L = 10\text{ k}\Omega$

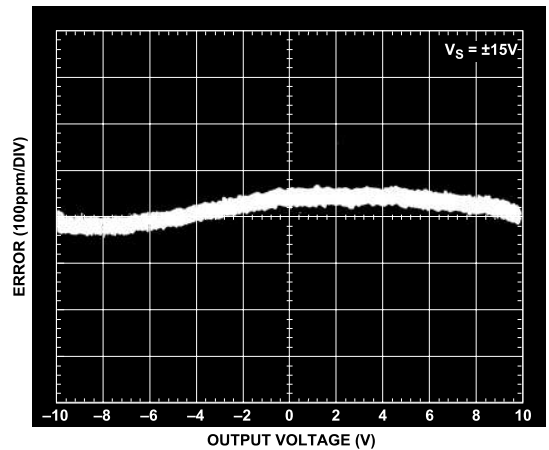


Figure 25. Gain Nonlinearity, $G = 1000$, $R_L = 10\text{ k}\Omega$

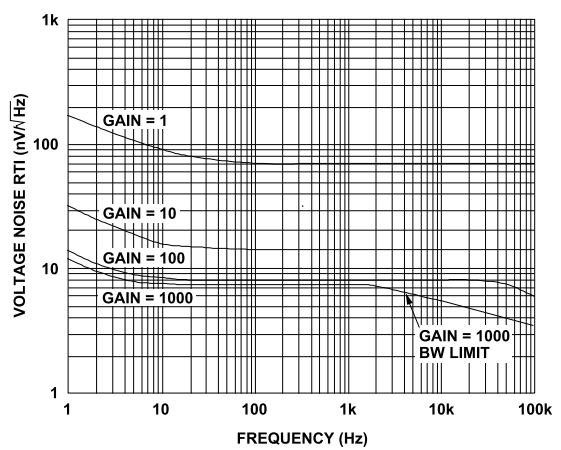


Figure 26. Voltage Noise Spectral Density vs. Frequency ($G = 1$ to 1000)

03148-0-020

03149-0-023

03148-0-021

03149-0-024

03148-0-022

03149-0-025

THEORY OF OPERATION

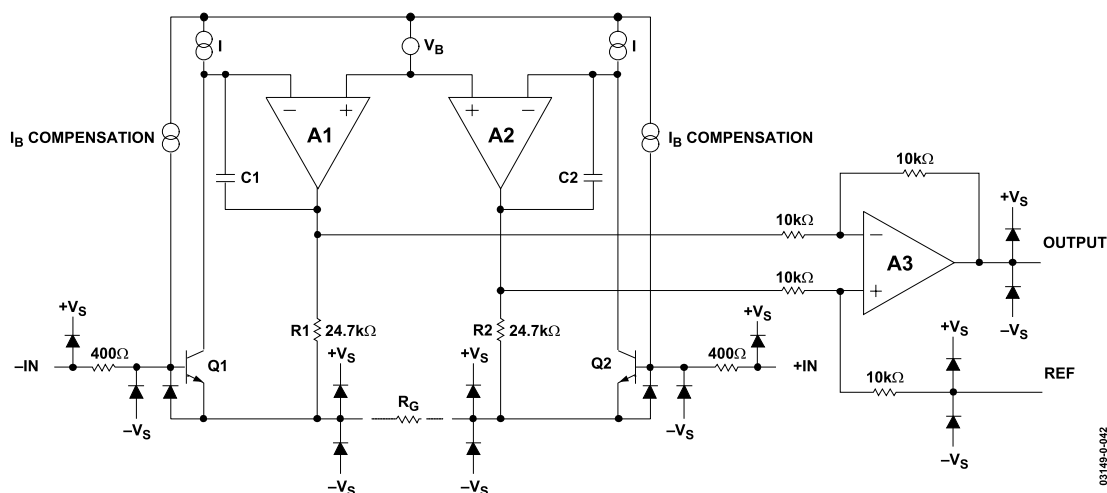


Figure 42. Simplified Schematic

The AD8221 is a monolithic instrumentation amplifier based on the classic 3-op amp topology. Input transistors Q1 and Q2 are biased at a fixed current, so that any differential input signal will force the output voltages of A1 and A2 to change accordingly. A signal applied to the input creates a current through R_G , R1, and R2, such that the outputs of A1 and A2 deliver the correct voltage. Topologically, Q1, A1, R1 and Q2, A2, R2 can be viewed as precision current feedback amplifiers. The amplified differential and common-mode signals are applied to a difference amplifier that rejects the common-mode voltage but amplifies the differential voltage. The difference amplifier employs innovations that result in low output offset voltage as well as low output offset voltage drift. Laser-trimmed resistors allow for a highly accurate in-amp with gain error typically less than 20 ppm and CMRR that exceeds 90 dB ($G = 1$).

Using superbeta input transistors and an I_B compensation scheme, the AD8221 offers extremely high input impedance, low I_B , low I_B drift, low I_{OS} , low input bias current noise, and extremely low voltage noise of $8 \text{ nV}/\sqrt{\text{Hz}}$.

The transfer function of the AD8221 is

$$G = 1 + \frac{49.4\text{k}\Omega}{R_G}$$

Users can easily and accurately set the gain using a single, standard resistor.

Since the input amplifiers employ a current feedback architecture, the AD8221's gain-bandwidth product increases with gain, resulting in a system that does not suffer from the expected bandwidth loss of voltage feedback architectures at higher gains.

In order to maintain precision even at low input levels, special attention was given to the AD8221's design and layout, resulting in an in-amp whose performance satisfies the most demanding applications.

A unique pinout enables the AD8221 to meet a CMRR specification of 80 dB at 10 kHz ($G = 1$) and 110 dB at 1 kHz ($G = 1000$). The balanced pinout, shown in Figure 43, reduces the parasitics that had, in the past, adversely affected CMRR performance. In addition, the new pinout simplifies board layout because associated traces are grouped together. For example, the gain setting resistor pins are adjacent to the inputs, and the reference pin is next to the output.

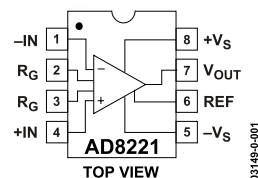


Figure 43. Pinout Diagram

AD8221

GAIN SELECTION

Placing a resistor across the R_G terminals will set the AD8221's gain, which may be calculated by referring to Table 3 or by using the gain equation

$$R_G = \frac{49.4k\Omega}{G-1}$$

Table 3. Gains Achieved Using 1% Resistors

1% Std Table Value of R_G (Ω)	Calculated Gain
49.9 k	1.990
12.4 k	4.984
5.49 k	9.998
2.61 k	19.93
1.00 k	50.40
499	100.0
249	199.4
100	495.0
49.9	991.0

The AD8221 defaults to $G = 1$ when no gain resistor is used. Gain accuracy is determined by the absolute tolerance of R_G . The TC of the external gain resistor will increase the gain drift of the instrumentation amplifier. Gain error and gain drift are kept to a minimum when the gain resistor is not used.

LAYOUT

Careful board layout maximizes system performance. Traces from the gain setting resistor to the R_G pins should be kept as short as possible to minimize parasitic inductance. To ensure the most accurate output, the trace from the REF pin should either be connected to the AD8221's local ground as shown in Figure 47, or connected to a voltage that is referenced to the AD8221's local ground.

Common-Mode Rejection

One benefit of the AD8221's high CMRR over frequency is that it has greater immunity to disturbances such as line noise and its associated harmonics than do typical in-amps. These, typically, have CMRR fall-off at 200 Hz; common-mode filters are often used to compensate for this shortcoming. The AD8221 is able to reject CMRR over a greater frequency range, reducing the need for filtering.

A well implemented layout helps to maintain the AD8221's high CMRR over frequency. Input source impedance and capacitance should be closely matched. In addition, source resistance and capacitance should be placed as close to the inputs as permissible.

Grounding

The AD8221's output voltage is developed with respect to the potential on the reference terminal. Care should be taken to tie REF to the appropriate "local ground."

In mixed-signal environments, low level analog signals need to be isolated from the noisy digital environment. Many ADCs have separate analog and digital ground pins. Although it is convenient to tie both grounds to a single ground plane, the current traveling through the ground wires and PC board may cause hundreds of millivolts of error. Therefore, separate analog and digital ground returns should be used to minimize the current flow from sensitive points to the system ground. An example layout is shown in Figure 44 and Figure 45.

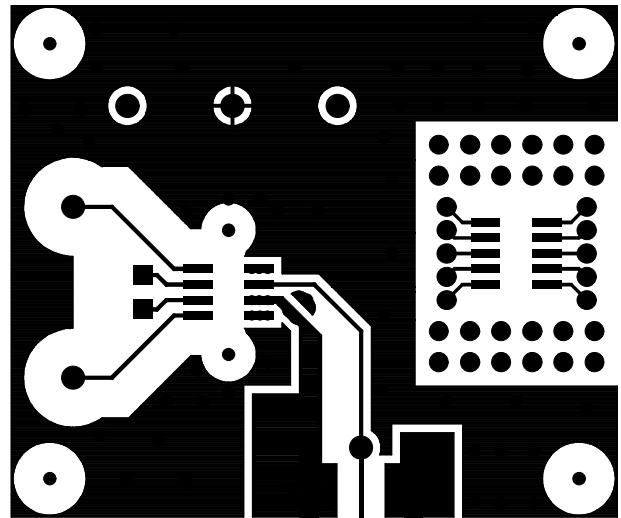


Figure 44. Top Layer of the AD8221-EVAL

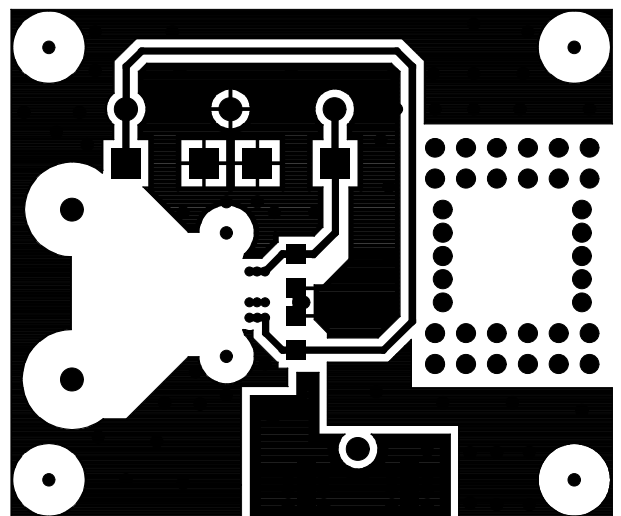


Figure 45. Bottom Layer of the AD8221-EVAL

REFERENCE TERMINAL

As shown in Figure 42, the reference terminal, REF, is at one end of a 10 k Ω resistor. The instrumentation amplifier's output is referenced to the voltage on the REF terminal; this is useful when the output signal needs to be offset to a precise midsupply level. For example, a voltage source can be tied to the REF pin to level-shift the output so that the AD8221 can interface with an ADC. The allowable reference voltage range is a function of the gain, input and supply voltage. The REF pin should not exceed either +V_S or -V_S by more than 0.5 V.

For best performance, source impedance to the REF terminal should be kept low, since parasitic resistance can adversely affect CMRR and gain accuracy.

POWER SUPPLY REGULATION AND BYPASSING

A stable dc voltage should be used to power the instrumentation amplifier. Noise on the supply pins may adversely affect performance. Bypass capacitors should be used to decouple the amplifier.

A 0.1 μ F capacitor should be placed close to each supply pin. As shown in Figure 47, a 10 μ F tantalum capacitor may be used further away from the part. In most cases, it may be shared by other precision integrated circuits.

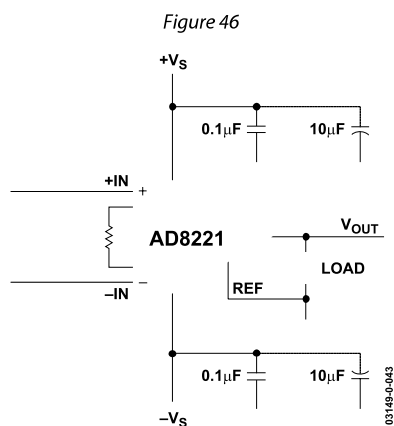


Figure 47. Supply Decoupling, REF and Output Referred to Local Ground

INPUT BIAS CURRENT RETURN PATH

The AD8221's input bias current must have a return path to common. When the source, such as a thermocouple, cannot provide a return current path, one should be created, as shown in Figure 48.

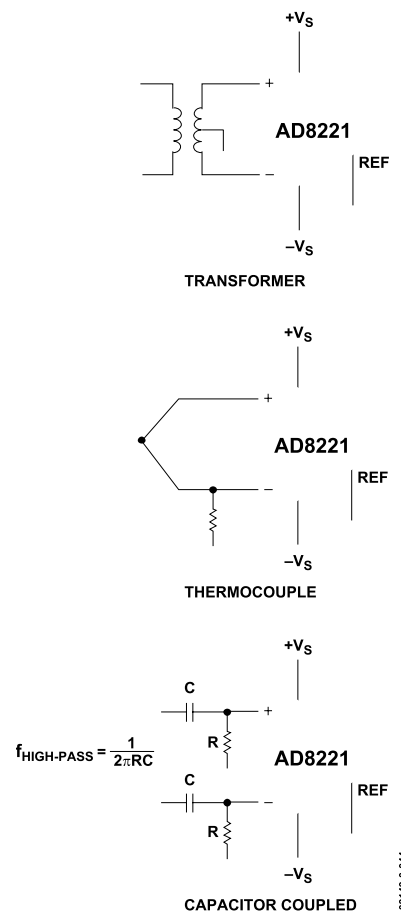


Figure 48. Creating an I_{Bias} Path

INPUT PROTECTION

All terminals of the AD8221 are protected against ESD¹. In addition, the input structure allows for dc overload conditions below the negative supply, -V_S. The internal 400 Ω resistors limit current in the event of a negative fault condition. However, in the case of a dc overload voltage above the positive supply, +V_S, a large current would flow directly through the ESD diode to the positive rail. Therefore, an external resistor should be used in series with the input to limit current for voltages above +V_S. In either scenario, the AD8221 can safely handle a continuous 6 mA current, $I = V_{IN}/R_{EXT}$ for positive overvoltage and $I = V_{IN}/(400 \Omega + R_{EXT})$ for negative overvoltage.

For applications where the AD8221 encounters extreme overload voltages, as in cardiac defibrillators, external series resistors and low leakage diode clamps such as BAV199Ls, FJH1100s, or SP720s should be used.

¹ 1 kV—Human Body Model.

AD8221

RF INTERFERENCE

RF rectification is often a problem when amplifiers are used in applications where there are strong RF signals. The disturbance may appear as a small dc offset voltage. High frequency signals can be filtered with a low-pass R-C network placed at the input of the instrumentation amplifier, as shown in Figure 49. The filter limits the input signal bandwidth according to the following relationship:

$$FilterFreq_{Diff} = \frac{1}{2\pi R(2C_D + C_C)}$$

$$FilterFreq_{CM} = \frac{1}{2\pi RC_C}$$

where $C_D \geq 10C_C$.

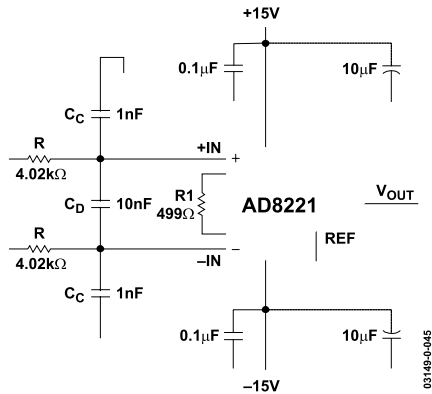


Figure 49. RFI Suppression

C_D affects the difference signal and C_C affects the common-mode signal. Values of R and C_C should be chosen to minimize RFI. Mismatch between the $R \times C_C$ at the positive input and the $R \times C_C$ at negative input will degrade the AD8221's CMRR. By using a value of C_D one magnitude larger than C_C , the effect of the mismatch is reduced, and hence, performance is improved.

PRECISION STRAIN GAGE

The AD8221's low offset and high CMRR over frequency make it an excellent candidate for bridge measurements. As shown in Figure 50, the bridge can be directly connected to the inputs of the amplifier.

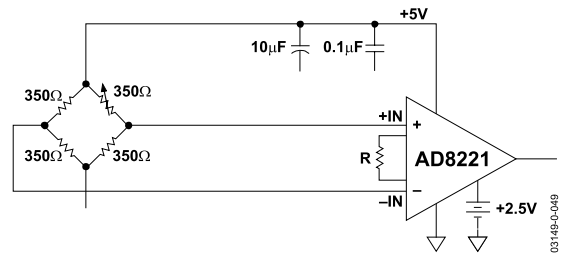


Figure 50. Precision Strain Gage



16 V Rail-to-Rail, Zero-Drift, Precision Instrumentation Amplifier

AD8230

FEATURES

- Resistor programmable gain range: 10^1 to 1000
- Supply voltage range: ± 4 V to ± 8 V, +8 V to +16 V
- Rail-to-rail input and output
- Maintains performance over -40°C to $+125^\circ\text{C}$

EXCELLENT AC AND DC PERFORMANCE

- 110 dB minimum CMR @ 60 Hz, G = 10 to 1000
- 10 μV max offset voltage (RTI, ± 5 V operation)
- 50 nV/ $^\circ\text{C}$ max offset drift
- 20 ppm max gain nonlinearity

APPLICATIONS

- Pressure measurements
- Temperature measurements
- Strain measurements
- Automotive diagnostics

GENERAL DESCRIPTION

The AD8230 is a low drift, differential sampling, precision instrumentation amplifier. Auto-zeroing reduces offset voltage drift to less than 50 nV/ $^\circ\text{C}$. The AD8230 is well-suited for thermocouple and bridge transducer applications. The AD8230's high CMR of 110 dB (min) rejects line noise in measurements where the sensor is far from the instrumentation. The 16 V rail-to-rail, common-mode input range is useful for noisy environments where ground potentials vary by several volts. Low frequency noise is kept to a minimal 3 μV p-p making the AD8230 perfect for applications requiring the utmost dc precision. Moreover, the AD8230 maintains its high performance over the extended industrial temperature range of -40°C to $+125^\circ\text{C}$.

Two external resistors are used to program the gain. By using matched external resistors, the gain stability of the AD8230 is much higher than instrumentation amplifiers that use a single resistor to set the gain. In addition to allowing users to program the gain between 10^1 and 1000, users may adjust the output offset voltage.

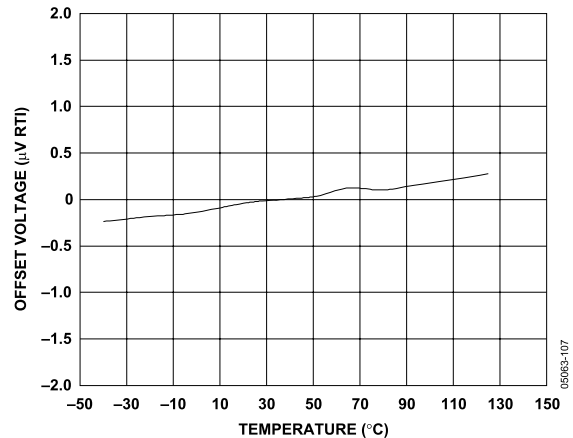


Figure 1. Relative Offset Voltage vs. Temperature

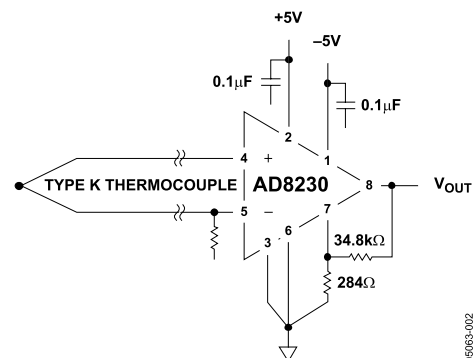


Figure 2. Thermocouple Measurement

The AD8230 is versatile yet simple to use. Its auto-zeroing topology significantly minimizes the input and output transients typical of commutating or chopper instrumentation amplifiers. The AD8230 operates on ± 4 V to ± 8 V (+8 V to +16 V) supplies and is available in an 8-lead SOIC.

¹ The AD8230 can be programmed for a gain as low as 2, but the maximum input voltage is limited to approximately 750 mV.

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

TYPICAL PERFORMANCE CHARACTERISTICS

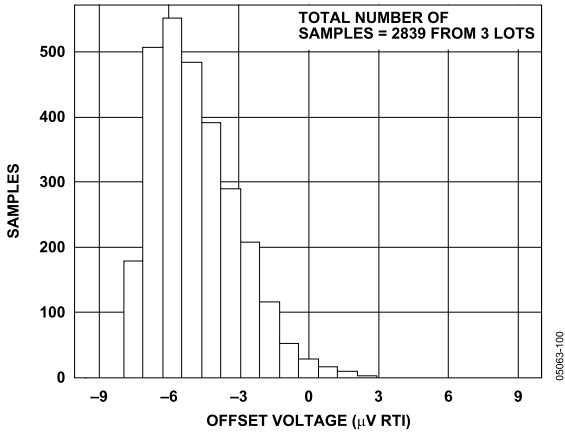


Figure 4. Offset Voltage (RTI) Distribution at ± 5 V, $CM = 0$ V, $T_A = +25^\circ\text{C}$

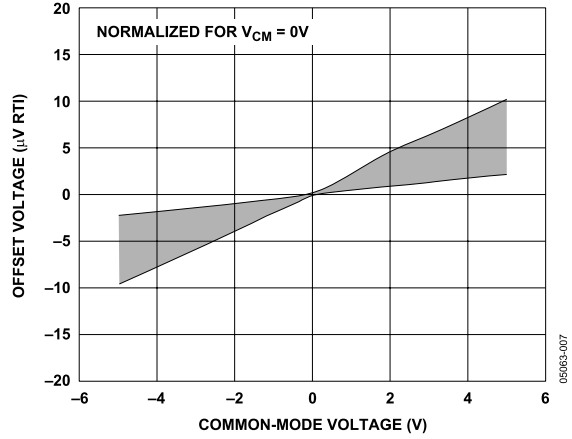


Figure 7. Offset Voltage (RTI) vs. Common-Mode Voltage, $V_S = \pm 5$ V

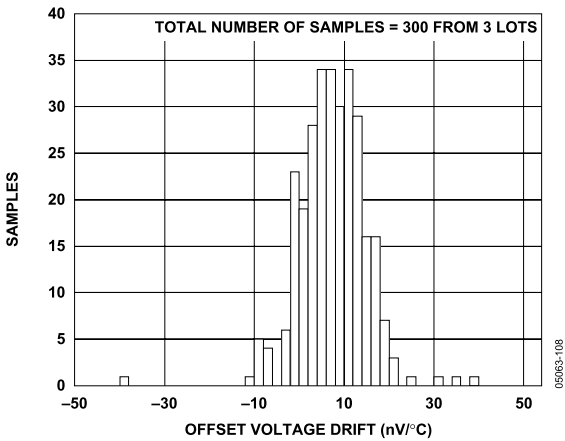


Figure 5. Offset Voltage (RTI) Drift Distribution

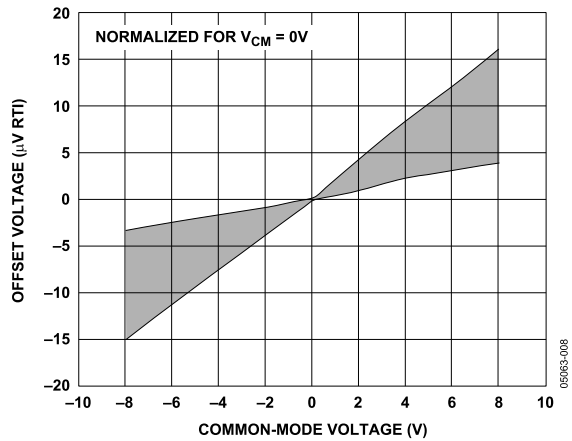


Figure 8. Offset Voltage (RTI) vs. Common-Mode Voltage, $V_S = \pm 8$ V

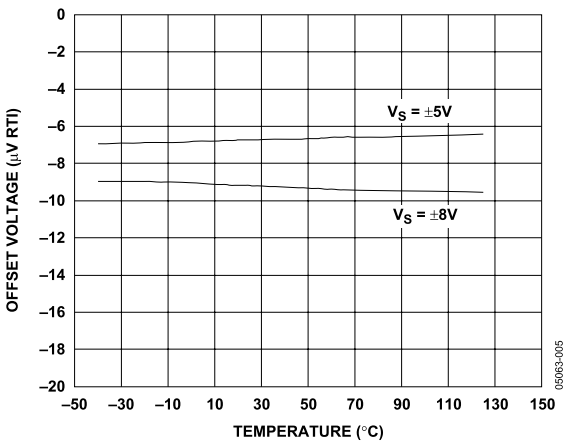


Figure 6. Offset Voltage (RTI) vs. Temperature

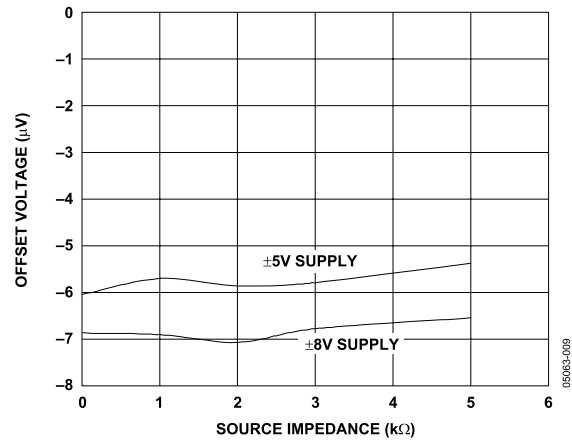


Figure 9. Offset Voltage (RTI) vs. Source Impedance, $1 \mu\text{F}$ Across Input Pins

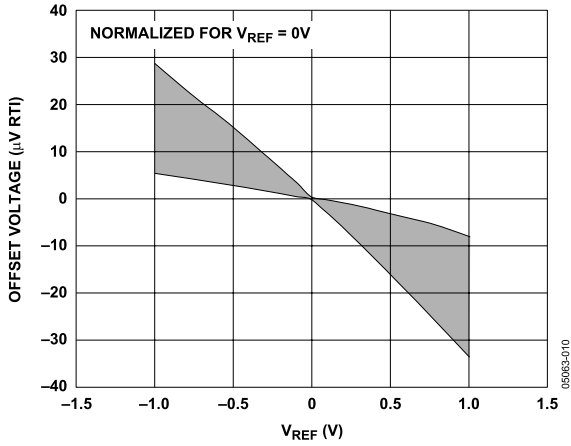


Figure 10. Offset Voltage (RTI) vs. Reference Voltage

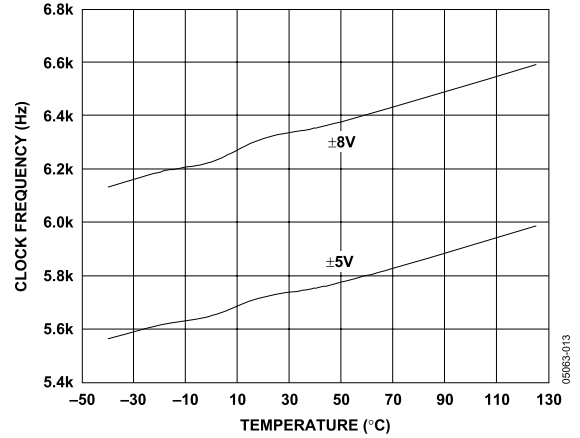


Figure 13. Clock Frequency vs. Temperature

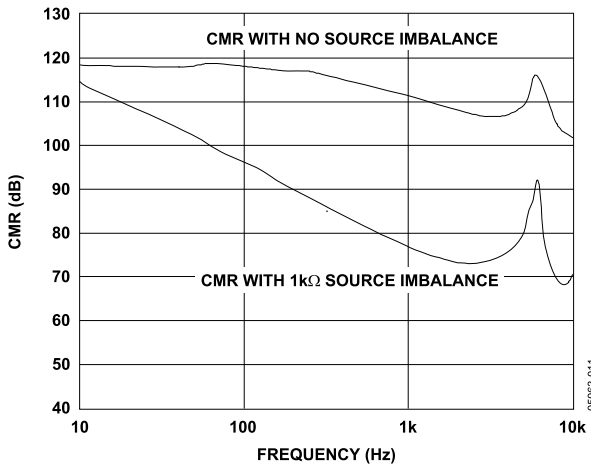


Figure 11. Common-Mode Rejection vs. Frequency

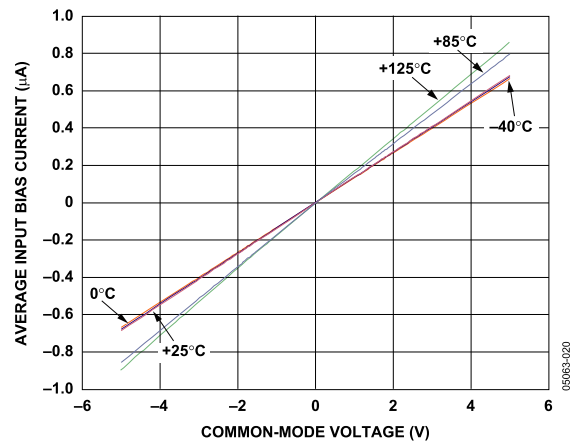


Figure 14. Average Input Bias Current vs. Common-Mode Voltage
-40°C, +25°C, +85°C, +125°C

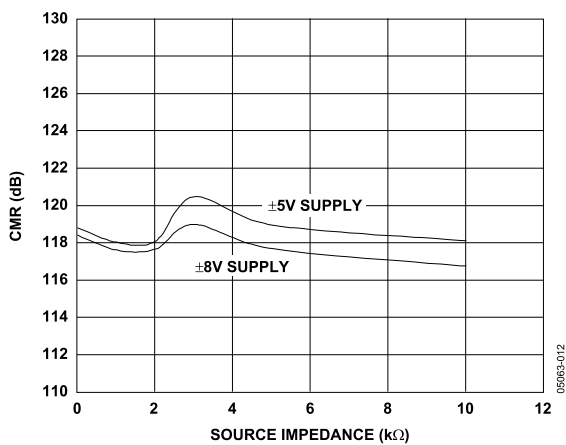


Figure 12. Common-Mode Rejection vs. Source Impedance, 1.1 μ F Across Input Pins

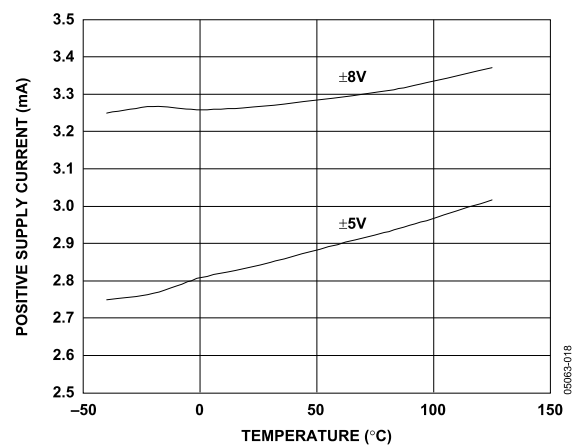


Figure 15. Supply Current vs. Temperature

AD8230

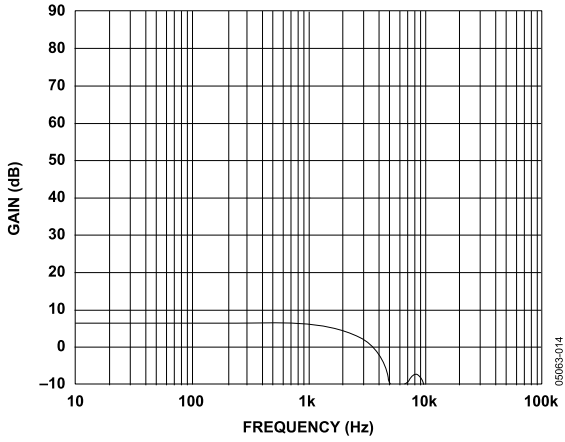


Figure 16. Gain vs. Frequency, $G = 2$

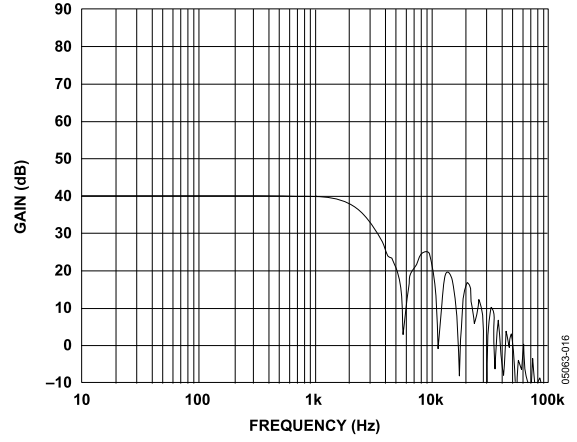


Figure 19. Gain vs. Frequency, $G = 100$

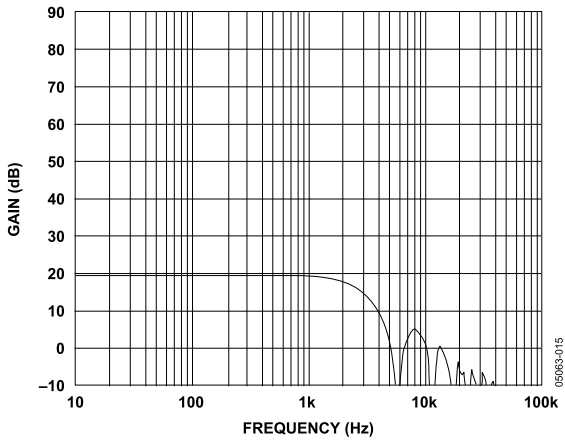


Figure 17. Gain vs. Frequency, $G = 10$

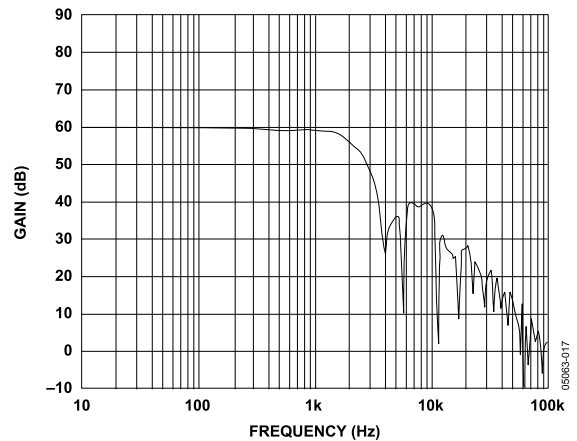


Figure 20. Gain vs. Frequency, $G = 1000$

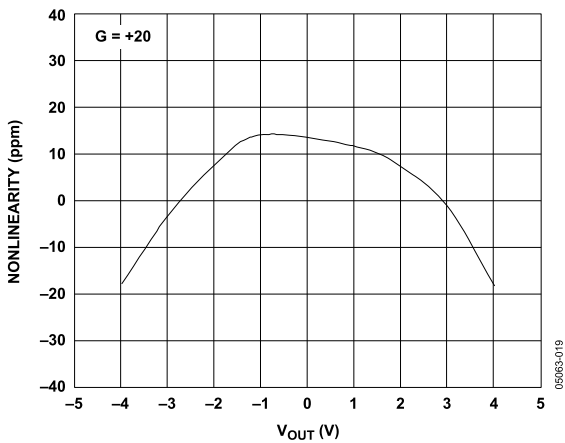


Figure 18. Gain Nonlinearity, $G = 20$

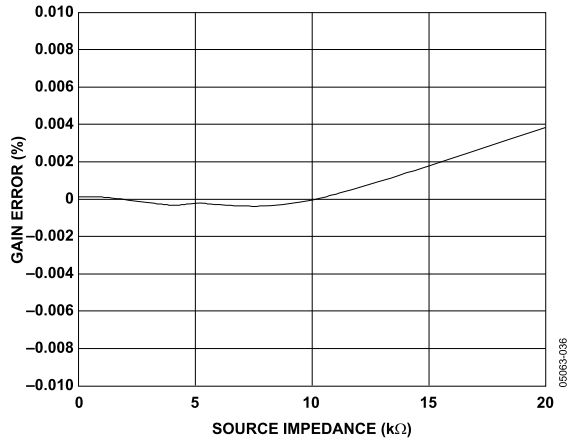


Figure 21. Gain Error vs. Differential Source Impedance

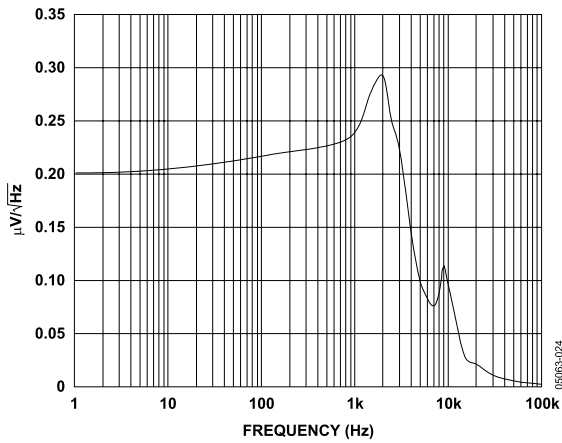


Figure 22. Voltage Noise Spectral Density

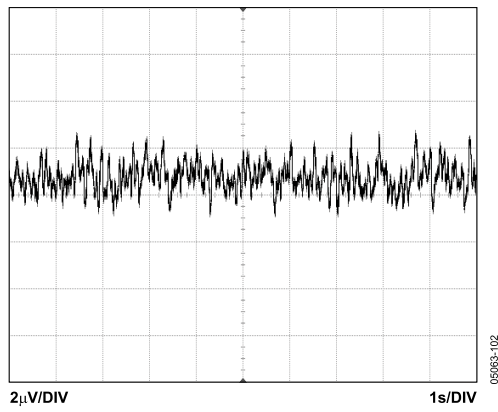


Figure 23. 0.1 Hz to 10 Hz RTI Voltage Noise ($G = 100$)

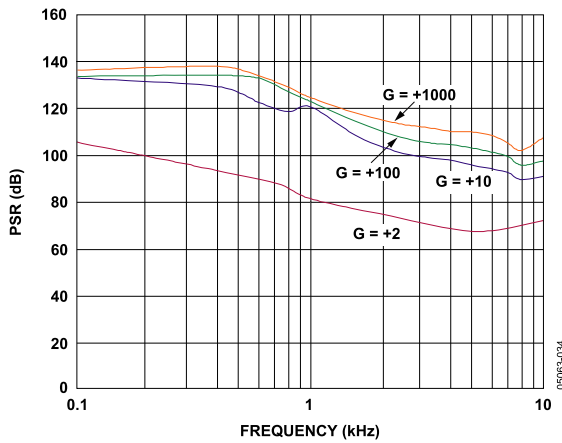


Figure 24. Positive PSR vs. Frequency, RTI

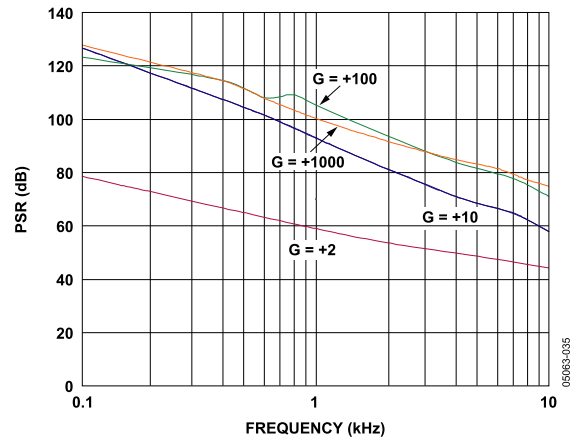


Figure 25. Negative PSR vs. Frequency, RTI

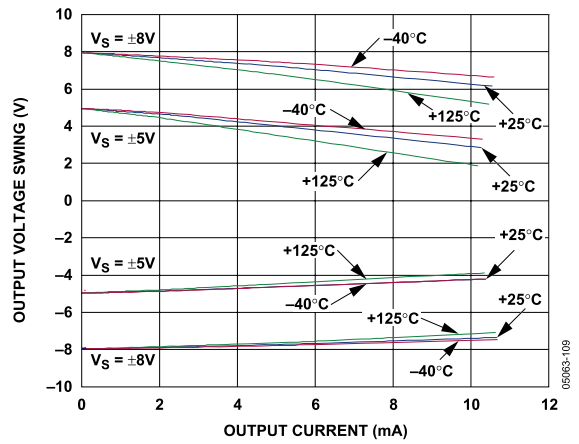


Figure 26. Output Voltage Swing vs. Output Current, -40°C , $+25^{\circ}\text{C}$, $+85^{\circ}\text{C}$, $+125^{\circ}\text{C}$

AD8230

THEORY OF OPERATION

Auto-zeroing is a dynamic offset and drift cancellation technique that reduces input referred voltage offset to the μV level and voltage offset drift to the $\text{nV}/^\circ\text{C}$ level. A further advantage of dynamic offset cancellation is the reduction of low frequency noise, in particular the $1/f$ component.

The AD8230 is an instrumentation amplifier that uses an auto-zeroing topology and combines it with high common-mode signal rejection. The internal signal path consists of an active differential sample-and-hold stage (preamp) followed by a differential amplifier (gain amp). Both amplifiers implement auto-zeroing to minimize offset and drift. A fully differential topology increases the immunity of the signals to parasitic noise and temperature effects. Amplifier gain is set by two external resistors for convenient TC matching.

The signal sampling rate is controlled by an on-chip, 6 kHz oscillator and logic to derive the required nonoverlapping clock phases. For simplification of the functional description, two sequential clock phases, A and B, are used to distinguish the order of internal operation, as depicted in Figure 27 and Figure 28, respectively.

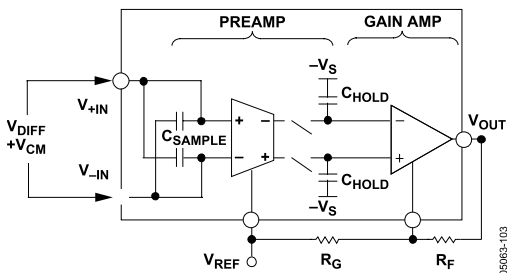


Figure 27. Phase A of the Sampling Phase

During Phase A, the sampling capacitors are connected to the inputs. The input signal's difference voltage, V_{DIFF} , is stored across the sampling capacitors, C_{SAMPLE} . Since the sampling capacitors only retain the difference voltage, the common-mode voltage is rejected. During this period, the gain amplifier is not connected to the preamplifier so its output remains at the level set by the previously sampled input signal held on C_{HOLD} , as shown in Figure 27.

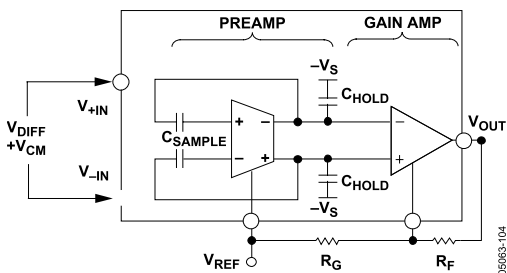


Figure 28. Phase B of the Sampling Phase

In Phase B, the differential signal is transferred to the hold capacitors refreshing the value stored on C_{HOLD} . The output of the preamplifier is held at a common-mode voltage determined by the reference potential, V_{REF} . In this manner, the AD8230 is able to condition the difference signal and set the output voltage level. The gain amplifier conditions the updated signal stored on the hold capacitors, C_{HOLD} .

SETTING THE GAIN

Two external resistors set the gain of the AD8230. The gain is expressed in the following function:

$$\text{Gain} = 2\left(1 + \frac{R_F}{R_G}\right) \quad (1)$$

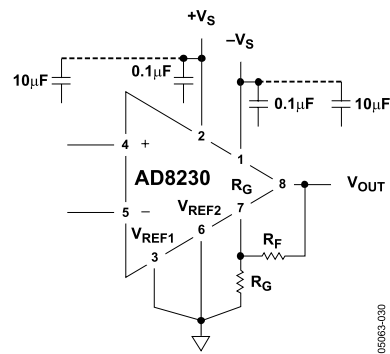


Figure 29. Gain Setting

Table 4. Gains Using Standard 1% Resistors

Gain	RF	RG	Actual Gain
2	0 Ω (short)	None	2
10	8.06 k Ω	2 k Ω	10
50	12.1 k Ω	499 Ω	50.5
100	9.76 k Ω	200 Ω	99.6
200	10 k Ω	100 Ω	202
500	49.9 k Ω	200 Ω	501
1000	100 k Ω	200 Ω	1002

Figure 29 and Table 4 provide an example of some gain settings. As Table 4 shows, the AD8230 accepts a wide range of resistor values. Since the instrumentation amplifier has finite driving capability, ensure that the output load in parallel with the sum of the gain setting resistors is greater than 2 k Ω .

$$R_L \parallel (R_F + R_G) > 2 \text{ k}\Omega \quad (2)$$

Offset voltage drift at high temperature can be minimized by keeping the value of the feedback resistor, R_F , small. This is due to the junction leakage current on the R_G pin, Pin 7. The effect of the gain setting resistor on offset voltage drift is shown in Figure 30. In addition, experience has shown that wire-wound resistors in the gain feedback loop may degrade the offset voltage performance.

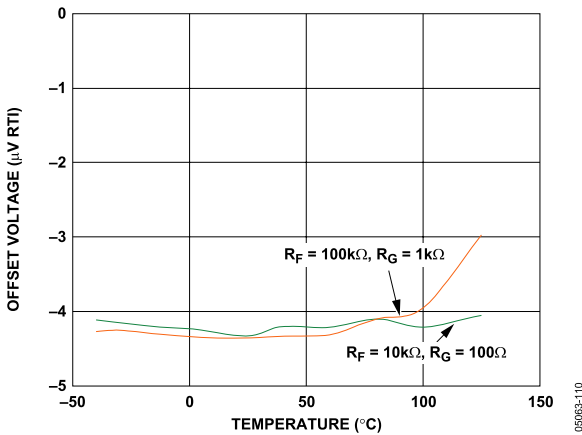


Figure 30. Effect of Feedback Resistor on Offset Voltage Drift

LEVEL-SHIFTING THE OUTPUT

A reference voltage, as shown in Figure 31, can be used to level-shift the output. The reference voltage, V_R , is limited to $-V_S + 3.5\text{ V}$ to $+V_S - 2.5\text{ V}$ ¹. Otherwise, it is nominally tied to midsupply. The voltage source used to level-shift the output should have a low output impedance to avoid contributing to gain error. In addition, it should be able to source and sink current. To minimize offset voltage, the V_{REF} pins should be connected either to the local ground or to a reference voltage source that is connected to the local ground.

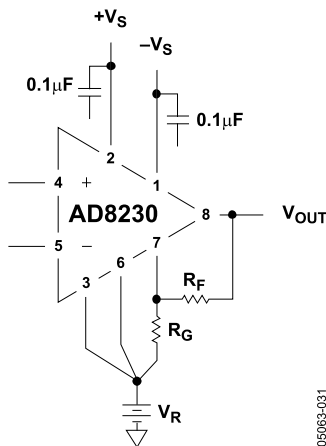


Figure 31. Level-Shifting the Output

The output can also be level-shifted by adding a resistor R_O , as shown in Figure 32. The benefit is that the output can be level-shifted to as low as 100 mV of the negative supply rail and to as high as 200 mV of the positive supply rail, increasing unipolar output swing. This can be useful in applications, such as strain gauges, where the force is only applied in one direction. Another benefit of this configuration is that a supply rail can be used for V_R eliminating the need to add an additional external reference voltage.

¹ For $G < 10$, the reference voltage range is limited to $-V_S + 4.24\text{ V}$ to $+V_S - 2.75\text{ V}$.

The gain changes with the inclusion of R_O . The full expression is

$$V_{OUT} = 2 \left(\frac{R_F}{R_G \parallel R_O} + 1 \right) V_{IN} - \frac{R_F}{R_O} V_{R'} \tag{3}$$

$$= 2 \left(\frac{R_F (R_G + R_O)}{R_G R_O} + 1 \right) V_{IN} - \frac{R_F}{R_O} V_{R'}$$

The following steps can be taken to set the gain and level-shift the output:

1. Select an R_F value. Table 4 shows R_F values for various gains.
2. Solve for R_O using Equation 4 where V_R is a voltage source such as a supply voltage. $V_{DESIRED-LEVEL}$ is the desired output bias voltage.

$$R_O = - \frac{V_{R'} \times R_F}{V_{DESIRED-LEVEL}} \tag{4}$$

3. Solve for R_G .

$$R_G = \left(\frac{R_O}{\left(\frac{Gain}{2} - 1 \right) R_F} - 1 \right) \tag{5}$$

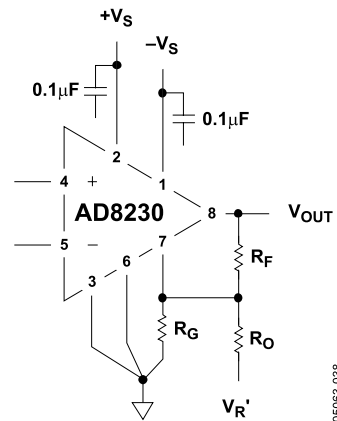


Figure 32. Level-Shifting the Output Without an Additional Voltage Reference

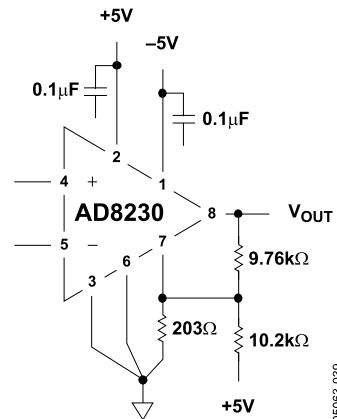


Figure 33. An AD8230 with its Output Biased at -4.8 V ; $G = 100$; $V_{DESIRED-LEVEL} = -4.8\text{ V}$

AD8230

SOURCE IMPEDANCE AND INPUT SETTling TIME

The input stage of the AD8230 consists of two actively driven, differential switched capacitors, as described in Figure 27 and Figure 28. Differential input signals are sampled on C_{SAMPLE} such that the associated parasitic capacitances, 70 pF, are balanced between the inputs to achieve high common-mode rejection. On each sample period (approximately 85 μ s), these parasitic capacitances must be recharged to the common-mode voltage by the signal source impedance (10 k Ω max). Should resistors and capacitors be used at the input of the AD8230, care should be taken to maintain close match to maximize CMRR.

INPUT VOLTAGE RANGE

The input common-mode range of the AD8230 is rail to rail. However, the differential input voltage range is limited to, approximately, 750 mV. The AD8230 does not phase invert when its inputs are overdriven.

INPUT PROTECTION

The input voltage is limited to within 0.6 V beyond the supply rails by the internal ESD protection diodes. Resistors and low leakage diodes can be used to limit excessive, external voltage and current from damaging the inputs, as shown in Figure 34. Figure 36 shows an overvoltage protection circuit between the thermocouple and the AD8230.

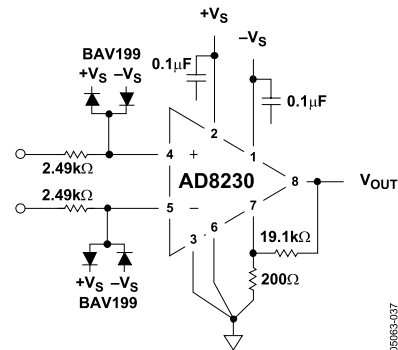


Figure 34. Overvoltage Input Protection

POWER SUPPLY BYPASSING

A regulated dc voltage should be used to power the instrumentation amplifier. Noise on the supply pins can adversely affect performance. Bypass capacitors should be used to decouple the amplifier.

The AD8230 has internal clocked circuitry that requires adequate supply bypassing. A 0.1 μ F capacitor should be placed as close to each supply pin as possible. As shown in Figure 29, a 10 μ F tantalum capacitor can be used further away from the part.

POWER SUPPLY BYPASSING FOR MULTIPLE CHANNEL SYSTEMS

The best way to prevent clock interference in multichannel systems is to lay out the PCB with a star node for the positive supply and a star node for the negative supply. Using such a technique, crosstalk between clocks is minimized. If laying out star nodes is not feasible, use wide traces to minimize parasitic inductance and decouple frequently along the power supply traces. Examples are shown in Figure 35. Care and forethought go a long way in maximizing performance.

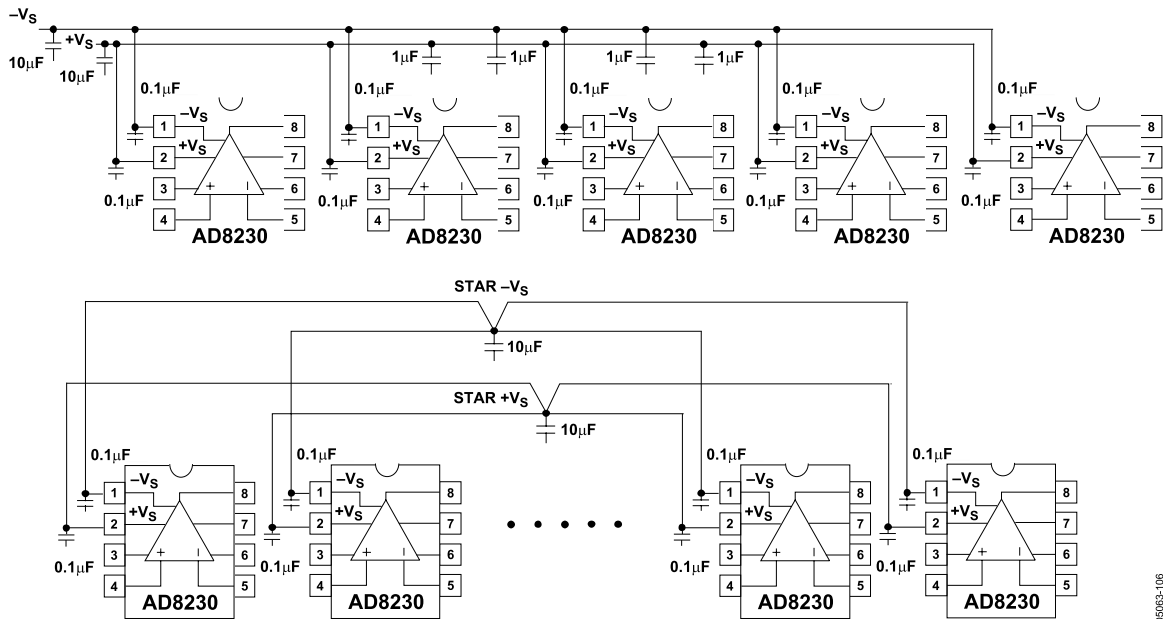


Figure 35. Use Star Nodes for +Vs and -Vs or Use Thick Traces and Decouple Frequently Along the Supply Lines

05063-106

LAYOUT

The AD8230 has two reference pins: V_{REF1} and V_{REF2} . V_{REF1} draws current to set the internal voltage references. In contrast, V_{REF2} does not draw current. It sets the common mode of the output signal. As such, V_{REF1} and V_{REF2} should be star-connected to ground (or to a reference voltage). In addition, to maximize CMR, the trace between V_{REF2} and the gain resistor, R_G , should be kept short.

APPLICATIONS

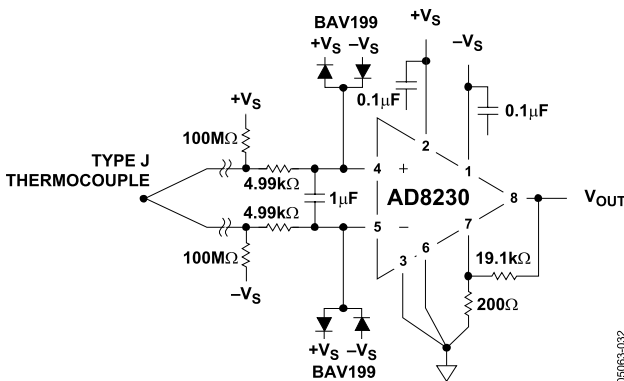


Figure 36. Type J Thermocouple with Overvoltage Protection and RFI Filter

The AD8230 can be used in thermocouple applications, as shown in Figure 2 and Figure 36. Figure 36 is an example of such a circuit for use in an industrial environment. Series resistors and low leakage diodes serve to clamp overload voltages (see the Input Protection section for more information). An antialiasing filter reduces unwanted high frequency

signals. The matched 100 MΩ resistors serve to provide input bias current to the input transistors and serve as an indicator as to when the thermocouple connection is broken. Well-matched 1% 4.99 kΩ resistors are used to form the antialiasing filter. It is good practice to match the source impedances to ensure high CMR. The circuit is configured for a gain of 193, which provides an overall temperature sensitivity of 10 mV/°C.

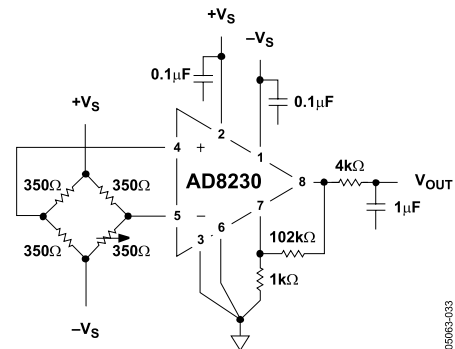


Figure 37. Bridge Measurement with Filtered Output

Measuring load cells in industrial environments can be a challenge. Often, the load cell is located some distance away from the instrumentation amplifier. The common-mode potential can be several volts, exceeding the common-mode input range of many 5 V auto-zero instrumentation amplifiers. Fortunately, the AD8230's wide common-mode input voltage range spans 16 V, relieving designers of having to worry about the common-mode range.

05063-032

05063-033

DC Accurate, Clock-Tunable Linear Phase 5th Order Bessel Lowpass Filter

FEATURES

- Clock-Tunable Cutoff Frequency
- 1mV DC Offset (Typical)
- 80dB CMR (Typical)
- Internal or External Clock
- $50\mu\text{V}_{\text{RMS}}$ Clock Feedthrough
- 100:1 Clock-to-Cutoff Frequency Ratio
- $80\mu\text{V}_{\text{RMS}}$ Total Wideband Noise
- 0.004% Noise + THD at $2V_{\text{RMS}}$ Output Level
- 50kHz Maximum Cutoff Frequency
- Cascadable for Faster Roll-Off
- Operates from ± 2.375 to $\pm 8\text{V}$ Power Supplies
- Self-Clocking with 1 RC

APPLICATIONS

- Audio
- Strain Gauge Amplifiers
- Anti-Aliasing Filters
- Low Level Filtering
- Digital Voltmeters
- Smoothing Filters
- Reconstruction Filters

DESCRIPTION

The LTC1065 is the first monolithic filter providing both clock-tunability with low DC output offset and over 12-bit DC accuracy. The frequency response of the LTC1065 closely approximates a 5th order Bessel polynomial. With appropriate PCB layout techniques the output DC offset is typically 1mV and is constant over a wide range of clock frequencies. With $\pm 5\text{V}$ supplies and $\pm 4\text{V}$ input voltage range, the CMR of the device is typically 80dB.

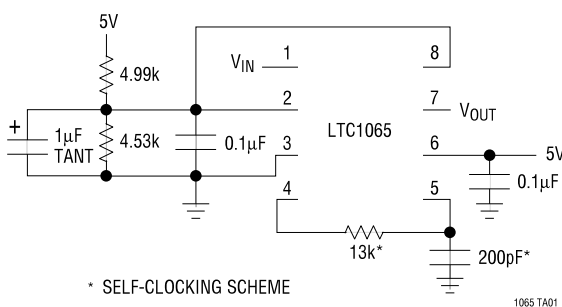
The filter cutoff frequency is controlled either by an internal or external clock. The clock-to-cutoff frequency ratio is 100:1. The on-board clock is nearly power supply independent and it is programmed via an external RC. The $50\mu\text{V}_{\text{RMS}}$ clock feedthrough of the device is considerably lower than other existing monolithic filters.

The LTC1065 wideband noise is $80\mu\text{V}_{\text{RMS}}$ and it can process large AC input signals with low distortion. With $\pm 7.5\text{V}$ supplies, for instance, the filter handles up to $4V_{\text{RMS}}$ (94dB S/N ratio) while the standard 1kHz THD is below 0.005%; 87dB dynamic range (S/N + THD) is obtained with input levels between $2V_{\text{RMS}}$ and $2.5V_{\text{RMS}}$.

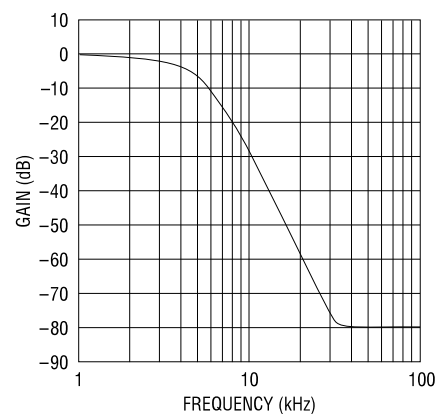
The LTC1065 is available in 8-pin miniDIP and 16-pin SOL. For a Butterworth response, see LTC1063 data sheet. The LTC1065 is pin compatible with the LTC1063.

TYPICAL APPLICATION

3.4kHz Single 5V Supply Bessel Lowpass Filter



Frequency Response



LTC1065

ABSOLUTE MAXIMUM RATINGS

Total Supply Voltage (V^+ to V^-)	16.5V	Operating Temperature Range	
Power Dissipation	400mW	LTC1065C	-40°C to 85°C
Voltage at Any Input ($V^- - 0.3V \leq V_{IN} \leq (V^+ + 0.3V)$)		LTC1065M	-55°C to 125°C
Burn-In Voltage	16V	Lead Temperature (Soldering, 10 sec)	300°C
Storage Temperature Range	-65°C to 150°C		

PACKAGE/ORDER INFORMATION

TOP VIEW	ORDER PART NUMBER	TOP VIEW	ORDER PART NUMBER
<p>J8 PACKAGE 8-LEAD CERAMIC DIP</p> <p>N8 PACKAGE 8-LEAD PLASTIC DIP</p> <p>$T_{JMAX} = 150^\circ\text{C}$, $\theta_{JA} = 100^\circ\text{C/W}$ (J) $T_{JMAX} = 100^\circ\text{C}$, $\theta_{JA} = 110^\circ\text{C/W}$ (N)</p>	LTC1065CN8 LTC1065MJ8	<p>S PACKAGE 16-LEAD PLASTIC SOL</p> <p>$T_{JMAX} = 100^\circ\text{C}$, $\theta_{JA} = 85^\circ\text{C/W}$</p>	LTC1065CS

ELECTRICAL CHARACTERISTICS

$V_S = \pm 5V$, $f_{CLK} = 500\text{kHz}$, $f_C = 5\text{kHz}$, $R_L = 10k$, $T_A = 25^\circ\text{C}$, unless otherwise specified.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS		
Clock-to-Cutoff Frequency Ratio (f_{CLK}/f_C)	$\pm 2.375V \leq V_S \leq \pm 7.5V$		100±0.5				
Maximum Clock Frequency (Note 1)	$V_S = \pm 7.5V$		5		MHz		
	$V_S = \pm 5V$		4		MHz		
	$V_S = \pm 2.5V$		3		MHz		
Minimum Clock Frequency (Note 2)	$\pm 2.5V \leq V_S \leq \pm 7.5V$, $T_A < 85^\circ\text{C}$		30		Hz		
Input Frequency Range		0		0.9 f_{CLK}			
Filter Gain	$V_S = \pm 5V$, $f_{CLK} = 25\text{kHz}$, $f_C = 250\text{Hz}$	$f_{IN} = 250\text{Hz}$	●	-3.5	-3.1	-2.7	dB
		$f_{IN} = 1\text{kHz}$	●	-43.0	-41.0	-39.0	dB
	$V_S = \pm 5V$, $f_{CLK} = 500\text{kHz}$, $f_C = 5\text{kHz}$	$f_{IN} = 100\text{Hz}$		0		dB	
		$f_{IN} = 1\text{kHz} = 0.2f_C$	●	-0.215	-0.175	-0.135	dB
		$f_{IN} = 2.5\text{kHz} = 0.5f_C$	●	-1.1	-0.972	-0.84	dB
		$f_{IN} = 4\text{kHz} = 0.8f_C$	●	-2.35	-2.13	-1.9	dB
		$f_{IN} = 5\text{kHz} = f_C$	●	-3.35	-3.1	-2.83	dB
		$f_{IN} = 10\text{kHz} = 2f_C$	●	-14.63	-14.15	-13.7	dB
		$f_{IN} = 20\text{kHz} = 4f_C$	●	-43.0	-41.15	-39.0	dB

ELECTRICAL CHARACTERISTICS

The ● denotes specifications which apply over the full operating temperature range.

Note 1: The maximum clock frequency is arbitrarily defined as: the frequency at which the filter AC response exhibits ≥ 1 dB of gain peaking.

Note 2: At limited temperature ranges (i.e., $T_A \leq 50^\circ\text{C}$) the minimum clock frequency can be as low as 10Hz. The typical minimum clock frequency is arbitrarily defined as: the clock frequency at which the output DC offset changes by more than 1mV.

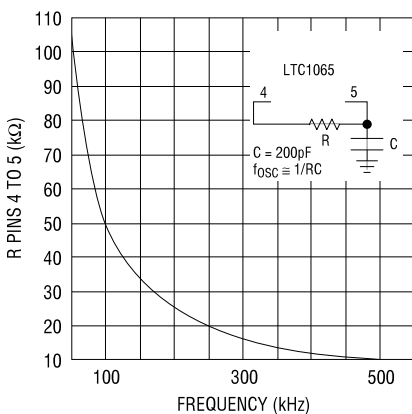
Note 3: The wideband noise specification does not include the clock feedthrough.

Note 4: To properly evaluate the filter's harmonic distortion an inverting output buffer is recommended. An output buffer (although recommended) is not necessarily needed when measuring output DC offset or wideband noise (see Figure 3).

Note 5: The output DC offset is optimized for $\pm 5\text{V}$ supply. The output DC offset shifts when the power supplies change; however this phenomenon is repeatable and predictable.

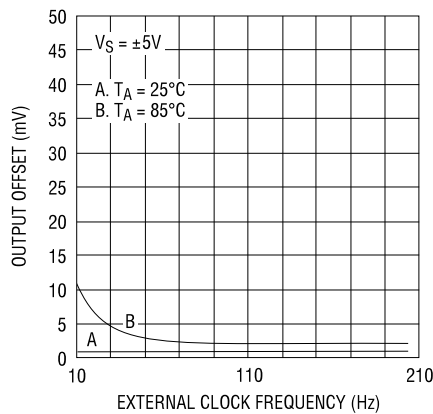
TYPICAL PERFORMANCE CHARACTERISTICS

Self-Clocking Frequency vs R



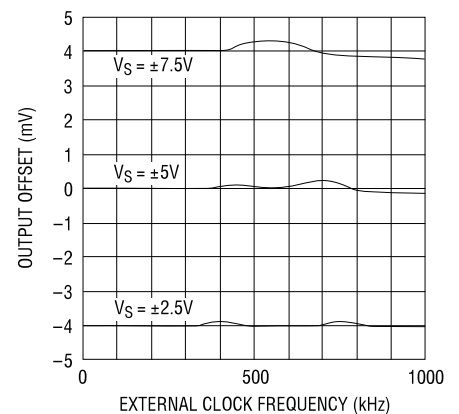
1065 G01

Output Offset vs Clock, Low Clock Rates



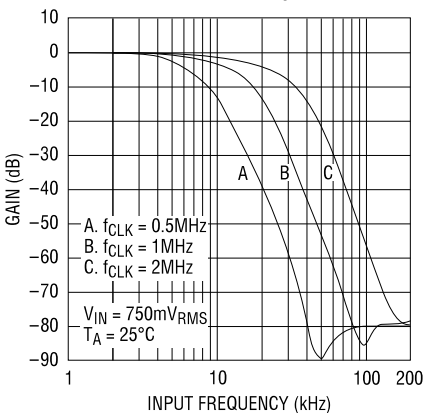
1065 G02

Output Offset vs Clock, Medium Clock Rates



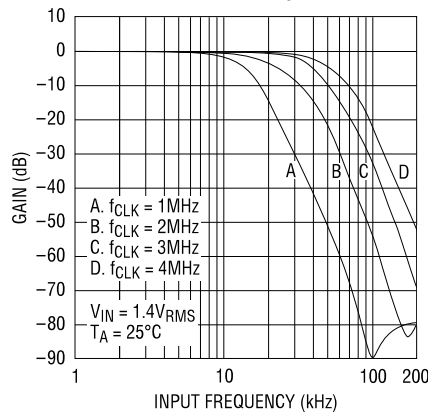
1065 G03

Gain vs Frequency; VS = ±2.5V



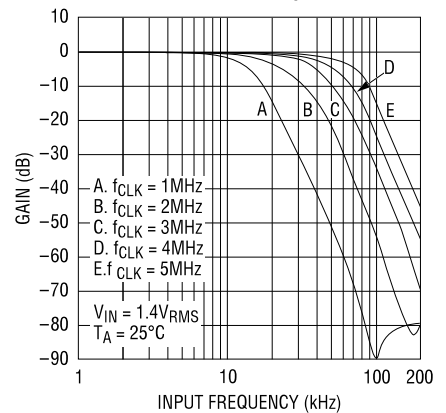
1065 G04

Gain vs Frequency; VS = ±5V



1065 G05

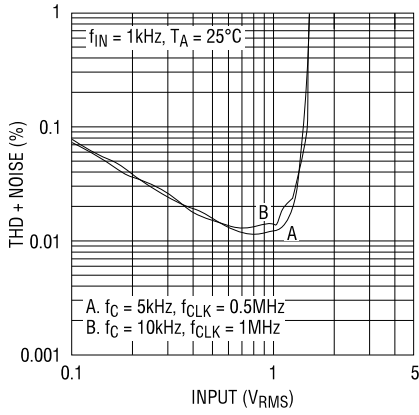
Gain vs Frequency; VS = ±7.5V



1065 G06

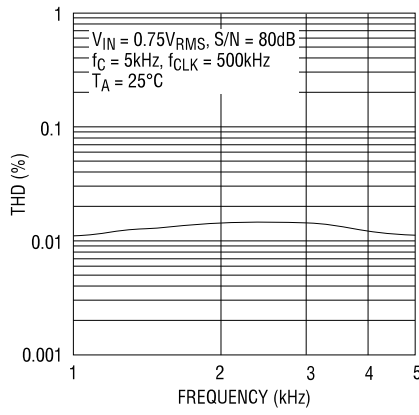
TYPICAL PERFORMANCE CHARACTERISTICS

THD + Noise vs Input Voltage;
 $V_S = \text{Single } 5V, \text{AGND} = 2V$



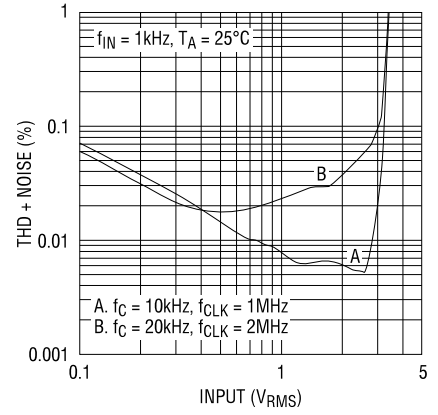
1065 G07

THD vs Frequency;
 $V_S = \text{Single } 5V, \text{AGND} = 2V$



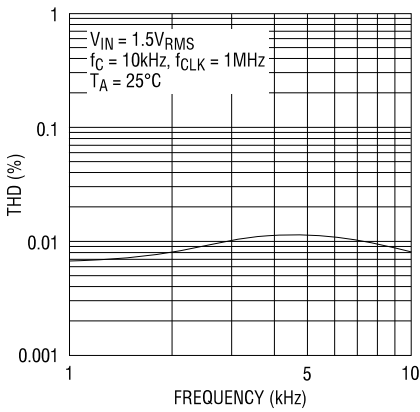
1065 G08

THD + Noise vs Input Voltage;
 $V_S = \pm 5V$



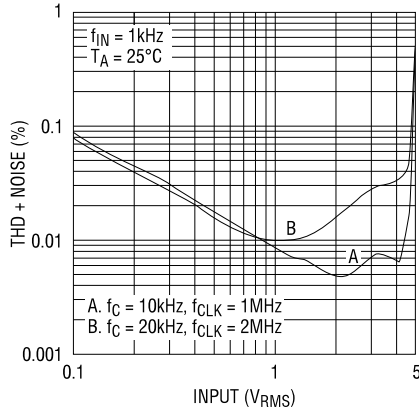
1065 G09

THD vs Frequency; VS = ±5V



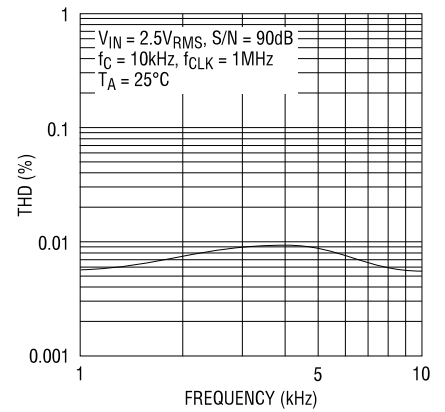
1065 G10

THD + Noise vs Input Voltage;
 $V_S = \pm 7.5V$



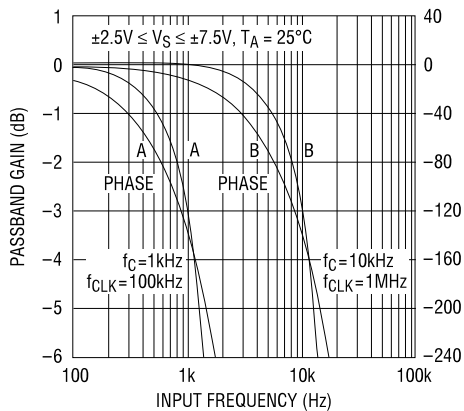
1065 G11

THD vs Frequency;
 $V_S = \pm 7.5V$



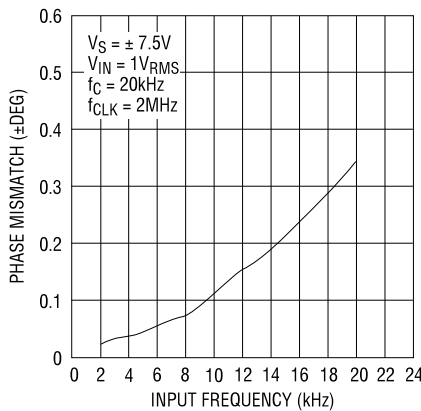
1065 G12

Passband Gain and Phase vs Input Frequency



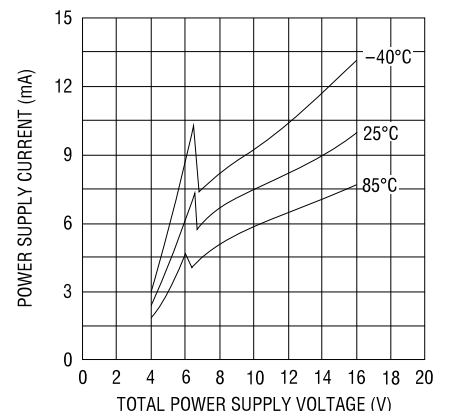
1065 G13

Typical Phase Matching Device to Device



1065 G14

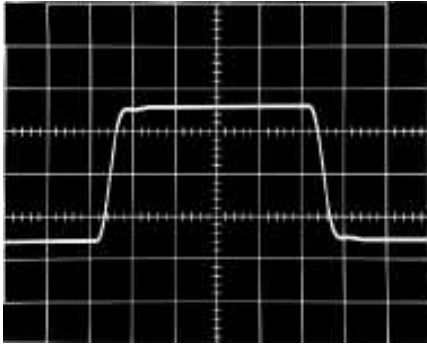
Power Supply Current vs Power Supply Voltage



1065 G15

TYPICAL PERFORMANCE CHARACTERISTICS

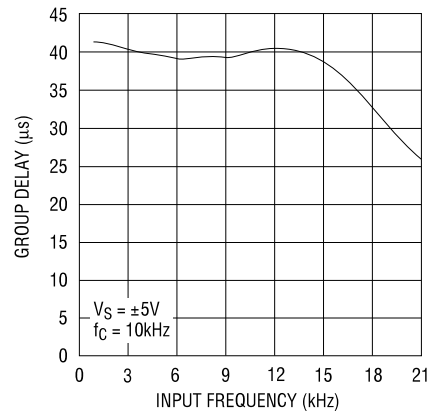
Transient Response



HORIZONTAL: 0.1ms/DIV, VERTICAL: 2V/DIV
 $V_S = \pm 5V$, $f_C = 10kHz$, $V_{IN} = 1kHz \pm 3V_P$
 SQUARE WAVE

1065 G16

Group Delay



$V_S = \pm 5V$
 $f_C = 10kHz$

1065 G17

PIN FUNCTIONS

Power Supply Pins (Pins 6, 3, N Package)

The positive and negative supply pin should be bypassed with a high quality 0.1 μF ceramic capacitor. In applications where the clock pin (5) is externally swept to provide several cutoff frequencies, the output DC offset variation is minimized by connecting an additional 1 μF solid tantalum capacitor in parallel with the 0.1 μF disc ceramic. This technique was used to generate the graphs of the output DC offset variation versus clock; they are illustrated in the Typical Performance Characteristics section.

When the power supply voltage exceeds $\pm 7V$, and when V^- is applied before V^+ (if V^+ is allowed to go below ground) connect a signal diode between the positive supply pin and ground to prevent latch-up (see Typical Applications).

Ground Pin (Pin 2, N Package)

The ground pin merges the internal analog and digital ground paths. The potential of the ground pin is the reference for the internal switched-capacitor resistors, and the reference for the external clock. The positive input of the internal op amp is also tied to the ground pin.

For dual supply operation, the ground pin should be connected to a high quality AC and DC ground. A ground plane, if possible, should be used. A poor ground will

degrade DC offset and it will increase clock feedthrough, noise and distortion.

A small amount of AC current flows out of the ground pin whether or not the internal oscillator is used. The frequency of the ground current equals the frequency of the clock. The average value of this current is approximately 55 μA , 110 μA , 170 μA for $\pm 2.5V$, $\pm 5V$ and $\pm 7.5V$ supplies respectively.

For single supply operation, the ground pin should be preferably biased at half supply (see Typical Applications).

V_{OS} Adjust Pin (Pin 8, N Package)

The V_{OS} adjust pin can be used to trim any small amount of output DC offset voltage or to introduce a desired output DC level. The DC gain from the V_{OS} adjust pin to the filter output pin equals two.

Any DC voltage applied to this pin will reflect at the output pin of the filter multiplied by two.

If the V_{OS} adjust pin is not used, it should be shorted to the ground pin. The DC bias current flowing into the V_{OS} adjust pin is typically 10 pA.

The V_{OS} adjust pin should always be connected to an AC ground; AC signals applied to this pin will degrade the filter response.

PIN FUNCTIONS

Input Pin (Pin 1, N Package)

Pin 1 is the filter input and it is connected to an internal switched-capacitor resistor. If the input pin is left floating, the filter output will saturate. The DC input impedance of pin 1 is very high; with $\pm 5V$ supplies and 1MHz clock, the DC input impedance is typically $1G\Omega$. A resistor R_{IN} in series with the input pin will not alter the value of the filter's DC output offset (Figure 1). R_{IN} should however, be limited to a maximum value (Table 1), otherwise the filter's pass-band will be affected. Refer to the Applications Information section for more details.

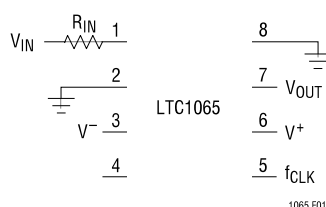


Figure 1.

Table 1. $R_{IN(MAX)}$ vs Clock and Power Supply

	$R_{IN(MAX)}$		
	$V_S = \pm 7.5V$	$V_S = \pm 5V$	$V_S = \pm 2.5V$
$f_{CLK} = 4MHz$	1.82k	–	–
$f_{CLK} = 3MHz$	3.01k	2.49k	–
$f_{CLK} = 2MHz$	4.32k	3.65k	2.37k
$f_{CLK} = 1MHz$	9.09k	8.25k	7.5k
$f_{CLK} = 500kHz$	17.8k	16.9k	16.9k
$f_{CLK} = 100kHz$	95.3k	90.9k	90.9k

Output Pin (Pin 7, N Package)

Pin 7 is the filter output. This pin can typically source over 20mA and sink 2mA. Pin 7 should not drive long coax cables, otherwise the filter's total harmonic distortion will degrade. The maximum load the filter output can drive and still maintain the distortion levels, shown in the Typical Performance Characteristics, is 20k.

Clock Input Pin (Pin 5, N Package)

An external clock, when applied to pin 5, tunes the filter cutoff frequency. The clock-to-cutoff frequency ratio is

100:1. The high (V_{HIGH}) and low (V_{LOW}) clock logic threshold levels are illustrated in Table 2. Square wave clocks with duty cycles between 30% and 50% are strongly recommended. Sinewave clocks are not recommended.

Table 2. Clock Pin Threshold Levels

POWER SUPPLY	V_{HIGH}	V_{LOW}
$V_S = \pm 2.5V$	1.5V	0.5V
$V_S = \pm 5V$	3V	1V
$V_S = \pm 7.5V$	4.5V	1.5V
$V_S = \pm 8V$	4.8V	1.6V
$V_S = 5V, 0V$	4V	3V
$V_S = 12V, 0V$	9.6V	7.2V
$V_S = 15V, 0V$	12V	9V

Clock Output Pin (Pin 4, N Package)

Any external clock applied to the clock input pin appears at the clock output pin. The duty cycle of the clock output equals the duty cycle of the external clock applied to the clock input pin. The clock output pin swings to the power supply rails. When the LTC1065 is used in a self-clocking mode, the clock of the internal oscillator appears at the clock output pin with a 30% duty cycle. The clock output pin can be used to drive other LTC1065s or other ICs. The maximum capacitance, $C_{L(MAX)}$, the clock output pin can drive is illustrated in Figure 2.

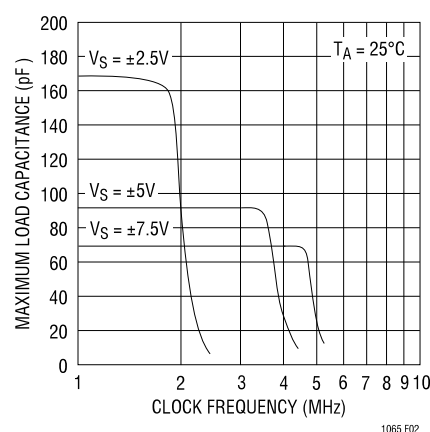


Figure 2. Maximum Load Capacitance at the Clock Output Pin

TEST CIRCUIT

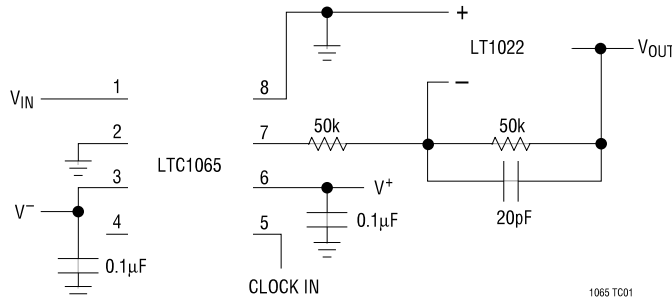


Figure 3. Test Circuit for THD

APPLICATIONS INFORMATION

Self-Clocking Operation

The LTC1065 features an internal oscillator which can be tuned via an external RC. The LTC1065’s internal oscillator is primarily intended for generation of clock frequencies below 500kHz. The first curve of the Typical Performance Characteristics section shows how to quickly choose the value of the RC for a given frequency. More precisely, the frequency of the internal oscillator is equal to:

$$f_{CLK} = K/RC$$

For clock frequencies (f_{CLK}) below 100kHz, K equals 1.07. Figure 4b shows the variation of the parameter K versus clock frequency and power supply. First choose the desired clock frequency ($f_{CLK} < 500kHz$), then through Figure 4b pick the right value of K, set $C = 200pF$ and solve for R.

Example 1: $f_{CUTOFF} = 2kHz$, $f_{CLK} = 200kHz$, $V_S = \pm 5V$,
 $T_A = 25^\circ C$, $K = 1.0$, $C = 200pF$

then, $R = (1.0)/(200kHz \times 204pF) = 24.5k$.

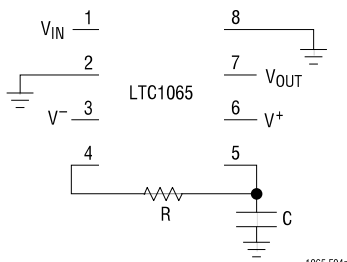


Figure 4a.

Note a 4pF parasitic capacitance is assumed in parallel with the external 200pF timing capacitor. Figure 5 shows the clock frequency variation from $-40^\circ C$ to $85^\circ C$. The 200kHz clock of Example 1 will change by -1.75% at $85^\circ C$.

For a limited temperature range, the internal oscillator of the LTC1065 can be used to generate clock frequencies above 500kHz (Figures 6 and 7). The data of Figure 6 is derived from several devices. For a given external (RC) value, the observed device-to-device clock frequency variation was $\pm 1\%$ ($V_S = \pm 5V$), and $\pm 1.25\%$ for $V_S = \pm 2.5V$.

Example 2: $f_{CUTOFF} = 20kHz$, $f_{CLK} = 2MHz$, $V_S = \pm 7.5V$,
 $T_A = 25^\circ C$, $C = 10pF$

from Figure 6, $K = 0.575$,
 and, $R = (0.575)/(2MHz \times 14pF) = 20.5k$.

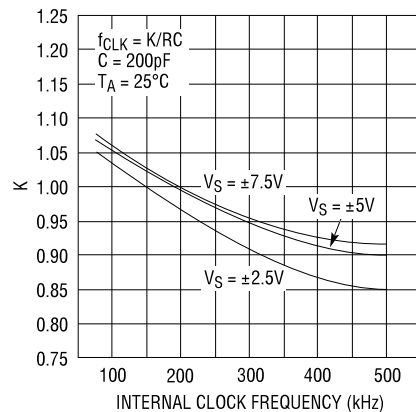
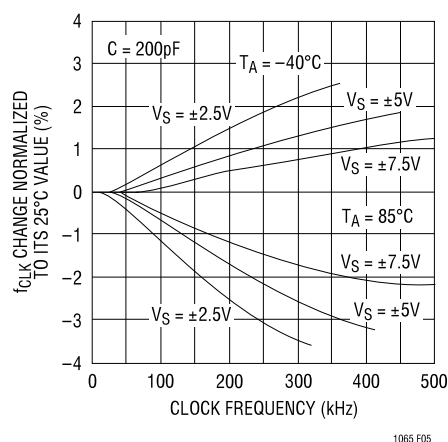
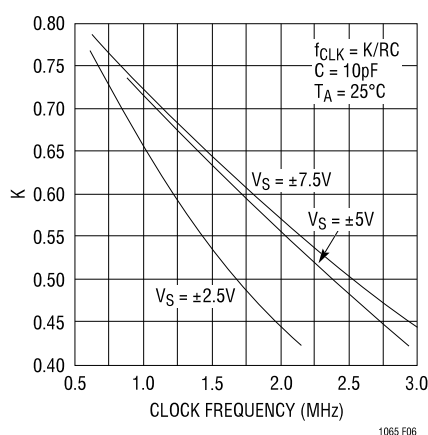
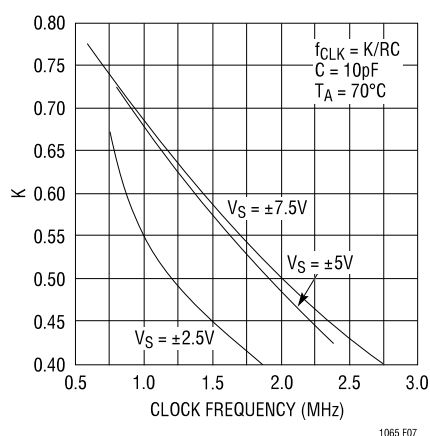


Figure 4b. f_{CLK} vs K

APPLICATIONS INFORMATION

Figure 5. f_{CLK} vs TemperatureFigure 6. f_{CLK} vs KFigure 7. f_{CLK} vs K

A 4pF parasitic capacitance is assumed in parallel with the external 10pF capacitor. A $\pm 1\%$ clock frequency variation from device to device can be expected. The 2MHz clock frequency designed above will typically drift to 1.74MHz at 70°C (Figure 7).

The internal clock of the LTC1065 can be overridden by an external clock provided that the external clock source can drive the timing capacitor C , which is connected from the clock input pin to ground.

Output Offset

The DC output offset of the LTC1065 is trimmed to typically less than $\pm 1\text{mV}$. The trimming is done at $V_S = \pm 5\text{V}$. To obtain optimum DC offset performance, appropriate PC layout techniques should be used and the filter IC should be soldered to the PC board. A socket will degrade the output DC offset by typically 1mV. The output DC offset is sensitive to the coupling of the clock output pin 4 (N package) to the negative power supply pin 3 (N package). The negative supply pin should be well decoupled. When the surface mount package is used, all NC pins should be grounded. When the output DC voltage is measured with a voltmeter, the filter output pin should be buffered. Long test leads should be avoided.

With fixed power supplies, the output DC offset should not change by more than $\pm 100\mu\text{V}$ over 10Hz to 1MHz clock frequency variation. When the filter clock frequency is fixed, the output DC offset will typically change by -4mV (2mV) when the power supply varies from $\pm 5\text{V}$ to $\pm 7.5\text{V}$ ($\pm 2.5\text{V}$). See Typical Performance Characteristics.

Common-Mode Rejection

The common-mode rejection is defined as the change of the output DC offset with respect to the DC change of the input voltage applied to the filter.

$$\text{CMR} = 20 \log (\Delta V_{OS \text{ OUT}} / \Delta V_{IN}) (\text{dB})$$

Table 3 illustrates the common-mode rejection for three power supplies and three temperatures. The common-mode rejection improves if the output offset is adjusted to approximately 0V. The output offset can be adjusted via pin 8 (N package). See Typical Applications.

APPLICATIONS INFORMATION

Table 3. CMR Data, $f_{CLK} = 100\text{kHz}$

POWER SUPPLY	ΔV_{IN}	-40°C	25°C	85°C	25°C (V_{OS} Nulled)
$\pm 2.5\text{V}$	$\pm 1.8\text{V}$	84dB	83dB	80dB	83dB
$\pm 5\text{V}$	$\pm 4\text{V}$	82dB	78dB	77dB	78dB
$\pm 7.5\text{V}$	$\pm 6\text{V}$	80dB	77dB	76dB	80dB

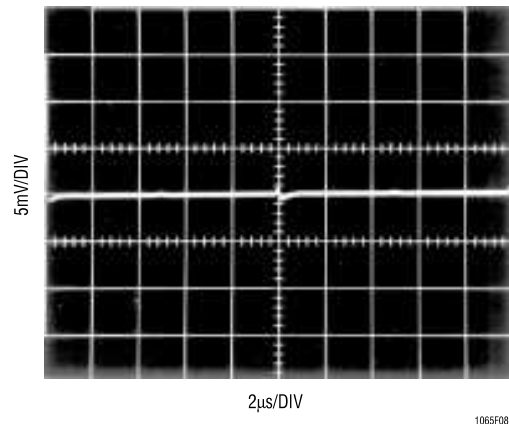
The above data is valid for clock frequencies up to 800kHz, 900kHz, 1MHz, for $V_S = \pm 2.5\text{V}, \pm 5\text{V}, \pm 7.5\text{V}$ respectively.

Clock Feedthrough

Clock feedthrough is defined as the RMS value of the clock frequency and its harmonics which are present at the filter's output pin. The clock feedthrough is tested with the filter input grounded and it depends on the quality of the PC board layout and power supply decoupling. Any parasitic switching transients during the rise and fall of the incoming clock, are not part of the clock feedthrough specifications; their amplitude strongly depends on scope probing techniques as well as ground quality and power supply bypassing. For a power supply $V_S = \pm 5\text{V}$, the clock feedthrough of the LTC1065 is $50\mu\text{V}_{RMS}$; for $V_S = \pm 7.5\text{V}$, the clock feedthrough approaches $75\mu\text{V}_{RMS}$. Figures 8 and 9 show a typical scope photo of the LTC1065 output pin when the input pin is grounded. The filter cutoff frequency was 1kHz, while scope bandwidth was chosen to be 1MHz so that switching transients above the 100kHz clock frequency would show.

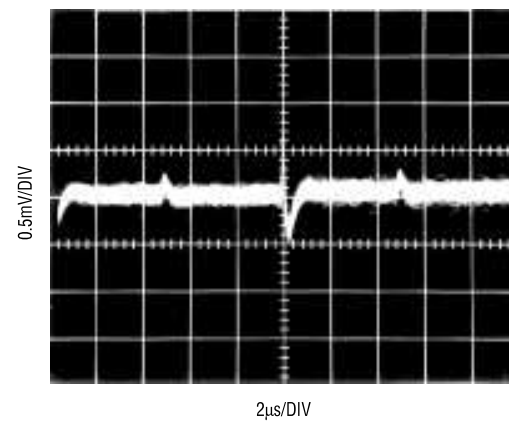
Wideband Noise

The wideband noise data is used to determine the operating signal-to-noise ratio at a given distortion level. The wideband noise (μV_{RMS}) is nearly independent of the value of the clock frequency and excludes the clock feedthrough. The LTC1065's typical wideband noise is $80\mu\text{V}_{RMS}$. Figure 9 shows the same scope photo as Figure 8 but with a more sensitive vertical scale. The clock feedthrough is imbedded in the filter's wideband noise. The peak-to-peak wideband noise of the filter can be clearly seen; it is approximately $420\mu\text{V}_{P-P}$. Note that $420\mu\text{V}_{P-P}$ equals the $80\mu\text{V}_{RMS}$ wideband noise of the part multiplied by a crest factor of 5.25.



$f_{CLK} = 100\text{kHz}, f_C = 1\text{kHz}, V_S = \pm 5\text{V}, 1\text{MHz SCOPE BW}$

Figure 8. LTC1065 Output Clock Feedthrough + Noise



$f_{CLK} = 100\text{kHz}, f_C = 1\text{kHz}, V_S = \pm 5\text{V}, 1\text{MHz SCOPE BW}$

Figure 9. LTC1065 Output Clock Feedthrough + Noise

Aliasing

Aliasing is an inherent phenomenon of sampled data filters. It primarily occurs when the frequency of an input signal approaches the sampling frequency. For the LTC1065, an input signal whose frequency is in the range of $f_{CLK} \pm 6\%$ will generate an alias signal into the filter's passband and stopband. Table 4 shows details.

Example: LTC1065, $f_{CLK} = 20\text{kHz}, f_C = 200\text{kHz}$,
 $f_{IN} = (19.6\text{kHz}, 100\text{mV}_{RMS})$
 $f_{ALIAS} = (400\text{Hz}, 3.16\text{mV}_{RMS})$

APPLICATIONS INFORMATION

Table 4. Aliasing Data

INPUT FREQUENCY	OUTPUT FREQUENCY	OUTPUT AMPLITUDE REFERENCED TO INPUT SIGNAL
0.9995 f_{CLK}	0.0005 f_{CLK}	-0.01 dB
0.995 f_{CLK}	0.005 f_{CLK}	-0.98 dB
0.99 f_{CLK}	0.01 f_{CLK}	-3.13 dB
0.9875 f_{CLK}	0.0125 f_{CLK}	-4.79 dB
0.985 f_{CLK}	0.015 f_{CLK}	-7.21 dB
0.9825 f_{CLK}	0.0175 f_{CLK}	-10.43 dB
0.98 f_{CLK}	0.02 f_{CLK}	-14.14 dB
0.975 f_{CLK}	0.025 f_{CLK}	-21.84 dB
0.97 f_{CLK}	0.03 f_{CLK}	-28.98 dB
0.965 f_{CLK}	0.035 f_{CLK}	-35.31 dB
0.96 f_{CLK}	0.04 f_{CLK}	-40.94 dB
0.955 f_{CLK}	0.045 f_{CLK}	-45.96 dB
0.95 f_{CLK}	0.05 f_{CLK}	-50.46 dB
0.94 f_{CLK}	0.06 f_{CLK}	-58.29 dB
0.93 f_{CLK}	0.07 f_{CLK}	-64.90 dB
0.9 f_{CLK}	0.1 f_{CLK}	-80.20 dB

An input RC can be used to attenuate incoming signals close to the filter clock frequency (Figure 10). A Bessel passband response will be maintained if the value of the input resistor follows Table 1.

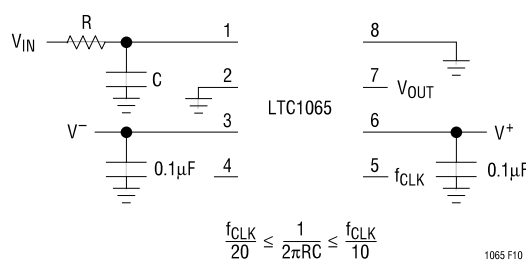
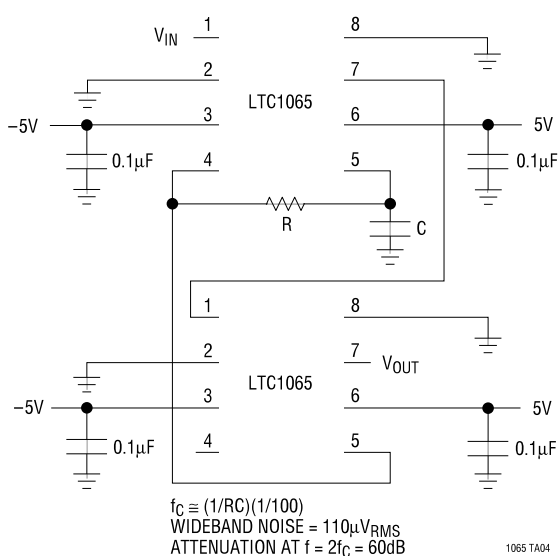


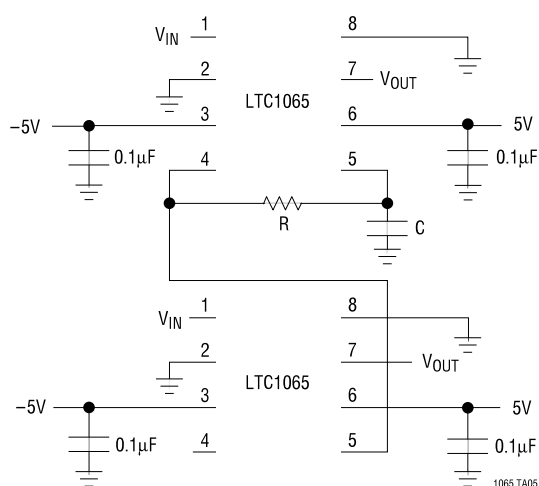
Figure 10. Adding an Input Anti-Aliasing RC

TYPICAL APPLICATIONS

Cascading Two LTC1065s for Steeper Roll-Off

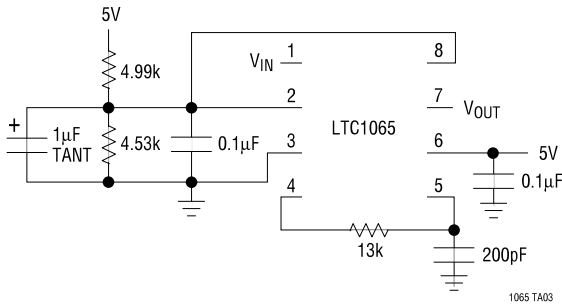


Sharing Clock for Multichannel Applications

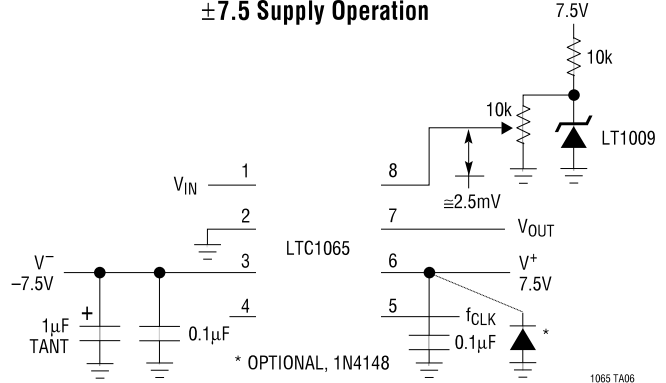


TYPICAL APPLICATIONS

Single 5V Supply Operation ($f_c = 3.4\text{kHz}$)

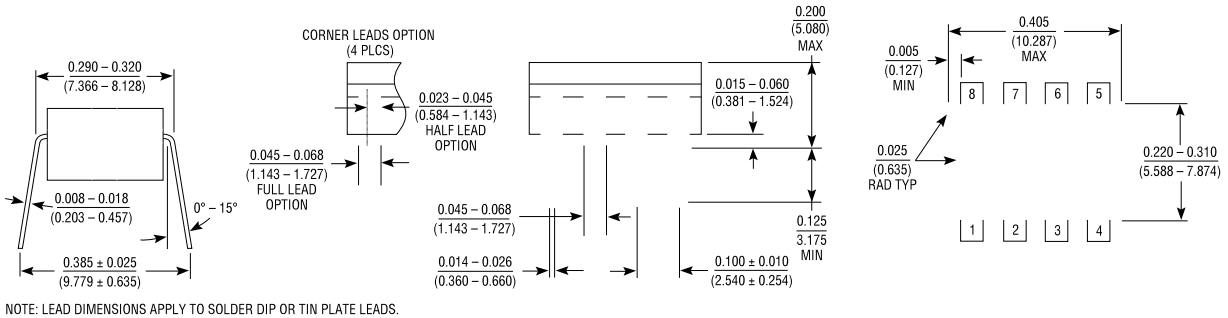


Adjusting $V_{OS(OUT)}$ for ± 7.5 Supply Operation



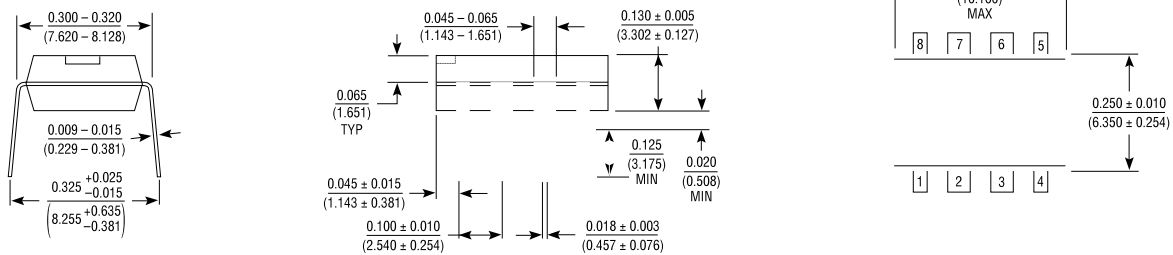
PACKAGE DESCRIPTION Dimensions in inches (millimeters) unless otherwise noted.

J8 Package, 8-Lead Ceramic DIP

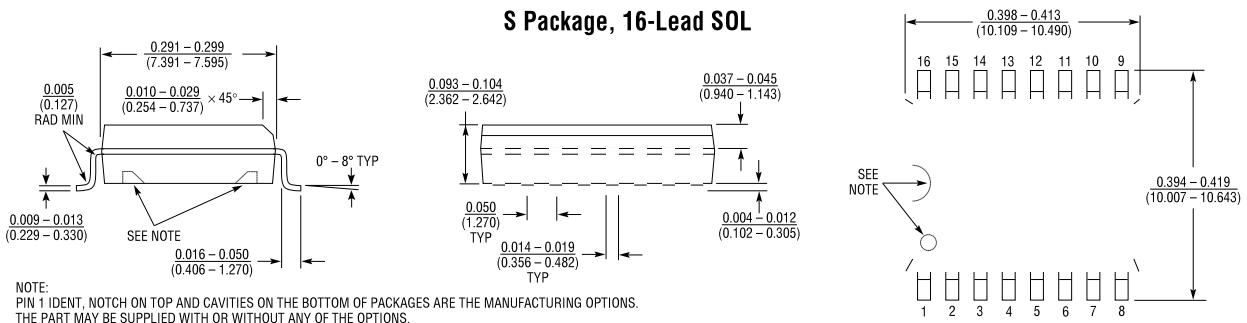


NOTE: LEAD DIMENSIONS APPLY TO SOLDER DIP OR TIN PLATE LEADS.

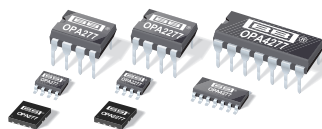
N8 Package, 8-Lead Plastic DIP



S Package, 16-Lead SOL



NOTE: PIN 1 IDENT, NOTCH ON TOP AND CAVITIES ON THE BOTTOM OF PACKAGES ARE THE MANUFACTURING OPTIONS. THE PART MAY BE SUPPLIED WITH OR WITHOUT ANY OF THE OPTIONS.



High Precision OPERATIONAL AMPLIFIERS

FEATURES

- **ULTRA LOW OFFSET VOLTAGE:** 10 μ V
- **ULTRA LOW DRIFT:** $\pm 0.1\mu$ V/ $^{\circ}$ C
- **HIGH OPEN-LOOP GAIN:** 134dB
- **HIGH COMMON-MODE REJECTION:** 140dB
- **HIGH POWER SUPPLY REJECTION:** 130dB
- **LOW BIAS CURRENT:** 1nA max
- **WIDE SUPPLY RANGE:** ± 2 V to ± 18 V
- **LOW QUIESCENT CURRENT:** 800 μ A/amplifier
- **SINGLE, DUAL, AND QUAD VERSIONS**
- **REPLACES OP-07, OP-77, OP-177**

APPLICATIONS

- **TRANSDUCER AMPLIFIER**
- **BRIDGE AMPLIFIER**
- **TEMPERATURE MEASUREMENTS**
- **STRAIN GAGE AMPLIFIER**
- **PRECISION INTEGRATOR**
- **BATTERY POWERED INSTRUMENTS**
- **TEST EQUIPMENT**

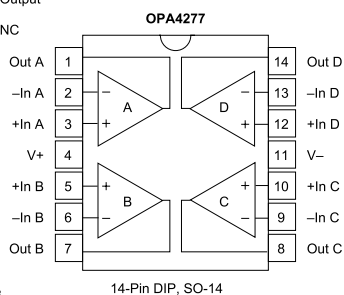
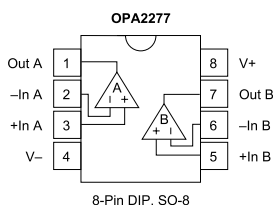
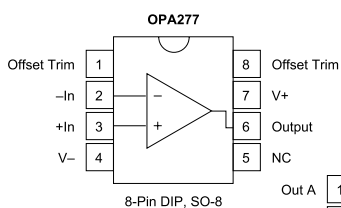
DESCRIPTION

The OPA277 series precision op amps replace the industry standard OP-177. They offer improved noise, wider output voltage swing, and are twice as fast with half the quiescent current. Features include ultra low offset voltage and drift, low bias current, high common-mode rejection, and high power supply rejection. Single, dual, and quad versions have identical specifications for maximum design flexibility.

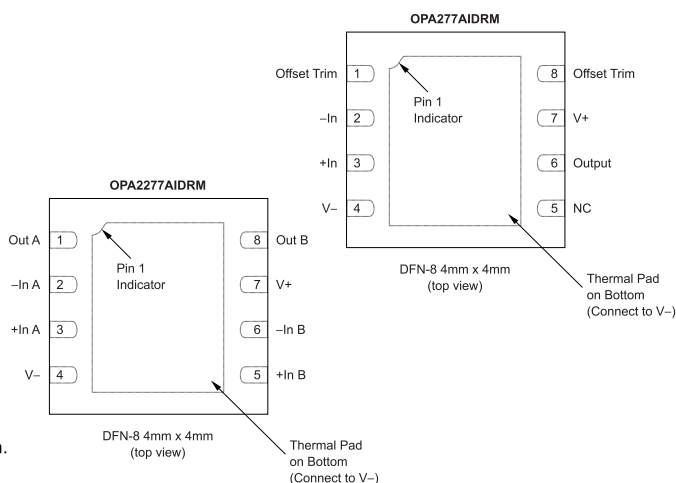
OPA277 series op amps operate from ± 2 V to ± 18 V supplies with excellent performance. Unlike most op amps which are specified at only one supply voltage, the OPA277 series is specified for real-world applications; a single limit applies over the ± 5 V to ± 15 V supply range. High performance is maintained as the amplifiers swing to their specified limits. Because the initial offset voltage ($\pm 20\mu$ V max) is so low, user adjustment is usually not required. However, the single version (OPA277) provides external trim pins for special applications.

OPA277 op amps are easy to use and free from phase inversion and overload problems found in some other op amps. They are stable in unity gain and provide excellent dynamic behavior over a wide range of load conditions. Dual and quad versions feature completely independent circuitry for lowest crosstalk and freedom from interaction, even when overdriven or overloaded.

Single (OPA277) and dual (OPA2277) versions are available in DIP-8, SO-8, and DFN-8 (4mm x 4mm) packages. The quad (OPA4277) comes in DIP-14 and SO-14 surface-mount packages. All are fully specified from -40° C to $+85^{\circ}$ C and operate from -55° C to $+125^{\circ}$ C.



NC = No connection.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

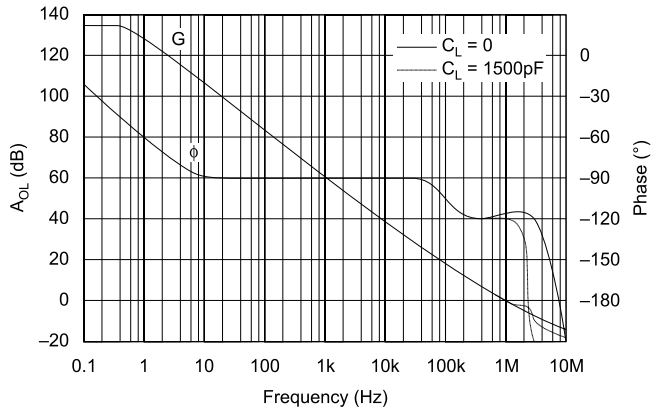
All trademarks are the property of their respective owners.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

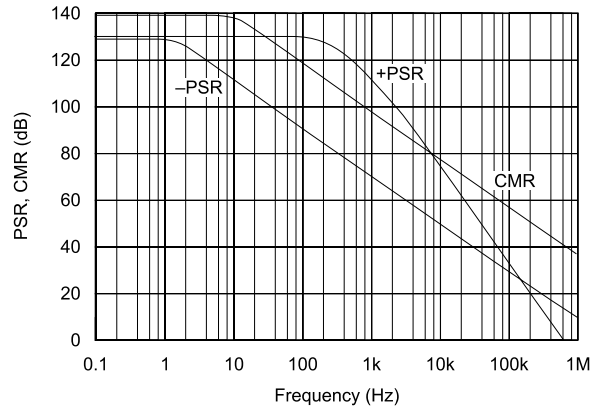
TYPICAL CHARACTERISTICS

At $T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, and $R_L = 2\text{k}\Omega$, unless otherwise noted.

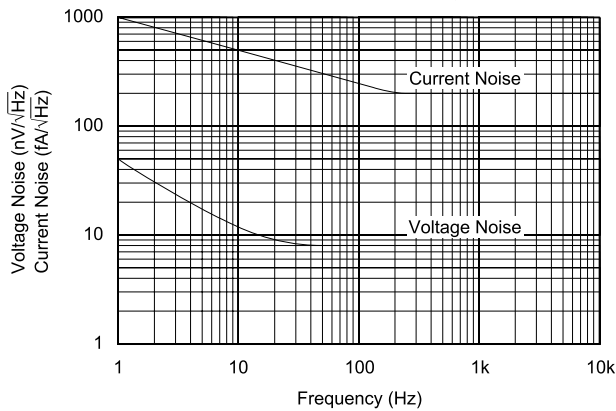
OPEN-LOOP GAIN/PHASE vs FREQUENCY



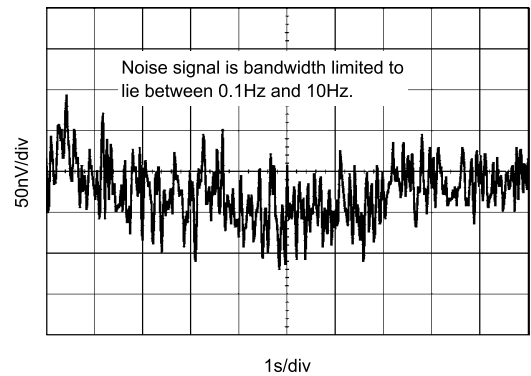
POWER SUPPLY AND COMMON-MODE REJECTION vs FREQUENCY



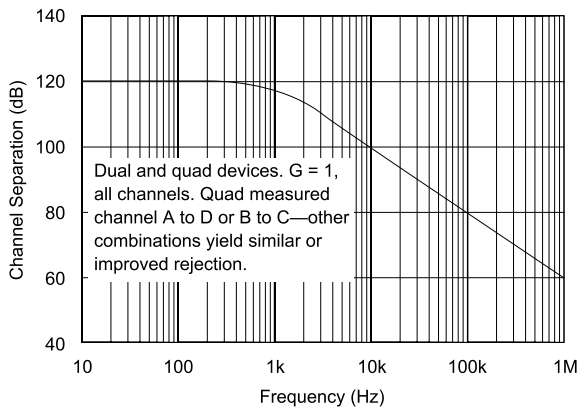
INPUT NOISE AND CURRENT NOISE SPECTRAL DENSITY vs FREQUENCY



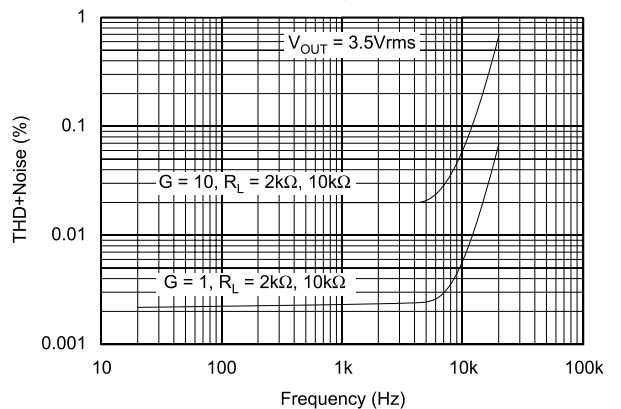
INPUT NOISE VOLTAGE vs TIME



CHANNEL SEPARATION vs FREQUENCY

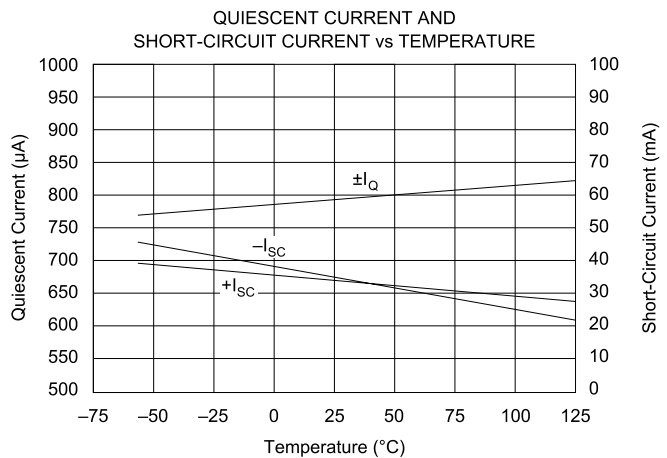
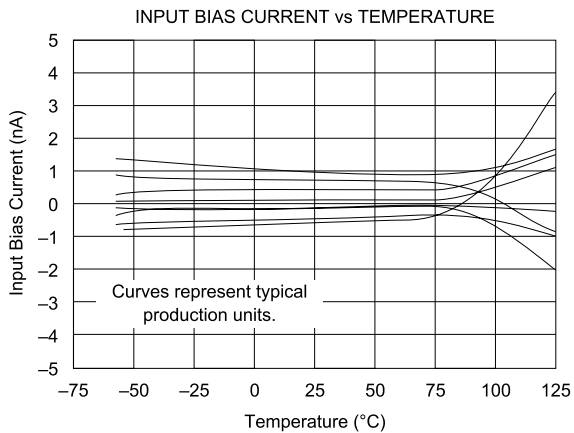
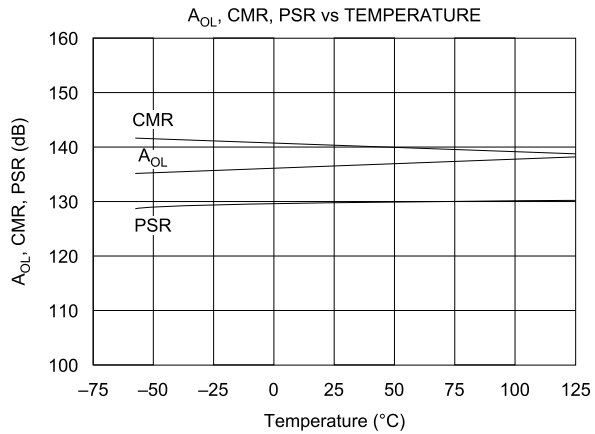
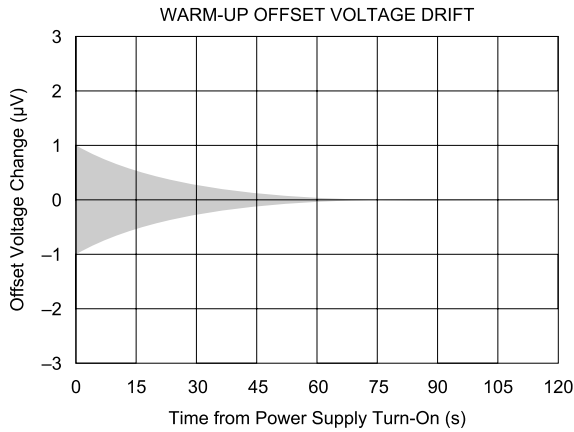
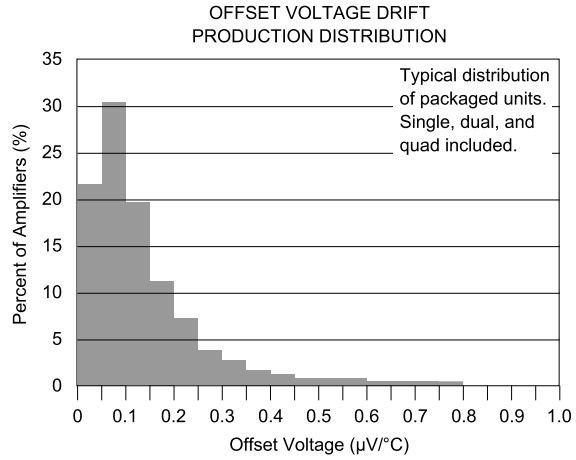
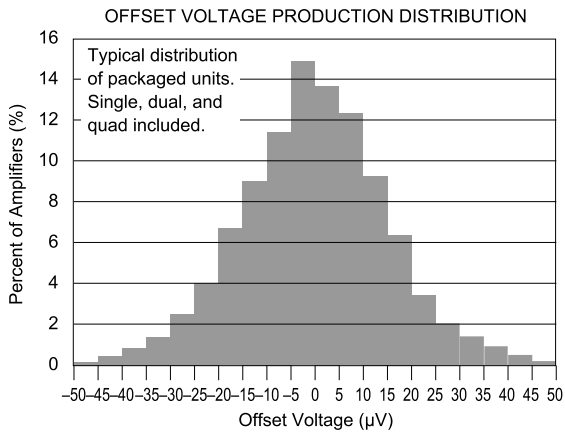


TOTAL HARMONIC DISTORTION + NOISE vs FREQUENCY



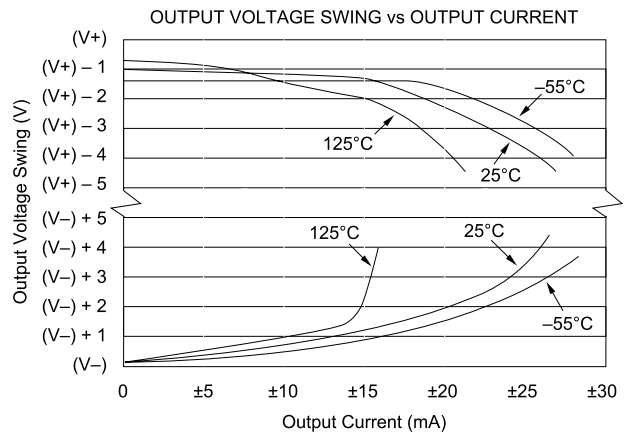
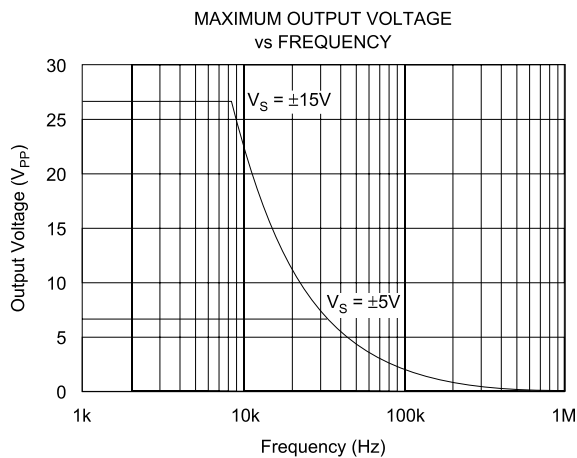
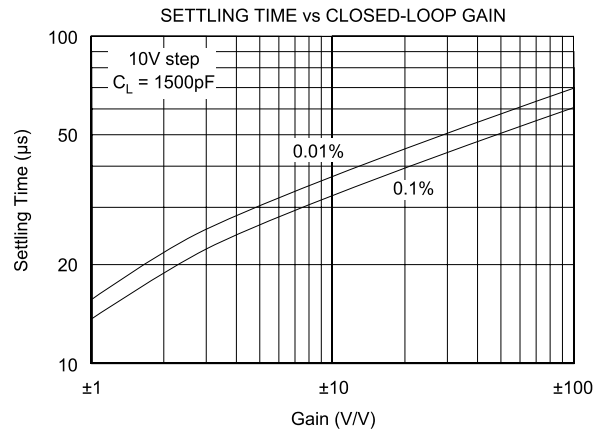
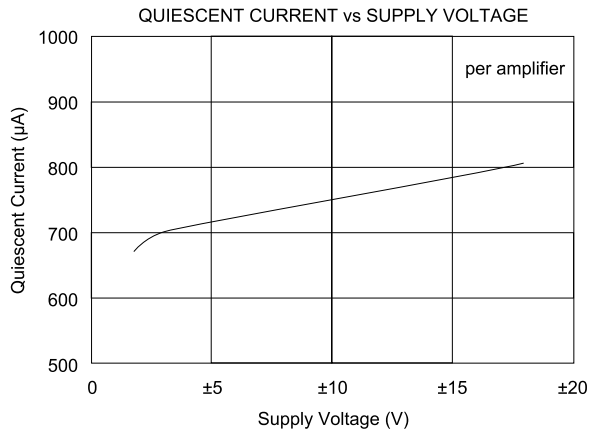
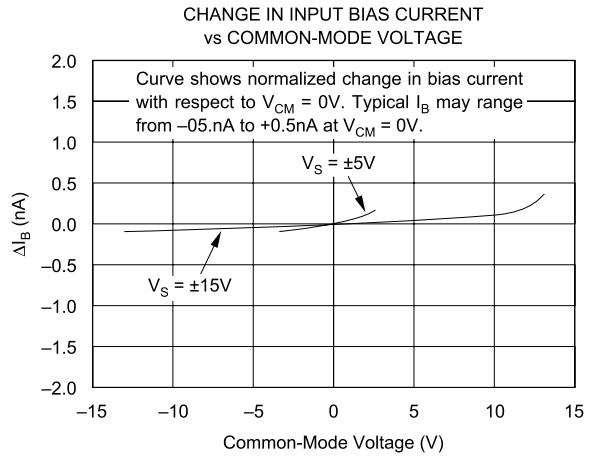
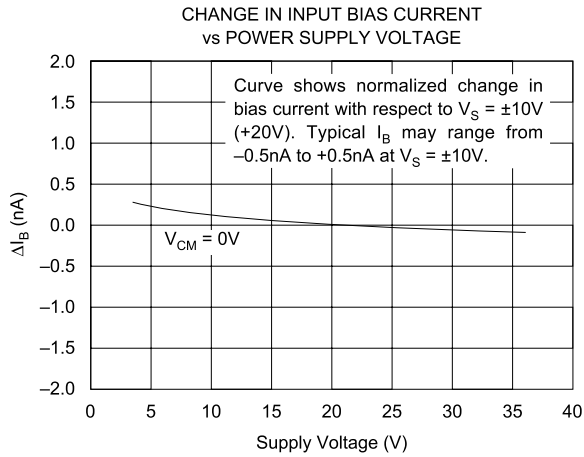
TYPICAL CHARACTERISTICS (CONT)

At $T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, and $R_L = 2\text{k}\Omega$, unless otherwise noted.



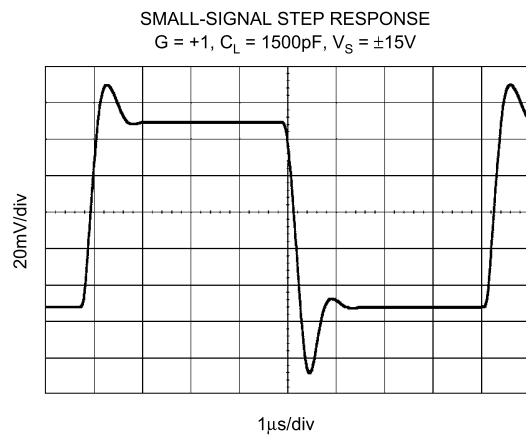
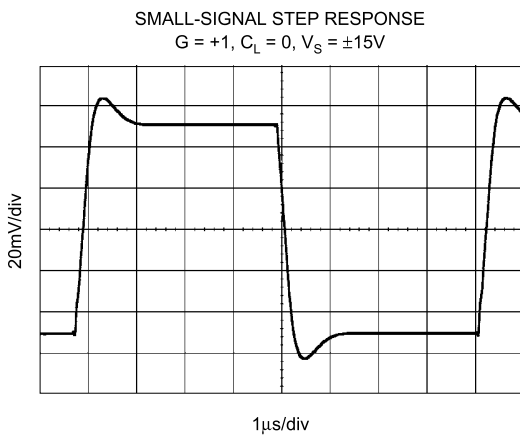
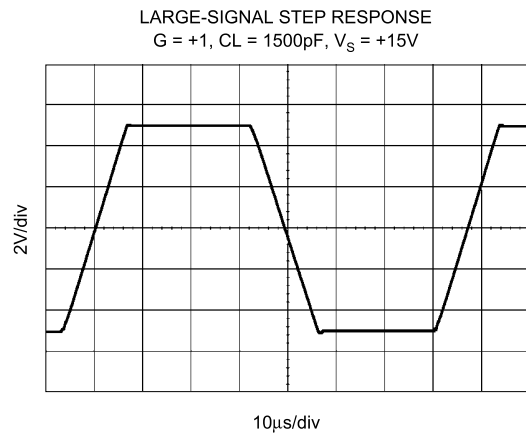
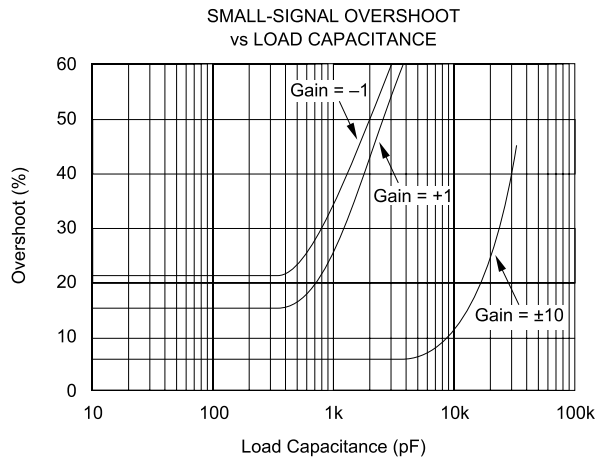
TYPICAL CHARACTERISTICS (CONT)

At $T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, and $R_L = 2\text{k}\Omega$, unless otherwise noted.



TYPICAL CHARACTERISTICS (CONT)

At $T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, and $R_L = 2\text{k}\Omega$, unless otherwise noted.



APPLICATIONS INFORMATION

The OPA277 series is unity-gain stable and free from unexpected output phase reversal, making it easy to use in a wide range of applications. Applications with noisy or high impedance power supplies may require decoupling capacitors close to the device pins. In most cases 0.1 μ F capacitors are adequate.

The OPA277 series has very low offset voltage and drift. To achieve highest performance, circuit layout and mechanical conditions should be optimized. Offset voltage and drift can be degraded by small thermoelectric potentials at the op amp inputs. Connections of dissimilar metals will generate thermal potential which can degrade the ultimate performance of the OPA277 series. These thermal potentials can be made to cancel by assuring that they are equal in both input terminals.

- Keep thermal mass of the connections made to the two input terminals similar.
- Locate heat sources as far as possible from the critical input circuitry.
- Shield op amp and input circuitry from air currents such as cooling fans.

OPERATING VOLTAGE

OPA277 series op amp operate from $\pm 2V$ to $\pm 18V$ supplies with excellent performance. Unlike most op amps which are specified at only one supply voltage, the OPA277 series is specified for real-world applications; a single limit applies over the $\pm 5V$ to $\pm 15V$ supply range. This allows a customer operating at $V_S = \pm 10V$ to have the same assured performance as a customer using $\pm 15V$ supplies. In addition, key parameters are assured over the specified temperature range, $-40^\circ C$ to $+85^\circ C$. Most behavior remains unchanged through the full operating voltage range ($\pm 2V$ to $\pm 18V$). Parameters which vary significantly with operating voltage or temperature are shown in typical performance curves.

OFFSET VOLTAGE ADJUSTMENT

The OPA277 series is laser-trimmed for very low offset voltage and drift so most circuits will not require external adjustment. However, offset voltage trim connections are provided on pins 1 and 8. Offset voltage can be adjusted by

connecting a potentiometer as shown in Figure 1. This adjustment should be used only to null the offset of the op amp. This adjustment should not be used to compensate for offsets created elsewhere in a system since this can introduce additional temperature drift.

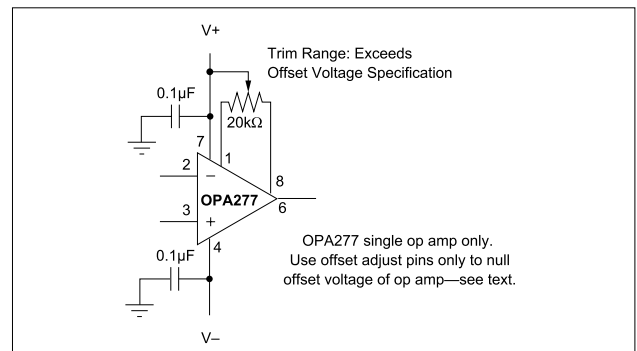


FIGURE 1. OPA277 Offset Voltage Trim Circuit.

INPUT PROTECTION

The inputs of the OPA277 series are protected with 1k Ω series input resistors and diode clamps. The inputs can withstand $\pm 30V$ differential inputs without damage. The protection diodes will, of course, conduct current when the inputs are over-driven. This may disturb the slewing behavior of unity-gain follower applications, but will not damage the op amp.

INPUT BIAS CURRENT CANCELLATION

The input stage base current of the OPA277 series is internally compensated with an equal and opposite cancellation circuit. The resulting input bias current is the difference between the input stage base current and the cancellation current. This residual input bias current can be positive or negative.

When the bias current is canceled in this manner, the input bias current and input offset current are approximately the same magnitude. As a result, it is not necessary to use a bias current cancellation resistor as is often done with other op amps (Figure 2). A resistor added to cancel input bias current errors may actually increase offset voltage and noise.

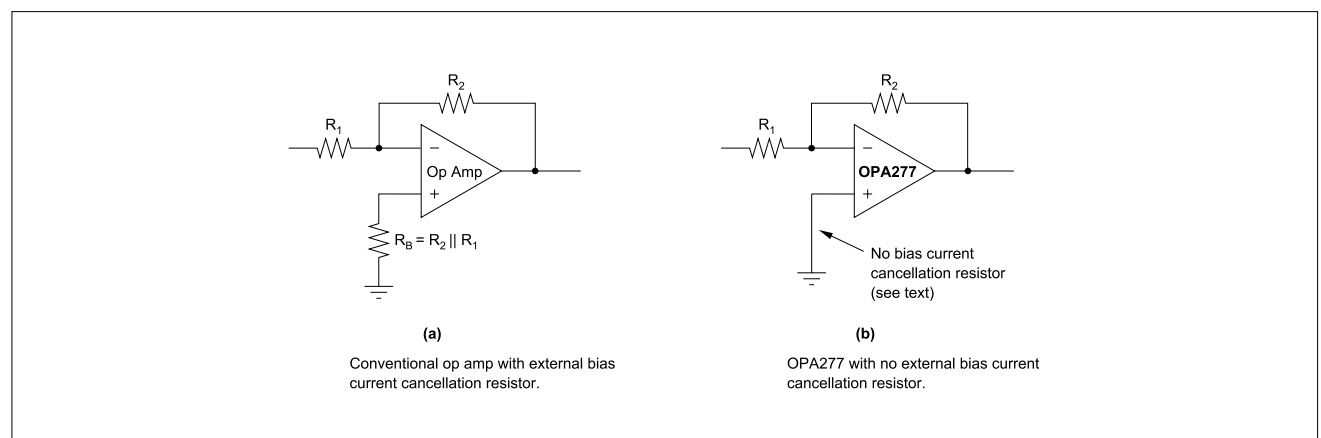


FIGURE 2. Input Bias Current Cancellation.

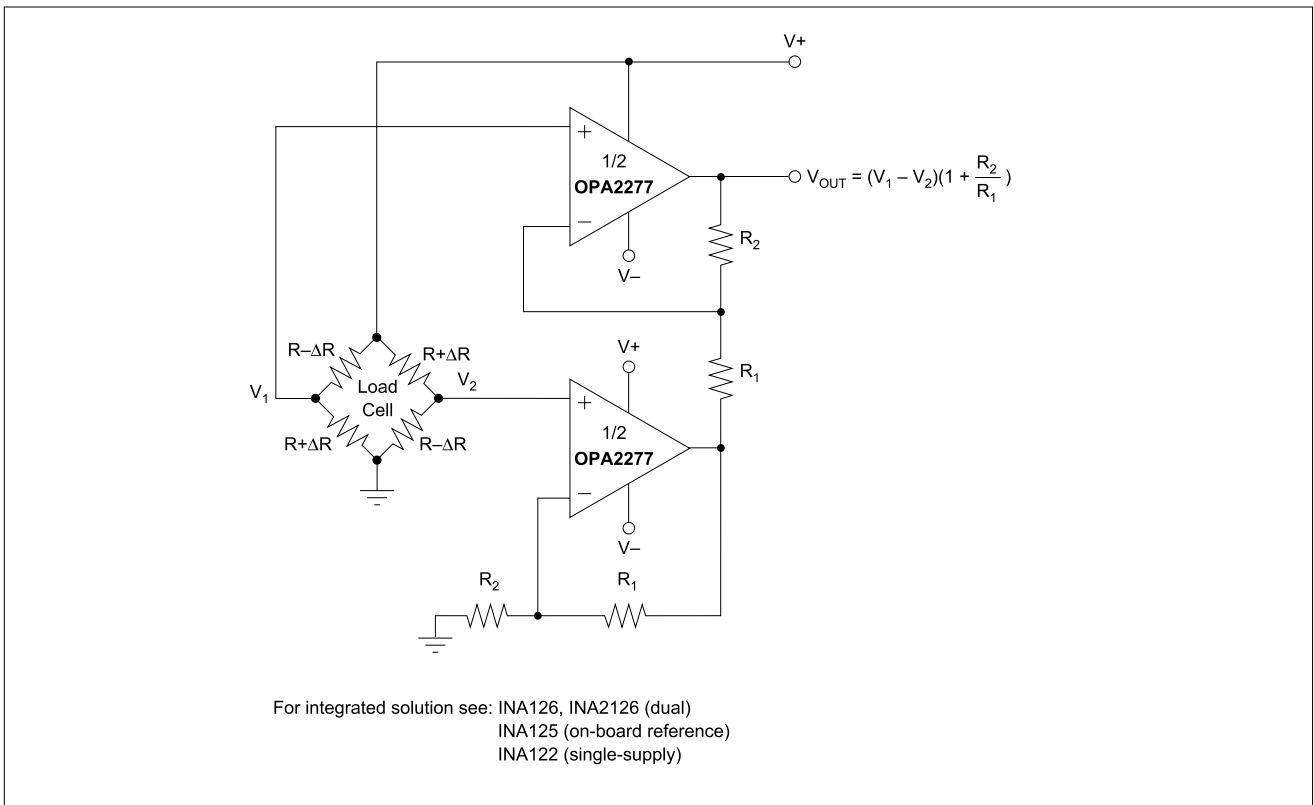


FIGURE 3. Load Cell Amplifier.

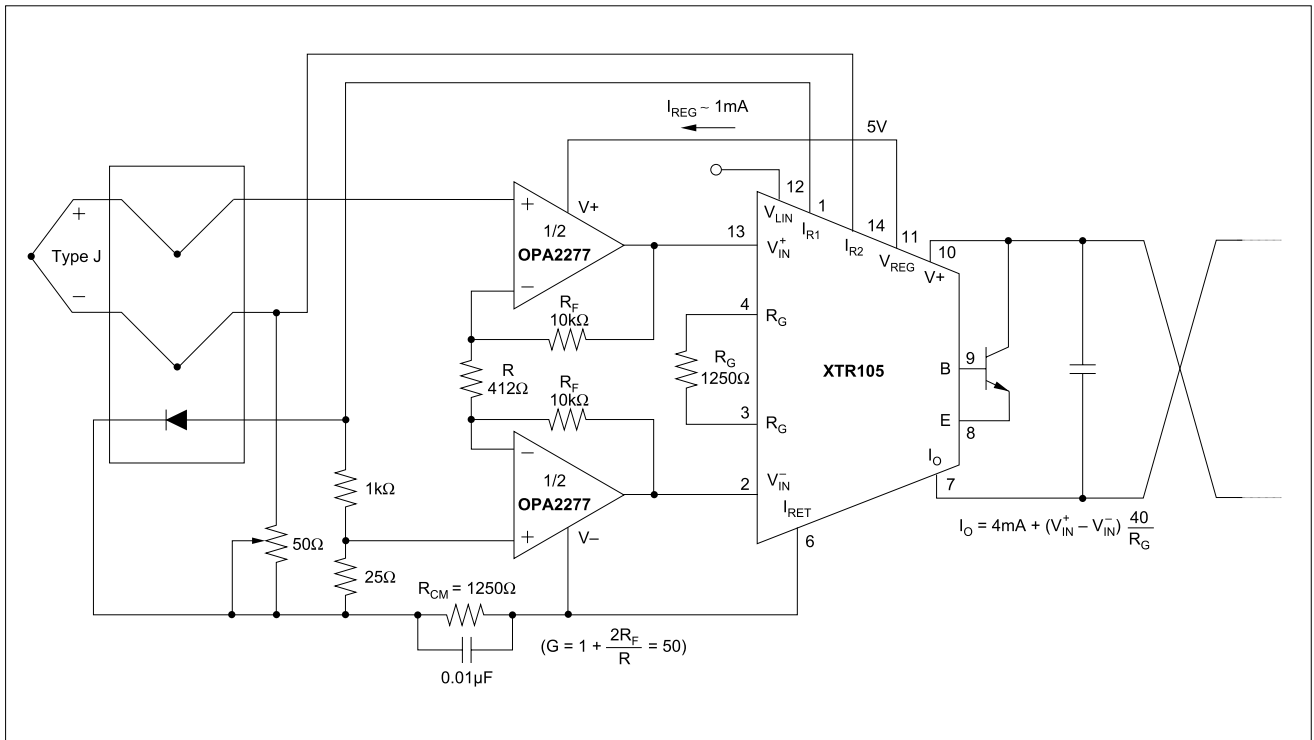
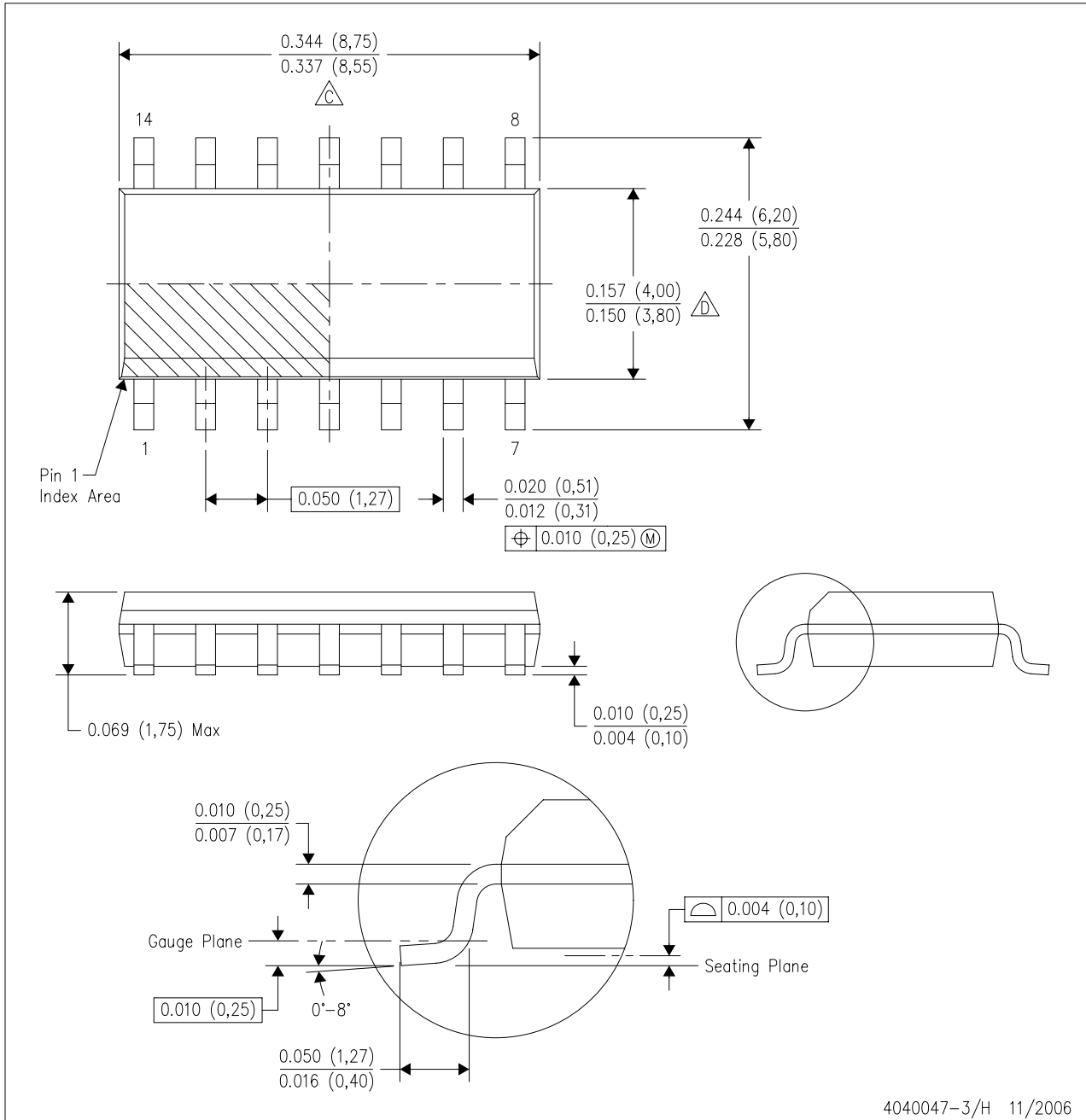


FIGURE 4. Thermocouple Low Offset, Low Drift Loop Measurement with Diode Cold Junction Compensation.

MECHANICAL DATA

D (R-PDSO-G14)

PLASTIC SMALL-OUTLINE PACKAGE

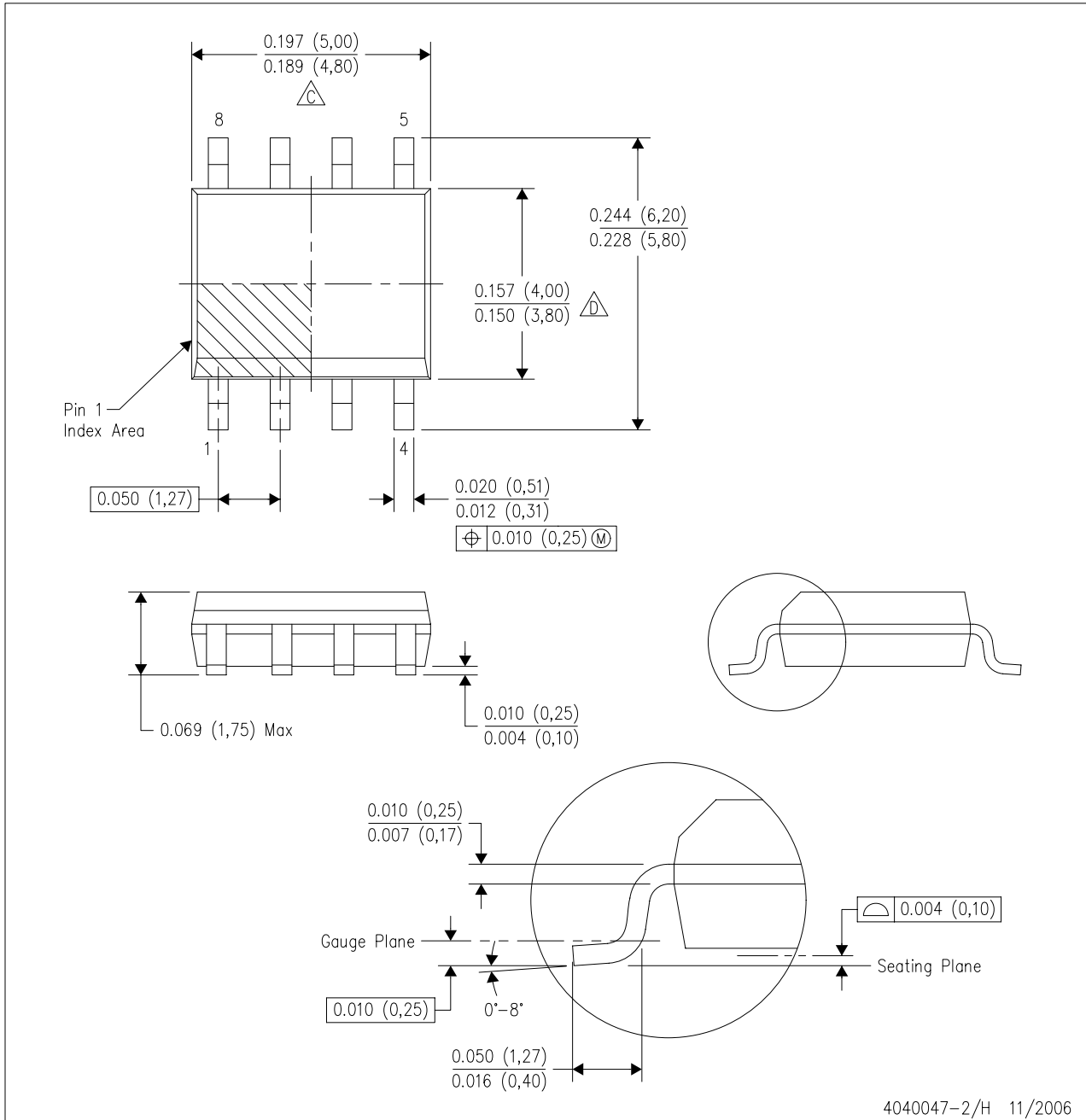




- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 (0,15) per end.
 - Body width does not include interlead flash. Interlead flash shall not exceed .017 (0,43) per side.
 - E. Reference JEDEC MS-012 variation AB.

MECHANICAL DATA

D (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 -  Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 (0,15) per end.
 -  Body width does not include interlead flash. Interlead flash shall not exceed .017 (0,43) per side.
 - E. Reference JEDEC MS-012 variation AA.

ÖZGEÇMİŞ

Adı Soyadı/Doğum Yeri: Sercan KARACA/Muğla

Doğum Tarihi: 01.03.1982

Medeni Hali: Bekar

Bildiği Yabancı Diller: İngilizce

Eğitim Durumu: Lisans(Kocaeli Üniversitesi/2006)

Çalıştığı Kurumlar: Ondokuz Mayıs Üniversitesi Fen Bilimleri Enstitüsü (2007-2010)

İletişim Bilgileri: Ondokuz Mayıs Üniversitesi Mühendislik Fakültesi Elektrik-Elektronik Mühendisliği

Kurupelit/Samsun 55139

skaraca@omu.edu.tr