

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

**YAZILIM TANIMLI RADYO TABANLI FM DEMODÜLATÖR
TASARIMI**

YÜKSEK LİSANS TEZİ

Arda DEMİRAY

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Elektronik Mühendisliği Programı

EKİM 2015

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

**YAZILIM TANIMLI RADYO TABANLI FM DEMODÜLATÖR
TASARIMI**

YÜKSEK LİSANS TEZİ

**Arda DEMİRAY
(504121355)**

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Elektronik Mühendisliği Programı

Tez Danışmanı: Dr. H. Bülent YAĞCI

EKİM 2015

İTÜ, Fen Bilimleri Enstitüsü'nün 504121355 numaralı Yüksek Lisans Öğrencisi Arda DEMİRAY, ilgili yönetmeliklerin belirlediği gerekli tüm şartları yerine getirdikten sonra hazırladığı “YAZILIM TANIMLI RADYO TABANLI FM DEMODÜLATÖR” başlıklı tezini aşağıda imzaları olan jüri önünde başarı ile sunmuştur.

Tez Danışmanı : **Dr. H. Bülent YAĞCI**

İstanbul Teknik Üniversitesi

Jüri Üyeleri : **Prof. Dr. Müştak Erhan YALÇIN**

İstanbul Teknik Üniversitesi

Doç. Dr. Serkan TOPALOĞLU

Yeditepe Üniversitesi

Teslim Tarihi : 28 Ağustos 2015
Savunma Tarihi : 5 Ekim 2015

Aileme,

ÖNSÖZ

Yüksek lisans tezimin hazırlanması sürecinde yardımlarını esirgemeyen ve değerli vakitlerini ayıran tez danışmanım Öğr. Gör. Dr. H. Bülent Yağcı başta olmak üzere Arş. Gör. Yük. Müh. Osman Ceylan'a sonsuz saygı ve şükranlarımı sunarım. Tasarımın gerçekleştirme aşamasındaki yardımlarından dolayı İTÜ RF Elektronik Laboratuvarı'ndan Oğuz Kışlal'a teşekkür ederim. Tez süreci boyunca desteklerinden ötürü NETAŞ'taki yöneticilerime ve Platform ekibindeki çalışma arkadaşlarıma teşekkürü bir borç bilirim. Bu günlere gelmemde büyük pay sahibi olan ve hayatım boyunca desteğini esirgemeyen aileme teşekkür ederim.

Ekim 2015

Arda Demiray
(Elektronik Mühendisi)

İÇİNDEKİLER

Sayfa

ÖNSÖZ.....	vii
İÇİNDEKİLER	ix
KISALTMALAR	xi
SEMBOLLER	xiii
ÇİZELGE LİSTESİ.....	xv
ŞEKİL LİSTESİ.....	xvii
ÖZET.....	xix
SUMMARY	xxi
1. GİRİŞ.....	1
1.1 Amaç	2
1.2 Kapsam.....	2
1.3 Literatür Araştırması	3
2. YAZILIM TANIMLI RADYO	5
3. FREKANS MODÜLASYONU	9
3.1 Frekans Modülasyonunun Analizi	10
3.2 Bant Genişliği.....	11
4. FREKANS DEMODÜLASYONU	13
4.1 Dördün Karıştırıcı	13
4.2 Sayısal FM Demodülatör Türleri	15
4.2.1 Tabanbant gecikme demodülatörü	16
4.2.2 Faz uyarlayıcı demodülatör	19
4.2.3 Faz kilitmeli çevrim	20
4.2.4 Karma demodülatör.....	23
5. MATLAB BENZETİM SONUÇLARI.....	25
5.1 Tabanbant Gecikme Demodülatörü Benzetimleri.....	25
5.2 Faz Uyarlayıcı Demodülatörü Benzetimleri	29
5.3 Faz Kilitlemeli Çevrim Demodülatörü Benzetimleri	32
5.4 Karma Demodülatörü Benzetimleri	36
5.5 Sayısal FM Demodülatör Algoritmalarının Karşılaştırılması	40
6. KARMA DEMODÜLATÖR MİMARİSİNİN GERÇEKLENMESİ	43
6.1 Dördün Karıştırıcı Bloğu ve Gerçeklenmesi	43
6.1.1 Sayısal kontrollü işaret üretici	44
6.1.2 Alçak geçiren süzgeç	46
6.2 Demodülatör Bloğu ve Gerçeklenmesi	47
6.2.1 CORDIC tasarımı.....	49
6.3 FIR Süzgeç Tasarımı	51
6.4 Karma Demodülatör Tasarımının Benzetim ve Ölçüm Sonuçları	51
7. SONUÇ VE ÖNERİLER.....	59
KAYNAKLAR	63
EKLER.....	65
ÖZGEÇMİŞ.....	75

KISALTMALAR

ADC	: Analog Digital Converter (Analog Sayısal Dönüştürücü)
AF	: Ara Frekans
DAC	: Digital Analog Converter (Sayısal Analog Dönüştürücü)
DDS	: Direct Digital Synthesizer (Doğrudan Sayısal Sentezleyici)
DSP	: Digital Signal Processing (Sayısal İşaret İşleyici)
FIR	: Finite Impulse Response (Sonlu Darbe Yanıtı)
FM	: Frekans Modülasyonu
FPGA	: Field Programmable Gate Array (Sahada Programlanabilir Kapı Dizileri)
GKO	: Gerilim Kontrollü Osilatör
LE	: Logic Element (Mantık Ögesi)
LUT	: Look Up Table (Başvuru Çizelgesi)
NCO	: Numerically Controlled Oscillator (Sayısal Kontrollü Osilatör)
PLL	: Phase Locked Loop (Faz Kilitlemeli Çevrim)
RF	: Radyo Frekansı
VHDL	: Very High Speed Integrated Circuit Hardware Description Language (Hızlı Tümeşik Devre Donanım Tanımlama Dili)
YTR	: Yazılım Tanımlı Radyo

SEMBOLLER

A	: Genlik
f_A	: Örnekleme frekansı
f_m	: Bilgi işaretinin frekansı
K	: Bilgi işaretinin genliği
k_{FM}	: Modülasyon katsayısı
S_{FM}	: Frekans modüleli işaret
S_N	: Bilgi işareti
S_{tb}	: Karmaşık tabanbant işareti
w_n	: Bilgi işaretinin açısal frekansı
w_t	: Taşıyıcı işaretin açısal frekansı
β	: Modülasyon indisi
φ_{FM}	: FM işaretinin faz farkı
ΔF	: Frekans sapması

ÇİZELGE LİSTESİ

Sayfa

Çizelge 5.1 : Farklı frekans ve k_{FM} değerleri için harmonik bozulma.....	29
Çizelge 5.2 : Farklı frekans ve k_{FM} değerleri için harmonik bozulma.....	32
Çizelge 5.3 : Farklı frekans ve k_{FM} değerleri için harmonik bozulma.....	35
Çizelge 5.4 : Farklı frekans ve k_{FM} değerleri için harmonik bozulma.....	40
Çizelge 6.1 : Test edilen FM işaretleri.....	56
Çizelge 6.2 : Bilgi işaretinin harmoniklerini bastırma oranı.	57
Çizelge 7.1 : Literatürde yapılan çalışmalarda elde edilen sonuçlar.	60

ŞEKİL LİSTESİ

Sayfa

Şekil 2.1 : Mitola tarafından tanımlanan ideal YTR sistemi.	5
Şekil 2.2 : YTR sistemi.....	6
Şekil 2.3 : Farklı tümdevrelerin karşılaştırılması [12,13].....	7
Şekil 3.1 : Taşıyıcı, bilgi ve FM işareti	10
Şekil 4.1 : Dördün karıştırıcı yapısı.	13
Şekil 4.2 : Gerçek dördün karıştırıcı yapısı.	14
Şekil 4.3 : Karmaşık tabanbant gecikme demodülatörü.	16
Şekil 4.4 : Gerçek tabanbant gecikme demodülatörü.	17
Şekil 4.5 : Gerçek genlik normalizasyonu.	19
Şekil 4.6 : Faz uyarlayıcı demodülatör.	19
Şekil 4.7 : Faz kilitlemeli çevrim.....	21
Şekil 4.8 : Tabanbant PLL yapısı.	21
Şekil 4.9 : Karma demodülatör yapısı.	23
Şekil 5.1 : Simulink kurulan sistem.....	25
Şekil 5.2 : Dördün karıştırıcı bloğu.	26
Şekil 5.3 : Genlik normalizasyonu bloğu.	26
Şekil 5.4 : Tabanbant gecikme demodülatörü bloğu.	26
Şekil 5.5 : $k_{FM}=180$ için giriş ve çıkış işaretlerinin frekans spektrumu.....	27
Şekil 5.6 : $k_{FM}=180$ için giriş ve çıkış işaretleri.	27
Şekil 5.7 : $k_{FM}=18000$ için giriş ve çıkış işaretlerinin frekans spektrumu.....	28
Şekil 5.8 : $k_{FM}=18000$ için giriş ve çıkış işaretleri.	28
Şekil 5.9 : Farklı k_{FM} değerleri için frekans cevabı.	29
Şekil 5.10 : Simulinkte kurulan sistem.	30
Şekil 5.11 : Faz uyarlayıcı demodülatör bloğu.	30
Şekil 5.12 : $k_{FM}=180$ için giriş ve çıkış işaretlerinin frekans spektrumu.....	30
Şekil 5.13 : $k_{FM}=180$ için giriş ve çıkış işaretleri.	31
Şekil 5.14 : $k_{FM}=18000$ için giriş ve çıkış işaretlerinin frekans spektrumu.....	31
Şekil 5.15 : $k_{FM}=18000$ için giriş ve çıkış işaretleri.	31
Şekil 5.16 : Simulinkte kurulan sistem.	32
Şekil 5.17 : Faz kilitlemeli çevrim demodülatör bloğu.	33
Şekil 5.18 : $k_{FM}=1800$ için giriş ve çıkış işaretlerinin frekans spektrumu.....	33
Şekil 5.19 : $k_{FM}=1800$ için giriş ve çıkış işaretleri.	33
Şekil 5.20 : $k_{FM}=18000$ için giriş ve çıkış işaretlerinin frekans spektrumu.....	34
Şekil 5.21 : $k_{FM}=18000$ için giriş ve çıkış işaretleri.	34
Şekil 5.22 : Farklı k_{FM} değerleri için frekans cevabı.	35
Şekil 5.23 : Simulinkte kurulan sistem.	37
Şekil 5.24 : $k_{FM}=180$ için giriş ve çıkış işaretlerinin frekans spektrumu.....	38
Şekil 5.25 : $k_{FM}=180$ için giriş ve çıkış işaretleri.	38
Şekil 5.26 : $k_{FM}=18000$ için giriş ve çıkış işaretlerinin frekans spektrumu.....	39
Şekil 5.27 : $k_{FM}=18000$ için giriş ve çıkış işaretleri.	39
Şekil 5.28 : Farklı k_{FM} değerleri için frekans cevabı.	40
Şekil 6.1 : Karma demodülatör mimarisi.....	43

Şekil 6.2 : Dördün karıştırıcı RTL şeması.	44
Şekil 6.3 : Doğrudan sayısal sentezleyici yapısında işaret akışı.	44
Şekil 6.4 : Faz toplayıcı yapısı.	45
Şekil 6.5 : Karıştırıcı bloğunun RTL gösterilimi.	46
Şekil 6.6 : Alçak geçiren süzgeç yapısı.	46
Şekil 6.7 : Alçak geçiren süzgecin RTL gösterilimi.	47
Şekil 6.8 : Demodülatör yapısının RTL şeması.	48
Şekil 6.9 : Temel CORDIC yapısı.	49
Şekil 6.10 : Kullanılan FIR süzgeç yapısı.	51
Şekil 6.11 : Karma demodülatör mimarisinin Modelsim benzetim sonucu.	53
Şekil 6.12 : Signal Tap hata ayıklama aracı ile analiz sonucu.	54
Şekil 6.13 : DE0 Nano geliştirme kartı, ADC ve DAC devresi.	55
Şekil 6.14 : Kurulan ölçüm düzeneği.	55
Şekil 6.15 : Tasarımın akış özeti.	57
Şekil 6.16 : Tasarımın güç analiz özeti.	58
Şekil A.1 : 3kHz bilgi, 25kHz frekans sapmalı işaretin demodülasyonu.	66
Şekil A.2 : 3kHz bilgi, 75kHz frekans sapmalı işaretin demodülasyonu.	67
Şekil A.3 : 5kHz bilgi, 25kHz frekans sapmalı işaretin demodülasyonu.	68
Şekil A.4 : 5kHz bilgi, 75kHz frekans sapmalı işaretin demodülasyonu.	69
Şekil A.5 : 10kHz bilgi, 25kHz frekans sapmalı işaretin demodülasyonu.	70
Şekil A.6 : 10kHz bilgi, 75kHz frekans sapmalı işaretin demodülasyonu.	71
Şekil A.7 : 10kHz bilgi, 25kHz frekans sapmalı işaretin demodülasyonu.	72
Şekil A.8 : 10kHz bilgi, 75kHz frekans sapmalı işaretin demodülasyonu.	72
Şekil A.9 : 5kHz bilgi, 160kHz frekans sapmalı işaretin demodülasyonu.	73
Şekil A.10 : 10kHz bilgi, 175kHz frekans sapmalı işaretin demodülasyonu.	73

YAZILIM TANIMLI RADYO TABANLI FM DEMODÜLATÖR TASARIMI

ÖZET

Tez çalışması, haberleşme sistemlerinde yaygın bir kullanım alanına sahip olan FM işaretinden bilgi işaretinin elde edilmesini sağlayan FM demodülatör yapısının tasarımı ve gerçekleşmesini kapsamaktadır. Tasarlanan demodülatör yapısı yazılım tanımlı radyo tabanlıdır. Tasarım aşamasında sayısal FM demodülatör yapıları incelenmiş ve daha önceki çalışmalar dikkate alınarak demodülatör tasarımı tamamlanmıştır. Sistemin benzetimleri MATLAB Simulink ve Modelsim yardımı ile yapılmış olup VHDL kullanılarak başarılı bir şekilde donanımsal olarak gerçekleştirilmiştir.

Son yıllardaki gelişmeler ile birlikte düşük maliyetli sayısal işaret işleyicilerin yaygınlaşması, yazılım tanımlı radyo sistemlerinin tasarımı için önem arz etmiştir. Özellikle hücreli haberleşme üzere telekomünikasyon teknolojisindeki hızlı gelişim ile birlikte düşük maliyetli ürünlere olan ihtiyaç artmıştır. Günümüzde geleneksel radyo haberleşme sistemleri yerlerini hızla yazılım tanımlı radyo sistemlerine bırakmaktadır. Yazılım tanımlı radyo, radyo sistemlerinde donanımsal fonksiyonların yazılım tabanında gerçekleşmesi ile oluşmaktadır. Geleneksel olarak donanım bazında gerçekleşen modülasyon, demodülasyon, karmaşık işaretlerin IQ ayrımı, kodlama, kod çözme ve süzgeç gibi analog tasarım ile yapılması zor olan temel haberleşme birimleri yazılım tabanlı olarak gerçekleştirilebilmektedir. Böylece mevcut yazılım güncellenerek haberleşme sistemlerinin fonksiyonları değiştirilebilir. Bu kapsamda yazılım tanımlı radyo sistemlerinde sabit elektronik devrelerinin kullanımı azalmakta ve esnek bir yapı elde edilmektedir.

Frekans modülasyonu haberleşme sistemlerinde yaygın bir kullanım alanına sahiptir. Analog bir modülasyon türü olan frekans modülasyonu, yazılım tanımlı radyo teknolojisinin gelişimi ve getirdiği avantajlar ile yeni nesil haberleşme sistemlerinde yazılım tabanlı olacak şekilde tasarlanabilmektedir. Frekans modülasyonlu RF işaretleri sayısal olarak örneklenmekte ve işaret işleme teknikleri kullanılarak gerçek zamanda demodüle edilmektedir.

Sayısal FM demodülasyonunda tabanbant gecikme demodülatörü, faz uyarlayıcı demodülatör, faz kilitlemeli çevrim ve karma demodülatör yapıları kullanılmaktadır. Bu demodülatör yapılarının MATLAB programı yardımı ile benzetimleri yapılmış, işaret kalitesi, işlem gücü ve kapladığı alan dikkate alınarak karma demodülatör yapısı tercih edilmiştir. Karma demodülatör yapısı dördün karıştırıcı ve demodülatör olmak üzere iki temel bloktan oluşur. Dördün karıştırıcı bloğunda, ADC ile örneklenmiş FM işareti NCO tarafından oluşturulan sinüs ve kosinüs işaretleri ile çarpılarak alçak geçiren süzgeçten geçirilir. Bu bloğun çıkışında elde edilen gerçel ve sanal işaretler demodülatör bloğunun girişini oluşturmaktadır. Demodülatör bloğu gecikme, çarpma, toplama, CORDIC bloklarından oluşmaktadır. Demodülatör bloğunun çıkışı alçak geçiren FIR süzgeç yardımı ile biçimlendirilerek bilgi işareti elde edilir.

Karma FM demodölatör mimarisinin tasarımı Modelsim benzetim programı ve SignalTap hata ayıklama aracı ile doğrulandıktan sonra Altera firmasının DE0 Nano geliştirme kartında gerçekleştirilmiştir. Rohde & Schwarz vektör işaret üretici yardımı ile 1MHz taşıyıcı işarete sahip FM işareti üretilmiş ve farklı frekans sapma değerleri ile tasarım test edilmiş ve doğrulanmıştır. Gerçeklenen sistem Altera DE0 Nano geliştirme kartında bulunan EP4CE22F17C6 model FPGA'da bulunan 22320 adet LE'nin 1893 tanesini kullanmıştır. Sistemin toplam güç tüketimi 113.56 mW, gecikme süresi ise 5.84 ns'dir.

SOFTWARE DEFINED RADIO BASED FM DEMODULATOR DESIGN

SUMMARY

The present thesis includes the design and implementation of the FM demodulator structures which provide obtaining information signal from the FM signal which has widely used in communication systems. The designed demodulator structure is based on software defined radio. Digital FM demodulator structures are examined at the design stage and the demodulator design is completed considering the previous studies. The simulation of the system is performed with the help of MATLAB Simulink and Modelsim simulation tool. After this, the design is successfully implemented with using VHDL.

Upon the developments in recent years, the spread of low-cost digital signal processing ICs has gain significant importance for the design of software defined radio systems. The need for low-cost products has increased with the rapid development in telecommunication technology, especially for the cellular communication. Nowadays, traditional radio communication systems have given its way to the software defined radio systems. Software defined radio is formed by performing the hardware functions in a software base in the radio systems. Some basic communication units such as modulation, demodulation, IQ discrimination of complex signals, encoding, decoding and filtering are traditionally implemented as hardware based. However it is difficult to perform these with analog design, these units could also be implemented as software based. Thus, the communication system functions can be changed by updating existing software. In this context, the use of fixed electronic circuit are decreased in the software defined radio system and flexible structure can be obtained.

Frequency modulation has widespread usage in communication systems. With the development of software defined radio technology and its advantages, frequency modulation, which is an analogue type of modulation, can be designed as a software based in the new generation communication systems. Frequency modulated RF signals are digitally sampled and demodulated in real time using signal processing techniques.

Baseband delay demodulator, phase-adapter demodulator, phase-locked loop and mixed demodulator structures are used in the digital FM demodulation. The simulations of these demodulator structures are made with the help of MATLAB Simulink. Considering signal quality, processing power and the area covered, mixed demodulator structure is preferred. Mixed demodulator structure consists of two main blocks – a quadrature mixer and a demodulator. At the quadrature mixer block, FM signal sampled by the ADC is multiplied by the sine and cosine signals created by NCO and then passed through a low pass filter. The obtained real and imaginary signals at the output of this block, constitute the input of demodulator block. Demodulator block consists of unit delay, multiplication, addition and CORDIC

blocks. The information signal is obtained from the output of demodulator block after formatting with the aid of low pass FIR filter.

After confirming the design of the FM demodulator architecture with Modelsim simulation tool and SignalTap debugging tool, it is implemented in Altera DE0 Nano development board. With the aid of Rohde & Schwarz vector signal generator, FM signal having 1MHz carrier signal is produced and the design is tested and verified with different frequency deviations. The implemented system uses 1893 out of 22320 logical element in Altera DE0 Nano development board EP4CE22F17C6 device. Power consumption of the system is 113.56 mW and delay time is 5.84 ns.

1. GİRİŞ

Yazılım tanımlı radyonun tarihi 1980'lerin ortalarında başlamıştır. Bu yıllarda tasarlanan SpeakEasy alıcı verici platformuna ilk YTR sistemi diyebiliriz. Hazaltine ve Motorola tarafından tasarlanan bu platform 2MHz'den 2GHz'e kadar askeri haberleşmeyi sağlamıştır [1]. SpeakEasy platformu farklı alanlardaki askeri güçlerin standartlarına uygun bir şekilde tasarlanmıştır ve tasarım amacı doğrultusunda çok bantlı ve çok modlu uygulamaları gerçekleştirebilmiştir. Birçok kişinin yazılım tanımlı radyo kavramına ve gelişimine katkıda bulunmasına rağmen, Joseph Mitola yazılım tanımlı radyonun babası olarak tanımlanmaktadır [1].

Teknolojik gelişmeler ile birlikte düşük maliyetli sayısal işaret işleyicilerin yaygınlaşması YTR sistemlerinin tasarımı için önem arz etmiştir [2]. Özellikle hücresel haberleşme olmak üzere telekomünikasyon teknolojisindeki hızlı gelişim ile birlikte düşük maliyetli ürünlere olan ihtiyaç artmıştır. Günümüzde sayısal sistem teknolojisindeki hızlı gelişmeler, üretim tamamlandıktan sonra da esnek, genel amaçlı olacak şekilde tasarlanan sayısal işaret işleyicileri ortaya çıkarmıştır [3]. Sayısal sistemlerin tasarımında işlevleri değiştirilebilen, programlanabilir aygıtların kullanımı YTR sistemlerine oldukça üstünlük sağlamıştır [4]. YTR sistemlerinin gelişmesi ile birlikte haberleşme sistemlerinde ara frekans katındaki işlemlerin yazılımsal olarak gerçekleştirilebilmesi, radyo sistemlerinin tasarımında büyük esneklik sağlamaktadır. Yazılım değişikliği ya da güncellemesi ile haberleşme sistemlerinin fonksiyonları tamamen değiştirilebilir [5]. Temel amacı radyo işaretlerini işlemek olan YTR sistemlerinin basit tanımı; donanımdan olabildiğince kaçınmak ve donanımsal fonksiyonları yazılım tabanına çekmektir [6]. Böylece herhangi bir donanım değişikliği yapılmadan, sadece yazılımsal değişikliklerle haberleşme sistemleri geliştirilebilir.

Frekans modülasyonu haberleşme sistemlerinde yaygın bir kullanım alanına sahiptir. FM radyo yayınlarında, TV yayınlarında, lazer disklerde ve sayısal kablosuz haberleşme sistemlerinde frekans kaydırmalı anahtarlama formunda frekans modülasyonu kullanılmaktadır [2]. Herhangi bir yayın standardında ses iletiminin

kayıpsız bir şekilde gerçekleşmesi istenir. Bu standartta iletim kalitesi önemli bir faktördür. Analog FM yapılarında, gerilim kontrollü osilatör kullanılması ile frekans modüleli ve demodüleli işaretle iyi bir netlik elde etmek zorlaşmaktadır. Bu durum GKO'nun istenen frekans aralığında doğrusallığı tam olarak sağlayamamasından kaynaklanır. Tasarımcılar doğrusallığın sağlanabilmesi için GKO yerine DDS kullanmayı tercih etmişlerdir [6]. Günümüzde yüksek performanslı ve iyi bir ses kalitesi elde etmek için yazılım tanımlı FM mimarisi tercih edilmektedir.

FM demodülatör tasarımı analog veya sayısal işleme teknikleri ile yapılabilmektedir. Analog yapıların sabit oluşu, çalışma başarımlarının bozucu etkilere daha açık olması donanım üzerinde yazılım ile gerçekleştirilebilen sayısal FM demodülatör mimarisini ön plana çıkarmaktadır. Yazımsal olarak gerçekleştirilebilen sayısal işaret işleme tekniklerinin tasarım ve sonraki süreçte sisteme kattığı tekrardan ayarlanabilirlik ve güncellenebilirlik özellikleri sayesinde sayısal FM demodülatör mimarileri tercih edilmektedir.

1.1 Amaç

Bu tez çalışmasında, yazılım tanımlı radyo tabanlı FM demodülatör tasarımı kaynak kullanımı, güç tüketimi ve işaret kalitesi dikkate alınarak FPGA üzerinde gerçekleştirilecektir. Gerçeklemedeki tasarım hedefi esnek, minimum kaynak kullanımlı, düşük güç harcayan, güncellenebilir bir yazılım tabanlı radyo sisteminin tasarlanmasıdır.

1.2 Kapsam

İkinci bölümde ilk olarak yazılım tanımlı radyo hakkında bilgi verilmiştir. YTR'nin tanımı, avantajları ve YTR sisteminin yapısı anlatılmıştır. YTR sistemlerinde kullanılan sayısal işaret işleyiciler karşılaştırılmış ve tasarımda kullanılan FPGA'nın avantajlarından bahsedilmiştir. Bölüm üçte frekans modülasyonunun analizi yapılmış ve Carson kuralı yardımıyla bant genişliğinin hesaplanması anlatılmıştır. Dördüncü bölümde sayısal FM demodülasyonunda kullanılan tabanbant gecikme demodülatörü, faz uyarlayıcı demodülatör, faz kilitlemeli çevrim ve karma demodülatör mimarileri anlatılmış ve teorik analizleri yapılmıştır. Beşinci bölümde, dördüncü bölümde anlatılan sayısal FM demodülatör mimarilerinin MATLAB

Simulink ortamında benzetimleri yapılmıştır. İşaret kalitesi, işlem gücü ve kapladığı alan dikkate alınarak demodülatör mimarileri karşılaştırılmış ve karma demodülatör yapısının gerçekleştirilmesine karar verilmiştir. Bölüm altıda, karma demodülatör mimarisinin tasarım ve gerçekleştirme adımları anlatılmış, benzetim ve ölçüm sonuçları verilmiştir. Bölüm yedide sonuçlar sunulmuştur.

1.3 Literatür Araştırması

Sayısal FM demodülatör tasarımı konusunda DSP ve FPGA üzerinde birçok gerçekleştirme ve optimizasyon çalışması yapılmıştır. Yapılan çalışmalarda işaret kalitesi, güç tüketimi, kaynak kullanımı ve kullanılan algoritmaların karmaşıklığının azaltılması gibi çeşitli unsurlar dikkate alınmıştır.

Schnyder ve Haller 2002 yılında yaptıkları çalışmada tabanbant gecikme, faz uyarlayıcı, faz kilitlemeli çevrim ve karma demodülatör algoritmalarını incelemiş ve MATLAB Simulink programı yardımıyla bu algoritmaların benzetimlerini yapmıştır. Yapılan benzetimler sonucu karma ve faz kilitlemeli çevrim demodülatör algoritmalarını Texas Instruments firmasının ürünü olan TMS320C6711DSK model DSP’de gerçekleştirmiştir. İşaret kalitesi, işlem yükü ve hesaplama süresi bakımından gerçekleştirilen sistemler karşılaştırılmıştır. Karma demodülatör mimarisinin toplam hesaplama süresinin faz kilitlemeli çevrime göre %20 daha az olduğunu, düşük bilgi işareti frekans değerlerinde faz kilitlemeli çevrim mimarisinin harmonik bozulma değerinin karma demodülatör mimarisine göre daha fazla olduğu görülmüştür. Yapılan analizlere ve ölçüm sonuçlarına göre karma demodülatör mimarisinin kullanılmasının daha iyi bir tercih olacağı belirtilmiştir [7].

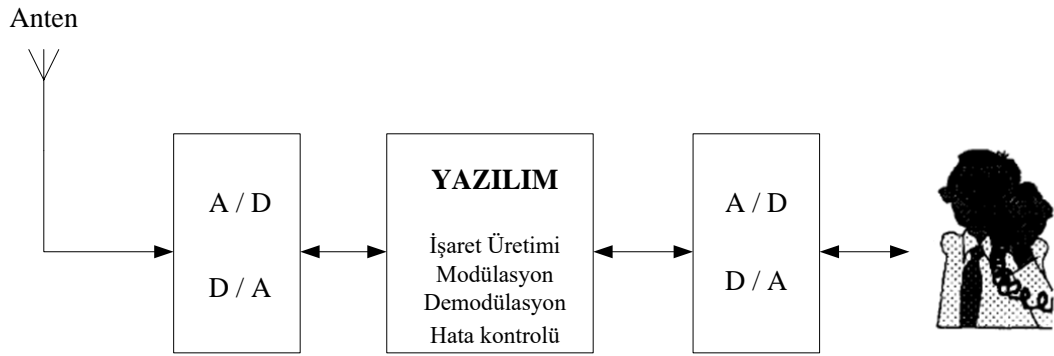
Fubing Yu 2004 yılında yaptığı çalışmada karma demodülatör mimarisini FPGA üzerinde gerçekleştirmiştir. Yaptığı performans hesaplamalarında FPGA ile gerçekleştirdiği sistemin, DSP ile gerçekleştirilen sisteme göre iki kat daha hızlı olduğunu göstermiştir. Tasarlanan sistemde bölme ve ters tanjant trigonometrik fonksiyonu CORDIC algoritması yardımıyla gerçekleştirilmiştir. CORDIC bloğunun saat frekansı, sistemin saat frekansının 4 katı olarak belirlenmiştir. Sistem Xilinx firmasının Virtex II ailesine ait XC2V500 bütünleşik devresi üzerinde gerçekleştirilmiş ve 3071 adet dilimin 2427 adetini kullanmıştır [8].

Nursani Rahmatullah, 2005 yılında yaptığı çalışmada faz kilitlemeli çevrim mimarisine sahip FM demodülatör tasarımını Xilinx firmasının bir ürünü olan Virtex II ailesine ait xc2v2000ff896 bütünleşik devresi üzerinde gerçeklemiştir. Tasarımda kullanılan faz algılayıcı yapısı Booth çarpım algoritmasından oluşmaktadır. Tasarlanan döngü süzgeci birinci dereceden alçak geçiren süzgeç karakteristiğine sahiptir. Doğrudan sayısal sentezleyici mimarisi 256 adet örneklenmiş çeyrek periyottaki kosinüs verilerini içermektedir. Sistemin çıkışında işaret biçimlendirme işlemini gerçekleştiren FIR süzgeç yapısı kullanılmıştır. Tasarlanan sistem 491 dilim, 548 yazboz ve 721 LUT kaynağı kullanmıştır. Sistemin gecikme süresi ise 9,725 ns'dir [9].

Hatai ve Chakrabarti 2009 yılında yazılım tanımlı radyo tabanlı, yüksek performanslı, programlanabilen sayısal FM modülatör ve demodülatör tasarımını FPGA üzerinde birlikte gerçeklemiştir. Tasarımda FM demodülatör mimarisi olarak faz kilitlemeli çevrim kullanılmıştır. Tasarım ortamı olarak Xilinx firmasına ait ISE 9.2 kullanılmış ve Xilinx XCV2vp30-7FF896 bütünleşik devresi üzerinde gerçekleştirilmiştir. Tasarım faz algılayıcısı, döngü filtresi, doğrudan sayısal sentezleyici ve FIR filtreden oluşmaktadır. Faz algılayıcı olarak Booth Encoded Wallace-tree çarpıcı mimarisi kullanılmıştır. Tasarlanan döngü süzgeci birinci dereceden alçak geçiren süzgeç karakteristiğine sahiptir. Doğrudan sayısal sentezleyici mimarisi örneklenmiş kosinüs verilerini içermektedir ve işaret üretiminde kullanılmaktadır. Sistemin çıkışında işaret biçimlendirme işlemini gerçekleştiren FIR süzgeç yapısı kullanılmıştır. Tasarlanan sistem Xilinx Virtex II'de bulunan 3072 dilimden 349'unu kullanmıştır. Sistemin güç tüketimi 129,27 mW ve gecikmesi 12,453 ns olarak hesaplanmıştır [6].

2. YAZILIM TANIMLI RADYO

Yazılım tanımlı radyo teknolojisi, analog tabanlı radyo cihazlarının yerini almaya başlamıştır. Sayısal elektronik teknolojisinin gelişimi ile birlikte maliyetlerin de düşmesi, önceleri yalnızca askeri alanlarda kullanılan bu teknolojinin artık her yerde kullanılmasına olanak tanımıştır. Yazılım tanımlı radyo fiziksel radyo işlemlerinin yazılımsal olarak gerçekleştirilmesi ile elde edilen bir radyo türüdür. IEEE, YTR için fiziksel katman fonksiyonlarının hepsinin ya da bir kısmının yazılım tabanlı olduğu radyo türüdür şeklinde bir tanım getirmiştir [10]. YTR kavramı ilk olarak 1992 yılında Joseph Mitola tarafından ortaya atılmıştır. Şekil 2.1’de Mitola tarafından tanımlanan ideal YTR sistemi verilmiştir [10].



Şekil 2.1 : Mitola tarafından tanımlanan ideal YTR sistemi.

YTR sistemlerinde temel amaç radyo işaretlerini işlemektir. Bu sistemlerde modülasyon, demodülasyon, işaret üretimi ve hat kodlaması işlemleri sayısal işaret işleyebilen DSP, FPGA gibi bir işlemci ile yapılması donanıma duyulan ihtiyacı azaltmaktadır. Sistemin yeniden ayarlanabilir olması sayesinde, farklı yazılımların aynı donanıma uygulanması ile birden fazla işlem gerçekleştirilebilmektedir [11]. Kullanılan yazılım her bir sistem için hafızada saklanabilmekte ve aynı anda uygulanabilmektedir. Ayrıca sistemin tekrardan programlanabilme özelliğine sahip olması kullanılan donanımın ömrünü uzatmaktadır.

Analog sistemlerin sabit oluşu, çalışma başarımlarının bozucu etkilere daha açık olması, donanım üzerinde yazılım ile gerçekleştirilebilen YTR sistemlerini ön plana çıkarmaktadır. Sistemin yazılım tabanlı olması, sisteme tekrardan ayarlanabilirlik ve

güncellenebilirlik özelliği katmaktadır [5]. Ayrıca donanıma olan ihtiyacın az olması sebebi ile maliyeti de önemli ölçüde düşürmektedir. YTR'nin getirdiği avantajlar sayesinde düşük maliyetli, yazılım tabanlı birçok haberleşme sistemi tasarlanabilmektedir. YTR'nin getirdiği avantajları şu şekilde sıralayabiliriz;

Tasarım ve üretim kolaylığı

Esneklik ve uyumluluk

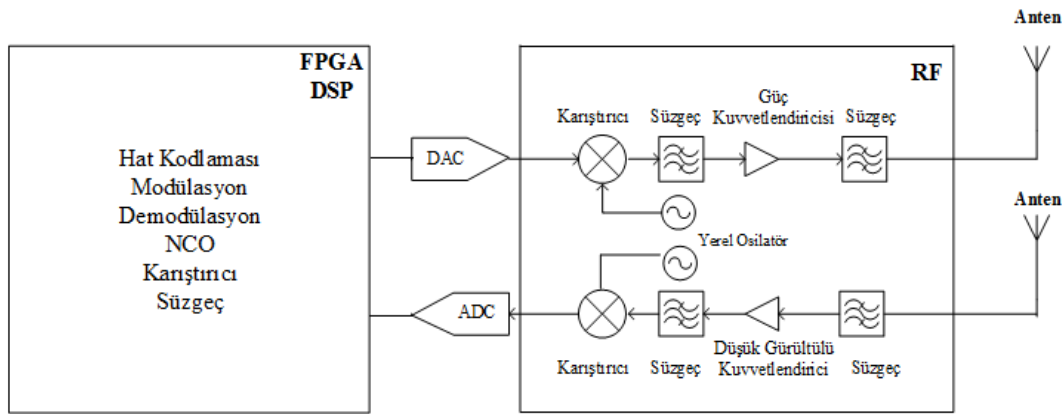
İleri seviye sayısal işaret işleme tekniklerinin kullanımı

Güncellenebilirlik

Çoklu işlevsellik

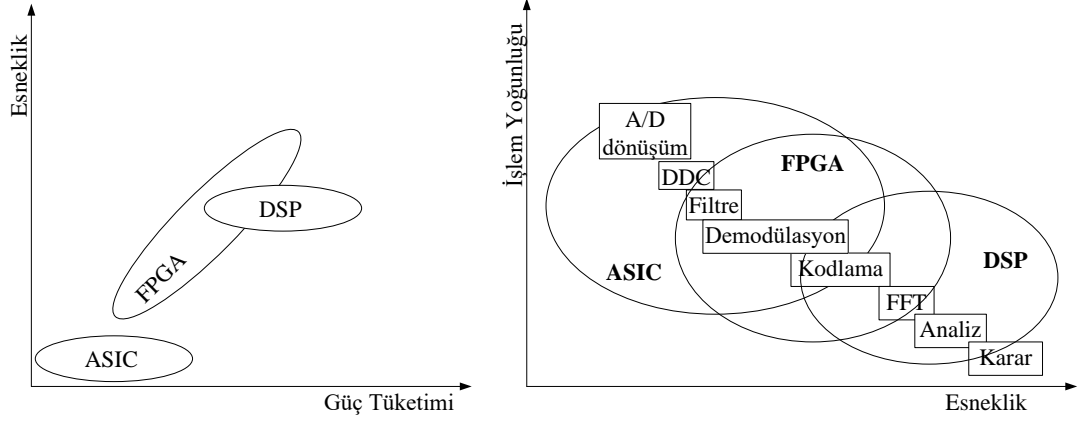
Daha az ayırık eleman ihtiyacı

Şekil 2.2'de temel bir YTR sisteminin sahip olduğu donanım ve yazılım katmanları verilmiştir. Sistemin donanım katmanı, alıcı anten yardımı ile alınan RF işaretlerini AF işaretlerine dönüştüren bir süperheterodin alıcı devresi, analog AF işaretlerini sayısal veriye dönüştüren ADC tümdevresi, işlenen sayısal veriyi analog veriye dönüştüren DAC tümdevresi ve AF frekansını istenen güce ve RF frekansına çıkaran verici devresinden oluşmaktadır. Hat kodlaması, modülasyon, demodülasyon, karıştırıcı, işaret üretimi ve süzgeç yapılarının gerçekleştirildiği yazılım katmanında ise FPGA ya da DSP sayısal işaret işleyici tümdevreleri kullanılır.



Şekil 2.2 : YTR sistemi.

YTR sistemlerinde kullanılacak olan tümdevreye, sistemin ihtiyaçları göz önüne alınarak tasarım aşamasında karar vermek gerekir. Şekil 2.3'de tümdevrelerin özellikleri açısından karşılaştırılması verilmiştir.



Şekil 2.3 : Farklı tümdevrelerin karşılaştırılması [12,13].

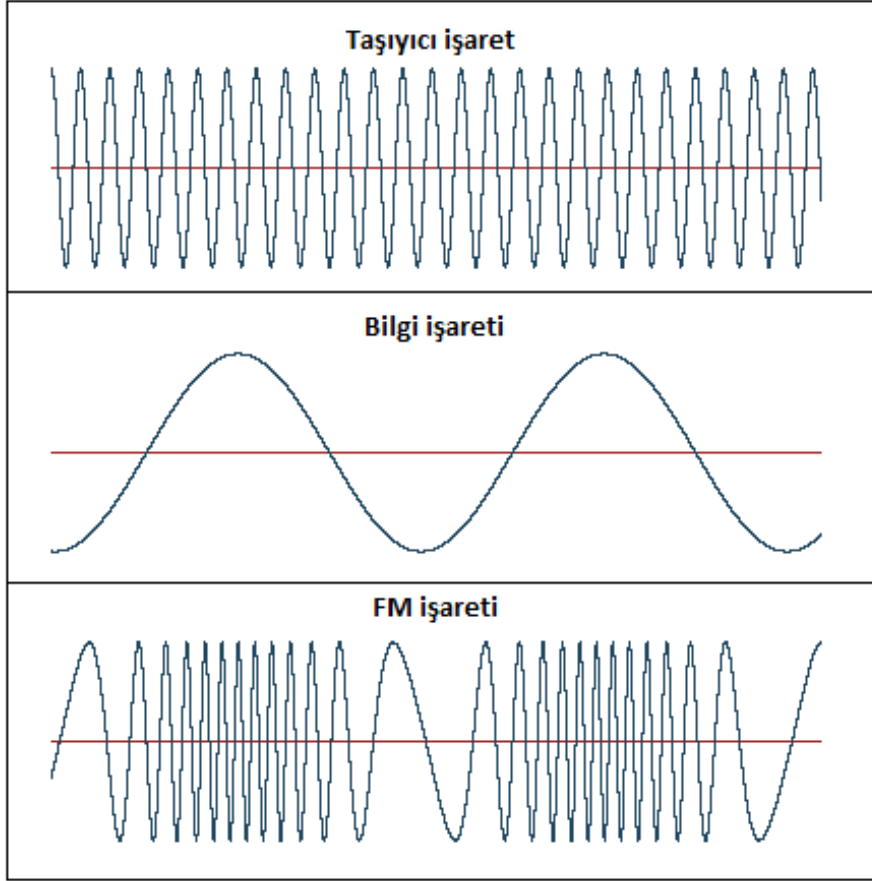
Modern haberleşme sistemleri yüksek veri hızına sahip alıcı ve verici sistemlerden oluşmaktadır [14]. Bu nedenle güç tüketimi, esneklik ve paralel işlem özelliği sayısal işaret işleyicilerin seçiminde önemli bir rol oynamaktadır. DSP ile paralel işlemler ancak çoklu DSP'ler ile gerçekleştirilebilir. Bu durum DSP'ler için bir dezavantaj oluşturmaktadır [15]. FPGA'ların paralel işlem özelliğine sahip olması, düşük güç tüketimi ve esnekliğinden dolayı sayısal FM demodülatör tasarımında FPGA kullanılmıştır.

3. FREKANS MODÜLASYONU

Haberleşme sistemlerinde bilgi işaretinin, ulaşabileceği en uzak noktaya bozulmadan ve hızlı bir şekilde iletilmesi istenmektedir. İletilmek istenen bilgi işareti düşük frekanslıdır. Bilgi işaretinin frekansı düşük olduğundan dolayı dalga boyu büyüktür. Bu nedenle bilgi işaretini uzak mesafelere iletebilmek için gerekli olan anten boyu çok büyük olacaktır. Ayrıca mesaj işaretinin sahip olduğu enerji düşük olduğundan, işaretin uzak mesafelere iletilmesi zorlaşmaktadır. Bu olumsuz etkileri önlemek için bilgi işareti yüksek frekanslı bir taşıyıcı işaret üzerine bindirilerek uzak mesafelere taşınır. Bir bilgi işaretinin, yayılım ortamında iletilebilmesi için ortam içinde rahatlıkla hareket edebilen başka bir taşıyıcı işaret üzerine aktarılması olayına modülasyon denir [16]. Bir bilgi işaretinin taşıyıcı işaret üzerine aktarılmasının sağladığı yararları şu şekilde özetleyebiliriz:

- 1) İşaretin yayılımını kolaylaştırmaktadır.
- 2) Kanal ayrımını sağlayarak aynı iletim hattında birden çok bilgi yollama olanağı sunar.
- 3) Gürültü ve bozulmayı azaltır.
- 4) Modülasyon ile çalışma frekansı yükseleceği için çalışılan dalga boyu ve buna bağlı olarak anten boyutu küçülür.

Frekans modülasyonu taşıyıcı işaretin frekansının, bilgi işaretinin genliğindeki değişmelere bağlı olarak belirlenmiş bir merkez frekans etrafında arttırılması ve azaltılması ile gerçekleştirilir. Bu modülasyonda taşıyıcı işaretin frekansı merkez frekans olarak adlandırılır [17]. Bilgi işaretinin genliği arttığında taşıyıcı işaretin frekansı merkez frekansının üzerinde, genliği azaldığında ise taşıyıcı işaretin frekansı merkez frekansının altında değerler alır. Genlik değerlerinin sıfır olduğu durumda merkez frekansı ile taşıyıcı işaretin frekansı aynı değerdedir. Şekil 3.1'de bilgi işareti, taşıyıcı işaret ve FM işareti gösterilmiştir.



Şekil 3.1 : Taşıyıcı, bilgi ve FM işareti

3.1 Frekans Modülasyonunun Analizi

Frekans modülasyonu açılı modülasyonunun bir türüdür [18]. Sabit A genlikli açılı modüleli işaret (3.1)'de verilmiştir.

$$S_{FM}(t) = A \cdot \cos(\omega_T \cdot t + \phi_{FM}(t)) \quad (3.1)$$

S_N bilgi işareti ile ϕ_{FM} arasındaki ilişki (3.2)'deki gibidir.

$$\phi_{FM}(t) = k_{FM} \cdot \int S_N(t) \cdot dt \quad (3.2)$$

Verilen ifadelerde ω_T taşıyıcı işaretin açısal frekansıdır ve birimi rad/s'dir. Bilgi işareti, S_N , (3.3)'de gösterildiği gibi harmonik bir fonksiyon olsun.

$$S_N(t) = K \cdot \cos(\omega_N \cdot t) \quad (3.3)$$

Modüle edilen işaretin fazı (3.6)'daki gibi olacaktır.

$$\phi_{FM}(t) = k_{FM} \cdot K \cdot \lim_{T \rightarrow \infty} \int_{-T}^t \cos(w_N \cdot \tau) \cdot d\tau \quad (3.4)$$

$$\phi_{FM}(t) = \frac{k_{FM} \cdot K}{w_N} \left[\sin(w_N \cdot t) + \lim_{T \rightarrow \infty} \sin(w_N \cdot T) \right] \quad (3.5)$$

$$\phi_{FM}(t) = \frac{k_{FM} \cdot K}{w_N} \cdot \sin(w_N \cdot t) \quad (3.6)$$

Elde edilen Φ_{FM} ifadesinin genliğini β olarak ifade edelim.

$$\beta = \frac{k_{FM} \cdot K}{w_N} \quad (3.7)$$

(3.7)'deki ifadede bilgi işaretinin açısal frekansı $w_N = 2 \cdot \pi \cdot f_m$ eşittir ve frekans sapması ΔF , (3.8)'deki gibi olacaktır. Frekans sapması, bilgi işareti maksimum genliğinde iken taşıyıcı işaretin frekansının merkez frekansa göre ne kadar kaydığını gösterir.

$$\Delta F = \beta \cdot f_m = \frac{k_{FM} \cdot K}{2 \cdot \pi} \quad (3.8)$$

Denklem (3.8)'de β ifadesi modülasyon indisi olarak adlandırılır. Frekans sapmasının bilgi işaretine oranıdır. Bu durumda FM modüleli işaret denklem (3.9)'daki gibi ifade edilir.

$$S_{FM}(t) = A \cdot \cos[w_T \cdot t + \beta \cdot \sin(w_N \cdot t)] \quad (3.9)$$

3.2 Bant Geniřlięi

FM işaretinin bant geniřlięi hem frekans sapmasına hem de bilgi işaretinin maksimum frekansına baęlıdır. Frekans modülasyonunda modüle edici her işaret için bir çift yan bant oluşur. Teorik olarak frekans modülasyonunda sonsuz sayıda yan bant oluşmaktadır. Frekans deęişimi arttıkça yan bant işaretlerinin gücü azalmaktadır. Genlięi, taşıyıcı işaretin genlięinin %1'inden daha düşük olan yan

bantlar ihmal edilir [19]. FM işaretinin bant genişliği (3.10)'da verilen Carson kuralından yararlanılarak bulunabilir.

$$B = 2 \cdot (f_m + \Delta F) = 2 \cdot f_m \cdot (\beta + 1) \quad (3.10)$$

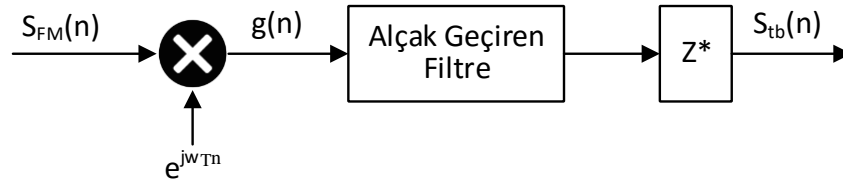
FM radyo yayımlarında bilgi işaretinin yüksek frekanslı bileşenleri yayınlanabilmeli ve modülasyon indisi olabildiğince yüksek olmalıdır. Ses işaretinin maksimum frekansı 15 kHz olabilir. Profesyonel radyo yayıncılığında frekans sapması 50 kHz yada 75 kHz olur [20]. Bu durumda Carson kuralından yararlanarak 50 kHz frekans sapması için en az 130 kHz, 75 kHz frekans sapması için en az 180 kHz yayın bant genişliğine ihtiyaç olduğu görülmektedir.

4. FREKANS DEMODÜLASYONU

FM demodülasyonu, FM işaretinden bilgi işaretinin elde edilmesi işlemidir. Tabanbant işareti analog yada sayısal formda olabilir. Tabanbant işaretinin türüne göre demodülasyon işlemi analog yada sayısal işleme teknikleri ile yapılabilmektedir [21]. Belirli tasarım ölçütlerini sağlayan analog devrelerin tasarımı zahmetli ve zor bir iştir. Analog sistemlerin yerine hızlı, güncellenebilir ve gürültüye daha dayanıklı sayısal sistemler tercih edilebilir [22]. YTR sistemlerinin sahip olduğu avantajlar sayesinde istenen algoritma, istenen frekanslarda kısa sürede gerçekleştirilebilmektedir. Analog sayısal dönüştürücüler ve sayısal işaret işleme tekniklerinin kullanıldığı sayısal FM demodülatör algoritmaları mevcuttur [6]. Bu bölümde öne çıkan sayısal FM demodülatör algoritmaları incelenmiş ve bu algoritmaların teorik analizi yapılmıştır.

4.1 Dördün Karıştırıcı

Analog AF işareti ADC ile örneklendikten sonra karmaşık tabanbant işaretini elde etmek için dördün karıştırma işlemi gerçekleştirilir. Karmaşık tabanbant işareti, FM işareti ile karmaşık işaret üretici ve alçak geçiren süzgeç yardımı ile elde edilir [7]. Şekil 4.1’de dördün karıştırma işleminin blok şeması verilmiştir.



Şekil 4.1 : Dördün karıştırıcı yapısı.

Dördün karıştırıcı bloğunun giriş işareti örneklenmiş FM işaretidir.

$$S_{FM}(n) = A \cdot \cos(w_T n + \phi_{FM}(n)) \quad (4.1)$$

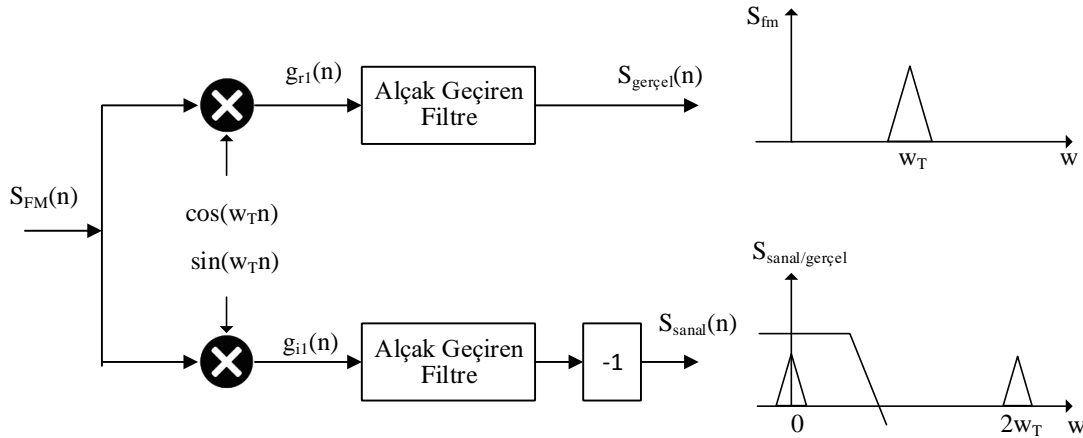
Giriş işaretinin karmaşık işaret üretici ile çarpılması sonucu karıştırıcının çıkış işareti (4.2)’de verilen denklem ile elde edilir.

$$\begin{aligned}
g(n) &= S_{FM}(n) \cdot e^{jw_T n} = A \cdot \cos(w_T n + \phi_{FM}(n)) \cdot e^{jw_T n} \\
&= A \cdot \frac{e^{j(w_T n + \phi_{FM}(n))} + e^{-j(w_T n + \phi_{FM}(n))}}{2} \cdot e^{jw_T n} \\
&= \frac{A}{2} \left[e^{j(w_T n + \phi_{FM}(n) + w_T n)} + e^{j(-w_T n - \phi_{FM}(n) + w_T n)} \right] \\
&= \frac{A}{2} \left[e^{j(2w_T n + \phi_{FM}(n))} + e^{j(-\phi_{FM}(n))} \right]
\end{aligned} \tag{4.2}$$

Elde edilen $g(n)$ işaretinin yüksek frekans bileşeni, alçak geçiren süzgeç yardımı ile süzülerek karmaşık tabanbant işareti S_{tb} elde edilir.

$$\begin{aligned}
S_{tb}(n) &= (g(n) * TP)^* = \left(\frac{A}{2} e^{-j\phi_{FM}(n)} \right)^* = \frac{A}{2} e^{j\phi_{FM}(n)} \\
&= \frac{A}{2} \cos(\phi_{FM}(n)) + j \frac{A}{2} \sin(\phi_{FM}(n))
\end{aligned} \tag{4.3}$$

Karıştırma işlemi gerçel işaretler yardımı ile de gerçekleştirilebilir. Dördün karıştırıcı bloğuna gelen örneklenmiş FM işareti sinüs ve kosinüs yerel işaret üreteçlerinden gelen işaretler ile çarpılarak alçak geçiren süzgeçten geçirilir. Şekil 4.2’de gerçel işaretler yardımı ile gerçekleştirilen gerçel dördün karıştırıcı bloğu gösterilmiştir.



Şekil 4.2 : Gerçel dördün karıştırıcı yapısı.

Her iki karıştırıcı da FM taşıyıcı frekansı olan w_C açısal frekansında salınım yapar. FM işaretinin sinüs ve kosinüs işaretleri ile çarpımı sonucu elde edilen $g_{r1}(n)$ ve $g_{i1}(n)$ işaretleri denklem 4.4 ve 4.6’da verilmiştir.

$$\begin{aligned}
g_{r1}(n) &= s_{FM}(n) \cdot \cos(w_T n) = A \cdot \cos(w_T n + \phi_{FM}(n)) \cdot \cos(w_T n) \\
&= \frac{A}{2} [\cos(w_T n + \phi_{FM}(n) - w_T n) + \cos(w_T n + \phi_{FM}(n) + w_T n)] \\
&= \frac{A}{2} \cos(\phi_{FM}(n)) + \frac{A}{2} \cos(2w_T n + \phi_{FM}(n))
\end{aligned} \tag{4.4}$$

(4.4)'te elde edilen g_{r1} işaretinin yüksek frekans bileşeni alçak geçiren süzgeç yardımıyla süzülür ve $S_{gerçel}(n)$ işareti elde edilir.

$$S_{gerçel}(n) = g_{r1}(n) * g_{TP}(n) = \frac{A}{2} \cos(\phi_{FM}(n)) \tag{4.5}$$

$$\begin{aligned}
g_{i1}(n) &= s_{FM}(n) \cdot \sin(w_T n) = A \cdot \cos(w_T n + \phi_{FM}(n)) \cdot \sin(w_T n) \\
&= \frac{A}{2} [\sin(-w_T n - \phi_{FM}(n) + w_T n) + \sin(w_T n + \phi_{FM}(n) + w_T n)] \\
&= \frac{A}{2} \sin(-\phi_{FM}(n)) + \frac{A}{2} \sin(2w_T n + \phi_{FM}(n))
\end{aligned} \tag{4.6}$$

(4.6)'da elde edilen g_{i1} işaretinin yüksek frekans bileşeni alçak geçiren süzgeç yardımı ile süzülür ve $S_{sanal}(n)$ işareti elde edilir.

$$S_{sanal}(n) = (-1) \cdot g_{i1}(n) * g_{TP}(n) = \frac{A}{2} \sin(\phi_{FM}(n)) \tag{4.7}$$

Denklem (4.5) ve (4.7) ile elde edilen $S_{gerçel}(n)$ ve $S_{sanal}(n)$ işaretleri sırası ile eşvreli (I) ve dikevrelili (Q) tabanbant işaretleri olarak isimlendirilir. Elde edilen eşvreli ve dikevrelili tabanbant işaretleri, bölme işlemi ve ters tanjant trigonometrik ifadelerini içeren FM demodülatör uygulamalarında büyük kolaylık sağlar [23].

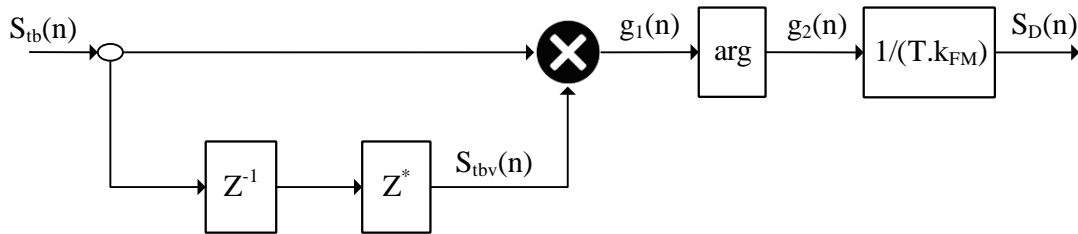
4.2 Sayısal FM Demodülatör Türleri

FM işaretini demodüle edebilmek için geçmişte birçok analog teknik ortaya atılmıştır [7]. Son yıllardaki teknolojik gelişmeler ile birlikte düşük maliyetli sayısal işaret işleyicilerin yaygınlaşması ile ayırık veya tümleşmiş devre teknolojisi kullanılarak gerçekleştirilen ara frekans katı işlemleri daha kolay bir şekilde yapılabilmektedir. Haberleşme sistemlerinin ara frekans katındaki fonksiyonlarının sayısal teknikler ile elde edilmesi, radyo sistemlerinin tasarımında büyük esneklik sağlamaktadır. Sayısal FM demodülasyonunda kullanılan algoritmalar şu şekildedir:

- 1) Tabanbant Gecikme Demodülatörü
- 2) Faz Uyarlayıcı Demodülatör
- 3) Faz Kilitlemeli Çevrim
- 4) Karma Demodülatör

4.2.1 Tabanbant gecikme demodülatörü

Tabanbant gecikme demodülasyonu gelen FM işaretinin anlık evre bilgisinin, eşvrelili ve dikevrelili işaretler yardımıyla elde edilmesidir. Şekil 4.3’de bu demodülatöre ait blok şema verilmiştir. Tabanbant gecikme demodülatörü tabanbant FM işaretiyle ihtiyaç duyar. Bu nedenle demodülasyon işleminden önce, dördün karıştırıcı işleminin gerçekleştirilmesi gerekir [7].



Şekil 4.3 : Karmaşık tabanbant gecikme demodülatörü.

Denklem (4.3) ile verilen tabanbanttaki karmaşık FM işareti S_{ib} , demodülatörün giriş işaretidir. Demodülasyon işleminin matematiksel ifadesi aşağıda verilmiştir.

$$g_1(n) = S_{ib} \cdot S_{ibv} = e^{j\phi_{FM}(n)} \cdot e^{-j\phi_{FM}(n-1)} = e^{j(\phi_{FM}(n) - \phi_{FM}(n-1))} \quad (4.8)$$

$$g_2(n) = \arg(g_1(n)) = \phi_{FM}(n) - \phi_{FM}(n-1) \quad (4.9)$$

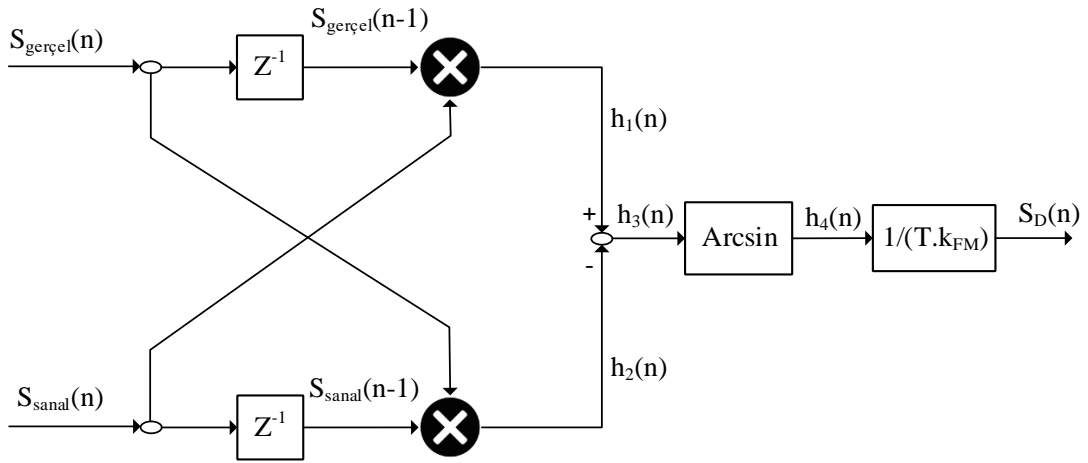
$$S_D(n) = \frac{g_2(n)}{T \cdot k_{FM}} = \frac{\phi_{FM}(n) - \phi_{FM}(n-1)}{T \cdot k_{FM}} = \frac{\phi'_{FM}(n)}{k_{FM}} = \frac{k_{FM} \cdot S_N(n)}{k_{FM}} = S_N(n) \quad (4.10)$$

Denklem 4.10 ile verilen matematiksel eşitlikten görüldüğü üzere, karmaşık tabanbant FM işareti S_{ib} demodüle edilerek mesaj işareti S_N elde edilmiştir.

Şekil 4.3’de verilen karmaşık tabanbant gecikme demodülatör yapısında karmaşık çarpma işlemi dört adet gerçel çarpma işlemine ihtiyaç duyar. Bu durum hesaplama süresi bakımından dezavantaj sağlar [7]. Euler matematiksel ifadesinden yararlanarak $g_1(n)$ ifadesini tekrar düzenlersek;

$$\begin{aligned}
g_1(n) &= e^{j\phi_{FM}(n)} \cdot e^{-j\phi_{FM}(n-1)} \\
&= [\cos(\phi_{FM}(n)) + j \sin(\phi_{FM}(n))] \cdot [\cos(\phi_{FM}(n-1)) - j \sin(\phi_{FM}(n-1))] \\
&= \cos(\phi_{FM}(n))\cos(\phi_{FM}(n-1)) + \sin(\phi_{FM}(n))\sin(\phi_{FM}(n-1)) \\
&\quad + j[\sin(\phi_{FM}(n))\cos(\phi_{FM}(n-1)) - \cos(\phi_{FM}(n))\sin(\phi_{FM}(n-1))] \\
&= e^{j(\phi_{FM}(n) - \phi_{FM}(n-1))}
\end{aligned} \tag{4.11}$$

elde edilir. Bu ifadeye göre istenen bilgi, hem gerçel hem de sanal kısımda görülmektedir. Denklem (4.5) ve (4.7) ile elde ettiğimiz iki gerçel zaman işareti, $S_{gerçel}$ ve S_{sanal} işaretlerini kullanarak gerçel tabanbant gecikme demodülasyonu işlemini gerçekleştirebiliriz. Şekil 4.4’de bu yapının blok şeması verilmiştir.



Şekil 4.4 : Gerçel tabanbant gecikme demodülatörü.

$$h_1(n) = S_{sanal}(n) \cdot S_{gerçel}(n-1) = \sin(\phi_{FM}(n)) \cdot \cos(\phi_{FM}(n-1)) \tag{4.12}$$

$$h_2(n) = S_{gerçel}(n) \cdot S_{sanal}(n-1) = \cos(\phi_{FM}(n)) \cdot \sin(\phi_{FM}(n-1)) \tag{4.13}$$

$$\begin{aligned}
h_3(n) &= h_1(n) - h_2(n) \\
&= \sin(\phi_{FM}(n)) \cos(\phi_{FM}(n-1)) - \cos(\phi_{FM}(n)) \sin(\phi_{FM}(n-1)) \\
&= \sin(\phi_{FM}(n) - \phi_{FM}(n-1))
\end{aligned} \tag{4.14}$$

$$\begin{aligned}
S_D(n) &= \arcsinh_3(n) \cdot \frac{1}{T \cdot k_{FM}} = \frac{\phi_{FM}(n) - \phi_{FM}(n-1)}{T \cdot k_{FM}} = \frac{\phi'_{FM}(n)}{k_{FM}} \\
&= \frac{k_{FM} \cdot S_N(n)}{k_{FM}} = S_N(n)
\end{aligned} \tag{4.15}$$

Denklem (4.15)'te görüldüğü üzere gerçel tabanbant gecikme demodülatörü ile iki gerçel FM işaretini demodüle ederek mesaj işareti S_N elde edilmiştir.

Gerçel tabanbant gecikme demodülatör yapısında, ters sinüs trigonometrik fonksiyonunun çıkışıındaki $h_4(n)$ işareti, $-\pi/2$ ile $\pi/2$ arasında sınırlıdır [17].

$$h_4(n) = \phi_{FM}(n) - \phi_{FM}(n-1) = \phi'_{FM} \cdot T = k_{FM} \cdot S_N(n) \cdot \frac{1}{f_A} \quad (4.16)$$

$$\max \left(k_{FM} \cdot S_N(n) \cdot \frac{1}{f_A} \right) = \left| \frac{k_{FM} \cdot \hat{S}_N}{f_A} \right| < \frac{\pi}{2} \quad (4.17)$$

(4.16) ve (4.17)'de verilen ifadede, $f_A = 1/T$ örnekleme frekansdır. Maksimum frekans sapması, ΔF , (4.18) ifadesinde verilmiştir.

$$\begin{aligned} k_{FM} \cdot \hat{S}_N &= \Delta F \cdot 2 \cdot \pi \\ \frac{\Delta F \cdot 2 \cdot \pi}{f_A} &< \frac{\pi}{2} \\ \Delta F &< \frac{\pi}{2} \cdot \frac{f_A}{2 \cdot \pi} < \frac{f_A}{4} \end{aligned} \quad (4.18)$$

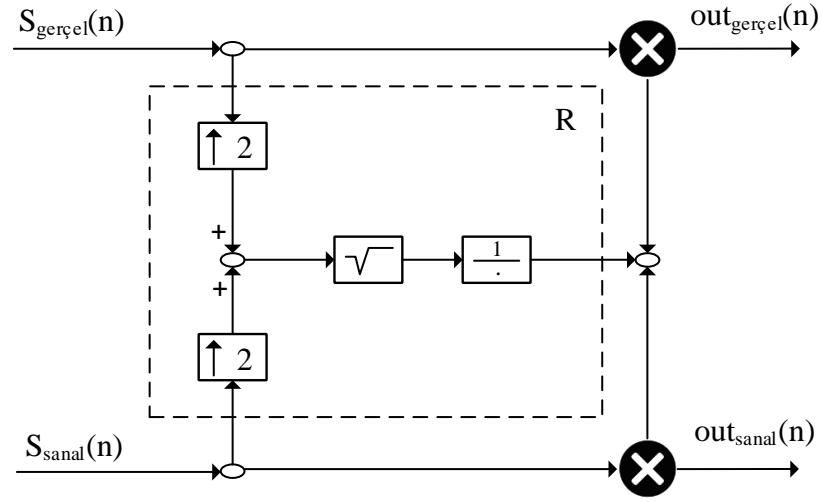
Yukarıdaki ifadelerden görüldüğü üzere, frekans sapması örnekleme frekansına bağlıdır ve limitli değildir. Çünkü frekans sapmasının artması durumunda FM işaretinin bant genişliği de artacaktır. Bu nedenle örnekleme hızı da artmak zorundadır [7].

Tabanbant gecikme demodülatör yapısı ile demodüle edilecek olan FM işaretinin sabit genlikli olması beklenir. Bu nedenle demodülasyon işleminden önce genlik normalizasyon işleminin yapılması gerekir. Normalizasyon işlemi karmaşık işaretin, genliğine oranı ile elde edilir.

$$S_{out} = \frac{S_{tb}}{|S_{tb}|} = \frac{a(n) \cdot e^{j\phi_{FM}(n)}}{|a(n) \cdot e^{j\phi_{FM}(n)}|} = \frac{a(n) \cdot e^{j\phi_{FM}(n)}}{a(n)} = e^{j\phi_{FM}(n)} \quad (4.19)$$

Aynı işlem (4.5) ve (4.7) ile verilen gerçel işaretlere de uygulanır.

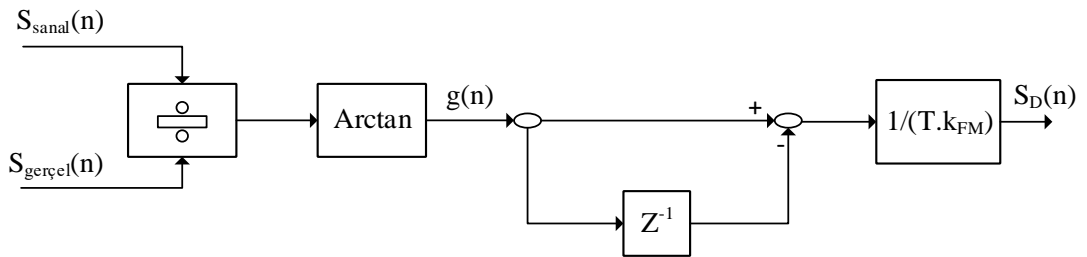
$$out(n) = \frac{S_{gerçel} + jS_{sanal}}{|S_{gerçel} + jS_{sanal}|} = \frac{S_{gerçel} + jS_{sanal}}{\sqrt{S_{gerçel}^2 + S_{sanal}^2}} \quad (4.20)$$



Şekil 4.5 : Gerçek genlik normalizasyonu.

4.2.2 Faz uyarlayıcı demodülatör

Tabanbant gecikme demodülatöründe olduğu gibi faz uyarlayıcı demodülasyon işlemi de tabanbant FM işaretine ihtiyaç duyar. Bu demodülatör yapısı gerçek işaretler ile çalışır, bu nedenle eşitlik (4.5) ve (4.7)'de elde edilen $S_{gerçel}$ ve S_{sanal} işaretleri, faz uyarlayıcı demodülatör yapısının giriş işaretlerini oluştururlar. Şekil 4.6 faz uyarlayıcı demodülatör yapısına ait blok şemayı göstermektedir.



Şekil 4.6 : Faz uyarlayıcı demodülatör.

Bu demodülatör işlemine ait matematiksel ifadeler aşağıda verilmiştir.

$$\begin{aligned} g(n) &= \arctan\left(\frac{S_{sanal}(n)}{S_{gerçel}(n)}\right) = \arctan\left(\frac{\sin(\phi_{FM}(n))}{\cos(\phi_{FM}(n))}\right) \\ &= \arctan(\tan(\phi_{FM}(n))) = \phi_{FM}(n) \end{aligned} \quad (4.21)$$

$$S_D(n) = \frac{g(n) - g(n-1)}{T \cdot k_{FM}} = \frac{g'(n)}{k_{FM}} = s(n) \quad (4.22)$$

Faz uyarlayıcı demodülatör yapısında, ters tanjant trigonometrik fonksiyonunun çıkışındaki $g(n) = \phi_{FM}(n)$ işareti, $-\pi/2$ ile $\pi/2$ arasında sınırlıdır [23]. Mesaj işaretini sinüzoidal kabul edersek, aşağıdaki ifadeyi elde etmiş oluruz.

$$\begin{aligned} |\phi_{FM}(n)| &< \frac{\pi}{2} \\ |\phi_{FM}(n)| &= \left| \frac{k_{FM} \cdot K}{\omega_N} \sin(\omega_N \cdot t) \right| = \frac{k_{FM} \cdot K}{\omega_N} < \frac{\pi}{2} \end{aligned} \quad (4.23)$$

(4.24)'den maksimum frekans sapması, ΔF , elde edilir.

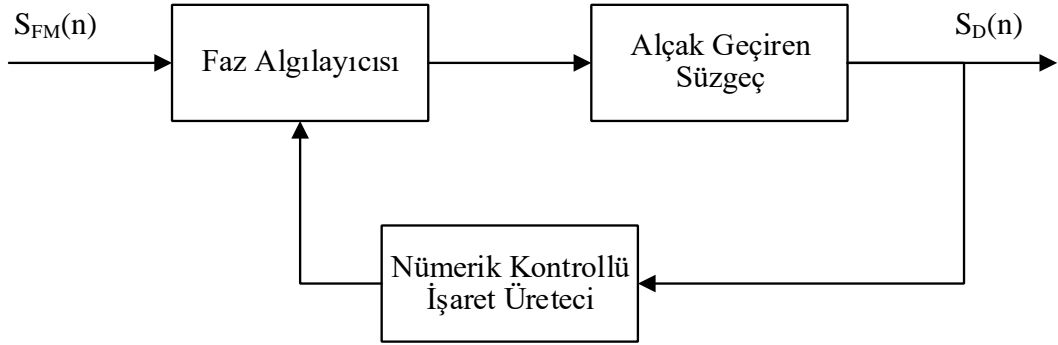
$$\begin{aligned} k_{FM} \cdot \hat{S}_N &= \Delta F \cdot 2 \cdot \pi \\ \frac{\Delta F \cdot 2 \cdot \pi}{2 \cdot \pi \cdot f_N} &= \frac{\Delta F}{f_N} < \frac{\pi}{2} \\ \Delta F &< \frac{\pi \cdot f_N}{2} \end{aligned} \quad (4.24)$$

Yukarıdaki ifadeden görüldüğü üzere maksimum frekans sapması ΔF mesaj işaretinin frekansına bağlıdır. Çok düşük frekanslı mesaj işaretlerinde, maksimum frekans sapması çok düşük olacaktır. Bu durum birçok uygulama için pratik değildir. Bu nedenle faz uyarlayıcı demodülatör yapısı sadece dar bantlı FM işaretleri için uygundur [7]. ϕ_{FM} sınırlandırıldığı için sıfıra bölme problemi ortadan kaldırılmıştır, çünkü $s_{gerçel} = \cos(\phi_{FM})$ işareti sadece $\phi_{FM} = \pm \frac{\pi}{2} \cdot i$ için sıfır değerini alır, burada i bir tek tamsayıdır [22].

4.2.3 Faz kilitmeli çevrim

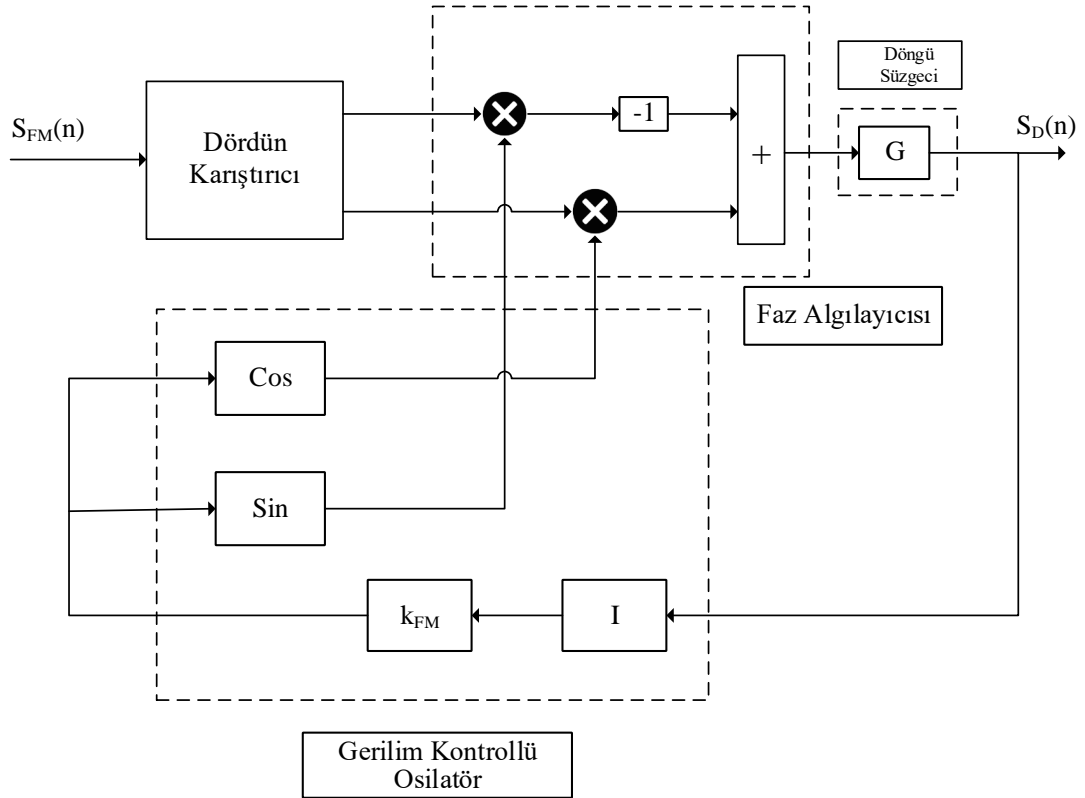
Faz kilitlemeli çevrim birçok haberleşme sistemlerinde kullanılan önemli bir yapıdır. Faz kilitlemeli çevrim yapıları temelde haberleşme sistemlerinde iki farklı görevi üstlenir. Birincisi, açığı ya da frekans modülasyonunda demodülatör olarak kullanılmasıdır. İkinci kullanım alanı ise haberleşme sistemlerinde taşıyıcı ve zaman düzeltme yapılarında kullanılmasıdır [16]. Faz kilitlemeli çevrim yapısı faz algılayıcısı, döngü filtresi ve nümerik kontrollü işaret üretici olmak üzere üç alt

bloktan oluşmaktadır. Şekil 4.7’de faz kilitlemeli çevrim yapısına ait blok şema verilmiştir.



Şekil 4.7 : Faz kilitlemeli çevrim.

FM modülasyonu bilgiyi frekans değişimi ile taşır. Faz kilitlemeli çevrim sistemlerinde geri besleme döngüsünün yardımı ile kontrol frekansı, referans frekansını yakın bir şekilde takip eder. Kontrol frekansı demodülasyon işlemi sonucu elde edilen $S_D(n)$, mesaj işareti $S_N(n)$ karşılık gelir. Faz algılayıcısı FM modüledi işaret ile NCO işareti arasındaki faz farkını algılar. Elde edilen faz farkı döngü filtresi tarafından süzülerek mesaj işareti elde edilir [7]. Tabanbant PLL yapısına ait blok şema şekil 4.8’da verilmiştir.



Şekil 4.8 : Tabanbant PLL yapısı.

Giriş işareti $S_{FM}(n)$ (4.25)'de verilmiştir.

$$S_{FM}(n) = A \cdot \cos(w_T \cdot n + k_{FM} \cdot \sum_{i=0}^{n-1} S_N(i)) \quad (4.25)$$

Demodülasyon işleminden önce dördün karıştırıcı işlemi gerçekleştirilmiştir. Üst işaret yolu (4.26)'da, alt işaret yolu ise (4.27)'de verilmiştir.

$$\frac{A}{2} \cdot \cos(k_{FM} \cdot \sum_{i=0}^{n-1} S_N(i)) \quad (4.26)$$

$$\frac{A}{2} \cdot \sin(k_{FM} \cdot \sum_{i=0}^{n-1} S_N(i)) \quad (4.27)$$

Demodülasyon işlemi sonucu elde edilen işaret, $S_D(n)$, şu şekilde yazılabilir.

$$S_D(n) = \left[\frac{A}{2} \sin(k_{FM} \sum_{i=0}^{n-1} S_N(i)) \cos(k_{FM} \sum_{i=0}^{n-1} S_D(i)) - \frac{A}{2} \cos(k_{FM} \sum_{i=0}^{n-1} S_N(i)) \sin(k_{FM} \sum_{i=0}^{n-1} S_D(i)) \right] * g(n) \quad (4.28)$$

(4.28)'de elde edilen ifadeyi tartışmak konvolüsyon işleminden dolayı zordur. Bu nedenle Z-bölgesine dönüşüm analizi kolaylaştıracaktır, fakat doğrusal olmayan döngüden dolayı bu mümkün değildir. Konvolüsyon işleminden kurtulmak için süzgecin transfer fonksiyonu G , sabit bir katsayı, P , seçilir. Böylece konvolüsyon işlemi çarpma işlemine dönüştürülmüş olur [7].

$$S_D(n) = \frac{A \cdot P}{2} \cdot \sin(k_{FM} \cdot \sum_{i=0}^{n-1} S_N(i) - k_{FM} \cdot \sum_{i=0}^{n-1} S_D(i)) = \frac{A \cdot P}{2} \cdot \sin\left(k_{FM} \cdot \sum_{i=0}^{n-1} S_N(i) - S_D(i)\right) \quad (4.29)$$

Eşitlik şu şekilde yazılabilir:

$$\sum_{i=0}^{n-1} S_N(i) - S_D(i) = \frac{\arcsin\left(\frac{S_D(n) \cdot 2}{A \cdot P}\right)}{k_{FM}} \quad (4.30)$$

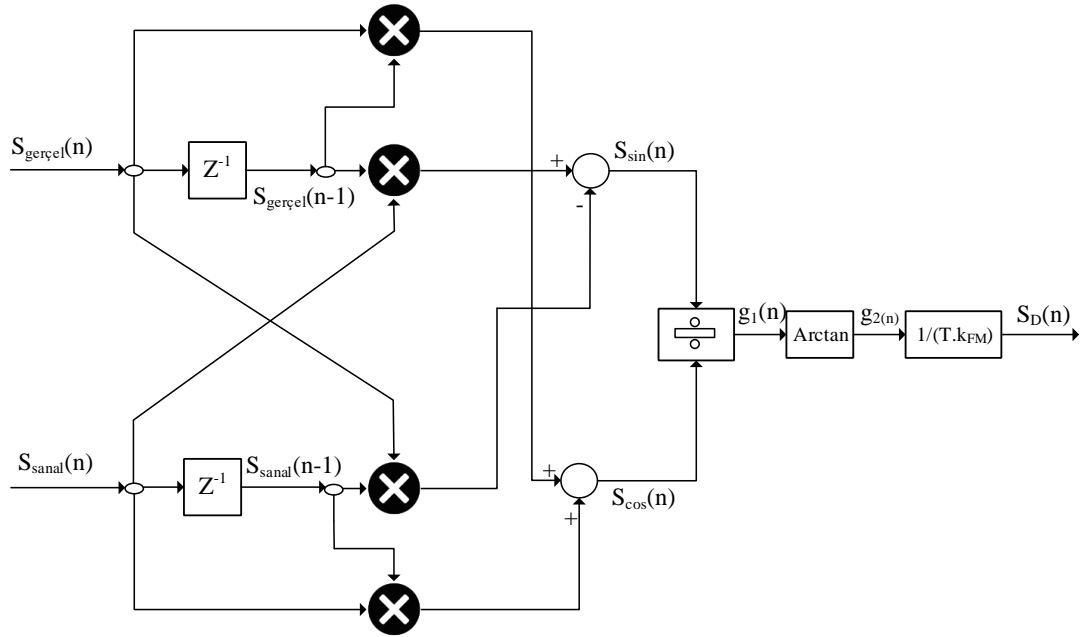
Geri besleme döngüsünün amacı $S_N(n) = S_D(n)$ eşitliğini sağlamaktır. Bu eşitlik denklem (4.30)'un sağ tarafındaki eşitliğin sıfıra eşit olması ile elde edilir. Bunu gerçekleştirmek için P sabiti ya da k_{FM} yeteri kadar büyük seçilmelidir. PLL işlemini (4.31)'deki gibi ifade edilebilir.

$$\sum_{i=0}^{n-1} k_{FM} \cdot S_N(i) - k_{FM} \cdot S_D(i) = 0 \quad (4.31)$$

Bu işlemi yerine getirmek için PLL'in $S_N(n) = S_D(n)$ durumunu kontrol etmesi gerekir.

4.2.4 Karma demodülatör

Karma demodülatör yapısı tabanbant gecikme demodülatörü ile faz uyarlayıcı demodülatör yapısının birleşimidir. Karma demodülatör yapısı ile tabanbant gecikme ve faz uyarlayıcı demodülatör yapılarının dezavantajlarından kurtulabilmek [16]. Şekil 4.9'da bu yapıya ait blok şema verilmiştir.



Şekil 4.9 : Karma demodülatör yapısı.

Denklem (4.5) ve (4.7)'de elde edilen $S_{gerçel}(n)$ ve $S_{sanal}(n)$ işaretleri, karma demodülatörün giriş işaretleridir. Karma demodülatörü, tabanbanttaki FM işaretlerini demodüle eder. Bu demodülatöre ait matematiksel ifadeler aşağıda verilmiştir.

$$\begin{aligned}
s_{\sin}(n) &= S_{\text{sanal}}(n) \cdot S_{\text{gerçek}}(n-1) - S_{\text{gerçek}}(n) \cdot S_{\text{sanal}}(n-1) \\
&= \sin(\phi_{FM}(n)) \cdot \cos(\phi_{FM}(n-1)) - \cos(\phi_{FM}(n)) \cdot \sin(\phi_{FM}(n-1)) \\
&= \sin(\phi_{FM}(n) - \phi_{FM}(n-1))
\end{aligned} \tag{4.32}$$

$$\begin{aligned}
s_{\cos}(n) &= S_{\text{gerçek}}(n) \cdot S_{\text{gerçek}}(n-1) + S_{\text{sanal}}(n) \cdot S_{\text{sanal}}(n-1) \\
&= \cos(\phi_{FM}(n)) \cdot \cos(\phi_{FM}(n-1)) + \sin(\phi_{FM}(n)) \cdot \sin(\phi_{FM}(n-1)) \\
&= \cos(\phi_{FM}(n) - \phi_{FM}(n-1))
\end{aligned} \tag{4.33}$$

$$g_1(n) = \frac{s_{\sin}(n)}{s_{\cos}(n)} = \frac{\sin(\phi_{FM}(n) - \phi_{FM}(n-1))}{\cos(\phi_{FM}(n) - \phi_{FM}(n-1))} = \tan(\phi_{FM}(n) - \phi_{FM}(n-1)) \tag{4.34}$$

$$g_2(n) = \arctan(g_1(n)) = \phi_{FM}(n) - \phi_{FM}(n-1) \tag{4.35}$$

$$S_D(n) = \frac{g_2(n)}{T \cdot k_{FM}} = \frac{\phi_{FM}(n) - \phi_{FM}(n-1)}{T \cdot k_{FM}} = \frac{\phi'_{FM}(n)}{k_{FM}} = S_N(n) \tag{4.36}$$

Benzer şekilde ters tanjant fonksiyonu bloğundan sonraki $g_2(n)$ işaretinin $-\pi/2$ ile $\pi/2$ arasında sınırlandırılması gerekmektedir. Gecikme demodülatör mimarisinde olduğu gibi ΔF sadece örnekleme frekansına bağlı olur [22]. $G_2(n)$ işaretindeki limitten dolayı sıfıra bölünme problemi görülmemektedir. (4.37)'de verilen işaret sadece $\phi_{FM} = \pm \frac{\pi}{2} \cdot i$ için sıfır değerini alır, burada i bir tek tamsayıdır [7].

$$s_{\cos}(n) = \cos(\phi_{FM}(n) - \phi_{FM}(n-1)) = \cos(g_2(n)) \tag{4.37}$$

Sıfır ile bölümü engellemek için gecikme bloğunun çıkışının ilk başta sıfırdan farklı bir sayı olması gerekmektedir.

5. MATLAB BENZETİM SONUÇLARI

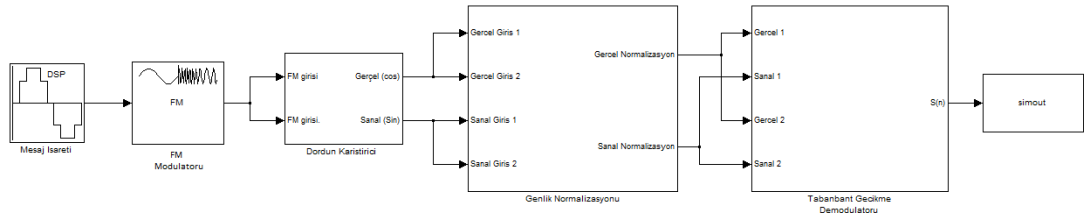
Bu kısımda Bölüm 4’te verilen tabantbant gecikme, faz uyarlayıcı, faz kilitlemeli çevrim ve karma demodülatör mimarilerinin benzetimleri incelenmiştir. Benzetimler MATLAB Simulink benzetim programı ile yapılmıştır. Sayısal FM demodülatör mimarilerinin işaret kalitesi, işlem gücü ve kapladığı alan dikkate alınarak ilgili analizler yapılmıştır.

5.1 Tabantbant Gecikme Demodülatörü Benzetimleri

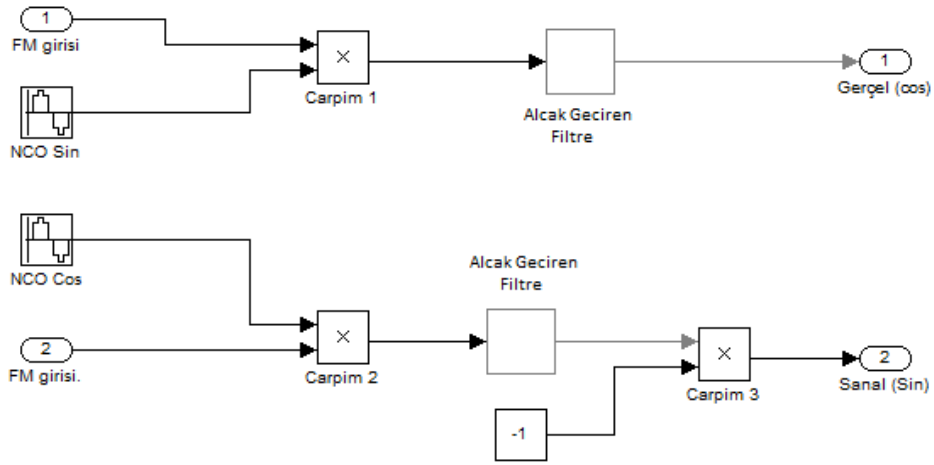
Tabantbant gecikme demodülatörü Simulink ortamında hazırlanmış ve farklı k_{FM} değerleri için benzetimleri yapılmıştır. Eşitlik (4.18)’den yararlanarak maksimum ΔF ve maksimum k_{FM} , örnekleme frekansı $f_A=25$ kHz için (5.1)’de gösterilmiştir.

$$k_{FM} = \frac{2 \cdot \pi \cdot f_A}{4 \cdot \hat{s}} = \frac{\pi \cdot f_A}{2} = 39270 \quad (5.1)$$

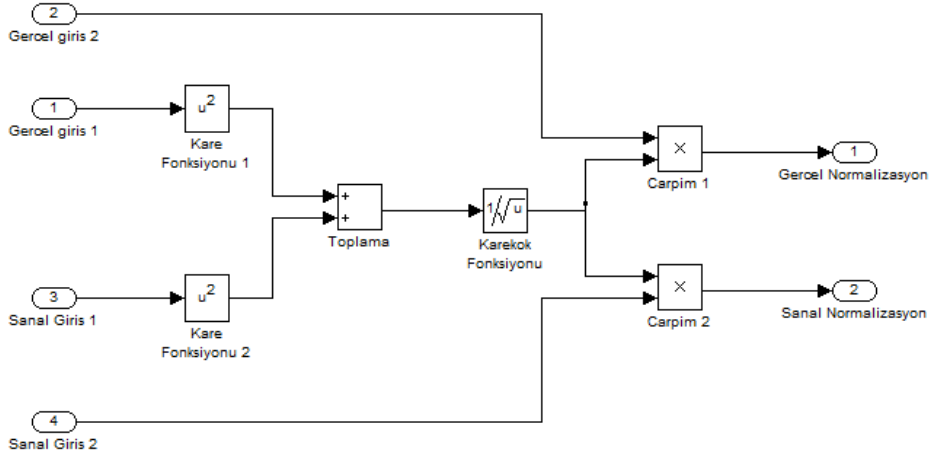
(5.1)’de elde edilen k_{FM} değerine bant genişliğinden dolayı ulaşamayız. Yükselen frekans ve k_{FM} değerleri ile birlikte bant genişliği de artmaktadır. Bu durum harmonic bozulmayı arttırmakta ve örtüşmeye neden olmaktadır [7]. Tabantbant gecikme demodülatör mimarisi dördün karıştırıcı, genlik normalizasyonu ve tabantbant gecikme demodülatör bloğundan oluşur. Şekil 5.1, 5.2, 5.3 ve 5.4’de Simulink ortamında kurulan yapılar verilmiştir.



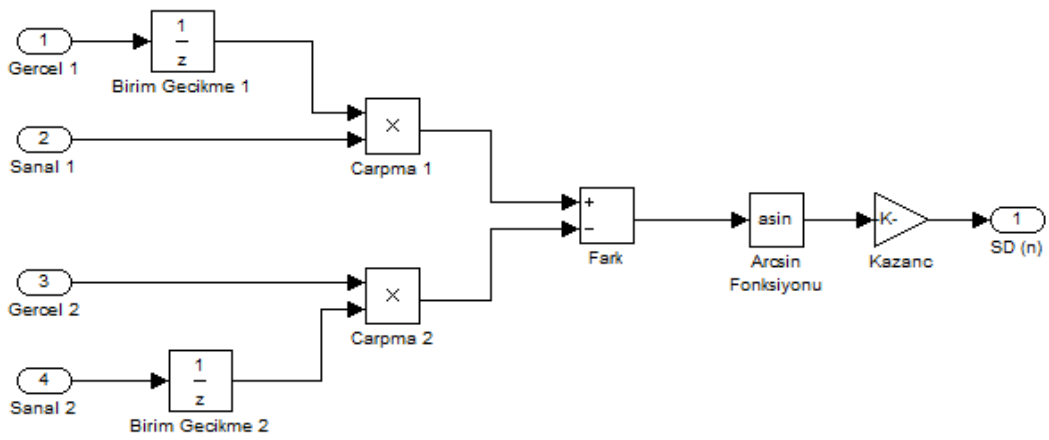
Şekil 5.1 : Simulink kurulan sistem.



Şekil 5.2 : Dördün karıştırıcı bloğu.

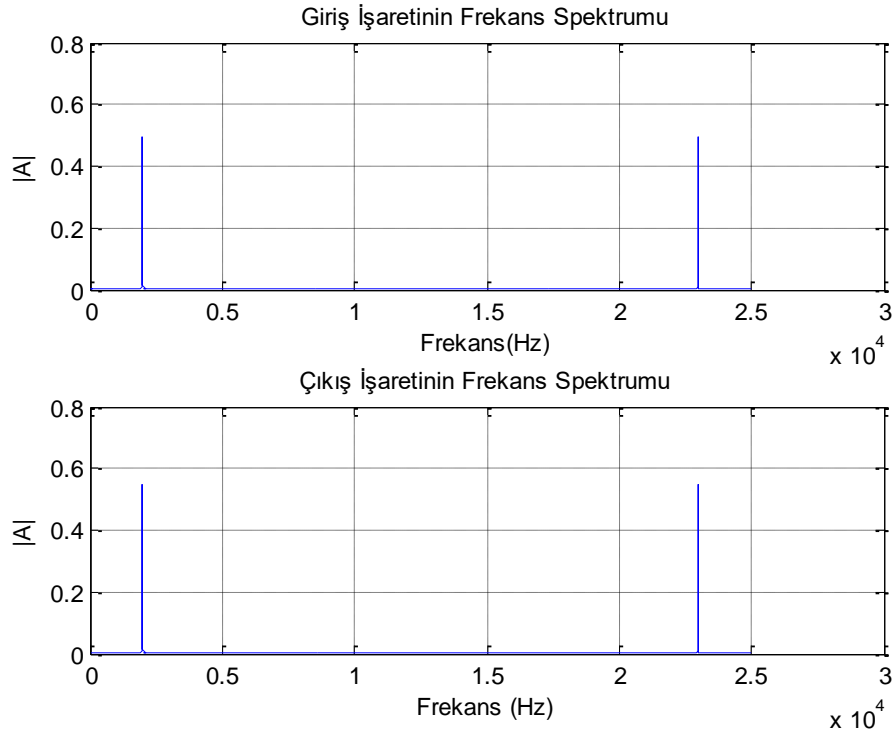


Şekil 5.3 : Genlik normalizasyonu bloğu.

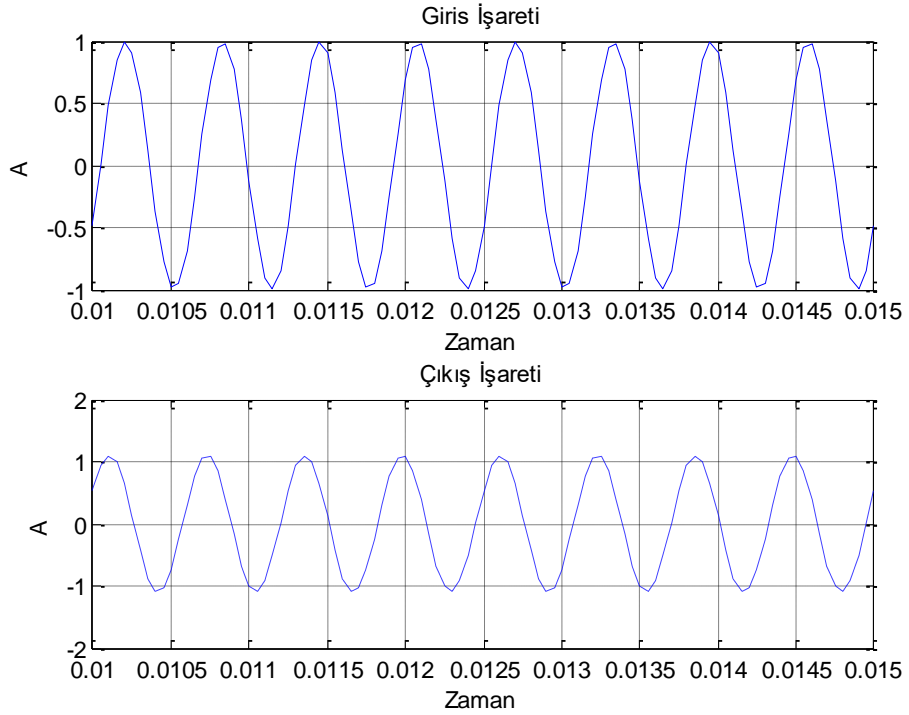


Şekil 5.4 : Tabanbant gecikme demodülatörü bloğu.

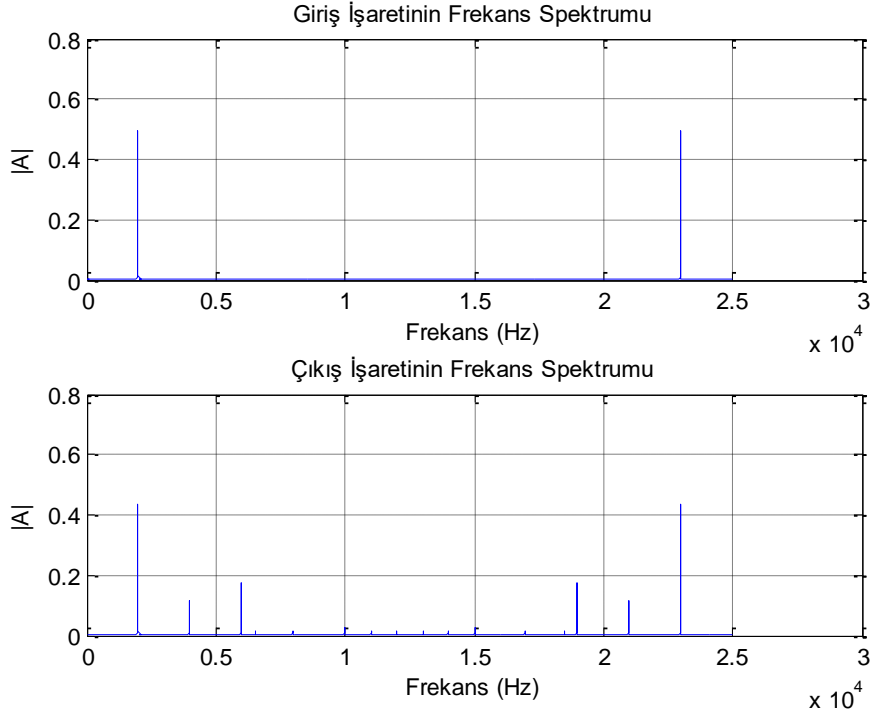
$K_{FM}=180$ ve $k_{FM}=18000$ deęerleri iin benzetimler yapılmıř, zaman ve frekans blgesinde giriř ve elde edilen ıkıř iřaretleri sırası ile verilmiřtir.



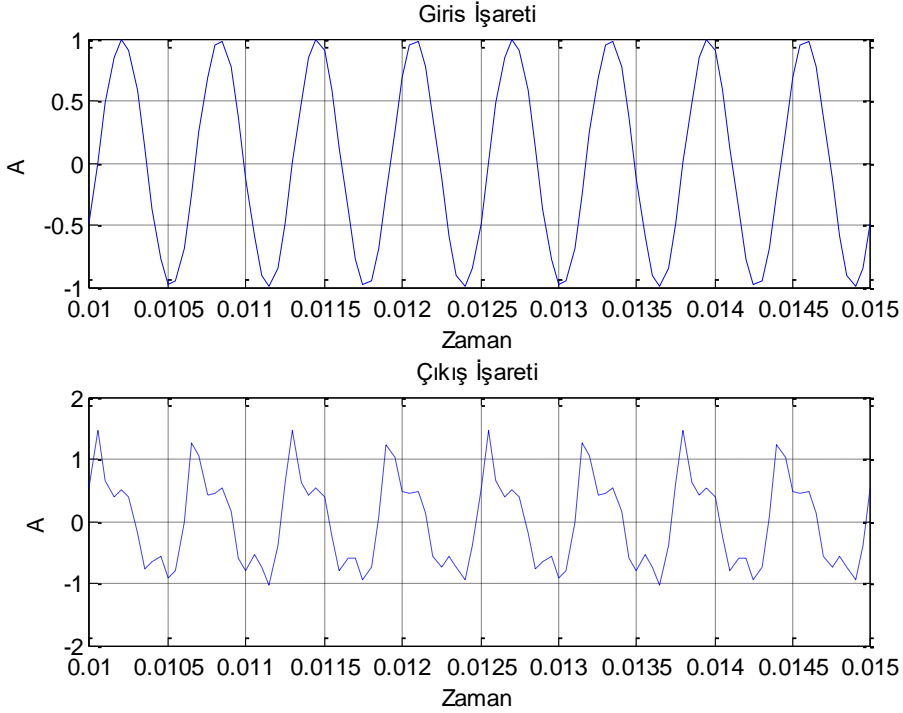
řekil 5.5 : $k_{FM}=180$ iin giriř ve ıkıř iřaretlerinin frekans spektrumu.



řekil 5.6 : $k_{FM}=180$ iin giriř ve ıkıř iřaretleri.

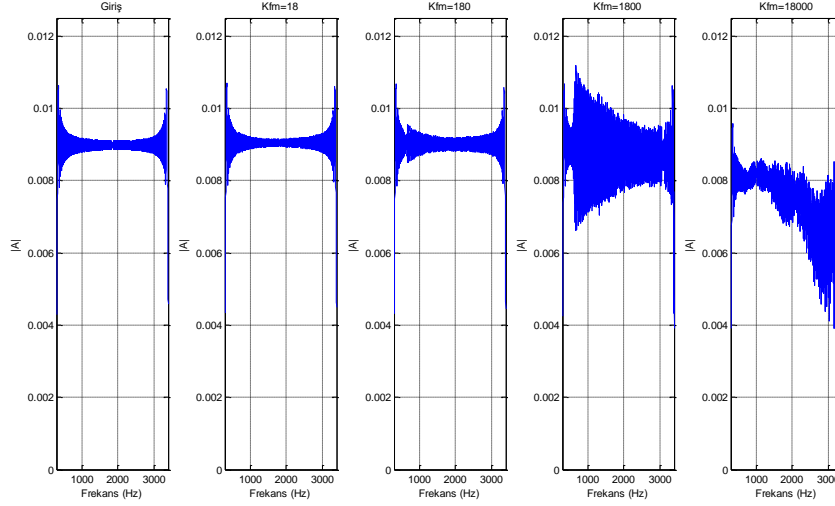


Şekil 5.7 : $k_{FM}=18000$ için giriş ve çıkış işaretlerinin frekans spektrumu.



Şekil 5.8 : $k_{FM}=18000$ için giriş ve çıkış işaretleri.

İşaretin frekans cevabını incelemek için simulinkte bulunan “Chirp Signal” bloğu yardımı ile bilgi işaretinin frekansı 300 ile 3400 Hz arasında verilmiş ve farklı k_{FM} değerleri için çıkış işareti incelenmiştir.



Şekil 5.9 : Farklı k_{FM} değerleri için frekans cevabı.

Benzetim sonuçlarına göre yüksek k_{FM} ve yüksek frekans değerlerinde çıkış işaretinin genlik cevabı düşmekte ve örtüşme meydana gelmektedir. [7]'de yapılan çalışmada farklı k_{FM} ve frekanstaki mesaj işaretleri için elde edilen harmonik bozulma değerleri Çizelge 5.1'de verilmiştir. Burada harmonik bozulmanın k_{FM} ve mesaj işaretinin frekansının artması ile yükseldiğini görmekteyiz.

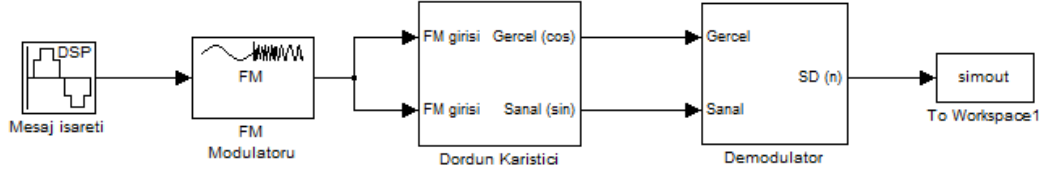
Çizelge 5.1 : Farklı frekans ve k_{FM} değerleri için harmonik bozulma.

k_{FM}	f_{mesaj}	Harmonik bozulma (k)
18	300	0.000
180	300	0.000
1800	300	0.000
18000	300	0.012
18	2000	0.000
180	2000	0.000
1800	2000	0.003
18000	2000	0.215
18	3400	0.000
180	3400	0.000
1800	3400	0.006
18000	3400	0.355

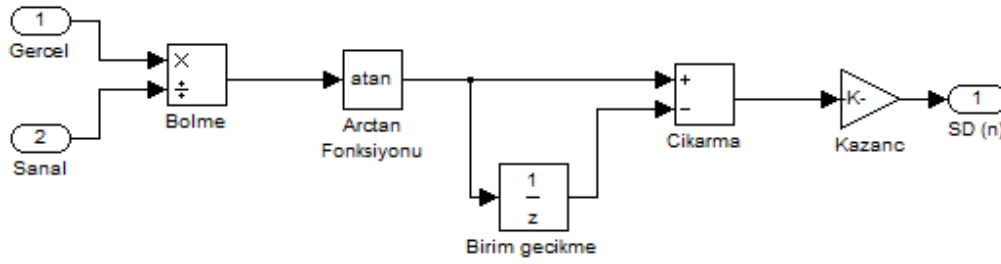
5.2 Faz Uyarlayıcı Demodülatörü Benzetimleri

Faz uyarlayıcı demodülatörü simulink ortamında hazırlanmış ve farklı k_{FM} değerleri için benzetimleri yapılmıştır. Eşitlik (4.24)'te maksimum frekans sapmasının mesaj işaretine bağlı olduğunu gösterilmiştir. En kötü durumda, çok küçük frekanstaki mesaj işaretlerinde maksimum frekans sapması çok küçük değerde olacaktır. Bu

durum bir çok uygulama için pratik değildir [8]. Faz uyarlayıcı demodülatör mimarisi dördün karıştırıcı ve faz uyarlayıcı demodülatör bloğundan oluşur. Şekil 5.10 ve 5.11’de Simulink ortamında kurulan yapılar verilmiştir. Dördün karıştırıcı bloğu Şekil 5.2’de verilen yapı ile aynıdır.

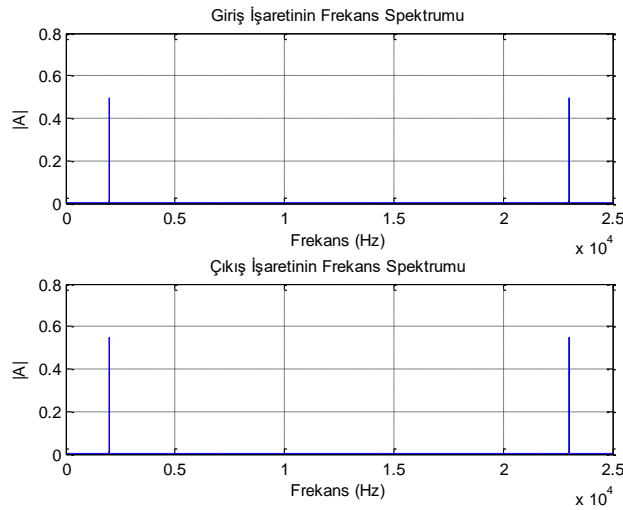


Şekil 5.10 : Simulinkte kurulan sistem.

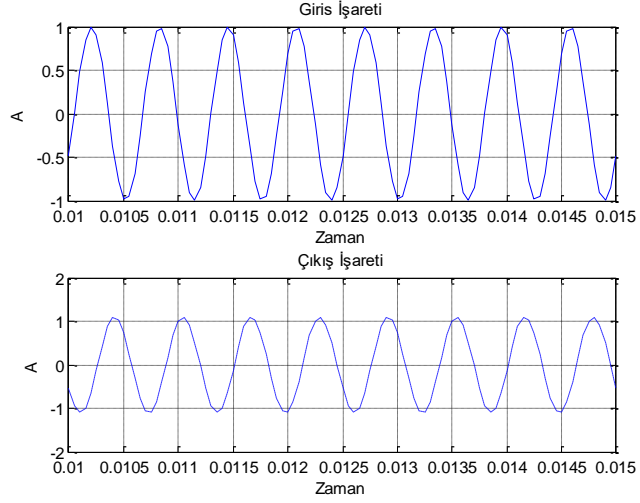


Şekil 5.11 : Faz uyarlayıcı demodülatör bloğu.

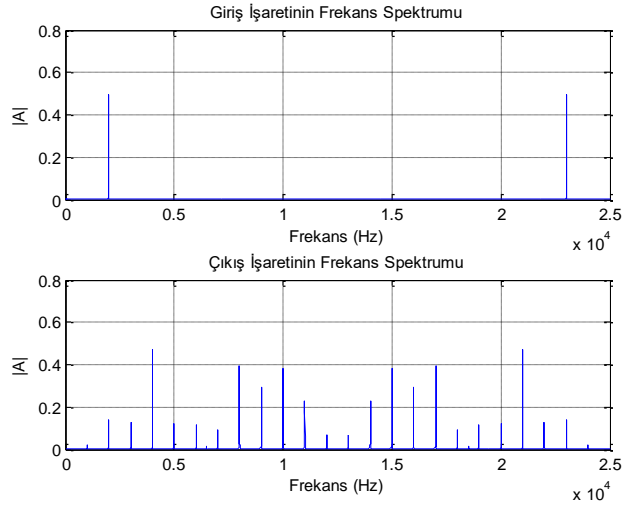
$K_{FM}=180$ ve $k_{FM}=18000$ değerleri için benzetimler yapılmış, zaman ve frekans bölgesinde giriş ve elde edilen çıkış işaretleri sırası ile verilmiştir.



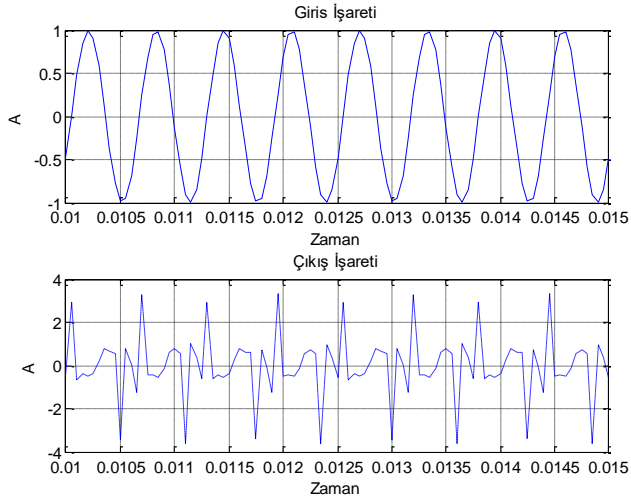
Şekil 5.12 : $k_{FM}=180$ için giriş ve çıkış işaretlerinin frekans spektrumu.



Şekil 5.13 : $k_{FM}=180$ için giriş ve çıkış işaretleri.



Şekil 5.14 : $k_{FM}=18000$ için giriş ve çıkış işaretlerinin frekans spektrumu.



Şekil 5.15 : $k_{FM}=18000$ için giriş ve çıkış işaretleri.

[7]'de yapılan çalışmada farklı k_{FM} ve frekanstaki mesaj işaretleri için maksimum k_{FM} değeri ve elde edilen harmonik bozulma değerleri Çizelge 5.2'de verilmiştir. Maksimum k_{FM} değerleri (5.2)'deki eşitlik yardımı ile hesaplanmıştır.

$$k_{FM} = \frac{\pi^2 \cdot f_{mesaj}}{2} \quad (5.2)$$

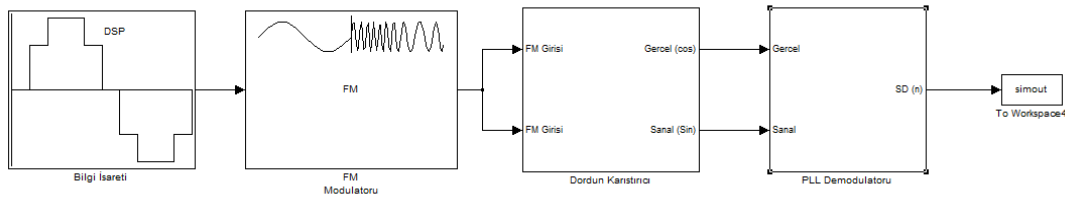
Çizelge 5.2 : Farklı frekans ve k_{FM} değerleri için harmonik bozulma.

k_{FM}	Maks. (k_{FM})	f_{mesaj}	Harmonik bozulma (k)
18	1480	300	0.000
180	1480	300	0.000
1800	1480	300	0.998
18000	1480	300	1.000
18	9870	2000	0.000
180	9870	2000	0.000
1800	9870	2000	0.003
18000	9870	2000	0.984
18	16780	3400	0.000
180	16780	3400	0.000
1800	16780	3400	0.006
18000	16780	3400	0.977

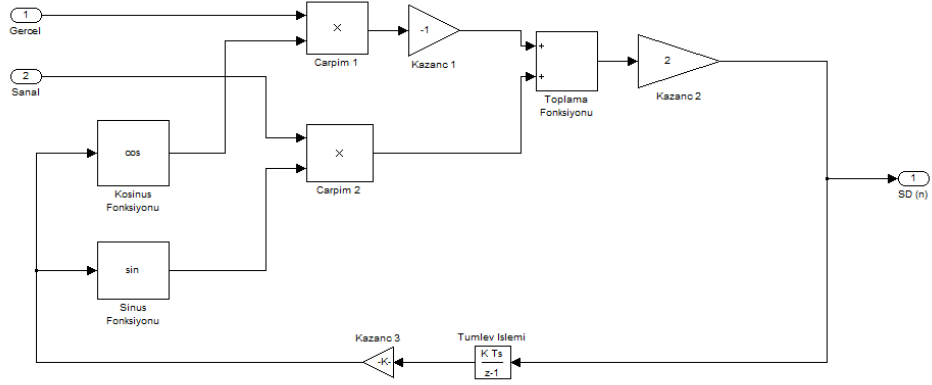
Benzetim sonuçları ve Çizelge 5.2 incelendiğinde, k_{FM} değeri maksimum değerini aştığında harmonik bozulma değeri 1'e yaklaşmaktadır ve demodülatör düzgün bir şekilde çalışmamaktadır [7]. Bu demodülatör yapısı sadece dar bantlı FM uygulamaları için kullanışlıdır.

5.3 Faz Kilitlemeli Çevrim Demodülatörü Benzetimleri

Faz kilitlemeli çevrim demodülatörünün benzetimi için kurulan yapılar Şekil 5.16 ve Şekil 5.17'de verilmiştir. Bu demodülatör mimarisi dördün karıştırıcı ve PLL demodülatör bloğundan oluşur. Dördün karıştırıcı bloğu Şekil 5.2'de verilen yapı ile aynıdır.

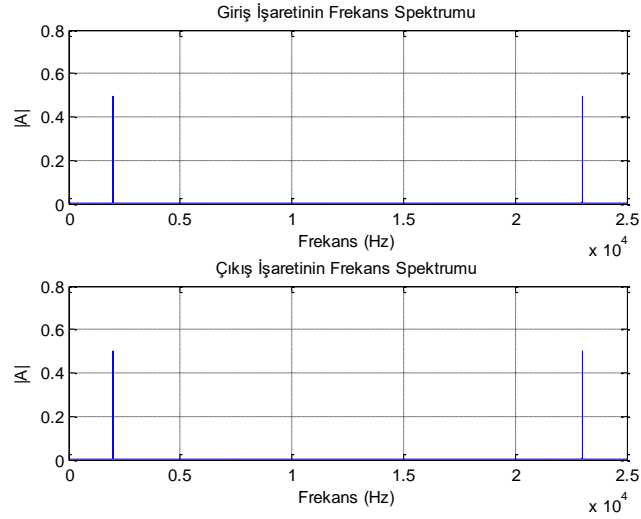


Şekil 5.16 : Simulinkte kurulan sistem.

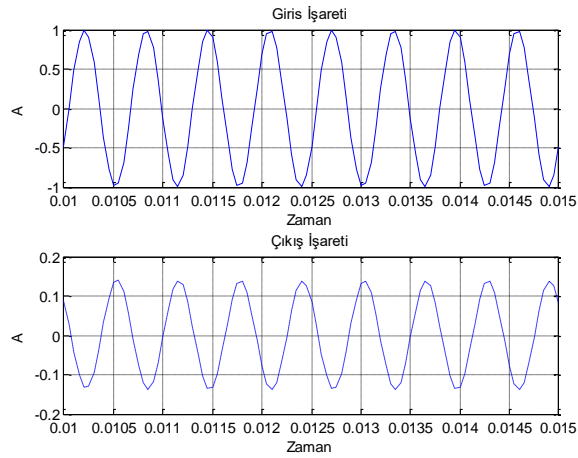


Şekil 5.17 : Faz kilitlemeli çevrim demodülatör bloğu.

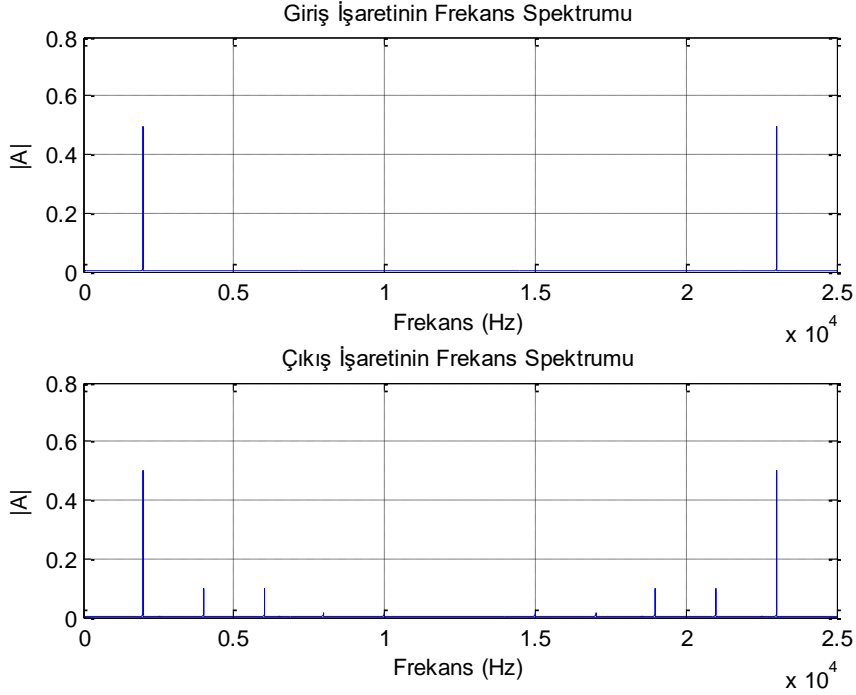
$K_{FM}=1800$ ve $k_{FM}=18000$ değerleri için benzetimler yapılmış, zaman ve frekans bölgesinde giriş ve elde edilen çıkış işaretleri sırası ile verilmiştir.



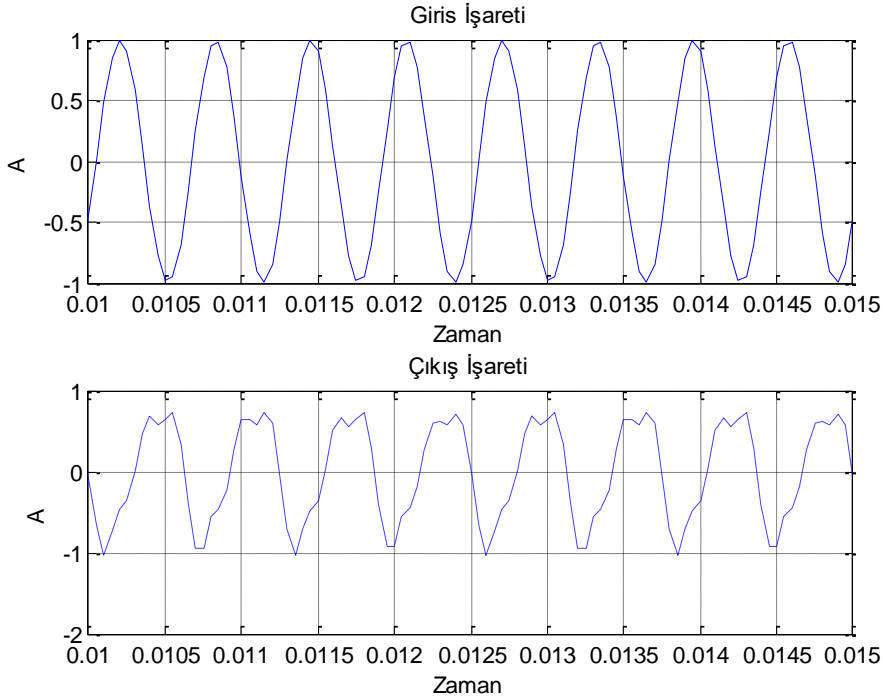
Şekil 5.18 : $k_{FM}=1800$ için giriş ve çıkış işaretlerinin frekans spektrumu.



Şekil 5.19 : $k_{FM}=1800$ için giriş ve çıkış işaretleri.

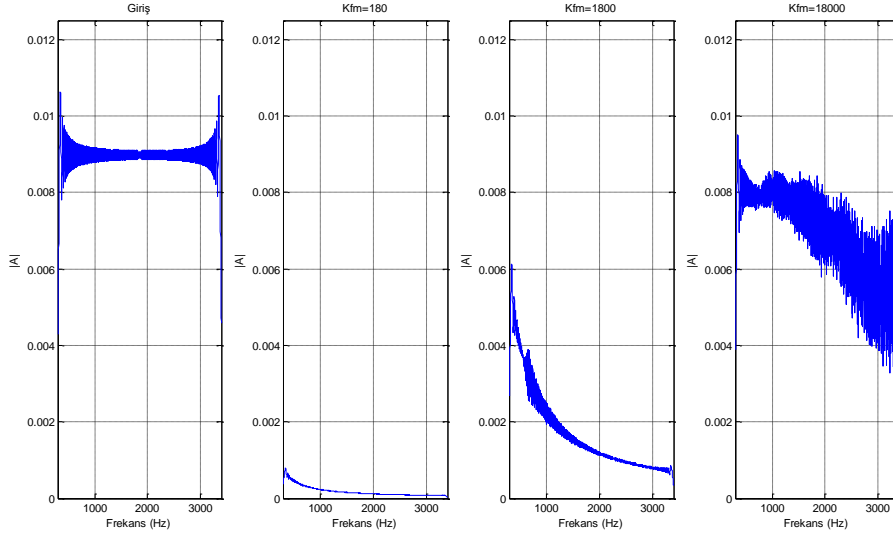


Şekil 5.20 : $k_{FM}=18000$ için giriş ve çıkış işaretlerinin frekans spektrumu.



Şekil 5.21 : $k_{FM}=18000$ için giriş ve çıkış işaretleri.

İşaretin frekans cevabını incelemek için simulinkte bulunan “Chirp Signal” bloğu yardımı ile bilgi işaretinin frekansı 300 ile 3400 Hz arasında verilmiş ve farklı k_{FM} değerleri için çıkış işareti incelenmiştir.



Şekil 5.22 : Farklı k_{FM} değerleri için frekans cevabı.

Benzetim sonuçlarına göre yüksek k_{FM} ve yüksek frekans değerlerinde çıkış işaretinin genlik cevabı düşmekte ve örtüşme meydana gelmektedir. [7]'de yapılan çalışmada farklı k_{FM} ve frekanstaki mesaj işaretleri için elde edilen harmonik bozulma değerleri Çizelge 5.3'de verilmiştir. Burada harmonik bozulmanın k_{FM} ve mesaj işaretinin frekansının artması ile yükseldiğini görmekteyiz. Ayrıca küçük k_{FM} değerlerinde de harmonik bozulmanın fazla olduğu görülmektedir.

Çizelge 5.3 : Farklı frekans ve k_{FM} değerleri için harmonik bozulma.

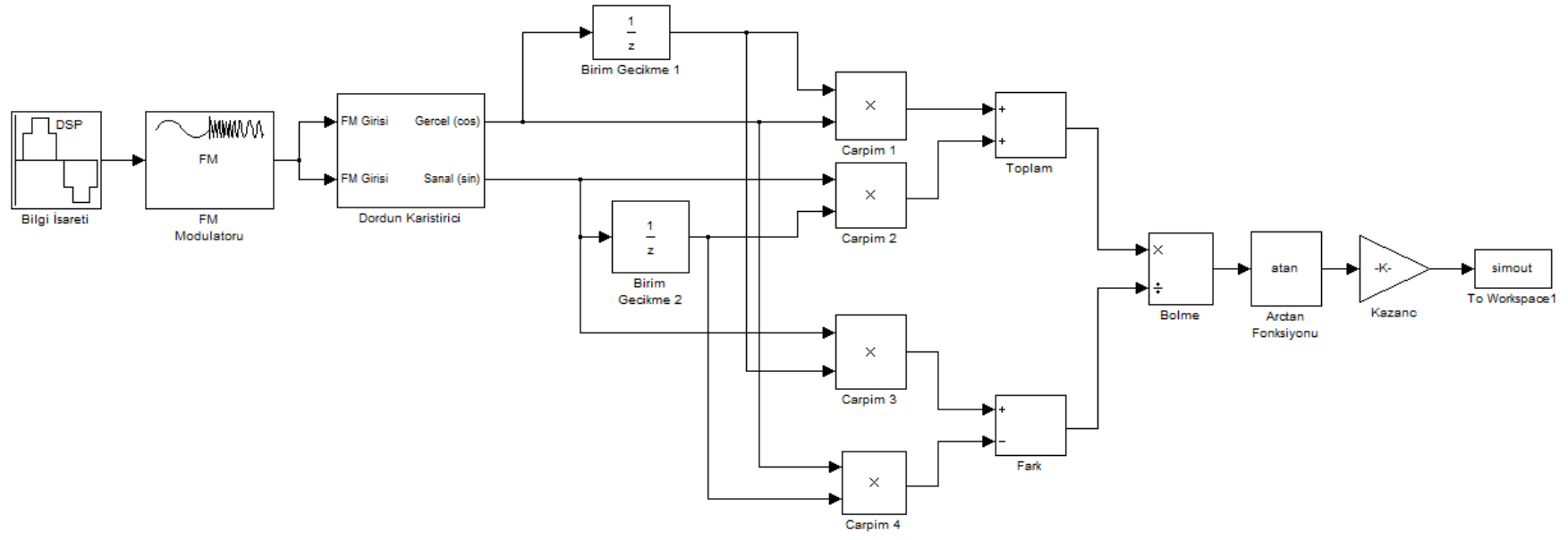
k_{FM}	f_{mesaj}	Harmonik bozulma (k)
18	300	0.167
180	300	0.002
1800	300	0.022
18000	300	0.046
18	2000	0.162
180	2000	0.002
1800	2000	0.000
18000	2000	0.144
18	3400	0.152
180	3400	0.002
1800	3400	0.003
18000	3400	0.254

5.4 Karma Demodülatörü Benzetimleri

Tabanbant gecikme demodülatöründe olduğu gibi karma demodülatör için maksimum ΔF ve maksimum k_{FM} eşitlik (4.18)'den yararlanılarak hesaplanabilir. Örnekleme frekansı $f_A=25\text{kHz}$ için maksimum k_{FM} eşitlik (5.3)'de hesaplanmıştır.

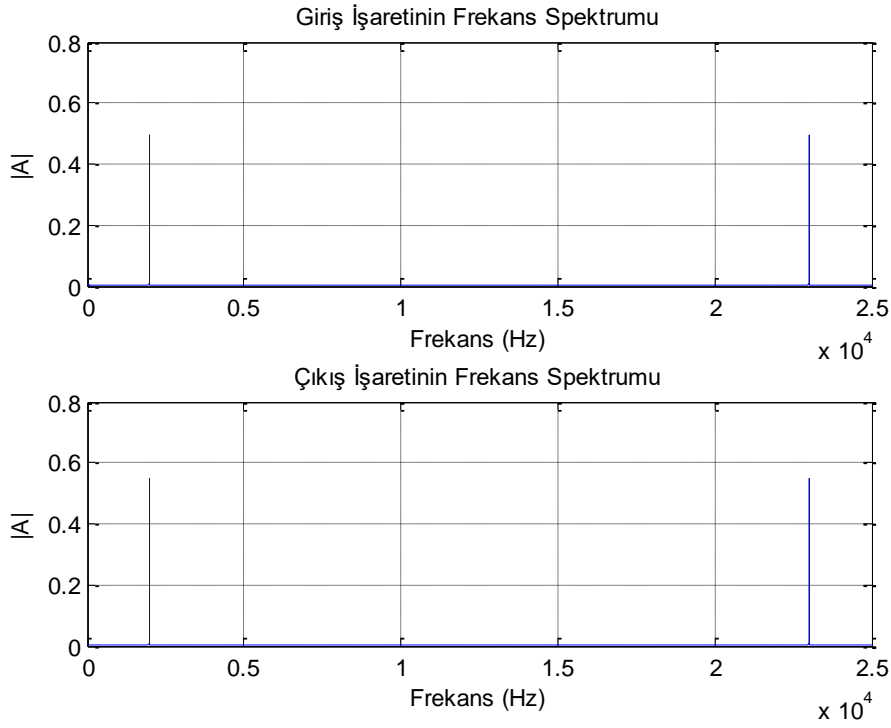
$$k_{FM} = \frac{2 \cdot \pi \cdot f_A}{4 \cdot \hat{s}} = \frac{\pi \cdot f_A}{2} = 39270 \quad (5.3)$$

Bant genişliği limitasyonundan dolayı (5.3)'te elde edilen k_{FM} değerine ulaşamayız. Yükselen mesaj işaretinin frekansı ve k_{FM} değerleri tabanbant gecikme demodülatöründe olduğu gibi karma demodülatöründe de örtüşmeye neden olur ve harmonik bozulma değerini artırır [7]. Karma demodülatör mimarisi dördün karıştırıcı ve karma demodülatör bloğundan oluşmaktadır. Dördün karıştırıcı bloğu Şekil 5.2'de verilen yapı ile aynıdır. Şekil 5.23'te simulink ortamında kurulan yapı verilmiştir.

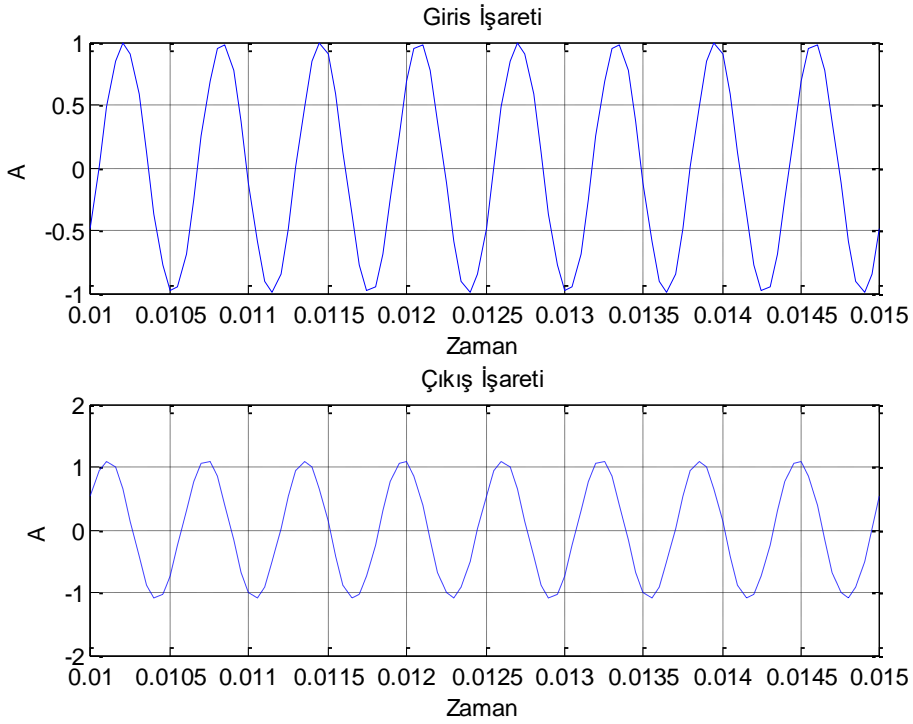


Şekil 5.23 : Simulinkte kurulan sistem.

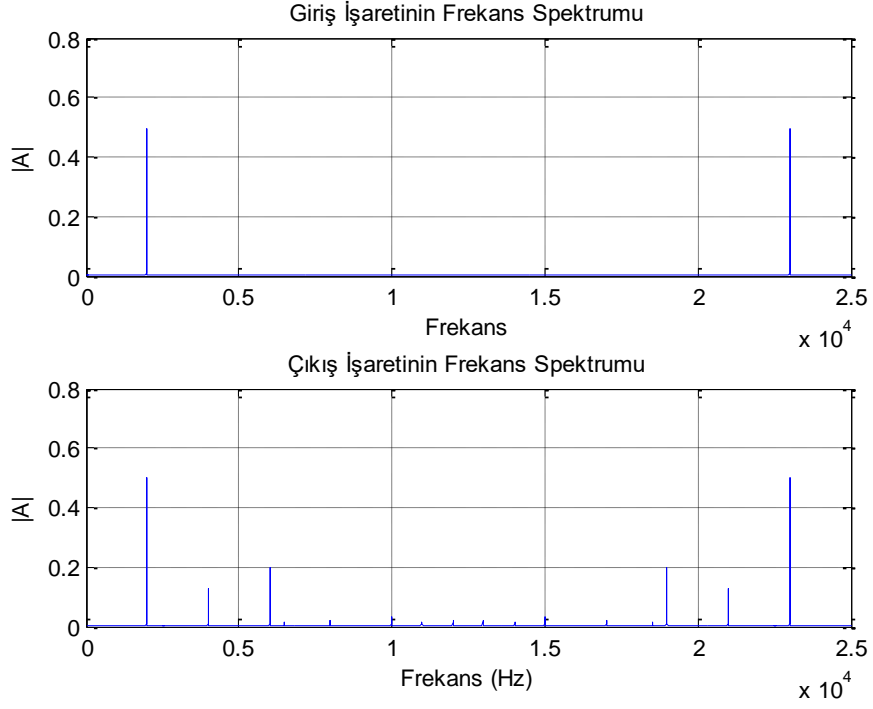
$K_{FM}=180$ ve $k_{FM}=18000$ deęerleri iin benzetimler yapılmıř, zaman ve frekans bölgesinde giriř ve elde edilen ıkıř iřaretleri sırası ile verilmiřtir.



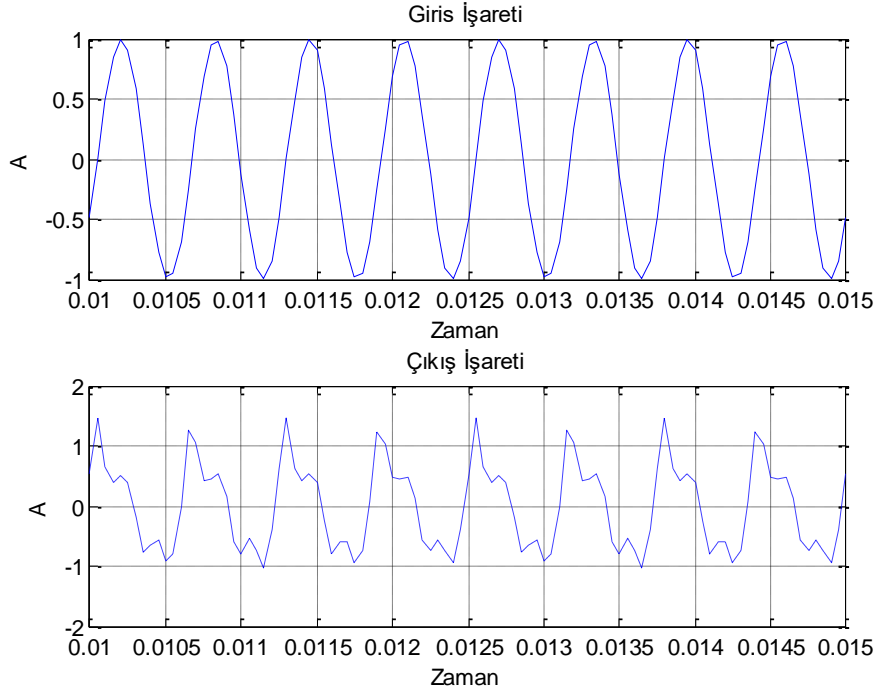
řekil 5.24 : $k_{FM}=180$ iin giriř ve ıkıř iřaretlerinin frekans spektrumu.



řekil 5.25 : $k_{FM}=180$ iin giriř ve ıkıř iřaretleri.

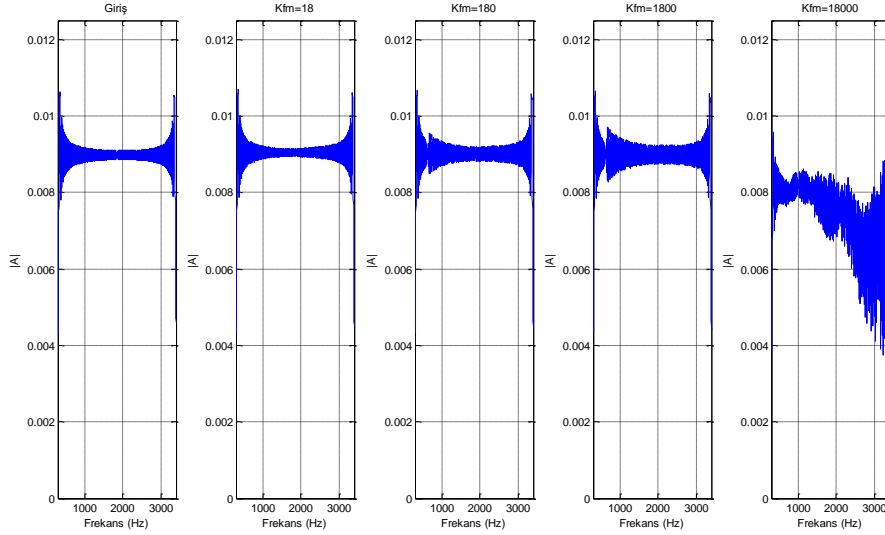


Şekil 5.26 : $k_{FM}=18000$ için giriş ve çıkış işaretlerinin frekans spektrumu.



Şekil 5.27 : $k_{FM}=18000$ için giriş ve çıkış işaretleri.

İşaretin frekans cevabını incelemek için simulinkte bulunan “Chirp Signal” bloğu yardımı ile bilgi işaretinin frekansı 300 ile 3400 Hz arasında verilmiş ve farklı k_{FM} değerleri için çıkış işareti incelenmiştir.



Şekil 5.28 : Farklı k_{FM} değerleri için frekans cevabı.

Benzetim sonuçları incelendiğinde tabanbant gecikme demodülatör yapısında görüldüğü gibi karma demodülatör yapısında da yüksek k_{FM} ve mesaj işaretinin yüksek frekans değerlerinde işaret iletiminin kötüleştiğini görüyoruz. [7]'de yapılan çalışmada farklı k_{FM} ve frekanstaki mesaj işaretleri için elde edilen harmonik bozulma değerleri Çizelge 5.4'de verilmiştir. Burada harmonik bozulmanın k_{FM} ve mesaj işaretinin frekansının artması ile yükseldiğini görmekteyiz.

Çizelge 5.4 : Farklı frekans ve k_{FM} değerleri için harmonik bozulma.

k_{FM}	f_{mesaj}	Harmonik bozulma (k)
18	300	0.000
180	300	0.000
1800	300	0.000
18000	300	0.012
18	2000	0.000
180	2000	0.000
1800	2000	0.003
18000	2000	0.217
18	3400	0.000
180	3400	0.000
1800	3400	0.006
18000	3400	0.353

5.5 Sayısal FM Demodülatör Algoritmalarının Karşılaştırılması

İncelenen sayısal FM demodülatör algoritmalarından faz uyarlayıcı demodülatör yapısının maksimum frekans sapmasının mesaj işaretine bağlı olduğu ve bu durumun

bir çok uygulama için pratik olmadığı belirtilmişti. Bu demodülatör yapısı sadece dar bantlı FM işaretlerinin demodülasyonunda kullanıldığı için bu mimari yapısı tercih edilmemiş ve diğer üç demodülatör mimarisi kendi aralarında karşılaştırılmıştır.

Demodülatör mimarilerinin işaret kalitesi harmonik bozulma değeri baz alınarak incelenmiştir. Tabanbant gecikme ve karma demodülatör mimarilerinin harmonik bozulma değerlerinin birbirlerine çok yakın olduğu görülmektedir. Bu iki yapıda da harmonik bozulma değerinin bilgi işaretinin frekansının ve k_{FM} değerinin artması ile arttığını görüyoruz. PLL demodülatör mimarisinde ise küçük k_{FM} değerleri için harmonik bozulmanın diğer demodülatör mimarilerinden fazla olduğunu görmekteyiz. 300 Hz ile 3400 Hz arasındaki giriş frekansı için karma demodülatör ile tabanbant gecikme demodülatör mimarilerinin frekans cevabının PLL mimarisinden daha iyi olduğunu görüyoruz.

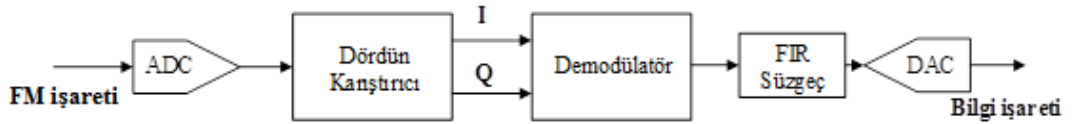
Tabanbant gecikme ve karma demodülatör mimarileri aynı miktarda toplama, çarpma ve gecikme bloğuna sahiptir. Her iki mimari yapısı bölme işlemine ve ters trigonometrik fonksiyon tablosuna ihtiyaç duyar. Buna karşın tabanbant gecikme mimarisinde genlik normalizasyonu yapıldığı için kare kök fonksiyonu için de tablo kullanılmaktadır. Bu nedenle tabanbant gecikme mimarisi karma mimarisine göre biraz daha fazla alana ve işlem gücüne ihtiyaç duymaktadır. PLL mimarisinde bölme işlemi kullanılmadığı için daha az işlem gücüne ihtiyaç duyar. Ayrıca bu mimaride toplama ve çarpma fonksiyonları daha azdır. Sinüs ve kosinüs fonksiyonları da tek bir tablo yardımı ile gerçekleştirilebilir. Bu nedenle PLL mimarisi, karma mimarisine göre daha az alana ihtiyaç duymaktadır.

Tabanbant gecikme mimarisi ile karma mimarisi işaret kalitesi bakımından birbirine yakın olmasına karşın, karma mimarisinin daha az alana ihtiyaç duymasından dolayı tabanbant gecikme mimarisi gerçekleştirme için uygun bulunmamıştır. PLL mimarisinin daha az alana ihtiyaç duymasına karşın düşük frekans ve k_{FM} değerlerinde harmonik bozulma değeri karma mimarisine göre fazla olduğu için tasarımda karma demodülatör mimarisinin kullanımı uygun görülmüştür.

6. KARMA DEMODÜLATÖR MİMARİSİNİN GERÇEKLENMESİ

Sayısal FM demodülatör mimarileri Bölüm 4 ve Bölüm 5'te incelenmiş ve karma demodülatör mimarisinin gerçekleştirilmesine karar verilmiştir. Bu başlık altında karma demodülatör mimarisinin tasarım adımları ve donanımsal gerçekleştirilmesi ele alınacaktır. Karma demodülatör mimarisinin tasarımında kullanılan tüm modüller donanım tanımlama dili olan VHDL ile tasarlanmıştır. Tasarım ortamı olarak Altera firmasına ait olan Quartus II derleyicisi, benzetimler için Modelsim benzetim programı ve SignalTap hata ayıklama aracı kullanılmıştır. Tasarımın gerçekleştirilmesinde Altera firmasının ürettiği DE0 Nano geliştirme kartından yararlanılmıştır. Analog işareti sayısal bilgiye dönüştürmek için Texas Instruments firmasına ait olan ADS830 analog sayısal dönüştürücüsü, sayısal bilgiyi analog işarete çevirmek için yine Texas Instruments firmasına ait olan DAC902E sayısal analog dönüştürücü entegre devresi kullanılmıştır.

Karma FM demodülatör mimarisi dördün karıştırıcı, demodülatör ve FIR süzgeç bloklarından oluşur. Şekil 6.1'de karma demodülatör mimarisinin gerçekleştirilmesinde izlenecek adımlar verilmiştir.

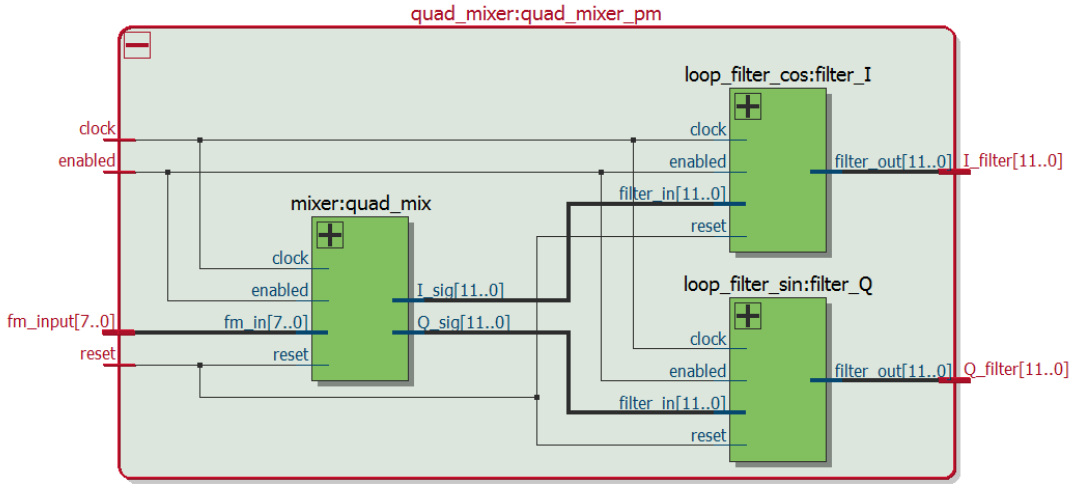


Şekil 6.1 : Karma demodülatör mimarisi.

6.1 Dördün Karıştırıcı Bloğu ve Gerçeklenmesi

Dördün karıştırıcı bloğu çarpma modülü, NCO ve alçak geçiren süzgeç alt bloklarından oluşur. ADC ile örneklenmiş FM işareti NCO tarafından oluşturulan sinus ve kosinüs işaretleri ile çarpılarak alçak geçiren süzgeçten geçirilir. Sinüs ve kosinüs işaretlerinin frekansları gelen FM işaretinin frekansı ile aynı olmalıdır. Tasarımda 1MHz frekansında FM işaretinin demodülasyonu hedeflenmiştir. Bu nedenle doğrudan sayısal sentezleyici yöntemi yardımı ile 1MHz frekansında sinüs

ve kosinüs işaretleri elde edilmiştir. Tasarlanan dördün karıştırıcı bloğunun FPGA'daki RTL şeması Şekil 6.2'deki gibidir.

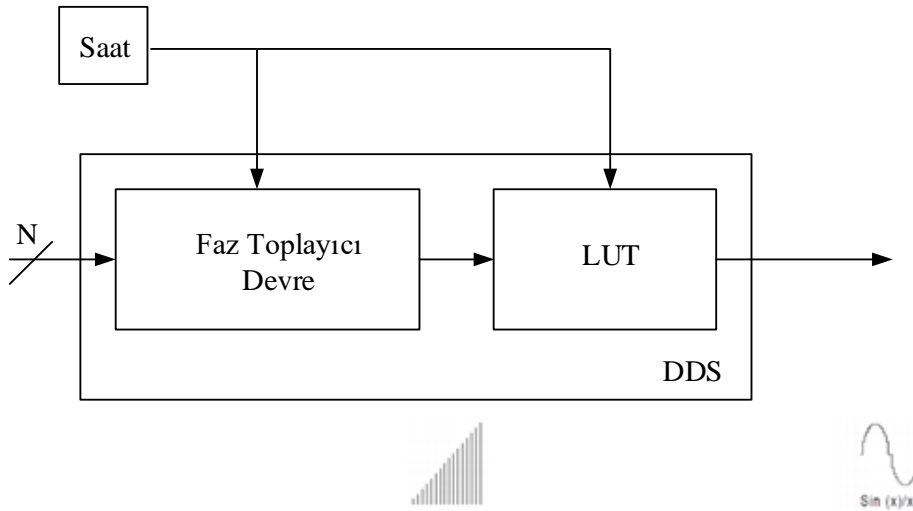


Şekil 6.2 : Dördün karıştırıcı RTL şeması.

Tasarımda kullanılacak olan ADS830 analog sayısal dönüştürücüsü, 8 bit sayısal veri çıkışına sahiptir. Bu nedenle dördün karıştırıcı bloğunun girişi 8 bit olacak şekilde tasarlanmıştır.

6.1.1 Sayısal kontrollü işaret üretici

Dördün karıştırıcı tasarımında, gelen FM işareti ile çarpılacak olan sinüs ve kosinüs işaretleri doğrudan sayısal sentezleyici yapısı yardımı ile elde edilmiştir. Şekil 6.3'de doğrudan sayısal sentezleyici yapısına ait olan blok şema verilmiştir.

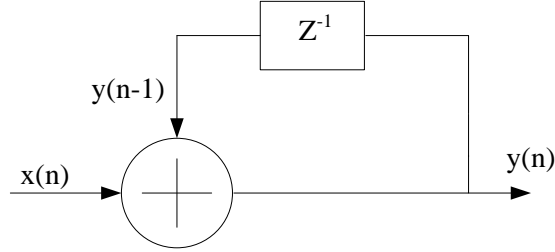


Şekil 6.3 : Doğrudan sayısal sentezleyici yapısında işaret akışı.

Doğrudan sayısal sentezleyici yapısı faz toplayıcı ve LUT yapılarından oluşmaktadır. Faz toplayıcı yapısı (6.1)'de verilen formül yardımı ile gerçekleştirilmiştir.

$$y(n) = y(n-1) + x(n) \quad (6.1)$$

(6.1)'deki ifadeden görüldüğü üzere faz toplayıcının çıkış işareti, giriş işareti ile bir önceki durumdaki çıkış işareti toplanarak elde edilir.



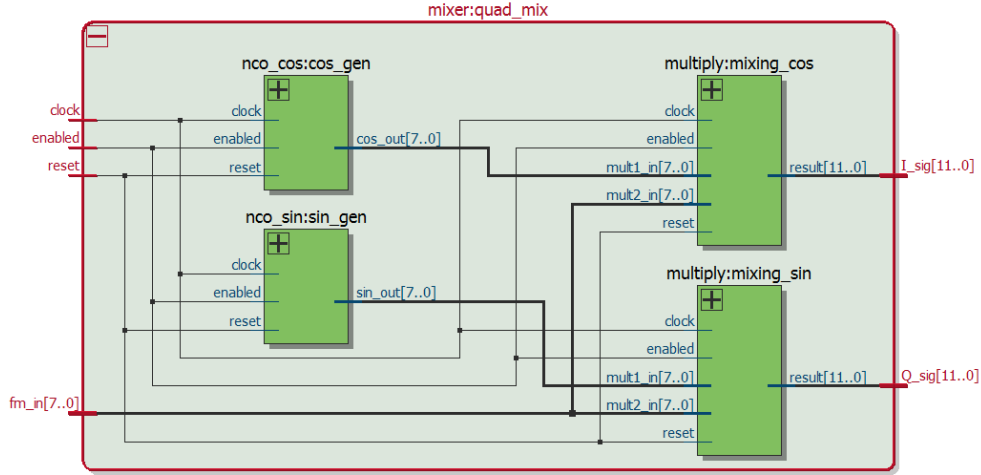
Şekil 6.4 : Faz toplayıcı yapısı.

Faz toplayıcının giriş işareti $x(n)$, istenilen çıkış işaretine göre belirlenen bir sabittir. Bu değer (6.2)'de verilen formül yardımı ile hesaplanır.

$$x(n) = \frac{f_{cikis}}{f_{saat}} * 2^{bit\ sayisi} \quad (6.2)$$

Burada f_{cikis} değeri NCO'nun frekansı, f_{saat} ise sistemde kullanılan saat darbesinin frekansıdır. Formüldeki bit sayısı ise tanımlanmış olan $x(n)$ sabitinin bit sayısını göstermektedir. Tasarımda kullanılan saat darbesinin frekansı 16 MHz'dir.

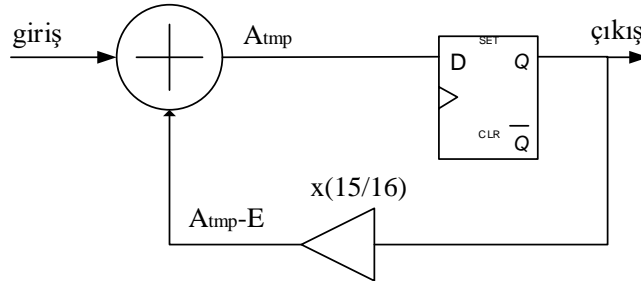
LUT yapısı ise ROM'da saklanan örneklenmiş sinüs ve kosinüs işaretinin sayısal verilerini içermektedir. Saat darbesinin her bir periyodunda, faz toplayıcı ile belirlenen değere göre uygun sinüs ve kosinüs verisi elde edilir. Tasarımda 8 bit uzunluğunda 4096 adet örneklenmiş sinüs ve kosinüs verilerini içeren LUT yapısı oluşturulmuştur. Gelen giriş bilgisine göre uygun olan veriler LUT'dan seçilerek 1 MHz frekansında sinüs ve kosinüs işaretleri elde edilmiştir. Elde edilen sinüs ve kosinüs verileri ADC tarafından 8 bit çözünürlük ile örneklenen 1 MHz'lik FM işareti ile çarpılmaktadır. Çarpım sonucu elde edilen 16 bitlik verinin 4 biti kırılarak en anlamlı 12 biti çıkışa verilmiştir.



Şekil 6.5 : Karıştırıcı bloğunun RTL gösterilimi.

6.1.2 Alçak geçiren süzgeç

Karıştırıcıdan gelen, eşitlik (4.4) ve (4.6) ile verilen işaretlerin yüksek frekans bileşenleri alçak geçiren süzgeç yardımı ile süzülerek $S_{gerçel}$ ve S_{sanal} işaretleri elde edilir. Alçak geçiren süzgeç birinci dereceden bir döngü süzgeci olarak tasarlanmıştır. Şekil 6.6’da alçak geçiren süzgecin blok şeması verilmiştir.

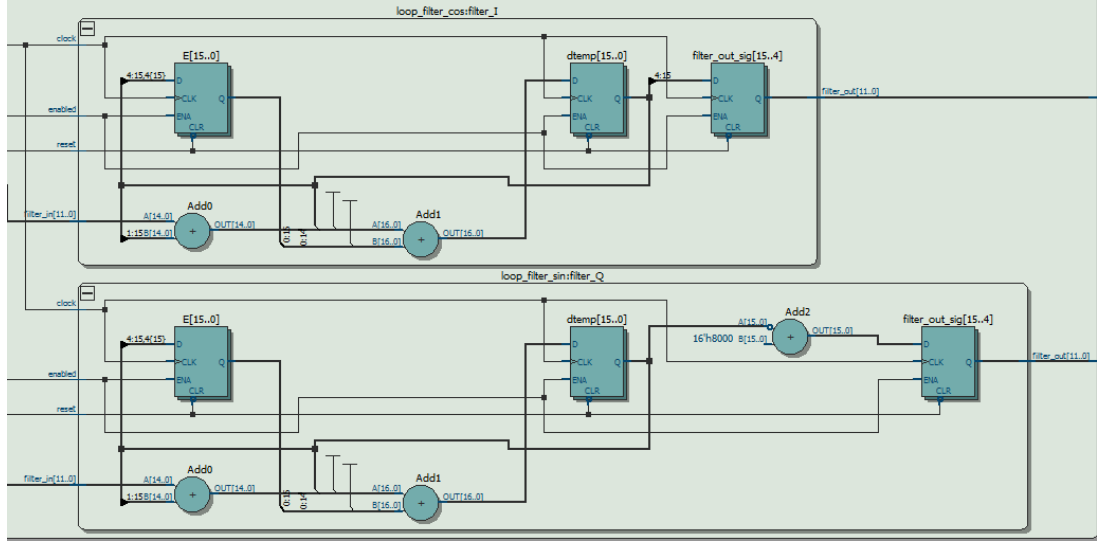


Şekil 6.6 : Alçak geçiren süzgeç yapısı.

Şekil 6.6’da verilen süzgeç yapısı, D tipi yazboz devresinin çıkışının $\alpha=15/16=0.9375$ katsayısı ile çarpılması sonucu oluşan değer ile karıştırıcıdan gelen değeri toplayarak D tipi yazboz devresinin girişine verir. Bu döngü süzgeç yapısı alçak geçiren süzgeç karakteristiğine sahiptir ve karıştırıcıdan gelen işaretin yüksek frekanslı bileşenini süzmektedir [11]. Süzgecin transfer fonksiyonu (6.3)’de verilmiştir.

$$H(z) = \frac{Y(z)}{X(z)} = \frac{1}{z - 0.9375} \quad (6.3)$$

(6.3)'deki ifadeden süzgecin $z=0.9375$ noktasında bir kutbu olduğu görülür. Ayrık zaman süzgeçlerinin kararlılık özelliğinden, $H(z)$ transfer fonksiyonunun kutbu birim çember içerisinde olduğundan, bu filtrenin kararlı bir yapıya sahip olduğunu söyleyebiliriz [24]. Tasarlanan alçak geçiren süzgecin giriş ve çıkışı 12 bitlik sayısal veriden oluşmaktadır.

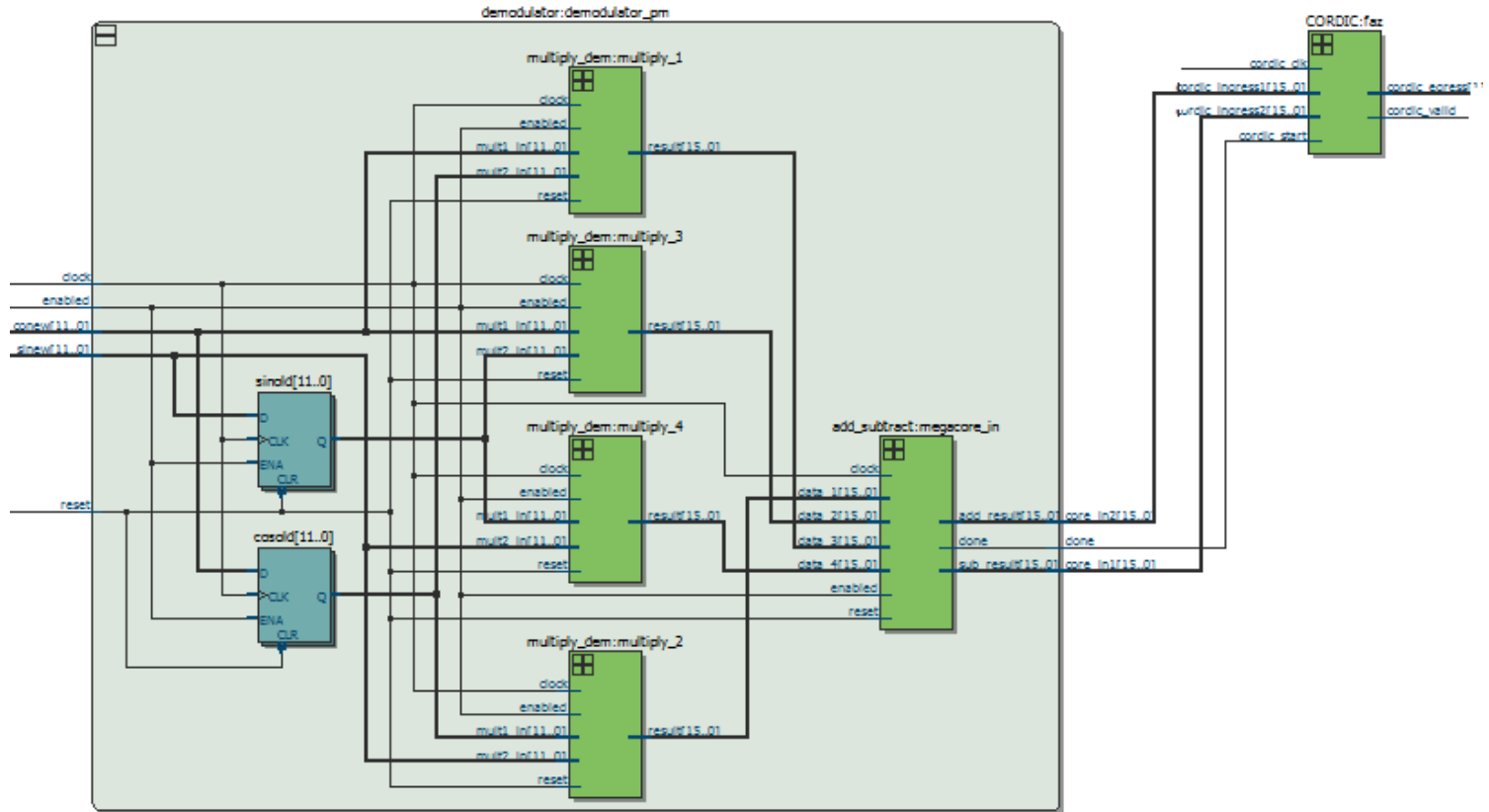


Şekil 6.7 : Alçak geçiren süzgecin RTL gösterilimi.

6.2 Demodülatör Bloğu ve Gerçeklenmesi

Şekil 4.11'de verilen karma demodülatör mimarisinin tasarımında gecikme, çarpma, toplama ve CORDIC blokları kullanılmıştır. Bu mimaride ilk olarak tanjant değerleri üretilmekte, sonrasında ters tanjant fonksiyonu yardımıyla $T \cdot k_{FM}$ ifadesine bölünerek açının türevi alınmaktadır [8]. Tasarımda CORDIC mimarisi kullanıldığı için bölme ve ters tanjant blokları birlikte gerçekleştirilmiştir.

Dördün karıştırıcı bloğunda elde edilen 12 bit kelime uzunluğundaki dikevreli ve eşvreli işaretler demodülatör bloğunun giriş verisidir. Şekil 4.11'de gösterilen birim gecikme ve matematiksel fonksiyon blokları yardımı ile S_{sin} ve S_{cos} işaretleri elde edilir. FM işaretinin faz farkı, S_{sin} ve S_{cos} işaretlerinin açısını oluşturur. 16 bit kelime uzunluğundaki bu işaretler, CORDIC bloğunun girişine gelir. Bölme ve ters tanjant trigonometrik fonksiyonunun gerçekleştirilmesi CORDIC algoritmasıyla yapılmıştır.



Şekil 6.8 : Demodülör yapısının RTL şeması.

6.2.1 CORDIC tasarımı

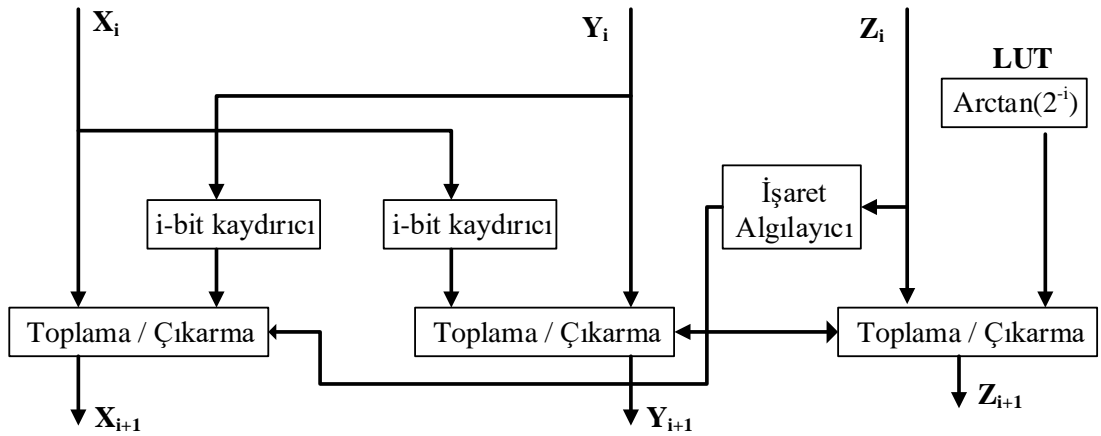
CORDIC trigonometrik, ters trigonometrik ve hiperbolik fonksiyonların gerçek zamanlı yüksek prezisyonlu aritmetik hesaplamalar için gerçekleştirilen etkin bir algoritmadır [25]. CORDIC algoritması ilk olarak Jack Volder tarafından ortaya atılmış, John Walther tarafından geliştirilerek karekök hesaplama, hiperbolik ve üstel fonksiyon gibi aritmetik işlemleri de yapabilecek duruma getirilmiştir [26]. Bu algoritma iterasyon, toplama ve öteleme işlemleri ile söz konusu fonksiyonları hesaplayabilmektedir. Verilen bir θ açısı ($-\pi/2 \leq \theta \leq \pi/2$) için genelleştirilmiş CORDIC denklemleri (6.4), (6.5) ve (6.6)'de verilmiştir [27].

$$X_{i+1} = X_i - m \cdot Y_i \cdot d_i \cdot 2^{-i} \quad (6.4)$$

$$Y_{i+1} = Y_i + X_i \cdot d_i \cdot 2^{-i} \quad (6.5)$$

$$Z_{i+1} = Z_i - d_i \cdot \alpha_i \quad (6.6)$$

Verilen denklemlerdeki d_i katsayısının değeri $Z_i < 0$ için $d_i = -1$, diğer durumda $d_i = 1$ değerini alır. (6.6) denklemindeki α değeri $\alpha = \tan^{-1}(2^{-i})$ eşittir. (6.4) denklemindeki m değeri farklı CORDIC hesaplamalarını belirleyen bir sabittir. Bu sabit dairesel açı değişimleri için 1, doğrusal açı değişimleri için 0 ve hiperbolik açı değişimleri içinse -1 değerini alır. CORDIC ifadelerinden görüleceği gibi X_{i+1} ve Y_{i+1} hesaplamaları i bit öteleme, toplama/çıkarma işlemleri ve ters tanjant fonksiyonunun değerlerini tutan LUT bloğundan oluşur. Şekil 6.9'da temel bir CORDIC yapısı verilmiştir [28].



Şekil 6.9 : Temel CORDIC yapısı.

CORDIC algoritması dnel ve vektrel olmak zere iki modda alıřır. Denklem (6.7), (6.8), (6.9) ve (6.10)'da dnel CORDIC iterasyon sonucu elde edilen denklemler verilmiřtir.

$$x_n = A_n [x_0 \cos z_0 - y_0 \sin z_0] \quad (6.7)$$

$$y_n = A_n [y_0 \cos z_0 + x_0 \sin z_0] \quad (6.8)$$

$$z_n = 0 \quad (6.9)$$

$$A_n = \prod_n \sqrt{1 + 2^{-2i}} \quad (6.10)$$

Vektrel mod CORDIC iterasyon sonularını karakterize eden denklemler ařaėıda verilmiřtir.

$$x_n = A_n \sqrt{x_0^2 + y_0^2} \quad (6.11)$$

$$y_n = 0 \quad (6.12)$$

$$z_n = z_0 + \tan^{-1} \left(\frac{y_0}{x_0} \right) \quad (6.13)$$

$$A_n = \prod_n \sqrt{1 + 2^{-2i}} \quad (6.14)$$

CORDIC dnel ve vektrel algoritmalarında dndrme aısı $-\pi/2$ ile $\pi/2$ arasındadır. Bu durum ilk iterasyonda tanjant fonksiyonunun deėerinin 2^0 seilmesinden kaynaklanır [26].

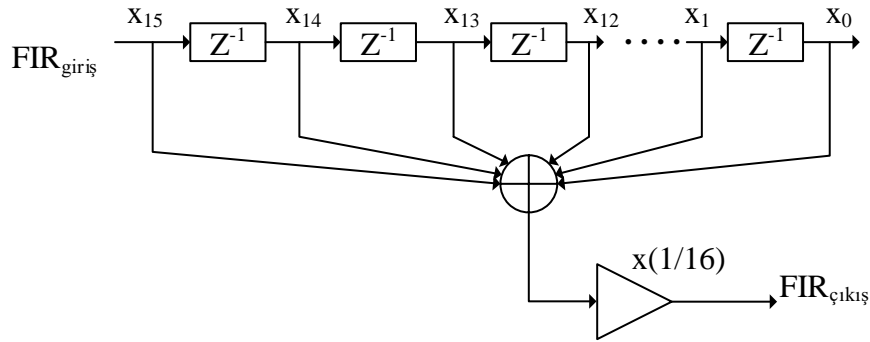
Ters tanjant fonksiyonu, $\theta = \text{Atan}(y/x)$, vektrel mod CORDIC algoritması ile hesaplanır [26]. İterasyon bařlangı deėeri $x_0=1$, $z_0=0$ seilirse $z_n = \tan^{-1}(y/x)$ deėerine yakınsar.

řekil 6.9'da verilen yapıdan yararlanarak giriř verilerinin kelime uzunluėu 16 bit, ıkıř verisinin kelime uzunluėu 12 bit olan bir CORDIC algoritması tasarlanmıřtır. Tasarımda kullanılan LUT yapısı, 8 adet ters trigonometrik fonksiyonunun deėerini tutmaktadır. CORDIC algoritmasında iterasyon iřlemi yapıldıėı iin, ters tanjant

fonksiyonun değerinin hesaplanması 10 saat darbesinde gerçekleşir. Veri kaybını önlemek için CORDIC bloğunun saat darbesi, diğer blokların saat darbesinin 10 katı seçilmiştir. CORDIC tasarımının saat darbesi 160MHz frekansına sahiptir ve bu değer DE0 Nano geliştirme kartında bulunan PLL devresi ile elde edilmiştir.

6.3 FIR Süzgeç Tasarımı

Demodülatör devresinin son katında, işaret biçimlendirme işlemini gerçekleştiren alçak geçiren FIR süzgeç kullanılmıştır. Şekil 6.10'da tasarlanan FIR süzgeç yapısı verilmiştir.



Şekil 6.10 : Kullanılan FIR süzgeç yapısı.

Verilen FIR süzgeç yapısı ortalama alan bir süzgeçtir [9]. Bu süzgeç yapısında 16 örneğin ortalaması alınarak çıkış verisi elde edilir. Süzgeçte kullanılan katsayılar sabittir ve değeri 1/16'dır. Bu sistemde çarpıcı bloğu kullanılmamıştır, çünkü 1/16 işlemi 4 bit sağa kaydırma işlemi ile gerçekleştirilebilir.

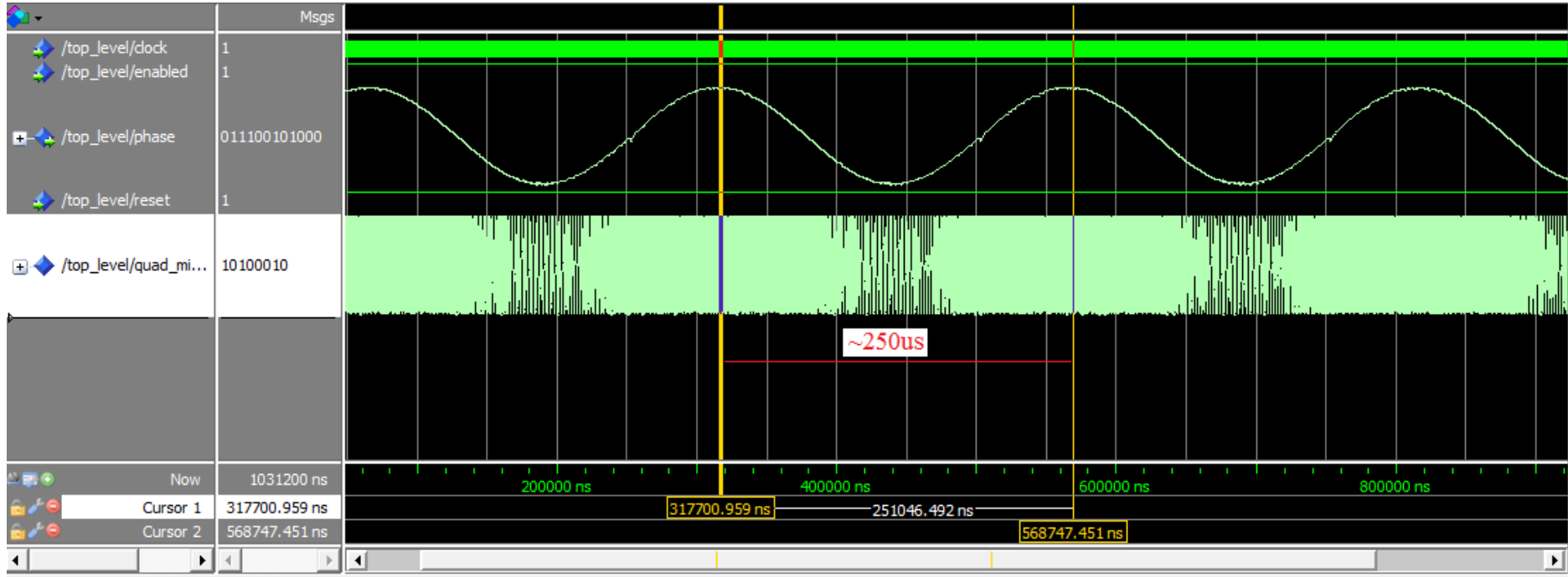
6.4 Karma Demodülatör Tasarımının Benzetim ve Ölçüm Sonuçları

Karma FM demodülatörünü sayısal olarak gerçeklemek için gerekli olan modüllerin tasarımı Quartus II derleyicisinde VHDL kullanarak tasarlandıktan sonra Altera firmasının bir ürünü olan Modelsim benzetim programı yardımıyla tasarımın benzetimi yapılmıştır. Matlab programı yardımı ile 1 MHz taşıyıcı frekansına sahip FM işareti oluşturulmuştur. Modüle edilen mesaj işareti frekansı 4 kHz olan bir sinüs işaretidir. Matlab yardımı ile elde edilen sayısal FM işareti, tasarlanan karma demodülatör sisteminin giriş verisini oluşturur. Modelsim benzetimi sonucu elde edilen karma demodülatör sisteminin çıkış ve giriş işaretleri Şekil 6.11'de verilmiştir. Sistemin çıkışında frekansı yaklaşık $1/250\mu s = 4$ kHz olan bir sinüs işareti elde

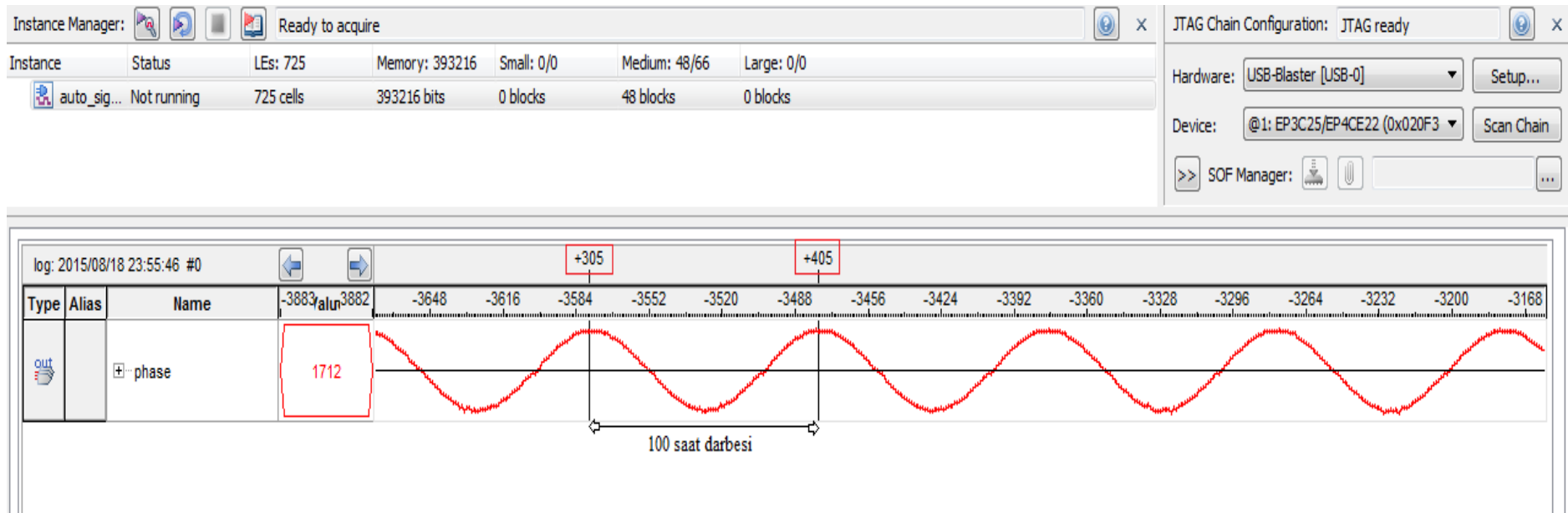
edilmiştir. Benzetim sonuçlarına göre karma demodülatör devresinin başarılı bir şekilde FM işaretini çözebildiğini görmekteyiz.

Modelsim benzetimlerinin başarılı bir sonuç verdiğini gördükten sonra tasarlanan sistem Altera DE0 Nano geliştirme kartında test edilmiştir. Matlab yardımı ile oluşturulan sayısal FM verisi, FPGA'nın ROM belleğine yüklenerek Signal Tap hata ayıklama aracı yardımı ile çıkış işareti gözlemlenmiştir. Signal Tap hata ayıklama aracının sistem saati 400 kHz olarak seçilmiştir. Şekil 6.12'de Signal Tap hata ayıklama aracı yardımı ile elde edilen çıkış işareti gösterilmiştir. Çıkışta elde edilen sinüs işaretinin periyodunun 100 saat darbesi olduğunu görmekteyiz. Saat darbesinin frekansı 400 kHz'e eşit olduğu için (6.4)'ten işaretin frekansının 4 kHz olduğunu görürüz. Tasarlanan sistem geliştirme kartı üzerinde de başarılı bir şekilde çalışmıştır.

$$f_{S(D)} = \frac{1}{T_{S(D)}} = \frac{1}{100 * \frac{1}{400kHz}} = 4000 Hz \quad (6.15)$$

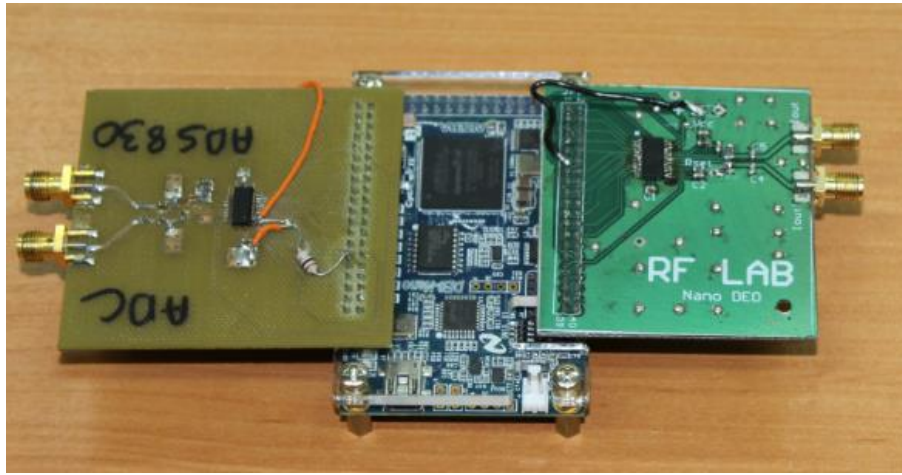


Şekil 6.11 : Karma demodülör mimarisinin Modelsim benzetim sonucu.

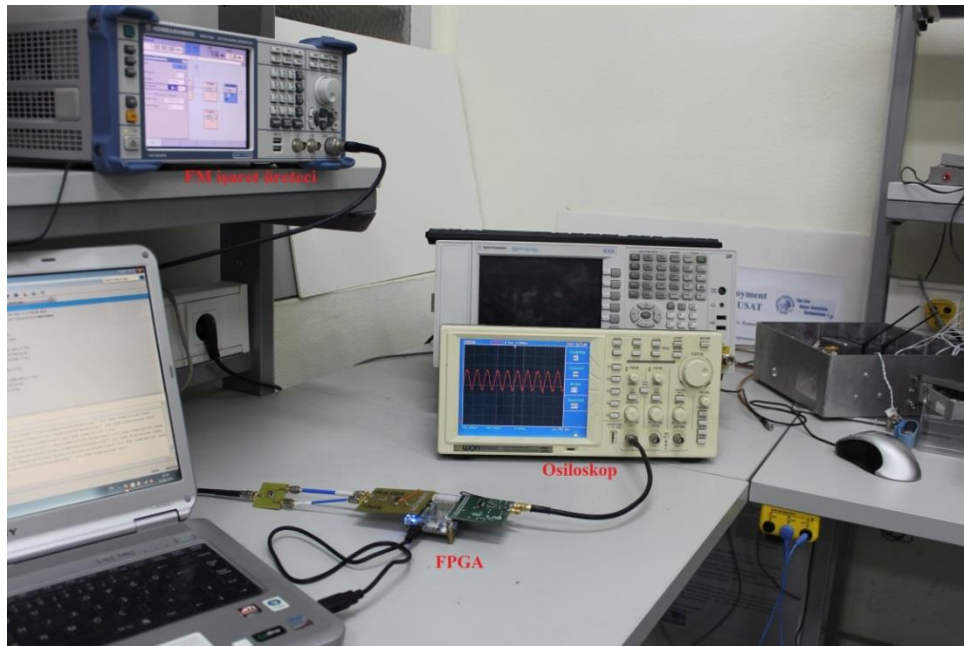


Şekil 6.12 : Signal Tap hata ayıklama aracı ile analiz sonucu.

Tasarlanan sistemin Modelsim benzetim programı ve SignalTap hata ayıklama aracı yardımı ile doğrulanmasının ardından, doğrulanmış tasarım test cihazları yardımıyla incelenmiştir. Rohde & Schwarz vektör işaret üretici ile FM işareti oluşturulmuş, analog sayısal dönüştürücü yardımıyla sayısal veriye dönüştürülen FM işareti DE0 Nano geliştirme kartının girişine verilmiştir. Karma demodülatör devresinin çıkışı sayısal analog dönüştürücü ile analog işarete çevrilerek Pico Technology firmasına ait olan PicoScope 4227 model osiloskop ile çıkış işareti zaman ve frekans domeninde gözlemlenmiştir. Şekil 6.13'te Altera DE0 Nano geliştirme kartı, Texas Instruments firmasına ait ADS830 ADC kartı ve DAC902E DAC kartı verilmiştir. Şekil 6.13'te kurulan ölçüm düzeneği gösterilmiştir.



Şekil 6.13 : DE0 Nano geliştirme kartı, ADC ve DAC devresi.



Şekil 6.14 : Kurulan ölçüm düzeneği.

Rohde & Schwarz vektör işaret üretici yardımı ile 1MHz taşıyıcı işarete sahip FM işareti üretilmiş ve farklı frekans sapma değerleri ile tasarım test edilmiştir. Üretilen FM işaretlerinin frekans sapması, bilgi işaretinin frekansı ve türü Çizelge 6.1’de verilmiştir.

Çizelge 6.1 : Test edilen FM işaretleri.

Frekans Sapması (kHz)	Bilgi İşareti (kHz)	İşaretin Türü
25	3	Sinüs
75	3	Sinüs
25	5	Sinüs
75	5	Sinüs
25	10	Sinüs
75	10	Sinüs
160	5	Sinüs
175	10	Sinüs
75	5	Kare
75	10	Kare

Verilen değerler ile karma demodülatör algoritması test edilmiş ve elde edilen bilgi işareti zaman ve frekans domeninde gözlemlenmiştir. Elde edilen ölçüm sonuçları EK A’da verilmiştir.

Yapılan testlerde, farklı frekans sapması ve farklı frekanstaki bilgi işareti değerlerinde, tasarlanan sistemin FM işaretini başarılı bir şekilde demodüle edebildiği görülmüştür.

Bölüm 5’te, MATLAB benzetimlerinde yüksek k_{FM} değerlerinin çıkış işaretinde örtüşmeye neden olduğu ve harmonik bozulma değerini arttırdığı gösterilmiştir. Yapılan testlerde beklenildiği gibi yüksek k_{FM} değerlerinde çıkış işaretinde örtüşme gözlemlenmiş, elde edilen işaretler Şekil A.9 ve Şekil A.10’da verilmiştir.

Düşük frekans sapması değerlerinde elde edilen işaretin genliğinin çok düşük ve gürültülü olduğu görülmüştür. Bu durumun kullanılan ADC’nin çözünürlüğünden kaynaklanmaktadır. Kullanılan ADS830 tümdevresi 8 bit çözünürlüğe sahiptir. Modelsim benzetim programı ile 12 bit kelime uzunluklu giriş işareti ile yapılan benzetimlerde, 8 bit kelime uzunluklu giriş işaretine göre daha iyi bir sonuç verdiği gözlemlenmiştir.

Çizelge 6.2’de bilgi işaretinin, ikinci ve üçüncü harmoniklerinin şiddetleri verilmiştir. Sonuçlar incelendiğinde, elde edilen işaretin ikinci ve üçüncü harmoniklerini bastırma oranlarının yeterli olduğu görülmektedir.

Çizelge 6.2 : Bilgi işaretinin harmoniklerini bastırma oranı.

Frekans Sapması (kHz)	Bilgi İşareti (kHz)	Birinci Harmonik (dBu)	İkinci Harmonik (dBu)	Üçüncü Harmonik (dBu)
25	3	-25,76	-58,7	-58,14
75	3	-15,14	-58,62	-70,22
25	5	-26,13	-59,61	-58,09
75	5	-15,43	-58,33	-57,46
25	10	-25,22	-60,22	-57,48
75	10	-18,33	-57,75	-60,94

Tasarımın akış özeti Şekil 6.15’te verilmiştir. Tasarlanan sistem Altera DE0 Nano (EP4CE22F17C6) FPGA’da %8 kadar yer kaplamaktadır. Şekil 6.16’da, tasarımın güç analiz özetinde toplam güç tüketiminin 113.56 mW olduğu görülmektedir. Sistemin gecikme süresi Quartus zaman analizörü ile 5.84 ns olarak ölçülmüştür.

Flow Summary	
Flow Status	Successful - Thu Aug 20 15:11:51 2015
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Web Edition
Revision Name	top_level
Top-level Entity Name	top_level
Family	Cyclone IV E
Device	EP4CE22F17C6
Timing Models	Final
Total logic elements	1,893 / 22,320 (8 %)
Total combinational functions	1,471 / 22,320 (7 %)
Dedicated logic registers	1,148 / 22,320 (5 %)
Total registers	1148
Total pins	26 / 154 (17 %)
Total virtual pins	0
Total memory bits	1,536 / 608,256 (< 1 %)
Embedded Multiplier 9-bit elements	10 / 132 (8 %)
Total PLLs	1 / 4 (25 %)

Şekil 6.15 : Tasarımın akış özeti

PowerPlay Power Analyzer Summary	
PowerPlay Power Analyzer Status	Successful - Sat Oct 03 19:33:03 2015
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Web Edition
Revision Name	top_level
Top-level Entity Name	top_level
Family	Cyclone IV E
Device	EP4CE22F17C6
Power Models	Final
Total Thermal Power Dissipation	113.56 mW
Core Dynamic Thermal Power Dissipation	0.71 mW
Core Static Thermal Power Dissipation	82.60 mW
I/O Thermal Power Dissipation	30.25 mW
Power Estimation Confidence	Low: user provided insufficient toggle rate data

Şekil 6.16 : Tasarımın güç analiz özeti

7. SONUÇ VE ÖNERİLER

Bu çalışmada, yazılım tanımlı radyo tabanlı FM demodülatör tasarımı FPGA üzerinde gerçekleştirilmiş ve test edilmiştir. Tasarımda hedeflenen esnek, minimum kaynak kullanımlı, düşük güç harcayan, güncellenebilir bir haberleşme sistemi tasarlanmıştır.

Literatürde geçen sayısal FM demodülatör mimarileri incelenmiş ve MATLAB Simulink yardımıyla benzetimleri yapılmıştır. Tabanbant gecikme, faz uyarlayıcı, faz kilitlemeli çevrim ve karma demodülatör mimarileri işaret kalitesi, işlem gücü ve tasarımda kapladığı alan parametreleri dikkate alınarak karşılaştırılmış ve karma demodülatör algoritmasının tasarlanmasına karar verilmiştir. Düşük güç tüketimi, esneklik ve paralel işlem yeteneğine sahip olmasından dolayı tasarımda FPGA kullanılmıştır.

Tasarımda kullanılan tüm modüller donanım tanımlama dili olan VHDL ile tasarlanmıştır. Tasarım ortamı olarak Altera firmasına ait olan Quartus II derleyicisi kullanılmıştır. Tasarım dördün karıştırıcı, demodülatör ve FIR süzgeç olmak üzere üç ana bloktan oluşmaktadır. Dördün karıştırıcı bloğunda ADC tarafından örneklenen FM işareti, aynı frekanstaki sinüs ve kosinüs işaretleri ile çarpılır. Elde edilen işaretin yüksek frekans bileşeni alçak geçiren süzgeç yardımıyla süzülerek dikevreli ve eşvreleri işaretler elde edilir. Demodülatör bloğu birim gecikme, çarpma, toplama ve CORDIC bloklarından oluşur. Demodülatör bloğunun girişine gelen dikevreli ve eşvreli işaretlerin ilgili matematiksel işlemleri sonucu fazı elde edilir. FIR süzgeç yardımıyla işaret biçimlendirilerek bilgi işareti elde edilir.

Altera firmasının Modelsim programı ile benzetimi yapılan tasarım DE0 Nano geliştirme kartı üzerinde gerçekleştirilmiştir. Gerçeklenen karma demodülatör algoritmasının, Rohde & Schwarz vektör işaret üretici ile üretilen 1MHz frekansında taşıyıcı işarete sahip FM işaretini demodüle ederek bilgi işareti elde edilmiştir. Çıkış işareti Pico Technology firmasına ait olan PicoScope 4227 model osiloskop ile zaman ve frekans domeninde incelenmiştir. Tasarım farklı frekans sapma değerleri

ve bilgi işareti frekanslarıyla test edilmiş, frekans sapma değerleri belirlenirken FM yayın standardında kullanılan değerler dikkate alınmıştır. Çıkış işaretinin frekansı, modüle edilen bilgi işaretinin frekansı ile aynı olduğu görülmüştür. İşaretin frekans domeninde ikinci ve üçüncü harmoniklerinin bastırma oranının yeterli olduğu gözlemlenmiştir.

Tasarlanan sistem Altera DE0 Nano geliştirme kartında bulunan EP4CE22F17C6 model FPGA’da bulunan 22320 adet LE’nin 1893 tanesini kullanmıştır. Kullanılan alan FPGA’nın toplam alanının %8’lik kısmına karşılık gelmektedir. Sistemin toplam güç tüketimi 113.56 mW, gecikme süresi ise 5.84 ns’dir. Çizelge 7.1’de literatürde yapılan çalışmalarda, tasarlanan FM demodülatör mimarilerinin FPGA üzerindeki alan kullanımları, güç tüketimleri ve gecikme süreleri verilmiştir.

Çizelge 7.1 : Literatürde yapılan çalışmalarda elde edilen sonuçlar.

Demodülatör Algoritması	Alan Kullanımı	Gecikme Süresi	Güç Tüketimi
PLL [6]	349 dilim	12.453 ns	129.27 mW
PLL [9]	491 dilim	9.725 ns	-
Karma [8]	2427 dilim	-	-
Tasarlanan Sistem	1893 dilim	5.84 ns	113.56 mW

Literatürde yapılan çalışmalar incelendiğinde ağırlıklı olarak faz kilitlemeli çevrim algoritmasının tercih edildiği görülmektedir. Bu çalışmalarda temel hedef minimum kaynak kullanımı ve güç tüketimidir. Yapılan çalışmalarda faz kilitlemeli çevrim algoritmasının diğer demodülatör algoritmalarına göre daha az alana ihtiyaç duyduğu belirtilmiştir. Çizelge 7.1’de görüldüğü üzere tasarlanan sistem ile alan kullanımı bakımından Fubing Yu’nun [8]’deki çalışmasında gerçekleştirilen karma demodülatör tasarımına göre daha iyi bir sonuç elde edildiği görülsede, [9] ve [10]’daki çalışmalarda gerçekleştirilen PLL algoritmasına göre alan kullanımı bakımından dezavantaj sağlamaktadır.

PLL mimarisinin daha az alana ihtiyaç duymasına karşın düşük frekans ve k_{FM} değerlerinde harmonik bozulma değerinin karma mimarisine göre fazla olduğu Bölüm 5’deki Matlab Simulink benzetimlerinde gösterilmiştir. Ayrıca Schnyder ve Haller 2002 yılında yaptıkları çalışmada PLL ve karma demodülatör mimarilerini DSP üzerinde gerçekleştirmiş, yaptıkları analiz ve ölçümlerde karma demodülör mimarisinin işaret kalitesi bakımından daha iyi bir sonuç verdiğini gözlemlemiştir [7].

Tasarlanan sistemin gecikme süresi Quartus zaman analizörü ile 5.84 ns ölçülmüştür. Literatürde yapılan çalışmalarda ölçülen gecikme süreleri Çizelge 7.1’de verilmiştir. Tasarlanan sistemin gecikme süresinin, literatürde yapılan çalışmalara göre daha düşük olduğu görülmektedir. Toplam güç tüketimi bakımından karşılaştırıldığında tasarlanan sistemin, [6]’da yapılan çalışmaya göre daha düşük güç tüketimine sahip olduğu görülmektedir.

Yapılan ölçümlerde düşük frekans sapması değerlerinde işaretin genliğinin çok düşük olduğu görülmüştür. Bu durum kullanılan ADC’nin çözünürlüğünün az olmasından kaynaklanmaktadır. Kullanılan ADS830 tümdevresi 8 bit çözünürlüğe sahiptir. Modelsim benzetim programı ile 12 bit kelime uzunluklu giriş işareti ile yapılan benzetimlerde, 8 bit kelime uzunluklu giriş işaretine göre daha iyi bir sonuç verdiği gözlemlenmiştir.

Gelecek çalışmalarda daha iyi bir çözünürlüğe sahip ADC kullanılarak, sistemin giriş kelime uzunluğu artırılabilir. Böylece gerçekleştirilecek olan FM demodülatör algoritması, daha düşük frekans sapması değerlerinde daha iyi bir sonuç verecektir. Ayrıca yüksek örnekleme değerine sahip bir ADC kullanılması da sistemin performansını arttıracaktır.

KAYNAKLAR

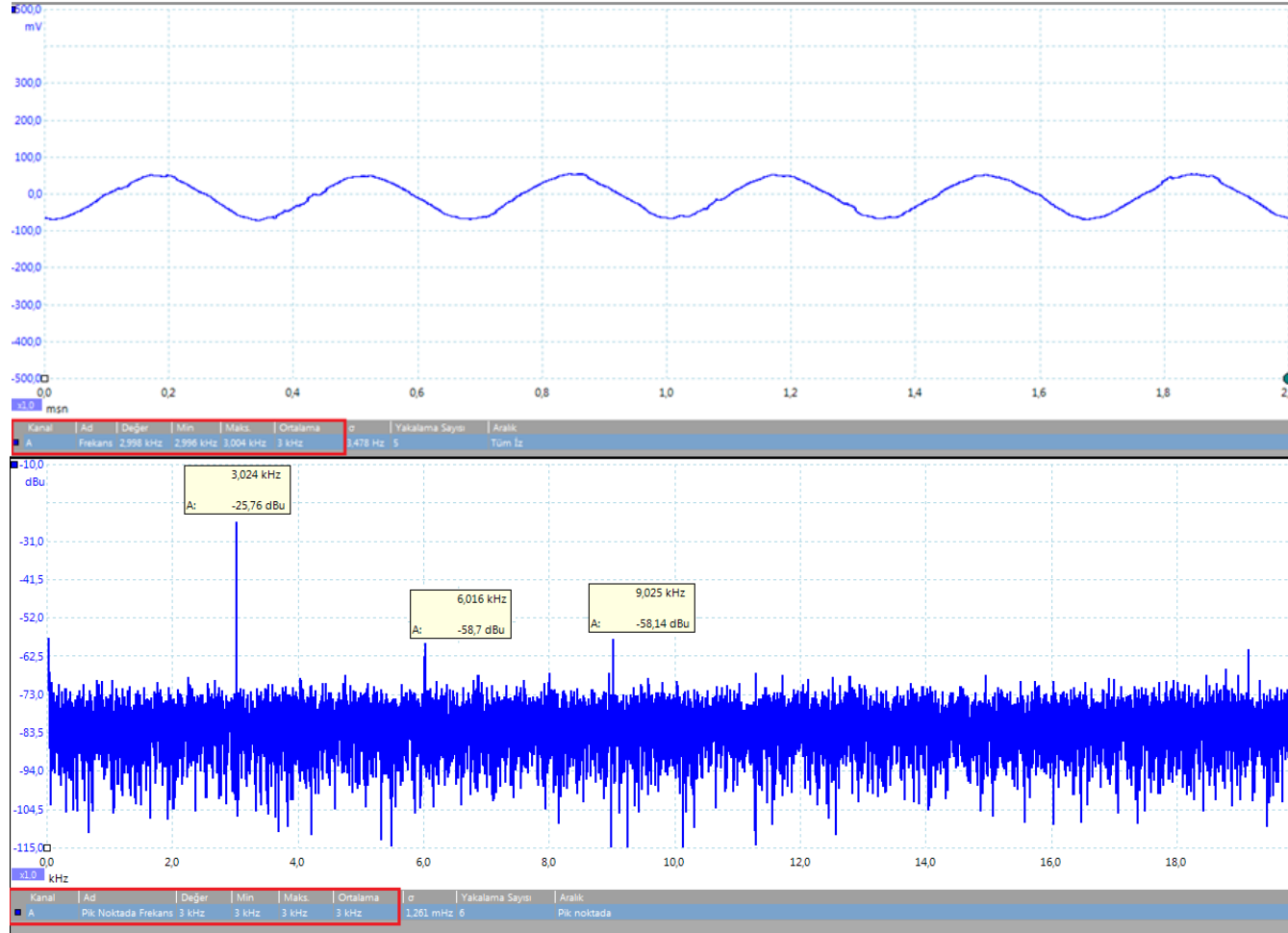
- [1] **Brannon, B.** (2003). Software Defined Radio, *Analog Devices*.
- [2] **Park, J., Joe, E. ve Choe, M.** (1999). A 5 MHz IF Digital FM Demodulator, *IEEE Journal of Solid-State Circuits*, **44(6)**, 3-11.
- [3] **Temes, G. C., Candy, J. C.** (1990). A Tutorial Discussion of the Oversampling Method for A/D and D/A Conversion, *IEEE International Symposium on*, **2**, 910-913.
- [4] **Alçın, Ö. F.** (1998). Alan Programlanabilir Kapı Dizisi ile Sigma-Delta Modülatörlerin Gerçeklenmesi, *Yüksek Lisans Tezi*, Fırat Üniversitesi, Türkiye.
- [5] **Martos, I. M. ve Bonadero, J. L.** (2007). FPGA-Based Digital Demodulation, *XII Reunion de Trabajo en Procesamiento de la Informacion y Control*.
- [6] **Hatai, I. ve Chakrabarti, I.** (2009). FPGA Implementation of a Digital FM Modem, *International Conference on Information and Multimedia Technology*, 1-4.
- [7] **Schnyder, F. ve Haller, C.** (2002). Implementation of FM Demodulator Algorithms on a High Performance Digital Signal Processor, *Diploma Thesis*, Nanyang Technological University.
- [8] **Yu, F.** (2004). FPGA Implementation of A Fully Digital FM Demodulator, *IEEE Communication Systems The Ninth International Conference on*, 446-450.
- [9] **Url-1** < http://opencores.org/project,all_digital_fm_receiver >, alındığı tarih: 15.04.2015.
- [10] **Bryson, B.,** (2003). A Short History of Radio with an Inside Focus on Mobile Radio Winter, *Random House*, Toronto, Canada.
- [11] **Brito, J. P. ve Bampi, S.** (2007). Design of a Digital FM Demodulator based on a 2nd Order All-Digital Phase-Locked Loop, *SBCCI'07*, Rio de Janeiro, Brazil.
- [12] **Gelsinger, P.** (2001). Microprocessors for the New Millennium: Challenges, Opportunities and New Frontiers, *IEEE Solid-State Circuits Conference*, 22-25.
- [13] **Eyre, J. ve Bier, J.** (2000). The Evolution of DSP Processors, *IEEE Signal Processing Magazine*, **17(2)**, 43-51.
- [14] **Hatai, I. ve Chakrabarti, I.** (2011). A New High Performance Digital FM Modulator and Demodulator for Software Defined Radio and Its FPGA Implementation, *International Journal of Reconfigurable Computing*, **2011(2)**, New York, United States.

- [15] **D'Souza, M., Chan, M. ve Postula, A.** (2005). Efficient FM Demodulation by Single Tone Detection for FPGA Implementation, *8th International Symposium on DSP and Communications Systems*, **1**, 1-6.
- [16] **Şahin, P.** (2006). Yüksek Gerilim Dağıtım Merkezlerinin Kodlu RF ile Haberleştirilmesi, *Yüksek Lisans Tezi*, Selçuk Üniversitesi, Türkiye.
- [17] **Jones, S., Kovac, R. ve Groom, F. M.** (2009). Introduction to Communications Technologies, *CRC Press.*, Boca Raton.
- [18] **Shima, J. M.** (1995). FM Demodulation Using a Digital Radio and Digital Signal Processing, *Master Thesis*, University of Florida
- [19] **Url-1** <<http://www.megep.meb.gov.tr>>, alındığı tarih: 30.06.2015.
- [20] **Url-2** <https://tr.wikipedia.org/wiki/Frekans_mod%C3%BClasyonu>, alındığı tarih : 15.07.2015
- [21] **Raffaelli, F. W.** (1999). Low-Cost Direct I.F. Digital Demodulator for AM, FM and Digital Broadcasts.
- [22] **Aşkar, H.** (2013). Çift Modlu Frekans Kiplenmeli Atomik Kuvvet Mikroskobu İçin Frekans Kip Çözücü Mimarisi, *Yüksek Lisans Tezi*, Hacettepe Üniversitesi, Türkiye.
- [23] **Sundaresan, H., Kehtarnavaz, N. ve Simsek, B.** (2002). Fixed Point DSP Implementation of Demodulation/Decoding.
- [24] **Best, R. E.** (2003). Phase Locked Loops Design, Simulation and Applications, *McGraw-Hill*, 5th Edition.
- [25] **Sertbaş, A. ve Sevgen, S.** CORDIC Metodu Kullanılarak Trigonometrik Hesap Makinesi Simülasyonu.
- [26] **Andraka, R.** (1998). A survey of CORDIC Algorithms for FPGA Based Computers.
- [27] **Sharma, S., Kulkarni, S. ve Lakshminarsimahan, P.** (2009). Implementation and Application of CORDIC Algorithm in Satellite Communication, *IIT Guwahati*.
- [28] **Jain, R. K., Sharma, V. K. ve Mahapatra, K. K.** (2012). A new Approach for High Performance and Efficient Design of Cordic Processor, *IEEE 1st Int'l Conf. On Recent Advances in Information Technology*, 756-760 .

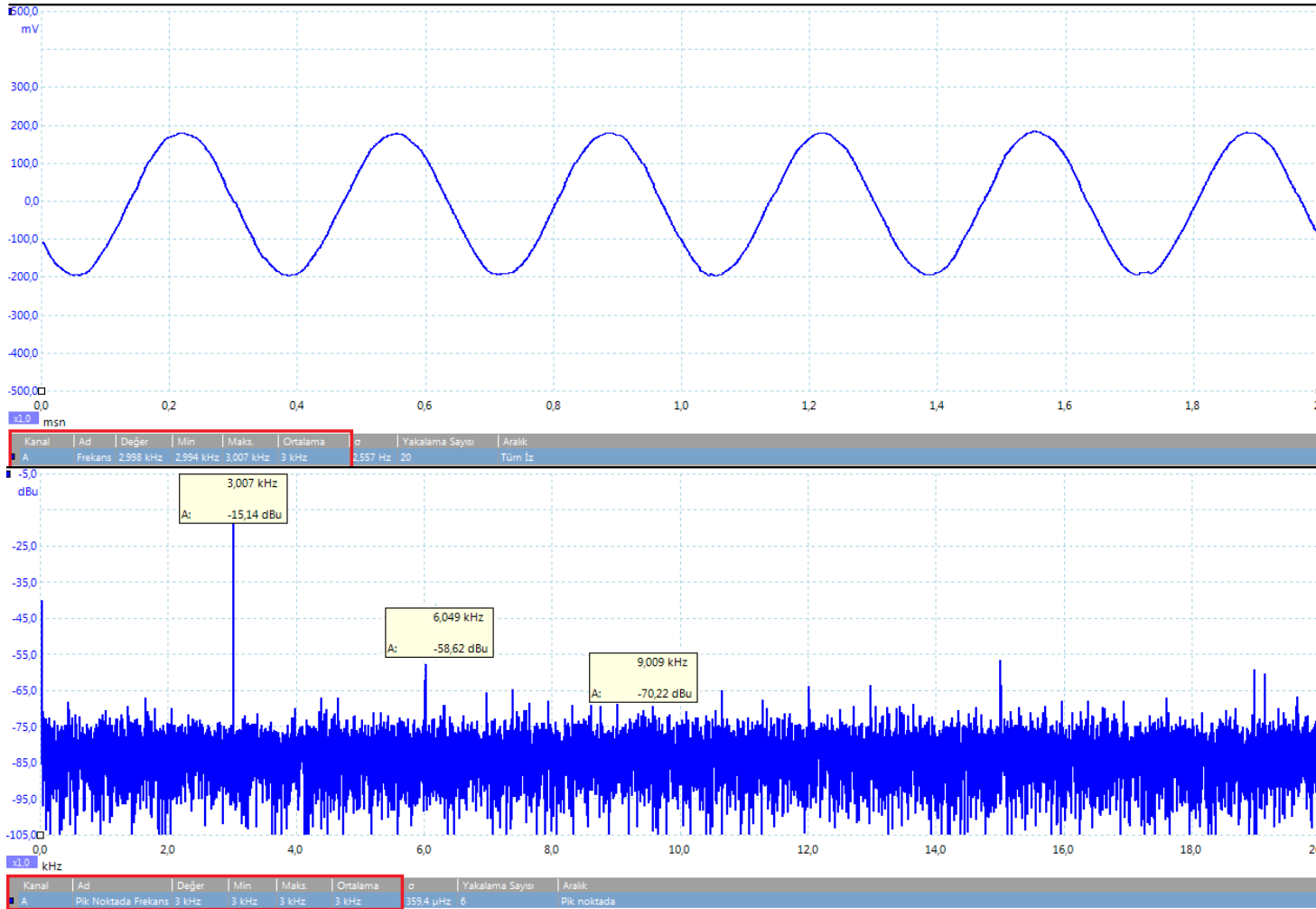
EKLER

EK A: Ölçüm Sonuçları

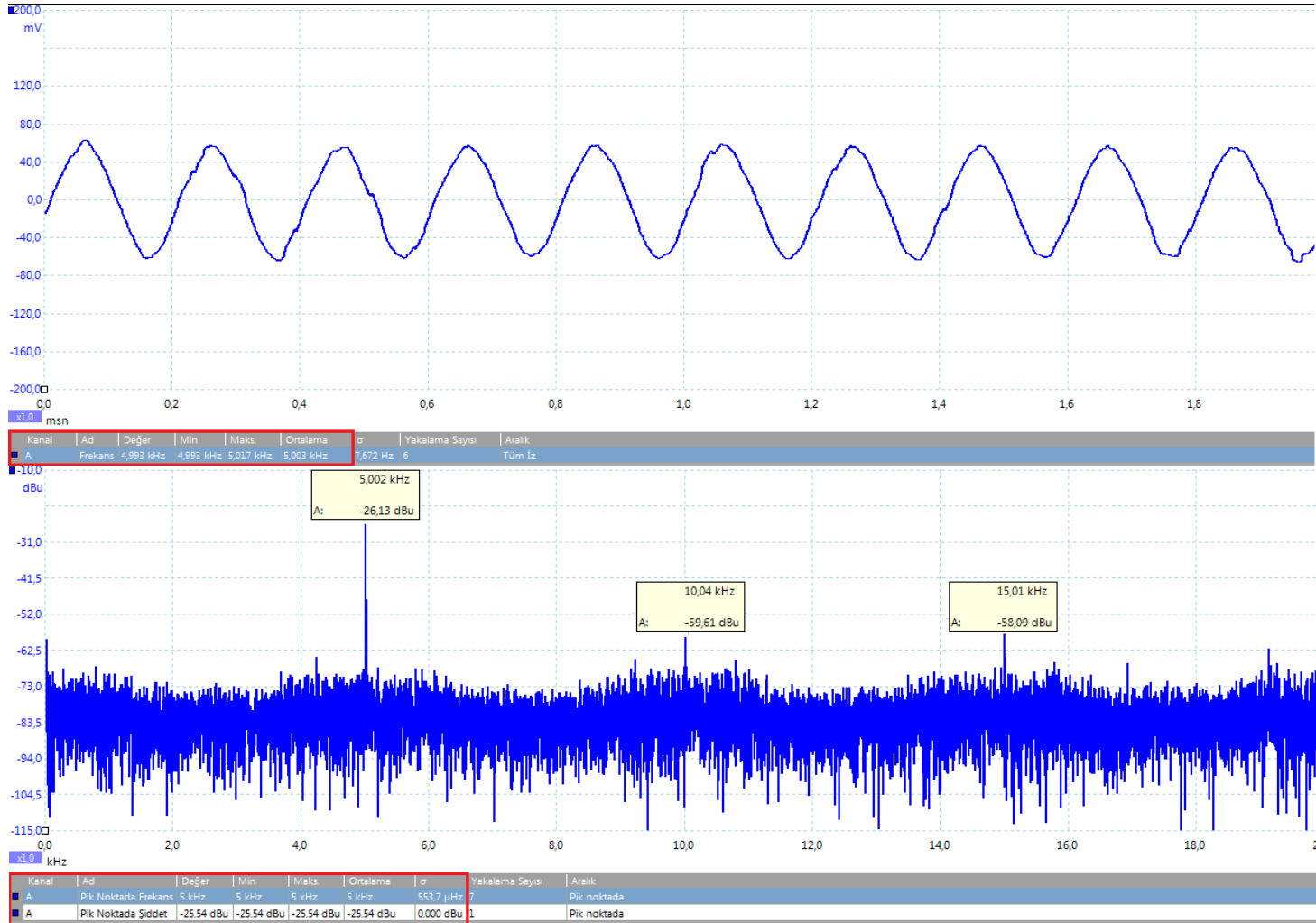
EK A



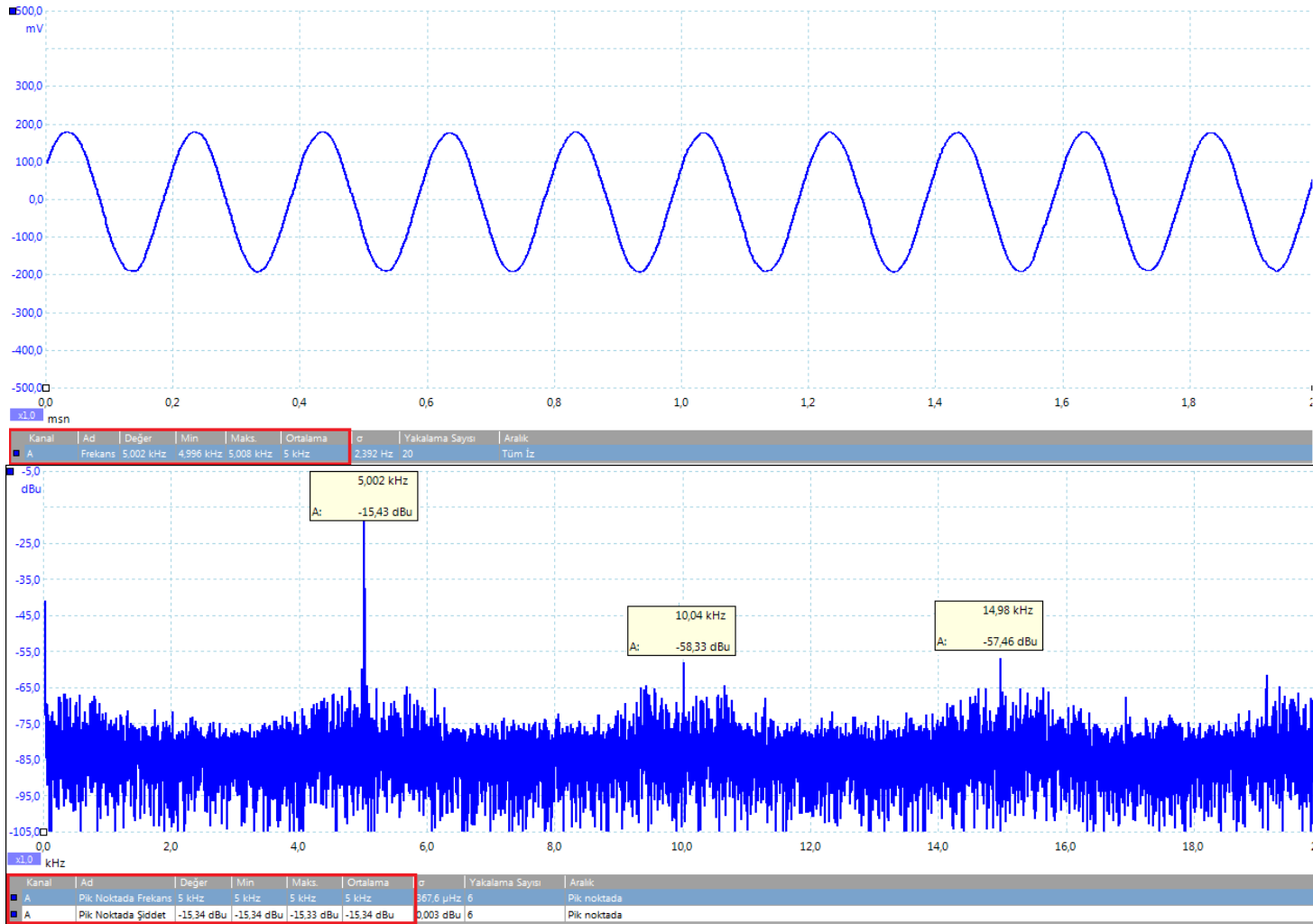
Şekil A.1 : 3kHz bilgi, 25kHz frekans sapmalı işaretin demodülasyonu



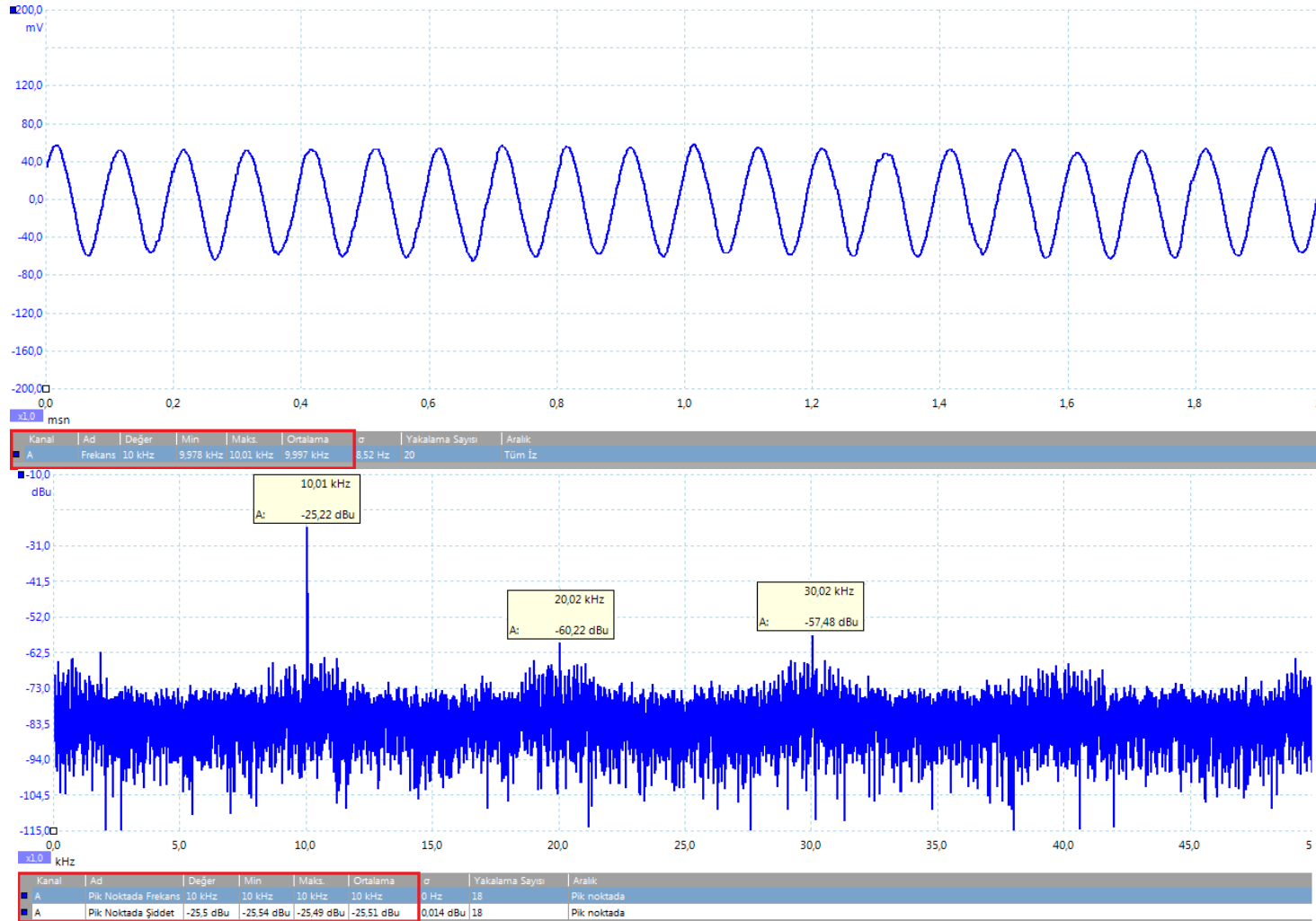
Şekil A.2 : 3kHz bilgi, 75kHz frekans sapmalı işaretin demodülasyonu.



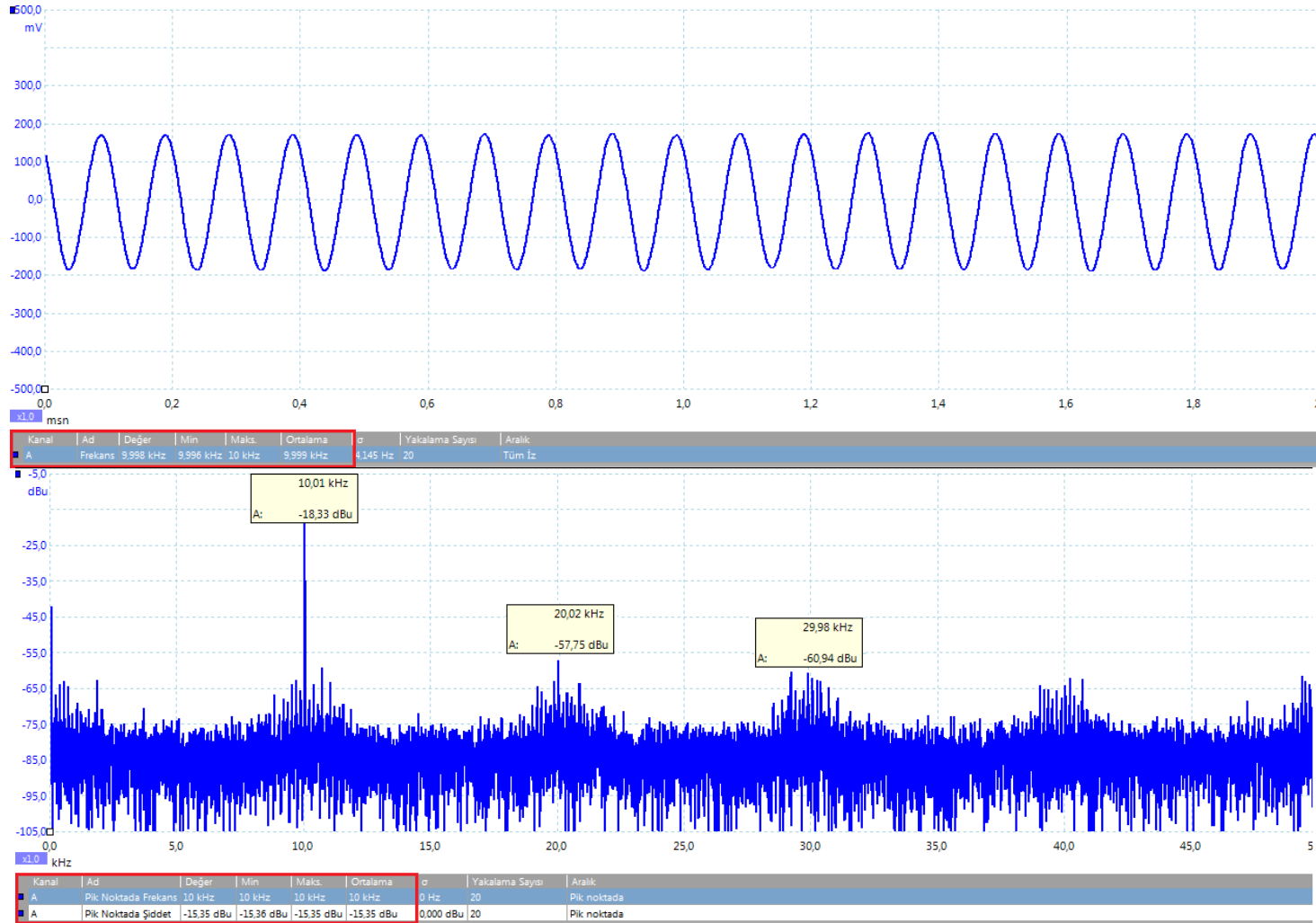
Şekil A.3 : 5kHz bilgi, 25kHz frekans sapmalı işaretin demodülasyonu.



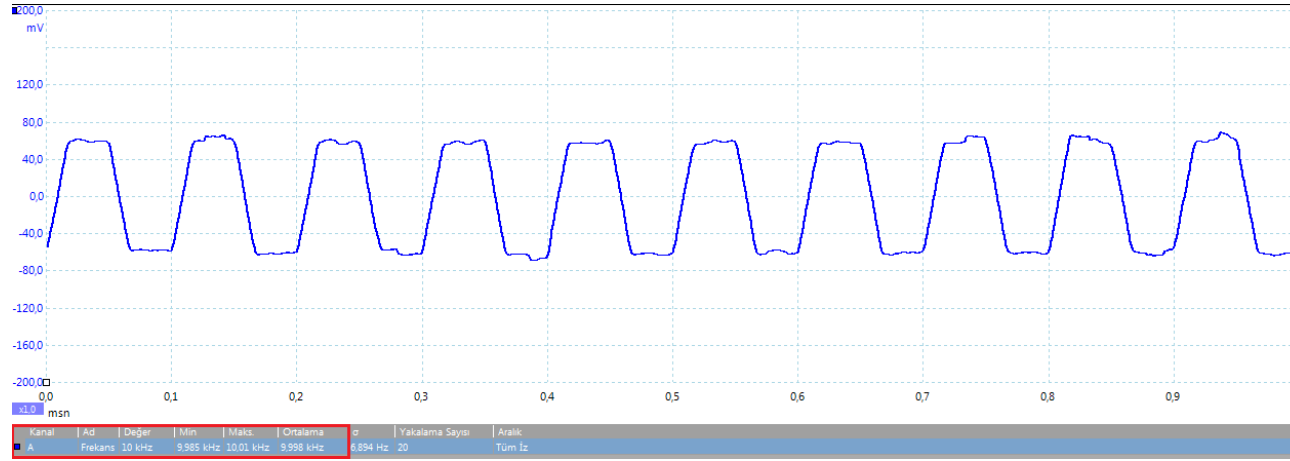
Şekil A.4 : 5kHz bilgi, 75kHz frekans sapmalı işaretin demodülasyonu.



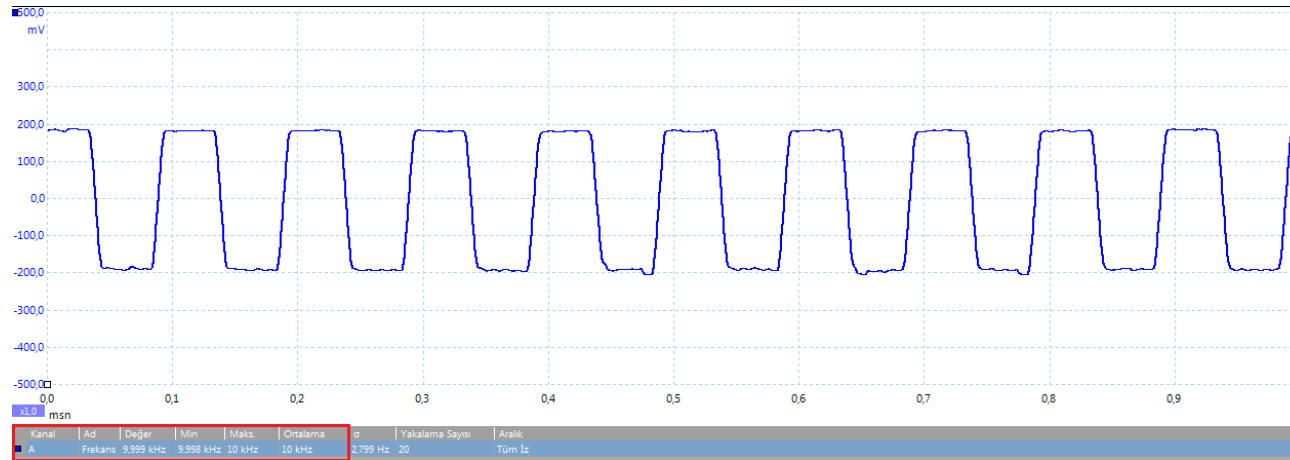
Şekil A.5 : 10kHz bilgi, 25kHz frekans sapmalı işaretin demodülasyonu.



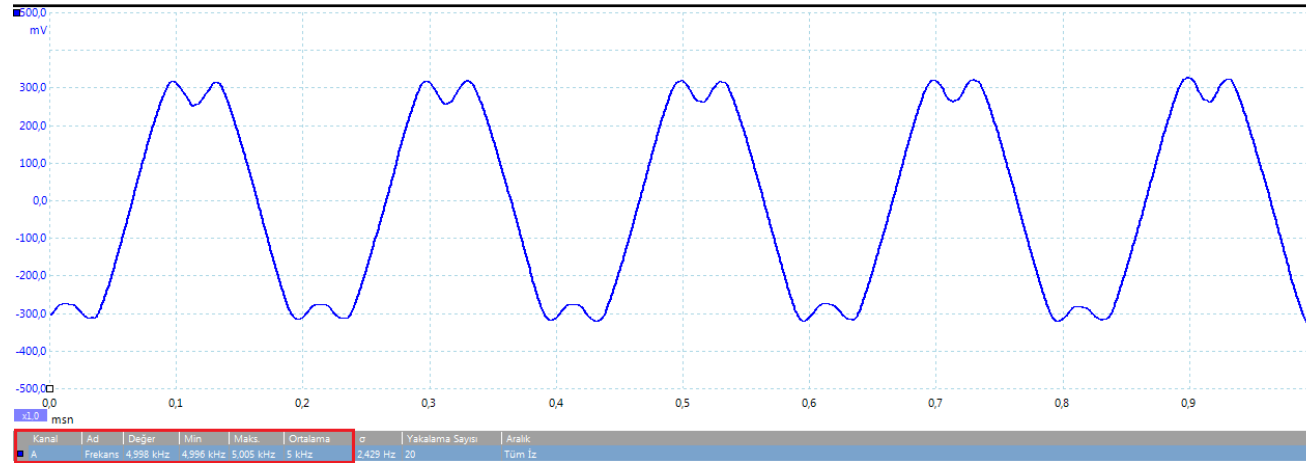
Şekil A.6 : 10kHz bilgi, 75kHz frekans sapmalı işaretin demodülasyonu.



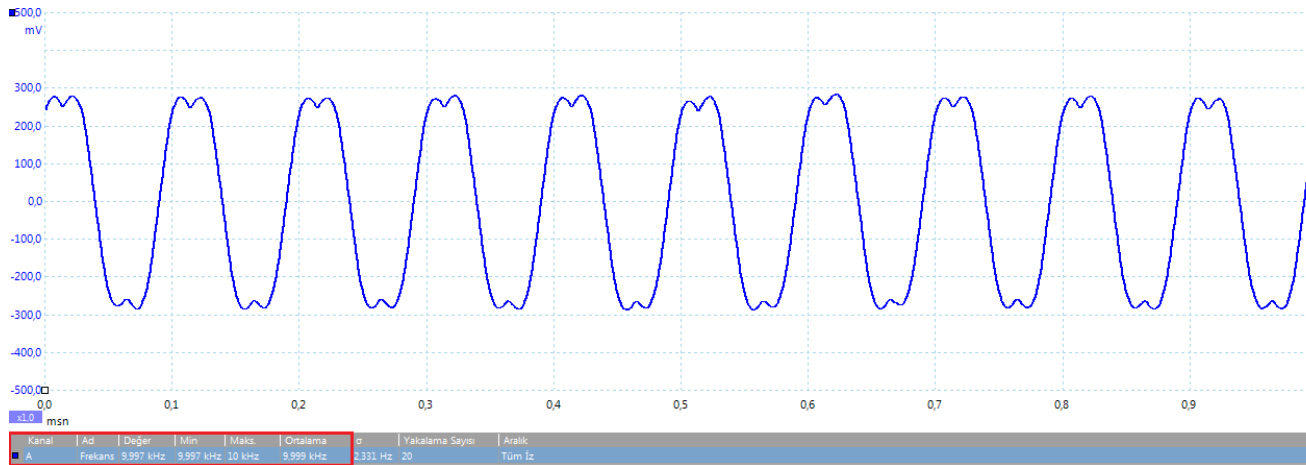
Şekil A.7 : 10kHz bilgi, 25kHz frekans sapmalı işaretin demodülasyonu.



Şekil A.8 : 10kHz bilgi, 75kHz frekans sapmalı işaretin demodülasyonu.



Şekil A.9 : 5kHz bilgi, 160kHz frekans sapmalı işaretin demodülasyonu.



Şekil A.10 : 10kHz bilgi, 175kHz frekans sapmalı işaretin demodülasyonu.

ÖZGEÇMİŞ

Ad-Soyad : Arda Demiray
Doğum Tarihi ve Yeri : 08.03.1989 / Nazilli
E-posta : demirayar@gmail.com

ÖĞRENİM DURUMU:

- **Lisans** : 2012, İstanbul Teknik Üniversitesi, Elektrik Elektronik Fakültesi, Elektronik Mühendisliği

MESLEKİ DENEYİM VE ÖDÜLLER:

- 2012 yılında Elektrik Mühendisleri Odası 8. Bitirme Projeleri Yarışması'nda Elektronik-Haberleşme-Biyomedikal kategorisinde birinci oldu.
- 2012-2013 yılları arasında Arçelik'te AR-GE Mühendisi olarak çalıştı.
- 2013 yılında NETAŞ'ta Platform Teknolojileri Mühendisi pozisyonunda çalışmaya başladı ve halen bu görevine devam etmektedir.