

**İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ**

**YAZILIM TANIMLI RADYO TABANLI DÖRDÜN GENLİK MODÜLASYONU  
TASARIMI**

**YÜKSEK LİSANS TEZİ**

**Anılcan AYRANCI**

**Elektronik ve Haberleşme Anabilim Dalı**

**Elektronik Mühendisliği Programı**

**EYLÜL 2019**



**İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ**

**YAZILIM TANIMLI RADYO TABANLI DÖRDÜN GENLİK MODÜLASYONU  
TASARIMI**

**YÜKSEK LİSANS TEZİ**

**Anılcan AYRANCI  
(504131203)**

**Elektronik ve Haberleşme Mühendisliği Anabilim Dalı**

**Elektronik Mühendisliği Programı**

**Tez Danışmanı: Dr. H. Bülent YAĞCI**

**EYLÜL 2019**



İTÜ, Fen Bilimleri Enstitüsü'nün 504131203 numaralı Yüksek Lisans Öğrencisi Anılcan AYRANCI, ilgili yönetmeliklerin belirlediği gerekli tüm şartları yerine getirdikten sonra hazırladığı “YAZILIM TANIMLI RADYO TABANLI DÖRDÜN GENLİK MODÜLASYONU TASARIMI” başlıklı tezini aşağıda imzaları olan jüri önünde başarı ile sunmuştur.

**Tez Danışmanı :** **Dr. H. Bülent YAĞCI** .....

İstanbul Teknik Üniversitesi

**Jüri Üyeleri :** **Prof. Dr. Selçuk PAKER** .....

İstanbul Teknik Üniversitesi

**Doç. Dr. Serkan TOPALOĞLU** .....

Yeditepe Üniversitesi

**Teslim Tarihi** : 20 Eylül 2019  
**Savunma Tarihi** : 21 Ekim 2019





*Aileme,*





## ÖNSÖZ

Yüksek lisans tez çalışmalarında yardımlarını hiç esirgemeyen ve değerli vakitlerini ayıran tez danışmanım Öğr. Gör. Dr. H. Bülent Yağcı başta olmak üzere süreç boyunca yanımda olan Arş. Gör. Yük. Müh. Kaan Kula ve Dr. Osman Ceylan'a saygı ve şükranlarımı sunarım. Tez aşamasındaki desteklerinden dolayı Pavo Tasarım'daki yöneticilerime ve Aviyonik grubundaki çalışma arkadaşlarıma ve özellikle Murat Çalışkan'a teşekkürü bir borç bilirim. Bu günlere gelmemde en büyük pay sahibi olan, hayatım boyunca desteğini esirgemeyen ve zor zamanlardaki en büyük dayanaklarım başta eşim Zuhale Ayrancı, annem Tülay Ayrancı ve babam Adem Fikret Ayrancı olmak üzere tüm aileme çok teşekkür ederim.

Eylül 2019

Anılcan Ayrancı  
(Elektronik Mühendisi)



## İÇİNDEKİLER

### Sayfa

ÖNSÖZ.....	vii
İÇİNDEKİLER.....	ix
KISALTMALAR.....	xi
SEMBOLLER.....	xiii
ÇİZELGE LİSTESİ .....	xv
ŞEKİL LİSTESİ .....	xvii
ÖZET.....	xix
SUMMARY.....	xxi
<b>1. GİRİŞ.....</b>	<b>1</b>
1.1 Tezin Amacı .....	2
1.2 Tezin Kapsamı.....	2
1.3 Literatür Araştırması .....	3
<b>2. YAZILIM TANIMLI RADYO .....</b>	<b>5</b>
<b>3. SAHADA PROGRAMLANABİLİR KAPI DİZİLERİ.....</b>	<b>9</b>
3.1 FPGA Bileşenleri .....	9
3.1.1 Yapılandırılabilir mantık blokları .....	10
3.1.2 Yapılandırılabilir giriş-çıkış blokları .....	11
3.1.3 Programlanabilir ara bağlantılar.....	13
3.2 FPGA Türleri.....	14
3.2.1 Statik ram bazlı FPGA .....	14
3.2.2 Anti-fuse bazlı FPGA.....	14
3.2.3 Flash bazlı FPGA .....	14
<b>4. DÖRDÜN GENLİK MODÜLASYONU .....</b>	<b>17</b>
4.1 Dördün Genlik Modülasyon Gelişimi .....	17
4.2 Dördün Genlik Modülasyon Analizi .....	21
4.2.1 Haritalama .....	22
4.2.2 Filtreleme .....	23
<b>5. CORDIC ALGORİTMASI .....</b>	<b>27</b>
<b>6. DÖRDÜN GENLİK MODÜLASYONU TASARIMI.....</b>	<b>35</b>
6.1 Haritalama .....	45
6.2 Darbe Şekillendirme.....	48
6.3 CORDIC Modülü .....	55
6.4 Dördün Genlik Modülasyonu Gerçekleme Ortamı .....	58
<b>7. SONUÇ VE ÖNERİLER .....</b>	<b>65</b>
<b>KAYNAKLAR.....</b>	<b>69</b>
<b>ÖZGEÇMİŞ.....</b>	<b>73</b>



## **KISALTMALAR**

<b>YTR</b>	: Yazılım Tanımlı Radyo
<b>FPGA</b>	: Field Programmable Gate Array
<b>DSP</b>	: Digital Signal Processor
<b>SOC</b>	: System On Chip
<b>CORDIC</b>	: Coordinate Rotation Digital Computer
<b>SRRC</b>	: Square Root Raised Cosine
<b>SDR</b>	: Software Defined Radio
<b>QAM</b>	: Quadrature Amplitude Modulation
<b>LUT</b>	: Look Up Table
<b>FF</b>	: Flip-flop
<b>ASIC</b>	: Application Specified Integrated Circuit
<b>AFRL</b>	: Air Force Rome Labs
<b>ICNIA</b>	: Integrated Communications Navigation Identification Architecture
<b>CLB</b>	: Configurable Logic Block
<b>I/O</b>	: Input/Output
<b>ALU</b>	: Arithmetic Logic Unit
<b>RAM</b>	: Read Access Memory
<b>EMI</b>	: ElectroMagnetic Interference
<b>EMC</b>	: ElectroMagnetic Compatibility
<b>PSM</b>	: Programmable Switch Matrix
<b>CMOS</b>	: Complementary Metal Oxide Semiconductor
<b>SRAM</b>	: Static Read Access Memory
<b>AM</b>	: Amplitude Modulation
<b>PM</b>	: Phase Modulation
<b>FIR</b>	: Finite Impulse Response
<b>kHz</b>	: Kilo Hertz
<b>mHz</b>	: Mega Hertz
<b>RF</b>	: Radio Frequency



## SEMBOLLER

<b>I</b>	: Faz Bileşeni
<b>Q</b>	: Kuadratur Bileşeni
<b>E°</b>	: Ortalama Enerji
<b>f<sub>n</sub></b>	: Nyquist Frekansı
<b>f<sub>s</sub></b>	: Örnekleme Frekansı







## ÇİZELGE LİSTESİ

### Sayfa

Çizelge 5.1 : Açık değerine Karşılık Gelen Değerler. ....	31
Çizelge 6.1 : I-Q değerine Karşılık Gelen Faz ve Genlik Bilgisi. ....	36
Çizelge 6.2 : I ve Q bileşenleri değerine göre genlik ataması. ....	46
Çizelge 6.3 : Haritalama Bloğu Giriş-Çıkış Açıklaması.....	47
Çizelge 6.4 : Haritalama Bloğu Giriş-Çıkış Açıklaması.....	47
Çizelge 6.5 : Kaskat Filtre Tasarım Özeti.....	54
Çizelge 6.6 : Darbe Şekillendirme Bloğu Giriş-Çıkış Açıklaması. ....	55
Çizelge 6.7 : CORDIC Bloğu Giriş-Çıkış Açıklaması. ....	57
Çizelge 6.8 : İşaret Bozulma Ölçüm Sonuçları Karşılaştırması. ....	66
Çizelge 6.9 : Basit Elemanlar ile Gerçekleştirilmiş Filtrelerin Kaynak Kullanımı. ..	67
Çizelge 6.10 : Fikri Mülkiyet Çekirdeği Filtrelerinin Kaynak Kullanımı. ....	67



## ŞEKİL LİSTESİ

### Sayfa

Şekil 2.1 : Yazılım Tanımlı Radyo Zaman Çizelgesi [5].....	6
Şekil 3.1 : FPGA Bağlantı Yapısı. ....	9
Şekil 3.2 : FPGA Mimarisi [6].....	10
Şekil 3.3 : Xilinx 7 Serisi CLB Yapısı [7]. ....	11
Şekil 3.4 : Xilinx 4000 Serisi IOB Yapısı [8]. ....	12
Şekil 3.5 : Yarı Kararlılık Durumu Yükselme Ve Tutma Süreleri. ....	13
Şekil 3.6 : Programlanabilir Ara Bağlantı Yapısı [9].....	14
Şekil 4.1 : Sabit Genlikli Kümeleşme Diyagramları. ....	17
Şekil 4.2 : Tip I ve Tip II QAM Kümeleşme. ....	19
Şekil 4.3 : Tip III QAM Kümeleşme [14].....	19
Şekil 4.4 : Hancock Ve Lucky'nin Önerdiği Optimum Kümeleşme [15]. ....	20
Şekil 4.5 : Foschini'nin Önerdiği Optimum Kümeleşme [19].....	21
Şekil 4.6 : Gray Kodlanmış 16-QAM Kümeleşme. ....	23
Şekil 4.7 : Nyquist Ideal Filtre Transfer Fonksiyonu ve Darbe Cevabı [21]. ....	24
Şekil 4.8 : Roll-Of Faktörü Değişimine göre Transfer Fonksiyonu [23].....	25
Şekil 4.9 : 16-QAM Haritalanmış I Bileşeni [24].....	25
Şekil 4.10 : 16-QAM Haritalanmış I Bileşeninin $\alpha = 0.1$ Filtrelenmiş Hali [24]. ....	25
Şekil 4.11 : 16-QAM Haritalanmış I Bileşeninin $\alpha = 0.9$ Filtrelenmiş Hali [24]. ....	26
Şekil 5.1 : $\cos \theta$ Çarpanının Ölçeklendirme Faktörü Değerlendirilmesi. ....	30
Şekil 5.2 : Tekil CORDIC Algoritması İterasyon Yapısı. ....	33
Şekil 6.1 : Dördün Genlik Modülasyonu Genel Mimari.....	35
Şekil 6.2 : Matlab Ortamında Oluşturulan Yapı. ....	36
Şekil 6.3 : 16-QAM Olası Bütün Semboller. ....	37
Şekil 6.4 : Kümeleşme Diyagramı "0000" noktası. ....	38
Şekil 6.5 : Kümeleşme Diyagramı "0001" noktası. ....	38
Şekil 6.6 : Kümeleşme Diyagramı "0010" noktası. ....	39
Şekil 6.7 : Kümeleşme Diyagramı "0011" noktası. ....	39
Şekil 6.8 : Kümeleşme Diyagramı "0100" noktası. ....	40
Şekil 6.9 : Kümeleşme Diyagramı "0101" noktası. ....	40
Şekil 6.10 : Kümeleşme Diyagramı "0110" noktası. ....	41
Şekil 6.11 : Kümeleşme Diyagramı "0111" noktası. ....	41
Şekil 6.12 : Kümeleşme Diyagramı "1000" noktası. ....	42
Şekil 6.13 : Kümeleşme Diyagramı "1001" noktası. ....	42
Şekil 6.14 : Kümeleşme Diyagramı "1010" noktası. ....	43
Şekil 6.15 : Kümeleşme Diyagramı "1011" noktası. ....	43
Şekil 6.16 : Kümeleşme Diyagramı "1100" noktası. ....	44
Şekil 6.17 : Kümeleşme Diyagramı "1101" noktası. ....	44
Şekil 6.18 : Kümeleşme Diyagramı "1110" noktası. ....	45
Şekil 6.19 : Kümeleşme Diyagramı "1111" noktası. ....	45
Şekil 6.20 : Haritalama sonucunda üretilen I-Q Bileşeni. ....	46
Şekil 6.21 : Haritalama Bloğu Giriş-Çıkış Blok Şeması.....	47

Şekil 6.22 : Haritalama Bloğu Modelsim Çıktısı.....	48
Şekil 6.23 : Darbe Şekillendirme Bloğu Kaskat Filtre Yapısı. ....	48
Şekil 6.24 : FIR Filtre Yapısının Basit Elemanlarla İfadesi.....	49
Şekil 6.25 : SRRC Filtre Genlik Cevabı. ....	49
Şekil 6.26 : SRRC Filtre Faz Cevabı. ....	50
Şekil 6.27 : SRRC Filtre Darbe Cevabı. ....	50
Şekil 6.28 : Yarım Bant Alçak Geçiren Filtre-1 Genlik Cevabı. ....	51
Şekil 6.29 : Yarım Bant Alçak Geçiren Filtre-1 Faz Cevabı. ....	51
Şekil 6.30 : Yarım Bant Alçak Geçiren Filtre-1 Darbe Cevabı. ....	51
Şekil 6.31 : Yarım Bant Alçak Geçiren Filtre-2 Genlik Cevabı. ....	52
Şekil 6.32 : Yarım Bant Alçak Geçiren Filtre-2 Faz Cevabı. ....	52
Şekil 6.33 : Yarım Bant Alçak Geçiren Filtre-2 Darbe Cevabı. ....	52
Şekil 6.34 : Yarım Bant Alçak Geçiren Filtre-3 Genlik Cevabı. ....	53
Şekil 6.35 : Yarım Bant Alçak Geçiren Filtre-3 Faz Cevabı. ....	53
Şekil 6.36 : Yarım Bant Alçak Geçiren Filtre-3 Darbe Cevabı. ....	53
Şekil 6.37 : Filtreleme Sonucunda Üretilen I-Q bileşeni. ....	54
Şekil 6.38 : Darbe Şekillendirme Bloğu Giriş-Çıkış Blok Şeması. ....	54
Şekil 6.39 : Darbe şekillendirme bloğu Modelsim çıktısı.....	55
Şekil 6.40 : Matlab’da Oluşturulan Tekil CORDIC Bloğu.....	56
Şekil 6.41 : Matlab’da Oluşturulan Yapının Çıkışındaki Modüleli İşaret. ....	56
Şekil 6.42 : CORDIC Bloğu Giriş-Çıkış Blok Şeması. ....	57
Şekil 6.43 : CORDIC Bloğu Modelsim Çıktısı.....	57
Şekil 6.44 : Dördün Genlik Modülasyonu Gerçekleme Ortamı.....	58
Şekil 6.45 : Ara Frekans Bant Genişliği ve Spektrum Görüntüsü. ....	59
Şekil 6.46 : Radyo Frekans Bant Genişliği ve Spektrum Görüntüsü. ....	59
Şekil 6.47 : USRP-USRP Verici Kullanıcı Arayüzü. ....	60
Şekil 6.48 : USRP-USRP Alıcı Kullanıcı Arayüzü. ....	60
Şekil 6.49 : USRP-USRP Göz Diyagramı Ölçümü .....	61
Şekil 6.50 : USRP-USRP Bozulma Seviyesi Ölçümleri.....	61
Şekil 6.51 : Tekil Tasarım - USRP Alıcı Kullanıcı Arayüzü.....	62
Şekil 6.52 : Tekil Tasarım - USRP Göz Diyagramı Ölçümü.....	62
Şekil 6.53 : Tekil Tasarım-USRP Bozulma Seviyesi Ölçümleri .....	63
Şekil 6.54 : Rastgele Tasarım - USRP Alıcı Kullanıcı Arayüzü.....	63
Şekil 6.55 : Rastgele Tasarım - USRP Göz Diyagramı Ölçümü.....	64
Şekil 6.56 : Rastgele Tasarım-USRP Bozulma Seviyesi Ölçümleri.....	64
Şekil 6.57 : FPGA Kaynak Kullanımı .....	66
Şekil 6.58 : FPGA Güç Tüketimi.....	66

## YAZILIM TANIMLI RADYO TABANLI DÖRDÜN GENLİK MODÜLASYONU TASARIMI

### ÖZET

Dördün genlik modülasyonu, diğer sayısal iletişim tekniklerinden farklılaşarak işaretin hem genlik hem de faz bilgisinin değişiminden faydalanan kombine bir yapı sunmaktadır. Genellikle arasında  $90^\circ$  faz farkı olan iki taşıyıcının modülatörden gelen I ve Q bileşenleri ile çarpılıp toplanması sonucu modüleli işaret elde edilmektedir. Yüksek hızlı veri iletiminin yanı sıra spektral verimliliğinden dolayı günümüzde sayısal televizyon, kablosuz ağ teknolojileri ve uydu iletişimi gibi birçok farklı uygulamada yaygın olarak kullanılmaktadır.

Haberleşme sistemleri eskiden ayrı analog bileşenler kullanılarak tasarlanmaktaydı. Analog bileşenleri tekil olarak tasarlamak ve bu bileşenlerden bir sistem ortaya çıkarmak oldukça zahmetli ve zor bir süreçti. Ayrıca, en ufak bir değişiklik ihtiyacı doğduğunda sistemde kullanılan fiziksel alt bileşen veya bileşenlerin değiştirilmesi ve değişen bileşenlere tekrar ayar yapılması hatta bazı durumlarda yeniden tasarlanması gerekiyordu. Son yıllarda sayısal işaret işleme yeteneğine sahip elemanların hızlı gelişimi ve yaygınlaşması hem maliyetlerinin düşmesine hem de yazılım tanımlı radyo sistemlerinde sıkça kullanılmalarına sebep olmuştur. Günümüzdeki YTR yapıları ise işlemcileri (FPGA, DSP, SOC) vasıtasıyla istenilen dalga formlarını istenilen frekansta üretilmeye olanak sağlayan bir yapı haline gelmiştir. Bu yaklaşım ekipmanın hem çok yönlü olmasını hem uygun bir maliyete sahip olmasını hem de esnek ve yeniden programlanabilir bir ortam sunmasına yol açmaktadır.

Tez kapsamında dördün genlik modülasyonunun FPGA’de ara frekans seviyesinde üretilebilmesine olanak sağlayan CORDIC algoritması temelli bir modülator yapısı önerilmiştir. Ara frekans seviyesinde modüleli işaret üretmek için geleneksel yöntemler kullanıldığında çok yüksek bit sayısına sahip sonuçlar ortaya çıkmaktadır. Bu durum ise kullanılması gereken sayısal-analog çeviricilerin çok yüksek çözünürlüklü olması gerekliliğini ortaya çıkarmaktadır. Düşük çözünürlüklü üretilmeye çalışılan işaretlerin ise örnekleme frekansı anındaki geçişlerinin ani olmasından dolayı işaret kalitesinde bozulmalar ortaya çıkmakta spektral verimlilik oldukça düşmektedir. Kullanılan CORDIC algoritması yüksek bit sorununu ortaya çıkaran çarpma işlemi kaydırma ve toplama şekline indirgeyerek bahsedilen soruna çözüm niteliği sunmaktadır. Dördün genlik modülasyonu gelişimi araştırılmış önerilen kümeleşme yapıları incelenerek, yazılım tanımlı radyolarda kullanılmak üzere 16 seviyeli, Gray kodlamalı ve Tip III kümeleşme yapısına sahip dördün genlik modülasyonu gerçekleştirilmiştir. Bu modülator yapısı hiçbir hazır blok ya da fikri mülkiyet çekirdeği kullanılmadan tasarlanmıştır.

MATLAB programı aracılığıyla önerilen yapının benzetimi yapılmıştır. Simulink içerisinde blok diyagramlarla tasarlanan yapının simülasyon sonuçları elde edildikten sonra tasarım aşamasına geçilmiştir. Modülator yapısı genel olarak haritalama, darbe şekillendirme ve CORDIC bloklarından oluşmaktadır. Bilgi işareti bitleri seri olarak

haritalama blođuna gelmektedir. Haritalama blođu seri olarak gelen bitleri Tip III Gray kodlama yapısına uygun bir şekilde iřleyerek I ve Q bileřenlerini üretmektedir. Haritalanmıř olan I ve Q bileřenleri hem ani sıfır geçiřlerinin ortadan kaldırılması hem de semboller arası giriřimin oluřmaması için SRRC ve yarım bant alçak geçiren filtrelerden oluřan yapıya gelmektedir. řekillendirilen I ve Q bileřenleri CORDIC blođu giriřlerine uygulanarak istenilen dalga formuna sahip olan modüleli iřaret üretilmiřtir. CORDIC blođu pipeline yapıda oluřturuduđundan veri akıřında herhangi bir kesinti olmadan iřaret üretimi gerçekteřirilmiiřtir.

CORDIC bazlı modülatör tasarımı Modelsim programı ile dođrulandıktan sonra Xilinx firmasının AC701 geliřtirme kartında gerçekteřirilmiiřtir. 6.25MHz merkez frekansına sahip olan ara frekans bileřeni DAC904U sayısal-analog dönüřtürücü yardımıyla üretilmiřtir. Üretilen iřaretin spektrum analizi yapılarak ve bant geniřliđi ölçümlenmiřtir. Modüleli iřaretin bađımsız bir platformda çözümlenmesi hedeflenmiřtir. İřaretin demodüle edilebilmesi için USRP kitlerinden faydalanılmıřtır. USRP alıcı yapısının minimum 380 MHz merkez frekanslı iřareti çözümlayebildiđinden ara frekansta üretilen iřaret karıřtırıcı ve iřaret üretici yardımıyla bu seviyeye tařınmıřtır. USRP kitleri arasındaki haberleřme, sabit ve tekil geçiřlere sahip CORDIC modülatör tasarımı ve rastgele bütün geçiř olasılıklarına sahip CORDIC modülatör tasarımı olmak üzere üç farklı yapı ile test ortamı oluřturulmuřtur. Hem tekil geçiřli yapısı hem de rastgele geçiřli yapıya sahip tasarımlar bařarılı bir řekilde demodüle edilmiřtir. Demodüle edilen iřaretlerin kümeleřme diyagramı, göz diyagramı ve bozulma ölçümleri yapılarak ölçüm sonuçları elde edilmiř ve birbirleri ile karřılařtırılmıřtır. Tasarlanan sistemin her anlamda USRP kitleri ile oluřturulan alıcı-verici yapısından daha verimli olduđu görölmüřtür.

# **SOFTWARE DEFINED RADIO BASED QUADRATURE AMPLITUDE MODULATION DESIGN**

## **SUMMARY**

Quadrature amplitude modulation differs from other digital communication techniques and utilizes a change in both amplitude and phase information of the signal. Usually, between the two carriers with a  $90^\circ$  phase difference multiplied by the I and Q components from the modulator and then collected, the modulated signal is obtained. It is widely used in many different applications such as digital television, wireless network technologies and satellite communication according to its high throughput data transmission and spectral efficiency properties. It is also envisaged that the QAM modulation type will be used as a requirement of the WIFI 6 standard.

Communication systems were previously designed using discrete analog components. It was quite a laborious and difficult process to design the analog components individually and create a system from these components. In addition, the physical sub-components or components used in the system had to be replaced and the changing components had to be re-adjusted or even redesigned in some cases when the slightest change was needed. In recent years, the rapid development of the elements that have the ability to process digital signals has led to both the reduction of their costs and their frequent use in software-defined radio systems. The SDR structures nowadays allows to produce the desired waveforms with processing units (FPGA, DSP, SOC). This approach results in versatile, cost-effective, flexible and reconfigurable environment.

After filtering the components I and Q in the conventional quadrature amplitude modulation implementation method which is the process of multiplying and adding separately the two carriers (sine and cosine) having ninety degrees phase difference between them. At the FPGA level, this process is performed to produce the modulated signal at the intermediate frequency level, resulting in a very high bit count. This necessitates that the digital-to-analog converters to be used must be high resolution. Within the scope of the thesis, a modulator structure based on CORDIC algorithm is proposed which allows quadrature amplitude modulation to be produced the intermediate frequency level at FPGA. The signals that are produced in low-resolution are corrupted sampling frequency transitions and then spectral efficiency decreases considerably. The CORDIC algorithm provides a solution to the problem by reducing the multiplication process that causes a high bit problem to shifting and adding. CORDIC is a hardware-efficient iterative method which uses rotations to generate modulated signal. Quadrature amplitude modulation techniques was investigated and proposed constellation diagram structures were investigated. Gray coded, type III constellation diagram 16-QAM structure was used for software-defined radios. This modulator structure is designed without the use of any embedded or intellectual cores.

In general, CORDIC based QAM design consists of the information bit generator, mapping, pulse shaping and CORDIC blocks. The information bit generator module generates bits with a symbol rate of 781.25 kHz. The bits generated by the generator

provides signal generation in the baseband by coefficients in the mapping unit. The mapping unit coefficients provides both phase and amplitude information of the signal. The digital up conversion design is provided not only pulse shaping but also interpolation. The digital up conversion design consists of cascade root raised pulse shaping filter and three halfband low pass filters. At each filter stage, the modulated signal is interpolated by two. Thus, the sampling of the modulated signal is up converted 16 times in filter stage. Then, the signal formed by passing through the filters formed in cascade structure comes to CORDIC block. The CORDIC block is designed twelve staged pipelined structure in order to minimize the delay and ensure the continuity of the signal. Intermediate frequency is produced with the aid of pipelined structure at 6.25 MHz.

USRP kits were used to demodulate the generated signal on an independent platform. Demodulation process was carried out with the help of modular signal mixer and signal generator produced at intermediate frequency level to 380 MHz level. Three different designs which consists of USRP-USRP design, single-transition design and random-transition design, are realized in order to compare results. Modulation error ratio, error vector magnitude percentage, magnitude error, phase error, quadrature skew error, eye diagram and IQ gain imbalance are measured. All measurements show that the transitions of the realized design are much better than the transitions of the signal generated by the USRP. In eye diagram measurements, eye height and width are directly proportional to the quality of the signal.

The proposed structure was designed with block diagrams and simulated via the MATLAB-Simulink. All sub-components are modeled in accordance with the hardware description language and the simulation process is performed in a way that is very close to the actual system. The modulator design consists of mapping, pulse shaping filter, half band lowpass filters and CORDIC blocks. Binary random number generator as information bit generator and QAM baseband modulator block as mapping unit are used. Shaping filter block is designed to be convenient spectral mask with MATLAB FDATool. The CORDIC block is also designed using a phase accumulator, front phase conversion unit and twelve iterative single CORDIC units. The mapping block produces the I and Q components by processing the bits in series in accordance with the Type III Gray Coding structure. The mapped I and Q components come to the block with the SRRC filter structure to ensure both a lower bandwidth transmission and no inter-symbol interference. After the SRRC filter, a cascade of interpolation halfband lowpass filters follows to remove the aliasing effect produced by up sampling. In addition, the half band low pass filters allows the to fit into wideband code division multiple access spectral mask requirements which has a very sharp transition. The shaped I and Q components are applied to the CORDIC block to produce a complex signal with the desired waveform. When the CORDIC block is formed in the pipeline structure, signal generation is performed without any interruption in the data flow.

CORDIC based modulator design was verified with Modelsim program and realized in Xilinx firm's AC701 development board. The intermediate frequency, which has a 6.25MHz center frequency, was produced with the aid of a digital-to-analog converter DAC904U. Spectrum analysis of the signal and the occupied bandwidth was measured. It is aimed to analyze the modulator design on an independent platform. USRP kits were used to demodulate the modulated signal. Since the USRP receiver structure can decode a minimum 380 MHz center frequency signal, the signal produced at the intermediate frequency is upconverted to this level with the mixer and



the signal generator. The communication between the USRP kits, the CORDIC modulator design with fixed and single transitions and the CORDIC modulator design with all random transition possibilities have been established with three different structures. Both single-transition and random-transition designs have been successfully demodulated. Constellation diagrams, eye diagrams and impairment measurements of demodulated signal were obtained and the results were compared. The designed system was found to be more efficient than the transceiver structure created with USRP kits in every sense.





## 1. GİRİŞ

Günümüzdeki bütün elektronik cihazlar artık birbirleri ile veri alışverişi yapacak seviyelere gelmektedir. Akıllı telefonlar yardımıyla bu cihazların yönetimi de oldukça basit bir hale gelmektedir. Cihazlar arası veri transfer işlemi için gerekli olan iletim yetenekleri de bu gelişmelere paralel olarak gelişmekte, iletim hızı ve kapasitesi artmaktadır. Herhangi bir sayısal temel banttaki bilgi işaretinin iletimi günümüzde bir çok farklı işlemde geçirilerek kablosuz haberleşmede iletilmektedir. Fakat bu temel banttaki bilgi işaretinin direkt olarak iletilmesi mümkün değildir. Bu durumun sebepleri;

- Sayısal sistemlerdeki bilgi bitlerinin “sıfırdan bire” ve “birden sıfıra” olan geçişleri çok keskin geçişlerdir. Dolayısıyla çok yüksek frekans bileşenleri içerdiği ve bu işaretlerin ileti için çok yüksek bant genişliği ihtiyacı doğduğundan spektral kullanıma ters düştüğü için RF sistemler için uygun değildir. Çünkü kablosuz haberleşmede en değerli kaynak frekans bantlarıdır ve frekans bantları kullanım amaçlarına göre hem sınıflandırılmış hem de sınırlandırılmışlardır.

- Milyonlarca cihazın aynı anda haberleştiği günümüzde eğer aynı anda iki kullanıcı da temel bant seviyesinde işaret göndermek isterse aynı bant üzerinde işaretler üst üste binecek dolayısıyla doğru bir aktarım sağlanmamış olacaktır.

- Elektromanyetik dalgaların enerjilerinin verimli olarak havaya iletilmesi için kullanılan anten boyutu en az iletilecek EM dalgasının dalga boyu kadar olmalıdır. Bu durumda, örneğin 5 kHz bant genişlikli bir işaretin kablosuz iletiminde, taşıyıcı kullanılmadığı takdirde işaretin dalga boyu yaklaşık 70 m olarak bulunmaktadır. Pratikte bu çeyrek dalga boylu antenler tasarlanabildiğinde bu değer dörtte bir seviyesine çekilebilse de bir anten boyutu için hala oldukça büyüktür. Bu nedenle temel banttaki işaretlerin doğrudan antenlere uygulanması mümkün değildir.

- Bilgi işaretlerinin haberleşme işlemin gerçekleştirilebilmesi uygun frekans bantlarına taşınıp uygun bant genişliklerine getirilmeleri gerekmektedir. Bilgi işaretinin aktarılabilmesi için başka taşıyıcı bir işaretin bazı özelliklerinin değiştirilerek

aktarılması işlemine modülasyon adı verilir. Modülasyon işlemi temel taşıyıcının genlik, faz veya frekans bilgisinin bilgi işaretine göre değiştirilmesiyle yapılır. Farklı frekanslardaki taşıyıcılar kullanılarak spektrumun ortak kullanılmasına imkan sağlanır.

## **1.1 Tezin Amacı**

Bu tez çalışmasında dördün genlik modülasyonunun FPGA’de ara frekans seviyesinde üretilebilmesine olanak sağlayan CORDIC algoritması temelli bir modülatör yapısı önerilmiştir. Bu yapı kaynak kullanımını, spektral verimlilik ve işaret kalitesi özellikleri göz önünde bulundurularak FPGA üzerinde gerçekleştirilecektir. Yazılım tanımlı radyolarda kullanılması amaçlanan mimari esnek, yeniden yapılandırılabilir ve platform bağımsız bir şekilde oluşturulmaya çalışılacaktır.

## **1.2 Tezin Kapsamı**

İkinci bölümde yazılım tanımlı radyo kavramının nasıl ortaya çıktığı geçmiş sistemlere göre sağladığı yararlar ve YTR içerisinde FPGA kullanılmasının sistem isterlerinin değişmesi karşısındaki faydasından bahsedilmiştir. Üçüncü bölümde FPGA’lerin gelişim süreci, FPGA’lerin alt bileşenleri, alt bileşenlerin özelliklerinden ve FPGA türlerinden bahsedilmiştir. Dördüncü bölümde dördün genlik modülasyonu fikrinin ortaya çıkışı, kümeleşme diyagramlarının gelişimi, dördün genlik modülasyonlu bir işaretin matematiksel yapısından bahsedilmiştir. Aynı zamanda dördün genlik modülasyon tasarımında kullanılacak olan haritalama ve darbe şekillendirme kavramlarının üzerinde durulmuştur. Hangi haritalama aşamasında hangi kümeleşme diyagramının kullanılacağından darbe şekillendirme aşamasında ise hangi filtre yapısının kullanılacağından bahsedilmiştir. Beşinci bölümde CORDIC algoritmasının temellerinden, adım adım matematiksel olarak dönüşümünden ve ifade içerisindeki çarpma işlemlerini nasıl kaydırma ve toplama işlemlerine indirgeyebildiğinden bahsedilmiştir. Altıncı bölümde CORDIC bazlı modülatörün Matlab ortamındaki benzetimleri, gerçekleştirilen tasarımın Modelsim simülasyon çıktılarına ve modülatör yapısının gerçekleştirme ve test ortamına yer verilmiştir.

### 1.3 Literatür Araştırması

Dördün genlik modülasyonunun FPGA üzerinde gerçekleştirilmesi genel olarak I ve Q bileşenlerini temel bantta oluşturularak yapılmıştır. Tez kapsamında oluşturulan CORDIC bazlı dördün genlik modülatör yapısına az da olsa literatürde rastlamak mümkündür.

Vankka ve arkadaşları tarafından çok taşıyıcılı dördün genlik modülatörü yapısı CORDIC tabanlı olarak FPGA üzerinde gerçekleştirilmiştir. Sundukları yapı içerisinde dört adet CORDIC tabanlı modülatör yapısı bulunmaktadır. Bu modülatörler 13 bitlik I ve Q bileşenlerini alarak seçilebilen ara frekansa yükseltebilmektedir. Ayrıca yapı içerisinde bulunan ardışık 4 adet filtre yardımıyla işaretin interpolasyon faktörünü 16'ya taşımışlardır. Üretilen modüleli işaretin ara frekans değeri 5 ila 25 MHz arasında ayarlanabilir niteliktedir. Kurmuş oldukları bu yapı ile I ve Q bileşenlerinin iletim hattındaki faz, offset ve genlik seviyelerindeki bozulmalara bir çözüm niteliğindedir [1].

Singh ve Dutta ise 2013 yılında yapmış oldukları çalışmada dördün genlik modülasyonlu işaret üretilmesi için CORDIC bazlı bir yapı ortaya koymuşlardır. Temel banttaki işaret üretiminin yanı sıra analog katmanda yapılacak olan yükseltme işleminin ilk aşamasının da dijital ortamda yapılmasına olanak sağladığından bahsetmişlerdir. Darbe şekillendirme işlemine yer vermedikleri gerçeklemederinde toplamda 1994 mantık hücresi, 5274 LUT ve 1098 adet FF kullanmışlardır [2].

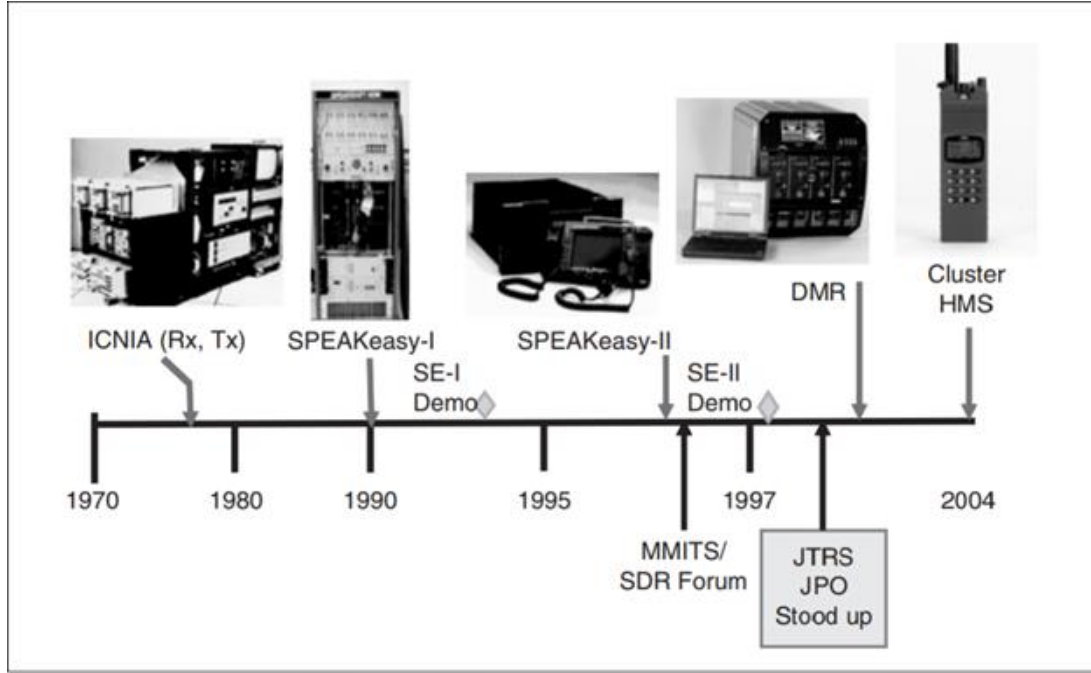
Wei ve Zhou ise haritalama, artırılmış kosinüs filtre, interpolasyon temizleme filtresi ve CORDIC bloğu kullanarak bir yapı ortaya çıkarmışlardır. Kurmuş oldukları yapı ile başarılı sonuçlar elde etmişlerdir. Kullanmış oldukları bu tekniğin altyapısına sahip modülatörün yonga tasarımına başladığını bildirmişlerdir [3].



## 2. YAZILIM TANIMLI RADYO

Geçmişte, iletişim sistemleri tipik olarak ayırık analog bileşenler kullanılarak uygulanmaktaydı. Bu sistemleri tek tek kurgulamak ve bir bütün halinde çalıştırmak oldukça zahmetli ve zor bir süreçti. Ayrıca, iletişim sistemlerinde bir değişiklik yapılmak istendiğinde, sistemde kullanılan fiziksel alt bileşenlerin değiştirilmesi gerekli ve değişen bileşenlere tekrar ayar yapılması gerekiyordu. Gelişen sayısal sinyal işleme teknikleri radyo sistemlerindeki karmaşık modülasyon ve demodülasyon işlemlerini yapmaya olanak sağladı. İlk aşamada bu görev Uygulamaya Özel Tümüleşik Devreler (ASICs) yerine getirmekte idi. ASIC'lerin tasarım ve üretim süreçlerinin oldukça maliyetli ve uzun oluşu esnek ve yeniden yapılandırılabilir yapılar kurulmasına izin vermemektedir. Bu yüzden sistemde herhangi bir değişiklik yapılmak istendiğinde her bir ASIC için tek seferlik tasarım, geliştirme, üretim ve doğrulama için ödenen maliyet (NRE) karşılanamaz bir büyüklükte olmaktaydı. Daha yeni bir trend olarak sayısal sinyal işleme fonksiyonlarının bir sayısal sinyal işleyicisi (DSP) ya da FPGA aracılığıyla gerçekleştirilmesidir. FPGA'ler ve DSP'ler donanım tanımlama dili olarak adlandırılan programlama dilleriyle programlanılarda aslında sahip oldukları sentezleyiciler soyut programlama dillerini devrelere dönüştürerek yongaya yerleşim işlemini gerçekleştirmektedir. Bu yüzden DSP ve FPGA'lerin kullanıldığı modemlere "Yazılım Tanımlı Radyo" adı verilmiştir. Yazılım Radyosu terimi ilk olarak E-Systems Inc.'de 1984 yılında çalışan bir araştırma ekibi tarafından tanıtıldı. Yazılım Radyo uygulaması için laboratuvarında sayısal temellent alıcısı geliştirdiler. Bu alıcı yapısı genişbantlı işaretlerin demodülasyonunu yapabilen ve programlanabilir girişim bastırma yeteneğine sahip paylaşılan bellek özellikli çoklu dizi işlemciler kullanılmaktaydı [4]. Gerçek anlamda ilk SDR tasarımı 1987 yılında Air Force Rome Labs (AFRL) tarafından finanse edilen programlanabilir modem platformunun ortaya çıkmasıyla görülmüştür. Bu platformda evrimsel bir adım olarak ICNIA mimarisinde bir programlanabilir modem ortaya çıkarılmıştır. ICNIA (Integrated Communications Navigation Identification Architecture) mimarisi entegre iletişim, navigasyon ve tanımlama mimarisi olarak nitelendirilmiştir. Bu mimari aynı

radio kutusu içerisinde tekil görevleri olan (iletişim, navigasyon gibi) radyo bileşenlerini tek bir çatı altında toplamaya olanak sağlamıştır [5]. Yazılım tanımlı radyoların gelişimi Şekil 2.1’de belirtilmiştir.



Şekil 2.1 : Yazılım Tanımlı Radyo Zaman Çizelgesi [5].

Günümüzdeki YTR yapıları ise işlemcileri (FPGA, DSP, SOC) vasıtasıyla istenilen dalga formlarını istenilen frekansta üretmeye olanak sağlayan bir yapı haline gelmiştir. Bu yaklaşım ekipmanın hem çok yönlü olmasına hem de uygun bir maliyete sahip olmasına yol açmaktadır. Ayrıca geliştirici tarafından sunulan yeni yazılım güncellemeleriyle yeni uygulamaların sisteme eklenmesi satış, teslimat hatta kurulum sonrasında bile oldukça kolay bir şekilde sağlanmaktadır. Ek olarak, sahada yeniden programlanabilirlik olarak adlandırılan oldukça önemli bir özellik DSP ve FPGA tabanlı yazılım tanımlı radyoların birçoğunda tamamen yada kısmen sağlanmaktadır. FPGA’ler temelde diğer devre elemanlarıyla programlanabilen mantık bloklarını özelleşmiş ya da genel amaçlı giriş çıkış pinleriyle bağlayan bir devre yapısına sahiptir. Mantık blokları hem birbirlerine hem de pinlere programlanabilen ara bağlantılar ile bağlanmaktadır. FPGA içerisindeki mantık bloklarının sahip olduğu bu yapı girişlerin, çıkışların, pinlerin ve programlanabilen ara bağlantıların isteğe bağlı mantık işlemlerini gerçekleştirebilmelerine olanak sağlamaktadır. FPGA’ler, YTR’ler için özellikle yeniden programlanabilmelerindeki kolaylık ve hız anlamında oldukça ilgi



çekicidir. Buna ek olarak tasarım kolaylığı (ayrık elemanlı tasarımlara göre) ve paralel işlem yeteneđi FPGA'lerin bu sistemlerde kullanılmasının önemli sebeplerindedir.

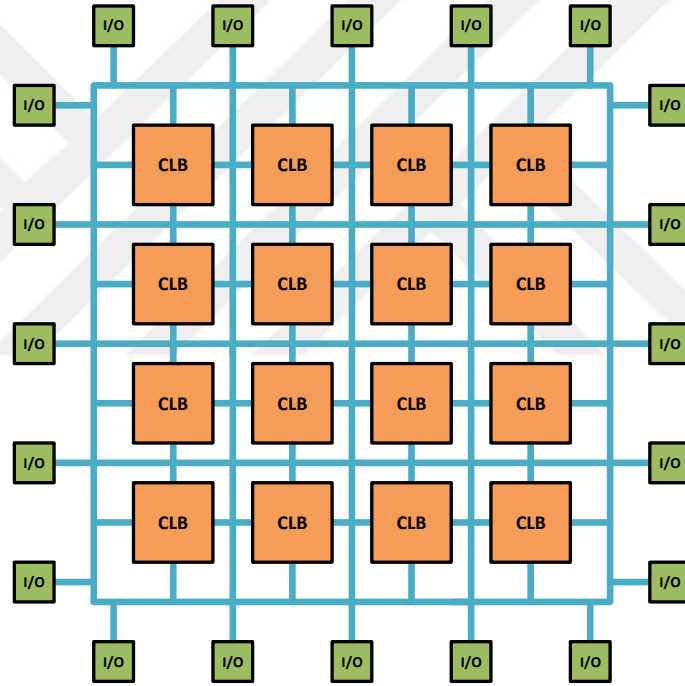




### 3. SAHADA PROGRAMLANABİLİR KAPI DİZİLERİ

#### 3.1 FPGA Bileşenleri

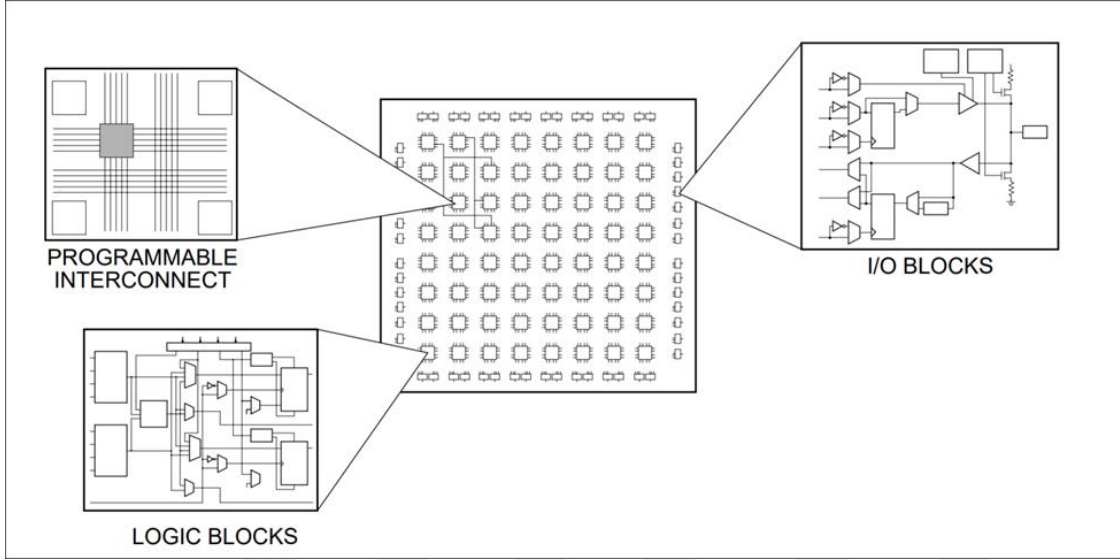
Sahada Programlanabilir Kapı Dizileri (FPGA) en temelde programlanabilen ara bağlantılarla (interconnect) mantık bloklarının (CLB) bir matris yapısıyla birbirlerine bağlanmasına dayalı bir yarı iletken elemandır. FPGA'in iç bağlantı yapısı Şekil 3.1'de en basit haliyle gösterilmiştir.



Şekil 3.1 : FPGA Bağlantı Yapısı.

FPGA'lar üretildikten sonra istenen uygulama ve fonksiyon ihtiyaçlarına göre yeniden programlanabilir bir yapıdadır. Bu özellik FPGA'leri spesifik bir görev için tasarlanan özelleşmiş devre yapıları olan Uygulamaya Özel Tümlşik Devre'lerden (ASIC) ayırmaktadır. FPGA'lerin ortaya çıkış amacı ilk aşamada ASIC prototiplerinin geliştirilebilmesi için programlanabilir bir ortam hazırlamaktı. Bu mimaride başarılı olmasından sonra ASIC üreticileri ilk prototip ürünlerini FPGA'leri programlayarak müşterilerine sunmaya başladı. FPGA üreticileri ise zamanla kendilerine has farklı mimariler geliştirerek pazarda çeşitlilik yaratmayı başardılar. Her ne kadar farklı

mimariler ortaya çıksa da FPGA'in genel yapısını Şekil 3.2'deki gibi tanımlamak mümkündür. Genel mimari içerisinde yapılandırılabilir mantık blokları (CLB), yapılandırılabilir giriş/çıkış blokları (I/O) ve programlanabilir ara bağlantılar (interconnect) bulunmaktadır. Aynı zamanda FPGA içerisinde aritmetik mantık birimleri (ALU), hafıza birimleri, sayısal sinyal işleme hücreleri ve yapay zeka hücreleri gibi daha özelleşmiş yapılar bulunabilmektedir.

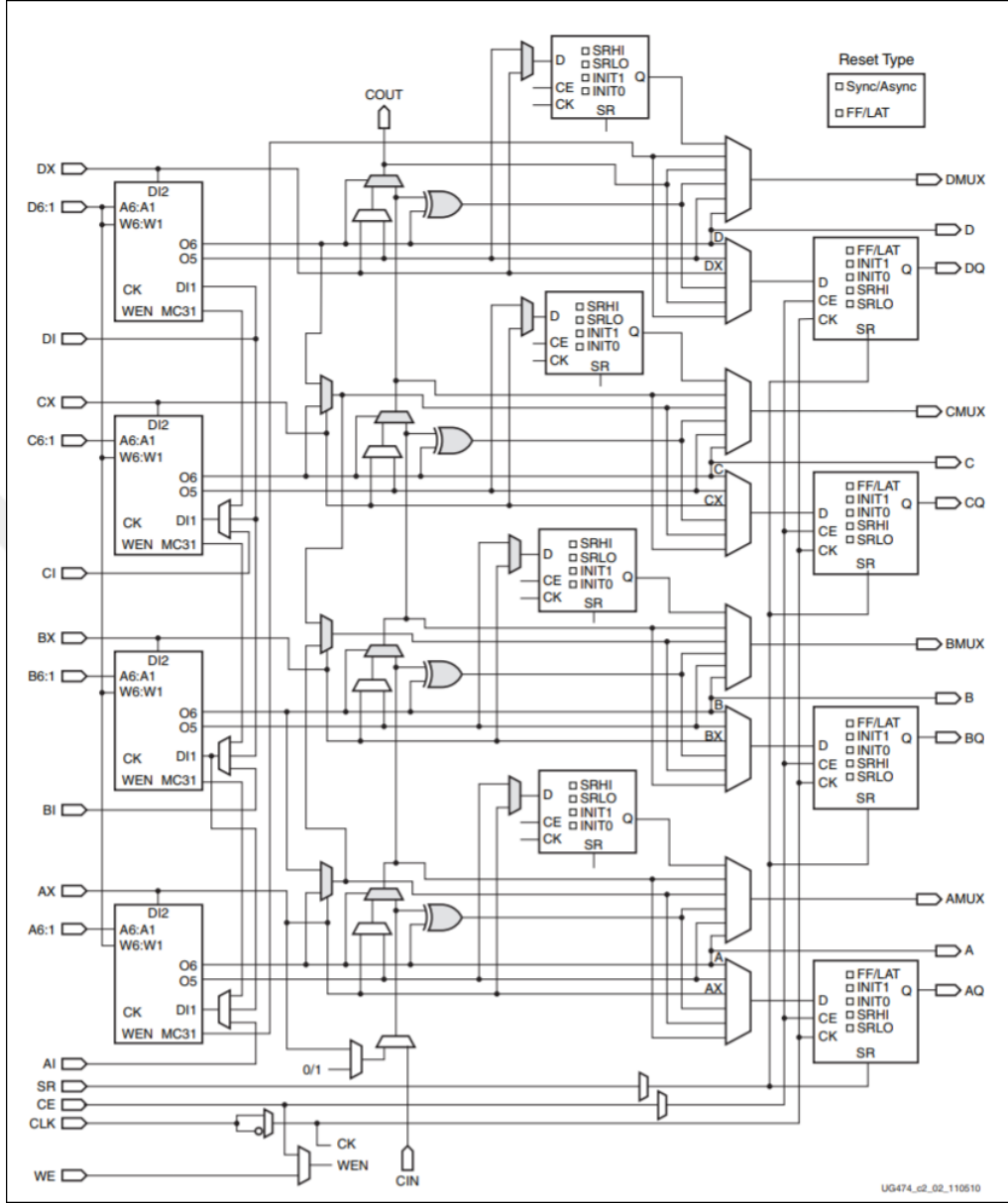


Şekil 3.2 : FPGA Mimarisi [6].

### 3.1.1 Yapılandırılabilir mantık blokları

FPGA'in en temel özelliği olan mantık işlemleri bu birimler aracılığıyla gerçekleştirilir. Bütün FPGA üreticilerin mimarilerinde bulunan bu birim küçük bir durum makinası oluşturmak için flip-floplara ve kombinyonel mantık fonksiyonlarını için oluşturmak arama tabloları (LUT) birimlerine sahiptir. Aritmetik işlemleri hızlı bir şekilde yapabilmek için ise zincir yapıda olan elde mantığı (carry logic) birimine sahiptir. LUT olarak tabir edilen birim rastgele erişimli hafıza (RAM) olarak da işlevlerini yerine getirebilecek şekilde kurgulanmıştır. Şekil 3.3'te verilen Xilinx'in 7 serisi yapılandırılabilir mantık bloğu içerisinde altı girişli LUT yapısı bulunmaktadır. Altı girişli ve tek çıkışlı bütün mantık devreleri bu yapı aracılığıyla kurulabilmektedir. Ayrıca mantık blokları kendi iç yapısından veya başka bir mantık biriminden gelen bilgiyi çoklayıcılarla (multiplexers) birlikte saat darbesine göre işleyebilmeleri ya da yönlendirmeleri için depolama birimi olarak tabir edebileceğimiz flip-flop'lar içermektedir. Senkron veya asenkron reset yapısı, saat darbesi

aktifleştirme (Clock Enable), saat darbesi tetiğine göre çalışma ve başlangıç değeri ataması gibi fonksiyonel özelliklere de sahiptir.

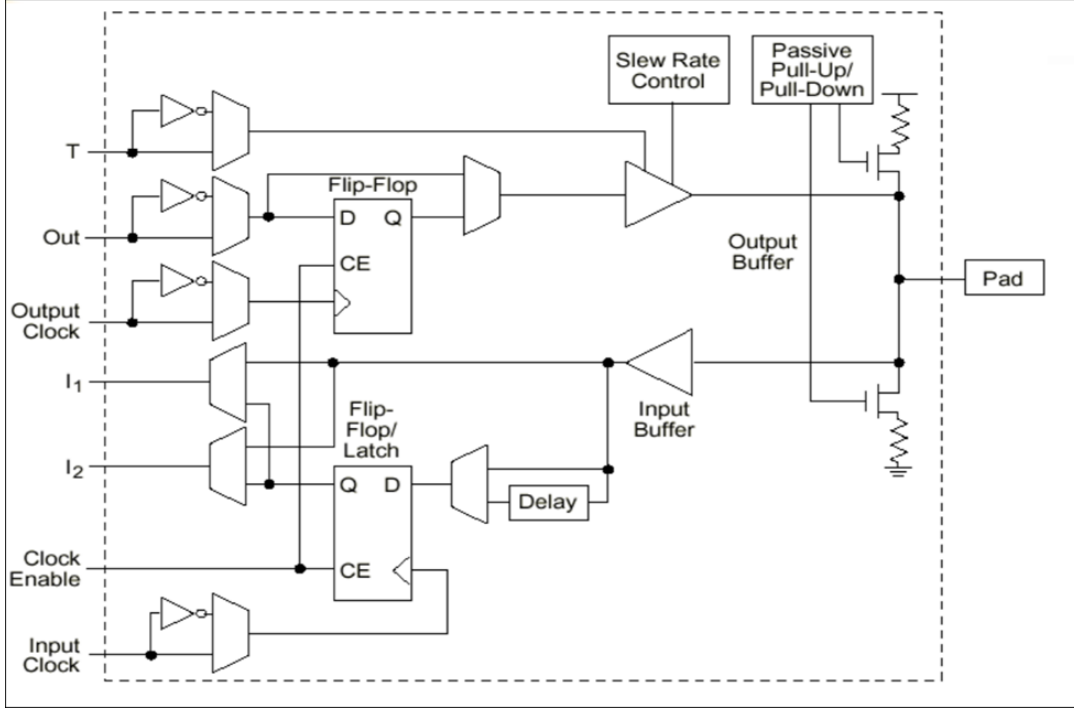


Şekil 3.3 : Xilinx 7 Serisi CLB Yapısı [7].

### 3.1.2 Yapılandırılabilir giriş-çıkış blokları

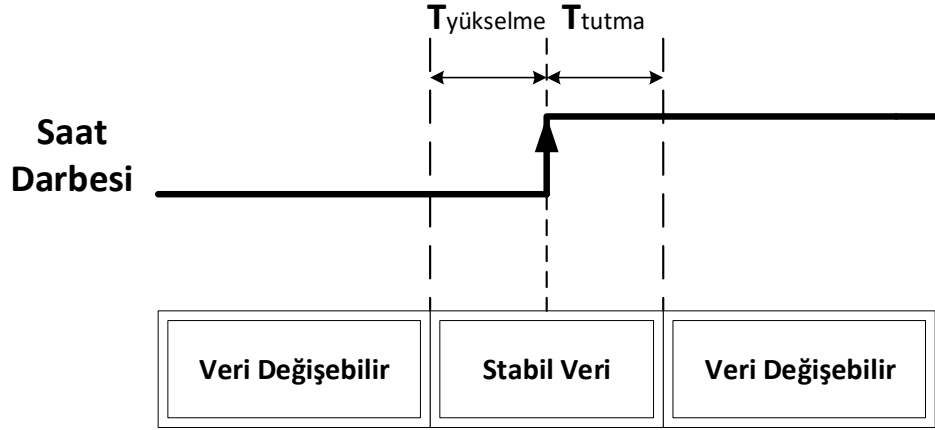
Giriş-çıkış blokları sinyallerin istenilen yapıda FPGA'ye girişinin ve/veya FPGA'den çıkışının sağlanabilmesi için kullanılmaktadır. Giriş-çıkış blokları giriş ara belleği (input buffer) ve çıkış sürücüsü yapılarında meydana gelmektedir. Çıkış sürücüsü yapısı içerisinde açık kollektör (open collector) kontrol yapısı, üçlü durum (tri-state) kontrol yapısı ve yapılandırılabilir toprak (user-programmable ground) kontrol yapısı bulunmaktadır. Aynı zamanda çıkış yapılarında bulunan kaldırma (pull-up) ya da

indirme (pull-down) dirençleri yardımıyla çipin dışında ayrı dirençler gerektirmeden hatları sonlandırabilmektedir. Çıkışların başka bir programlanabilir özelliği ise aktif yüksek ve aktif alçak olarak kullanılabilmesidir. Çıkış gerilimindeki azami değişim hızı (slew rate) hızlı ve yavaş yükselme şeklinde kurgulanabilir. Xilinx 4000 serisine ait IOB yapısı Şekil 3.4'te verilmiştir.



Şekil 3.4 : Xilinx 4000 Serisi IOB Yapısı [8].

Yarı kararlılık durumu (metastable state) yükselme süresi (setup time) ve/veya tutma süresi (hold time) ihlallerinde ortaya çıkabilen ve FPGA tasarımlarında en çok karşılaşılan hata durumlarından biridir. Yükselme süresini aktarılabilecek verinin aktif saat tetiği kenarından önce stabil kalması gereken süre, tutma süresini ise aktarılabilecek verinin aktif saat tetiği kenarından sonra stabil kalması gereken süre olarak tanımlamak mümkündür. Yarı kararlılık durumunun oluşmaması için verinin stabil olarak kalması gereken durum Şekil 3.5'te verilmiştir.



**Şekil 3.5 :** Yarı Kararlılık Durumu Yükselme Ve Tutma Süreleri.

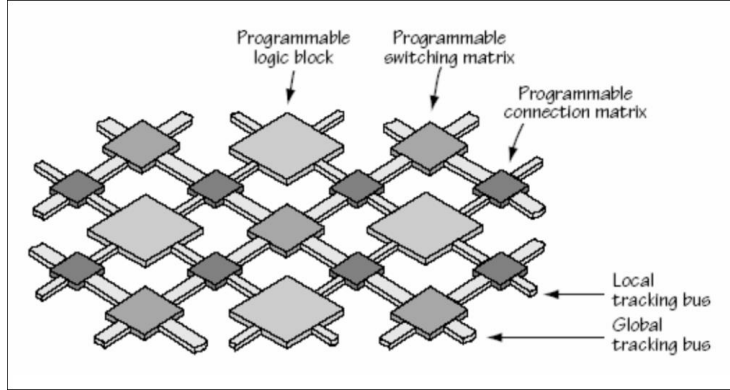
Giriş-çıkış bloklarındaki çıkış yapılarında bulunan flip-flop'lar saat senkronlu sinyallerin önemli bir gecikmeye maruz kalmadan çıkışa aktarılmasında yükselme zamanı gereksinimini karşılayabilmesi için önemli bir rol üstlenmektedir. Giriş yapısında bulunan flip-flop'lar ise tutma süresi gereksinimlerinin karşılanabilmesi için gecikmeyi azaltma yönünde görev yapmaktadır.

Yeni nesil FPGA ailelerinde ise giriş ve çıkış gecikmeleri belirli sınırlar altında yapılandırılabilir şekildedir. Bunun amacı paralel ya da differansiyel veri yollarının giriş ya da çıkış aşamasında senkronizasyon kaymasını en aza indirmektir. Çıkışların bu denli programlanabilir özelliklerinin ortaya çıkmasının bir diğer önemli sebebi ise cihazların EMI/EMC testlerinde yayılım karakteristiklerinin değiştirilebilme isteğidir.

### 3.1.3 Programlanabilir ara bağlantılar

Programlanabilir ara bağlantılar girişlerin, çıkışların veya yapılandırılabilir mantık bloklarının hem birbirleri ile hem diğer birimlerle olan bağlantısını gerçekleştiren yapılardır. Temelde yerel ve global bağlantı olarak iki farklı şekilde sınıflandırabiliriz. Global bağlantı hatları giriş-çıkış blokları ile yapılandırılabilir mantık bloklarının bağlantısını sağlarken aynı zamanda FPGA içerisinde birbirinden fiziksel olarak uzak yerleşmiş CLB'leri çok fazla gecikmeye neden olmadan bağlamak için kullanılmaktadır. Fiziksel olarak birbirine yakın konumlanmış CLB'leri birbirine bağlamak için ise yerel bağlantılar vardır. CMOS yapıdaki transistörler ile farklı hatlar arasındaki bağlantıları açmak ve kapatmak mümkündür. FPGA içerisindeki global ve yerel bağlantıları esnek kombinasyonlarla birbirine bağlamak için ise programlanabilir

anahtar matrisleri (PSM) bulunmaktadır. Global ve yerel ara bağlantıların FPGA içerisindeki diğer çevre birimlerle bağlantısı Şekil 3.6’da verilmiştir.



Şekil 3.6 : Programalanabilir Ara Bağlantı Yapısı [9].

## 3.2 FPGA Türleri

### 3.2.1 Statik ram bazlı FPGA

Statik RAM bellek yapısı yeniden yazılabilir bir geçici hafıza şeklindedir. Bu nedenle bu tipteki FPGA’ler birçok kez yeniden yapılandırılabilirken, besleme kapatıldığında ise yapılandırılmış devre yapıları kaybolacaktır. Genel olarak harici bir kalıcı bellek kullanarak otomatik açılış konfigürasyonlarını sağlarlar. SRAM tabanlı FPGA’lerin en önemli avantajı yonga üretim sürecinde standart üretim tekniğini kullanmasıdır. Standart üretim sürecinin kullanılmasının en önemli avantajı daha iyi performans için sürekli optimize ediliyor olmasıdır.

### 3.2.2 Anti-fuse bazlı FPGA

Antifuse olarak tanımlanan yapı ilk aşamada yalıtkan (açık devre yada izolatör olarak da tanımlanabilir) niteliktedir. Bu topolojiye yüksek akım uygulanması yani programlanması sonucu düşük dirençli iletken bir bağlantıya dönüşür. Bu özelliği kullanılarak konfigürasyon verisi geçici olmayan hafızadaki gibi saklanabilmektedir. Bununla birlikte, bir antifuse iletken haline geçtikten sonra tekrar ilk haldeki orijinal izolatör yapısına geri dönemez. Antifuse bazlı FPGA yapıları bu yüzden tek bir kez programlanabilen ve konfigürasyon verisini saklayabilen yapılardır.

### 3.2.3 Flash bazlı FPGA

Flash bellek yapısı yeniden yazılabilir ve geçici olmayan hafıza şeklindedir. Konfigürasyon verisi besleme kesildiğinde bile saklanabilecektir. Bu yapıdaki



FPGA'ler besleme kesildiğinde konfigürasyon verisini kaybetmese de yazma hızı SRAM bazlı FPGA'lere göre yavaştır. Flash bazlı FPGA'ler ilk çıktıkları zamanlarda mantık hücre sayısı, performans, yüksek hızlı I/O kanalları ve özelliştirmiş DSP hücreleri açısından SRAM'lerin gerisinde kalmaktaydı. Günümüzde en üst seviye FPGA aileleri karşılaştırıldığında hala aynı seviyelere gelmemelerine rağmen flash bazlı FPGA'lerin gelişimi dikkat çekici bir şekilde devam etmektedir. Özellikle yüksek irtifa koşullarında karşılaşılabilecek kozmik ışımalara karşı SRAM bazlı FPGA'lere göre daha güçlü olmaları, konfigürasyon verisinin açılış aşamasında oldukça hızlı yüklenmesi ve konfigürasyon verisi için ekstra bir kalıcı hafızaya ihtiyaç duymaması pazardaki payını arttırmaktadır.

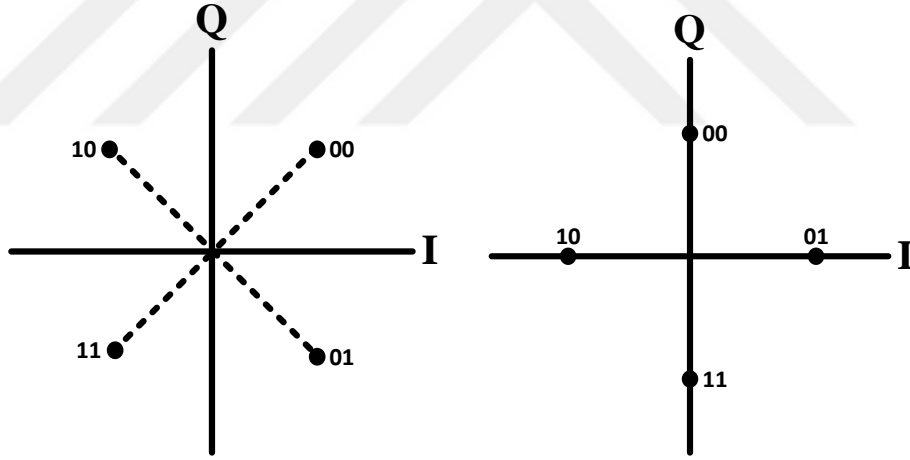




## 4. DÖRDÜN GENLİK MODÜLASYONU

### 4.1 Dördün Genlik Modülasyon Gelişimi

1960'lı yılların başındaki keşfinden bu yana, dördün genlik modülasyonu hem ilgi hem de haberleşme uygulamalarında yer kazanmaya devam etti. Özellikle o yıllarda, sönümlenen mobil kanalların daha verimli bir şekilde iletişimini sağlayabilecek birçok yeni teknik ve fikir önerildi. 1950'lerin sonuna doğru, dijital genlik modülasyonuna alternatif olarak dijital faz modülasyonu iletim şemalarına büyük miktarda ilgi vardı [10]. Dijital faz modülasyonu, iletilen taşıyıcının genliğinin sabit tutulduğu, ancak modüle edilen sinyalin fazının değiştiği yapılardır. Sadece faz bileşenin değiştiği ve sabit genlikli olan kümeleşme diyagramları Şekil 4.1'de verilmiştir.

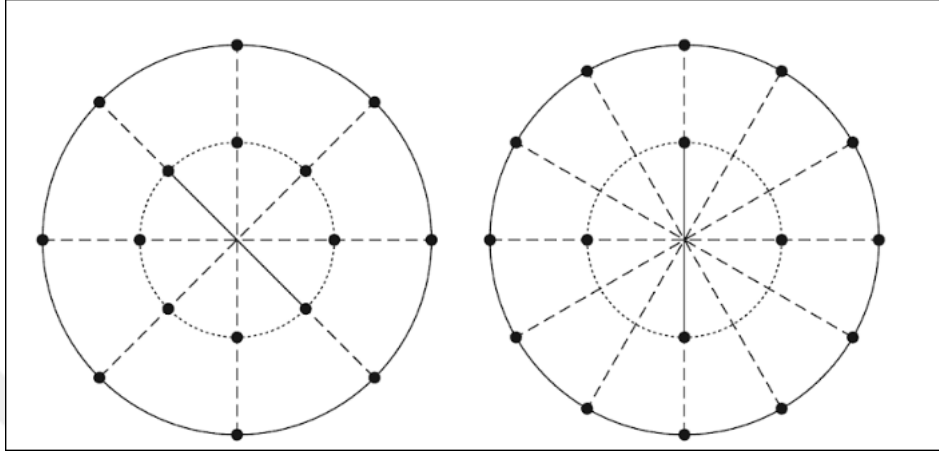


Şekil 4.1 : Sabit Genlikli Kümeleşme Diyagramları.

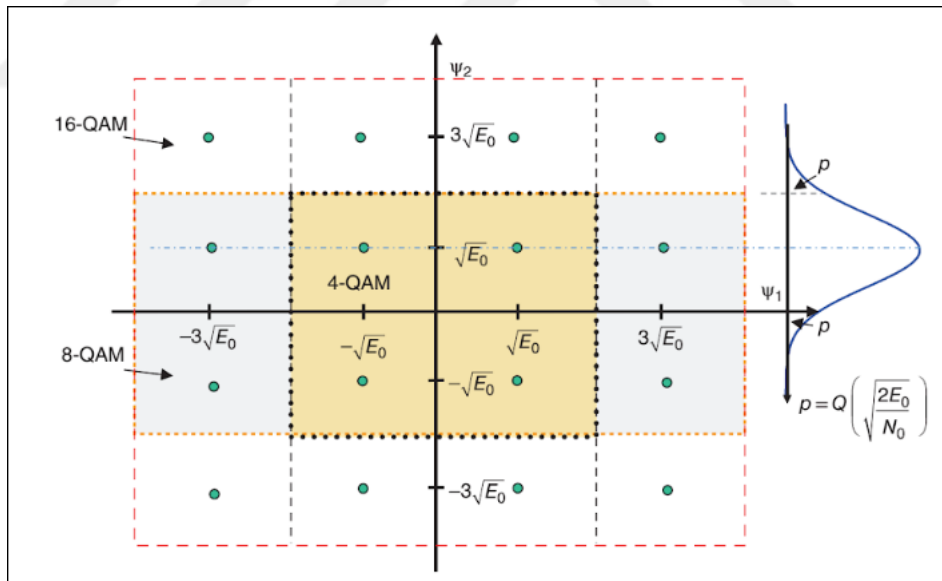
Sayısal faz modülasyonunun kümeleşme diyagramına indirgenmesinden sonra hem faz hem de genlik bileşenin değişimine yönelik fikrin ortaya atılması kaçınılmaz bir durumdur. Hem faz hem de genlik modülasyonlu ilk sistem fikri C.R Cahn tarafından 1960 yılında ortaya atıldı [11]. Basitçe, herhangi bir fazda birden fazla iletilen genliğe sahip olmasına izin vererek çok seviyeli duruma faz modülasyonunu genişletti. Bu önerme kümeleşme diyagramında bir daire oluşturan orijinal faz veya faz kaydırmalı anahtarlanmanın yanı sıra yeni bir daire oluşturma etkisine sahipti. Bu tür bir çoğaltma, seçilen genlik seviyelerinin sayısına bağlı olarak kümeleşme diyagramında birkaç

eşmerkezli dairenin oluşmasına yol açtı. Oluşturulan her bir dairenin eş sayıda aynı fazlı bileşenleri vardı. Tamamen teorik bir yaklaşım kullanarak bir dizi yakınlık kurduktan sonra, bu genlik ve faz modülasyonunun, 16 veya daha fazla durum kullanıldığında, faz modülasyon sistemlerine kıyasla artan bir verim sağladığı ve böyle bir sistemin gerçekleştirilmesi için daha pratik olduğu sonucuna varılmıştır. Kısa bir süre sonra Hancock ve Lucky [12], Chan'ın çalışmalarını genişleterek bir makale yayınladı. Bu makale kapsamında yaptıkları çalışmada, dairesel kümeleşme diyagramı performansının, dış halkada iç halkadan daha fazla noktaya sahip olarak iyileştirilebileceğini fark ettiler. Hancock ve Lucky tarafından yapılan çalışmanın mantığı iletim kanalında sinyali etkileyen gürültünün iletecek olan sinyalin fazör bilgisini kümeleşme diyagramında farklı noktaya taşınmasıydı. Kümeleşme diyagramındaki noktalar ne kadar birbirinden uzak yerleştirilebilirse, gürültüden etkilenip bozulma olasılığı da o kadar az olacaktı. Cahn'ın tanımlamış olduğu kümeleşme diyagramında, iç halkadaki noktalar mesafe bakımından birbirlerine oldukça yakındı ve bu nedenle hatalara karşı oldukça duyarlı bir yapısı vardı. Hancock ve Lucky her genlik halkası üzerinde eşit sayıda olmayan noktaya sahip bir sistemin, özellikle evre uyumsuz algılama durumunda (non-coherent detection), gerçekleşmesinin oldukça karmaşık olacağı kanısına vardılar. Cahn'ın sunmuş olduğu kümeleşmeye Tip I dağılımı kendi kurguladıkları yapıya ise Tip II dağılımı adını verdiler. Matematiksel bir yaklaşım kullanarak, Cahn'ın Tip I dağılımına kıyasla Tip II sistemiyle 3 dB'lik bir iyiliştirmenin olacağı sonucuna vardılar. Bundan sonraki en önemli yayın 1962 yılında Campopiano ve Glazer tarafından yayınlandı [13]. Daha önceki makalelerdeki çalışmaları daha da geliştirmelerinin yanı sıra Tip III sistemi olarak adlandırdıkları yeni bir kümeleşme yapısı tanımladılar. Tip III sistemi olarak adlandırdıkları yapıyı Karesel Dördün Genlik Modülasyonu Sistemi ("The Square QAM System") olarak tanımlamışlardır. Ortaya çıkardıkları bu Tip III sistemini "Temelde aynı frekansa sahip, ancak birbirleriyle dikgen olan iki taşıyıcının genlik modülasyonu ve demodülasyonu" olarak tanımladılar. Böylelikle ilk kez kombine faz ve genlik modülasyonu kavramı birbirine dikgen taşıyıcıların genlik modülasyonu olarak tanımlanmış oldu. Fakat tanımlamış oldukları Tip III sistemlerinde evre uyumlu algılama (coherent detection) kullanılması gerektiğinin farkına varmışlardı, evre uyumsuz algılama mümkün değildi ve bu nedenle işaretlerin anlamlandırılabilmesi için taşıyıcı eş zamanlaması (carrier recovery) gerekliydi. Daha önceki çalışmalarda olduğu gibi gauss kanalları üzerinden teorik bir analiz gerçekleştirildi. Campopiano ve

Glazer tanımlamış oldukları Tip III sisteminin Tip II sisteme göre performansta oldukça küçük bir iyileştirmeye sahip olduğu sonucuna varmalarına rağmen Tip III sisteminin uygulamasının Tip I ve Tip II sistemlere göre çok daha basit olacağını düşünmüşlerdir. Tip I ve Tip II kümeleşme yapısı Şekil 4.2’de ve Tip III kümeleşme yapısı Şekil 4.3’de verilmiştir.



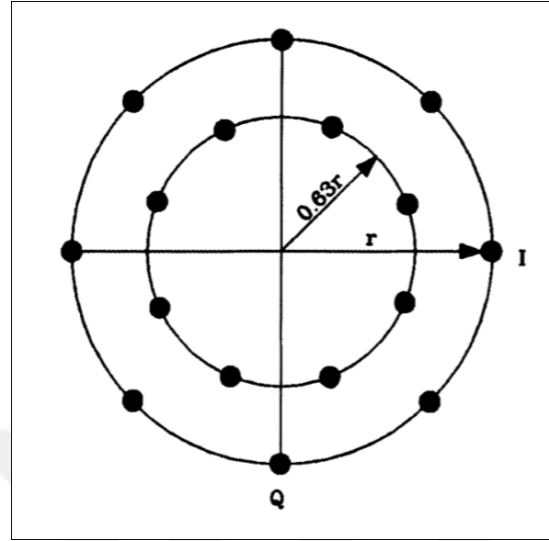
Şekil 4.2 : Tip I ve Tip II QAM Kümeleşme.



Şekil 4.3 : Tip III QAM Kümeleşme [14].

Üç ay sonra muhtemelen Campopiano ve Glazer’ın yaptığı çalışmadan habersiz bir şekilde Hancock ve Lucky tarafından bir makale daha yayınlandı [15]. Gauss kanalları için en iyi kümeleşme yapısına götürdüğü iddia edilen teorik bir analiz yaparak Tip II sistemdeki önceki çalışmalarını geliştirmeye çalıştılar. Bu çalışmalarında optimum seviyedeki 16’lı kümeleşme dağılımının iki genlik halkasında da sekiz eşit noktaya

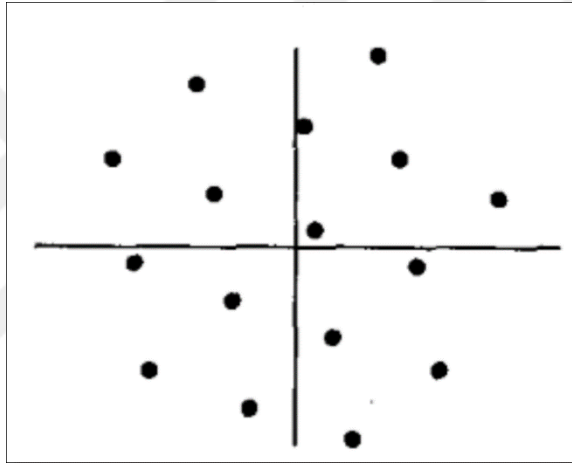
sahip halkalar birbirinden 22.5 derece kaydırılmış şekilde olduğuna karar verdiler. Hancock ve Lucky tarafından önerilen optimum kümeleşme yapısı Şekil 4.4'te verilmiştir.



**Şekil 4.4 :** Hancock Ve Lucky'nin Önerdiği Optimum Kümeleşme [15].

AM-PM kombine modülasyonu için minimum seviye sayısının yine 16 olduğunun ve minimum bit hata olasılığına sahip verimli bir işlem için en az 11 dB'lik bir SNR olması gerektiği sonucuna varmışlardır. Bu çalışmanın ardından dokuz yıl boyunca belirgin bir avantaj sağlayan bir çalışma yapılamadı. Bunun sebebi muhtemelen QAM sistemlerinin mevcut teknolojiyle uygulanmasındaki zorluklardan ve ayrıca birim zamandaki veri alış-verişinin arttırılmasına ihtiyaç duyulmamasından kaynaklanıyordu. Bu süre zarfında, yukarıdaki makalelerde ele alınan çalışmalar, özellikle Luck, Salz ve Weldon tarafından olmak üzere birçok kitapta birleştirildi [16]. Yaptıkları çalışmalarda karesel kümeleşmelerde dikgen genlik modülasyonu kavramını dairesel kümeleşmelerde ise kombine genlik ve faz modülasyonu kavramını kullanarak ayırt edilmelerini sağlamışlardır. Bu dönemde, QAM (Dördün Genlik Modülasyonu) kısaltması, AM-PM (Kombine Genlik ve Faz Modülasyonu) ile birlikte farklı kümeleşmeleri tanımlamak için yaygın bir şekilde görünmeye başladı. Bell Laboratuvarında 1971 yılında Salz, Sheehan ve Paris tarafından günümüzdeki QAM sistemlere yakın bir kümeleşmeye sahip sistem gerçekleştirildi [17]. Salz, Sheehan ve Paris dairesel kümeleşmeye sahip 4 veya 8 faz pozisyonlu ve 2 veya 4 genlik pozisyonlu hem evre uyumlu hem de evre uyumsuz bir şekilde demodülasyonunu gerçekleştirdiler. Fakat yapılan çalışmada ne saat eş zamanlaması ne de taşıyıcı eş zamanlaması gerçekleştirildi. Yapılan çalışmanın sonucu o zamana kadar elde edilen

teorik sonuçlarla uyumluluk göstermiştir. Bu çalışmaya dairesel kümeleşmeye sahip AM-PM sistemleri ile ilgili algoritmalar geliştiren Ho ve Yeh eşlik ediyordu [18]. O dönemde yaygınlaşmaya başlayan sayısal bilgisayarlar ile türetilen algoritmaları çözümlemişlerdir. Dördün genlik modülasyonuna olan ilgi 1974 yılına kadar nispeten düşük kaldı. 1974 yılında ise dördün genlik modülasyon şemaları hakkında bilgi birikimini oldukça genişleten önemli yayınlar ortaya çıktı. Bu zamanda Foschini, Gitlin ve Weinstein [19] ile Thomas, Weidner ve Durani [20] tarafından optimum kümeleşmeye yönelik iki önemli makale yayınlandı. Foschini ve arkadaşları gradyan hesaplama yaklaşımını kullanarak ideal kümeleşme yapısını teorik olarak çıkarmaya çalıştı. İdeal kümeleşme yapısını oldukça farklı bir dizilimde Şekil 4.5'te belirtilen şekilde 16 seviyeli eşkenar üçgen yapısına dayandığı sonucuna varmışlardır



**Şekil 4.5 :** Foschini'nin Önerdiği Optimum Kümeleşme [19].

Tanımlanmış oldukları kümeleşme yapısı karesel kümeleşme yapısına sahip dikgen genlik kiplemesine göre Gauss kanalı üzerinde 0.5dB'lik bir performans artışı sağlamıştır. Fakat ortaya çıkardıkları bu ideal kümeleşme yapısı uygulama tarafında istenilen sonuçları alamamıştır. Gerçeklenme zorluğu ve karmaşık yapısı sağlamış olduğu kazanımlardan daha ağır bastığından bu kümeleşme yapısına sahip olan modem yapılarına günümüzde rastlamamaktayız.

#### 4.2 Dördün Genlik Modülasyon Analizi

Genel olarak modüle edilmiş olan sinyalin denklemi,

$$s(t) = a(t) \cos[2\pi f_c t + \phi(t)] = \text{Re}(a(t)e^{j[w_c t + \phi(t)]}) \quad (4.1)$$

şeklinde ifade edilebilir. Taşıyıcı sinyal  $\cos[w_c t]$  genlik bilgisinin  $a(t)$  değişimine göre genlik modüleli,  $\phi(t)$  faz bilgisinin değişimine göre de faz modüleli olarak tanımlanabilir. Aşağıdaki eşitliğin yardımıyla modüleli sinyalin faz ve kuadratur bileşenlerini elde etmek mümkündür.

$$\cos(\alpha + \beta) = \cos \alpha \cos \beta - \sin \alpha \sin \beta \quad (4.2)$$

$$a(t) \cos[2\pi f_c t + \phi(t)] = a(t) \cos \phi(t) \cos[2\pi f_c t] - a(t) \sin \phi(t) \sin[2\pi f_c t] \quad (4.3)$$

QAM yapısında temel banttaki modüleli sinyalin genliği  $a(t)$  fazı  $\phi(t)$  olarak tanımlanmaktadır. Bu kapsamda “I” faz bileşeni (in-phase component)

$$I = a(t) \cos \phi(t) \quad (4.4)$$

ve “Q” kuadratur bileşeni (quadrature component)

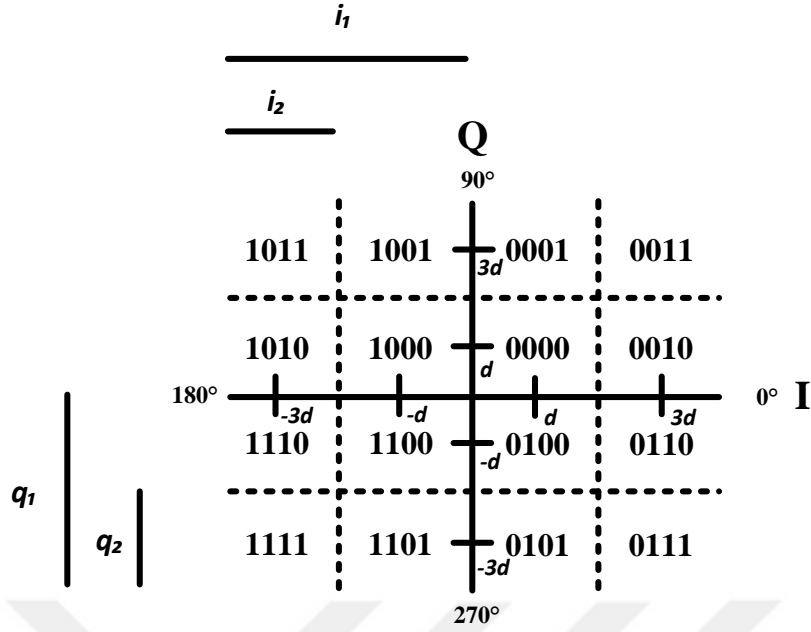
$$Q = a(t) \sin \phi(t) \quad (4.5)$$

şeklinde tanımlanır.

#### 4.2.1 Haritalama

Akış içerisindeki bilgi bitlerinin I ve Q taşıyıcıları üzerine haritalanması işlemi modülatörün özelliklerinin belirlenmesinde temel bir rol oynar. Haritalama işlemi kümeleşme diyagramları aracılığıyla sergilenmektedir. Kümeleşme diyagramları, farklı QAM formlarındaki durumlar için farklı konumlanmaları göstermektedir. 4.1 kısmında da bahsedildiği gibi gelişim sürecinde bir çok kümeleşme diyagramı ortaya çıkmıştır. Bu şemaların bir çoğu gerçekleştirilebilir olsa da bu tez kapsamında noktaların eşit dikey ve yatay aralıklarla kare şeklinde bir yerleşime sahip olan standart dikdörtgen kümeleşme diyagramı kullanılacaktır. Şekil 4.6’deki 16-QAM kümeleşme diyagramındaki her fazör, 4 bitlik bir sembolle temsil edilmektedir. Faz bileşeni bitleri  $i_1$  ve  $i_2$  kuadratur bileşeni bitleri ise  $q_1$  ve  $q_2$  olmak üzere sırasıyla 4 bitlik sembolü  $i_1, q_1, i_2, q_2$  şeklinde oluşturmaktadırlar. Bu dörtlü yapı Gray kodlama tekniğine göre yerleştirilmiş ve sırasıyla 01, 00, 10 ve 11 bitlerine karşılık  $3d, d, -d$  ve  $-3d$  seviyeleri atanmıştır.





Şekil 4.6 : Gray Kodlanmış 16-QAM Kümeleşme.

Bu kümeleşme diyagramının yaygın olarak kullanılmasının en önemli sebeplerinden birisi ise fazörlerin ortalama enerjisinin maksimize edilecek şekilde düzenlenmiş olmasıdır. Ortalama enerjiyi hesaplayacak olursak,

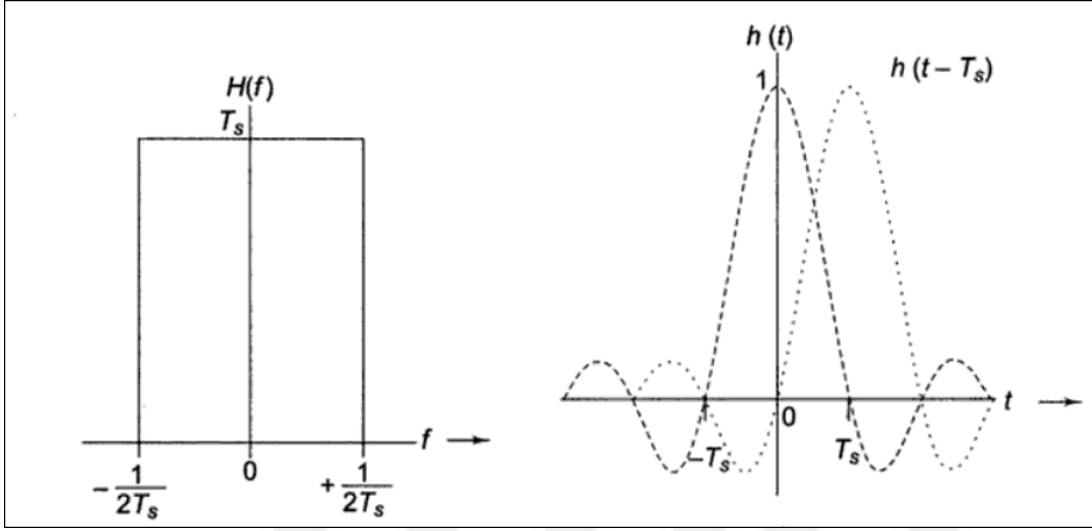
$$E^0 = \frac{2d^2 + 2 * 10d^2 + 18d^2}{4} = 10d^2 \quad (4.6)$$

elde edilir. Herhangi başka bir fazör düzenlemesi için ortalama enerji daha azdır ve bu nedenle sabit bir gürültü altında aynı bit hata oranını elde etmek için gerekli olan sinyal-gürültü oranı daha yüksek olacaktır. Aynı zamanda Şekil 4.6'daki haritalamada  $2d$  öklid mesafesine sahip olan en yakın komşular arasındaki hamming mesafesinin her zaman 1 olduğu gözükmemektedir. Basit bir tanımlama ile Hamming mesafesi kümeleşme diyagramındaki noktalar arasındaki her bir bit karşılaştırıldığında ortaya çıkan bit farklılığıdır. Bu nedenle 0101 ile 0111 adlı noktaların Hamming mesafesi 1 iken 0101 ve 0011 adlı noktaların Hamming mesafesi 2 olacaktır. İletilen bir fazör gürültüden bozularak yanlışlıkla komşu olduğu bir noktayı tanımlasa bile demodülatör tek bir bit hatası olan bir fazör seçmiş olacaktır. Gray kodlamanın en temel özelliklerinden olan bu durum hata olasılığını da minimize etmektedir.

#### 4.2.2 Filtreleme

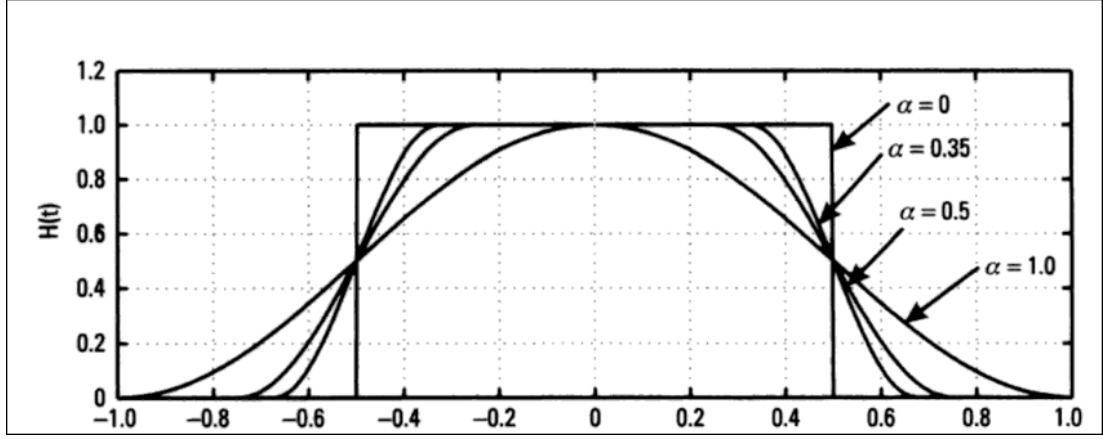
Dördün bileşenleri olan I ve Q tarafından taşınan tüm bilgileri kompakt bir frekans bandı içinde tutabilmek için alçak geçiren bir filtre ihtiyacı bulunmaktadır. İdeal

doğrusal fazlı bir alçak geçiren filtrenin kesim frekansı  $f_n=f_s/2$  , örnekleme frekansı  $f_s=1/T$  ve  $f_n$  Nyquist frekansıdır. Filtrenin doğrusal faz tepkisi nedeniyle, tüm frekans bileşenleri aynı grup gecikmesini gösterecektir. Böyle bir filtre sinc fonksiyonu yapısında örnekleme anlarındaki sıfır geçişlere sahip darbe cevabına sahiptir. Bu durum semboller arası girişimin oluşumunu engellemektedir. Nyquist karakteristiğine sahip bu ideal transfer fonksiyonu ve darbe cevabı Şekil-4.7’de belirtilmektedir.



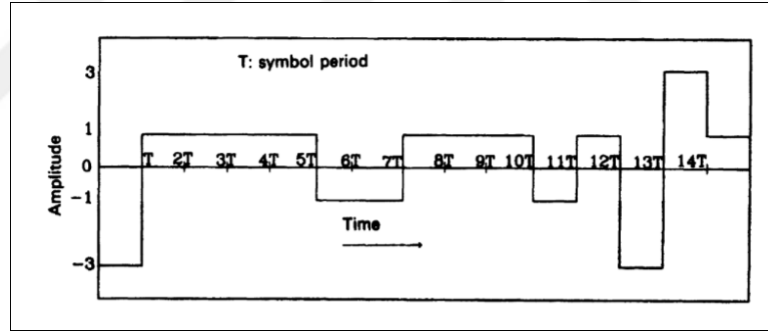
Şekil 4.7 : Nyquist Ideal Filtre Transfer Fonksiyonu ve Darbe Cevabı [21].

Pratikte alçak geçiren bütün filtrelerin özellikle geçiş bandı ile söndürme bandı arasındaki geçişe karşı genlik ve faz bozulmaları göstermesi nedeniyle böyle bir filtrenin gerçekleşmesi mümkün değildir. Konvensiyonel Butterworth, Chebyshev veya ters Chebyshev yapısındaki alçak geçiren filtrelerin darbe cevapları örnekleme anlarında sıfır olmayan geçişlere sahiptir. Dolayısıyla bu durum semboller arası girişim oluşumunu ortaya çıkarmaktadır. Bu durum bit hata performansını düşürmektedir. Nyquist teorik çalışmasında kanal dahil olmak üzere toplam iletim yolunda sıfır geçişli bir darbe cevabına sahip olmasını sağlayan özel darbe şekillendirme filtrelerinin kullanılması gerektiğini önermiştir [22]. Bu karakteristiğe sahip olan filtre yapısına yükseltilmiş kosinüs süzgeci (raised-cosine) adı verilmektedir. Bu filtre yapısındaki roll-of faktörü ( $\alpha$ ) bant genişliği karakteristiğinin belirlenmesinde kullanılmaktadır.  $\alpha = 0.5$  olarak seçildiğinde toplam bant genişliği  $1.5 \times B$  olmaktadır. Roll-of faktörünün küçülmesi bant genişliği ihtiyacının azalmasına dolayısıyla daha kompakt bir spektrum kullanımına yol açmakta fakat filtrenin gerçekleşmesi oldukça kompleks bir hale gelmektedir. Roll-of faktörü değişimine göre darbe cevabı değişimleri Şekil 4.8’de görülmektedir.

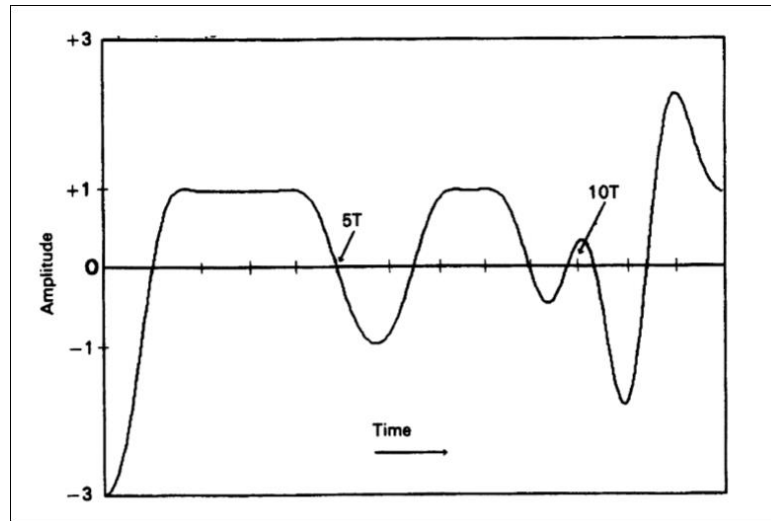


Şekil 4.8 : Roll-Of Faktörü Değişimine göre Transfer Fonksiyonu [23].

Filtrenin etkisini daha net bir şekilde ortaya koyabilmek için haritalanmış 16-QAM'ın I bileşenin zaman domenindeki çıktısı Şekil 4.9'da verilmiştir. Bu sinyale roll-of faktörü  $\alpha = 0.1$  ve  $\alpha = 0.9$  olan filtreler uygulanarak Şekil 4.10 ve Şekil 4.11'de filtrenin etkisi görülmüştür. Böylelikle yüksek frekanslı sinyal bileşenleri çıkarılmış ve keskin zaman bölgesi geçişleri yumuşatılmıştır.



Şekil 4.9 : 16-QAM Haritalanmış I Bileşeni [24].



Şekil 4.10 : 16-QAM Haritalanmış I Bileşenin  $\alpha = 0.1$  Filtrelenmiş Hali [24].



## 5. CORDIC ALGORİTMASI

Aynı zamanda Volder Algoritması [25] olarak da bilinen CORDIC (Koordinat Döndüren Sayısal Bilgisayar), hiperbolik ve trigonometrik fonksiyonları hesaplamak için oldukça etkili bir algoritmadır. Sinüs, kosinüs, genlik ve faz gibi trigonometrik fonksiyonların değerlerini oldukça yüksek çözünürlükte istenen hassasiyete göre hesaplayabilmektedir. Günümüzde CORDIC algoritması,

Sinyal ve görüntü işleme uygulamalarında [26]

Haberleşme ve kablosuz teknolojide [27]

Biyometrik kimlik doğrulama uygulamalarında [28]

Bulanık mantık tabanlı kontrol sistemlerinde [29]

kullanılmaktadır.

Jack E. Volder tarafından 1959 yılında açıklanan CORDIC algoritması, yalnızca kaydırma ve ekleme işlemlerini kullanarak rasgele açılarla yapılan vektör döndürmeleriyle yinelemeli bir yöntem sunar [30]. CORDIC algoritmasını anlamak için önce rotasyon matrisi kavramını anlamamız gerekir. Rotasyon matrisi olarak bahsedilen kavram öklid uzayında bir döndürme gerçekleştirmek için kullanılmaktadır. Örnek vermek gerekirse R matrisi XY-Kartezyen uzayındaki noktaların kartezyen koordinat sistemi merkezine göre saat yönünün tersine  $\theta$  açısı kadar döndürülmesini belirtmektedir.

$$R = \begin{bmatrix} \cos \theta & -\sin \theta \\ \sin \theta & \cos \theta \end{bmatrix} \quad (5.1)$$

Rotasyon matrisi R kullanılarak rotasyon işlemini gerçekleştirecek olan her bir noktanın konumu, noktanın koordinatlarını içeren bir V sütun vektörü ile tanımlanmalıdır.  $R \cdot V$  çarpım matrisi aracılığıyla vektör döndürme işlemi sağlanmış olur. Rotasyon matrisi cebirsel dönüşümler yardımıyla oldukça kolay bir şekilde anlaşılabilir. Euler formülü yardımı aracılığıyla noktaların konumu kompleks eksponansiyel yapıda ifade edilebilmektedir.

$$e^{i\theta} = \cos \theta + i \sin \theta \quad (5.2)$$

Yukarıdaki eşitliğin reel parçası  $x$  eksenini koordinat düzlemini, imajinel parçası  $y$  eksenini koordinat düzlemini belirtmektedir.  $p$  noktası  $(x,y)$  koordinatlarına sahip olduğunu varsayılırsa,

$$p = x + iy \quad (5.3)$$

elde edilir.

Ekspansiyel formda yazılacak olursa,

$$p = P e^{i\beta} \Rightarrow P = \sqrt{x^2 + y^2} \text{ ve } \beta = \tan^{-1} \left( \frac{y}{x} \right) \quad (5.4)$$

elde edilir.

$X$  ve  $Y$  noktaları  $\theta$  kadar döndürülürse  $p'$  noktasının elde edildiği varsayılırsa,

$$p' = P e^{i(\beta+\theta)} = P e^{i\beta} e^{i\theta} = p e^{i\theta} \quad (5.5)$$

elde edilir.

$p$  ve  $e^{i\theta}$  bileşenleri tekrar Euler formda açılacak olursa,

$$p' = (x + iy) (\cos \theta + i \sin \theta) = x \cos \theta - y \sin \theta + i(x \sin \theta + y \cos \theta) \quad (5.6)$$

elde edilir.

$p'$  noktasının  $x'$  ve  $y'$  bileşenlerini,

$$x' = x \cos \theta - y \sin \theta \quad (5.7)$$

$$y' = x \sin \theta + y \cos \theta \quad (5.8)$$

şeklinde ifade etmek mümkündür.

Elde edilen ifade matris formda yazılmak istenirse,

$$p'(x, y) = \begin{bmatrix} \cos \theta & -\sin \theta \\ \sin \theta & \cos \theta \end{bmatrix} \begin{bmatrix} x \\ y \end{bmatrix} \quad (5.9)$$

elde edilir. Böylelikle rotasyon matrisi matematiksel çıkarımı sağlanmış olur.

CORDIC algoritması, bu rotasyonel işlemleri hesaplamak için donanımsal açıdan verimli bir yöntem sağlamaya çalışır. "Donanımsal açıdan verimli" kavramının sağlanabilmesi için algoritmanın çarpma işlemlerini kullanmaktan kaçınması ve yalnızca kaydırma ve toplama/çıkarma işlemlerine dayanması gerekmektedir. Bu kapsamda daha önce çıkarılmış olan rotasyon matrisinde bazı sadeleştirmeler ve

çıkarımlar yapma ihtiyacı bulunmaktadır. Bu kapsamda çıkarılmış olan rotasyon matrisi aşağıdaki gibi ifade edilirse,

$$\begin{bmatrix} x_1 \\ y_1 \end{bmatrix} = \cos \theta \begin{bmatrix} 1 & -\tan \theta \\ \tan \theta & 1 \end{bmatrix} \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} \quad (5.10)$$

Yukarıdaki denklemde bir adet rotasyon işlemi için 4 adet çarpma işlemi yapılması gerektiği gözükmemektedir. CORDIC algortiması çarpma işlemi olmadan rotasyon işlemi gerçekleştirilmek için iki temel özelliği kullanır. İlk temel özellik giriş vektörünün  $\theta_d$  kadar döndürülmesi ile toplamı  $\theta_d$  açısına eşit birkaç küçük açıyla döndürülmesine eşittir.

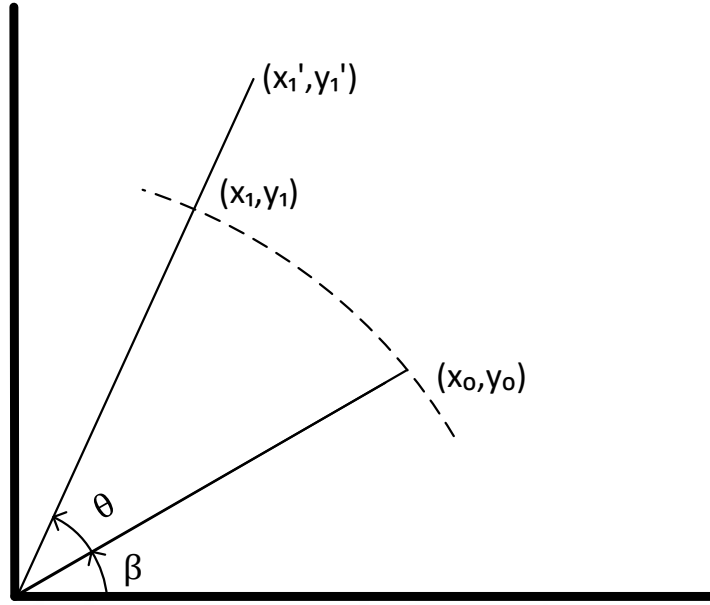
$$\theta_d = \sum_{k=0}^n \theta_k \quad k = 0, 1, \dots, n \quad (5.11)$$

Örnek verilirse  $\theta_d = 57.535^\circ$  açısının döndürülmesiyle  $45^\circ$ ,  $26,565^\circ$  ve  $-14,03^\circ$ 'lik üç döndürmenin gerçekleştirilmesi aynı sonucu verecektir.

İkinci temel özellik ise tanjant çarpım işlemi basit bir kaydırma işlemine çevirecek olan 5.12 denklemidir.

$$\tan(\theta_k) = 2^{-k} \quad k = 0, 1, \dots, n \quad (5.12)$$

eşitliğinden faydalanılacaktır. Eşitliklerdeki  $n$ 'nin değerinin artırılmasıyla istenilen değere daha çok yakınsayarak hesaplamaların doğruluğunu arttırabiliriz. İki tane çarpma işlemi, tanjant değişkeninin ikinin ters katlarına çevrilmesi işlemiyle kaydırma işlemine dönüştürülmesinden sonra  $\cos \theta$  değişkeninden gelen iki adet çarpma işlemi dönüştürme işlemi gerekmektedir.  $\cos \theta$  bileşenini hem x hem de y bileşenlerinin çarpanı olduğu için sistem kazancı (ölçekleme faktörü yardımıyla) gibi değerlendirilebilir.  $x_1$  ve  $y_1$  olarak tanımladığımız son değerlere ulaşmak için hem x hem de y bileşenini küçültmek durumundayız. Şekil 5.1'e bakıldığında  $\cos \theta$  ile çarpımların uygulanmadığı  $x_1'$  ve  $y_1'$  noktası elde edilmektedir. Elde edilen bu nokta ise  $x_1$  ve  $y_1$  noktasının  $1/\cos \theta$  katıdır.



**Şekil 5.1 :** Cos  $\theta$  Çarpanının Ölçeklendirme Faktörü Değerlendirilmesi.

CORDIC algoritmasının art arda gelen temel rotasyonlarını uygularken bu ölçeklendirme faktörünün etkisi incelenecektir. Giriş vektörünün  $57.535^\circ$  döndürmek istendiği varsayalım. Daha önceden de bahsedilen gibi  $45^\circ$ ,  $26,565^\circ$  ve  $-14,03^\circ$  olmak üzere üç döndürme işlemiyle istenilen açı değeri elde edilmektedir. Sırasıyla döndürme işlemleri matris formda incelenirse;

$45^\circ$ 'lik ilk döndürme işlemi sonucunda,

$$\begin{bmatrix} x_1 \\ y_1 \end{bmatrix} = \cos(45^\circ) \begin{bmatrix} 1 & -1 \\ 1 & 1 \end{bmatrix} \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} \quad (5.13)$$

$26,565^\circ$ 'lik ikinci döndürme işlemi sonucunda,

$$\begin{bmatrix} x_2 \\ y_2 \end{bmatrix} = \cos(26,565^\circ) \begin{bmatrix} 1 & -2^{-1} \\ 2^{-1} & 1 \end{bmatrix} \begin{bmatrix} x_1 \\ y_1 \end{bmatrix} \quad (5.14)$$

$-14,03^\circ$ 'lük üçüncü döndürme işlemi sonucunda,

$$\begin{bmatrix} x_3 \\ y_3 \end{bmatrix} = \cos(-14,03^\circ) \begin{bmatrix} 1 & 2^{-2} \\ -2^{-2} & 1 \end{bmatrix} \begin{bmatrix} x_2 \\ y_2 \end{bmatrix} \quad (5.15)$$

elde edilir.

Sonuç olarak elde edilen ifade;

$$\begin{bmatrix} x_3 \\ y_3 \end{bmatrix} = \cos(45) \cos(26,56) \cos(-14,03) \begin{bmatrix} 1 & -1 \\ 1 & 1 \end{bmatrix} \begin{bmatrix} 1 & -2^{-1} \\ 2^{-1} & 1 \end{bmatrix} \begin{bmatrix} 1 & 2^{-2} \\ -2^{-2} & 1 \end{bmatrix} \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} \quad (5.16)$$

şeklindedir.



5.16 nolu denklemden çıkarılması gereken iki sonuç bulunmaktadır. İlk olarak, her bir dönme işleminden gelen bir ölçeklendirme faktörü çarpanı olmasıdır. Bu durum çıkarmış olduğumuz 5.10 nolu eşitlikteki  $\cos \theta$  bileşenin yok etmemize olanak sağlamaktadır. Çünkü belirli açılarda yapılan döndürme işlemlerinden dolayı ilgili terim yerine ölçeklendirme faktörünün yazılması mümkün olmaktadır. İkinci sonuç algoritma içerisinde döndürme işlemi devam ettikçe dönme açısı hızla küçülmekte dolayısıyla  $\cos \theta$  bileşeni 1'e yakınsamaktadır. Ölçeklendirme faktörünün değeri iterasyon sayısının sonsuza gitmesiyle yaklaşık olarak 0.6073 olarak hesaplanmaktadır [30]. Çizelge 5.1 'de açı değerine karşılık gelen kosinüs değeri verilmiştir.

**Çizelge 5.1 : Açı değerine Karşılık Gelen Değerler.**

Açı Değeri	Cos $\theta$ Değeri
45	0.7071
26.5651	0,8944
14.0362	0,9701
7.1250	0,9922
3.5763	0,9980
1.7899	0,9995
0.8952	0,9998
0.4476	0,9999
.	.
.	.
.	.
0	1

$$K = \cos(45^\circ) \times \cos(26,565^\circ) \times \cos(14,036^\circ) \times \dots \times \cos(0^\circ) = 0,6073 \quad (5.17)$$

Özetle denklem 5.10'daki  $\cos \theta$  bileşeni yerine dönüş açısına bakılmaksızın 0,6073'lük sabit bir ölçeklendirme faktörü uygulanabilir. Algoritma her bir temel dönüşte önceden tanımlanmış bazı açıları kullandığı için sabit bir ölçeklendirme faktörü kullanılabilir. Hem sabit ölçeklendirme faktörü hem de iteratif bir şekilde denklem düzenlenirse,

$$x_{i+1} = K_i[x_i - d_i \cdot y_i \cdot 2^{-i}] \quad (5.18)$$

$$y_{i+1} = K_i[y_i + d_i \cdot x_i \cdot 2^{-i}] \quad (5.19)$$

elde edilir.  $d_i$  dönme açısı dönüş yönünü belirtmek için +1 veya -1 değerini almaktadır. 5.18 ve 5.19 nolu denklemler, algoritmanın her zaman önceden tanımlanmış açılarla belirli sayıda döndürme gerçekleştireceğini ve algoritmanın her yinelemede dönüşün

saat yönünde mi saat yönünün tersine mi olacağını göstermektedir.  $d_i$  değişkenin değer seçim işlemi ise her bir yineleme için ayrı ayrı değerlendirilmelidir. Bu işlem her bir dönüş açısının kaydedilmesi ve elde edilen toplam dönüşün istenen dönüş ile karşılaştırılması sonucunda gerçekleştirilir. İstenilen dönme açısı daha önce elde edilen açıdan daha büyükse (daha küçükse), bir sonraki yinelemede saat yönünün tersine (saat yönünde) döndürme gerekir. Örneğin,  $58^\circ$ 'lik bir dönüş istendiğini varsayalım. Algoritmanın başlangıcında, sıfır döndürme açısı olduğundan  $58^\circ > 0$  sonucunu elde edildiğinden  $d_i = 1$  olarak seçilir. Bu durum  $45^\circ$ 'lik bir dönme sağlayacaktır. İkinci yinelemede ise elde edilen dönmenin hala hedef açıdan daha küçük olduğu görülmektedir.  $58^\circ > 45^\circ$  sonucunu elde edildiğinden tekrar  $d_i = 1$  olarak seçilir. Üçüncü yineleme ise  $26,565^\circ$  dönmeye yol açacaktır. Dönme işlemi sonucundaki açı değeri artık hedef açı değerinden büyük olduğu için bir sonraki yineleme için  $d_i = -1$  olarak seçilecektir. Algortima tüm yinelemeler (n) devam edinceye kadar işlem devam edecektir. Aslında bu yapı genel dönüşü hesaplayan ve bunu referans değerle karşılaştıran ve yeni dönüşleri hatayı en aza indirecek şekilde seçen negatif bir geri besleme mekanizmasıdır.

$$\theta_{hata} = \theta_d - \sum_{k=0}^n \theta_k \quad k = 0, 1, \dots, n \quad (5.20)$$

Bu mekanizma denklem 5.18 ve 5.19'daki ifade grubuna eklenirse ve ölçeklendirme faktörü yinelemeli denklem yapısından çıkarılırsa (genelde başlangıç değer atamasında kullanılmaktadır) aşağıdaki gibi bir yapı elde edilir.

$$x_{i+1} = x_i - d_i \cdot y_i \cdot 2^{-i} \quad (5.21)$$

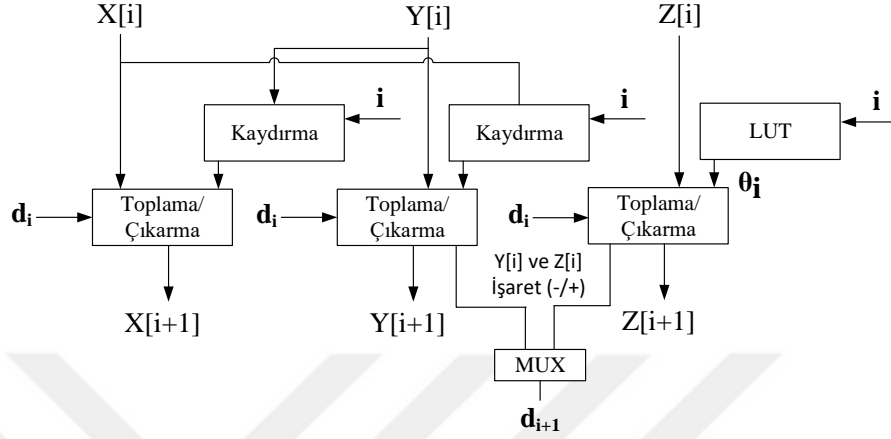
$$y_{i+1} = y_i + d_i \cdot x_i \cdot 2^{-i} \quad (5.22)$$

$$z_{i+1} = z_i - d_i \cdot x_i \cdot \arctan(2^{-i}) \quad (5.23)$$

Bu denklem yapısı içerisindeki üçüncü denklem takımı tüm dönüşlerin açısını toplar ve bunu başlangıç değeri  $z[0]$  ile karşılaştırır. Örneğin,  $58^\circ$ 'lik döndürme sırasında,  $z[0] = 58^\circ$  seçilmeli ve bir sonraki dönme yönü hakkında karar vermek için  $z[i + 1]$ 'in işaretine karar verilmelidir. Bu denklem grubunda açıklığa kavuşturulması gereken iki önemli durum söz konusudur. Birincisi her bir yinelemenin açısının bilmek zorunda olduğu ve istenen açı değeri ne olursa olsun iterasyon sayısının ne kadar yapılacağı kararı verildikten sonra o kadar yapılmak zorunda olduğudur. Örneğin on iki

iterasyonlu bir yapı kurduğumuzu varsayalım. İstenen açı değerine ise üçüncü döndürme işlemi sonucunda ulaştığımızı düşünelim. Algoritmanın tabiatı gereği on iki iterasyon tamamlanıncaya kadar süreç devam edecektir.

Şekil 5.2’de tekil bir CORDIC algoritma iterasyon yapısı belirtilmektedir.



**Şekil 5.2 :** Tekil CORDIC Algoritması İterasyon Yapısı.

Rotasyon modunda kullanılacak olan CORDIC algoritmasının dördün genlik modülasyonuna uyarlanması ve gerçekleşmesi için denklem yapısını aşağıdaki gibi düzenleyebiliriz.

$$x_n = A_n [x_0 \cos(z_0) - y_0 \cdot \sin(z_0)] \quad (5.24)$$

$$y_n = A_n [y_0 \cos(z_0) + x_0 \cdot \sin(z_0)] \quad (5.25)$$

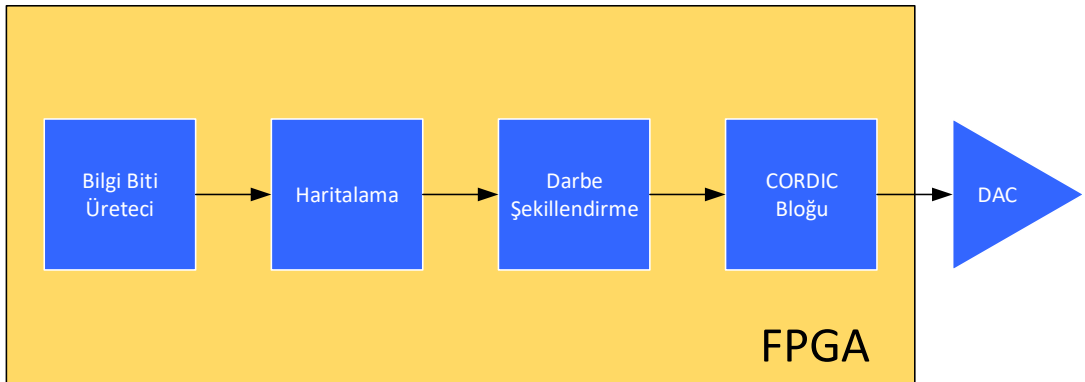
$$z_n = 0 \quad (5.26)$$

$$A_n = \prod_{i=0}^n \sqrt{1 + 2^{-2i}} \quad (5.27)$$



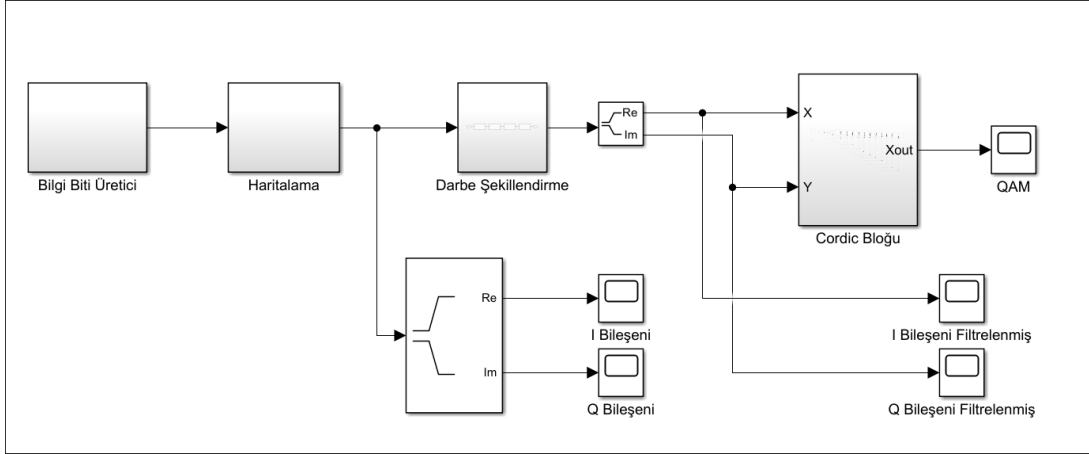
## 6. DÖRDÜN GENLİK MODÜLASYONU TASARIMI

Dördün genlik modülatör tasarımında geleneksel yöntemden farklı olarak CORDIC temelli bir yapı kullanılmıştır. Önerilen yöntem Şekil 6.1’deki akışa uygun olarak bilgi biti üretici aracılığıyla rastgele üretilen bilgi bitleri haritalama bloğundan geçtikten sonra SRRC filtre ve yarım bant alçak geçiren filtrelerden geçirilir. Filtrelenen ve yukarı örneklenen I ve Q bileşenleri CORDIC bloğuna uygulanarak modüleli işaret üretilmiştir. Tasarım blokları Şekil 6.2’deki gibi Matlab Simulinkte oluşturulduktan sonra Xilinx firmasına ait olan Vivado derleyicisinde üretilmiş, simülasyonlar ise Modelsim programı aracılığıyla yapılmıştır. Gerçekleme aşamasında Xilinx firmasına ait AC701 geliştirme kartından yararlanılmıştır. Sayısal olarak üretilen işareti analoga çevirmek için DAC904 entegresiyle tasarlanan sayısal analog çevirici devresinden yararlanılmıştır. Tasarımda gerçekleştirilen modüller tamamen platform bağımsız olacak şekilde jenerik bir yapıda oluşturulmuştur. Bütün modüller tekil 150 Mhz’lik saat darbesi ile işlemlerini gerçekleştirecek şekilde bir yapı kurulmuştur. Yüksek frekanslı tek bir saat darbesinin tasarımda kullanılmasının amacı saat darbesi çaprazlaması problemini ortadan kaldırmak hem de teknolojinin gelişmesi ile daha yüksek frekanslarda çalışabilme yeteneği gelen FPGA’lerde tekrar kullanılabilme durumundandır. Yukarı örnekleme ihtiyaçları ise filtrelerin sahip oldukları aktifleştirme (enable) girişleri aracılığıyla ayarlanmıştır.



Şekil 6.1 : Dördün Genlik Modülasyonu Genel Mimari.

Gerçeklenen tasarımda herhangi bir tayf maskesine bağlı kalınmamış olup tek taşıyıcılı genişbant kod bölme çoklu erişim yapısının filtre gereksinimlerine benzer bir yapı kurulmuştur. Bilgi biti üretici modülü tarafından örnekleme hızı 0.78125 MSps (3.125 Mbps) sembol oranına sahip olacak şekilde veri transferi sağlanmaktadır. Temel bantta üretilen işaret her bir filtrede 2 katına çıkacak şekilde 16 kat interpole edilmiştir. Ara frekans taşıyıcısı ise 6.250 Mhz olacak şekilde ayarlanmıştır.



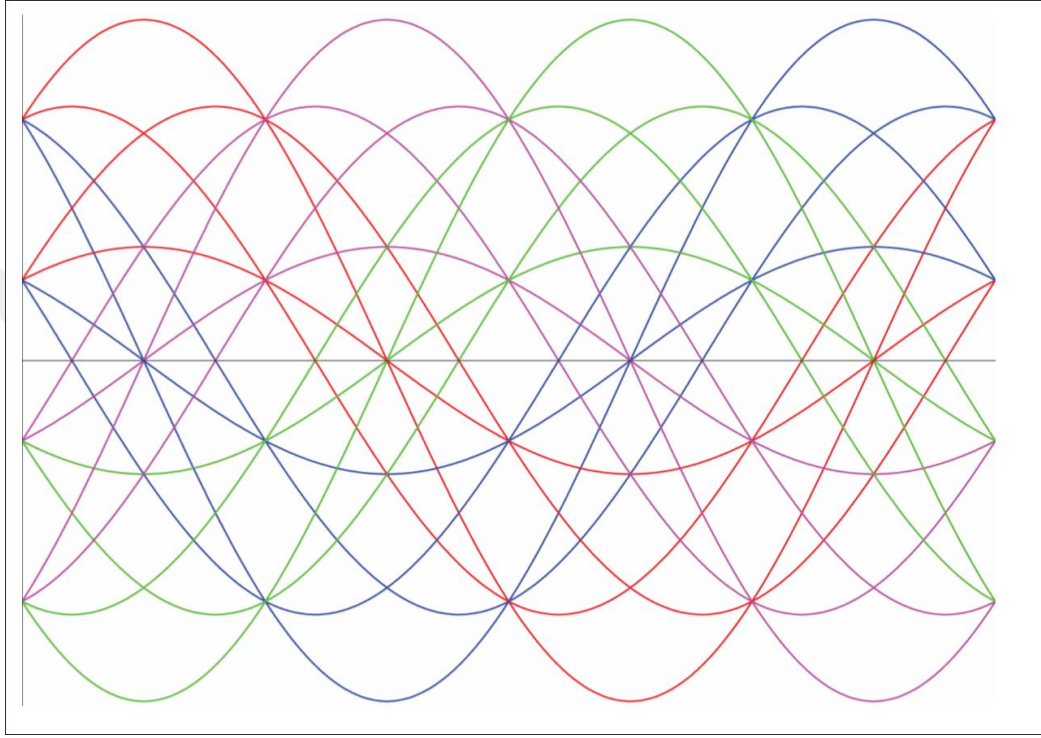
**Şekil 6.2 :** Matlab Ortamında Oluşturulan Yapı.

Standart 16-QAM dikdörtgen kümeleşme diyagramının Gray kodlama tekniğine göre oluşturulmuş hali Şekil 4.6 'da verilmişti. Kümeleşme diyagramındaki her bir nokta faz ve genlik anlamında detaylandırılacak olursa;

**Çizelge 6.1 :** I-Q değerine Karşılık Gelen Faz ve Genlik Bilgisi.

I-Q Değeri	Faz Bilgisi	Genlik Bilgisi
0000	45	0,33
0001	75	0,75
0010	15	0,75
0011	45	1
0100	315	0,33
0101	285	0,75
0110	345	0,75
0111	315	1
1000	135	0,33
1001	105	0,75
1010	165	0,75
1011	135	1
1100	225	0,33
1101	255	0,75
1110	195	0,75
1111	225	1

I ve Q deęerleri katsayıları hesaplanırken ölçeklendirme işlemi için 4500 ile çarpılma işlemi gerçekleştirilecektir. Bu katsayı filtrede oluşan genlik kayıplarını kompanze etmek hem de DAC'ın maksimum genlik seviyesini kullanabilmek için ampirik olarak hesaplanmış bir deęerdir. Bu işlem filtrelerin kazanç deęerleri artırılarak da gerçekleştirilebilir. Şekil 6.3'te 16-QAM yapısındaki olası bütün işaretler faz ve genlik anlamında belirtilmiştir.

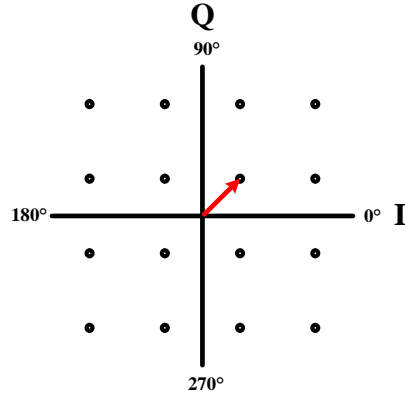


**Şekil 6.3 :** 16-QAM Olası Bütün Semboller.

“0000” noktası için faz açısı  $45^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 0,333'dür. Haritalama işlemi için gereken I ve Q deęerleri hem genlik hem de faz bilgisini içerecek şekilde 6.1'deki ifade ile hesaplanır.

$$x_{0000} = A_n \left[ \cos \left( t + \frac{\pi}{4} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ \frac{-\sin t}{\sqrt{2}} + \frac{\cos t}{\sqrt{2}} \right] \quad (6.1)$$

I ve Q deęerleri hesaplanacak olursa sırasıyla yaklaşık olarak “1061” ve “1061” deęeri bulunur.

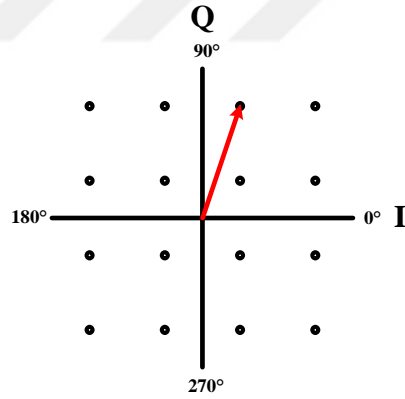


**Şekil 6.4 :** Kümeleşme Diyagramı “0000” noktası.

“0001” noktası için faz açısı  $75^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 0,75’dir. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.2’deki ifade ile hesaplanır.

$$x_{0001} = A_n \left[ \cos \left( t + \frac{5\pi}{12} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ \frac{-\sqrt{3} - 1}{2\sqrt{2}} \sin t + \frac{\sqrt{3} - 1}{2\sqrt{2}} \cos t \right] \quad (6.2)$$

I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “868” ve “3240” değeri bulunur.



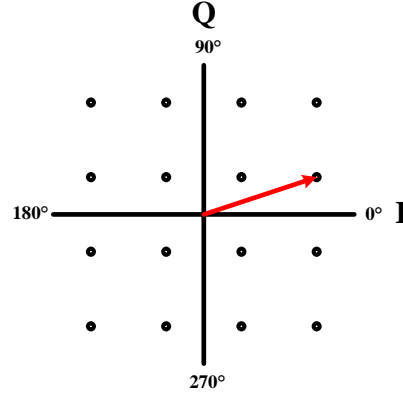
**Şekil 6.5 :** Kümeleşme Diyagramı “0001” noktası.

“0010” noktası için faz açısı  $15^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 0,75’dir. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.3’teki ifade ile hesaplanır.

$$x_{0010} = A_n \left[ \cos \left( t + \frac{\pi}{12} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ \frac{-\sqrt{3} + 1}{2\sqrt{2}} \sin t + \frac{\sqrt{3} + 1}{2\sqrt{2}} \cos t \right] \quad (6.3)$$



I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “3240” ve “868” değeri bulunur.

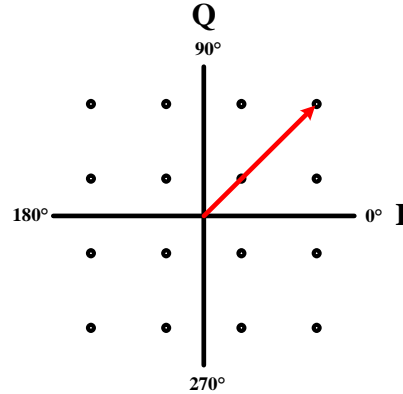


**Şekil 6.6 :** Kümeleşme Diyagramı “0010” noktası.

“0011” noktası için faz açısı  $45^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 1’dir. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.4’teki ifade ile hesaplanır.

$$x_{0011} = A_n \left[ \cos \left( t + \frac{\pi}{4} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ -\frac{\sin t}{\sqrt{2}} + \frac{\cos t}{\sqrt{2}} \right] \quad (6.4)$$

I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “3182” ve “3182” değeri bulunur.

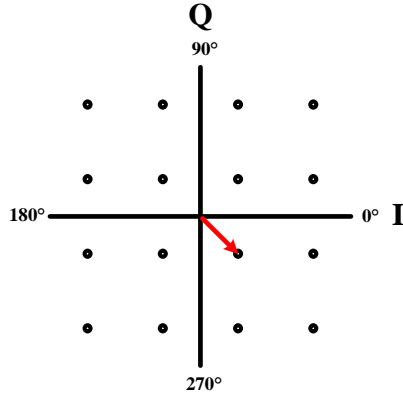


**Şekil 6.7 :** Kümeleşme Diyagramı “0011” noktası.

“0100” noktası için faz açısı  $315^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 0,33’dir. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.5’teki ifade ile hesaplanır.

$$x_{0100} = A_n \left[ \cos \left( t + \frac{21\pi}{12} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ \frac{\sin t}{\sqrt{2}} + \frac{\cos t}{\sqrt{2}} \right] \quad (6.5)$$

I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “1061” ve “-1061” değeri bulunur.

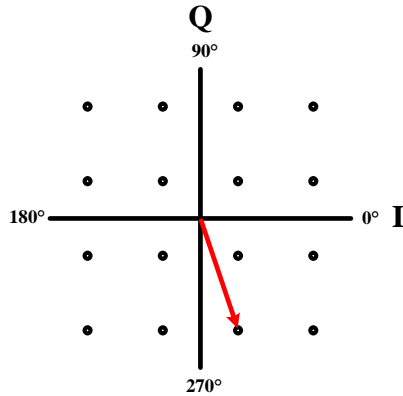


**Şekil 6.8 :** Kümeleşme Diyagramı “0100” noktası.

“0101” noktası için faz açısı  $285^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 0,75’dir. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.6’teki ifade ile hesaplanır.

$$x_{0101} = A_n \left[ \cos \left( t + \frac{19\pi}{12} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ \frac{\sqrt{3} + 1}{2\sqrt{2}} \sin t + \frac{\sqrt{3} - 1}{2\sqrt{2}} \cos t \right] \quad (6.6)$$

I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “868” ve “-3240” değeri bulunur.

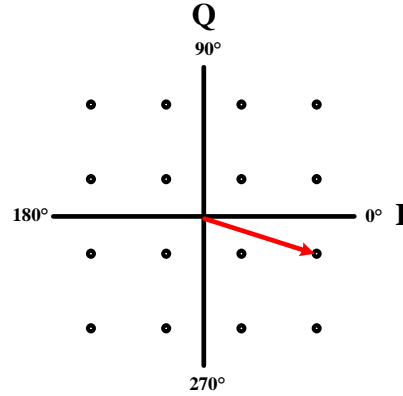


**Şekil 6.9 :** Kümeleşme Diyagramı “0101” noktası.

“0110” noktası için faz açısı  $345^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 0,75’dir. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.7’deki ifade ile hesaplanır.

$$x_{0110} = A_n \left[ \cos \left( t + \frac{23\pi}{12} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ \frac{\sqrt{3} - 1}{2\sqrt{2}} \sin t + \frac{\sqrt{3} + 1}{2\sqrt{2}} \cos t \right] \quad (6.7)$$

I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “3240” ve “-868” değeri bulunur.

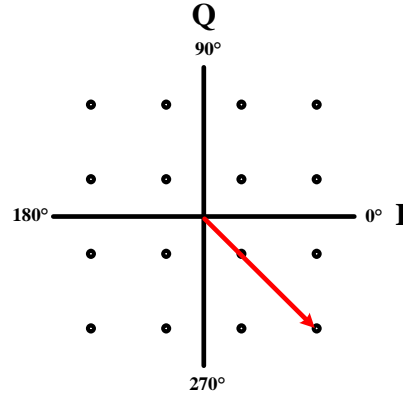


Şekil 6.10 : Kümeleşme Diyagramı “0110” noktası.

“0111” noktası için faz açısı  $315^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 1’dir. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.8’deki ifade ile hesaplanır.

$$x_{0111} = A_n \left[ \cos \left( t + \frac{21\pi}{12} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ \frac{\sin t}{\sqrt{2}} + \frac{\cos t}{\sqrt{2}} \right] \quad (6.8)$$

I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “3182” ve “-3182” değeri bulunur.

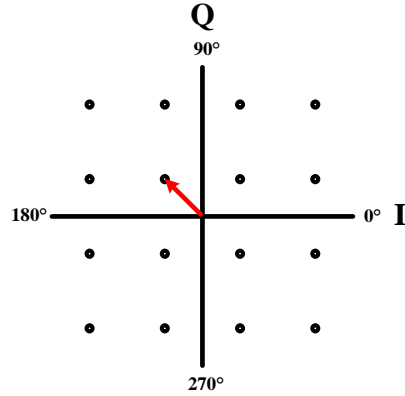


Şekil 6.11 : Kümeleşme Diyagramı “0111” noktası.

“1000” noktası için faz açısı  $135^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 0.33’dür. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.9’daki ifade ile hesaplanır.

$$x_{1000} = A_n \left[ \cos \left( t + \frac{9\pi}{12} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ -\frac{\sin t}{\sqrt{2}} - \frac{\cos t}{\sqrt{2}} \right] \quad (6.9)$$

I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “-1061” ve “1061” değeri bulunur.

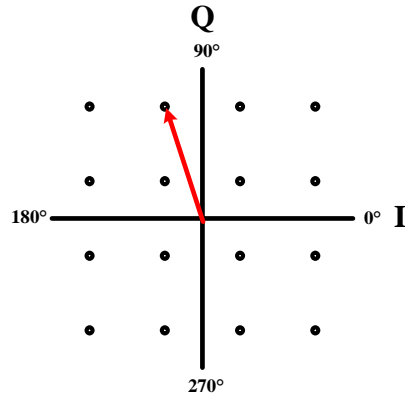


**Şekil 6.12 :** Kümeleşme Diyagramı “1000” noktası.

“1001” noktası için faz açısı  $105^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 0.75’dir. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.10’daki ifade ile hesaplanır.

$$x_{1001} = A_n \left[ \cos \left( t + \frac{7\pi}{12} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ \frac{-\sqrt{3} - 1}{2\sqrt{2}} \sin t + \frac{-\sqrt{3} + 1}{2\sqrt{2}} \cos t \right] \quad (6.10)$$

I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “-868” ve “3240” değeri bulunur.

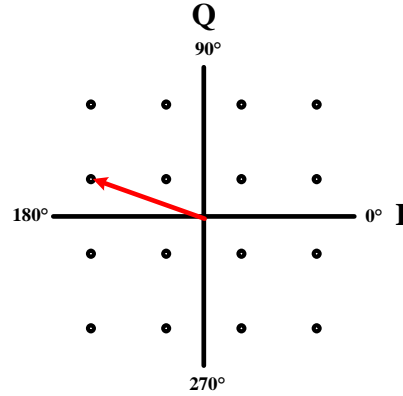


**Şekil 6.13 :** Kümeleşme Diyagramı “1001” noktası.

“1010” noktası için faz açısı  $165^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 0.75’dir. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.11’deki ifade ile hesaplanır.

$$x_{1010} = A_n \left[ \cos \left( t + \frac{11\pi}{12} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ \frac{-\sqrt{3} - 1}{2\sqrt{2}} \sin t + \frac{-\sqrt{3} + 1}{2\sqrt{2}} \cos t \right] \quad (6.11)$$

I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “-3240” ve “868” değeri bulunur.

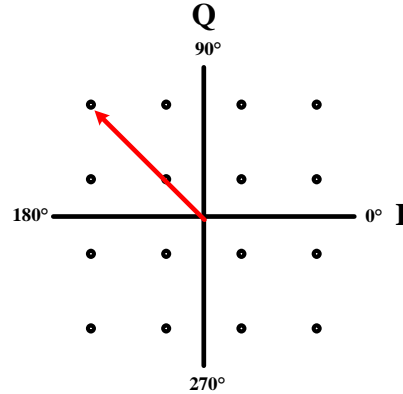


Şekil 6.14 : Kümeleşme Diyagramı “1010” noktası.

“1011” noktası için faz açısı  $135^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 1’dir. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.12’deki ifade ile hesaplanır.

$$x_{1011} = A_n \left[ \cos \left( t + \frac{9\pi}{12} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ -\frac{\sin t}{\sqrt{2}} - \frac{\cos t}{\sqrt{2}} \right] \quad (6.12)$$

I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “-3182” ve “3182” değeri bulunur.

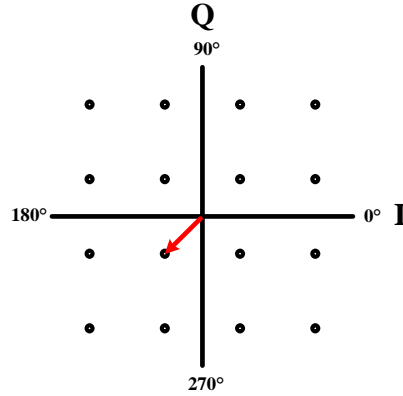


Şekil 6.15 : Kümeleşme Diyagramı “1011” noktası.

“1100” noktası için faz açısı  $225^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 0.33’dür. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.13’deki ifade ile hesaplanır.

$$x_{1100} = A_n \left[ \cos \left( t + \frac{15\pi}{12} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ \frac{\sin t}{\sqrt{2}} - \frac{\cos t}{\sqrt{2}} \right] \quad (6.13)$$

I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “-1061” ve “-1061” değeri bulunur.

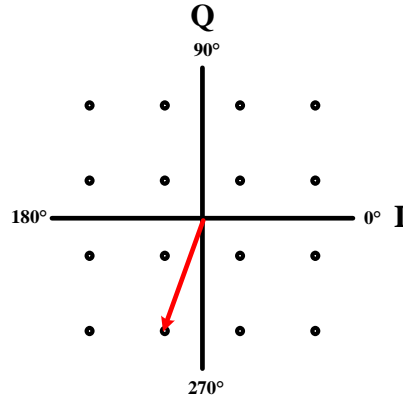


**Şekil 6.16 :** Kümeleşme Diyagramı “1100” noktası.

“1101” noktası için faz açısı  $255^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 0.75’dir. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.14’deki ifade ile hesaplanır.

$$x_{1101} = A_n \left[ \cos \left( t + \frac{17\pi}{12} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ \frac{\sqrt{3} + 1}{2\sqrt{2}} \sin t + \frac{-\sqrt{3} + 1}{2\sqrt{2}} \cos t \right] \quad (6.14)$$

I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “-868” ve “-3240” değeri bulunur.

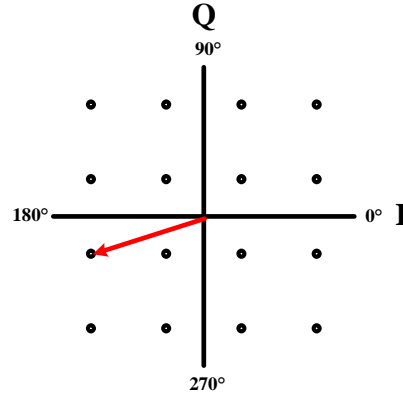


**Şekil 6.17 :** Kümeleşme Diyagramı “1101” noktası.

“1110” noktası için faz açısı  $195^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 0.75’dir. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.15’deki ifade ile hesaplanır.

$$x_{1110} = A_n \left[ \cos \left( t + \frac{13\pi}{12} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ \frac{\sqrt{3} - 1}{2\sqrt{2}} \sin t + \frac{-\sqrt{3} + 1}{2\sqrt{2}} \cos t \right] \quad (6.15)$$

I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “-3240” ve “-868” değeri bulunur.

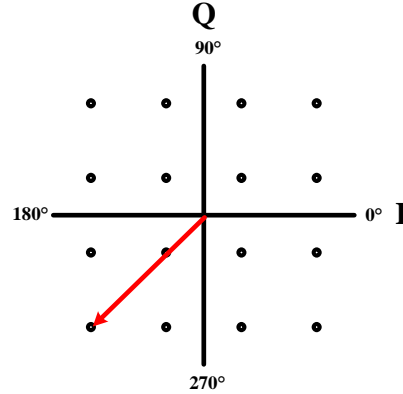


Şekil 6.18 : Kümeleşme Diyagramı “1110” noktası.

“1111” noktası için faz açısı  $225^\circ$  ve genlik ölçeklendirmesi yaklaşık olarak 1’dir. Haritalama işlemi için gereken I ve Q değerleri hem genlik hem de faz bilgisini içerecek şekilde 6.16’deki ifade ile hesaplanır.

$$x_{1100} = A_n \left[ \cos \left( t + \frac{15\pi}{12} \right) \right] = I * \cos t - Q * \sin t = A_n \left[ \frac{\sin t}{\sqrt{2}} - \frac{\cos t}{\sqrt{2}} \right] \quad (6.16)$$

I ve Q değerleri hesaplanacak olursa sırasıyla yaklaşık olarak “-3182” ve “-3182” değeri bulunur.

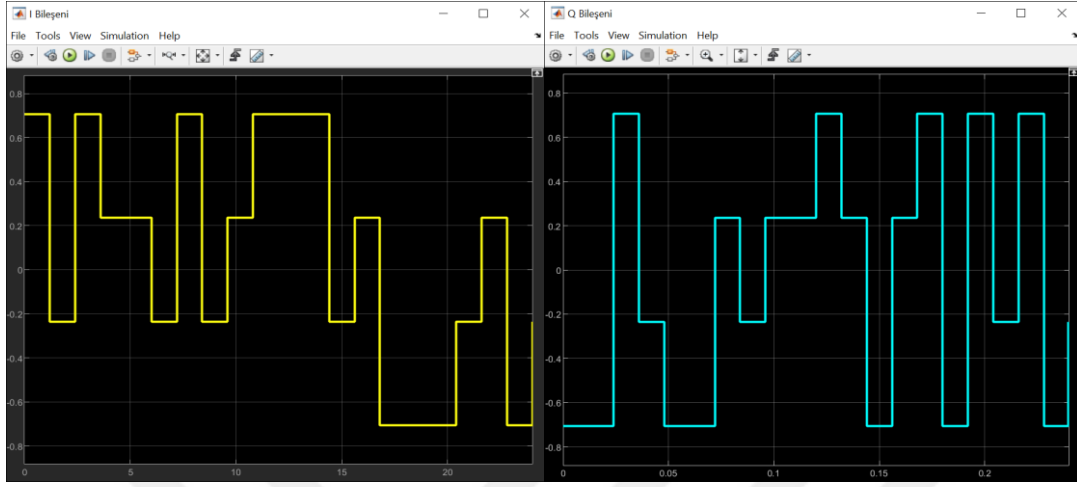


Şekil 6.19 : Kümeleşme Diyagramı “1111” noktası.

## 6.1 Haritalama

Tez kapsamında Gray kodlama tekniğinde Tip III kümeleşme yapısında haritalama yapılacaktır. Gray kodlama tekniğinde her bir komşu ile olan bit farkının sadece bir olmasından dolayı sistemin sinyal gürültü oranına katkı sağlanmaktadır. Tip III kümeleşme yapısında fazör ortalama enerjisinin yüksek olması gürültüye karşı daha

az duyarlı bir yapı sunmaktadır. Matlab’da rastgele üretilen seri bitleri alarak yapılan haritalamaya ilişkin I ve Q bileşenlerinin simülasyon çıktısı Şekil 6.2 ve Şekil 6.3’te verilmiştir.



Şekil 6.20 : Haritalama sonucunda üretilen I-Q Bileşeni.

Gerçeklenen haritalama modülü Şekil 4.6’daki kümeleşmeye uygun bir şekilde gerçekleştirilmiştir. Gray kodlamasına göre çizelge 6.1’deki gibi,

Çizelge 6.2 : I ve Q bileşenleri değerine göre genlik ataması.

I-Q Değeri	Genlik Değeri
00	d
01	3d
10	-d
11	-3d

genlik değer atamaları yapılmıştır.

Seri olarak gelen bitler modülün I ve Q bileşeni değerleri haritalama modülü çıktıkları olan “POI” ve “POQ” çıkışlarına atanmaktadır. I ve Q bileşenleri denklemler 4.4 ve 4.5’de belirtildiği sadece bir genlik bileşeni değil aynı zamanda faz bilgisini de taşıyan bir değerdir. 6.1 nolu denklem’den 6.16 nolu denkleme kadar oluşturulan değerlere göre haritalama işlemi yapılmaktadır. Seri olarak gelen 4 biti  $[b_3 b_2 b_1 b_0]$  olarak düşünersek I ve Q bileşenlerine haritalama işlemi,

$$[b_3 (I_1) b_2 (Q_1) b_1 (I_2) b_0 (Q_2)] \Rightarrow I = \{I_1, I_2\} \text{ ve } Q = \{Q_1, Q_2\}$$

şeklinde yapılmaktadır. Örnek vektör olarak  $[1101]$  verilirse I ve Q bileşenleri sırasıyla  $I = \{1, 0\}$  ve  $Q = \{1, 1\}$  olacaktır. Haritalama bloğuna ilişkin blok diyagram ve açıklamaları Şekil 6.4 ve çizelge 6.2’de verilmiştir.





**Şekil 6.21** : Haritalama Bloğu Giriş-Çıkış Blok Şeması.

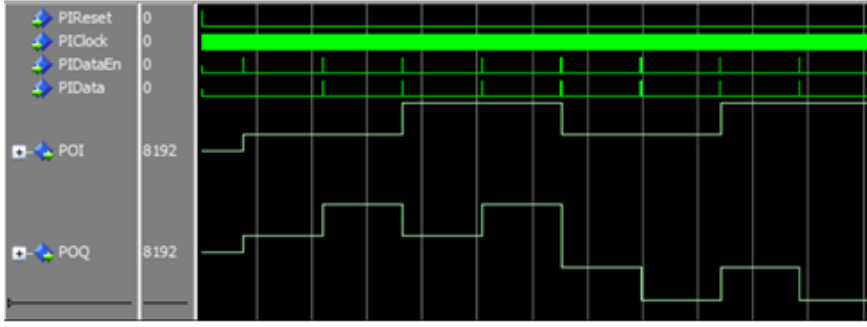
**Çizelge 6.3** : Haritalama Bloğu Giriş-Çıkış Açıklaması.

Port İsmi	Port Tipi	Port Genişliği	Açıklama
PIClock	Giriş	1 Bit	Saat Darbesi
PIReset	Giriş	1 Bit	Sistem Reset
PIData	Giriş	1 Bit	Seri Bilgi Girişi
PIDataEn	Giriş	1 Bit	Seri Bilgi Girişi Aktif
POI	Çıkış	16 Bit	I Bileşeni
POQ	Çıkış	16 Bit	Q Bileşeni
PIDataEndDetect	Giriş	1 Bit	Bilgi Transferi Tamalandı Bilgisi

**Çizelge 6.4** : Haritalama Bloğu Giriş-Çıkış Açıklaması.

Bilgi Biti	Faz Değeri	Genlik Değeri	I Değeri	Q Değeri
0000	45	0,33	$4500 * \cos(45) * 0,33 = 1061$	$4500 * \sin(45) * 0,33 = 1061$
0001	75	0,75	868	3240
0010	15	0,75	3240	868
0011	45	1	3182	3182
0100	315	0,33	1061	-1061
0101	285	0,75	868	-3240
0110	345	0,75	3240	-868
0111	315	1	3182	-3182
1000	135	0,33	-1061	1061
1001	105	0,75	-868	3240
1010	165	0,75	-3240	868
1011	135	1	-3182	3182
1100	225	0,33	-1061	-1061
1101	255	0,75	-868	-3240
1110	195	0,75	-3240	-868
1111	225	1	-3182	-3182

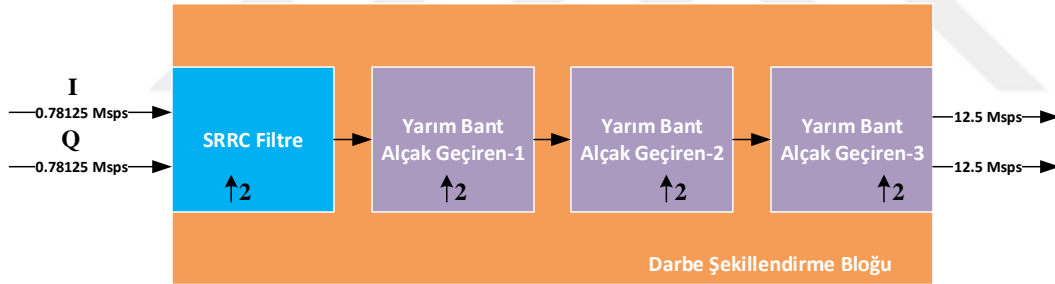
Bilgi biti üretici modülünden gelen seri bitlerden 4 bitlik semboller oluşturarak Çizelge 6.3'teki değerlere göre çıkışını üretmektedir. Haritalama bloğuna ilişkin Modelsim çıktısı Şekil 6.5'te verilmiştir.



Şekil 6.22 : Haritalama Bloğu Modelsim Çıktısı.

## 6.2 Darbe Şekillendirme

Darbe şekillendirme işlemi için yüksek spektral verimlilik ve düşük semboller arası girişim sağladığından doğruluğu arttırılmış karekök kosinüs filtre (Square Root Raised Cosine Filter) yapısı ve yarım bant alçak geçiren filtre yapıları kullanılacaktır. Tekil SRRC kullanılarak oluşturulan yapıda istenilen sonuçlar alınamamış hem Vankka ve arkadaşları tarafından hem de Wei ve arkadaşları tarafından önerilen yapı Şekil 6.23'teki yapı kullanılmıştır [1][31].

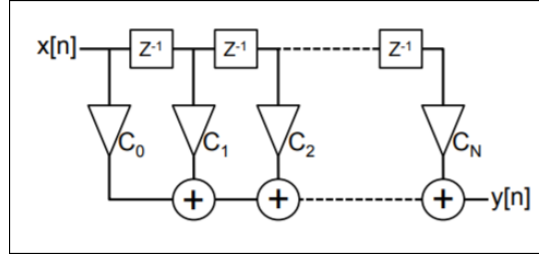


Şekil 6.23 : Darbe Şekillendirme Bloğu Kaskat Filtre Yapısı.

SRRC ve yarım bant alçak geçiren filtre yapılarını gerçeklemek için Sonlu Darbe Cevabı (FIR) filtre yapısı kullanılacaktır. Bu filtre çeşidinin kullanılmasının en önemli sebebi doğrusal fazlı bir yapıya sahip olması giriş sinyalinin faz bilgisini bozmamasıdır. Farklı veri hızlarını desteklemesi ve basit elemanlar ile gerçekleştirme durumuna indirgenebilmesinden dolayı donanımsal olarak gerçekleştirilmesine olanak sağlayan bir yapıya sahiptirler. N dereceli bir sonlu darbe cevablı filtreler matematiksel olarak eşitlik 6.17'deki gibi tanımlamak mümkündür.

$$y[n] = \sum_{k=0}^N h[k]x[n - k] \quad (6.17)$$

Dolayısıyla bu matematiksel ifadeyi Şekil 6.24'deki gibi basit elemanlarla gerçeklemek mümkündür.

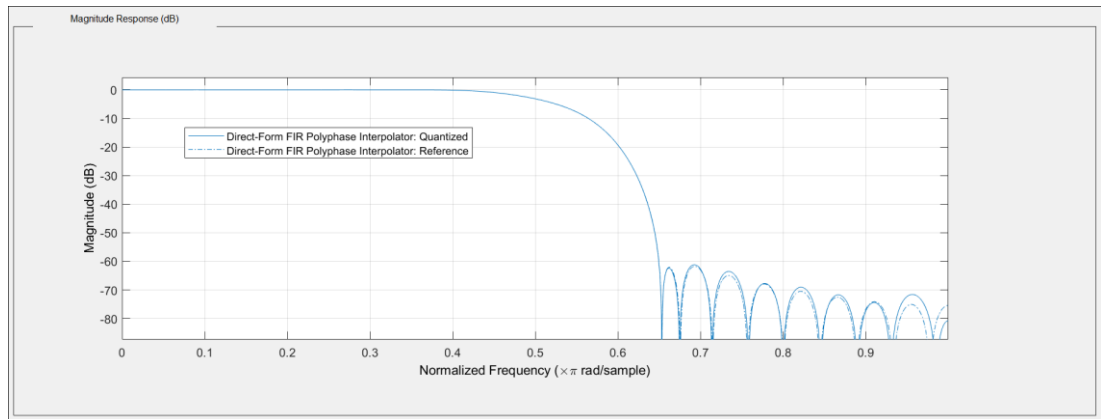


Şekil 6.24 : FIR Filtre Yapısının Basit Elemanlarla İfadesi.

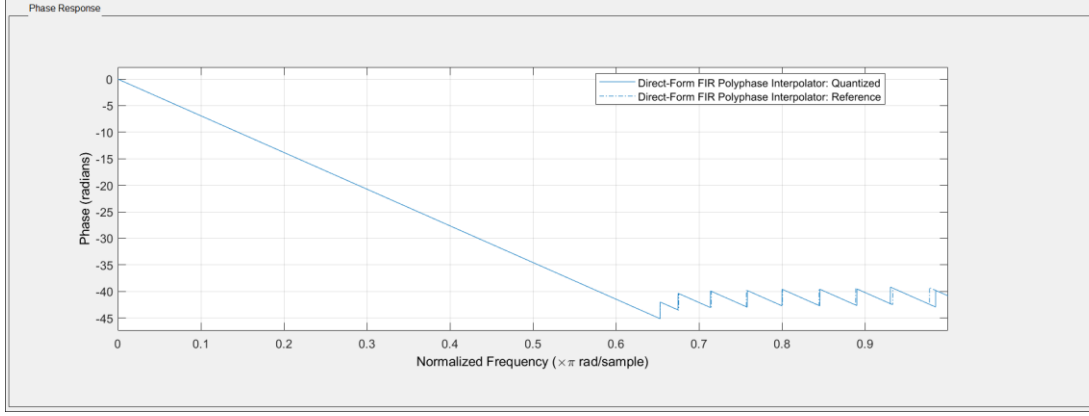
Her ne kadar bu çalışmanın bir konusu olmasa da demodülasyon işleminin başarılı bir şekilde yapılabilmesi için eşleşen filtre (matched filter) yapısı kullanılmalıdır. Alınan sinyali bilinen bir şablonla (gönderici filtre yapısı) ilişkilendirerek çalışmaktadır. Bu tür filtreler beklenen bir sinyali tespit etmek ve onu arkaplan gürültüden ayırmak için kullanılır. Eşleşen filtreler bit hata oranını yükselten en uygun lineer filtrelerdir. SRRC filtresi gerçekleştirirken interpolasyon faktörü 2, derecesi 44 (45 tap), roll-of faktörü 0.22 olan alçak geçiren FIR filtre yapısı Matlab üzerinde oluşturulmuştur. Kesim frekansı sembol oranının yarısı olan 390.5625 khz seçilmiştir. Filtre çıkışındaki örnekleme miktarı ise sembol oranının iki katı olduğundan 1.5625 MHz olacak şekilde seçilmiştir. Ara frekans seviyesinde üretilecek işaretin bant genişliği ise sembol oranı ile eşitlik 18'deki gibi ilişkilidir.

$$R_s = \frac{B_{IF}}{1+\alpha} \quad (6.18)$$

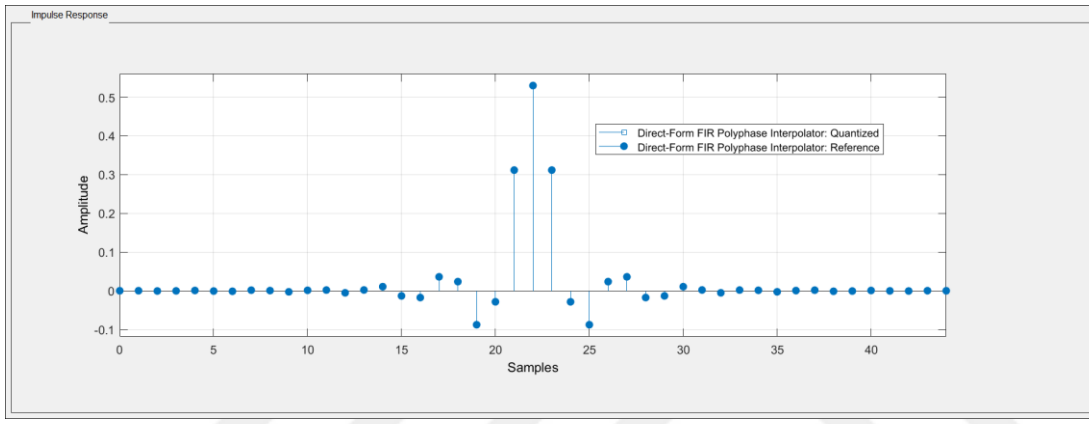
Oluşturulan SRRC filtrenin genlik cevabı Şekil 6.27'de, faz cevabı Şekil 6.28'de, darbe cevabı Şekil 6.30'da verilmiştir.



Şekil 6.25 : SRRC Filtre Genlik Cevabı.



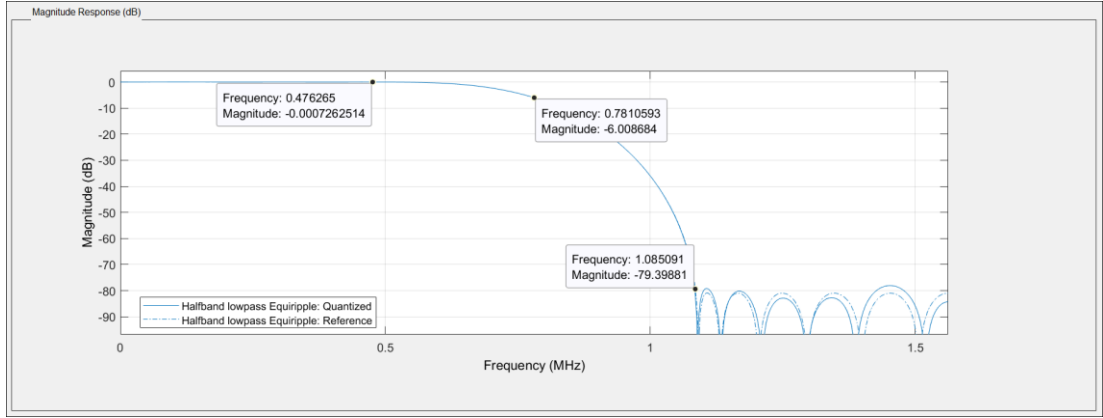
**Şekil 6.26 : SRRC Filtre Faz Cevabı.**



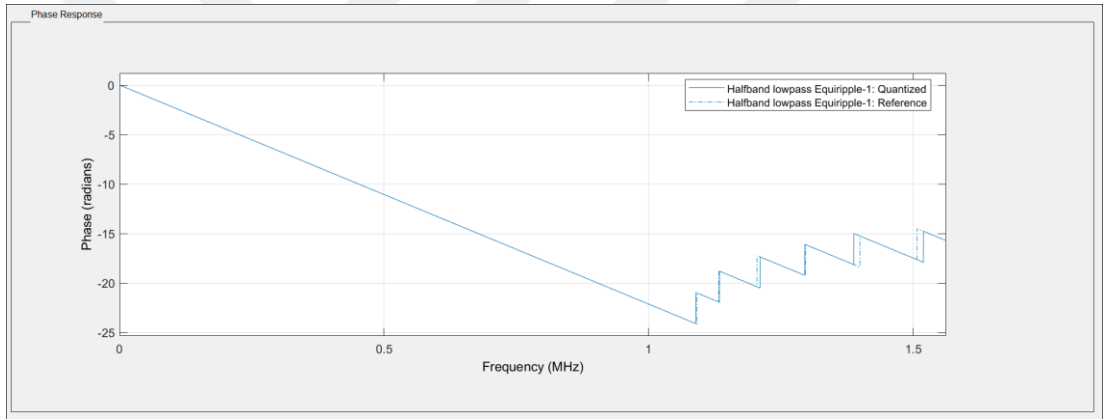
**Şekil 6.27 : SRRC Filtre Darbe Cevabı.**

SRRC filtresinden sonra yukarı örneklemeden dolayı oluşan bozulmaları önlemek için ilk yarım bant alçak geçiren filtre katına gelinir. Bu katmanda da interpolasyon faktörü olarak iki kullanıldığından gelen işaret iki örnekleme ile alınır. Kullanılacak interpolasyon faktörünün iki olduğu durumlarda yarı bant alçak geçiren filtreler iyi bir seçimdir. Yarım bant alçak geçiren filtreler; sonlu darbe cevablı filtre yapısına sahip, geçiş bölgesi örnekleme hızı ise filtre çıkışındaki örneklemenin çeyreği olacak şekilde kurgulanmışlardır. Bu sebeple durdurma ve geçirme bandına eşit aralıkla olacak şekilde genlik cevapları bulunmaktadır. Yarı bant alçak geçiren filtrelerin sahip olduğu katsayılara bakıldığında merkez frekans katsayısı (0.5) hariç bütün tekil katsayıları “0” dır. Bu durum hem filtrelerin gerçeklenmesini kolaylaştırmakta hem de kullandıkları FPGA kaynaklarını azaltmaktadır. İnterpolasyon faktörü 2, derecesi 22 (23 tap) olan yarım bant alçak geçiren filtre yapısı Matlab üzerinde oluşturulmuştur. Bant geçirme frekansı bir önceki filtrenin kesim frekansının roll-of faktörü ile çarpılması sonucu 476.5625 kHz olarak bulunur. Kesim frekansı ise örnekleme frekansının çeyreği olan 781.25 kHz (-6dB) olarak hesaplanır. Durdurma bandının ise

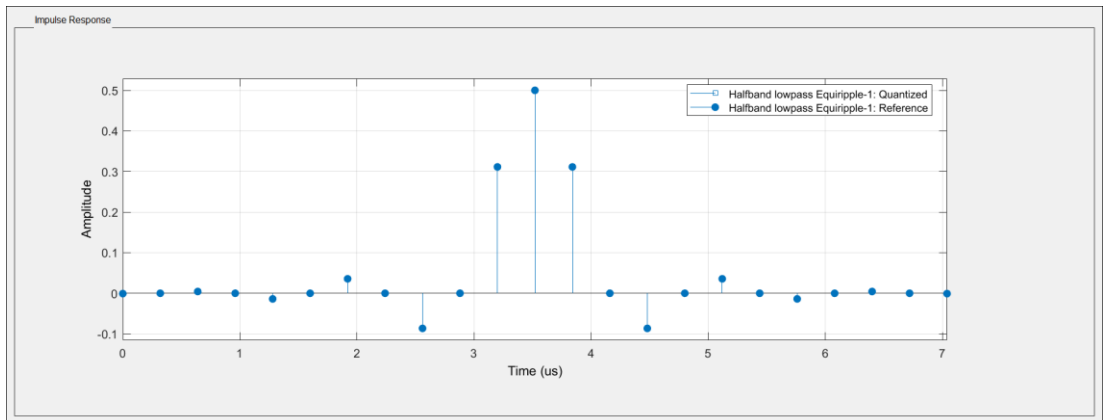
simetriklik özelliğinden ötürü 1.0859375 MHz olması beklenmektedir. Oluşturulan birinci yarım bant alçak geçiren filtrenin genlik cevabı Şekil 6.28’de, faz cevabı Şekil 6.29’da, darbe cevabı Şekil 6.30’da verilmiştir.



**Şekil 6.28 :** Yarım Bant Alçak Geçiren Filtre-1 Genlik Cevabı.



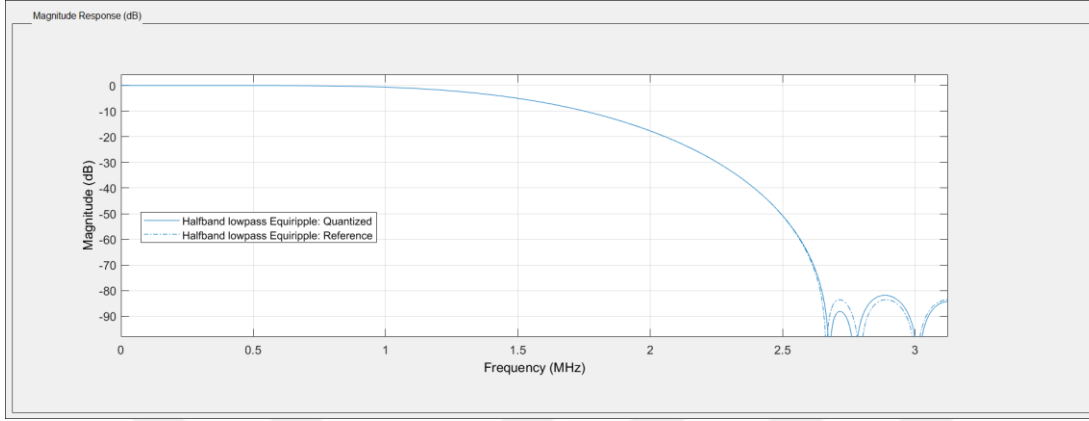
**Şekil 6.29 :** Yarım Bant Alçak Geçiren Filtre-1 Faz Cevabı.



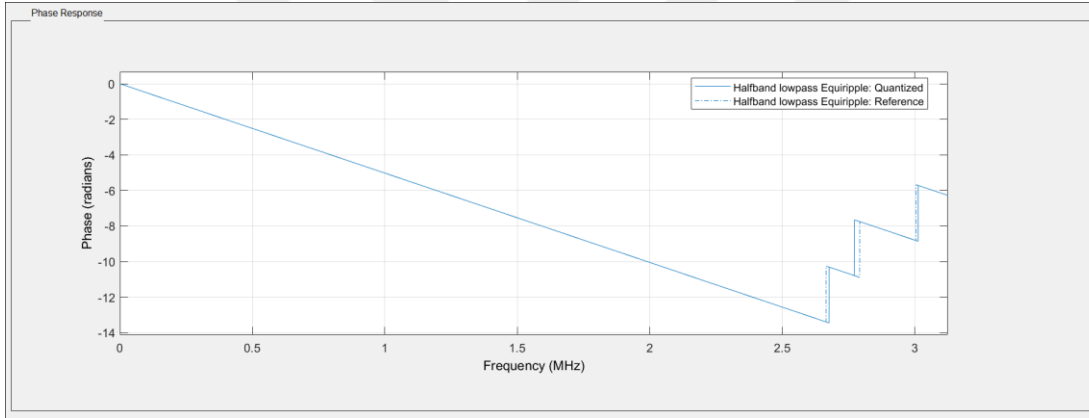
**Şekil 6.30 :** Yarım Bant Alçak Geçiren Filtre-1 Darbe Cevabı.

Durdurma bandındaki bastırma oranının yaklaşık olarak 80 dB seviyelerinde olduğu görülmektedir. İkinci yarım bant alçak geçiren filtre yapısında interpolasyon faktörü

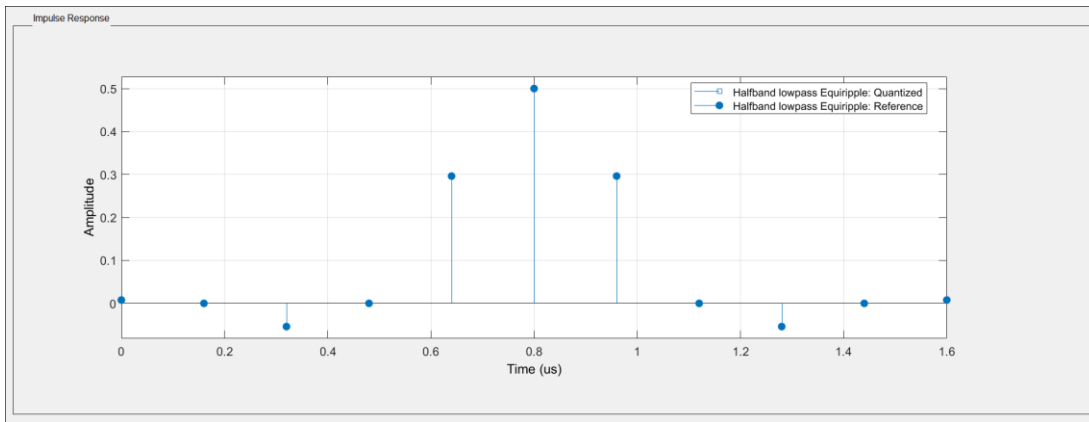
2, derecesi 10 olan yapı tercih edilmiştir. Kesim frekansı örnekleme frekansının çeyreği 1.5625 MHz olarak hesaplanır. İkinci yarım bant alçak geçiren filtrenin genlik cevabı Şekil 6.31’de, faz cevabı Şekil 6.32’de ve darbe cevabı Şekil 6.33’de verilmiştir.



Şekil 6.31 : Yarım Bant Alçak Geçiren Filtre-2 Genlik Cevabı.

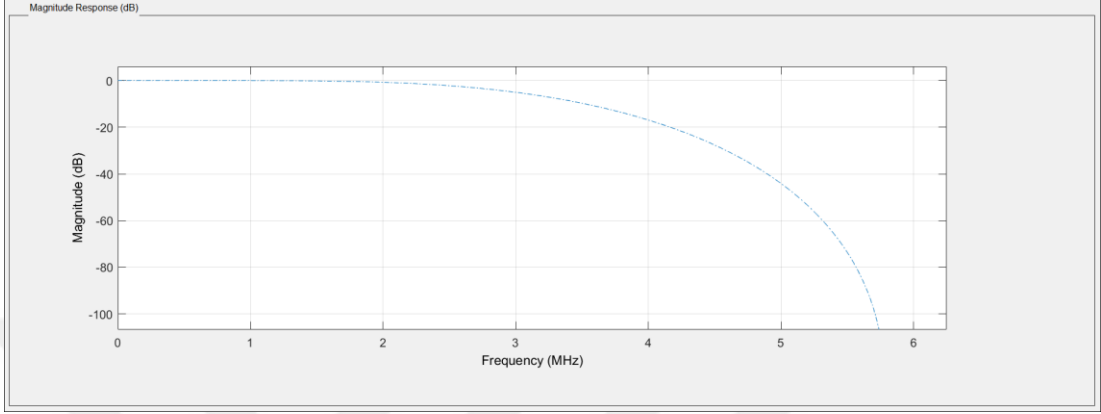


Şekil 6.32 : Yarım Bant Alçak Geçiren Filtre-2 Faz Cevabı.

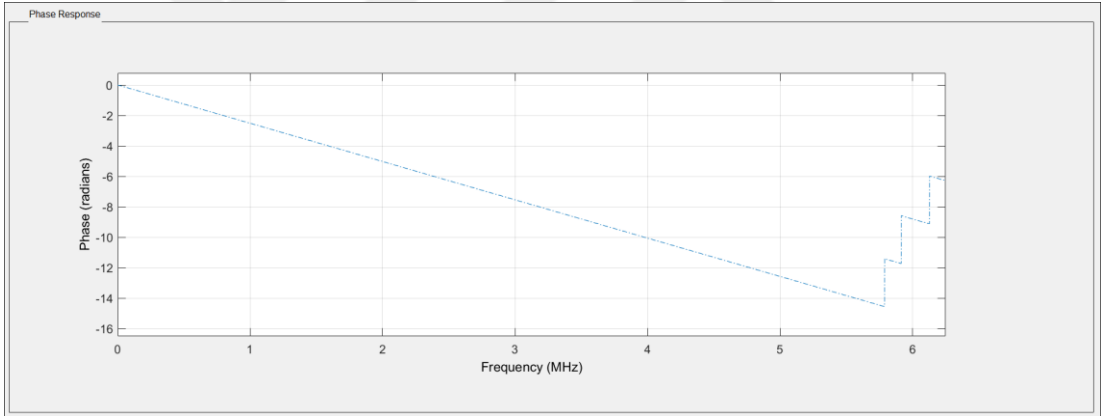


Şekil 6.33 : Yarım Bant Alçak Geçiren Filtre-2 Darbe Cevabı.

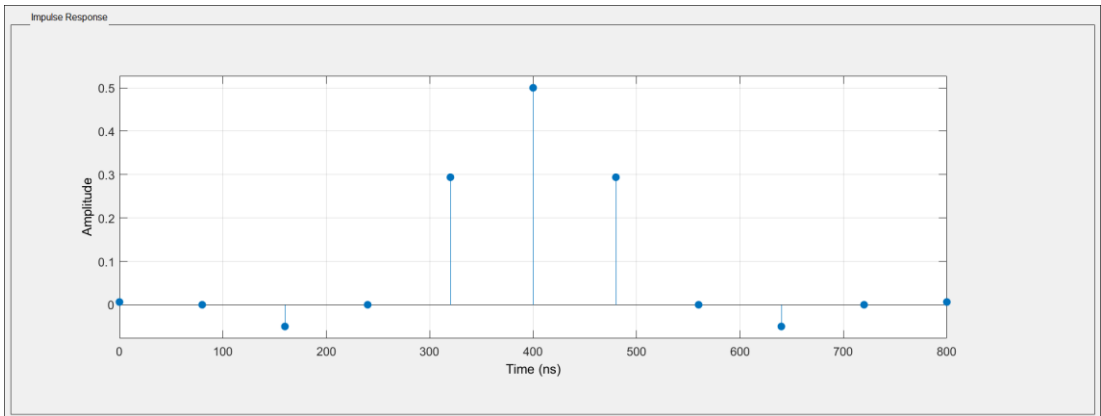
Durdurma bandındaki bastırma oranının yaklaşık olarak 80-90 dB seviyelerinde olduğu görülmektedir. Üçüncü filtre yapısında interpolasyon faktörü 2, derecesi 10 olan yapı tercih edilmiştir. Kesim frekansı örnekleme frekansının çeyreği 3.125 MHz olarak hesaplanır. Üçüncü yarım bant alçak geçiren filtrenin genlik cevabı Şekil 6.34'de, faz cevabı Şekil 6.35'de ve darbe cevabı Şekil 6.36'da verilmiştir.



Şekil 6.34 : Yarım Bant Alçak Geçiren Filtre-3 Genlik Cevabı.



Şekil 6.35 : Yarım Bant Alçak Geçiren Filtre-3 Faz Cevabı.



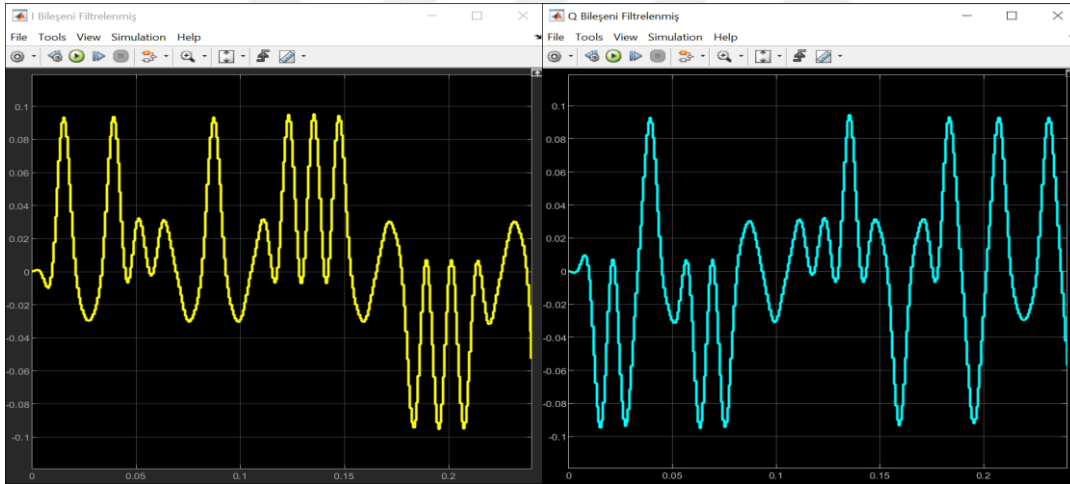
Şekil 6.36 : Yarım Bant Alçak Geçiren Filtre-3 Darbe Cevabı.

Durdurma bandındaki bastırma oranının 100 dB'den daha fazla olduğu görülmektedir. Şekil 6.32 ve Şekil 6.33'de ise şekillendirilmiş filtre çıktıları verilmiştir.

**Çizelge 6.5 : Kaskat Filtre Tasarım Özeti.**

	SRRC	Yarım Bant-1	Yarım Bant-2	Yarım Bant-3
Geçirme Bandı Frekansı (MHz)	0.390625	0.4765625	0.4765625	0.4765625
Çıkış Örnekleme Oranı (Msps)	1.5625	3.125	6.25	12.5
Filtre Derecesi	44	22	10	10
Durdurma Bandı Bastırma Oranı	60 dB	80 dB	80-90 dB	100 dB
Filtre Yapısı	Chebyshev	Equiripple	Equiripple	Equiripple

Haritalama bloğu bilgi biti üretici modülünden gelen seri bitlerden 4 bitlik semboller oluşturarak Çizelge 6.4'deki değerlere göre çıkışını üretmektedir. Darbe şekillendirme bloğuna ilişkin Matlab benzetimi Şekil 6.37'de verilmiştir.



**Şekil 6.37 : Filtreleme Sonucunda Üretilen I-Q bileşeni.**

Darbe şekillendirme bloğuna ilişkin blok diyagram ve açıklamaları Şekil 6.38'de ve çizelge 6.6'da verilmiştir.



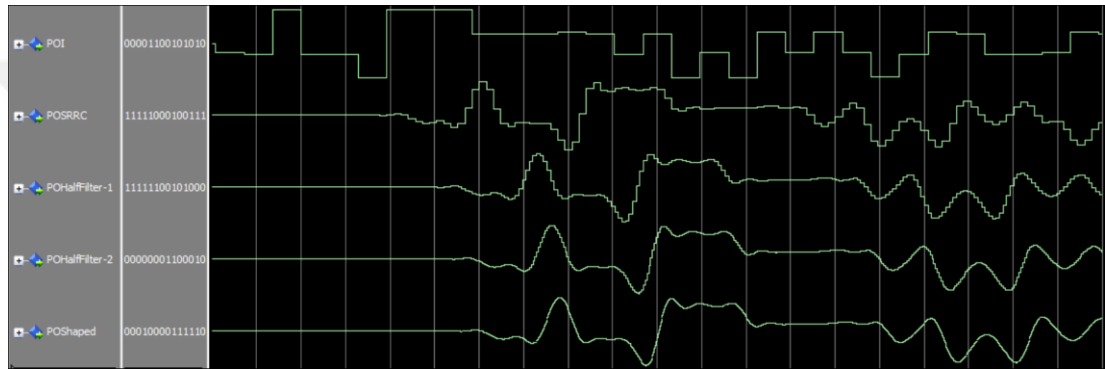
**Şekil 6.38 : Darbe Şekillendirme Bloğu Giriş-Çıkış Blok Şeması.**



**Çizelge 6.6 : Darbe Şekillendirme Bloğu Giriş-Çıkış Açıklaması.**

Port İsmi	Port Tipi	Port Genişliği	Açıklama
PIClock	Giriş	1 Bit	Saat Darbesi
PIReset	Giriş	1 Bit	Sistem Reset
PIClockEnable	Giriş	1 Bit	Saat Darbesi Aktif
PIMapped	Giriş	16 Bit	Haritalanmış I-Q Bileşeni
POShaped	Çıkış	16 Bit	Filtrelenmiş I-Q Bileşeni

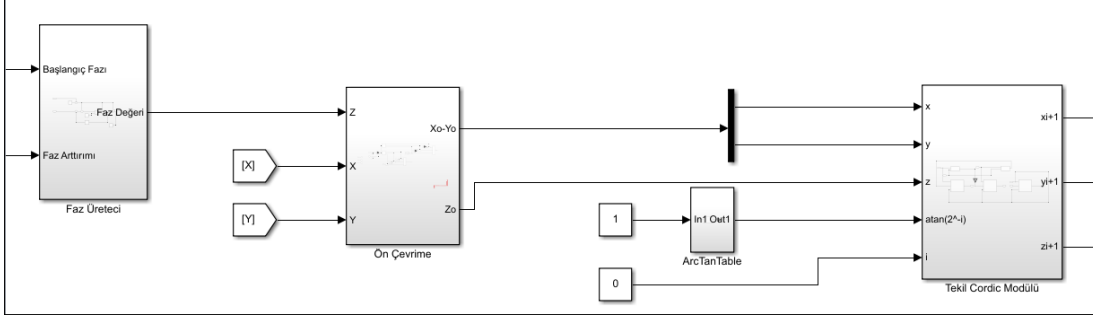
Darbe şekillendirme bloğuna ilişkin Modelsim çıktısı ise Şekil 6.39'da verilmiştir.



**Şekil 6.39 : Darbe şekillendirme bloğu Modelsim çıktısı.**

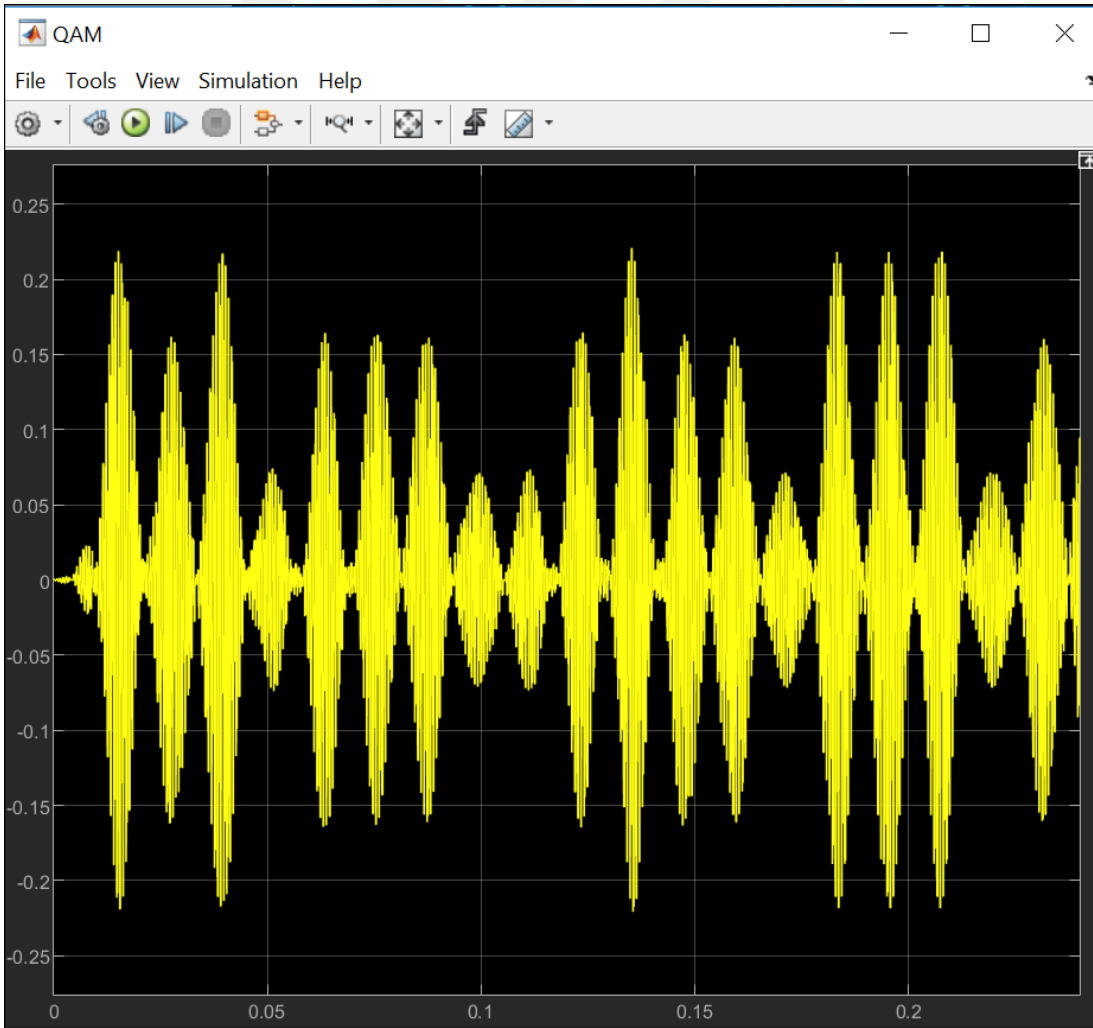
### 6.3 CORDIC Modülü

Darbe şekillendirme bloğundan gelen 14 bitlik I ve Q bileşenleri CORDIC modülüne gelmektedir. Şekil 5.2'deki yapıdan ve 5.24, 5.25, 5.26 ve 5.27 denklemlerinden faydalanarak her bir örnek için gecikmeyi ortadan kaldırmak ve akışın devamlılığı sağlamak pipeline yapıda yüksek çözünürlük için ise 12 iterasyonlu 14 bitlik CORDIC yapısı üretilmiştir. CORDIC algoritmasında ters tanjant fonksiyonu kullanıldığından faz akümülatöründen gelen açı değeri  $-90^\circ$  ile  $+90^\circ$  tanımlıdır. Bu yüzden gelen açı değerleri ön çevirme denilen yapı ile bu açılar arasına çekilmektedir. Matlab üzerinde oluşturulan yapının ilk basamağı Şekil 6.40'da verilmiştir. Tekil CORDIC modülü ismi verilen yapıdan 12 adet kaskat bir şekilde bağlanması ile bütün yapı kurulmaktadır. CORDIC modülünde 'i' girişi iterasyon basamağını, 'atan2^-i' döndürme açı değerini, z girişi ise faz akümülatöründen gelen açı değerini belirtmektedir. 'x' ve 'y' bileşenleri ise I ve Q bileşenlerinin uygulandığı girişleri temsil etmektedir.



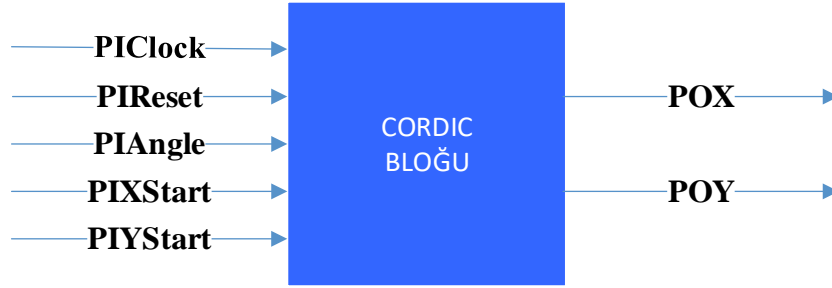
**Şekil 6.40 :** Matlab’da Oluşturulan Tekil CORDIC Bloğu.

Faz arttırma işlemi yapılırken her bir sembol için 8 adet ara frekans taşıyıcı sinyal dögüsü oluşacak şekilde yapı kurulmuştur. Her bir sembolün süresi 192 adet saat darbesi olduğundan her bir 24 darbeye bir sinüzoidal işaret dögüsü kuruldu. Bu sebeple faz arttırımı 15 olacak şekilde ayarlandı. Temel bantta üretilen I ve Q bilşeneleri filtreledikten sonra CORDIC bloğuna gelerek QAM işaretini Şekil 6.41’deki gibi oluşturmaktadır.



**Şekil 6.41 :** Matlab’da Oluşturulan Yapının Çıkışındaki Modüleli İşaret.

CORDIC blođuna ilişkin blok diyagram ve aıklamaları ise Őekil 6.42’de ve izelge-6.7’de verilmiŐtir.

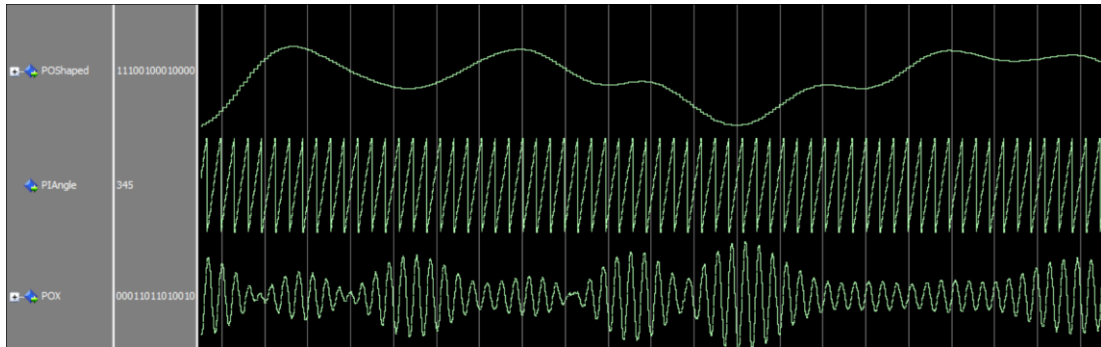


Őekil 6.42 : CORDIC Blođu GiriŐ-ıkıŐ Blok Őeması.

izelge 6.7 : CORDIC Blođu GiriŐ-ıkıŐ Aıklaması.

Port İsmi	Port Tipi	Port GeniŐliđi	Aıklama
PIClock	GiriŐ	1 Bit	Saat Darbesi
PIReset	GiriŐ	1 Bit	Sistem Reset
PIAngle	GiriŐ	32 Bit	Aı Deđeri
PIXStart	GiriŐ	14 Bit	FiltrelenmiŐ I BileŐeni
PIYStart	ıkıŐ	14 Bit	FiltrelenmiŐ Q BileŐeni
POX	ıkıŐ	14 Bit	Modleli İŐaret ıkıŐı
POY	ıkıŐ	14 Bit	NA

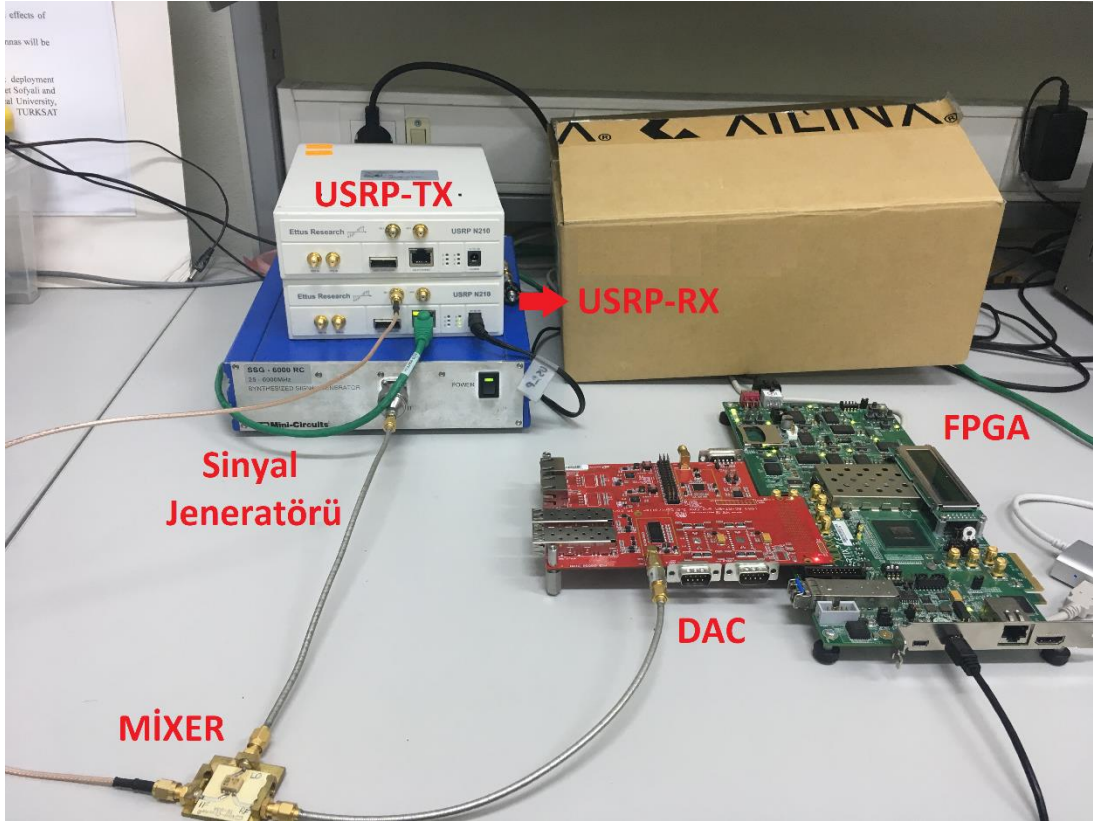
CORDIC blođuna ilişkin Modelsim ıkıŐı ise Őekil 6.43’de verilmiŐtir. Darbe Őekillendirme blođu ıkıŐı, faz arttırımı ve retilmiŐ olan modleli iŐaret gzlenmektedir.



Őekil 6.43 : CORDIC Blođu Modelsim ıkıŐı.

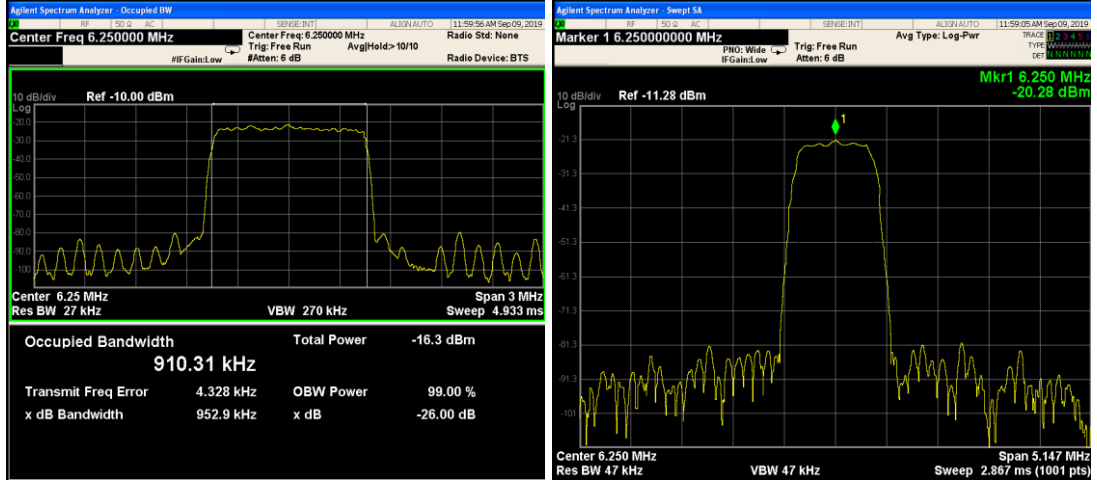
## 6.4 Dördün Genlik Modülasyonu Gerçekleme Ortamı

CORDIC temelli olarak tasarlanan dördün genlik modülasyonu Matlab programında modellenip Modelsim programında da benzetimi yapıp doğrulandıktan sonra işaret üretimi aşamasına geçilmiştir. Ara frekans seviyesinde işaret üretimi için Şekil 6.44'deki AC701 geliştirme kiti (FPGA) ve 14 bitlik DAC904U dijital analog çeviricisine sahip olan devre (DAC) ile sağlanmıştır.



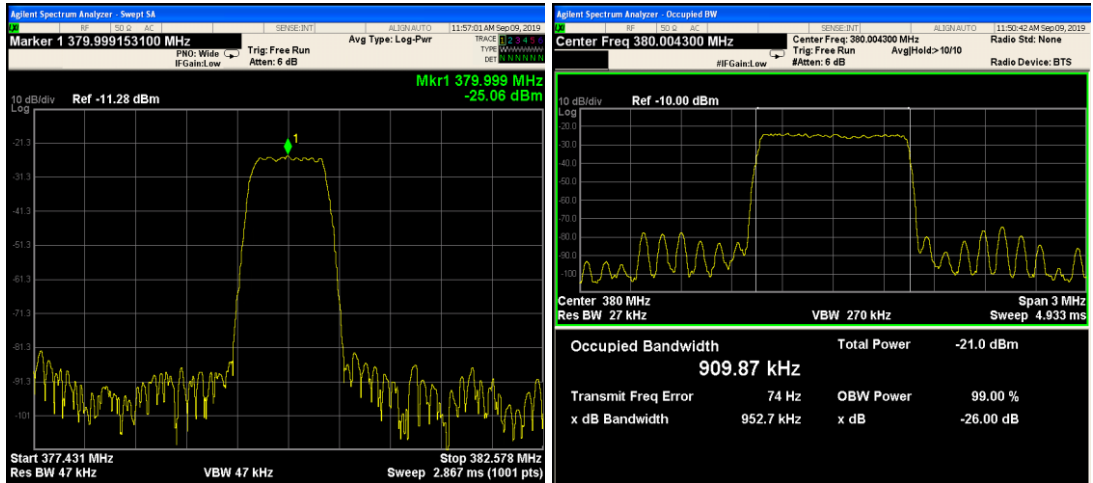
Şekil 6.44 : Dördün Genlik Modülasyonu Gerçekleme Ortamı.

0.78125 MSps sembol oranı ile üretilen işaretin merkez frekansı 6.25 MHz olan ara frekans taşıyıcısı ile aktarımı sağlanmıştır. Şekil 6.45'de üretilen işaretin bant genişliği ve spektrum analizi bulunmaktadır. Bant genişliği 6.18 nolu eşitlikte belirtildiği hem temel bantta üretilen işaretin örnekleme frekansı ile hem de kullanılan arttırılmış karekök kosinüs filtrenin roll-of faktörü ile ilişkilidir. Bu eşitlik yola çıkılarak yapılan hesaplamada bant genişliği yaklaşık olarak 953.125 kHz olarak bulunmaktadır. Şekil 6.45'de alınan ölçümde ise 952.9 kHz'lik bir değer ölçümlenmiştir.



Şekil 6.45 : Ara Frekans Bant Genişliği ve Spektrum Görüntüsü.

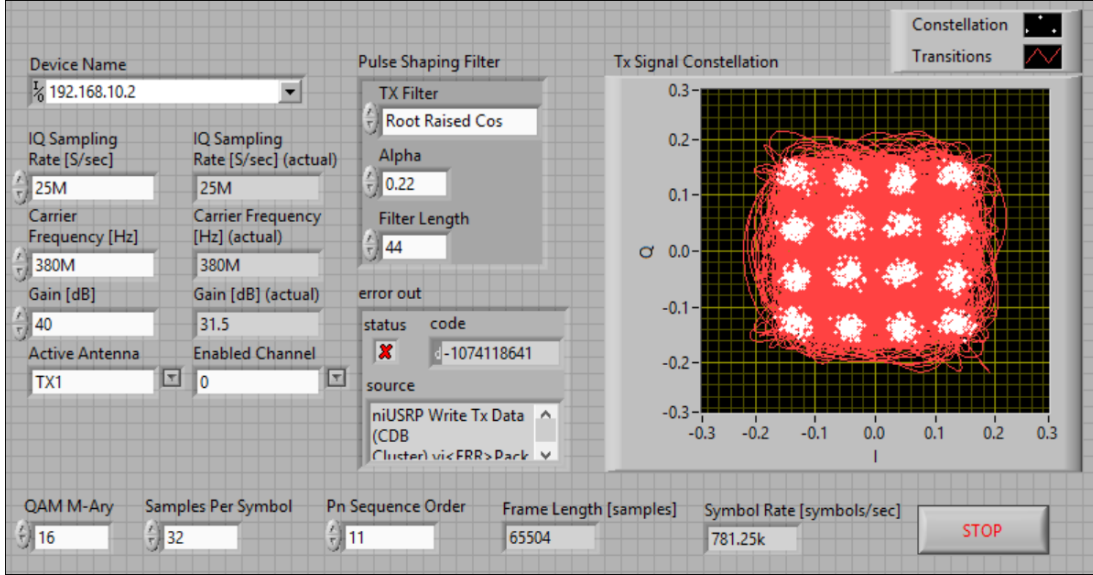
Modüleli işaret başarılı bir şekilde ölçümlendikten sonra işaretin bağımsız bir birim ile demodüle edilme işlemini gerçekleştirmek üzere USRP N210 geliştirme kitleri kullanılmıştır. Fakat bu geliştirme kitleri en az 380 MHz seviyesindeki işaretleri algılayıp işleyecek şekilde tasarlanmışlardır. Bunun için üretilmiş olan bir karıştırıcı yardımıyla 380 MHz seviyesine çekilmiştir. İşareti bu seviyeye taşıyabilmek için Mini Circuits tarafından tasarlanmış olan SSG-6000RC işaret üretici kullanılmıştır. Şekil 6.46'da ise 380 MHz seviyesine taşınmış olan işaret ve bant genişliği gözükmektedir. Ara frekansta üretilen işaret ve bant genişliği ile paralellik göstermekte üst çevrim aşamasında herhangi bir sorun olmadığı gözükmektedir.



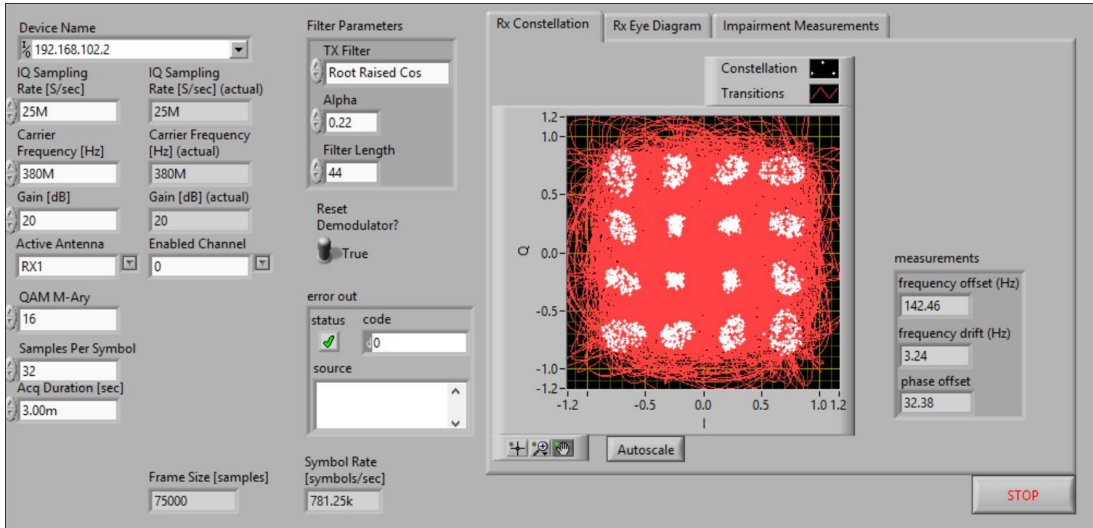
Şekil 6.46 : Radyo Frekans Bant Genişliği ve Spektrum Görüntüsü.

Demodülasyon işlemi için kullanılacak USRP kitlerinin programlanabilmesi için NI Labview 2019 programı kullanılmıştır. İlk olarak bir taraf alıcı bir taraf verici olacak şekilde iki tane USRP birimi birbirileri ile haberleştirilmiştir. Tez kapsamında NI

tarafından geliştiricilere örnek olarak sunulan QAM alıcı-verici yapısı kullanılmıştır. Verici USRP tarafında niUSRP EX QAM Tx.vi dosyası alıcı tarafında ise niUSRP EX QAM Rx.vi dosyası yüklenerek bağlantı sağlanmıştır. Şekil 6.47 ve 6.48'deki gibi alıcı ve verici arayüzleri ayarlanarak QAM modülasyon ve demodülasyon işlemi başarılı bir şekilde gerçekleştirilmiştir. Şekil 6.48'deki kümeleşme diyagramında alınan işaretlerin ne şekilde dağıldığı gözükmemektedir.

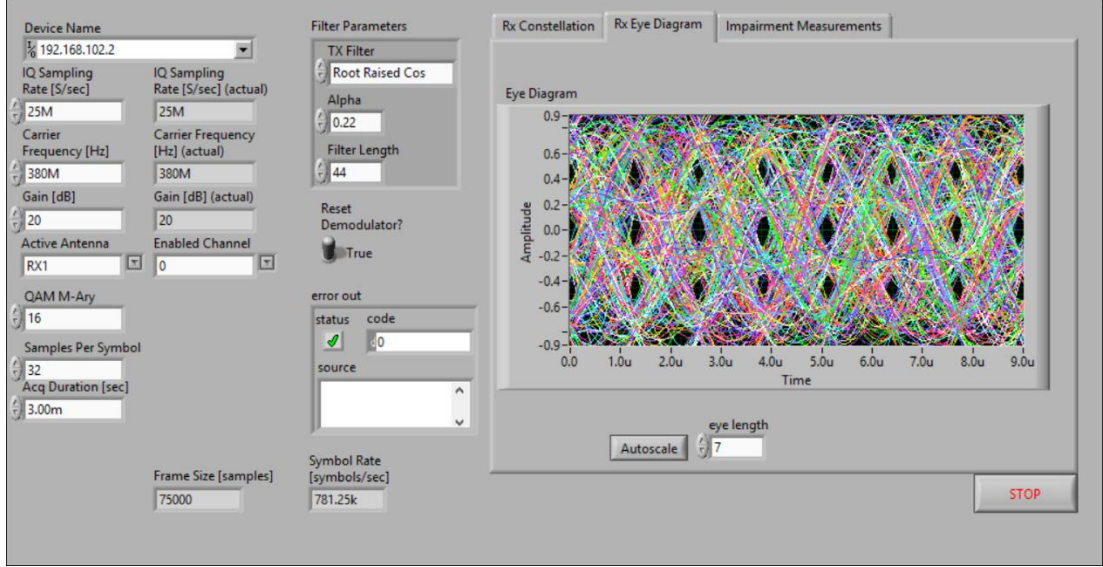


Şekil 6.47 : USRP-USRP Verici Kullanıcı Arayüzü.

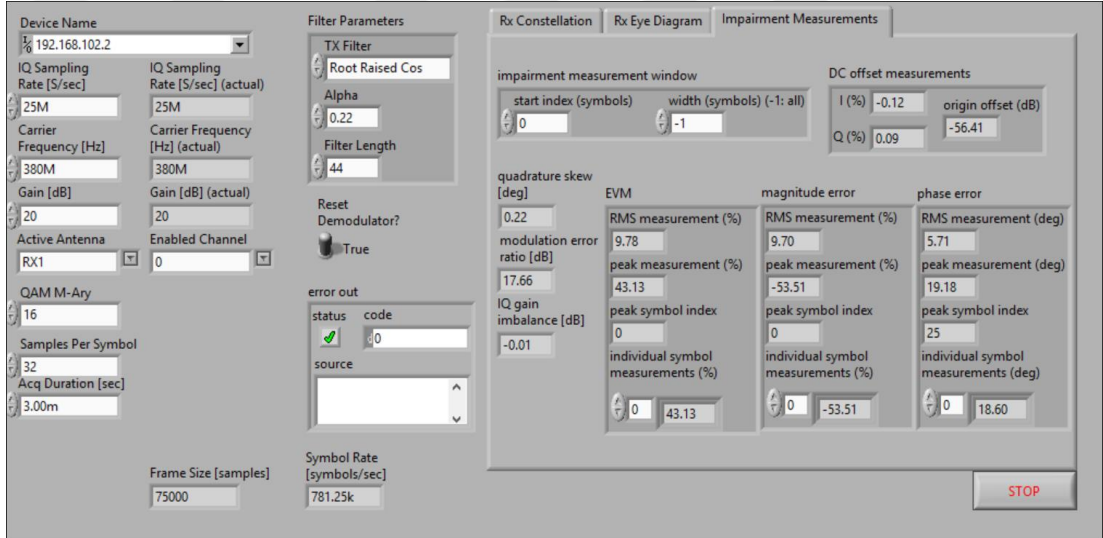


Şekil 6.48 : USRP-USRP Alıcı Kullanıcı Arayüzü.

Aynı zamanda alıcı tarafında hem göz diyagramı ölçümü hem de işarete oluşan bozulmaları ölçümlenebildiğimiz bir ekran bulunmaktadır. Şekil 6.49 ve 6.50'de USRP verici ve alıcı yapısına dair ölçüm sonuçları verilmiştir.

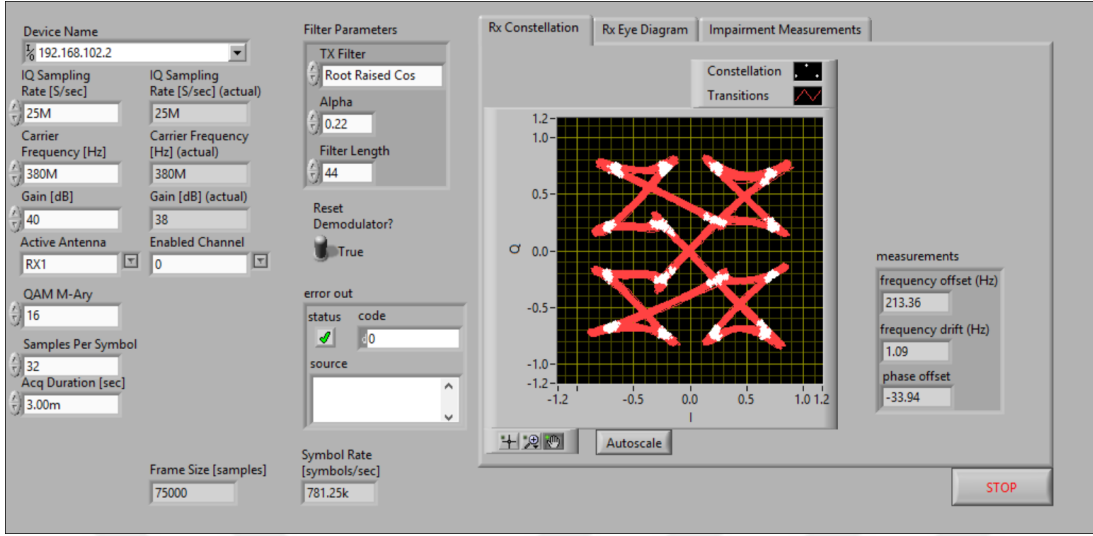


Şekil 6.49 : USRP-USRP Göz Diyagramı Ölçümü



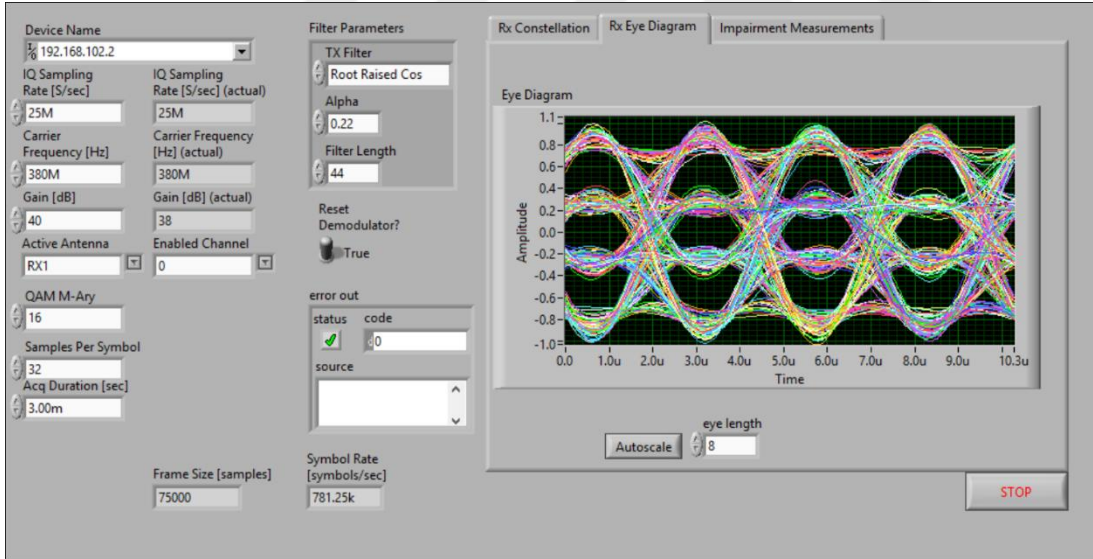
Şekil 6.50 : USRP-USRP Bozulma Seviyesi Ölçümleri

USRP ile veri alışverişi başarılı bir şekilde sağlandıktan sonra USRP verici yapısı çıkarılarak yerine tasarlanan modülör yapısı bağlanmıştır. Kümeleşme diyagramına geçişlerin net bir şekilde görülebilmesi için veri transferi sabit bir on altılık yapı üzerinden gerçekleştirilmiştir. Böylelikle kümeleşme diyagramındaki her bir noktadan sadece bir noktaya geçiş olacaktır. Tekil tasarım adı verilen bu sistemde elde edilen kümeleşme diyagramı sonucu ve USRP alıcı konfigürasyonu Şekil 6.51’de verilmiştir.



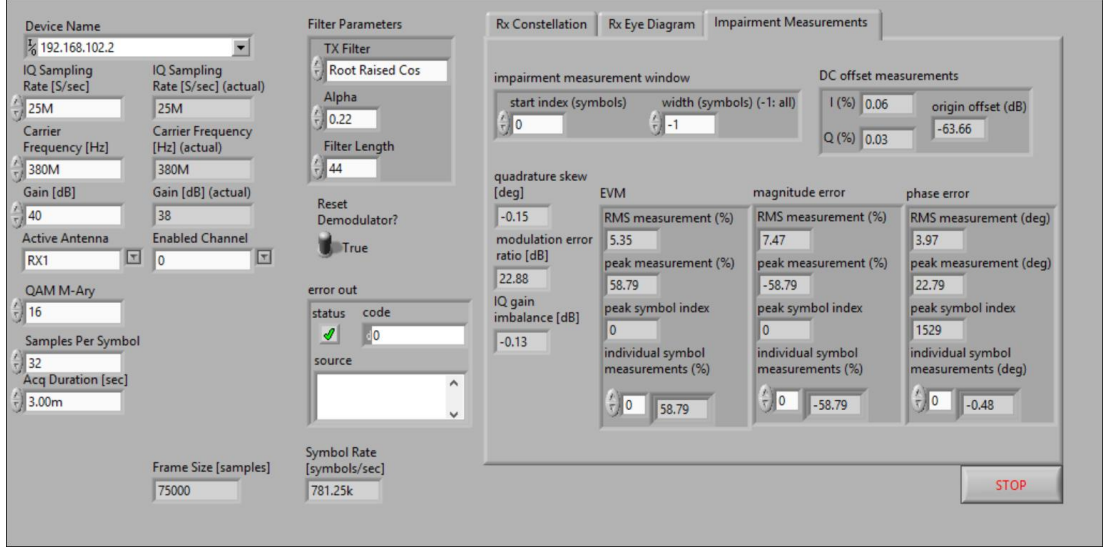
Şekil 6.51 : Tekil Tasarım - USRP Alıcı Kullanıcı Arayüzü.

Tekil tasarıma ilişkin göz diyagramı ölçümü Şekil 6.52’de işaret bozulma ölçümleri ise Şekil 6.53’de verilmiştir.



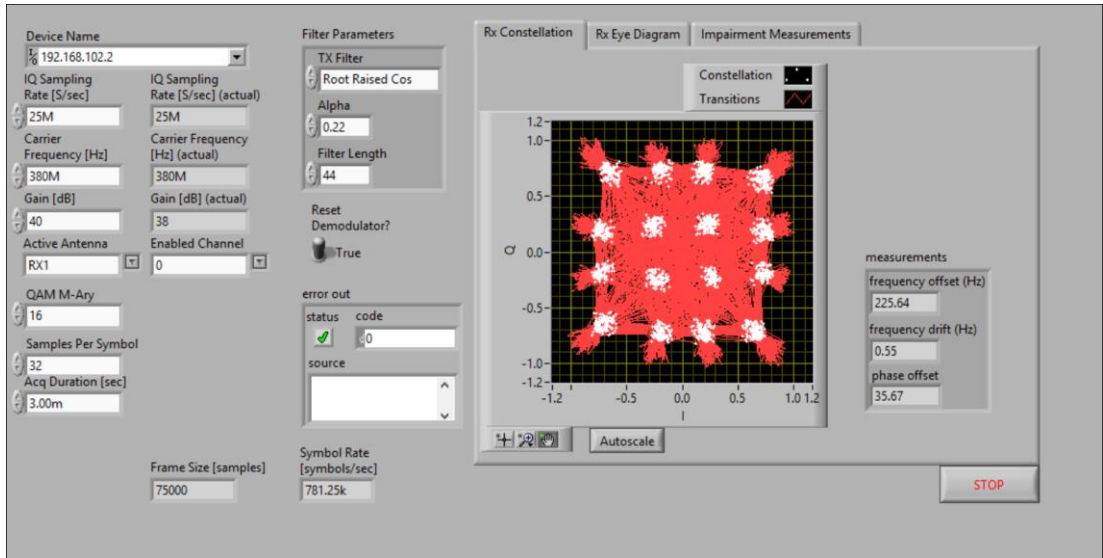
Şekil 6.52 : Tekil Tasarım - USRP Göz Diyagramı Ölçümü





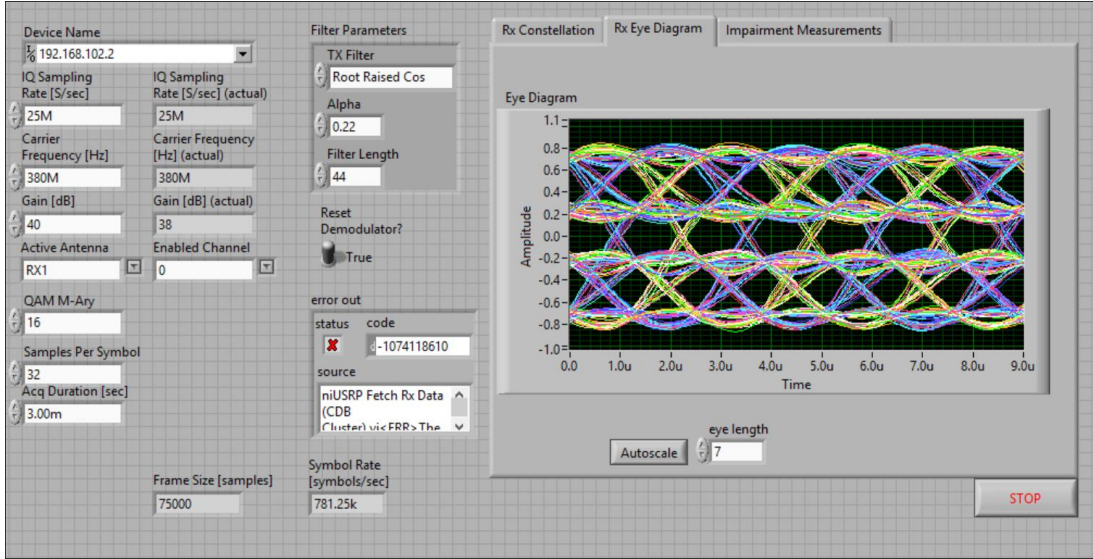
**Şekil 6.53 :** Tekil Tasarım-USRP Bozulma Seviyesi Ölçümleri

Kümeleşme diyagramında oluşturulan yapının tekil geçişleri gözlemlendikten sonra USRP alıcı yapısı ile başarılı bir şekilde haberleşme gerçekleştirildiğinden emin olunmuştur. Sonrasında içerisinde bütün veri geçişlerini barındıran bir veri tablosu Matlab’da oluşturulduktan sonra gönderimi sağlanmıştır. Rastgele tasarım adı verilen bu sistemde elde edilen kümeleşme diyagramı sonucu ve USRP alıcı konfigürasyonu Şekil 6.54’de verilmiştir.

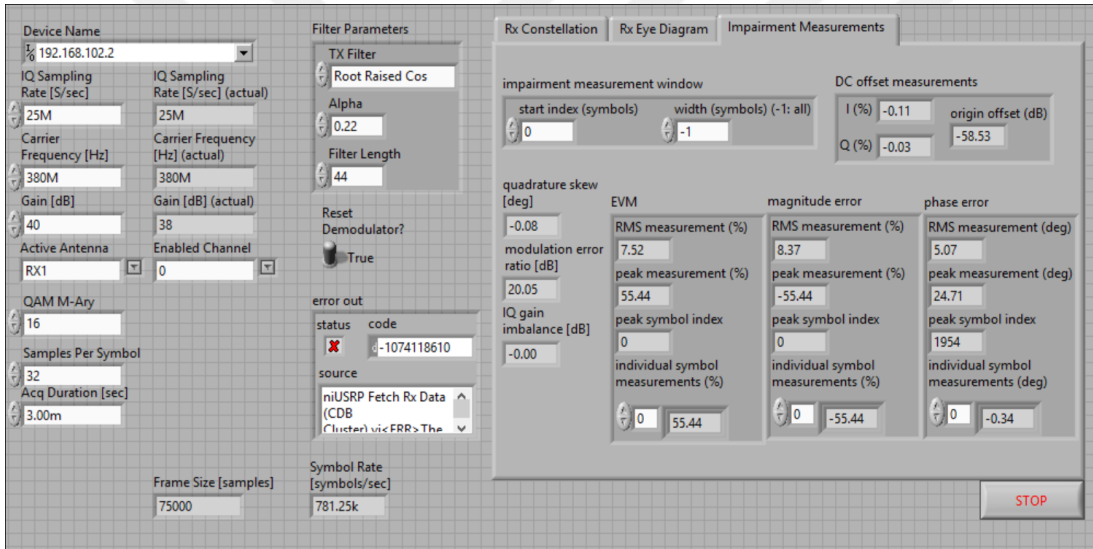


**Şekil 6.54 :** Rastgele Tasarım - USRP Alıcı Kullanıcı Arayüzü.

Rastgele tasarıma ilişkin göz diyagramı ölçümü Şekil 6.55’de işaret bozulma ölçümlenmeleri ise Şekil 6.56’da verilmiştir.



Şekil 6.55 : Rastgele Tasarım - USRP Göz Diyagramı Ölçümü



Şekil 6.56 : Rastgele Tasarım-USRP Bozulma Seviyesi Ölçümleri

## 7. SONUÇ VE ÖNERİLER

Geleneksel dördün genlik modülasyonu gerçekleştirme yönteminde I ve Q bileşenlerinin filtrelendikten sonra aynı frekansa sahip arasında doksan derece faz farkı olan iki taşıyıcı (sinüs ve kosinüs) ile ayrı ayrı çarpılması ve toplanması işlemi söz konusudur. Ara frekans seviyesinde modüleli işaretleri üretmek için yapılan bu işlemin FPGA seviyesinde yapılması sonucunda çok yüksek bit sayısına sahip sonuçlar ortaya çıkmaktadır. Bu durum kullanılacak olan sayısal-analog çeviricilerin çok yüksek çözünürlüklü olması gerekliliğini ortaya çıkarmaktadır. Düşük çözünürlüklü üretilmeye çalışılan işaretlerin ise örnekleme frekansı geçişlerindeki geçişlerinin ani olmasından dolayı işaret kalitesinde bozulmalar ortaya çıkmakta spektral verimlilik oldukça düşmektedir. Kullanılan CORDIC algoritması yüksek bit sorununu ortaya çıkaran çarpma işlemini kaydırma ve toplama şekline indirgeyerek bahsedilen soruna çözüm niteliği sunmaktadır. Bu tez kapsamında FPGA üzerinde CORDIC algoritması yardımıyla 16 seviyeli, Gray kodlamalı ve Tip III kümeleşme diyagramına sahip dördün genlik modülasyonu gerçekleştirilmiştir. Genel olarak bilgi biti üreticisi, haritalama, darbe şekillendirme ve CORDIC bloklarından oluşmaktadır. Bilgi biti üreticisi modülü 781.25 kHz sembol oranına sahip olacak şekilde bitleri üretmektedir. Bilgi biti üreticisi tarafından üretilen bitler haritalama birimi tarafından hem faz hem de genlik bilgisini taşıyan katsayıları üreterek temel banttaki işaret üretimini sağlamaktadır. Sonrasında kaskat yapıda oluşturulan filtrelerden geçerek şekillendirilen işaret CORDIC bloğuna gelerek ara frekans seviyesi 6.25 MHz merkez frekanslı işaretleri üretmektedir. Üretilen işaretin bağımsız bir platformda demodüle edilebilmesi için USRP kitleri kullanılmıştır. Ara frekans seviyesinde üretilmiş olan modüleli işaret karıştırıcı ve işaret üretici yardımıyla 380 MHz seviyesine taşınarak demodülasyon işlemi gerçekleştirilmiştir. Şekil 6.49, 6.52 ve 6.55 gözlemlendiğinde gerçekleştirilen tasarımın geçişlerinin USRP aracılığıyla üretilen işaretin geçişlerinden çok daha iyi olduğu gözükmemektedir. Göz diyagramı ölçümlerinde göz yüksekliği ve genişliği işaretin kalitesi ile doğru orantılı bir parametredir. Aynı zamanda Şekil 6.50, 6.53 ve 6.56 işaretin bozulma metriklerinin belirlenmesini sağlayan ölçümlere sahiptir. Çizelge 6.8’de ise oluşturulan üç tane test ortamının sonuçlarına yer verilmiştir.

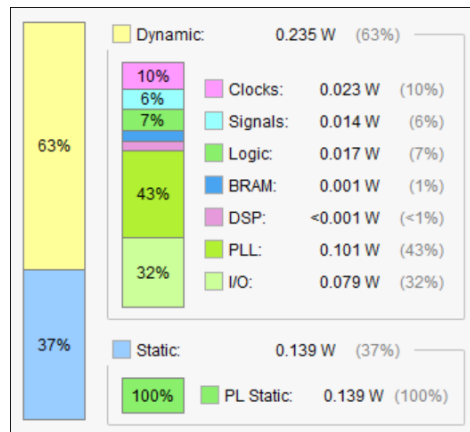
**Çizelge 6.8 : İşaret Bozulma Ölçüm Sonuçları Karşılaştırması.**

Hata Çeşidi	USRP-USRP	Tekil Tasarım-USRP	Rastgele Tasarım -USRP
Modulasyon Hata Oranı [dB]	17.66	22.88	20.05
Dördün Çarpıklık Seviyesi[deg]	0.22	-0.15	-0.08
Hata Vektör Büyüklüğü[%]	9.78	5.35	7.52
Genlik Hatası[%]	9.70	7.47	8.37
Faz Hatası[deg]	5.71	3.97	5.07

Test sonuçlarından da görüldüğü üzere aynı yapıdaki iki USRP kitinin birbirleri arasındaki haberleşmesinden hem tekil hem de rastgele işaret üretimi yapan gerçekleştirme daha düzgün sonuçlar üretmiştir. Tasarım AC701 geliştirme kartında gerçekleştirildiğinden ötürü Vivado geliştirme programında oluşturulmuştur. Oluşturulan yapının FPGA'deki kaynak kullanımını Şekil 6.57'de ve güç tüketimi 6.58'de belirtildiği gibidir.

Resource	Utilization	Available	Utilization %
LUT	2877	133800	2.15
FF	3416	267600	1.28
BRAM	0.50	365	0.14
DSP	172	740	23.24
IO	19	400	4.75
BUFG	2	32	6.25
PLL	1	10	10.00

**Şekil 6.57 : FPGA Kaynak Kullanımı**



**Şekil 6.58 : FPGA Güç Tüketimi**

Daha önceden de belirtildiği gibi tasarım platform bağımsız olacak şekilde hiçbir fikri mülkiyet çekirdeği kullanılmadan gerçekleştirilmiştir. Fakat fikri mülkiyet

çekirdekleri hem konfigüre edilebilir bir tasarım ortamı sunmalarının yanı sıra hem de oldukça optimize edilmiş yapılarıdır. Tasarımda kullanılan filtre yapıları için Matlab'dan alınan katsayılar ile "FIR Compiler" fikri mülkiyet çekirdeği kullanarak aynı filtre yapılarını oluşturmak mümkündür. Çizelge 6.9'da toplama ve çarpma birimleri ile oluşturulmuş olan filtrelerin kaynak kullanımı çizelge 6.10'da ise fikri mülkiyet çekirdeği kullanılarak oluşturulan filtrelerin kaynak kullanımı verilmiştir.

**Çizelge 6.9 :** Basit Elemanlar ile Gerçekleştirilmiş Filtrelerin Kaynak Kullanımı.

Filtre Tipi	LUT	FF	BRAM	DSP
SRRC Filtre	538	671	0	38
Yarım Bant Alçak Geçiren-1	190	337	0	24
Yarım Bant Alçak Geçiren-2	78	169	0	12
Yarım Bant Alçak Geçiren-3	78	169	0	12
Toplam	884	1193	0	86

**Çizelge 6.10 :** Fikri Mülkiyet Çekirdeği Filtrelerinin Kaynak Kullanımı.

Filtre Tipi	LUT	FF	BRAM	DSP
SRRC Filtre	149	187	0	1
Yarım Bant Alçak Geçiren-1	137	177	0	1
Yarım Bant Alçak Geçiren-2	128	163	0	1
Yarım Bant Alçak Geçiren-3	112	159	0	1
Toplam	526	686	0	4

İki farklı şekilde oluşturulan filtre yapılarının kaynak kullanımı açısından oldukça büyük bir fark bulunmaktadır. Fikri mülkiyet çekirdeği kullanıldığı takdirde 358 LUT, 507 FF ve 82 adet DSP birimi kazancı sağlamak mümkündür. Elbette bu kazancı sağlamak için bir şeylerden feragat etmek gerekmektedir. Bu optimizasyon filtrelerdeki giriş gecikmesini arttırmaktadır.



## KAYNAKLAR

- [1] **Halonen, K. A. I. & Kosunen, M. & Sanchis, I. & Vankka, J.** (2000). A multicarrier QAM modulator, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 47 (1), 1-10
- [2] **Rupesh, K. D. & Singh, N. B. & Singh, P.** (2013). CORDIC for QAM and AM signal generation, *2015 International Conference on Advanced Electronic Systems* Pilani, India : Septmber 21-23
- [3] **Wei, X & Zhou, S.** (2007). A Novel Circuit Design Based CORDIC for QAM Modulator, *2007 International Conference on Communications, Circuits and Systems*, Kokuro, Japan : July 11-13
- [4] **P, Johnson** (1985). E-Systems Team, *New Research Lab Leads to Unique Radio Receiver* (Vol. 5, No. 4 pp.6-7). Retrieved from **Error! Hyperlink reference not valid.**[chordite.com/team.pdf](http://chordite.com/team.pdf)
- [5] **Fette, Bruce** (2006). *Cognitive Radio Technology*. Amsterdam: Elsevier.Inc
- [6] **Xilinx Data Book.** (1998). Retrieved April 28, 2019, from <http://jason.sdsu.edu/xilinx/wcd029b6.pdf>
- [7] **7 Series FPGAs Configurable Logic Block.** (2016). Retrieved April 28, 2019, from [https://www.xilinx.com/support/documentation/user\\_guides/ug474\\_7Series\\_CLB.pdf](https://www.xilinx.com/support/documentation/user_guides/ug474_7Series_CLB.pdf)
- [8] **University of Washington, CSE467, Advanced Logic Design Lecture Notes.** (2003). *Xilinx* [PowerPoint slides]. Retrieved from <https://courses.cs.washington.edu/courses/cse467/03wi/FPGA.pdf>
- [9] **Wu, Guan-Lin, National Taiwan University, CVSD, Computer-Aided VLSI System Design Lecture Notes.** (2011). *Introduction to FPGA* [PowerPoint slides]. Retrieved from <http://cc.ee.ntu.edu.tw/~jhjiang/instruction/courses/fall11-cvsv/LN13-FPGA.pdf>
- [10] **Chan, C.** (1959). Performance of digital phase modulation communication systems, *IRE Transactions on Communications*, 7 (1), 3-6
- [11] **Chan, C.** (1960). Combined digital phase and amplitude modulation communication system, *IRE Transactions on Communications*, 8 (3), 150-155
- [12] **Hancock, J. & Lucky, R.** (1960). Performance of combined amplitude and phase modulated communications system, *IRE Transactions on Communications*, 8 (4), 232-237
- [13] **Campopiano, C. & Glazer, B.** (1960). A coherent digital amplitude and phase modulation scheme, *IRE Transactions on Communications*, 10 (1), 90-95

- [14] **Şafak, M.** (2017). *Digital Communication*. Chichester, UK ; Hoboken, NJ : John Wiley & Sons Ltd.
- [15] **Hancock, J. & Lucky, R.** (1962). On the optimum performance of N-ary systems having two degrees of freedom, *IRE Transactions on Communications*, 10 (2), 185-192
- [16] **Lucky, R. & Salz, J. & Weldon, E.** (1968). *Principles of Data Communication*. New York, USA: McGraw-Hill.
- [17] **Paris, D. & Salz, J. & Sheenhan, J.** (1971). Data Transmission by combined AM and PM, *Bell Systems Technical Journal*, 50 (7), 2399-2419
- [18] **Ho, E. & Yeh, Y.** (1971). Error probability of a multilevel digital system with intersymbol interference and Gaussian noise, *Bell Systems Technical Journal*, 50 (3), 1017-1023
- [19] **Foschini, G. & Gitlin, R. & Weinstein, S.** (1974). Optimization of two-dimensional signal constellations in the presence of Gaussian noise, *IEEE Transactions on Communications*, 22 (1), 28-38
- [20] **Durani, S. & Thomas, C. & Weidner, M.** (1974). Digital amplitude-phase keying with m-ary alphabets, *IEEE Transactions on Communications*, 22 (2), 168-180
- [21] **Bhattacharya, A.** (2006). *Digital Communication*. New Delhi, India : Tata McGraw-Hill Publishing Company Ltd.
- [22] **Nyquist, H.** (1924) Certain factors affecting telegraph speed, *Transactions of the American Institute of Electrical Engineers*, 412-422
- [23] **Asbeck, P. A. & Larson, E. L. & Zhang, X.** (2003). *Design of linear RF Outphasing Power Amplifiers*. Norwood, MA : Artech House Inc
- [24] **Hanzo, L. & Keller, T. & Ng, S. X. & Webb, W.** (2004). *Quadrature Amplitude Modulation From Basics to Adaptive Trellis-Coded, Turbo-Equalised and Space-Time Coded OFDM, CDMA and MC-CDMA Systems*. Chichester, UK : John Wiley & Sons Ltd.
- [25] **Volder, J. E.** (1959). The CORDIC Trigonometric Computing Technique, *IRE Transactions on Electronic Computers*, 8 (3), 330-334
- [26] **Aniket, V. G. & Pravin, K. D. & Sayali, R. B.** (2015). CORDIC architecture based 2-D DCT and IDCT for image compression, *2015 International Conference on Communications and Signal Processing*, Melmaruvathur, India : April 2-4.
- [27] **Halonen, K. A. I. & Kosunen, M. & Vankka, J. & Waltari, M.** (2005). A multicarrier QAM modulator for WCDMA base-station with on-chip D/A converter, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 13 (2), 181-190
- [28] **Bhairannawar, S. S. & Raja, K. B. & Sarkar, S. & Venugopal, K. R.** (2015). An efficient VLSI architecture for fingerprint recognition using O2D-DWT architecture and modified CORDIC-FFT, *2015 International Conference on Signal Processing, Informatics, Communication and Energy Systems*, Kozhikode, India : February 19-21.



- [29] **Aguirre, M. & Lund, T. & Torralba, A.** (2002). Making use of CORDICs and distributed arithmetic to produce a field-programmable fuzzy logic controller in an FPGA, *IEEE 2002 28th Annual Conference of the Industrial Electronics Society* Sevilla, Spain : November 5-8.
- [30] **Andraka, R.** (1998). A survey of CORDIC Algorithms for FPGA Based Computers.
- [31] **Fei-yu, L. & Lan, J. & Ma, Yun-hai. & Wei-ming, Q. & Xi-xiang J.** (2009). Efficient design of digital upconverter for WCDMA in FPGA using system generator, *International Conference on Information Engineering and Computer Science*, Wuhan, China : December 19-20.





## ÖZGEÇMİŞ



**Ad-Soyad** : Anilcan Ayrancı  
**Doğum Tarihi ve Yeri** : 09.09.1989 / Konya  
**E-posta** : anilcanayranci@gmail.com

### ÖĞRENİM DURUMU:

- **Lisans** : 2013, İstanbul Teknik Üniversitesi, Elektrik-Elektronik Fakültesi, Elektronik Mühendisliği
- **Yükseklisans** : 2019, İstanbul Teknik Üniversitesi, Elektronik ve Haberleşme Mühendisliği Anabilim Dalı, Elektronik Mühendisliği

### MESLEKİ DENEYİM VE ÖDÜLLER:

- “2013 Uluslararası Mikrodalga Sempozyumu” (IMS 2013) kapsamında düzenlenen “Software Defined Radio” konulu öğrenci tasarım yarışması, Dünya 2.liği
- PAVO Tasarım , Uzman Donanım Tasarım Müh.(2014-)

### DİĞER YAYINLAR, SUNUMLAR VE PATENTLER:

- Dilek, M. S., Anilcan A., Seker A., Ceylan, O., Yagci, H. B., 2FSK Design on FPGA for Micro/Nano Satellites, Embedded Systems and Applications Symposium 2012 (GOMSSIS 2012), November 29-30 2012, Istanbul / Türkiye.