

**DOKUZ EYLÜL ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ**

**MEMRİSTANS MALZEMELERİN FPGA  
SİSTEMLERDE SİMÜLASYONU VE  
PERFORMANSININ İNCELENMESİ**

**Ufuk ASIL**

**Temmuz, 2019**

**İZMİR**

# **MEMRİSTANS MALZEMELERİN FPGA SİSTEMLERDE SİMÜLASYONU VE PERFORMANSININ İNCELENMESİ**

**Dokuz Eylül Üniversitesi Fen Bilimleri Enstitüsü  
Yüksek Lisans Tezi  
Nanobilim ve Nanomühendislik Anabilim Dalı**

**Ufuk ASIL**

**Temmuz, 2019**

**İZMİR**

## YÜKSEK LİSANS TEZİ SINAV SONUÇ FORMU

UFUK ASIL, tarafından DOÇ. DR. ABDULLAH SEÇGİN yönetiminde hazırlanan “MEMRİSTANS MALZEMELERİN FPGA SİSTEMLERDE SİMÜLASYONU VE PERFORMANSININ İNCELENMESİ” başlıklı tez tarafımızdan okunmuş, kapsamı ve niteliği açısından bir Yüksek Lisans tezi olarak kabul edilmiştir.



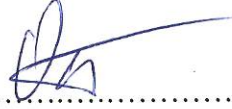
Doç. Dr. Abdullah SEÇGİN

Yönetici



Doç. Dr. M. Feruk Ebeoğlu

Jüri Üyesi



Dr. Öğr. Ü. Banu Ögür

Jüri Üyesi



Prof. Dr. Kadriye ERTEKİN

Müdür

Fen bilimleri Enstitüsü

## TEŐEKKÜR

Tez alıŐmam sırasında kıymetli bilgi, birikim ve tecrübeleri ile bana yol gösterici ve destek olan deęerli danıŐman hocam sayın Do. Dr. Abdullah SEGİN' e, yüksek lisansımı baŐlayıp bitirdiđim sre zarfında desteklerini hi esirgemediđinden dolayı, alıŐmakta olduđum Menemen İle Emniyet Mdrlđmzn İle Emniyet Mdr Hakan İNCİLİ' ye, maddi manevi destekleriyle beni hibir zaman yalnız bırakmayan fedakâr eŐim Hatice ASIL' a sonsuz teŐekkrler ederim.

Ufuk ASIL



# MEMRİSTANS MALZEMELERİN FPGA SİSTEMLERDE SİMÜLASYONU VE PERFORMANSININ İNCELENMESİ

## ÖZ

Günümüz teknolojisinde tümleşik devreler üzerindeki bileşen sayısı Moore yasası sınırlarına ulaşmış olup halihazırda kullanılmakta olan Complementary Metal Oxide Semiconductor (Cmos) teknolojisinin getirilerini arttıracak geleceğin teknolojileri araştırılmaktadır. Bu teknolojiler arasında memristör teknolojisinin düşük güç tüketimi, düşük alan işgali ve en önemlisi sistem gücü kesilse dahi veriyi tutabilmesi rakipleri arasında yıldızının parlamasına sebep olmuştur.

Bu tezde, memristörler ile mantık tasarımları, memristörlerin Complementary Metal Oxide Semiconductor (Cmos) sistemlere melez yapılarda entegrasyonu, Complementary Metal Oxide Semiconductor (Cmos) uyumluluğu Virtuoso Cadence Design Environment programında simule edilmiş, Field Programmable Gate Array (FPGA) ve veri depolama sistemlerinde kullanılan çapraz çubuk (Crossbar) mimarilerinde memristör teknolojisinin getirdiği sinsi akım (sneakpath current) problemleri gibi sorunlar ve çözüm yöntemleri araştırılarak farklı çözüm yolları önerilmiştir.

Bu tezde memristör teknolojisinin araştırılması, milli teknoloji atılımımızda yeni teknolojilere entegrasyonun daha kolay sağlanmasına ve bu konuda söz sahibi olunmasına yardımcı olacağı düşünülmektedir.

**Anahtar kelimeler:** Memristör, mantık kapıları, crossbar, FPGA, sneakpath, Virtuoso Cadence

# **SIMULATION AND PERFORMANCE EXAMINATION OF MEMRISTANS MATERIALS FOR FPGA SYSTEMS**

## **ABSTRACT**

In today's technology, the number of components on integrated circuits has reached the limits of Moore's law. Future technologies that will increase the benefits of Complementary Metal Oxide Semiconductor (Cmos) technology are being researched. Memristor has caused to be in the ascendant among its competitors because of its low power consumption, low space occupation and, most importantly, its ability to hold data even when the system power is cut.

In this thesis, logic designs with memristors, the integration of memristors as hybrid structures in Complementary Metal Oxide Semiconductor (Cmos) systems was simulated in Virtuoso Cadence Design Environment program. Sneakpath current problems and solution methods were investigated in Crossbar architectures used in Field Programmable Gate Array (FPGA) and data storage systems and different solutions have been proposed.

In this thesis, the research of memristor technology will enable us to integrate new technologies more easily in our national technology enterprise.

**Keywords:** Memristor, logic gates, crossbar, FPGA, sneakpath, Virtuoso Cadence

## İÇİNDEKİLER

	Sayfa
YÜKSEK LİSANS TEZİ SINAV SONUÇ FORMU.....	ii
TEŞEKKÜR .....	iii
ÖZ .....	iv
ABSTRACT.....	v
ŞEKİLLER LİSTESİ .....	viii
TABLolar LİSTESİ .....	xi
<b>BÖLÜM BİR - MEMRİSTÖR NEDİR?.....</b>	<b>1</b>
1.1 Giriş ve Literatür Özeti.....	1
1.2 HP Memristör .....	6
1.2.1 HP Memristörün Denklemi .....	6
1.3 Çeşitli Memristör Üretimi .....	7
<b>BÖLÜM İKİ - MATEMATİKSEL MODELLEME VE SİMÜLASYON.....</b>	<b>9</b>
2.1 Memristörün Karakter Analizi ve Simülasyonu .....	9
2.2 Memristör İçin Çeşitli Matematiksel Modeller .....	10
2.2.1 Linear Ion Drift Modeli .....	10
2.2.2 Nonlinear Ion Drift Modeli .....	11
2.2.3 Simmons Tünel Bariyer Modeli .....	11
2.2.4 ThrEshold Adaptive Memristor (TEAM) Model .....	11
2.3 Memristörün Davranışı.....	13
<b>BÖLÜM ÜÇ - (MEMRİSTOR RATIOED LOGIC) MRL TASARIMLAR.....</b>	<b>15</b>
3.1 (Memristor Ratioed Logic) MRL VE Kapısı .....	15
3.2 MRL (Memristor Ratioed Logic ) VEYA Kapısı.....	17
3.3 Complementary Metal Oxide Semiconductor Sistemlerde Entegrasyon .....	20

**BÖLÜM DÖRT - HAFIZA TEMELLİ MANTIK KAPILARI..... 22**

4.1 İSE (IMPLY) Kapısı.....	22
4.2 VEYADEĞİL (Magic Nor) Kapısı.....	29
4.3 VEYA Mantık Kapısı .....	34
4.4 VEDEĞİL Kapısı .....	39
4.5 VE Kapısı .....	44

**BÖLÜM BEŞ - MEMRİSTÖRÜN FPGA SİSTEMLERİNDE ANALİZİ..... 49**

5.1 Çapraz Çubuk (Crossbar) Dizisi.....	49
5.1.1 Sinsi Akım (Sneakpath Current) .....	50
5.2 Çapraz Çubuk (Crossbar) Dizisinde Yazma İşlemi.....	50
5.2.1 Hedef Yaklaşımı.....	50
5.2.2 Çapraz Çubuk (Crossbar) Dizisinde Memristörlerin Gruplandırılması .....	52
5.2.3 1/2 Yaklaşımı .....	56
5.2.4 1/3 Yaklaşımı .....	58
5.2.5 0-1 Yaklaşımı .....	61
5.3 Çapraz Çubuk (Crossbar) Dizisinde Okuma İşlemi .....	64
5.3.1 Satır ve Sütunlarda Topraklama Olmaksızın Okuma İşlemi.....	65
5.3.2 Satır Topraklamalı ve Sütunlarda Topraklama Olmaksızın Okuma İşlemi.....	66
5.3.3 Sütun Topraklamalı ve Satırlarda Topraklama Olmaksızın Okuma İşlemi.....	67
5.3.4 Satır ve Sütun Topraklamalı Okuma İşlemi.....	68

**BÖLÜM ALTI - SONUÇLAR..... 70**

**KAYNAKLAR .....** 71

**EKLER.....** 76

EK 1: Vteam memristor Verilog-A kodu .....	76
--	----



## ŞEKİLLER LİSTESİ

	<b>Sayfa</b>
Şekil 1.1 Memristörün simgesi .....	1
Şekil 1.2 Temel devre elemanları.....	2
Şekil 1.3 Chua' nın eşdeğer memristör emülatörü.....	4
Şekil 1.4 Memristör dizisinin elektron mikroskobu görüntüsü.....	4
Şekil 1.5 Memristör akım-direnç ilişkisi boru benzetmesi .....	5
Şekil 1.6 HP memristörün yapısı .....	6
Şekil 1.7 Memristör tipleri ve I-V eğrileri .....	7
Şekil 2.1 Memristörün davranış devresi.....	13
Şekil 2.2 Memristörün davranış devresi analiz sonuçları .....	13
Şekil 2.3 Memristörün basitleştirilmiş I-V karakter eğrisi üzerinde temel değerler .....	14
Şekil 3.1 MRL VE mantık kapısı devresi .....	15
Şekil 3.2 MRL VE mantık kapısı devresi analiz sonucu .....	16
Şekil 3.3 MRL VEYA kapısı devresi.....	18
Şekil 3.4 MRL VEYA mantık kapısı devresi analiz sonucu.....	18
Şekil 3.5 MRL VE kapısı ve cmos melez VEDEĞİL devresi .....	20
Şekil 3.6 MRL VE kapısı ve cmos melez VEYADEĞİL devresi.....	21
Şekil 4.1 Hafıza tabanlı İSE mantık kapısı devresi.....	23
Şekil 4.2 Hafıza tabanlı İSE mantık kapısı devresi mantık 1-1 kombinasyonu analiz sonucu.....	24
Şekil 4.3 Hafıza tabanlı İSE mantık kapısı devresi mantık 1-0 kombinasyonu analiz sonucu .....	25
Şekil 4.4 Hafıza tabanlı İSE mantık kapısı devresi mantık 0-1 kombinasyonu analiz sonucu .....	26
Şekil 4.5 Hafıza tabanlı İSE mantık kapısı devresi mantık 0-0 kombinasyonu analiz sonucu .....	27
Şekil 4.6 Hafıza temelli VEYADEĞİL mantık kapısının devre tasarımı .....	29
Şekil 4.7 Hafıza temelli VEYADEĞİL mantık kapısının mantık 1-1 kombinasyonu analiz sonucu.....	30

Şekil 4.8 Hafıza temelli VEYADEĞİL mantık kapısının mantık 0-1 kombinasyonu analiz sonucu.....	31
Şekil 4.9 Hafıza temelli VEYADEĞİL mantık kapısının mantık 1-0 kombinasyonu analiz sonucu.....	32
Şekil 4.10 Hafıza temelli VEYADEĞİL mantık kapısının mantık 0-0 analiz sonucu .....	33
Şekil 4.11 Hafıza temelli VEYA mantık kapısı devresi .....	34
Şekil 4.12 Hafıza temelli VEYA mantık kapısının mantık 1-1 kombinasyonu analiz sonucu .....	35
Şekil 4.13 Hafıza temelli VEYA mantık kapısının mantık 1-0 kombinasyonu analiz sonucu .....	36
Şekil 4.14 Hafıza temelli VEYA mantık kapısının mantık 0-1 kombinasyonu analiz sonucu .....	37
Şekil 4.15 Hafıza temelli VEYA mantık kapısının mantık 0-0 kombinasyonu analiz sonucu .....	38
Şekil 4.16 Hafıza temelli VEDEĞİL mantık devresi.....	39
Şekil 4.17 Hafıza temelli VEDEĞİL mantık kapısının mantık 1-1 kombinasyonu analiz sonucu.....	40
Şekil 4.18 Hafıza temelli VEDEĞİL mantık kapısının mantık 1-0 kombinasyonu analiz sonucu.....	41
Şekil 4.19 Hafıza temelli VEDEĞİL mantık kapısının mantık 0-1 kombinasyonu analiz sonucu.....	42
Şekil 4.20 Hafıza temelli VEDEĞİL mantık kapısının mantık 0-0 kombinasyonu analiz sonucu.....	43
Şekil 4.21 Hafıza temelli VE mantık kapısı devresi .....	44
Şekil 4.22 Hafıza temelli VE mantık kapısı devresinin mantık 1-1 kombinasyonu analiz sonucu.....	45
Şekil 4.23 Hafıza temelli VE mantık kapısı devresinin mantık 1-0 kombinasyonu analiz sonucu.....	46
Şekil 4.24 Hafıza temelli VE mantık kapısı devresinin mantık 0-1 kombinasyonu analiz sonucu.....	47

Şekil 4.25 Hafıza temelli VE mantık kapısı devresinin mantık 0-0 kombinasyonu analiz sonucu .....	48
Şekil 5.1 Çapraz çubuk (crossbar) Dizisi .....	49
Şekil 5.2 8x8 Çapraz çubuk (crossbar) hedef yaklaşımı devresi .....	51
Şekil 5.3 8x8 Çapraz çubuk (crossbar) devresi hedef yaklaşımı analiz sonuçları .....	51
Şekil 5.4 8x8 Çapraz çubuk (crossbar) devresinde memristörlerin gruplandırılması	52
Şekil 5.5 Çapraz çubuk (crossbar) eşdeğer devresi.....	53
Şekil 5.6 Çapraz çubuk (crossbar) 1/2 yaklaşımı eşdeğer devresi .....	56
Şekil 5.7 8x8 Çapraz çubuk (crossbar) 1/2 yaklaşımı devresi .....	57
Şekil 5.8 Çapraz çubuk (crossbar) 1/3 yaklaşımı eşdeğer devresi .....	58
Şekil 5.9 8x8 Çapraz çubuk (crossbar) 1/3 yaklaşımı devresi .....	59
Şekil 5.10 8x8 Çapraz çubuk (crossbar) 1/3 yaklaşımı devresi analiz sonuçları .....	60
Şekil 5.11 8x8 Çapraz çubuk (crossbar) kutuplu memristörlerle 1-0 yaklaşımı devresi .....	62
Şekil 5.12 8x8 Çapraz çubuk (crossbar) 1-0 yaklaşımı devresi analiz sonuçları.....	63
Şekil 5.13 Çapraz çubuk (crossbar) dizisinde satır ve sütunlarda topraklama olmaksızın okuma işleminin eşdeğer devre tasarımı.....	65
Şekil 5.14 Çapraz çubuk (crossbar) dizisinde satır topraklamalı ve sütunlarda topraklama olmaksızın okuma işleminde eşdeğer devre tasarımı .....	66
Şekil 5.15 Çapraz çubuk (crossbar) dizisinde sütun topraklamalı ve satırlarda topraklama olmaksızın okuma işleminde eşdeğer devre tasarımı).....	67
Şekil 5.16 Çapraz çubuk (crossbar) dizisinde satır ve sütun topraklamalı okuma işleminde eşdeğer devre tasarımı .....	68

## TABLULAR LİSTESİ

	<b>Sayfa</b>
Tablo 1.1 Kutupsuz metal oksit karışımı memristor örnekleri ve özellikleri .....	8
Tablo 2.1 Vteam memristör Verilog-A kodu içinde seçilebilen modeller.....	10
Tablo 2.2 Vteam memristör Verilog-A kodu içinde seçilebilen pencere fonksiyonları .....	10
Tablo 2.3 Memristör için matematiksel modeller .....	12
Tablo 2.4 Modellerde kullanılan fonksiyonlar.....	12
Tablo 3.1 MRL VE mantık kapısı doğruluk tablosu.....	15
Tablo 3.2 MRL VEYA mantık kapısı doğruluk tablosu.....	17
Tablo 4.1 İSE mantık kapısı doğruluk tablosu.....	22
Tablo 4.2 İSE cinsinden mantık fonksiyonlarının ifade edilmesi.....	28
Tablo 4.3 VEYADEĞİL mantık kapısı doğruluk tablosu.....	29
Tablo 4.4 VEYA mantık kapısı doğruluk tablosu.....	34
Tablo 4.5 VEDEĞİL mantık kapısı doğruluk tablosu .....	39
Tablo 4.6 VE mantık kapısı doğruluk tablosu .....	44
Tablo 5.1 Farklı voltaj yaklaşımları kıyas tablosu .....	61

# BÖLÜM BİR

## MEMRİSTÖR NEDİR?

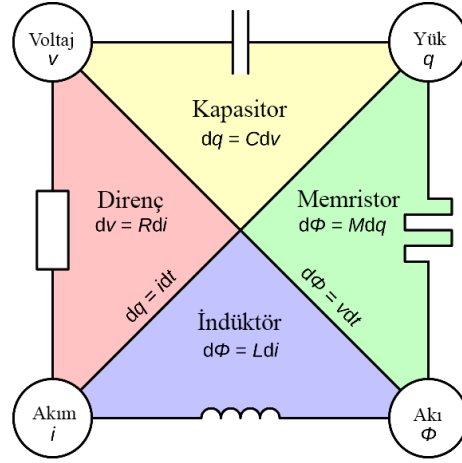
### 1.1 Giriş ve Literatür Özeti

Memristör kelimesi ilk kez 1971 yılında L.O. Chua tarafından literatüre eklenmiş olup, rezistör, indiktör ve kapasitöre ek yeni bir temel devre elamanı olarak tanımlanmıştır. Memristör kelimesi, memristörün üzerinden geçen akıma bağlı olarak doğrusal olmayan bir eğriyle direnç durumunun değiştiği ve devrenin gücü kapanıp açıldığında dahi son direnç durumunu hatırladığı için memory ve resistor kelimelerinin bir kısaltması olarak kullanılmıştır. Memristör Şekil 1.1' de gösterilen sembolle ifade edilmiştir.



Şekil 1.1 Memristörün simgesi

Şekil 1.2' de gösterilen temel devre teorisinde temel değerlerden akım, voltaj, yük ve akı arasındaki ilişkilerden oluşabilecek altı adet kombinasyonun beşi hakkında tam bir bilgi mümkün iken 1971 yılına kadar yük ve akı arasındaki ilişki hakkında hiçbir elle tutulur bilgi mevcut değildi. Bu bağlamda uzun yıllar bu ikili kombinasyonların altıncısı temel devre teorisinde kayıp devre elemanı olarak adlandırılmıştır.



Şekil 1.2 Temel devre elemanları (Chua, 1971)

Şekil-1.2’ de olduğu gibi voltaj ile akım arasındaki ilişkiyle  $R = dv/di$  direnç, yük ile voltaj arasındaki ilişkiyle  $C = dq/dv$  kapasitör, akı ile akım arasındaki ilişkiyle  $L = d\phi/di$  indikatörü ifade edilirken memristör ise yük ile manyetik akı arasındaki ilişkiyi  $d\phi/dq$  (yük kontrollü memristör, denklem 1.1) ya da  $dq/d\phi$  (akı kontrollü memristör, denklem 1.2) şeklinde ifade eder.

$$q(t) = \int_{-\infty}^t i\tau d\tau = \varphi_0 + \int_0^t i\tau d\tau \quad (1.1)$$

$$\varphi(t) = \int_{-\infty}^t i\tau d\tau = \varphi_0 + \int_0^t i\tau d\tau \quad (1.2)$$

Buradaki  $\varphi_0$  ve  $q_0$  değerleri memristörün başlangıçtaki ilk akı ve yük değerlerini temsil etmektedir.

$$q = \hat{q}(\varphi) \text{ akı kontrollü memristörün denklemi} \quad (1.3)$$

$$\varphi = \hat{\varphi}(q) \text{ yük değişkenli memristörün denklemi} \quad (1.4)$$

Denklem 1.3 ve 1.4’ in zaman değişkenine göre tekrar düzenlenmesi ile sırasıyla

$$i = \frac{dq}{dt} = \frac{d\hat{q}(\varphi)}{dt} = \frac{d\hat{q}(\varphi)d\varphi}{d\varphi dt} = M(\varphi) i(t) \quad (1.5)$$

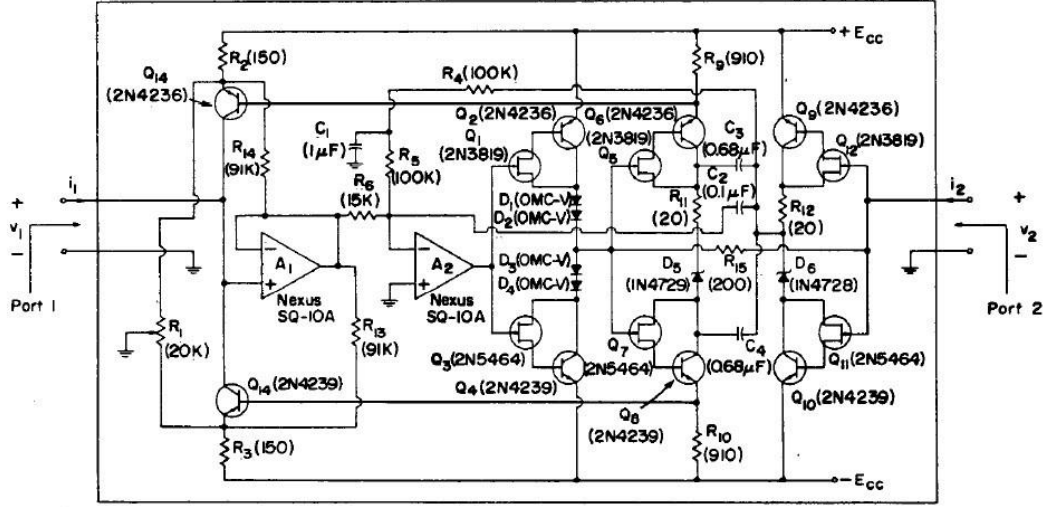
$$i = \frac{dq}{dt} = \frac{d\hat{q}(\varphi)}{dt} = \frac{d\hat{q}(\varphi)d\varphi}{d\varphi dt} = W(\varphi)v(t) \quad (1.6)$$

elde edilir.

$M(q)$  bir direnç yapısı olduğundan ohm ( $\Omega$ ) ile ölçülür.  $V(t)=M(q) i(t)$  sonucunu veren denklem 1.5 doğrultusunda “i” ile ters orantılı, “V” ile doğru orantılı olarak  $M(q)$ ’ nin direnç değerinde değişiklik söz konusudur. İşte bu sebepten  $M(q)$  için değişken memristans özelliğine sahip olduğu söylenebilir.

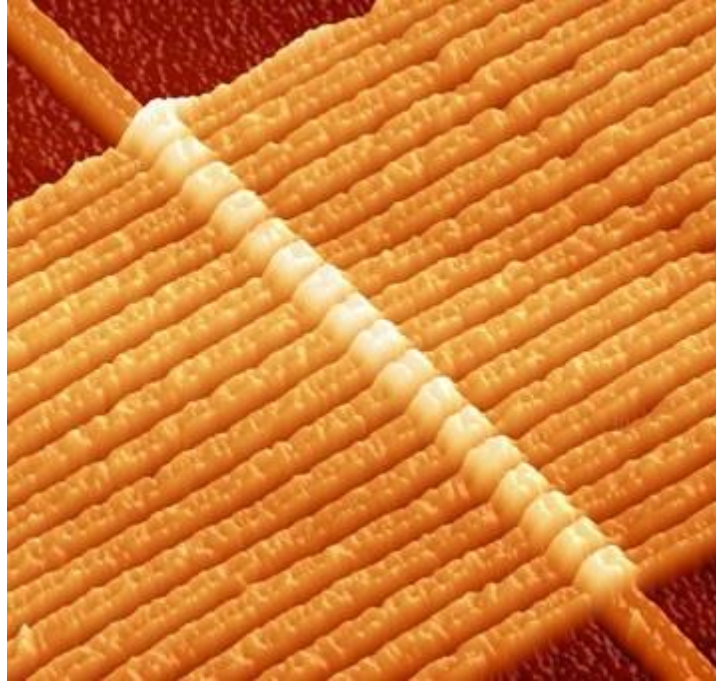
$W(\varphi)$  bir kondüktör yapısı olduğundan Siemens (S) ile ölçülür. Aynı şekilde  $i(t) = W(\varphi) v(t)$  sonucunu veren denklem 1.6 doğrultusunda. “i” ile doğru orantılı, “V” ile ters orantılı olarak  $M(q)$ ’ nin kondüktanslık değerinde değişiklik söz konusudur. İşte bu sebepten  $W(q)$  için değişken memdüktrans özelliğine sahip olduğu söylenebilir.

Memristörler henüz iki terminalli ve internal bir güç kaynağına ihtiyacı olmayan bir devre elemanı olarak keşfedilmemiş olsa da gelecekte keşfedileceği tahmin edilerek teorik olarak Chua tarafından Memristör-The Fourth Basic Circuit Element ismiyle açıklanmıştır (Chua 1971). Chua memristörleri her ne kadar 2 terminalli devre elemanı olarak tanımlayamamış olsa da Şekil 1.3’ te gösterildiği üzere eşdeğer bir emülatör devre tasarlamış teorik öngöründe bulunmuştur (Strukov ve diğer., 2008).



Şekil 1.3 Chua' nın eşdeğer memristör emülatörü (Chua, 1971)

1 Mayıs 2008 tarihinde HP laboratuvarlarında çalışan Stanley Williams ve ekibi Nature dergisinde yayınladıkları bir makale ile memristörü matematiksel bir öngöründen çıkararak bir devre elemanı olabilecek bir potansiyele getirdiklerini, çalışma mekanizmasını ve denklemini açıkladılar. Şekil 1.4 gösterildiği üzere elektron mikroskobu görüntüsünü paylaştılar (Strukov ve diğer., 2008).

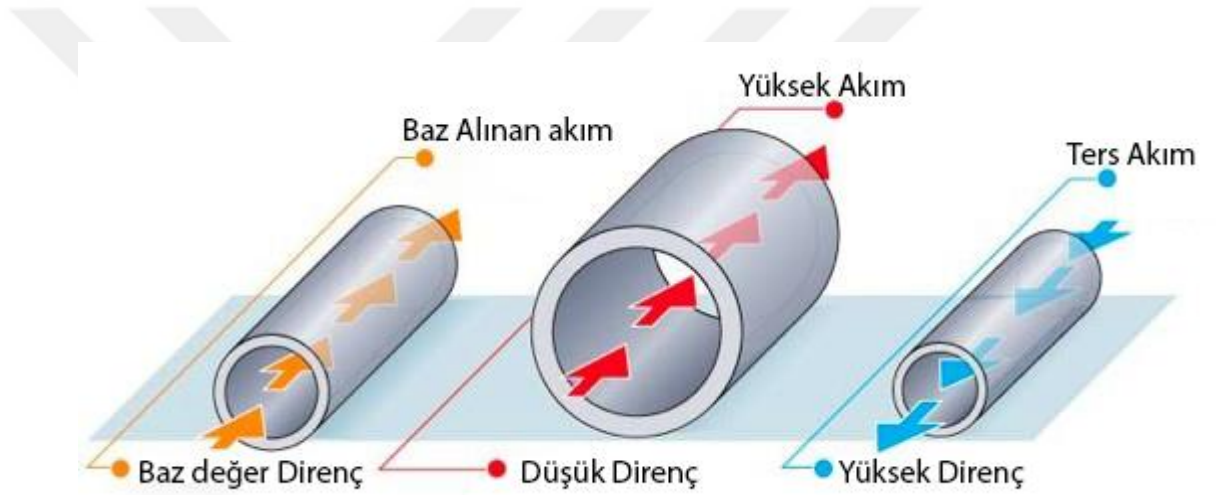


Şekil 1.4 Memristör dizisinin elektron mikroskobu görüntüsü (Strukov ve diğer., 2008)



Memristör, geleneksel dirençlerden farklı olarak direnç değerleri sabit olmayıp içinden geçen akıma göre direnç değeri değişen bir yapıya sahiptir. Ayrıca herhangi bir internal güç kaynağına ihtiyaç duymadan çalıştığı için devrenin elektriği kesilip tekrar verildiğinde de direnç durumunu hatırlar.

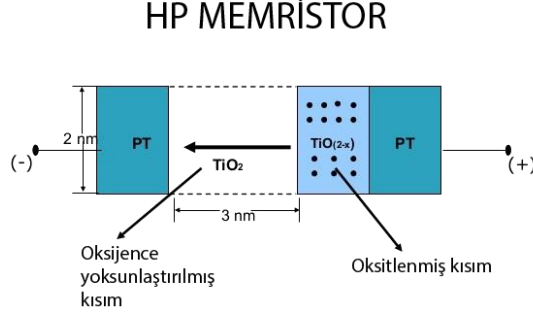
Memristörün akım direnç ilişkisi Şekil 1.5' te gösterildiği gibi bir boruya benzetilebilir. Tek yönde içinden geçen akım arttıkça direnci düşer boru açılır, akım ters yönde ise direnci artar ve boru daralır, akım kesilse de son direnç durumunu hatırlar.



Şekil 1.5 Memristör akım-direnç ilişkisi boru benzetmesi

Memristiv davranış aslında tabiatta bazı bileşenlerin doğasında var olan bir özelliktir. Yığın yapılarda memristiv davranış çok zayıf olduğundan farkına varılamamış, algılandığında ise sıra dışı anormal davranış olarak değerlendirilmiştir. Mikron altı boyutlarda ise bu davranış etkin görülmeye başlanmış ve kayda değer sonuçlar alınmıştır. Bu çelişki nano boyutta fizik kurallarının kısmen değişmesi ile açıklanabilir. Yığın yapılarda akım, maddenin yapısında gözle görülür bir oranda değişiklik ifade etmez iken memristans özelliği gösteren materyallerde nano boyutta elektrik akımı iyonların su gibi davranıp yüksek oranda hareket etmesine olanak tanır. Bu davranış maddede yapısal değişime sebep olur.

## 1.2 HP Memristör



Şekil 1.6 HP memristörün yapısı (Strukov ve diğer., 2008)

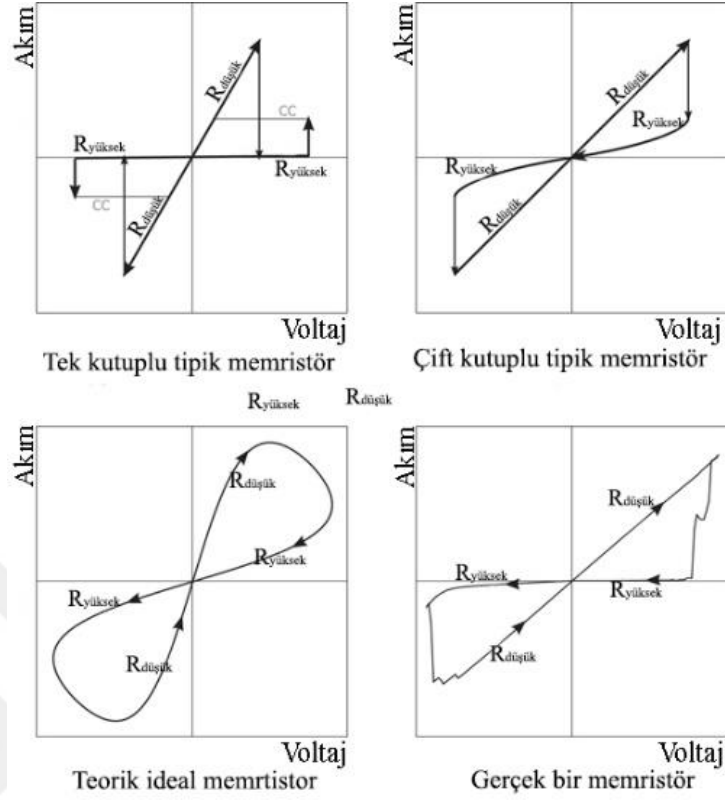
HP araştırmacıları yapmış oldukları çalışmalarda, iki adet 3nm platin film arasında TiO<sub>2</sub> ve oksijence 0,05 oranında noksanlandırılmış TiO<sub>2</sub> bileşenlerini 3 ila 30 nanometre kalınlıkta koyarak memristiv davranış sergileyen 1 bitlik veri taşıyabilen transistor alternatifi bir bileşen üretmeyi başarmıştır (Strukov ve diğer., 2008).

### 1.2.1 HP Memristörün Denklemi

$$M(q(t)) = R_{off} \cdot \left( 1 - \frac{U_v R_{on}}{D^2} q(t) \right) \quad (1.7)$$

HP memristöre ait denklem (1.7) de “M” değeri memristörün üzerinden geçen yüke göre değişen direnç değerini temsil eder.  $R_{off}$  katmanlardan direnç durumu yüksek olan yani yalıtkanlığa yakın katmanın direncini temsil ederken,  $R_{on}$  ise iletken olan katmanın düşük direncini temsil eder.  $U_v$  ise ince film doplarının iyon mobilitesini temsil eder.

Bu formülde en dikkat çekici olan ise “D” değeridir. Zira “D” değeri film kalınlığını temsil eder ve filmin kalınlığı sadece mikro seviyeden nano seviyeye düştüğünde formül gereği memristanslık 1.000.000 kat artmaktadır. İşte bu handikaptan dolayı uzun yıllar memristans özellik keşfedilememiş olup nanoteknolojinin gelişimi ile gözlenebilir ölçülere gelmiştir (Strukov ve diğer., 2008).



Şekil 1.7 Memristör tipleri ve I-V eğrileri (Gale, 2014)

Çeşitli memristör tiplerine ait akım-gerilim grafiği Şekil 1.7' de verilmiştir.

### 1.3 Çeşitli Memristör Üretimi

2008 yılında Stanley WILLIAMS ve ekibi nano boyutta çalışan memristörün temel yapısını açıkladıktan sonra daha ucuz ve daha stabil çalışan malzeme arayışlarına girilmiş, bunun neticesinde farklı malzemelerden memristör üretilmiş, farklı direnç değerli, farklı ölçeklerde daha stabil olan, ideale daha yakın ya da çeşitli özelliklere sahip memristörler üretilmiştir. Bunlardan bazıları detaylarıyla Tablo 1.1' de verilmiştir.

Başta HP ve IBM olmak üzere birçok mikroçip üretici şirket memristör çip üretimi alanında araştırmalar başlatmış SANDISK gibi önde gelen hafıza belleği üreticileri memristör üzerinde çok ciddi çalışmalar yaptığını açıklamışlardır (Bowers ve Diamond, 2015).

Tablo 1.1 Kutupsuz metal oksit karışımı memristör örnekleri ve özellikleri

Malzeme	Üst/Alt El.	Vset/Vreset	Dayanıklılık	Depolama Süresi	Anahtarlama Hızı	Ryüksak/Rdüşük	Referanslar
Cu katkılı SiO <sub>2</sub>	Cu/W	0,9 V/-0,75V	10 <sup>7</sup> döngü	5x10 <sup>4</sup> s	-	10 <sup>3</sup>	(Schindler ve diğer., 2007)
Cu katkılı ZrO <sub>2</sub>	Au-Cu/Pt-Ti	3,6 V/-1,5 V	-	10 <sup>4</sup> s	50 ns	10 <sup>6</sup>	(Liu ve diğer., 2008)
ZnO <sub>1-x</sub> /ZnO	Pt/Pt	1,5 V/-0,6 V	100 döngü	>10 <sup>4</sup> s	-	40	(Huang ve diğer., 2012)
ZnO/NiO	Au/n-Si	8 V/-8 V	-	-	-	-	(Zhang ve diğer., 2013)
ZnO/ZnWO <sub>x</sub>	Pt/W	0,8 V/-0,6 V	>200 döngü	-	-	300	(Lin ve diğer., 2013)
ZTO	Al/Pt	0,25 V/-0,85 V	>50 döngü	>10 <sup>4</sup> s	-	>1000	(Murali ve diğer., 2013)
TiO <sub>2</sub> /Cu <sub>x</sub> O	Ti/Cu	2,5 V/-1 V	-	30 saate varan	50 ns	-	(Chen ve diğer., 2005)
HfLaO <sub>x</sub>	TaN/Pt	2,27 V/-1,81 V	10 <sup>4</sup> döngü	10 <sup>4</sup> s 27°C	10 ns	10 <sup>6</sup>	(Chen ve diğer., 2010)
MgO/CoO <sub>x</sub>	Pt/Au	15 V/-3 V	10 <sup>8</sup> döngü	>10 <sup>2</sup> s	-	-	(Yanagida 2011)
WSiO <sub>x</sub>	Pt/TiN	2 V/-2 V	10 <sup>5</sup> döngü	10 <sup>5</sup> s 250°C	-	-	(Syu ve diğer., 2012)
WSiO <sub>x</sub> /WSiON	Pt/TiN	-	10 <sup>8</sup> döngü	-	-	10 <sup>5</sup> 85C	(Syu ve diğer., 2013)
Pt-dağıtılmış SiO <sub>2</sub>	Pt-Ta	-	>3x10 <sup>7</sup>	>6 ay	<100 ps	-	(Choi ve diğer., 2013)
Au katkılı HfO <sub>2</sub>	Cu/Pt	0,34 V/-0,9V	-	-	-	10 <sup>2</sup>	(Tan ve diğer., 2014)
TiO <sub>x</sub> /HfO <sub>2</sub>	TiN/TiN	1,5 V/-1,4 V	>106 döngü	10 yıl 200°C	5 ns	>1000	(Kim ve diğer., 2004)
AlHfO <sub>2</sub> /Cu	Cu/n+Si	4 V/-6 V	-	10 <sup>4</sup> s	-	10 <sup>3</sup>	(Guo, Tan, and Liu 2015)
AlCu/HfO <sub>2</sub>	TiN/TiN	<1 V/ >-1 V	10 <sup>5</sup> döngü	3x10 <sup>4</sup> 85°C	<50 ns	-	(Yuan Lee ve diğer., 2009)
AlO <sub>x</sub> /TaO <sub>x</sub>	W/TiN	-	10 <sup>6</sup> döngü	>10 yıl 85°C	-	-	(Chakrabarti ve diğer., 2014)
AlO <sub>x</sub> /WO <sub>x</sub>	Al/W	1,4 V/-0,8 V	-	10 <sup>4</sup> s	-	-	(Zhang ve diğer., 2013)
Nitrogen katkılı WO <sub>x</sub>	Ti/Pt	2 V/-2 V	>10 <sup>2</sup> döngü	10 <sup>4</sup> s	-	-	(Hong ve diğer., 2015)

## BÖLÜM İKİ

### MATEMATİKSEL MODELLEME VE SİMÜLASYON

#### 2.1 Memristörün Karakter Analizi ve Simülasyonu

Günümüzde Complementary Metal Oxide Semiconductor (Cmos) çip teknolojisi fiziksel limitlerine ulaşmış olup Complementary Metal Oxide Semiconductor (Cmos) transistörlerdeki fiziksel boyutun giderek küçülmesi ile artan transistör sayısı;

- Aşırı güç tüketimi,
- Aşırı ısınma
- İşlevsel stabilize

gibi sorunları yanında getirmiştir, bu sorunların izalesi için alternatif teknolojiler; nanotüp transistörler, grafin transistörler, memristör malzemeler gibi alternatifler düşünülmüştür. Daha dikkat çekici olan ise; memristörlerin büyük ölçeklenebilirliği, düşük alan entegrasyonu ve güç tüketimi olmayan standby durumu ile diğer rakiplerinin arasında gelecek çip tasarım teknolojisi açısından üzerine en çok araştırma yapılan konulardan biri olmasıdır.

Memristörler; bellekler, mantık kapıları, analog devreler, nöromorfik sistemler gibi uygulamalarda kullanılacak yeni nano cihazlardır. Memristör kullanılarak ReRAM (Resistive RAM) MRAM (Magnetoresistance RAM) PCM (Phase Change Memory) gibi birçok teknoloji geliştirilmiştir.

Memristörlü devreler tasarlamak için memristörün davranışının bir matematiksel model olarak tasarlanması gerekmektedir. Bu matematiksel model fiziksel cihazların davranışlarını doğru tanımladığı gibi kullanıldığı simülasyon programlarına da uygun olmalı ve hesaplamalarda verimli olmalıdır. Tezde kullanacağımız memristör modeli Linux üzerinde çalışan Virtuoso Cadence, Spice gibi programlarla uyumlu çalışan Vteam ekibi tarafından hazırlanan Verilog-A memristör modeli olacaktır. Simülasyon programımız Virtuoso Design Environment olarak seçilmiştir (Kvatinsky ve diğer., 2015).

Vteam memristörün Verilog-A kodu Ek 1’ de verilmiştir. Vteam ekibinin hazırladığı Verilog-A model ile fiziksel cihazın özelliklerine karşılık gelebilecek modeller ve pencere fonksiyonları Tablo 2.1 ve Tablo 2.2’ de verilmiştir.

Tablo 2.1 Vteam memristör Verilog-A kodu içinde seçilebilen modeller

0. Linear Ion Drift
1. Simmons Tunnel Barrier
2. TEAM – Threshold Adaptive Memristor
3. Nonlinear Ion Drift
4. VTEAM – Voltage ThrEshold Adaptive Memristor

Tablo 2.2 Vteam memristör Verilog-A kodu içinde seçilebilen pencere fonksiyonları

0. pencere fonksiyonsuz
1. Jogelkar pencere
2. Birolek pencere
3. Prodromakis pencere
4. Kvatinsky pencere (TEAM/VTEAM models)

## 2.2 Memristör İçin Çeşitli Matematiksel Modeller

### 2.2.1 Linear Ion Drift Modeli

Bu modelde teorik olarak iki direnç birbirine seri bağlanmış olup dirençlerden biri yüksek konsantrasyonu olan iletkenliği yüksek bölgeyi temsil ederken diğer direnç ise düşük iletken oksit bölgeyi direnç değeri düşük olan bölgeyi temsil etmektedir.

Bu modelde, iyonların eşit ortalama iyon mobilitesine sahip olduğu homojen bir alanındaki lineer iyon sürüklenmede olduğu varsayılmaktadır. Bu model ideal memristörü tanımlamakla beraber fiziksel memristörlerin davranışlarını temsil etmekte yetersiz kalmaktadır (Kvatinsky, Talisveyberg, ve diğer., 2012, Kasım).

### ***2.2.2 Nonlinear Ion Drift Modeli***

Nonlinear Ion Drift Modelinde lineer ion drift modelinden farklı olarak memristör akım yerine voltaj ile kontrol edilmektedir. Ve iyonların sürüklenmesinin türev fonksiyonuna bağlı olarak lineer olmayan bir doğrultuda hareket ettiğini varsaymaktadır. Bu model aynı zamanda asimetric bir anahtarlama davranışı var sayar. Bu modelde, "w" durum değişkeni [0,1] aralığında normalize edilmiş bir parametredir (Kvatinsky, Talisveyberg, ve diğer., 2012, Kasım).

### ***2.2.3 Simmons Tünel Bariyer Modeli***

Simmons tünel bariyer modeli, konsantrasyonu yüksek ve düşük oksit katman arasındaki mobilite üzerindeki değişikliğin üssel bir fonksiyona bağlı olarak doğrusal olmayan ve asimetric anahtarlama davranışını sergilediğini var sayar. Yani, bu modelde mobilitedeki değişiklikler Linear Ion Drift modelinde olduğu gibi seri halde iki direnç yerine, elektron tüneli bariyerli seri halde dirençler var gibi düşünülmektedir. Durum değişkeni x, Simmons Tüneli bariyerinin genişliğidir (Simmons, 2016).

### ***2.2.4 ThrEshold Adaptive Memristor (TEAM) Model***

TEAM modeli genel bir memristör modelidir. Bu modelde, bir akım eşiği ve akım ile iç durum değişkeninin türevi arasındaki ayarlanabilir doğrusal olmayan (polinom) bir bağlantı olduğu kabul edilir. Akım-voltaj ilişkisi doğrusal veya üstel bir şekilde olabilir. TEAM modelini Simmons tünel bariyer modeline veya herhangi bir farklı memristör modeline yerleştirmek ve yeterli doğrulukla daha verimli bir hesaplama süresi kazanmak mümkündür. Tablo 2.3 ve tablo 2.4' te Vteam Verilog-A kodunda kullanılabilecek değişken tiplerine göre modellerin özellikleri ve pencere fonksiyonları gösterilmiştir (Kvatinsky ve diğer, 2015).

Tablo 2.3 Memristör için matematiksel modeller (Kvatinsky, Talisveyberg, ve diğer., 2012, Kasım)

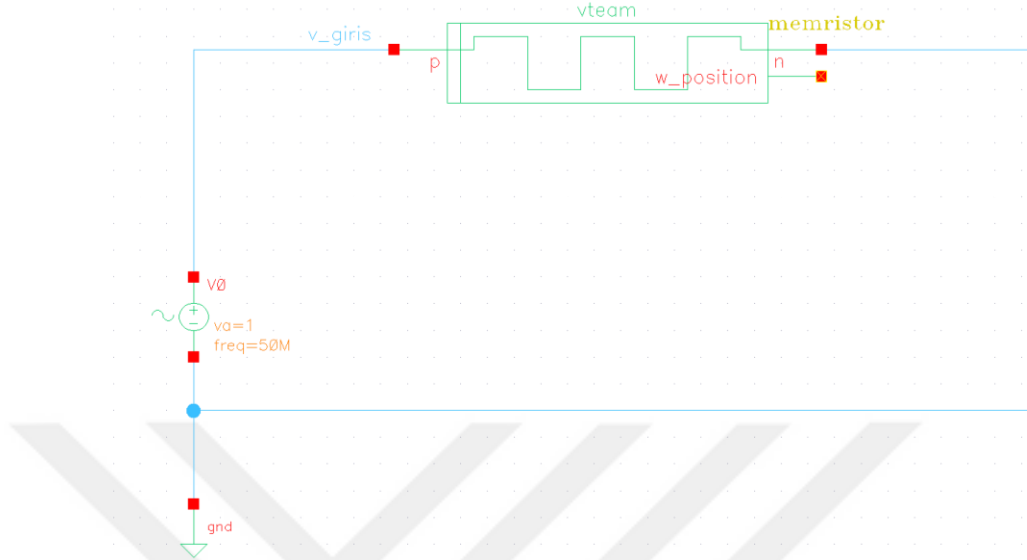
Model	Linear ion drift	Nonlinear ion drift	Simmons tunneling barrier	TEAM	VTEAM
Durum değişkeni	$0 \leq w \leq D$ Katlı bölgenin fiziksel genişliği	$0 \leq w \leq 1$ Normalleştirilmiş katlı bölge genişliği	$a_{off} \leq x \leq a_{on}$ katlı bölge genişliği	$X_{on} \leq x \leq X_{off}$ katlı bölge genişliği	$X_{on} \leq x \leq X_{off}$ katlı bölge genişliği
Kontrol	Akım kontrollü	Voltaj kontrollü	Akım kontrollü	Akım kontrollü	Voltaj kontrollü
Eşik Değeri	Yok	Yok	Yok	$ion, ioff$	$von, voff$

Tablo 2.4 Modellerde kullanılan fonksiyonlar (Kvatinsky, Talisveyberg, ve diğer., 2012, Kasım)

Fonksiyon	Jogelkar	Biolek	Prodromakis	TEAM & VTEAM
$f(x)/f(w)$	$f(w) = 1 - (2w/D - 1)^{2p}$	$f(w) = 1 - (w/D - stp(-i))^{2p}$	$f(w) = j(1 - [(w - 0.5)^2 + 0.75]^p)$	$f_{on,off} = \exp[-\exp( x - x_{on,off} /w_c)]$

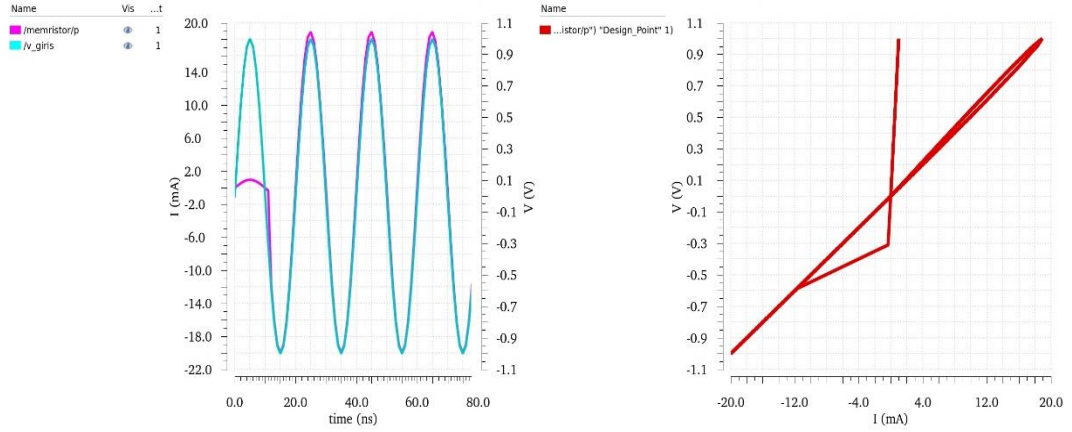


## 2.3 Memristörün Davranışı



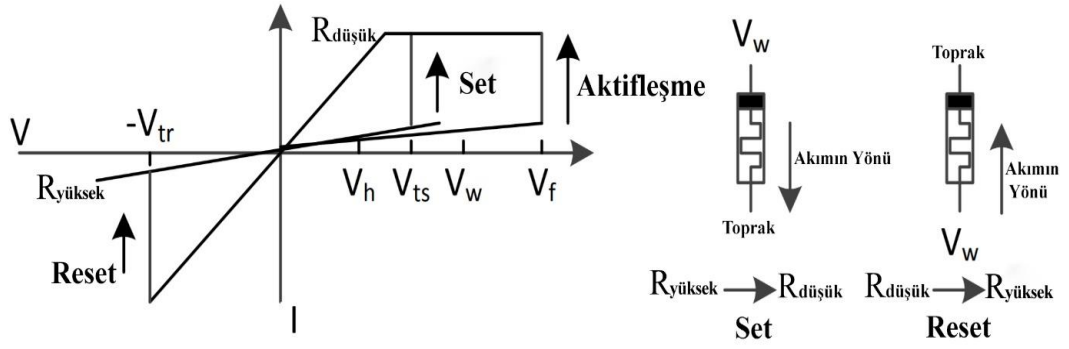
Şekil 2.1 Memristörün davranış devresi

Şekil 2.1’ de vteam memristör üzerine 1V genliğinde 50 MHz frekansta sinüzoidal gerilim uygulanarak memristörün karakter analizi yapılacak devre tasarımı gösterilmiştir.



Şekil 2.2 Memristörün davranış devresi analiz sonuçları

Analiz 200 nanosaniye sürmüştür. Şekil 2.2’ de vteam memristörün I-V karakter eğrisi elde edilmiştir. Memristörün üzerindeki gerilim değıştikçe geçen akımında değıştiđi görölmektedir.



Şekil 2.3 Memristörün basitleştirilmiş I-V karakter eğrisi üzerinde temel değerler (Xie ve diğer., 2017)

Şekil 2.3' te ideal bir memristörün basitleştirilmiş I-V karakter eğrisi verilmiştir. Bir memristör üretildiğinde memristörün  $R_{düşük}$  durumundan  $R_{yüksek}$  durumuna geçmesi için ilk başta şoklama olarak bir  $V_f$  gerilimi uygulanması gerekmektedir.

Bir memristör  $R_{düşük}$  durumundan  $R_{yüksek}$  durumuna (**Reset**) ve  $R_{yüksek}$  durumundan  $R_{düşük}$  durumuna (**Set**) geçmesi için iki farklı eşik değeri gerektirmektedir. Memristörü şekilde gösterildiği üzere sırasıyla bu durumlara geçmesini sağlayan değerler  $V_{tr}$  (Mantık 0' dan 1' e) ve  $V_{ts}$  (Mantık 1' den 0' a) dir.

$V_h$  ve  $V_w$  gibi değerler mantıksal devrelerde istenmeyen akımı engellemek veya mantık fonksiyonlarda bazı sonuçların eşik değerinin altında kalması ve doğru çalışması için uygun voltaj değerleridir.  $V_w > V_h$  ' tır (Xie ve diğer., 2017).

## BÖLÜM ÜÇ

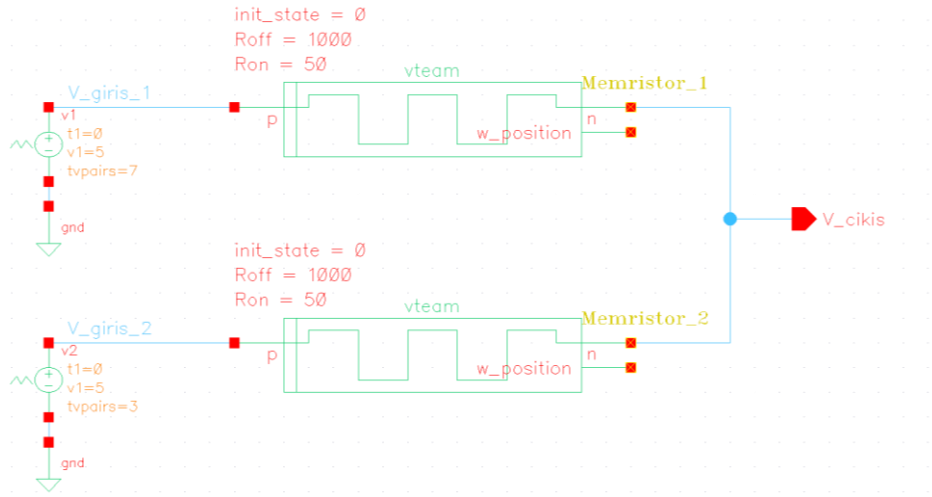
### (MEMRISTOR RATIOED LOGIC) MRL TASARIMLAR

#### 3.1 (Memristor Ratioed Logic) MRL VE Kapısı

Tablo 3.1 MRL VE mantık kapısı doğruluk tablosu

DURUM	P	Q	P ve Q
1	1	1	1
2	1	0	0
3	0	1	0
4	0	0	0

VE kapısının doğruluk tablosu tablo 3.1’ de verilmiştir. Memristör kullanılarak VE kapısının devre tasarımı Şekil 3.1’ de gösterilmiştir. Kutuplu memristörlerin başlangıç değerleri standart olarak sıfır ( $R_{\text{düşük}}$ ) olarak alınmıştır. Her 100 nanosaniyede bir giriş voltaj kombinasyonları değiştirilmiş olup toplam simülasyon 400 nanosaniye sürmüştür.



Şekil 3.1 MRL VE mantık kapısı devresi

### Simülasyon değerleri

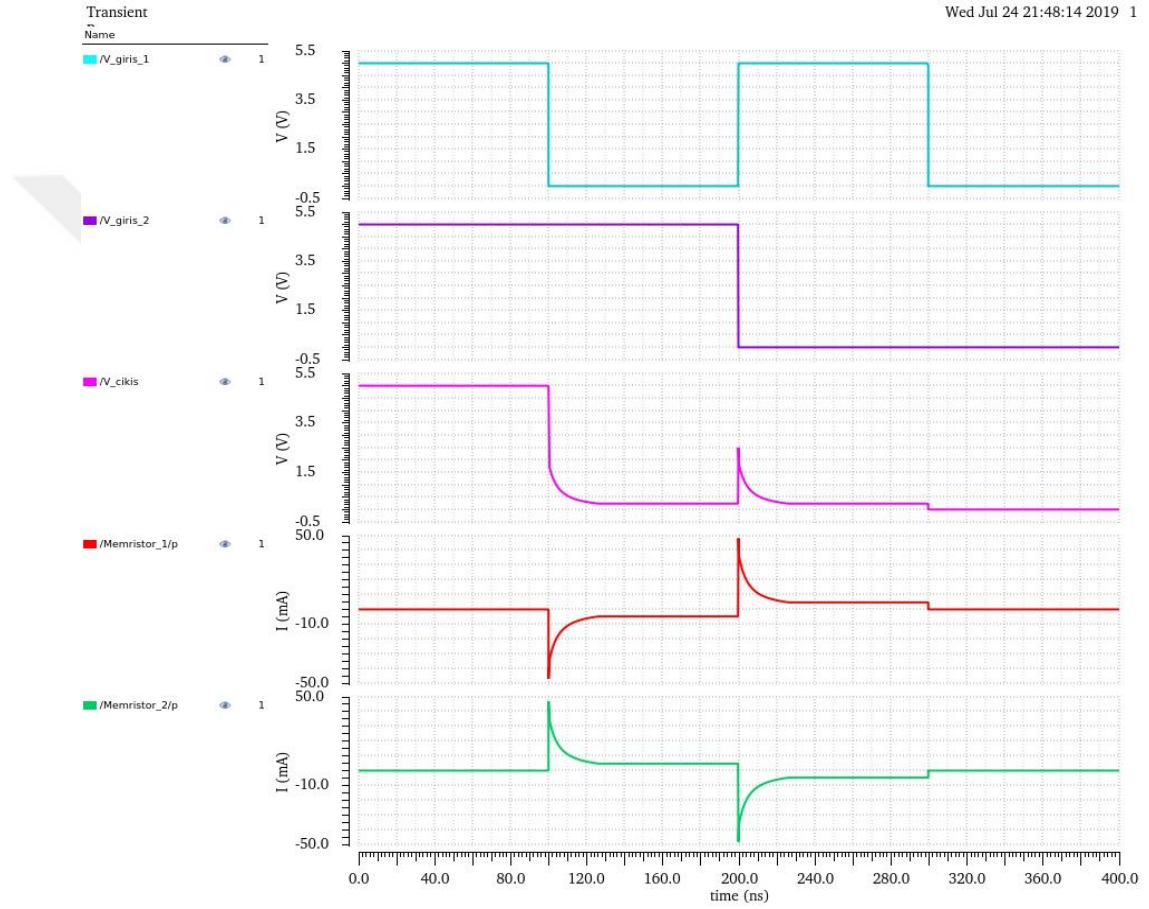
Kapı 1 : 5V

Kapı 0 : 0V

$R_{düşük}$  : 50 ohm

$R_{yüksek}$  : 1k ohm

olarak alınmıştır.



Şekil 3.2 MRL VE mantık kapısı devresi analiz sonucu

Şekil 3.2' de elde edilen VE mantık kapısına ait analiz sonuçlarının sırası ile giriş voltaj değerleri, çıkış voltajı ve memristörlerin sırasıyla üzerinden geçen akım değerlerindeki değişiklik gözlemlenmiştir.

Eğer  $V_{giriş1}$  ve  $V_{giriş2}$  voltaj değerleri aynı ise çıkış voltaj değeri değişime uğramadan çıkmaktadır. Normal transistörlerle elde edilen kapıların aksine giriş değerleri farklı olan kombinasyonlarda çıkış değerlerinde küçük tölere edilebilir voltaj

değişim değeri gözlemlenmiştir. Memristörler hâlihazırda direnç değeri değişen bir direnç olduğu varsayıldığında son direnç durumu kullanılarak Voltaj bölücü denklemi (voltage divider equation) ile çıkış değerleri denklem 3.1 ile hesaplanabilir (Kvatinsky ve diğer, 2012, Ağustos).

$$V_{\text{çıkış}} = V_{\text{giriş}} \times \frac{R_{\text{düşük}}}{R_{\text{düşük}} + R_{\text{yüksek}}} \quad (3.1)$$

$$V_{\text{çıkış}} = 5 \frac{50}{50 + 1000} = \frac{250}{1050} = 0,2380 \text{ V}$$

### 3.2 MRL (Memristor Ratioed Logic ) VEYA Kapısı

Tablo 3.2 MRL VEYA mantık kapısı doğruluk tablosu

DURUM	P	Q	P VEYA Q
1	1	1	1
2	1	0	1
3	0	1	1
4	0	0	0

VEYA kapısının doğruluk tablosu tablo 3.2’ de verilmiştir. Memristör kullanılarak VEYA mantık kapısı devre tasarımı şekil 3.3’ de gösterilmiştir. Kutuplu memristörlerin başlangıç değerleri standart olarak sıfır ( $R_{\text{düşük}}$ ) olarak alınmıştır. Her 100 nanosaniyede bir giriş voltaj kombinasyonları değiştirilmiş olup toplam simülasyon 400 nanosaniye sürmüştür.

Simülasyon değerleri

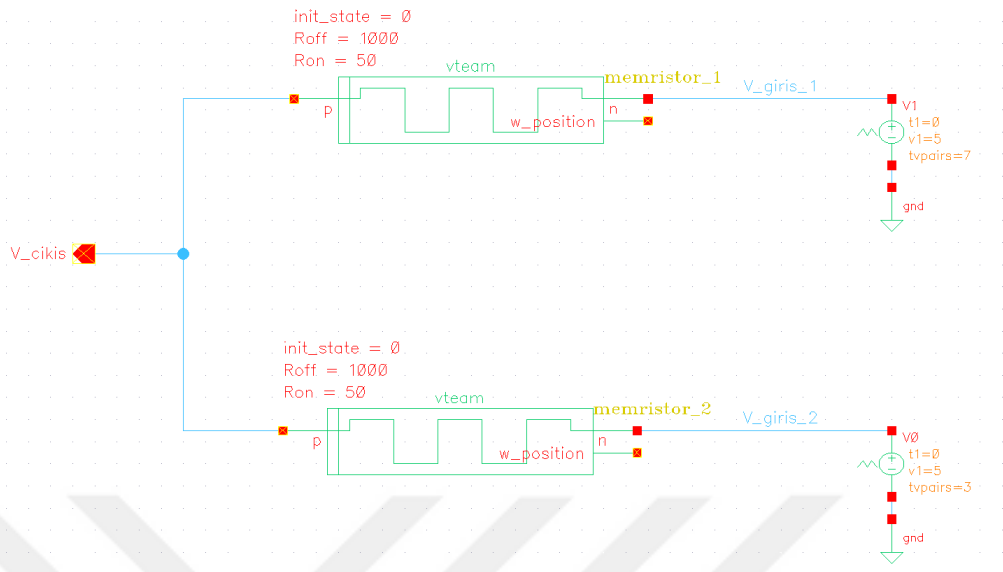
Kapı 1 : 5V

Kapı 0 : 0V

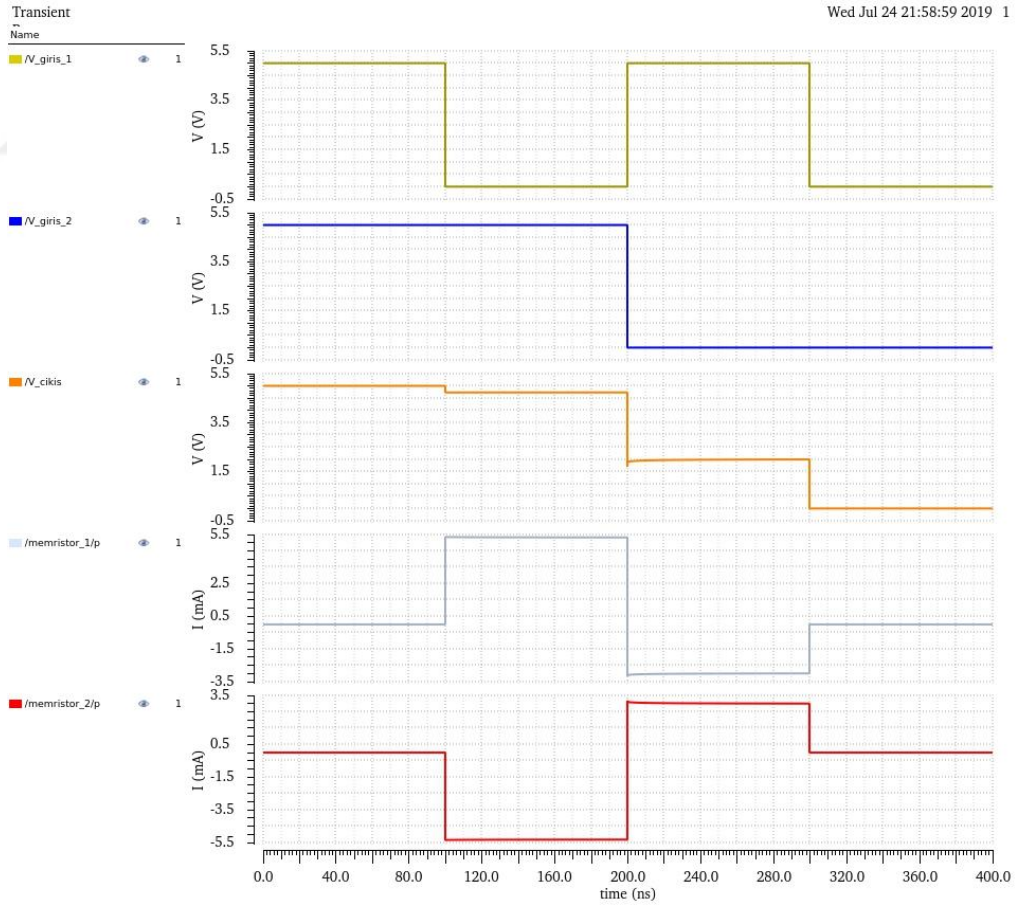
$R_{\text{düşük}}$  : 50 ohm

$R_{\text{yüksek}}$  : 1k ohm

olarak alınmıştır.



Şekil 3.3 MRL VEYA kapısı devresi



Şekil 3.4 MRL VEYA mantık kapısı devresi analiz sonucu

Şekil 3.4’ da elde edilen VEYA mantık kapısına ait analiz sonuçlarının sırası ile giriş voltaj değerleri, çıkış voltajı ve memristörlerin sırasıyla üzerinden geçen akım değerlerindeki değişiklik gözlemlenmiştir.

Normal transistörlerle elde edilen kapıların aksine çıkış değerlerinde küçük telöre edilebilir voltaj değeri gözlemlenmiştir. Memristörler halihazırda direnç değeri değişen bir direnç olduğu üzere voltaj bölücü denklemi memristörlerin son direnç değeri baz alınarak (voltage divider equation) ile çıkış değerleri hesaplanabilir.

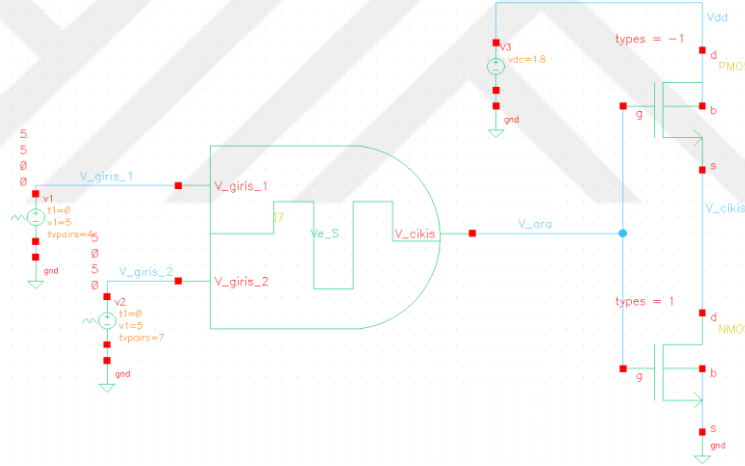
Analiz sonuçları dikkat edildiğinde (5,0) kombinasyonunda (0,5) kombinasyonundan kalan başlangıç direnç durumları değişik olduğundan istenilen sonucu vermemiş çıkış voltajı 2,5V civarında kalmıştır. Buda memristörlerin mantıksal işlemler yapılmadan önce başlangıç direnç durumlarının önemini göstermektedir. Veyahut ilişkili devrelerin eşik değerleri, yasak band aralıkları göz önünde bulundurularak tasarım yapılabilir. Yine VE kapısında olduğu gibi giriş değerleri eşdeğer olduğunda çıkış voltajı giriş voltajı ile aynı voltajda olacak eğer farkı ise voltaj bölücü (voltage divider equation) denklemi ile memristörlerin son direnç değeri baz alınarak çıkış değeri denklem 3.2 ile hesaplanabilmektedir.

$$V_{\text{çıkış}} = V_{\text{giriş}} \times \frac{R_{\text{yüksek}}}{R_{\text{düşük}} + R_{\text{yüksek}}} \quad (3.2)$$

$$V_{\text{çıkış}} = 5 \frac{1000}{50 + 1000} = \frac{5000}{1050} = 4,7619 \text{ V}$$

### 3.3 Complementary Metal Oxide Semiconductor (Cmos) Sistemlerde Entegrasyon

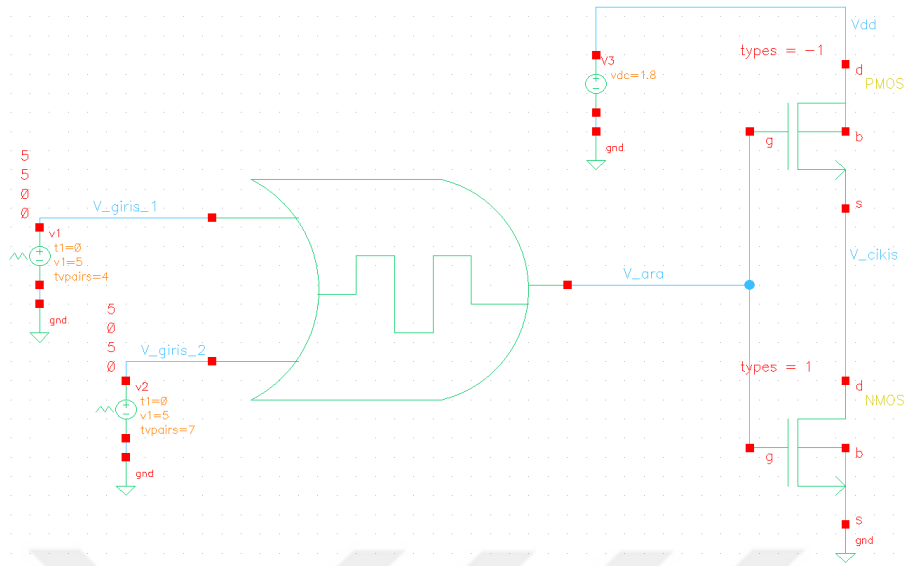
Memristor Ratioed Logic (MRL) mantık kapıları yapısal benzerlik açısından Complementary Metal Oxide Semiconductor (Cmos) transistörler ile melez yapıda kullanılması gayet uygundur. Memristörler, Complementary Metal Oxide Semiconductor (Cmos) teknolojisinin ölçeklendirme sınırlamasını çözmek için uygun bir alternatif çözüm olarak kabul edilir. Daha küçük alan işgali ile melez tasarımlar Complementary Metal Oxide Semiconductor (Cmos) tümleşik devreleri Moore yasası kapsamında birkaç adım daha ileri götürebileceği düşünülmektedir. Ayrıca Memristor Ratioed Logic (MRL) tasarımlarının Complementary Metal Oxide Semiconductor (Cmos) yapılarına göre daha sade ve hızlı olması ve daha az enerji tüketmesi bu melez yapıların işlevselliğini de arttırmaktadır.



Şekil 3.5 MRL VE kapısı ve CMOS melez VEDEĞİL devresi

Şekil 3.5’ de memristör ile elde edilen Memristor Ratioed Logic (MRL) VE kapısı ile hazırlanmış VEDEĞİL devre tasarımı sunulmuştur. Memristor Ratioed Logic (MRL) VE kapısının (0,0) (0,1) (1,0) kombinasyonlardan elde edilen çıkış voltajı transistörlerin yasak band aralığının altında kaldığı için sorunsuz çalışmaktadır (Singh 2015).





Şekil 3.6 MRL VE kapısı ve cmos melez VEYADEĞİL devresi

Şekil 3.6’ da 2 memristör ile elde edilen Memristor Ratioed Logic (MRL) VEYA kapısı ile hazırlanmış VEYADEĞİL devre tasarımı sunulmuştur. Memristor Ratioed Logic (MRL) VE kapısının (0,0) kombinasyonundan elde edilen çıkış voltajı transistorların yasak band aralığının altında kaldığı için sorunsuz çalışmaktadır (Singh, 2015).

## BÖLÜM DÖRT

### HAFIZA TEMELLİ MANTIK KAPILARI

#### 4.1 İSE (İMPLY) Kapısı

Memristor Ratioed Logic (MRL) mantık kapıları ailesi kapı tasarımı açısından sadece hesaplama için kullanılabilir. Memristor Ratioed Logic (MRL) mantık kapıları ailesi mantıksal sonuçları depo edebilecek yapıya sahip değildir. Memristor Ratioed Logic (MRL) tasarımıdaki diğer bir dezavantaj VEDEĞİL ve VEYADEĞİL kapılarını yapmak için geleneksel Complementary Metal Oxide Semiconductor (Cmos) inverter kapısına olan ihtiyaçtır. İSE (İMPLY), MAGICNOR gibi bağımsız memristör tabanlı mantık kapıları, melez akranlarından daha umut vericidir. Bu tarz memristör tabanlı mantık kapılarında hedef memristörlerin değişen direnç durumları mantıksal bir sonuç ifade etmektedir. Buda onlara üzerinden yapılan işlemleri depolama yeteneği vermektedir. Bu işlemlerin hepsi Çapraz çubuk (crossbar) yapısında gerçekleşebildiği için üretimi ve tasarımı geleneksel modellere göre daha kolaydır. Bu mantık ailesinden, memristör tabanlı İSE (IMPLY) kapısı hedef memristörün başlangıç ve çıkış direnç durumları olarak temel Boolean cebirini desteklemektedir. İSE mantık kapısının doğruluk tablosu Tablo 4.1' de verilmiştir.

Tablo 4.1 İSE mantık kapısı doğruluk tablosu

DURUM	P	Q	P İSE Q
1	1	1	1
2	1	0	0
3	0	1	1
4	0	0	1

İSE (IMPLY) kapısının mantık fonksiyonu şu şekildedir.

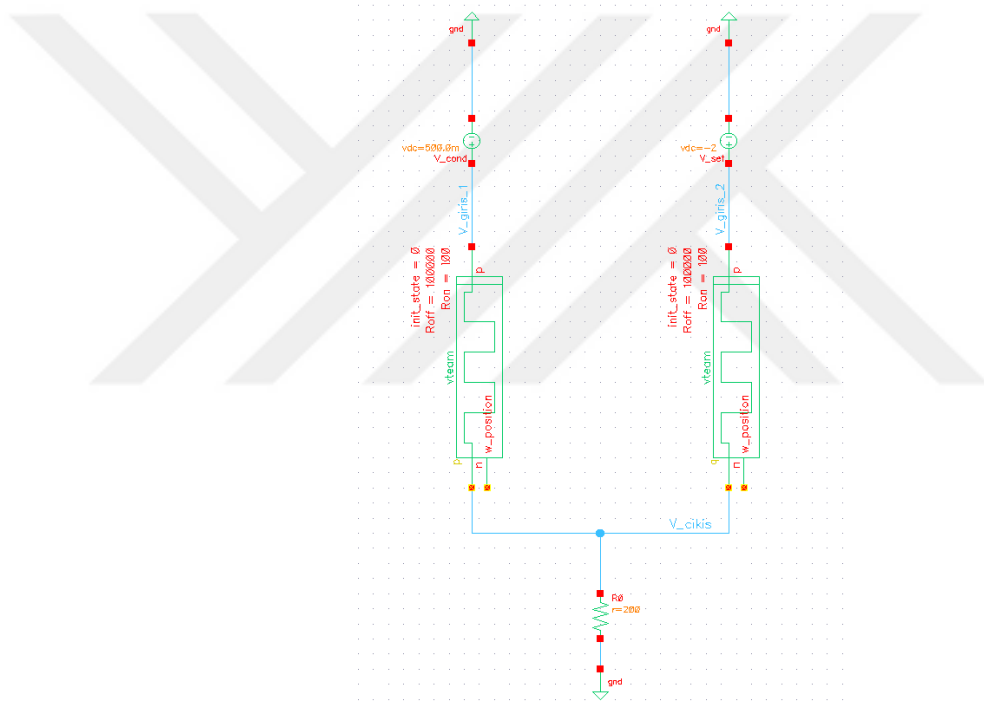
$$p \text{ İSE } q = p \rightarrow q = (p') \vee q$$

Önerilen memristör tabanlı İSE yapısı iki adet P ve Q isimli 2 memristör ve  $R_g$  isimli bir direncin şekil 4.1' de gösterildiği gibi yerleştirilmesiyle elde edilmektedir. Bu tasarımda Memristor Ratioed Logic (MRL) mantık kapısı ailesinden farklı olarak

giriş değerleri memristörlere verilen voltaj değil memristörlerin direnç durumlarıdır. Mantık kapısının çıkış değeri de Q memristörün son direnç durumudur.

- Yüksek direnç durumu “0” ı
- Düşük direnç durumu “1” i temsil etmektedir.

Mantık giriş kombinasyonları memristörlerin son direnç durumunu hatırladıkları üzere **Init state** değeri ile girilir. “Init state 0” düşük direnç durumunu “Init state 1” Yüksek direnç durumunu temsil etmektedir, sayısal olarak init state değerleri mantık değerlerinin zıttı olarak girilmektedir.



Şekil 4.1 Hafıza tabanlı İSE mantık kapısı devresi

Şekil 4.1’ de İSE (IMPLY) mantık kapısının devre tasarımı gösterilmiştir. Tasarımda model olarak vteam memristör kullanılmıştır (Kvatinsky ve diğer. 2014).

Simülasyon değerleri

V\_cond : 500 mV

V\_set : 2V

R\_düşük : 100 Ohm

$R_{yüksek}$  : 100k ohm

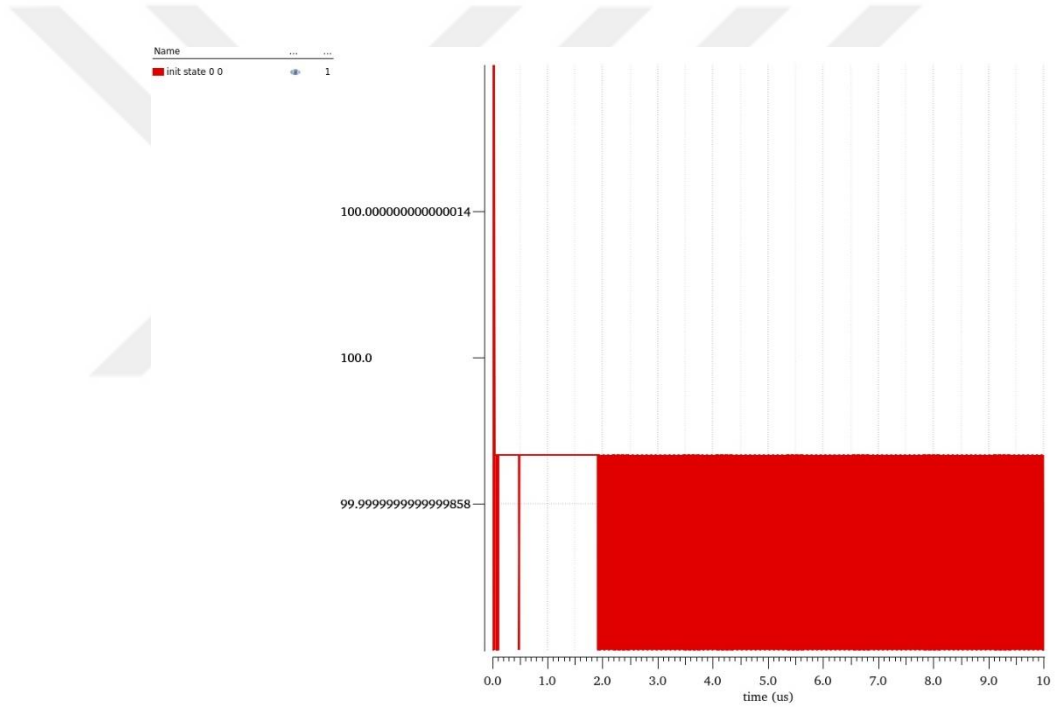
$R_g$  : 200 Ohm

olarak alınmıştır.

$|V_{set}| > |V_{cond}|$ ,  $R_{yüksek} > R_g > R_{düşük}$  olmalıdır.

$V_{set}$ ,  $V_{cond}$ ,  $R_g$  gibi değerler Her çeşit memristör için optimum değerleri farklılık gösterecektir.

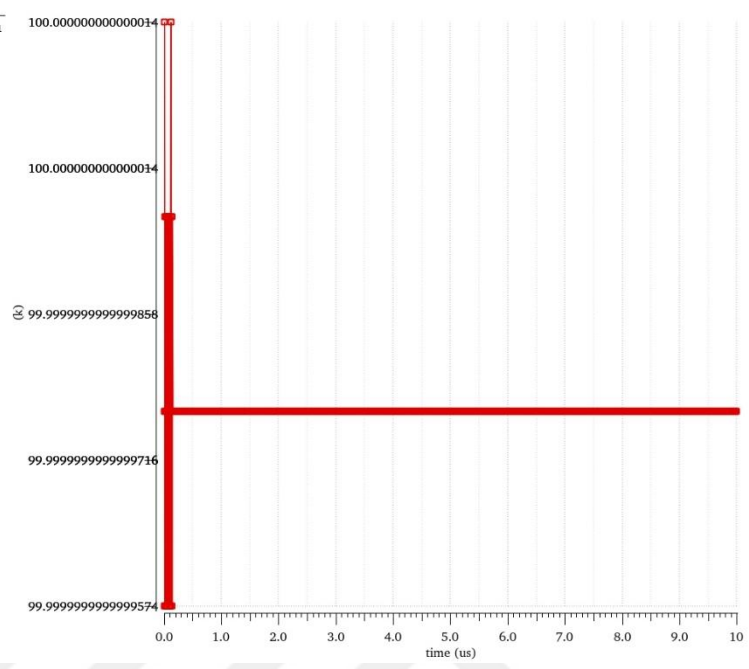
1 İSE 1 = 1



Şekil 4.2 Hafıza tabanlı İSE mantık kapısı devresi mantık 1-1 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.2' de gösterildiği üzere “q” memristörünün direnç durumunun başlangıç değeri olan  $R_{düşük}$  (Mantık 1 - 100 Ohm) durumunda sabit kaldığı gözlemlenmiştir.

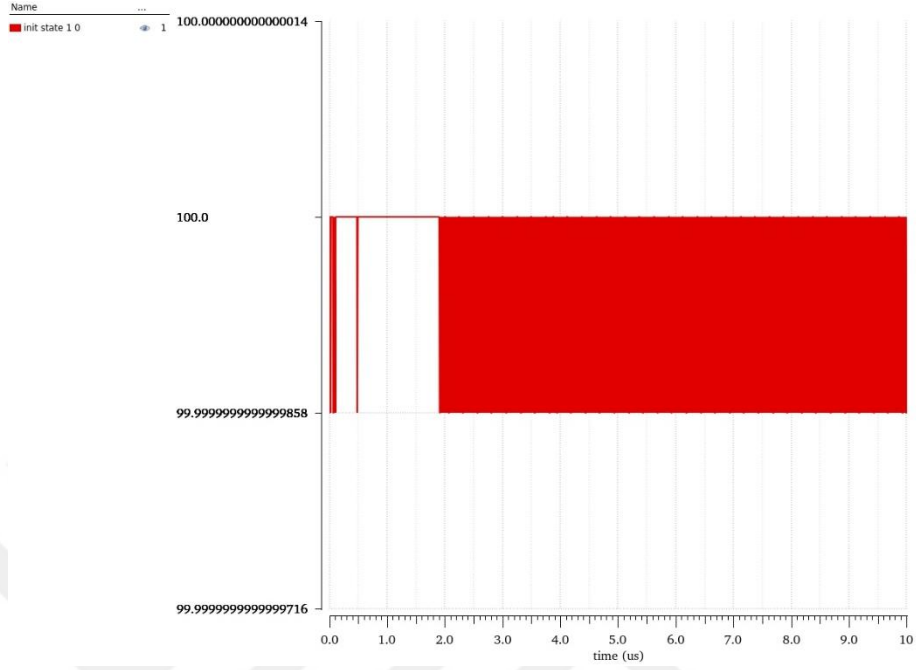
1 İSE 0 = 0



Şekil 4.3 Hafıza tabanlı İSE mantık kapısı devresi mantık 1-0 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.3’ te gösterildiği üzere “q” memristörünün direnç durumunun başlangıç değeri olan  $R_{yüksek}$  (Mantık 0 – 100k Ohm) durumunda sabit kaldığı gözlemlenmiştir.

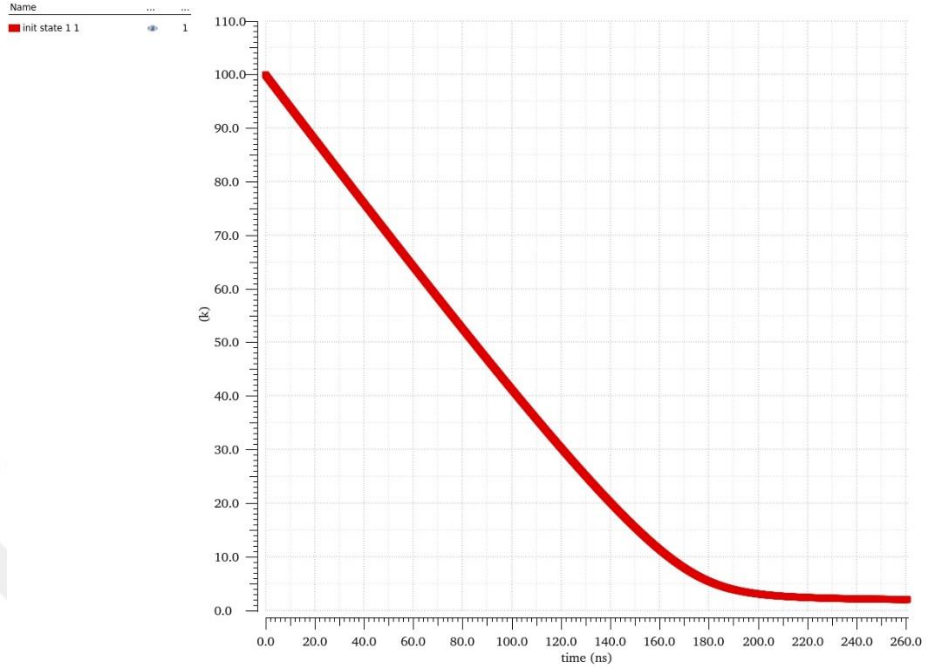
0 İSE 1 = 1



Şekil 4.4 Hafıza tabanlı İSE mantık kapısı devresi mantık 0-1 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.4' te gösterildiği üzere “q” memristörünün direnç durumunun başlangıç değeri olan  $R_{düşük}$  (Mantık 1 - 100 Ohm) durumunda sabit kaldığı gözlemlenmiştir.

0 İSE 0 = 1



Şekil 4.5 Hafıza tabanlı İSE mantık kapısı devresi mantık 0-0 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.5’ te gösterildiği üzere “q” memristörünün direnç durumunun başlangıç değeri olan  $R_{yüksek}$  (Mantık 0 – 100k Ohm) dan  $R_{düşük}$  (Mantık 1 - 100 Ohm) durumuna düştüğü gözlemlenmiştir.

Analiz sonuçları incelendiğinde init state 1-1 (mantık 0-0) kombinasyonunda “q” memristörünün direnç durumunun yüksek direnç durumundan düşük direnç durumuna geçtiği gözlenmekte diğer kombinasyonlarda giriş direnç durumunun değişmediği görülmektedir.

Tablo 4.2 İSE cinsinden mantık fonksiyonlarının ifade edilmesi

MANTIK KAPISI	İSE BAZLI MANTIK FONKSİYONU
<i>P DEĞİL</i>	$P \text{ İSE } 0$
<i>P VEDEĞİL Q</i>	$P \text{ İSE } (Q \text{ İSE } 0)$
<i>P VE Q</i>	$\{P \text{ İSE } (Q \text{ İSE } 0)\} \text{ İSE } 0$
<i>P VEYADEĞİL Q</i>	$\{(P \text{ İSE } 0) \text{ İSE } Q\} \text{ İSE } 0$
<i>P VEYA Q</i>	$(P \text{ İSE } 0) \text{ İSE } Q$
<i>P XVEYA Q</i>	$(P \text{ İSE } Q) \text{ İSE } \{(Q \text{ İSE } P) \text{ İSE } 0\}$

İSE mantık kapsısı Boolean Cebir' ini tam olarak sağladığı üzere diğer mantık kapılarını İSE cinsinden ifade etmek mümkündür. Tablo 4.2' de çeşitli mantık kapılarının İSE cinsinden fonksiyonları gösterilmiştir.



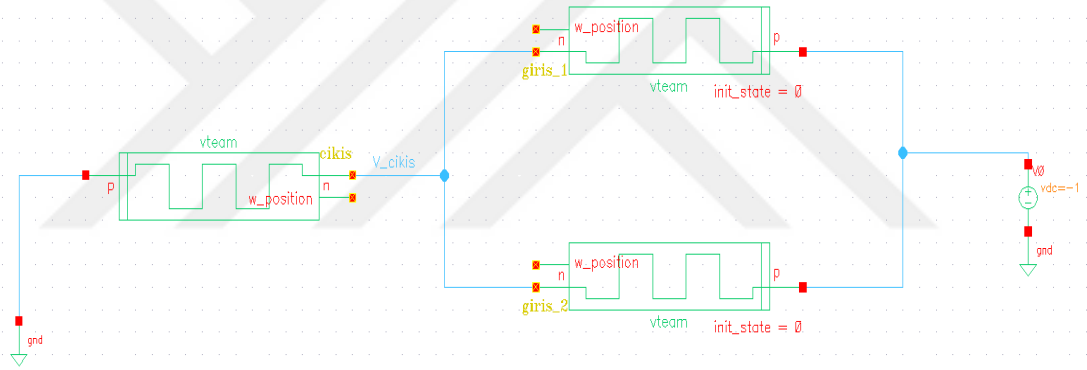
## 4.2 VEYADEĞİL (MAGICNOR) Kapısı

P VEYADEĞİL q=p nor q =(P+Q)'

Tablo 4.3 VEYADEĞİL mantık kapısı doğruluk tablosu

DURUM	P	Q	P VEYADEĞİL Q
1	1	1	0
2	1	0	0
3	0	1	0
4	0	0	1

Tablo 4.3' te VEYADEĞİL kapısının doğruluk tablosu verilmiştir.



Şekil 4.6 Hafıza temelli VEYADEĞİL mantık kapısının devre tasarımı

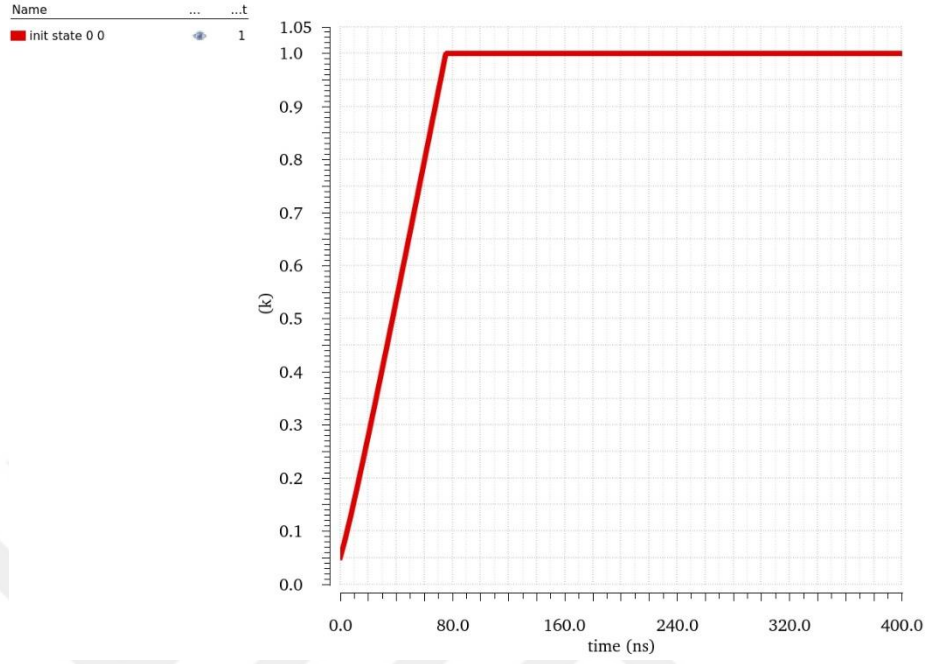
Şekil 4.6' da VEYADEĞİL (MAGICNOR) kapısının devre tasarımı gösterilmiştir. Tasarımda model olarak vteam memristör kullanılmıştır (Kvatinsky, Member, ve diğer. 2014).

Simülasyon değerleri

$V_{dc}$  : 1v  
 $R_{düşük}$  : 50 Ohm  
 $R_{yüksek}$  : 1k Ohm

olarak alınmıştır.

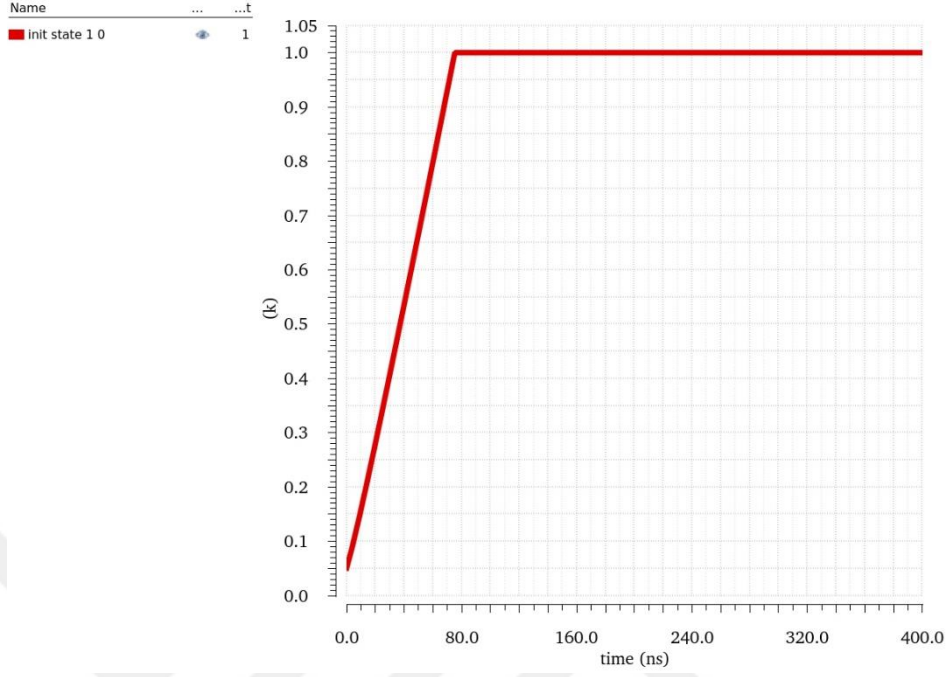
## 1 VEYADEĞİL 1 = 0



Şekil 4.7 Hafıza temelli VEYADEĞİL mantık kapısının mantık 1-1 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.7' de gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{\text{düşük}}$  (Mantık 1- 50 Ohm)' ten  $R_{\text{yüksek}}$  (Mantık 0- 1k Ohm) durumuna düştüğü gözlemlenmiştir.

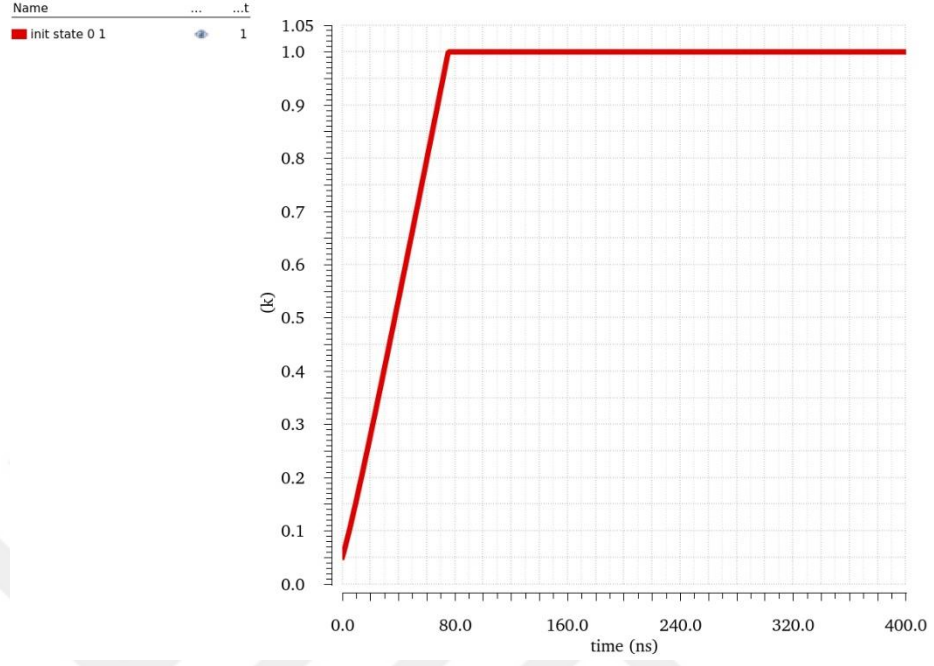
## 0 VEYADEĞİL 1 = 0



Şekil 4.8 Hafıza temelli VEYADEĞİL mantık kapısının mantık 0-1 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.8’ da gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{\text{düşük}}$  (Mantık 1- 50 Ohm)’ ten  $R_{\text{yüksek}}$  (Mantık 0 - 1000 Ohm) durumuna düştüğü gözlemlenmiştir.

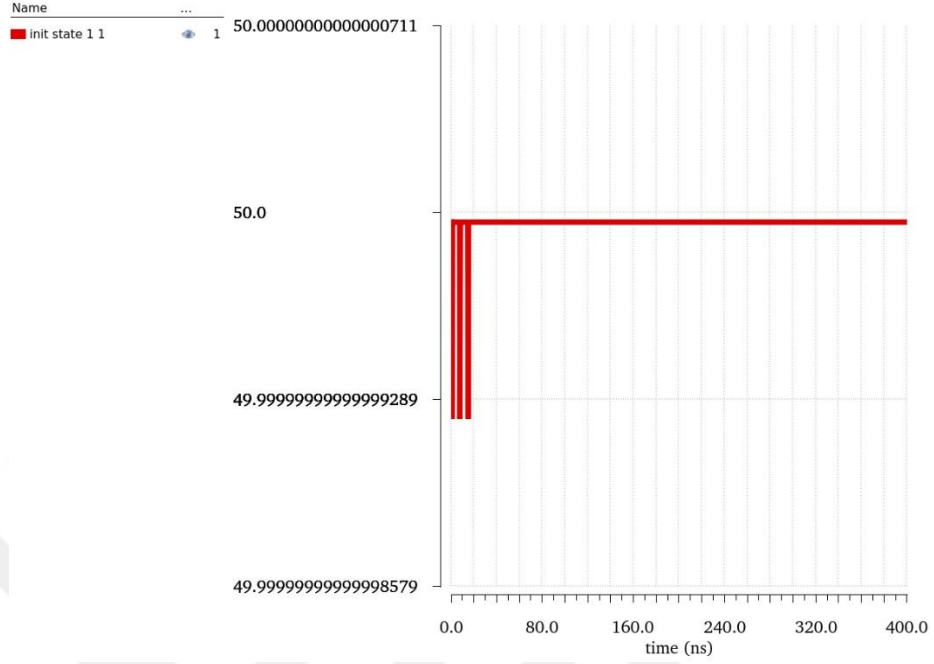
## 1 VEYADEĞİL 0 = 0



Şekil 4.9 Hafıza temelli VEYADEĞİL mantık kapısının mantık 1-0 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.9' da gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{\text{düşük}}$  (Mantık 1 - 50 Ohm)' ten  $R_{\text{yüksek}}$  (Mantık 0 - 1000 Ohm) durumuna düştüğü gözlemlenmiştir.

## 0 VEYADEĞİL 0 = 1



Şekil 4.10 Hafıza temelli VEYADEĞİL mantık kapısının mantık 0-0 analiz sonucu

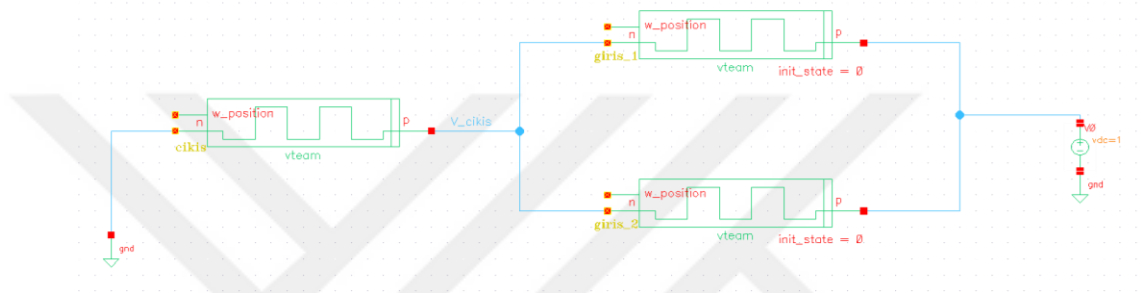
Yapılan analiz sonucunda şekil 4.10’ da gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{\text{düşük}}$  (Mantık 1 - 50 Ohm) durumunda sabit kaldığı gözlemlenmiştir.

Memristor Ratioed Logic (MRL) tasarımlarından farkı olarak çıkış memristörünün direnç durumunun mantık sonucunu ifade ettiği tezimizde araştırılacak başlıca tasarımlar “VEYADEĞİL” in yanısıra “VEYA” “VEDEĞİL” “VE” şeklindedir.

### 4.3 VEYA Mantık Kapısı

Tablo 4.4 VEYA mantık kapısı doğruluk tablosu

DURUM	P	Q	P veya Q
1	1	1	1
2	1	0	1
3	0	1	1
4	0	0	0



Şekil 4.11 Hafıza temelli VEYA mantık kapısı devresi

Memristörün direnç durumunu kullanılarak hafıza temelli VEYA kapısının şematik devre yapısı Şekil 4.11’ de gösterilmiştir. VEYA kapısının doğruluk tablosu Tablo 4.4’ te verilmiştir.

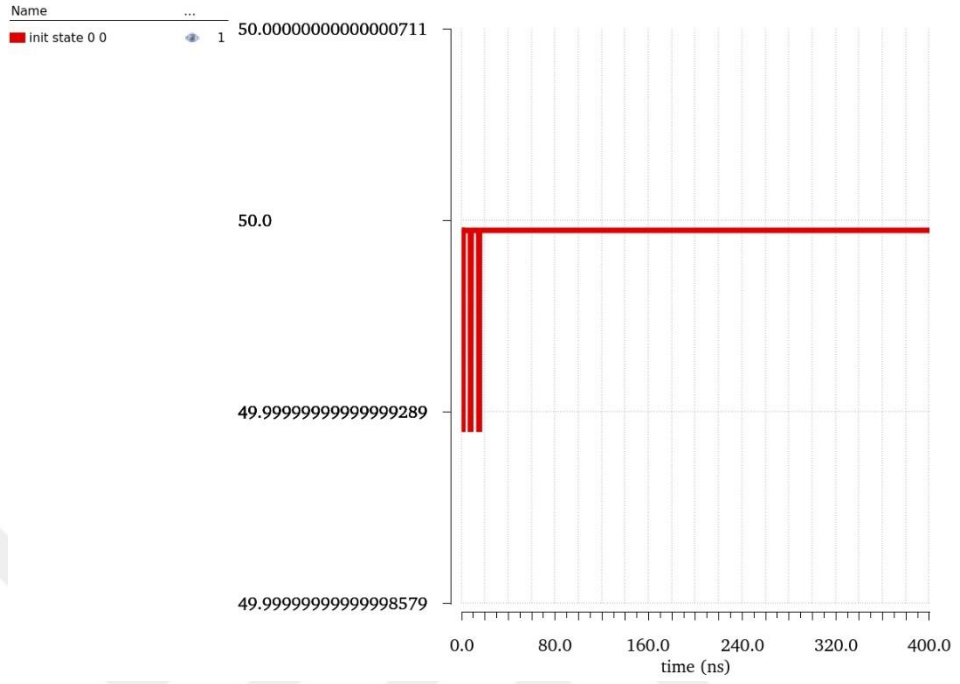
Kutuplu memristörlerin başlangıç değerleri standart olarak sıfır ( $R_{\text{düşük}}$ ) olarak alınmıştır. Giriş memristörlerinin başlangıç direnç durum kombinasyonları sırasıyla değiştirilmiş olup toplam simülasyon 400 nanosaniye sürmüştür.

Simülasyon değerleri

$V_{\text{dc}}$  : 1v  
 $R_{\text{düşük}}$  : 50 Ohm  
 $R_{\text{yüksek}}$  : 1k Ohm

olarak alınmıştır.

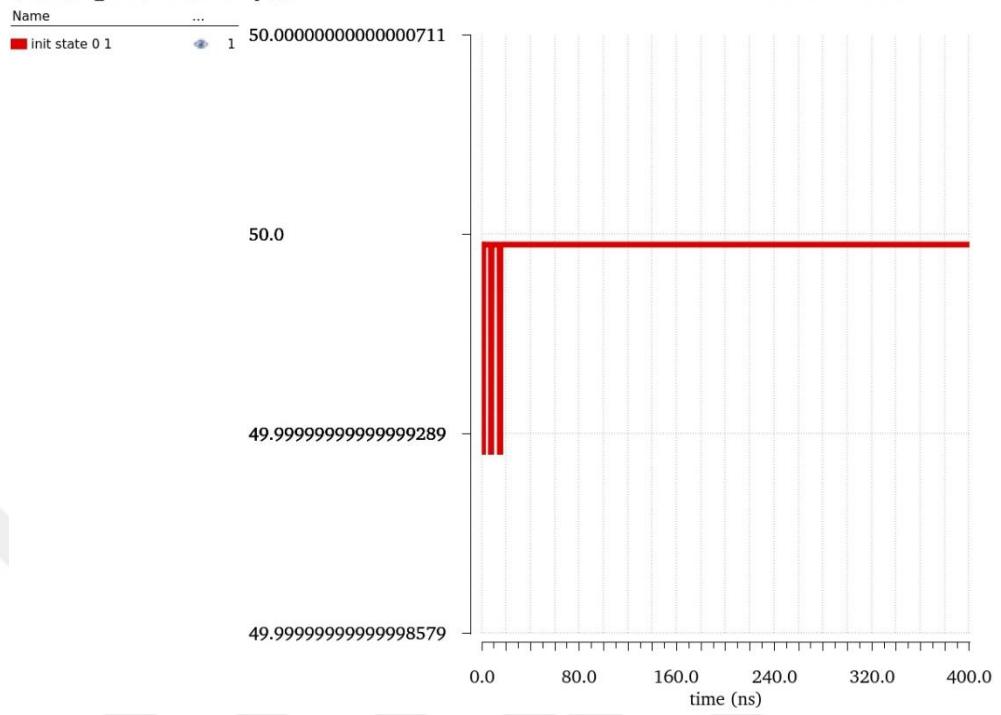
1 VEYA 1 = 1



Şekil 4.12 Hafıza temelli VEYA mantık kapısının mantık 1-1 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.12’ de gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{\text{düşük}}$  (Mantık 1 - 50 Ohm) durumunda sabit kaldığı gözlemlenmiştir.

1 VEYA 0 = 1

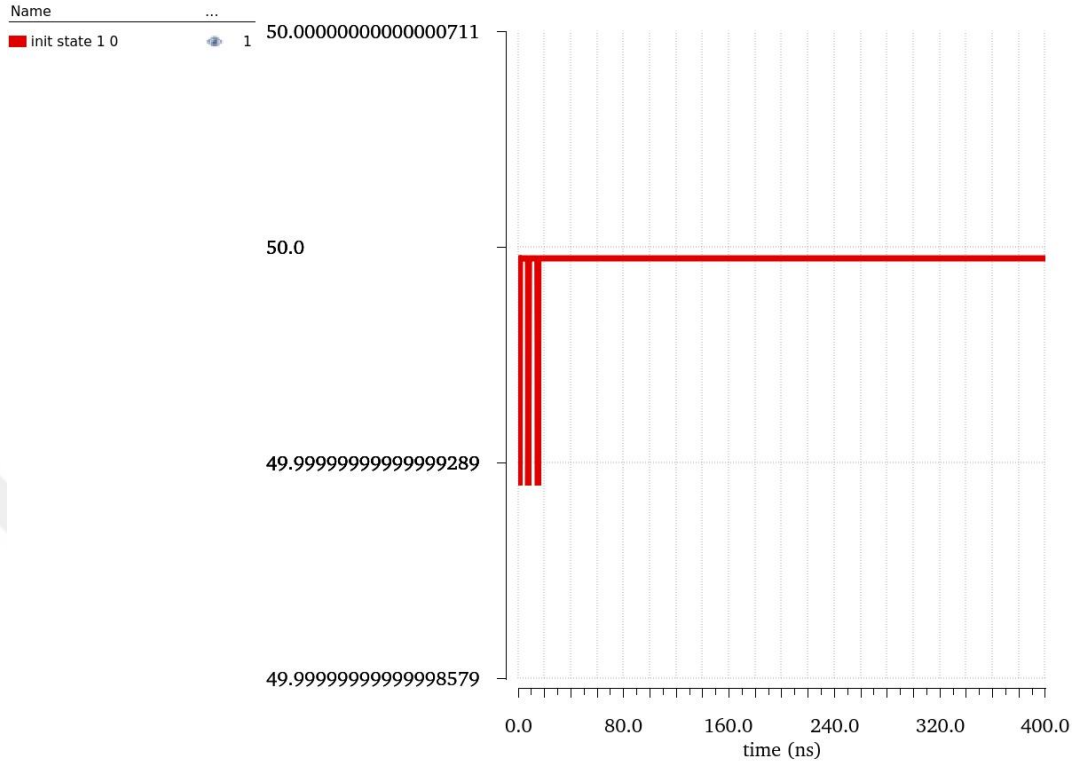


Şekil 4.13 Hafıza temelli VEYA mantık kapısının mantık 1-0 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.13' te gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{\text{düşük}}$  (Mantık 1 - 50 Ohm) durumunda sabit kaldığı gözlemlenmiştir.



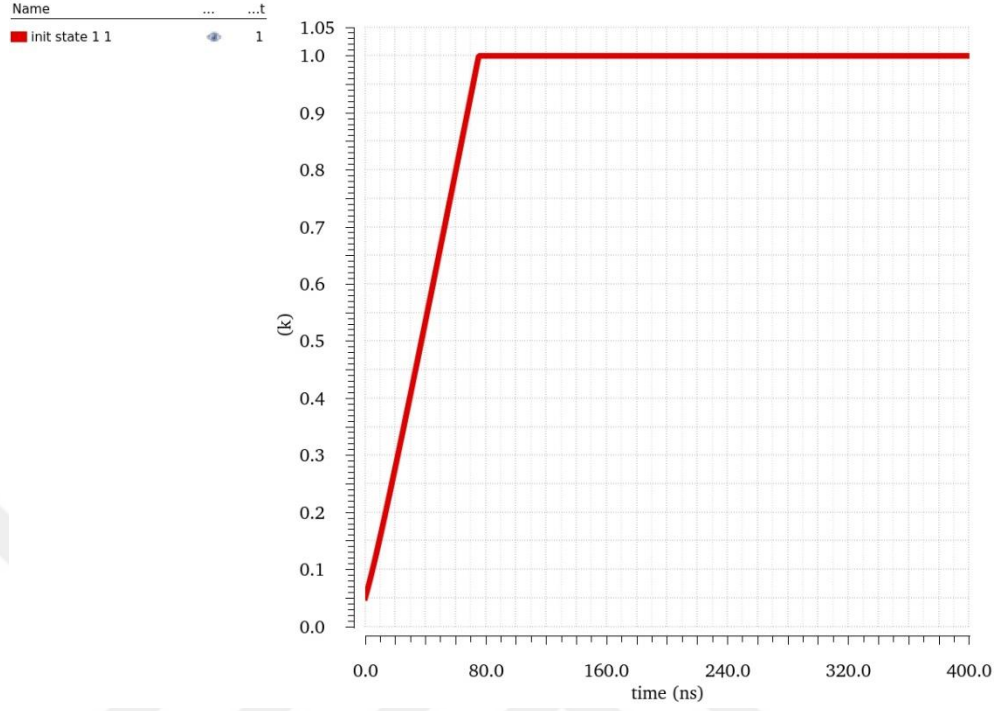
0 VEYA 1 = 1



Şekil 4.14 Hafıza temelli VEYA mantık kapısının mantık 0-1 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.14' te gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{düşük}$  (Mantık 1 - 50 Ohm) durumunda sabit kaldığı gözlemlenmiştir.

0 VEYA 0 = 0



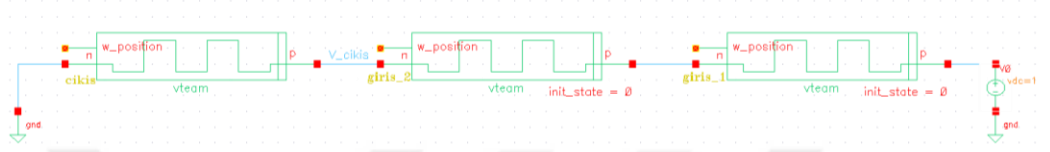
Şekil 4.15 Hafıza temelli VEYA mantık kapısının mantık 0-0 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.15’ de gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{\text{düşük}}$  (Mantık 1- 50 Ohm)’ ten  $R_{\text{yüksek}}$  (Mantık 0 – 1k Ohm) durumuna geçtiği gözlemlenmiştir.

#### 4.4 VEDEĞİL Kapısı

Tablo 4.5 VEDEĞİL mantık kapısı doğruluk tablosu

DURUM	P	Q	P VEDEĞİL Q
1	1	1	0
2	1	0	1
3	0	1	1
4	0	0	1



Şekil 4.16 Hafıza temelli VEDEĞİL mantık devresi

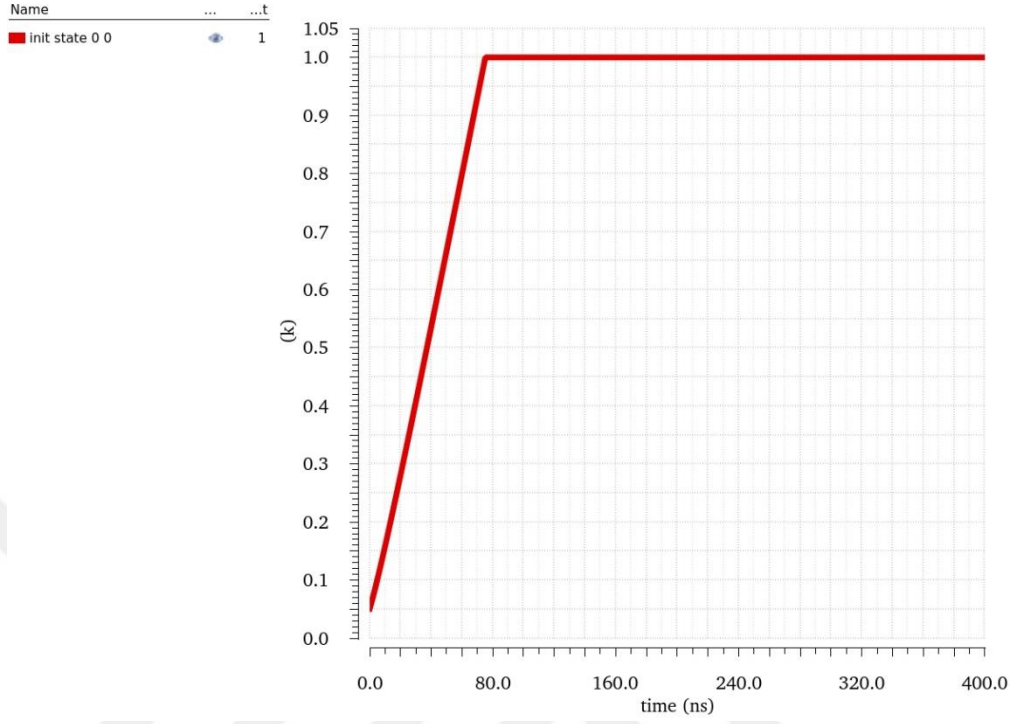
VEDEĞİL kapısının doğruluk tablosu Tablo 4.5' te verilmiştir. Memristörlerin direnç durumunu kullanılarak hafıza temelli VEDEĞİL kapısının şematik devre yapısı Şekil 4.16' da gösterilmiştir. Kutuplu memristörlerin başlangıç değerleri standart olarak sıfır ( $R_{düşük}$ ) olarak alınmıştır. Giriş memristörünün başlangıç direnç durum kombinasyonları sırasıyla değiştirilmiş olup toplam simülasyon 400 nanosaniye sürmüştür.

Simülasyon değerleri

$V_{dc}$  : 1v  
 $R_{düşük}$  : 50 Ohm  
 $R_{yüksek}$  : 1k Ohm

Olarak alınmıştır.

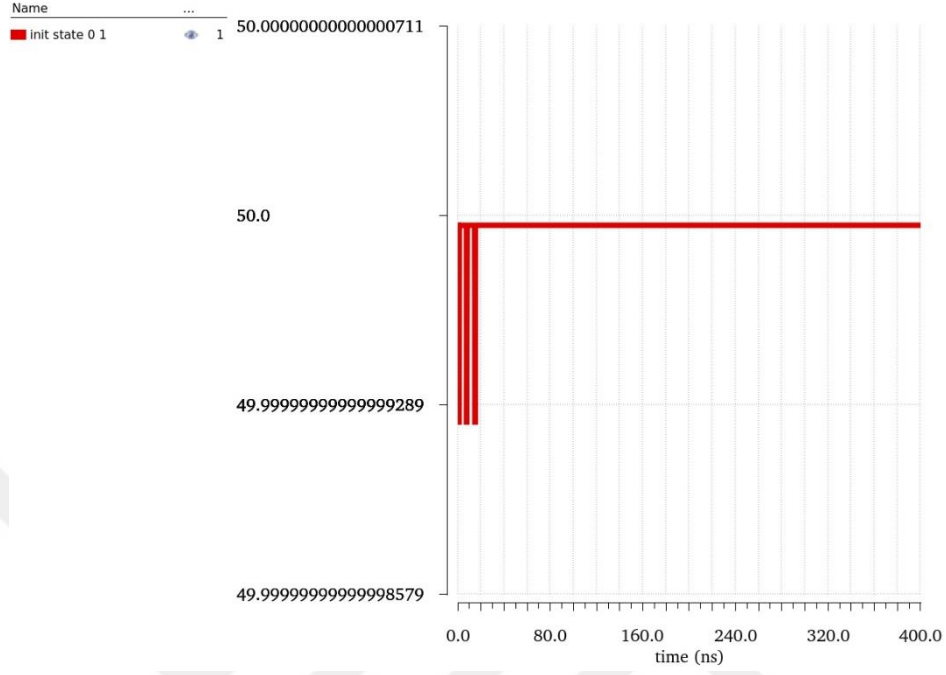
## 1 VEDEĞİL 1 = 0



Şekil 4.17 Hafıza temelli VEDEĞİL mantık kapısının mantık 1-1 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.17’ de gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{\text{düşük}}$  (Mantık 1- 50 Ohm)’ ten  $R_{\text{yüksek}}$  (Mantık 0 – 1k Ohm) durumuna geçtiği gözlemlenmiştir.

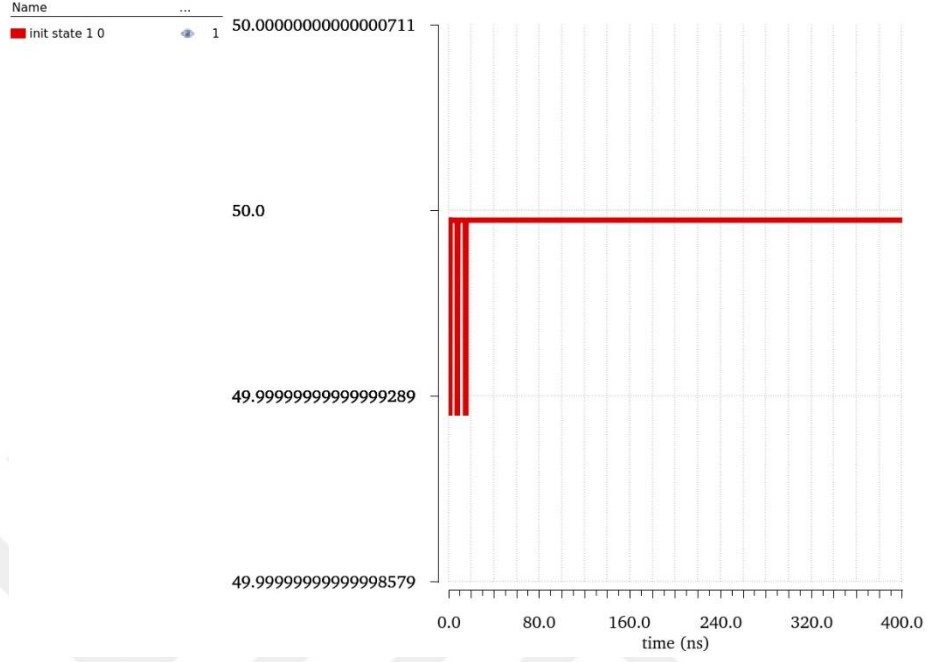
## 1 VEDEĞİL 0 = 1



Şekil 4.18 Hafıza temelli VEDEĞİL mantık kapısının mantık 1-0 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.18' de gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{\text{düşük}}$  (Mantık 1 - 50 Ohm) durumunda sabit kaldığı gözlemlenmiştir.

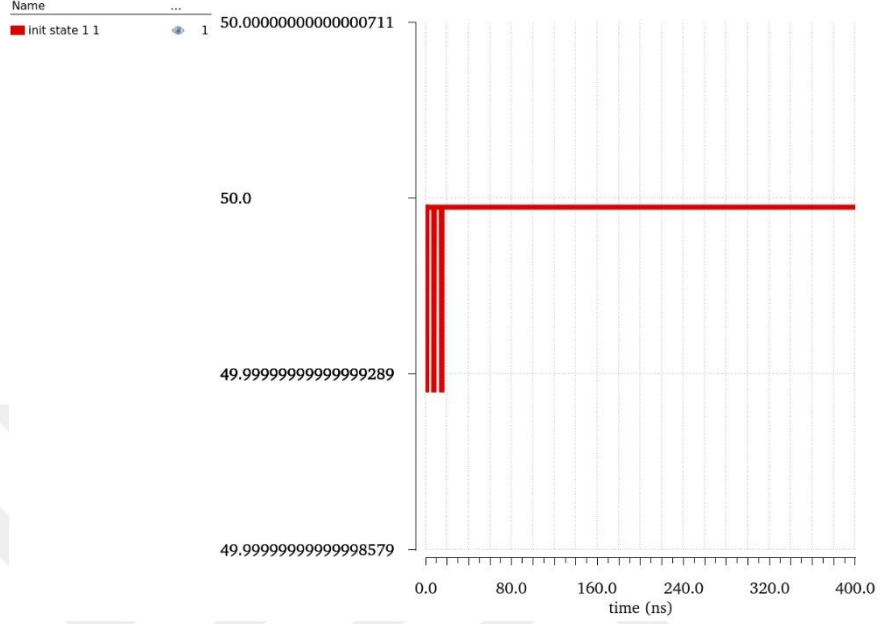
0 VEDEĞİL 1 = 1



Şekil 4.19 Hafıza temelli VEDEĞİL mantık kapısının mantık 0-1 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.19’ da gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{düşük}$  (Mantık 1- 50 Ohm) durumunda sabit kaldığı gözlemlenmiştir.

## 0 VEDEĞİL 0 = 1



Şekil 4.20 Hafıza temelli VEDEĞİL mantık kapısının mantık 0-0 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.20' de gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{\text{düşük}}$  (Mantık 1- 50 Ohm) durumunda sabit kaldığı gözlemlenmiştir.

## 4.5 VE Kapısı

Tablo 4.6 VE mantık kapısı doğruluk tablosu

DURUM	P	Q	P ve Q
1	1	1	1
2	1	0	0
3	0	1	0
4	0	0	0



Şekil 4.21 Hafıza temelli VE mantık kapısı devresi

VE kapısının doğruluk tablosu Tablo 4.6' da verilmiştir. Memristörlerin direnç durumunu kullanarak hafıza temelli VE kapısının şematik devre yapısı Şekil 4.21' de gösterilmiştir. Kutuplu memristörlerin başlangıç değerleri standart olarak sıfır ( $R_{düşük}$ ) olarak alınmıştır. Giriş memristörünün başlangıç direnç durum kombinasyonları sırasıyla değiştirilmiş olup toplam simülasyon 400 nanosaniye sürmüştür.

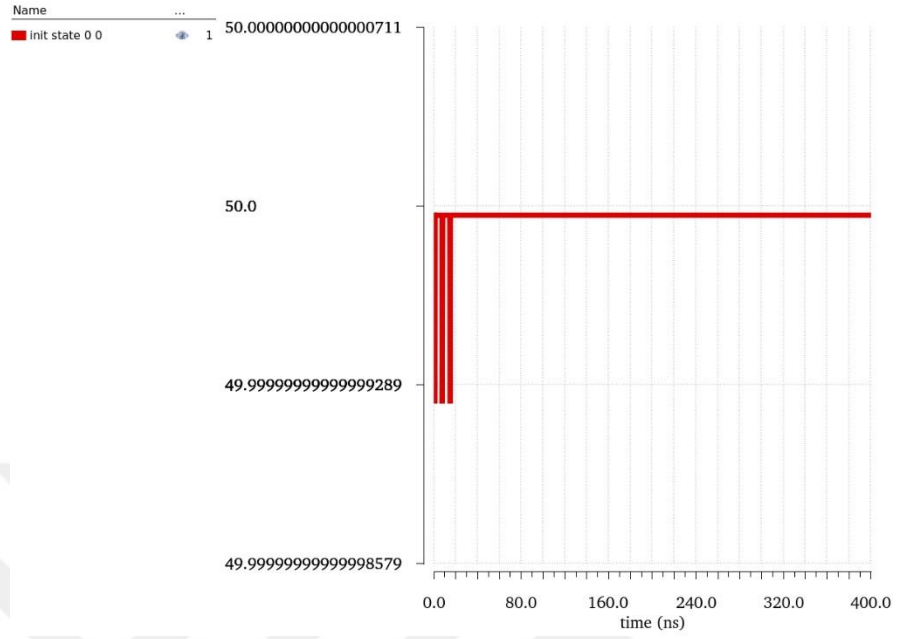
Simülasyon değerleri

$V_{dc}$  : 1v  
 $R_{düşük}$  : 50 Ohm  
 $R_{yüksek}$  : 1k Ohm

Olarak alınmıştır.



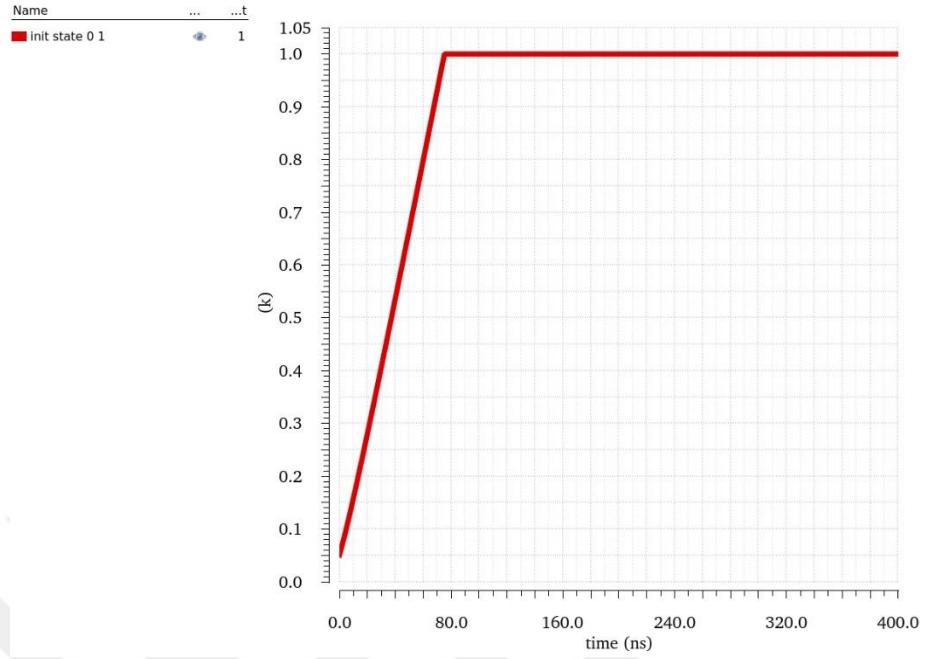
1 VE 1 = 1



Şekil 4.22 Hafıza temelli VE mantık kapısı devresinin mantık 1-1 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.22' de gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{düşük}$  (Mantık 1- 50 Ohm) durumunda sabit kaldığı gözlemlenmiştir.

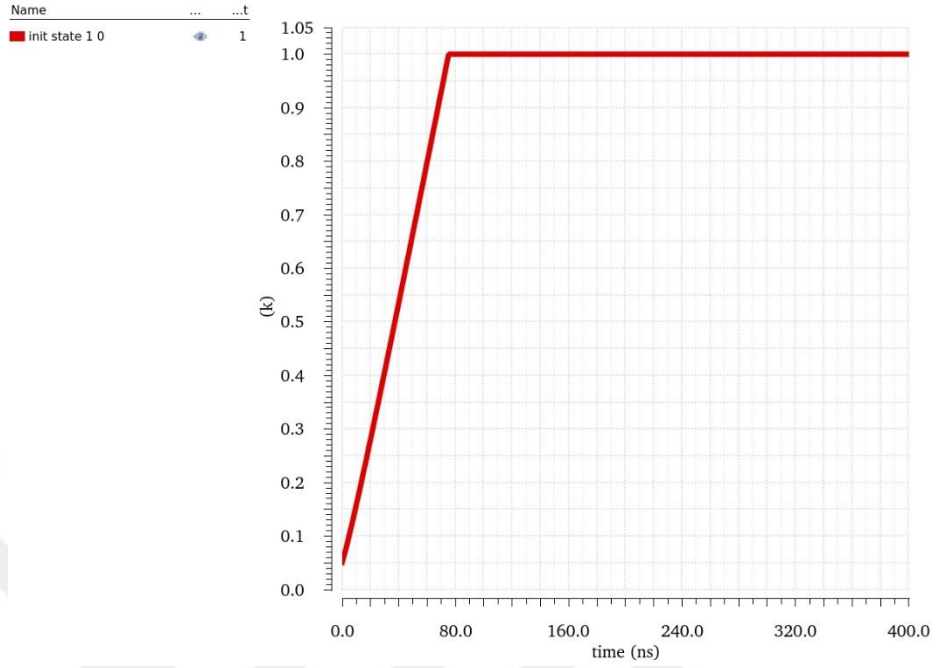
1 VE 0 = 0



Şekil 4.23 Hafıza temelli VE mantık kapısı devresinin mantık 1-0 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.23' de gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{\text{düşük}}$  (Mantık 1- 50 Ohm)' ten  $R_{\text{yüksek}}$  (Mantık 0 – 1k Ohm) durumuna geçtiği gözlemlenmiştir.

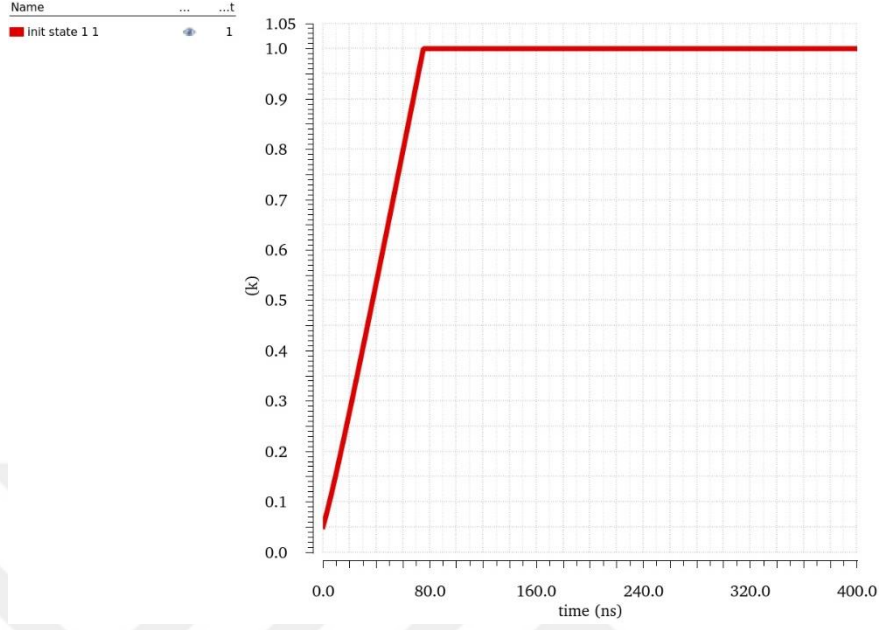
0 VE 1 = 0



Şekil 4.24 Hafıza temelli VE mantık kapısı devresinin mantık 0-1 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.24' te gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{\text{düşük}}$  (Mantık 1- 50 Ohm)' ten  $R_{\text{yüksek}}$  (Mantık 0 – 1k Ohm) durumuna geçtiği gözlemlenmiştir.

0 VE 0 = 0



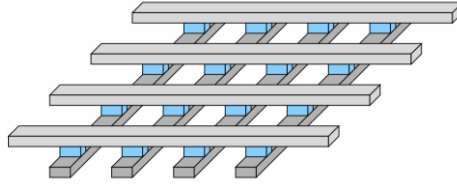
Şekil 4.25 Hafıza temelli VE mantık kapısı devresinin mantık 0-0 kombinasyonu analiz sonucu

Yapılan analiz sonucunda şekil 4.25’ de gösterildiği üzere çıkış memristörünün direnç durumunun başlangıç değeri olan  $R_{\text{düşük}}$  (Mantık 1- 50 Ohm)’ ten  $R_{\text{yüksek}}$  (Mantık 0 – 1k Ohm) durumuna geçtiği gözlemlenmiştir.

## BÖLÜM BEŞ

### MEMRİSTÖRÜN FPGA SİSTEMLERİNDE ANALİZİ

#### 5.1 Çapraz Çubuk (Crossbar) Dizisi



Şekil 5.1 Çapraz çubuk (crossbar) dizisi

International Technology Road-map for Semiconductors (ITRS)' e göre halihazırda kullanılan hafıza bellekleme teknolojileri olan DRAM, SRAM ve NAND Flash teknolojilerinin küçülen ölçeklerle gelecek zamanda birçok tasarım zorlukları ile karşı karşıya kalacağı ön görülmektedir. Memristör teknolojisi hafıza kümeleri, Field Programmable Gate Array (FPGA) programlanabilir çipler, yapay sinir ağları gibi teknolojilerin geleceği için iyi bir adaydır. Bu sistemlerde memristörler Şekil 5.1' deki gibi çapraz çubuk (crossbar) dizisi içinde kullanılmaktadır.

Bir çapraz çubuk (crossbar) yapısındaki memristörler, analog olarak paralel biçimde birçok çoklu hesaplama ve depolama işlemini çok verimli bir şekilde yapabilmektedir. (Bunlar sinir ağlarındaki baskın işlemlerdir). Bu büyük bir hesaplama ve depolama verimliliği ile nöromorfik sistemlerde son derece yoğun avantaj sağlar.

### 5.1.1 Sinsi Akım (Sneakpath Current)

Sinsi akım yolunun kaynağı, çapraz çubuk (crossbar) mimarisinin, geçersiz tek bellek elemanı olarak transistörlerden farklı olarak değişken bir direnç olan memristörü temel almasıdır. Sinsi yollar, akım için hedeflenen yola paralel olarak akım için istenmeyen yollardır.

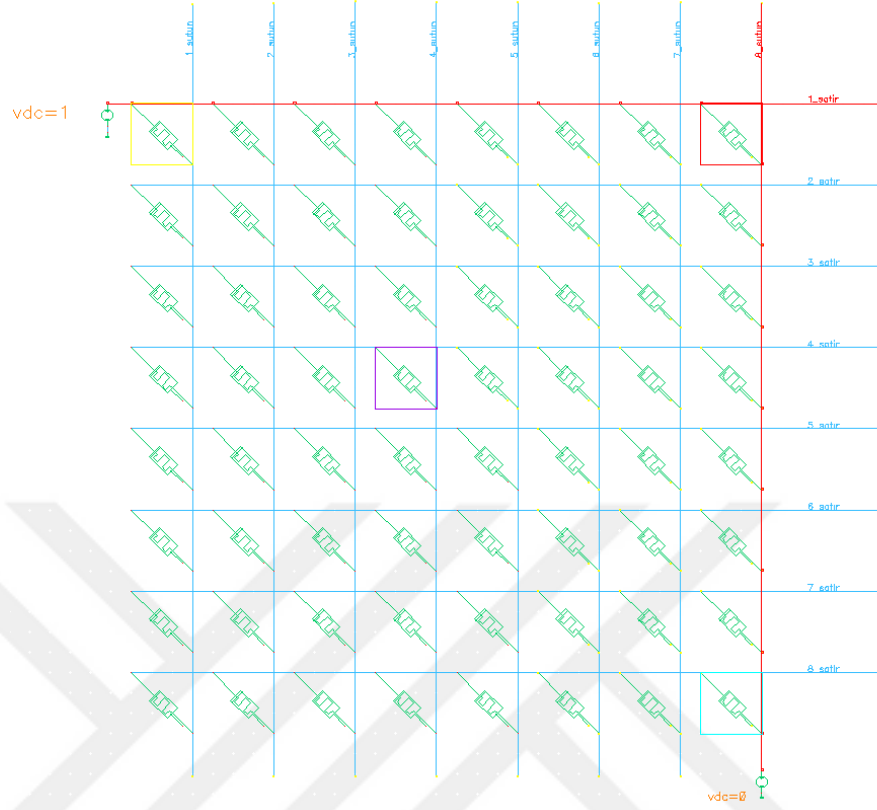
$R_{yüksek}$  durumundaki her memristör VE kapısı tasarımında izah ettiğimiz gibi küçükte olsa akım sızdırmaktadır. Bu sızan akım istenmeyen akım yolları oluşturabilmektedir.

## 5.2 Çapraz Çubuk (Crossbar) Dizisinde Yazma İşlemi

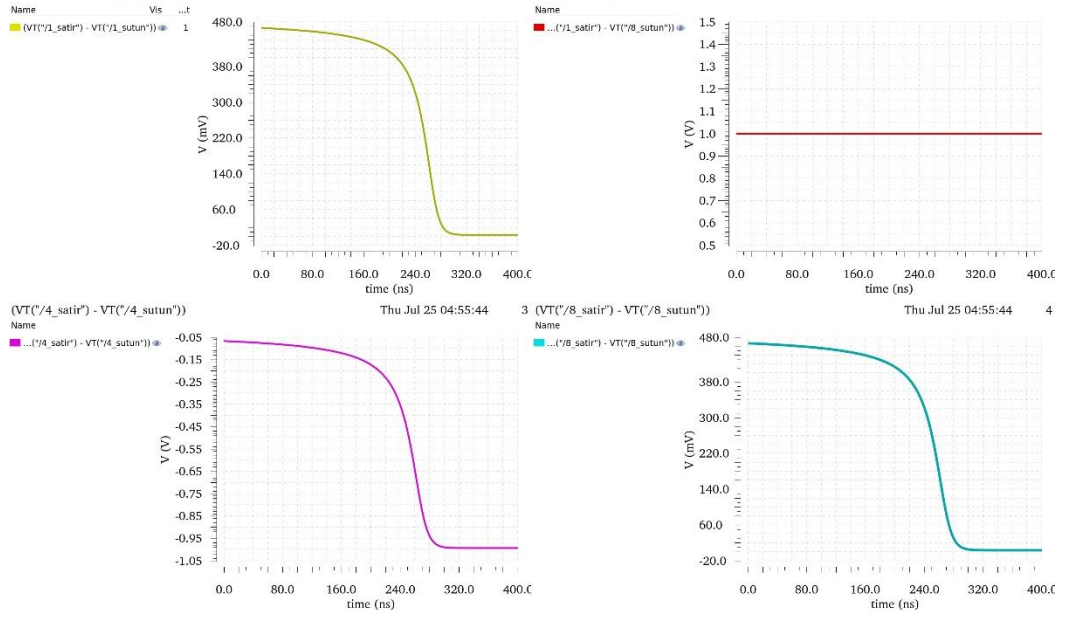
Çapraz çubuk (crossbar) dizisinde yazma işleminde başarılı olabilmek için hedef memristörün direnç durumu  $R_{düşük}$  ' ten  $R_{yüksek}$  ' e ya da  $R_{yüksek}$  ' ten  $R_{düşük}$  ' e geçerken diğer memristörlerin direnç durumlarında değişikliğin olmaması hedeflenmektedir.

### 5.2.1 Hedef Yaklaşımı

Şekil 5.2' de analizi yapılacak örnek çapraz çubuk (crossbar) dizisi 8 satır ve 8 sütundan oluşmaktadır. Çapraz çubuk (crossbar) üzerindeki her memristör  $M(\text{satır}) \times (\text{sütun})$  olacak şekilde isimlendirilmiştir. 1.satır hedef satır 8. sütun hedef sütun,  $M1 \times 8$  hedef memristör seçilmiş, hedef memristör üzerinde doğrudan 1V' luk gerilim oluşması için 1 satıra 1V' luk dc voltaj kaynağı uygulanmış, 8 sütunda topraklama vardır. Hiçbir memristöre eşik değeri uygulanmamıştır. Analizin tam olarak anlaşılması için giriş olarak memristör modeli ideal memristör olan Linear Ion Drift Modeli seçilmiştir.  $M1 \times 1$ ,  $M4 \times 4$ ,  $M8 \times 1$  üzerindeki voltaj değişimi gözlemlenmiştir.



Şekil 5.2 8x8 çapraz çubuk (crossbar) hedef yaklaşımı devresi

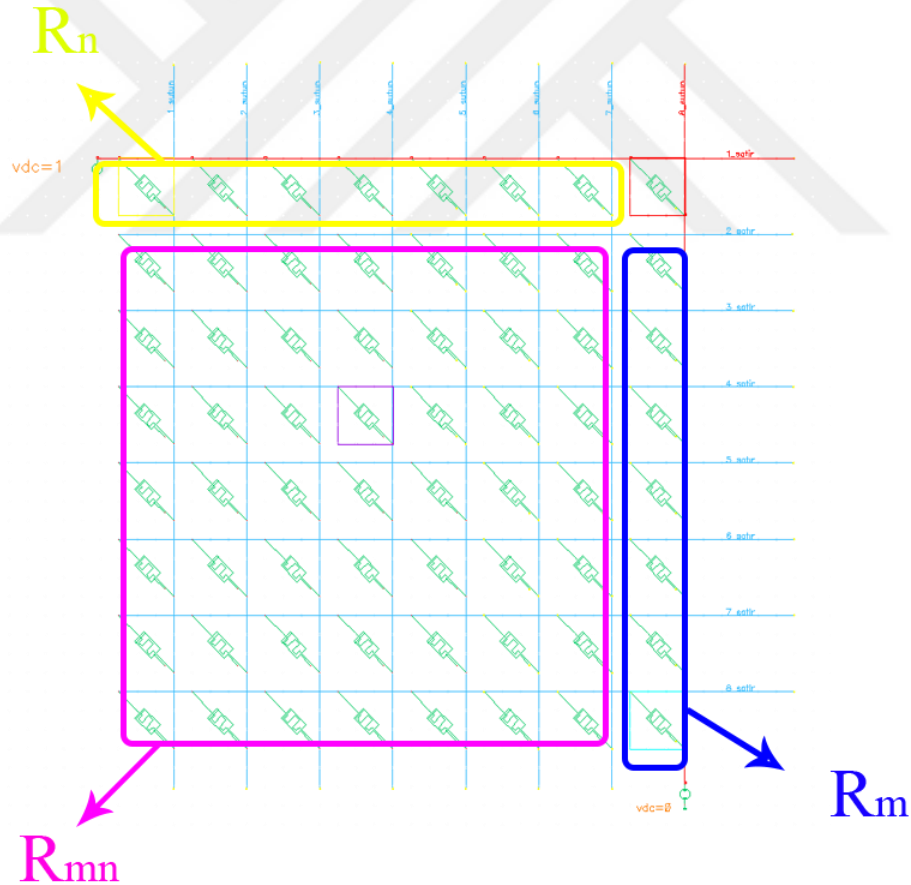


Şekil 5.3 8x8 çapraz çubuk (crossbar) devresi hedef yaklaşımı analiz sonuçları

Şekil 5.3'teki analiz sonuçlarında hedef memristör olan  $m \times 8$  üzerindeki voltaj sabit 1V iken, gerilim uygulanmadığı halde hedeflenen satır ve sütundaki memristörlerin üzerindeki voltajın ( $m \times 1$ ,  $m \times 8$ )  $466mV$ 'tan  $3mV$ 'ta düştüğü diğer memristörlerin üzerindeki voltajın ( $m \times 4$ )  $-66mV$ ' tan  $-993mV$ ' a düştüğü analiz edilmiştir. Bu gerilimler çapraz çubuk (crossbar) dizisinde sadece hedef memristör olan  $m \times 8$ 'e 1V uygulandığı halde bağlantılı memristörlerden sızan istenmeyen voltajlardır.

### 5.2.2 Çapraz Çubuk (Crossbar) Dizisinde Memristörlerin Gruplandırılması

Çapraz çubuk (crossbar) dizisinde memristörleri Şekil 5.4' te gösterildiği gibi gruplandırmak mümkündür. Çünkü her gruptaki memristörler birbirine paralel durumdadır (Adeyemo ve diğer., 2016, Aralık).

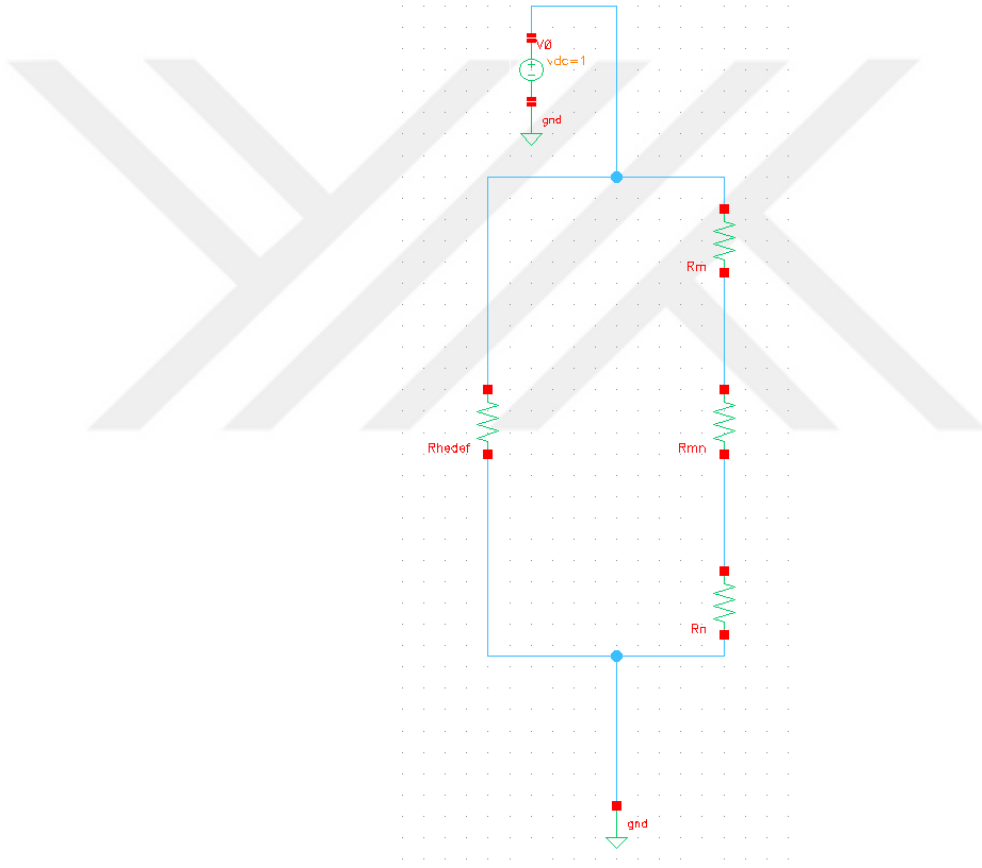


Şekil 5.4  $8 \times 8$  çapraz çubuk (crossbar) devresinde memristörlerin gruplandırılması



Hat dirençleri göz ardı edilirse, herhangi bir  $m \times n$  çapraz çubuk (crossbar) dizisi sadeleştirilmiş olarak temsili dört direnç ile Şekil 5.5’ te gösterilen gruplara ayrılabilir.

- Hedef hücrenin direnç değerini  $R_{\text{hedef}}$
- Hedef memristör dışında kalan hedef satırdaki memristörlerin dirençini  $R_n$
- Hedef sütunda kalan memristörlerin direnç değeri  $R_m$
- Diğer memristörlerin toplam direnç değerini  $R_{mn}$  temsil etmektedir.



Şekil 5.5 Çapraz çubuk (crossbar) eşdeğer devresi

Gruplandırmalardan  $R_m$ ' nin direnç değerini hesaplamak için kullanılan formül denklem 5.1 de verilmiş olup  $R_m$  direnç grubunun satır ve sütun sayısının aynı ya da farklı olması ile ilgili denklem 5.2 ve denklem 5.3 eşdeğer denklemleri elde edilmiştir.

Gruplandırılmalardan  $R_{mn}$  ' nin direnç değerini hesaplamak için kullanılan formül denklem 5.4 de verilmiş olup  $R_{mn}$  direnç grubunun satır ve sütun sayısının aynı ya da farklı olması ile ilgili denklem 5.5 ve denklem 5.6 eşdeğer denklemi elde edilmiştir.

Gruplandırılmalardan  $R_n$  ' nin direnç değerini hesaplamak için kullanılan formül denklem 5.7 de verilmiş olup  $R_n$  direnç grubunun satır ve sütun sayısının aynı ya da farklı olması ile ilgili denklem 5.8 ve denklem 5.9 eşdeğer denklemi elde edilmiştir (Adeyemo ve diğer., 2016, Aralık).

$$R_m = \frac{\prod_{i=1, i \neq i_s}^m R_{i,j_s}}{\sum_{i=1, i \neq i_s}^m R_{i,j_s}} = \quad (5.1)$$

$$\frac{R}{m-1} \quad \begin{array}{l} \text{eğer} \\ \text{birbirine eşitse} \end{array} \quad R_{i,j_s} \quad (5.2)$$

$$\frac{R_{\text{düşük}} \cdot R_{\text{yüksek}}}{(m-1)R_{\text{yüksek}} - K_{\text{yüksek}}(R_{\text{yüksek}} - R_{\text{düşük}})} \quad \begin{array}{l} \text{eğer} \\ \text{birbirine eşit değilse} \end{array} \quad R_{i,j_s} \quad (5.3)$$

$$R_{mn} = \frac{\prod_{j=1, j \neq j_s}^n \prod_{i=1, i \neq i_s}^m R_{i,j}}{\sum_{j=1, j \neq j_s}^n \sum_{i=1, i \neq i_s}^m R_{i,j}} = \quad (5.4)$$

$$\frac{R}{(m-1)(n-1)} \quad \begin{array}{l} \text{eğer } R_{i,j} \text{ birbirine} \\ \text{eşitse} \end{array} \quad (5.5)$$

$$\frac{R_{\text{düşük}} \cdot R_{\text{yüksek}}}{(m-1)(n-1)R_{\text{yüksek}} - K_{\text{yüksek}}(R_{\text{yüksek}} - R_{\text{düşük}})} \quad \begin{array}{l} \text{eğer } R_{i,j} \text{ birbirine} \\ \text{eşit değilse} \end{array} \quad (5.6)$$

$$R_n = \frac{\prod_{j=1, j \neq j_s}^n R_{i_s,j}}{\sum_{i=1, i \neq i_s}^n R_{i_s,j}} = \quad (5.7)$$

$$\frac{R}{(n-1)} \quad \begin{array}{l} \text{eğer} \\ \text{birbirine eşitse} \end{array} \quad R_{i_s,j} \quad (5.8)$$

$$\frac{R_{\text{düşük}} \cdot R_{\text{yüksek}}}{(n-1)R_{\text{yüksek}} - K_{\text{yüksek}}(R_{\text{yüksek}} - R_{\text{düşük}})} \quad \begin{array}{l} \text{eğer} \\ \text{birbirine eşit değilse} \end{array} \quad R_{i_s, j} \quad (5.9)$$

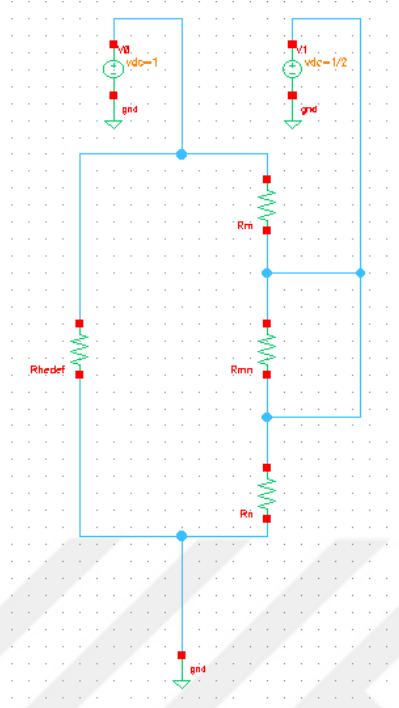
\* " $i_s$ " ve " $j_s$ " nin hedef satır ve sütundaki memristörleri,

\* " $K_{\text{yüksek}}$ " kapalı olan memristör hücresi sayısıdır. (Mantık 0)

Çapraz çubuk (crossbar) dizilerinde sinsi akım (sneakpath current) sorunu göz önünde bulundurularak birçok farklı voltaj yaklaşımları önerilmekte olup bu yaklaşımların hepsinin güç tüketimi ve stabilize gibi farklı alanlarda üstün olduğu durumlar söz konusu olabilmektedir. Bu voltaj yaklaşımlar ayrıca Çapraz çubuk (crossbar) dizisinde kullanılan memristör tipine göre de farklılık gösterebilmektedir.

Çapraz çubuk (crossbar) dizinde voltaj dağılımını rahat anlayabilmek için eşdeğer devrede farklı voltaj uygulamaları simüle edilmiş olup ayrıca literatüre yeni bir yaklaşım önerilmiştir.

### 5.2.3 1/2 Yaklaşımı

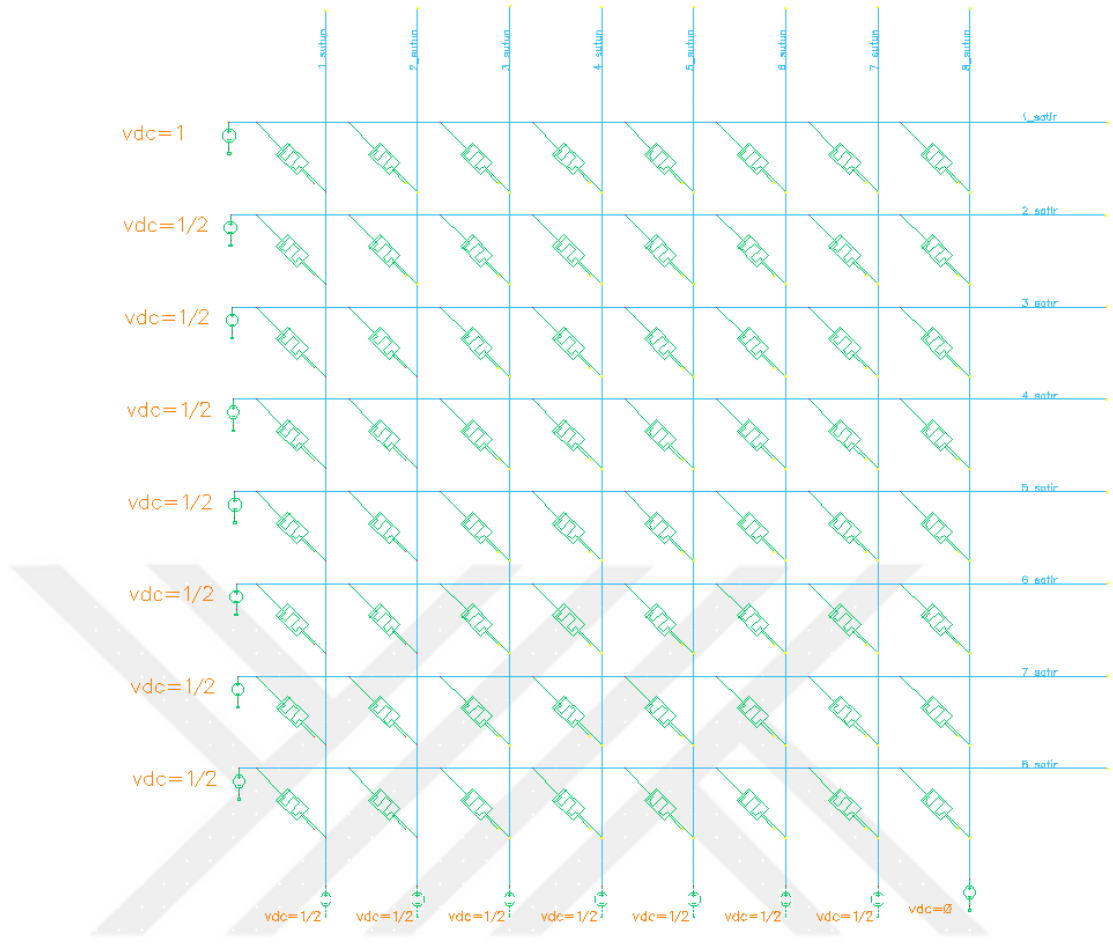


Şekil 5.6 Çapraz çubuk (crossbar) 1/2 yaklaşımı eşdeğer devresi

Şekil 5.6' de çapraz çubuk (crossbar) dizinde 1/2 voltaj yaklaşımı uygulanmıştır. Bu devrede  $R_{mn}$  grubu memristörlerin üzerindeki gerilim 0 V olmakta hedef satır ve sütundaki memristörler üzerindeki akım 1/2 V olmaktadır.

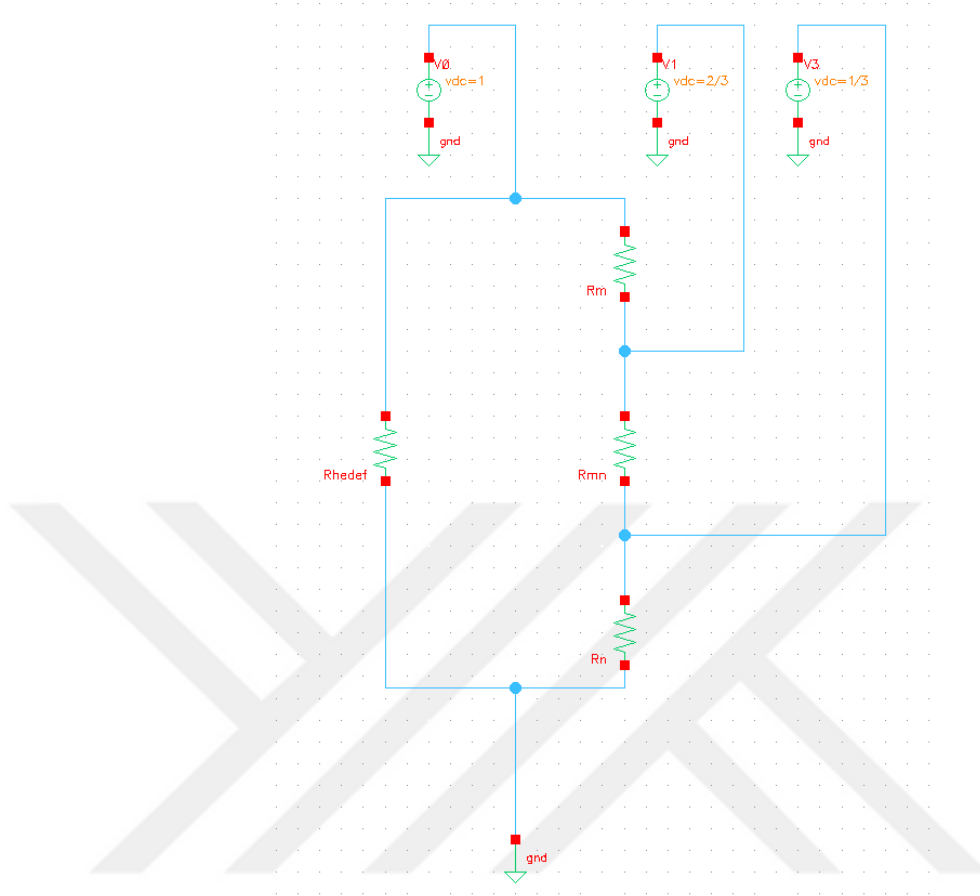
Bu düzenin başarılı olması için her memristörün eşik değeri, memristörün durum değiştirmesi için gerekli olan gerilim olan 1V ve  $R_n$  ve  $R_m$  ye uygulanan 1/2V arasında kalmalıdır.

Gerçek hayatta memristör seçiminde farklı farklı malzemeler kullanılacak ve memristörlerin eşik değeri değişecektir. Buna bağlı olarak her memristörün eşik değeri, memristörün durum değiştirmesi için gerekli olan gerilim  $V_h$ ' in ve  $R_n$  ,  $R_m$  ve  $R_{mn}$ ' ye uygulanan  $1/2V_h$ ' in arasında kalacak şekilde  $M_e$  Her bir memristörün eşik değerini temsil ettiği üzere  $V_h > M_e > V_h/2$  eşitsizliğini sağlamalıdır (Adeyemo ve diğer., 2016, Aralık).



Şekil 5.7 8x8 çapraz çubuk (crossbar) 1/2 yaklaşımı devresi

### 5.2.4 1/3 Yaklaşımı

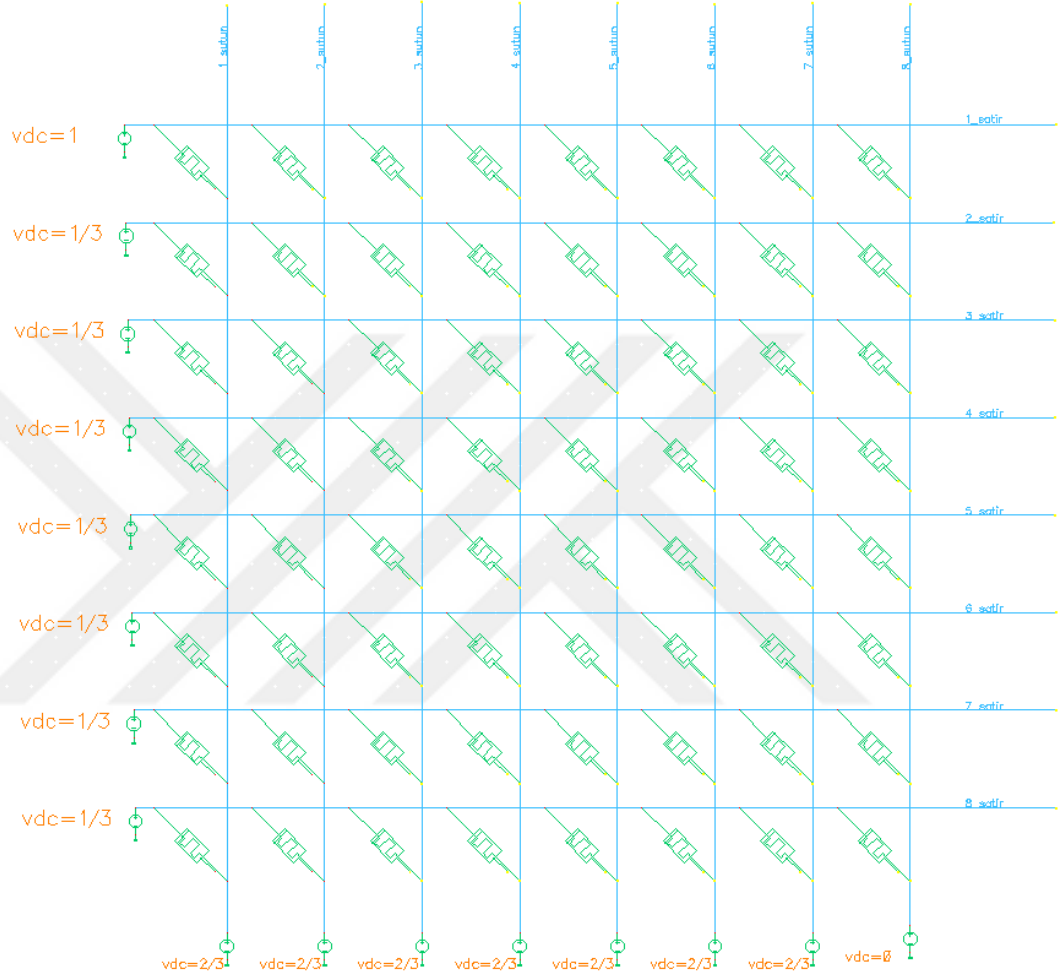


Şekil 5.8 Çapraz çubuk (crossbar) 1/3 yaklaşımı eşdeğer devresi

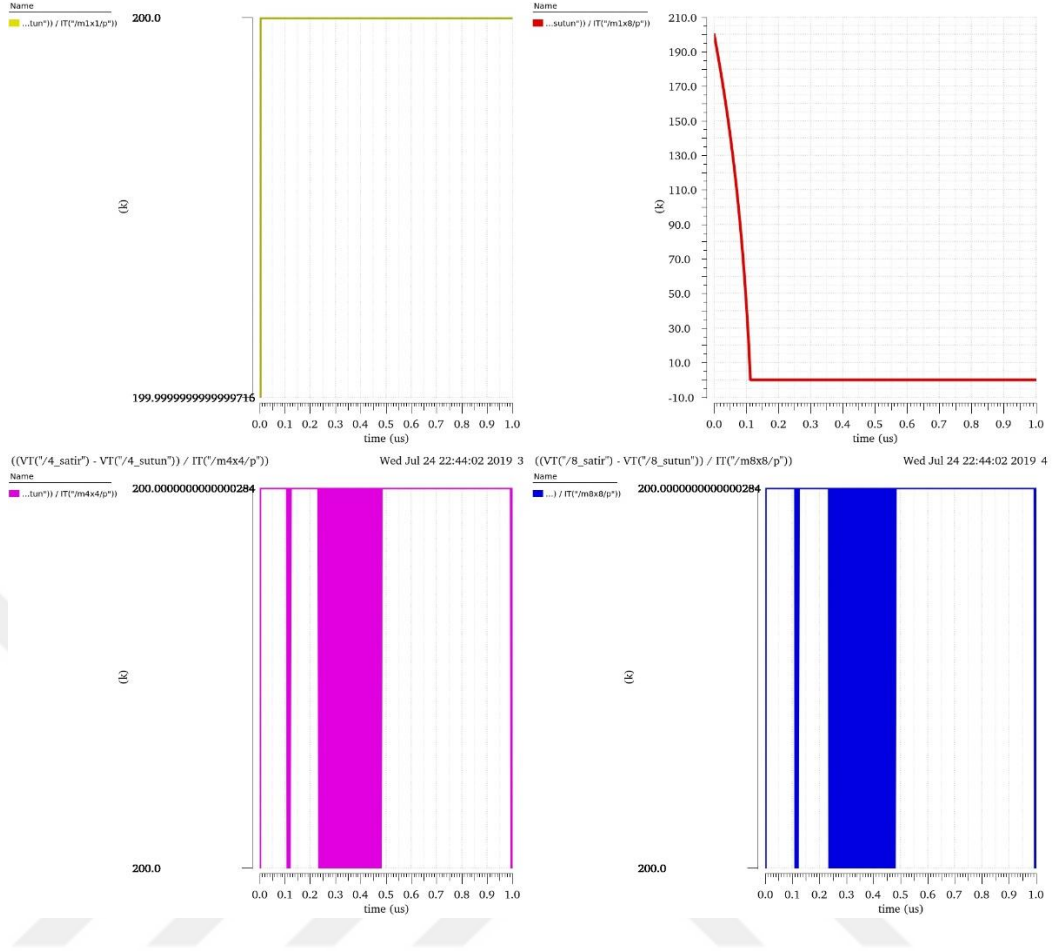
Şekil 5.8’ de çapraz çubuk (crossbar) dizinde 1/3 voltaj yaklaşımı sadeleştirilmiş eş değer devresi verilmiş olup, Şekil 5.9’ da çapraz çubuk (crossbar) dizinde 1/3 voltaj yaklaşımı uygulanmıştır. Bu devrede  $R_{mn}$  grubu memristörlerin üzerindeki gerilim - 1/3V olmakta, hedef satır ve sütundaki diğer memristörler üzerindeki akım 1/3 V olmaktadır.

Bu yaklaşımın başarılı olması için her memristörün eşik değeri, memristörün durum değiştirmesi için gerekli olan gerilim  $V_h$ ’ ın ve  $R_n$  ,  $R_m$  ve  $R_{mn}$ ’ ye uygulanan  $1/3V_h$ ’ ın arasında kalacak şekilde  $M_e$  Her bir memristörün eşik değerini temsil ettiği üzere  $V_h > M_e > V_h/3$  eşitsizliğini sağlamalıdır.

Gerçek hayatta memristör seçiminde farklı farklı malzemeler kullanılacak ve memristörlerin eşik değeri değişecektir. Buna bağlı olarak seçilen memristör üzerindeki gerilim ve  $1/3$  ü eşik değerini arasına alacak şekilde seçilmelidir (Adeyemo ve diğer., 2017).



Şekil 5.9 8x8 çapraz çubuk (crossbar)  $1/3$  yaklaşımı devresi



Şekil 5.10 8x8 çapraz çubuk (crossbar) 1/3 yaklaşımı devresi analiz sonuçları

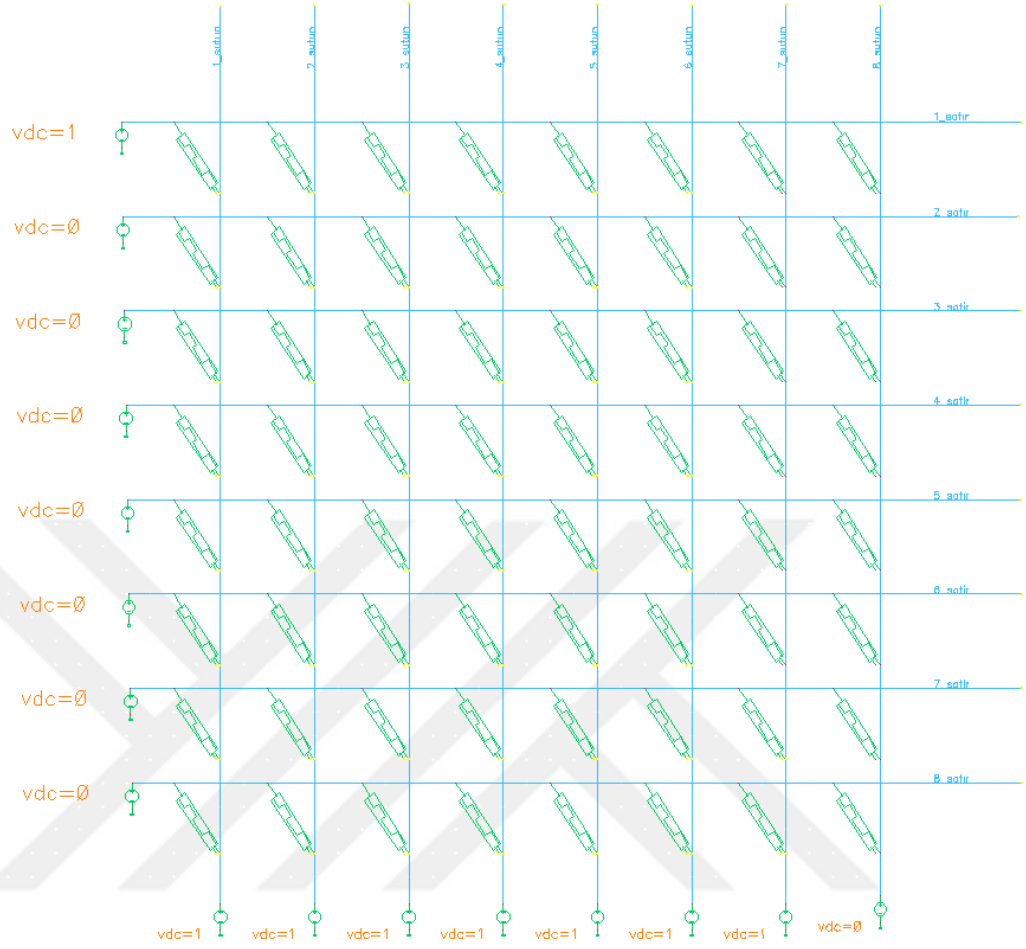
Yapmış olduğumuz 1/3 yaklaşımı simülasyonunda memristörlerin eşik değeri 500mV seçilmiş olup, hedef memristörün üzerine 1V gerilim uygulanmıştır. Şekil 5.10' daki analiz sonuçlarında hedef memristörün direnç değeri  $R_{yüksek}$  ' ten  $R_{düşük}$  ' e geçtiği görülmekte, diğer memristörlerin direnç durumunda değişiklik gözlenmemektedir. Bu tasarım ile istenilen amaç olan sadece hedef memristörün direnç durumundaki değişiklik gözlemlenmiş ve başarılı olunmuştur.



Tablo 5.1 Farklı voltaj yaklaşımları kıyas tablosu (Adeyemo ve diğer., 2017)

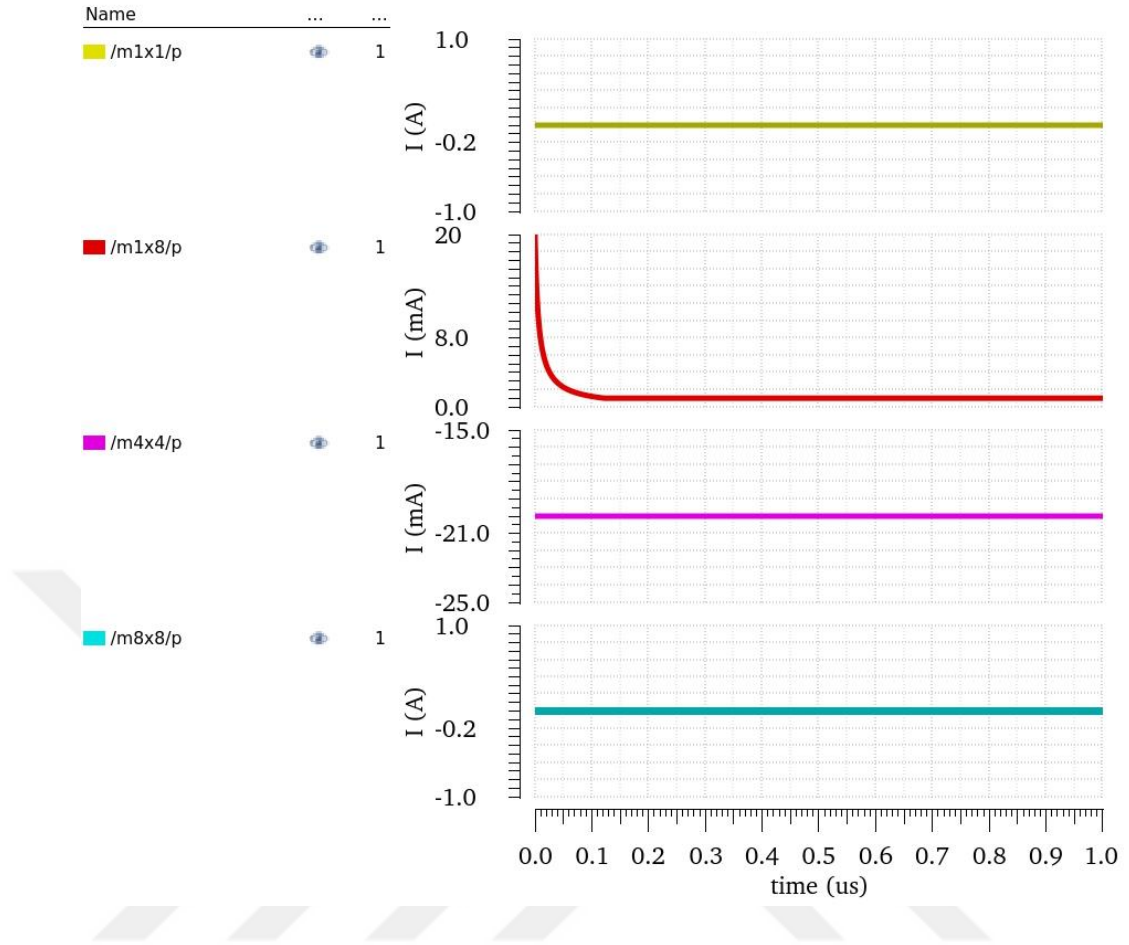
	Hedef memristördeki voltaj	Hedef memristör dışı voltaj		Toplam sinisi akım	İstenmeyen gerilimli memristör sayısı	Karesel bağımlılık	Minimum eşik değeri
		Min.	Max.				
Hedef yaklaşımı	$V_h$	$\frac{V_h}{m+n-1}$	$\left( \frac{V_h(m-1)}{m+n-1}, \frac{V_h(n-1)}{m+n-1} \right)$	$\frac{V_h(m-1)(n-1)}{R(m+n-1)}$	$mn-1$	var	eğer $m=n$ , 0,5
1/2 yaklaşımı	$V_h$	0	$V_h/2$	$\frac{V_h(m+n-2)}{2R}$	$m+n-2$	yok	0,5
1/3 yaklaşımı	$V_h$	$V_h/3$	$V_h/3$	$\frac{V_h(mn-1)}{2R}$	$mn-1$	yok	0,33

### 5.2.5 0-1 Yaklaşımı



Şekil 5.11 8x8 çapraz çubuk (crossbar) kutuplu memristörlerle 1-0 yaklaşımı devresi

1-0 yaklaşımı Çapraz çubuk (crossbar) dizinde yazma işlemi için yeni bir yaklaşım olarak önerilmiştir. Şekil 5.11’ de Çapraz çubuk (crossbar) dizinde kutuplu vteam memristör kullanılmış herhangi bir eşik değeri uygulanmamıştır.  $R_n$  ve  $R_m$  grubu memristörler üzerindeki gerilim 0V olup  $R_{mn}$  grubu memristörler üzerindeki gerilim -1V tur.  $R_{mn}$  grubundaki memristörler kutuplu memristör olduğu için -1V memristörlerin direnç durumunda değişikliğe sebep olmaz. Bu şekilde herhangi bir eşik değerine zorunluluk derecesinde ihtiyaç duyulmadan bile hedef memristör üzerinde direnç durumunda değişiklik yapılabilmektedir.



Şekil 5.12 8x8 çapraz çubuk (crossbar) 1-0 yaklaşımı devresi analiz sonuçları

Şekil 5.12’ de yapmış olduğumuz analiz sonucunda hedef memristörünün üzerinden geçen akımda düşme gözlenmiş bu da m1x8 memristörünün direnç durumunun  $R_{düşük}$  ’ten  $R_{yüksek}$  ’ e geçtiğini göstermektedir. Diğer memristörlerinin üzerinden geçen akımda bir değişiklik olmadığı gözlenmekte olup memristörlerin direnç durumlarının değişmediği söylenebilir.

Yapılan analiz sonuçlarında hedef memristörün dışındaki memristörlerin direnç değerleri 0/0 değerinde tanımsız olduğundan bu analizde memristörlerin üzerindeki akım değişiklikleri baz alınarak yorum yapılmıştır.

### 5.3 Çapraz Çubuk (Crossbar) Dizisinde Okuma İşlemi

Çapraz çubuk (crossbar) dizisi basit yapılara sahiptir ve memristör gibi iki terminalli bir cihazla iyi uyum sağlar, fakat pasif çapraz çubuk (crossbar) dizisinde okuma işlemi gelişmekte olan cihazlarda karmaşık bir işlem olabilmektedir.

Hafıza temelli memristörlü çapraz çubuk (crossbar) dizisinde yapılan okuma işleminde radyasyonun bir etkisi olmadığı bilinmektedir, fakat araştırmalar okuma işlemdeki başarısızlıkların doğru yöntem ile uygulanmamasından kaynaklandığını göstermektedir. (Mostafa ve Ismail, 2016)

Okuma işlemindeki başarısızlığa genellikle, çapraz çubuk (crossbar) dizisindeki diğer komşu memristörlerin ölçüme etkisi sebep olmaktadır. Diğer memristörlerin direnci, okunan voltajın bütünlüğünü olumsuz yönde etkilemek için seçilen memristörün direnci ile birleşir.

Okuma işleminde başarılı olabilmek için okunan voltaj, seçilen memristörün içeriğini algılamak için yeterli olmalı ve memristörün üzerine yazmamak yani direnç durumunu değiştirmemek için eşik voltaj değerinden daha düşük olmalıdır.

$R_{\text{düşük}}$  (mantık 1) hücrenin okuma gerilimi  $R_{\text{yüksek}}$  (mantık 0) hücrelerinden ayrılabilir olmalıdır.  $R_{\text{hedef}}$  hücredeki değer devreye bağlanan bir algılayıcı direnç olan  $R_L$  direnci ile hesaplanabilmektedir.  $R_L$  direncinin değeri  $R_{\text{yüksek}} / R_{\text{düşük}}$  değerinden büyük ve  $R_{\text{düşük}}$  değerine daha yakın olmalıdır (Vourkas, Stathis ve Sirakoulis, 2013).

Çapraz çubuk (crossbar) dizisinde okuma işlemi için hedef memristörün satırına verilen  $V_{\text{okuma}}$  voltajı ile alakalı  $R_L$  direnci üzerindeki  $V_{\text{çıkış}}$  voltajını bulmak için

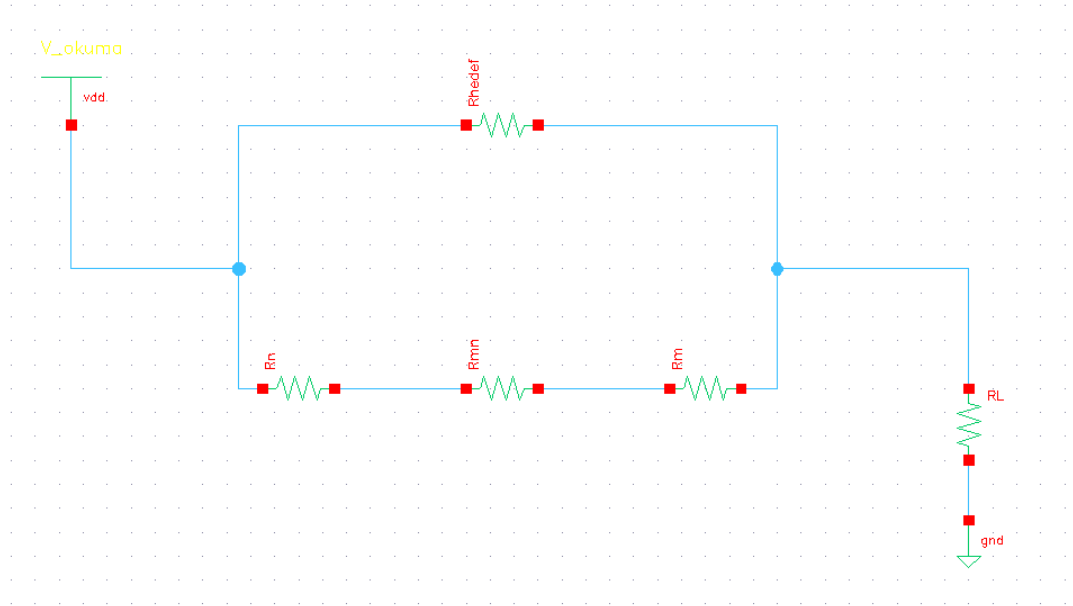
$$V_{\text{çıkış}} = V_{\text{okuma}} \times \frac{R_{L\_eff}}{R_{L\_eff} + R_{\text{hedef\_eff}}} \quad (5.10)$$

denklem 5.10 kullanılmaktadır. Bu formülde kullanılan  $R_{L\_eff}$  ve  $R_{hedef\_eff}$  değerlerindeki eff literatürde effective kelimesinin bir kısaltması olarak kullanılmıştır. Seçilen memristöre paralel olarak seçilmeyen tüm memristörler birleşerek seçilen akım yoluna paralel bir yol oluşturmakta,  $R_{hedef}$  ya da  $R_L$  direncinin etkin direncini bu şekilde azaltmaktadır.  $R_{L\_eff}$  ve  $R_{hedef\_eff}$   $R_{hedef}$  ve  $R_L$  direncinin etkin direncini temsil etmektedir. Topraklama sistemine göre değişen ölçüm yöntemlerinin her birinde  $R_{L\_eff}$  ve  $R_{hedef\_eff}$  değerleri farklı formüller ile hesaplanmaktadır. (Adeyemo ve diğer. 2016, Temmuz).

Bu sorundan kaynaklı hedef memristörün direnç durumunu daha doğru hesaplamak için literatürde çeşitli uygulamalar mevcuttur. Bu tezde 4 farklı yaklaşıma yer verilmiştir.

### 5.3.1 Satır ve Sütunlarda Topraklama Olmaksızın Okuma İşlemi

Şekil 5.13’ te bir çapraz çubuk (crossbar) dizisinde Satır ve sütunlarda topraklama olmaksızın okuma işleminin eşdeğer devre tasarımı verilmiştir.



Şekil 5.13 Çapraz çubuk (crossbar) dizisinde satır ve sütunlarda topraklama olmaksızın okuma işleminin eşdeğer devre tasarımı

Bu ölçüm yönteminde  $R_{\text{hedef\_eff}}$  denklem 5.11,  $R_{L\_eff}$  denklem 5.12 ve toplam direnç denklem 5.13 ile hesaplanmaktadır.

$$R_{\text{hedef\_eff}} = R_{\text{hedef\_eff}} \parallel (R_m + R_{mn} + R_n) \quad (5.11)$$

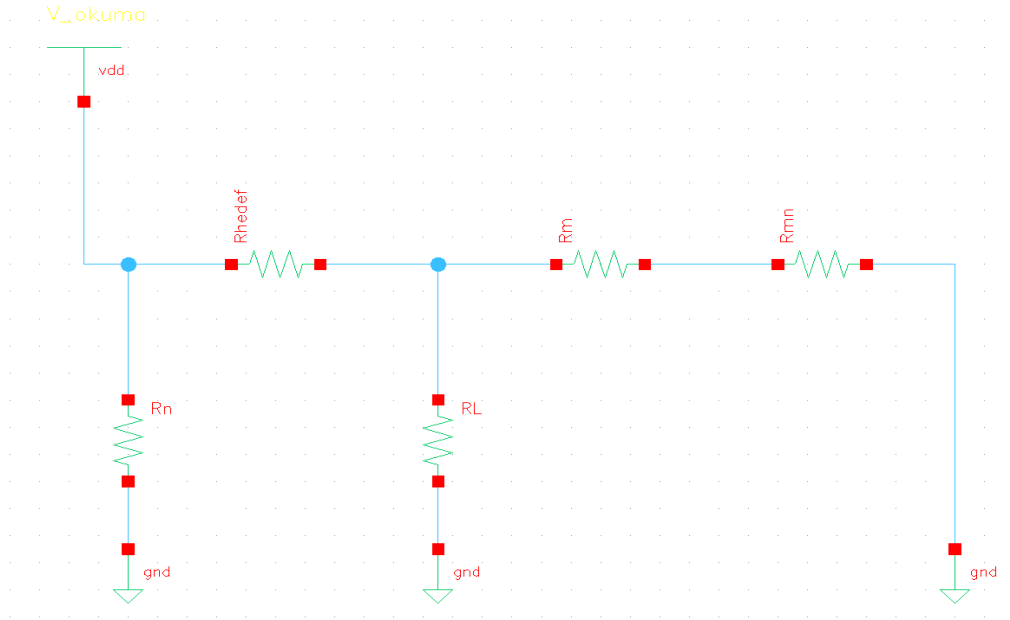
$$R_{L\_eff} = R_L \quad (5.12)$$

$$R_{\text{toplam}} = (R_{\text{hedef}} \parallel (R_m + R_{mn} + R_n)) + R_L \quad (5.13)$$

Bu ölçüm yönteminde diğer memristör gruplarının hepsinin  $R_{\text{hedef\_eff}}$  değerinde etki sahibi olduğu denklem 5.11’ de görülmektedir. Diğer memristörlerin direnç durumundaki belirsizlik hedef memristörün ölçümünde ciddi oranda sapmaya sebebiyet verecektir (Adeyemo ve diğer., 2016, Temmuz).

### 5.3.2 Satır Topraklamalı ve Sütunlarda Topraklama Olmaksızın Okuma İşlemi

Şekil 5.14’ te bir çapraz çubuk (crossbar) dizisinde satır topraklamalı ve sütunlarda topraklama olmaksızın okuma işleminin eşdeğer devre tasarımı verilmiştir.



Şekil 5.14 Çapraz çubuk (crossbar) dizisinde satır topraklamalı ve sütunlarda topraklama olmaksızın okuma işleminde eşdeğer devre tasarımı

Bu ölçüm yönteminde  $R_{\text{hedef\_eff}}$  denklem 5.14,  $R_{L\_eff}$  denklem 5.15 ve toplam direnç denklem 5.16 ile hesaplanmaktadır.

$$R_{\text{hedef\_eff}} = R_{\text{hedef}} \quad (5.14)$$

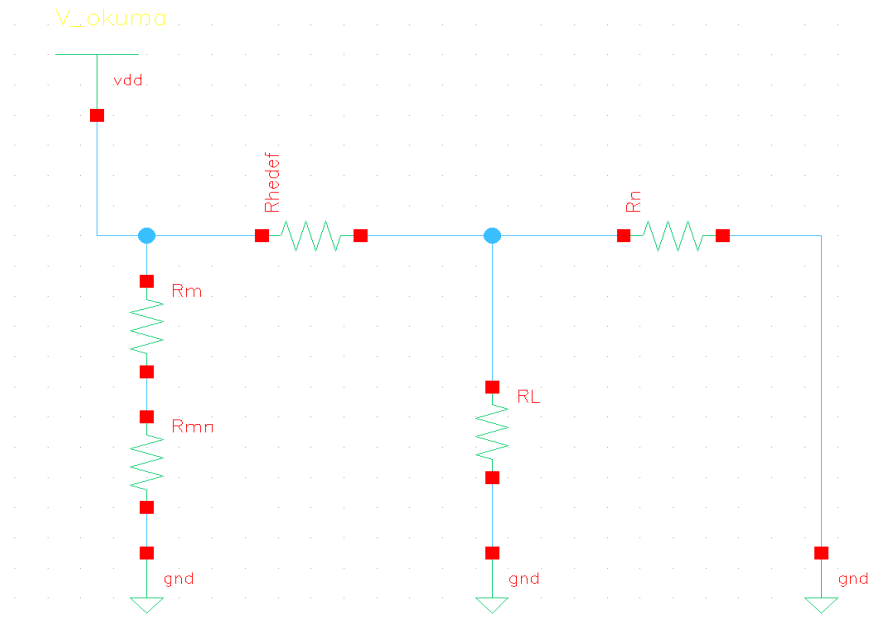
$$R_{L\_eff} = R_L \parallel (R_m + R_{mn}) \quad (5.15)$$

$$R_{\text{toplam}} = (R_{\text{hedef}} + (R_L \parallel (R_m + R_{mn}))) \parallel R_n \quad (5.16)$$

Bu ölçüm yönteminde diğer memristör gruplarından sadece  $R_m$  ve  $R_{mn}$ ' nin  $R_{L\_eff}$  değerinde etki sahibi olduğu denklem 5.15' de görülmektedir.  $R_m$  ve  $R_{mn}$  grubunun direnç durumundaki belirsizlik hedef memristörün ölçümünde sapmaya sebebiyet verecektir (Adeyemo ve diğer., 2016, Temmuz).

### 5.3.3 Sütun Topraklamalı ve Satırlarda Topraklama Olmaksızın Okuma İşlemi

Şekil 5.15' te bir çapraz çubuk (crossbar) dizisinde satır topraklamalı ve sütunlarda topraklama olmaksızın okuma işleminin eşdeğer devre tasarımı verilmiştir.



Şekil 5.15 Çapraz çubuk (crossbar) dizisinde sütun topraklamalı ve satırlarda topraklama olmaksızın okuma işleminde eşdeğer devre tasarımı

Bu ölçüm yönteminde  $R_{\text{hedef\_eff}}$  denklem 5.17,  $R_{L\_eff}$  denklem 5.18 ve toplam direnç denklem 5.19 ile hesaplanmaktadır.

$$R_{\text{hedef\_eff}} = R_{\text{hedef}} \quad (5.17)$$

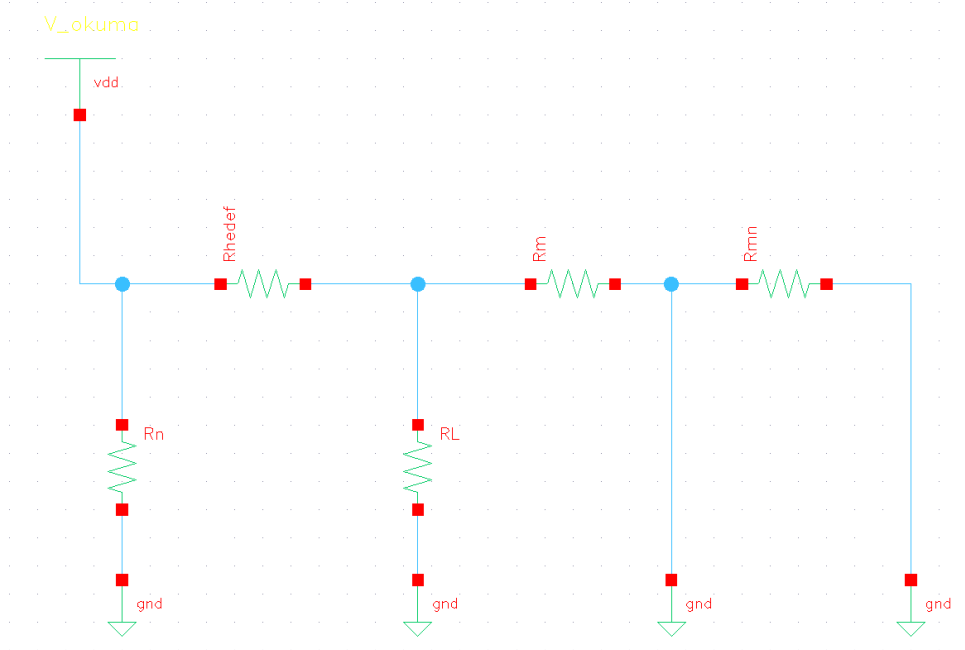
$$R_{L\_eff} = R_L \parallel R_n \quad (5.18)$$

$$R_{\text{toplam}} = (R_{\text{hedef}} + (R_L \parallel R_n)) \parallel (R_m + R_{mn}) \quad (5.19)$$

Bu ölçüm yönteminde diğer memristör gruplarından sadece  $R_n$ 'nin  $R_{L\_eff}$  değerinde etki sahibi olduğu denklem 5.18 de görülmektedir. Sadece  $R_n$  grubunun direnç durumundaki belirsizlik hedef memristörün ölçümünde sapmaya sebebiyet verecektir (Adeyemo ve diğer., 2016, Temmuz).

#### 5.3.4 Satır ve Sütun Topraklamalı Okuma İşlemi

Şekil 5.16' da bir çapraz çubuk (crossbar) dizisinde satır ve sütun topraklamalı okuma işleminin eşdeğer devre tasarımı verilmiştir.



Şekil 5.16 Çapraz çubuk (crossbar) dizisinde satır ve sütun topraklamalı okuma işleminde eşdeğer devre tasarımı



Bu ölçüm yönteminde  $R_{\text{hedef\_eff}}$  denklem 5.20,  $R_{L\_eff}$  denklem 5.21 ve toplam direnç denklem 5.22 ile hesaplanmaktadır.

$$R_{\text{hedef\_eff}} = R_{\text{hedef}} \quad (5.20)$$

$$R_{L\_eff} = R_L \parallel R_m \quad (5.21)$$

$$R_{\text{toplam}} = (R_{\text{hedef}} + (R_L \parallel R_m)) \parallel R_n \quad (5.22)$$

Bu ölçüm yönteminde diğer memristör gruplarından sadece  $R_m$  'nin  $R_{L\_eff}$  değerinde etki sahibi olduğu denklem 5.21' de görülmektedir. Sadece  $R_m$  grubunun direnç durumundaki belirsizlik hedef memristörün ölçümünde sapmaya sebebiyet verecektir.

Her çapraz çubuk (crossbar) dizisinde satır ve sütun sayısı aynı olmadığından kullanılan yöntemin çapraz çubuk (crossbar) dizisinde satır ve sütun sayısına bağlı olarak seçilmesi daha doğru sonuç açısından önemlidir.

## BÖLÜM ALTI

### SONUÇLAR

Bu tezde Moore yasası bağlamında fiziksel sınırlarına ulaşmış transistörlerin yerini alabilecek alternatiflerden daha küçük alan entegrasyonu, daha az enerji tüketimi ve veriyi aklında tutabilme özelliği ile rakiplerinin arasından öne çıkan memristör teknolojisi incelenmiştir.

Transistör temelli mantık kapılarından işlevsel ve yapısal olarak en temelde bile memristörlerin farklı olması, memristör teknolojisi uygulamalarının yaygınlaşmasının zaman alabileceğini ifade etmektedir.

Memristörün iki elektrot arası metal oksit gibi basit yapısal tasarımı ile üretiminin kolay oluşu, ilk örneklerinin bile 3nm-30nm gibi çok küçük boyutlarda olabilmesi veri depolama, programlanabilir devreler ve Complementary Metal Oxide Semiconductor (Cmos) melez yapılar gibi birçok alanda aşırı verimlilik sağlamaktadır.

Memristörün iki terminalli olması ile çapraz çubuk (crossbar) dizisi gibi yöntemlerle küçük alanlarda yoğun yerleşime olanak sağlaması, bu devre elemanını diğer alternatiflerinden öne çıkaran en önemli özelliktir. Bu tezde önerilen çapraz çubuk (crossbar) dizisinde yazma işlemi yöntemlerinden 1-0 yaklaşımı herhangi bir eşik değerine gerek duymaksızın geçerlidir. Bu özelliği ile literatürdeki kutuplu memristörlerin hepsinde uygulaması oldukça kolay ve sorunsuzdur. 1-0 yaklaşımının geçerliliği çapraz çubuk (crossbar) dizisindeki tüm memristör gruplarında sınanmış ve başarı elde edilmiştir.

## KAYNAKLAR

- Adeyemo, A., Yang, X., Bala, A., Mathew, J., ve Jabir, A. (2016, Temmuz). Analytic models for crossbar read operation. In *2016 IEEE 22nd International Symposium on On-Line Testing and Robust System Design (IOLTS)* (3-4). IEEE.
- Adeyemo, A., Yang, X., Bala, A., ve Jabir, A. (2016, Aralık). Analytic models for crossbar write operation. In *2016 Sixth International Symposium on Embedded Computing and System Design (ISED)* ( 313-317). IEEE.
- Bowers, S. ve Diamond, M. (2015). sandisk and hp launch partnership to create memory-driven computing solutions. Retrieved Temmuz 17, 2019, <https://www8.hp.com/tr/tr/hp-news/press-release.html?id=2099577>
- Chakrabarti, S., Jana, D., Dutta, M., Maikap, S., Chen, Y. Y., ve Yang, J. R. (2014, May). Impact of AlO<sub>x</sub> interfacial layer and switching mechanism in W/AlO<sub>x</sub>/TaO<sub>x</sub>/TiN RRAMs. In *2014 IEEE 6th International Memory Workshop (IMW)* (1-4). IEEE.
- Chen, A., Haddad, S., Wu, Y. C., Fang, T. N., Lan, Z., Avanzino, S., ve Tripsas, N. (2005, December). Non-volatile resistive switching for advanced memory applications. In *IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest.* (746-749). IEEE.
- Chen, L., Xu, Y., Sun, Q. Q., Zhou, P., Wang, P. F., Ding, S. J., ve Zhang, D. W. (2010). Atomic-layer-deposited HfLaO-based resistive switching memories with superior performance. *IEEE Electron Device Letters*, *31*(11), 1296-1298.
- Choi, B. J., Torrezan, A. C., Norris, K. J., Miao, F., Strachan, J. P., Zhang, M. X., ve Williams, R. S. (2013). Electrical performance and scalability of Pt dispersed SiO<sub>2</sub> nanometallic resistance switch. *Nano Letters*, *13*(7), 3213-3217.
- Chua, L. (1971). Memristor-the missing circuit element. *IEEE Transactions on circuit theory*, *18*(5), 507-519.

- Gale, E. (2014). TiO<sub>2</sub>-based memristors and ReRAM: materials, mechanisms and models (a review). *Semiconductor Science and Technology*, 29(10), 104004.
- Guo, T., Tan, T., ve Liu, Z. (2015). Enhanced resistive switching behaviors of HfO<sub>2</sub>: Cu film with annealing process. *Vacuum*, 114, 78-81.
- Hong, S. M., Kim, H. D., Yun, M. J., Park, J. H., Jeon, D. S., ve Kim, T. G. (2015). Improved resistive switching properties by nitrogen doping in tungsten oxide thin films. *Thin Solid Films*, 583, 81-85.
- Huang, C. H., Huang, J. S., Lin, S. M., Chang, W. Y., He, J. H., ve Chueh, Y. L. (2012). ZnO<sub>1-x</sub> nanorod arrays/ZnO thin film bilayer structure: from homojunction diode and high-performance memristor to complementary 1D1R application. *ACS Nano*, 6(9), 8407-8414.
- Kim, H., McIntyre, P. C., On Chui, C., Saraswat, K. C., ve Stemmer, S. (2004). Engineering chemically abrupt high-k metal oxide/ silicon interfaces using an oxygen-gettering metal overlayer. *Journal of Applied Physics*, 96(6), 3467-3472.
- Kvatinsky, S., Talisveyberg, K., Fliter, D., Kolodny, A., Weiser, U. C., ve Friedman, E. G. (2012, Kasım). Models of memristors for SPICE simulations. In *2012 IEEE 27th Convention of Electrical and Electronics Engineers in Israel* (1-5). IEEE.
- Kvatinsky, S., Wald, N., Satat, G., Kolodny, A., Weiser, U. C., ve Friedman, E. G. (2012, Ağustos). MRL—Memristor ratioed logic. In *2012 13th International Workshop on Cellular Nanoscale Networks and their Applications* (1-6). IEEE.
- Kvatinsky, S., Belousov, D., Liman, S., Satat, G., Wald, N., Friedman, E. G., ve Weiser, U. C. (2014). MAGIC—Memristor-aided logic. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 61(11), 895-899.

- Kvatinsky, S., Satat, G., Wald, N., Friedman, E. G., Kolodny, A., ve Weiser, U. C. (2013). Memristor-based material implication (IMPLY) logic: Design principles and methodologies. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 22(10), 2054-2066.
- Kvatinsky, S., Ramadan, M., Friedman, E. G., ve Kolodny, A. (2015). VTEAM: A general model for voltage-controlled memristors. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 62(8), 786-790.
- Lin, S. M., Huang, J. S., Chang, W. C., Hou, T. C., Huang, H. W., Huang, C. H., ve Chueh, Y. L. (2013). Single-step formation of ZnO/ZnWO<sub>x</sub> bilayer structure via interfacial engineering for high performance and low energy consumption resistive memory with controllable high resistance states. *ACS applied materials ve interfaces*, 5(16), 7831-7837.
- Liu, M., Guan, W., Long, S., Liu, Q., ve Wang, W. (2008, October). Excellent resistive switching characteristics of Cu doped ZrO<sub>2</sub> and its 64 bit cross-point integration. In *2008 9th International Conference on Solid-State and Integrated-Circuit Technology* (905-908). IEEE.
- Mostafa, H., ve Ismail, Y. (2016). Statistical yield improvement under process variations of multi-valued memristor-based memories. *Microelectronics Journal*, 51, 46-57.
- Murali, S., Rajachidambaram, J. S., Han, S. Y., Chang, C. H., Herman, G. S., ve Conley Jr, J. F. (2013). Resistive switching in zinc–tin-oxide. *Solid-State Electronics*, 79, 248-252.
- Schindler, C., Thermadam, S. C. P., Waser, R., ve Kozicki, M. N. (2007). Bipolar and Unipolar Resistive Switching in Cu-Doped  $\text{SiO}_2$ . *IEEE Transactions on Electron Devices*, 54(10), 2762-2768.
- Simmons, John G. (2016). “Tunnel Current in MIM System.” *Application notes.*, Semtember 16, 2016,, <https://www.ntmdt.com/spm-basics/view/different-modes>.

- Singh, T. (2015). Hybrid memristor-cmos (memos) based logic gates and adder circuits. *arXiv preprint arXiv:1506.06735*.
- Strukov, D. B., Snider, G. S., Stewart, D. R., ve Williams, R. S. (2008). The missing memristor found. *nature*, 453(7191), 80.
- Syu, Y. E., Zhang, R., Chang, T. C., Tsai, T. M., Chang, K. C., Lou, J. C., ve Shih, C. C. (2013). Endurance Improvement Technology With Nitrogen Implanted in the Interface of  $\text{WSiO}_x$  Resistance Switching Device. *IEEE Electron Device Letters*, 34(7), 864-866.
- Syu, Y. E., Chang, T. C., Tsai, T. M., Chang, G. W., Chang, K. C., Tai, Y. H., ve Sze, S. M. (2012). Silicon introduced effect on resistive switching characteristics of WOX thin films. *Applied Physics Letters*, 100(2), 022904.
- Tan, T., Guo, T., Chen, X., Li, X., ve Liu, Z. (2014). Impacts of Au-doping on the performance of Cu/HfO<sub>2</sub>/Pt RRAM devices. *Applied Surface Science*, 317, 982-985.
- Vourkas, I., Stathis, D., ve Sirakoulis, G. C. (2013, October). Improved read voltage margins with alternative topologies for memristor-based crossbar memories. In *2013 IFIP/IEEE 21st International Conference on Very Large Scale Integration (VLSI-SoC)* ( 336-339). IEEE.
- Xie, L., Du Nguyen, H. A., Yu, J., Kaichouhi, A., Taouil, M., AlFailakawi, M., ve Hamdioui, S. (2017, July). Scouting logic: A novel memristor-based logic design for resistive computing. In *2017 IEEE Computer Society Annual Symposium on VLSI (ISVLSI)* ( 176-181). IEEE.
- Yanagida, T. (2011, October). Memristive switching phenomena in a single oxide nanowire. In *2011 IEEE Nanotechnology Materials and Devices Conference* ( 28-31). IEEE.

Yuan Lee, Heng ve diğer., (2009). “HfO<sub>x</sub> Bipolar resistive memory with robust endurance using AlCu as buffer electrode.” *Electron Device Letters, IEEE* 30, 703–5.

Zhou, Q., ve Zhai, J. (2013). HfO<sub>x</sub> bipolar resistive memory with robust endurance using ZrN<sub>x</sub> as bottom electrode. *Applied Surface Science*, 284, 644-650.

Zhang, R., Yuldashev, S. U., Lee, J. C., Yalishev, V. S., Kang, T. W., ve Fu, D. J. (2013). Memristive behavior of ZnO/NiO stacked heterostructure. *Microelectronic Engineering*, 112, 31-34.

Zhang, Y., Wu, H., Bai, Y., Chen, A., Yu, Z., Zhang, J., ve Qian, H. (2013). Study of conduction and switching mechanisms in Al/AlO<sub>x</sub>/WO<sub>x</sub>/W resistive switching memory for multilevel applications. *Applied Physics Letters*, 102(23), 233502.

## EKLER

### EK 1: Vteam memristor Verilog-A kodu (Kvatinsky, Talisveyberg, ve diğ er., 2012, Kasım)

```
////////////////////////////////////  
// VerilogA model for memristor  
// kerentalis@gmail.com  
// Dimafliter@gmail.com  
// shahar@ee.technion.ac.il  
// rmisbah@tx.technion.ac.il  
// Technion - Israel Institute of Technology  
// EE Dept. December 2015  
////////////////////////////////////  
`include "disciplines.vams"  
`include "constants.h"  
// define meter units for w parameter  
nature distance  
    access = Metr;  
    units = "m";  
    abstol = 0.01n;  
endnature  
discipline Distance  
    potential distance;  
enddiscipline  
module Memristor(p, n,w_position);  
    input p;//positive pin  
    output n;//negative pin  
    output w_position;// w-width pin  
    electrical p, n,gnd;  
    Distance w_position;  
    ground gnd;  
    parameter real model = 0;
```



```

// define the model:
// 0 - Linear Ion Drift;
// 1 - Simmons Tunnel Barrier;
// 2 - Team model;
// 3 - Nonlinear Ion Drift model
// 4 - Vteam model;

    parameter real window_type=0;
// define the window type:
// 0 - No window;
// 1 - Jogelkar window;
// 2 - Biolek window;
// 3 - Prodromakis window;
// 4 - Kvatinsky window (Team model only)
// 5 - Kvatinsky window2 (Vteam model only)

    parameter real dt=0;
// user must specify dt same as max step size in
// transient analysis & must be at least 3 orders
//smaller than T period of the source

    parameter real init_state=0.5;
// the initial state condition [0:1]

////////// Linear Ion Drift model //////////

//parameters definitions and default values
    parameter real Roff = 200000;
    parameter real Ron = 100;
    parameter real D = 3n;
    parameter real uv = 1e-15;
    parameter real w_multiplied = 1e8;

```

```

// transformation factor for w/X width
// in meter units
    parameter real p_coeff = 2;
// Windowing function coefficient

parameter real J = 1;
// for prodromakis Window function
parameter real p_window_noise=1e-18;
// provoke the w width not to get stuck at
// 0 or D with p window
parameter real threshold_voltage=0;

// local variables
real w;
real dwdt;
real w_last;
real R;
real sign_multiply;
real stp_multiply;
real first_iteration;

////////// Simmons Tunnel Barrier model //////////

//parameters definitions and default values
//for Simmons Tunnel Barrier model
    parameter real c_off = 3.5e-6;
    parameter real c_on = 40e-6;
    parameter real i_off = 115e-6;
    parameter real i_on = -8.9e-6;
    parameter real x_c = 107e-12;
    parameter real b = 500e-6;
    parameter real a_on = 2e-9;

```

```

parameter real a_off = 1.2e-9;

// local variables
real x;
real dxdt;
real x_last;
/////////////////////////////////TEAM model/////////////////////////////////

parameter real K_on=-8e-13;
parameter real K_off=8e-13;
parameter real Alpha_on=3;
parameter real Alpha_off=3;
parameter real v_on=-1.78;
parameter real v_off=0.0115;
parameter real IV_relation=0;
// IV_relation=0 means linear V=IR.
// IV_relation=1 means nonlinear V=I*exp{..}
parameter real x_on=0;
parameter real x_off=3e-09; // equals D

// local variables
real lambda;

/////////////////////////////////Nonlinear Ion Drift model/////////////////////////////////

parameter real alpha = 2;
parameter real beta = 9;
parameter real c = 0.01;
parameter real g = 4;
parameter real N = 14;
parameter real q = 13;
parameter real a = 4;

```

```

analog function integer sign;
//Sign function for Constant edge cases
    real arg; input arg;
    sign = (arg >= 0 ? 1 : -1 );
endfunction

analog function integer stp;    //Stp function
    real arg; input arg;
    stp = (arg >= 0 ? 1 : 0 );
endfunction

//////////////////// MAIN //////////////////////

analog begin

    if(first_iteration==0) begin
        w_last=init_state*D;
// if this is the first iteration,
//start with w_init
        x_last=init_state*D;
// if this is the first iteration,
// start with x_init
    end

////////////////////Linear Ion Drift model //////////////////////

if (model==0) begin // Linear Ion Drift model

    dwdt =(uv*Ron/D)*I(p,n);

    //change the w width only if the

```

```

// threshold_voltage permits!
    if(abs(I(p,n))<threshold_voltage/R) begin
        w=w_last;
        dwdt=0;
    end

// No window
    if ((window_type==0)|| (window_type==4)) begin

        w=dwdt*dt+w_last;

    end // No window

// Jogelkar window
    if (window_type==1) begin

        if (sign(I(p,n))==1) begin
            sign_multiply=0;
            if(w<p_window_noise) begin
                sign_multiply=1;
            end
        end

        if (sign(I(p,n))==-1) begin
            sign_multiply=0;
            if(w>(D-p_window_noise)) begin
                sign_multiply=-1;
            end
        end

        w=dwdt*dt*(1-pow(pow(2*w/D-
1,2),p_coeff))+w_last+sign_multiply*p_window_noise;

```

```
end // Jogelkar window
```

```
// Biolek window
```

```
if (window_type==2) begin
```

```
    if (stp(-I(p,n))==1) begin
```

```
        stp_multiply=1;
```

```
    end
```

```
    if (stp(-I(p,n))==0) begin
```

```
        stp_multiply=0;
```

```
    end
```

```
    w=dwdt*dt*(1-pow(pow(w/D-stp_multiply,2),p_coeff))+w_last;
```

```
end // Biolek window
```

```
// Prodromakis window
```

```
if (window_type==3) begin
```

```
    if (sign(I(p,n))==1) begin
```

```
        sign_multiply=0;
```

```
        if(w<p_window_noise) begin
```

```
            sign_multiply=1;
```

```
        end
```

```
    end
```

```
    if (sign(I(p,n))==-1) begin
```

```
        sign_multiply=0;
```

```
        if(w>(D-p_window_noise)) begin
```

```
            sign_multiply=-1;
```

```
        end
```

```
    end
```

```

        w=dwdt*dt*J*(1-pow(pow(w/D-
0.5,2)+0.75,p_coeff))+w_last+sign_multiply*p_window_noise;

    end // Prodromakis window

    if (w>=D) begin
        w=D;
        dwdt=0;
    end

    if (w<=0) begin
        w=0;
        dwdt=0;
    end

    //update the output ports(pins)
    R=Ron*w/D+Roff*(1-w/D);
    w_last=w;
    Metr(w_position) <+ w*w_multiplied;
    V(p,n) <+ (Ron*w/D+Roff*(1-w/D))*I(p,n);
    first_iteration=1;

end // end Linear Ion Drift model

////////// Simmons Tunnel Barrier model ////////////

if (model==1) begin // Simmons Tunnel Barrier model

    if (sign(I(p,n))==1) begin

        dxdt =c_off*sinh(I(p,n)/i_off)*exp(-exp((x_last-a_off)/x_c-abs(I(p,n)/b))-
x_last/x_c);
    end
end

```

```

if (sign(I(p,n))== -1) begin
    dxdt = c_on*sinh(I(p,n)/i_on)*exp(-exp((a_on-x_last)/x_c-abs(I(p,n)/b))-
x_last/x_c);
    end
    x=x_last+dt*dxdt;
if (x>=D) begin
    x=D;
    dxdt=0;
end
if (x<=0) begin
    x=0;
    dxdt=0;
end

//update the output ports(pins)
R=Ron*(1-x/D)+Roff*x/D;
x_last=x;
Metr(w_position) <+ x/D;
V(p,n) <+ (Ron*(1-x/D)+Roff*x/D)*I(p,n);
first_iteration=1;

end // end Simmons Tunnel Barrier model

```

```

////////////////////// TEAM model ////////////////////////

```

```

if (model==2) begin // TEAM model

```

```

    if (I(p,n) >= i_off) begin

```

```

        dxdt =K_off*pow((I(p,n)/i_off-1),Alpha_off);

```

```

    end

```

```

    if (I(p,n) <= i_on) begin

```



```

    dxdt =K_on*pow((I(p,n)/i_on-1),Alpha_on);
end

    if ((i_on<I(p,n)) && (I(p,n)<i_off)) begin
dxdt=0;
end

// No window
    if (window_type==0) begin

x=x_last+dt*dxdt;

end // No window

// Jogelkar window
if (window_type==1) begin

    if (sign(I(p,n))==1) begin
        sign_multiply=0;
        if(x<p_window_noise) begin
            sign_multiply=1;
        end
    end
    if (sign(I(p,n))== -1) begin
        sign_multiply=0;
        if(x>(D-p_window_noise)) begin
            sign_multiply=-1;
        end
    end

    x=x_last+dt*dxdt*(1-pow(pow((2*x_last/D-
1),2),p_coeff))+sign_multiply*p_window_noise;

```

```

end // Joglekar window

// Biolk window
if (window_type==2) begin

    if (stp(-I(p,n))==1) begin
        stp_multiply=1;
    end
    if (stp(-I(p,n))==0) begin
        stp_multiply=0;
    end

    x=x_last+dt*dxdt*(1-pow(pow((x_last/D-stp_multiply),2),p_coeff));

end // Biolk window

// Prodromakis window
if (window_type==3) begin

    if (sign(I(p,n))==1) begin
        sign_multiply=0;
        if(x<p_window_noise) begin
            sign_multiply=1;
        end
    end
    if (sign(I(p,n))==-1) begin
        sign_multiply=0;
        if(x>(D-p_window_noise)) begin
            sign_multiply=-1;
        end
    end
end

```

```
    x=x_last+dt*dxdt*J*(1-pow((pow((x_last/D-  
0.5),2)+0.75),p_coeff))+sign_multiply*p_window_noise;
```

```
end // Prodromakis window
```

```
//Kvatinsky window
```

```
if (window_type==4) begin
```

```
    if (I(p,n) >= 0) begin
```

```
        x=x_last+dt*dxdt*exp(-exp((x_last-a_off)/x_c));
```

```
    end
```

```
    if (I(p,n) < 0) begin
```

```
        x=x_last+dt*dxdt*exp(-exp((a_on-x_last)/x_c));
```

```
    end
```

```
end // Kvatinsky window
```

```
if (x>=D) begin
```

```
    dxdt=0;
```

```
    x=D;
```

```
end
```

```
if (x<=0) begin
```

```
    dxdt=0;
```

```
    x=0;
```

```
end
```

```
    lambda = ln(Roff/Ron);
```

```
//update the output ports(pins)
```

```
    x_last=x;
```

```

Metr(w_position) <+ x/D;

if (IV_relation==1) begin

    V(p,n) <+ Ron*I(p,n)*exp(lambda*(x-x_on)/(x_off-x_on));

end

else if (IV_relation==0) begin

    V(p,n) <+ (Roff*x/D+Ron*(1-x/D))*I(p,n);

end

first_iteration=1;

end // end Team model

////////// Nonlinear Ion Drift model //////////

if (model==3) begin // Nonlinear Ion Drift model

    if (first_iteration==0) begin
        w_last=init_state;
    end

    dwdt = a*pow(V(p,n),q);

// No window
    if ((window_type==0) || (window_type==4)) begin
        w=w_last+dt*dwdt;
    end // No window

```

```

// Joglekar window
if (window_type==1) begin

    if (sign(I(p,n))==1) begin
        sign_multiply=0;
        if(w<p_window_noise) begin
            sign_multiply=1;
        end
    end
    if (sign(I(p,n))==-1) begin
        sign_multiply=0;
        if(w>(D-p_window_noise)) begin
            sign_multiply=-1;
        end
    end

    w=w_last+dt*dwdt*(1-pow(pow((2*w_last-
1),2),p_coeff))+sign_multiply*p_window_noise;

end // Joglekar window

// Biolek window
if (window_type==2) begin

    if (stp(-V(p,n))==1) begin
        stp_multiply=1;
    end
    if (stp(-V(p,n))==0) begin
        stp_multiply=0;
    end

    w=w_last+dt*dwdt*(1-pow(pow((w_last-stp_multiply),2),p_coeff));

```

```

        end // Biolek window

// Prodromakis window
    if (window_type==3) begin

        if (sign(I(p,n))==1) begin
            sign_multiply=0;
            if(w<p_window_noise) begin
                sign_multiply=1;
            end
        end
        if (sign(I(p,n))==-1) begin
            sign_multiply=0;
            if(w>(D-p_window_noise)) begin
                sign_multiply=-1;
            end
        end

        w=w_last+dt*dwdt*J*(1-pow((pow((w_last-
0.5),2)+0.75),p_coeff))+sign_multiply*p_window_noise;
    end // Prodromakis window

    if (w>=1) begin
        w=1;
        dwdt=0;
    end

    if (w<=0) begin
        w=0;
        dwdt=0;
    end

//change the w width only if the

```

```

// threshold_voltage permits!

    if(abs(V(p,n))<threshold_voltage) begin
        w=w_last;
    end

//update the output ports(pins)
w_last=w;
    Metr(w_position) <+ w;
    I(p,n) <+ pow(w,N)*beta*sinh(alpha*V(p,n))+c*(exp(g*V(p,n))-1);
    first_iteration=1;

end // end Nonlinear Ion Drift model

//////////////////// VTEAM model //////////////////////

if (model==4) begin // VTEAM model
    if (V(p,n) >= v_off) begin
        dxdt =K_off*pow((V(p,n)/v_off-1),Alpha_off);
    end
    if (V(p,n) <= v_on) begin
        dxdt =K_on*pow((V(p,n)/v_on-1),Alpha_on);
    end
    if ((v_on<V(p,n)) && (V(p,n)<v_off)) begin
        dxdt=0;
    end
end

// No window

if (window_type==0) begin

x=x_last+dt*dxdt;

end // No window

```

```

// Jodelkar window
if (window_type==1) begin

    if (sign(V(p,n))==1) begin
        sign_multiply=0;
        if(x<p_window_noise) begin
            sign_multiply=1;
        end
    end
    if (sign(V(p,n))==-1) begin
        sign_multiply=0;
        if(x>(D-p_window_noise)) begin
            sign_multiply=-1;
        end
    end
    x=x_last+dt*dxdt*(1-pow(pow((2*x_last/D-
1),2),p_coeff))+sign_multiply*p_window_noise;

end // Jodelkar window

// Biolk window
if (window_type==2) begin

    if (stp(-V(p,n))==1) begin
        stp_multiply=1;
    end
    if (stp(-V(p,n))==0) begin
        stp_multiply=0;
    end
    x=x_last+dt*dxdt*(1-pow(pow((x_last/D-stp_multiply),2),p_coeff));
end // Biolk window

```



```

// Prodromakis window
if (window_type==3) begin
    if (sign(V(p,n))==1) begin
        sign_multiply=0;
        if(x<p_window_noise) begin
            sign_multiply=1;
        end
    end
    if (sign(V(p,n))== -1) begin
        sign_multiply=0;
        if(x>(D-p_window_noise)) begin
            sign_multiply=-1;
        end
    end
    x=x_last+dt*dxdt*J*(1-pow((pow((x_last/D-
0.5),2)+0.75),p_coeff))+sign_multiply*p_window_noise;

end // Prodromakis window

//Kvatinsky window2 VTEAM only
if (window_type==5) begin
    if (V(p,n) >= 0) begin
        x=x_last+dt*dxdt*exp(-exp((x_last-a_off)/x_c));
    end
    if (V(p,n) < 0) begin
        x=x_last+dt*dxdt*exp(-exp((a_on-x_last)/x_c));
    end
end // Kvatinsky window
if (x>=D) begin
dxdt=0;
x=D;

```

```

end

if (x<=0) begin
dxdt=0;
x=0;
end

    lambda = ln(Roff/Ron);
//update the output ports(pins)
    x_last=x;
    Metr(w_position) <+ x/D;
if (IV_relation==1) begin
    V(p,n) <+ Ron*I(p,n)*exp(lambda*(x-x_on)/(x_off-x_on));
end
else if (IV_relation==0) begin
    V(p,n) <+ (Roff*x/D+Ron*(1-x/D))*I(p,n);
end
first_iteration=1;
end // end VTEAM model

    end // end analog
endmodule

```