

**MİKROİŞLEMCİLER YARDIMI  
İLE STEP MOTOR KONTROLÜ**

**Yavuz TÜRKAY**

15453

T.C.

ERCIYES ÜNİVERSİTESİ

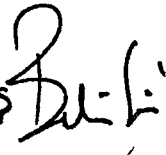

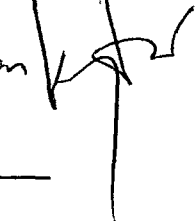
FEN BİLİMLERİ ENSTİTÜSÜ'NE ELEKTRONİK

ANABİLİM DALINDA YÜKSEK LİSANS TEZİ OLARAK SUNULMUŞTUR

Temmuz - 1991

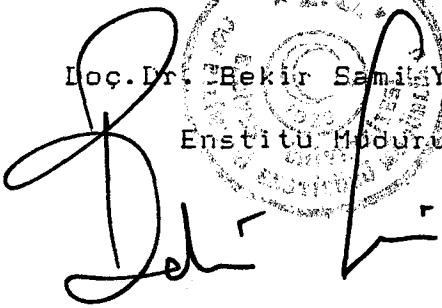
ERCIYES UNİVERSİTESİ  
Fen Bilimleri Enstitüsü Müdürlüğü'ne

Bu çalışma, jürimiz tarafından Elektronik Anabilim dalı'nda Yüksek Lisans tezi olarak kabul edilmiştir.

Başkan : Doç.Dr. Bekir Sami YILBAŞ   
Üye : Yrd.Doç.Pr. M.Kemal Kıymık   
Üye : Yrd.Dr. Kenan Damsız 

Onay :

Yukardaki imzaların adı geçen öğretim üyelerine ait olduğunu onaylarım.

11.8.1991  
Doç.Dr. Bekir Sami YILBAŞ  
Enstitü Müdürü 

## ÖZET

Step motorların kullanımı günümüzde gittikçe yaygınlaşmaktadır. Bunların Mikrobilgisayarlarla kullanımı ise bilgisayar kontrollu takım tezgahlarının (CNC) ve robot teknolojisinin gelişmesine yolaçmıştır. Bu tezin hazırlanış amacı mikroişlemcili bir devre vasıtası ile step motoru kontrol etmektir.

Step motorun çalışma prensibi, tipleri ve imkanları incelenerek ayrıntılı bir şekilde sunuldu. Step motorların yetenekleri onları sürmek için kullanılan devreler ile yakından alakalıdır. Çeşitli sürücü devreler incelendi ve bunların çalışma prensipleri hakkında genel bilgiler verildi.

Step motorun adım sayısı, yönü ve adım tipi hakkındaki datalar PC bilgisayarın Klavyesinden okundu ve bu datalara göre motorun sürücü devresü için gerekli olan taban sinyaller mikroişlemcili devrenin çıkışından elde edildi.

## SUMMARY

Nowadays step motors are being used increasingly in Industry. Because micromputers and CNC and robots were rapidly developed by using step motors. In this thesis the step motors were trayed to be controlled by using microprocessor set.

The types f step motors and the principle of step motors were investigated and detailly presented. The capasty of step motors are relates to their driver circuits. A variety of driver circuits were also investigated and presented.

All the datas of step motors were obtained from the keyboard of the PC computer. These datas number of steps and type of steps and direction. The base signal type of driver circuit of step motor were provided from the microprocessor set.

### ÖZGEÇMİŞ

1966 yılında Sivas'ta doğdu. İlk ve orta öğrenimini Sivas'ta tamamladıktan sonra 1984 yılında Yıldız Üniversitesi Kocaeli Mühendislik Fakültesi Elektronik ve Haberleşme Mühendisliği bölümüne girdi. 1988 yılında mezun olduktan sonra 1989 yılında Cumhuriyet Üniversitesi Sivas Meslek Yüksek Okuluna öğretim görevlisi olarak çalışmaya başladı. 20 Ekim 1990 tarihinde II. Dünya Bankası Endüstriyel Eğitim Projesi kapsamında üç ay süre ile U.S.A'da Endüstriyel Elektronik dalında eğitim gördü. Halen aynı okulda öğretim görevlisi olarak çalışmaktadır.

### TEŐEKKUR

Bizlere ilim yolunda byle bir alıŐmayı laik gren Yce Allah'a minnet ve sonsuz Őkrler ederek, alıŐmalarım sresince yardım ve desteęini esirgemeyen deęerli hocam Yrd.Do.Dr. Kemal KIYMIK'a en iten Őkranlarımı sunarım.

Bu alıŐma boyunca yardım ve desteklerini esirgemeyen deęerli hocalarıma ve idari personele teŐekkr ederim.



## I Ç I N D E K I L E R

	<u>Sayfa No</u>
Özet .....	i
Summary .....	ii
Özgeçmiş .....	iii
Teşekkür .....	iv
İçindekiler .....	v
Şekiller .....	vi
<b>BÖLÜM - 1 STEP MOTORLAR</b>	
2.1. Multi-Stek VR Step Motor .....	1
1.1.1. Çalışma Prensibi.....	1
1.1.2. Görünüş Dizaynı.....	5
1.2. Tek stek VR Step Motorlar.....	7
1.3. Hybrit Step Motorlar.....	10
1.4. Motor Tiplerinin Karşılaştırılması.....	13
<b>BÖLÜM - 2 SÜRÜCÜ DEVRELER</b>	
2.1. Unipolar Sürücü devreler.....	16
2.2. Bipolar Sürücü devreler.....	17
2.3. Bifilar Sargılar.....	20
2.4. Sürücü Devre Dizaynı.....	23
2.5. Bilevel Sürüm.....	25
<b>BÖLÜM - 3 MİKROİŞLEMCİLER VE DEVRE BİRİMLERİ</b>	
3.1 CPU Registerleri.....	30
3.1.1. Data Registerleri.....	32
3.1.2. Segment Registerler.....	33

2.1.3.	Pointer ve İndeks Registerler.....	34
3.1.4.	Komut Gösterici (Instruction Pointer) Register.....	35
3.1.5.	Program Durum Gösterici Register (Program Status Word Register).....	35
3.2.	Bellek, Segment, Offset.....	37
3.3.	Seri Haberleşme.....	40
3.3.1.	Senkron ve Asenkron Haberleşme.....	40
3.3.2.	USART ve UART.....	43
3.3.3.	Baud Oranı ve Baud Oran Üretici.....	48
3.3.4.	RS-232C Arabirimi.....	49
3.3.5.	Tek Yönlü, Yarı Çift Yönlü ve Tam Çift Yönlü İletim Bağlantıları.....	51
BÖLÜM - 4		
4.1.	Hafıza Haritası.....	53
4.2.	Çevre Birimlerin Adres Seçimi.....	54
4.3.	Kullanılan Entegre Devreler İçin Bacak Bağlantıları.....	55
4.3.1.	EPROM (2764).....	55
4.3.2.	RAM (6264).....	56
4.4.	Giriş ve Çıkış Bağlantıları.....	57
4.4.1.	8155 ile Giriş Çıkış Portu.....	57
4.4.1.1.	8155'in Kurulması.....	58
4.4.2.	8255A'nın Giriş Çıkış Portu Olarak Kullanımı.....	61
4.4.3.	Seri Bağlantı.....	65
4.5.	Mikroişlemcili Devre ile Step Motorun Kontrolü.....	66



BÖLÜM - 5

5.1. EPROM Programı.....	70
TARTIŞMA VE SONUÇ.....	85
KAYNAKLAR.....	88
EK1 - Devre Şeması, Yerleştirme Planı ve Baskılı Devresi.	
EK2 - Entegre Katalogları	



## Ş E K İ L L E R

Sayfa No

	<u>Sayfa No</u>
Şekil 1.1. Üç stek variable relüktans step motor için kesit görünüşü.....	1
Şekil 1.2(a) Üç stekli VR step motorun şafta paralel kesit görünüşü.....	2
Şekil 1.2(b) Üç stekli VR step motorun şafta dikey kesit görünüşü.....	3
Şekil 1.3. Kutup sargılarının bağlanış şekli..	6
Şekil 1.4. Tek stek VR step motorun şafta dikey kesit görünüşü.....	9
Şekil 1.5(a) Hybrit motorun şafta paralel kesit görünüşü.....	10
Şekil 1.5(b) Hybrit motorun şafta düşey olarak kesit görünüşü.....	11
Şekil 1.6. Sabit mıknatıslı step motor.....	14
Şekil 2.1 Ünipolar sürücü devre.....	17
Şekil 2.2. Bir faz için transistör köprülü bipolar sürücü devre.....	18
Şekil 2.3. Bifilar sargıların karşılaştırması.	21
Şekil 2.4 Bifilar sargılı motorun bir sargısı için ünipolar sürücü devre.....	22
Şekil 2.5. Bir faz için devre modeli.....	24
Şekil 2.6. Bilevel sürüm ve dahili uyarım esnasında efektif değerler.....	25

Şekil 2.7.	Bilevel sürüm için faz akım dalga biçimi.....	26
Şekil 2.8.	Choper sürüm ve dahili uyarım için efektif devreler.....	28
Şekil 2.9.	Choper sürüm için transistör anahtarlama zamanları akım dalga biçimleri.....	29
Şekil 3.1.	8088 registerleri.....	31
Şekil 3.2.	Flag (bayrak) register.....	36
Şekil 3.3	Basit hafıza organizasyonu.....	38
Şekil 3.4(a)	Seri haberleşme (b) Senkron data iletim formatı.....	41
Şekil 3.5(a)	Asenkron haberleşme (b) Asenkron data iletim formatı.....	42
Şekil 3.6.	UART'ın blok diyagramı.....	45
Şekil 3.7	Mikrokomputer ile terminal arasındaki basit asenkron haberleşme bağlantısı.	47
Şekil 3.8.	RS-232C'nin bacakları ve fonksiyonları	50
Şekil 3.9.	(a) Simpleks haberleşme hattı. (b) Yarı dupleks haberleşme hattı. (c) Tam dupleks haberleşme hattı....	52
Şekil 4.1.	Hafıza haritası.....	53
Şekil 4.2.	74LS139 ile adres seçimi.....	54
Şekil 4.3.	2764'ün bacak bağlantısı.....	56
Şekil 4.4.	6264'ün bacak bağlantısı.....	57
Şekil 4.5.	8155'in blok olarak gösterimi.....	58
Şekil 4.6	8155 durum registeri ve bit bit anlamları.....	59

Şekil 4.7.	(a) Bord çıkış bağlantıları ve anlamı	
	(b) Borddaki çıkış hattının görünüşü	60
Şekil 4.8.	8255A'nın blok diyagramı.....	62
Şekil 4.9	Kontrol kelimesi ve fonksiyonları..	63
Şekil 4.10	(a) 8255A'nın çıkış için kullanılan bacak fonksiyonları. (b) Bord üzerinde yerleştirilmiş konnektör bağlantısı.....	65
Şekil 4.11.	Seri konnektör bağlantısı.....	65



## BÖLÜM - 1

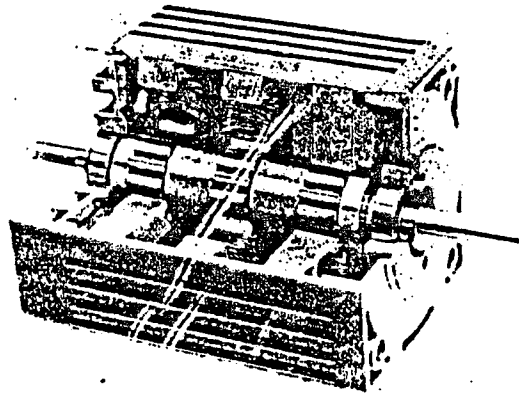
### STEP MOTORLAR

#### 1.1 MULTI-STACK VARIABLE RELUKTANS STEP MOTORLAR

##### 1.1.1. ÇALIŞMA PRENSİBİ

Multi-Stack Variable Reluktans step motorlar aksenel doğrultuda birbirinden manyetik olarak izole edilmiş bölümlerden (STEK) meydana gelir. Her bir stekte ayrı sargılar mevcuttur. Şekil 1.1 'de böyle bir motorun kesiti görülmektedir. Mesela bu motor üç stek ve üç faza sahiptir, ayrıca daha fazla sayıda stek ve faza sahip motorlar piyasada mevcuttur.

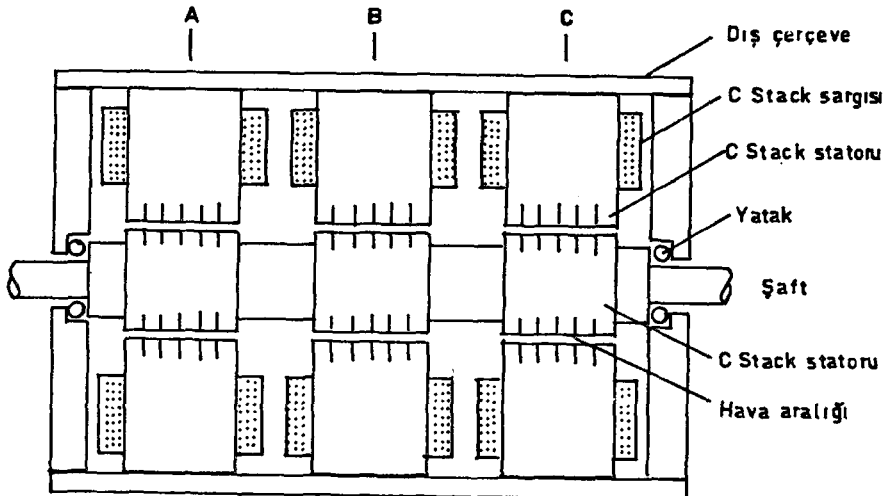
Herbir stekte bir stator ve bir rotor vardır ve bu rotor tek parça olarak üretilir. Rotor harici yük bağlantılarının gerçekleştirilebilmesi için shaft ve yataklar yardımı ile Şekil 1.2 (a)'de görüldüğü gibi sabitleştirilir. Stator ve rotor amaca uygun olarak yumuşak demirden imal edilirler. Rotor ve statorun yumuşak demirden yapılmasındaki amaç; manyetik alanların ince tabakalara ayrılmasına (Kuvvet çizgileri) ve eddy akımlarının aşırı azalmaksızın değişmesine sebep olmaktır.



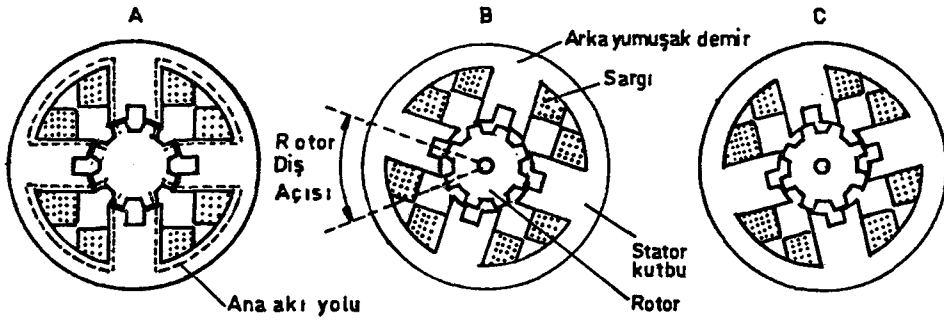
Sekil 1.1. Üç Stek Variable Reluktans step motor için kesit görünüşü. [1]

Her bir stektteki statorun kutuplarının belirli bir sayısı vardır. Şekil 1.2.(b)'de dört kutup ve dört fazlı motorda radyal manyetik alan üretimi kutuplar etrafında meydana gelir. Komşu kutuplar karşılıklı olarak etkileşirler. Böylece komşu kutuplardaki manyetik alanın yönü karşılıklı kutuplardaki manyetik alanın yönü ile aynı yöndedir. Her stek için manyetik yol; Herhangi bir statordan başlar, hava aralığı, rotor, komşu stator kutbu ve arka yumuşak demir gövde yolu ile manyetik devre başlangıç stator kutbuna gelindiğinde tamamlanmış olur. Bu manyetik devre karşılıklı kutupların herbiri için tekrarlanır. Bu olayı daha iyi anlayabilmek için Şekil 1.2.(b) 'de görüldüğü gibi akı yolunu üç farklı yolla incelemek gerekmektedir.

Belirli bir stekin statoruna ilişkin rotorun pozisyonunu tain etmek mümkündür. Ancak bu pozisyon faz sargıları uyarıldığı zaman doğru olarak tain edilebilir. Doğru pozisyon rotor ve stator dişlerinin eşit sayıları sağlandığında söylenebilir.



Şekil 1.2(a) Uç stekli VR step motorun şafta paralel kesit görünüşü. [1]



Şekil 1.2(b) Üç stekli VR step motorun şaftta dikey kesit görünüşü. [1]

Ayrıca stek manyetik devresinin relüktansınada bağlıdır. Burada rotor ve stator dişleri tamamen sıralıdır, devre reluktansı minimumdur ve stektteki manyetik akı maksimum değerindedir.

Şekil 1-2(b)'deki step motorda sekiz stator-rotor dişi mevcuttur ve A steki uyarım için uygun pozisyonudadır. Her stekin rotor dişlerine motor eksenini boyunca bakıldığında bu dişlerin sıralı olduğu görülecektir. Oysa stator dişleri ile stekler arasında daha farklı bir ilişki mevcuttur. Bu durumda stek B ve stek C stator ve rotoru tam sıralı değildirler. Uyarımın A stekinden B stekine geçmesi durumunda B stekinin rotor-stator dişleri tam bir sıralama halini alacaktır. Bu yeni sıralama esnasında rotor saat yelkovanı doğrultusunda dönme işlemi yapmıştır. Bu durumda motor bir adım dönmüştür deriz.

Saat yelkovanı doğrultusunda başka bir adımın üretilebilmesi için C stekinin uyarılması gereklidir. Sonuç olarak ardışık adımlar sonucunda A steki başlangıçta olduğu gibi tam bir sıralanmış konuma gelir. Burada ayrıca rotor diş açısından sözetmek gereklidir. Rotor diş açısı komşu ikik rotor dişi arasındaki açıdır ve Şekil 1-2 (b) 'de gösterildiği gibidir. Bu yüzden üç stekli bir motorda uyarımın üç kez

tekrarlanması durumunda motor üç adım atmış olur veya bir rotor dişi açısı kadar hareket etmiştir denilebilir. Saat yelkovanı doğrultusundaki devamlı dönüş (adımlar) ardışık uyarımın tekrarı ile sağlanır. Saat yelkovanı doğrultusundaki dönüş için ardışık uyarım A B C A B C A B C ..... şeklindedir. Saat yelkovanı dönüşü ters yönündeki ardışık uyarım ise A C B A C B A C B ..... şeklinde olmalıdır.

Multi-Step Variable Reluktans Step motorlar için stator rotor diş sayıları steklerin sayısı ve adım uzunluğu arasında basit bir ilişki vardır. Motor N stek (ve Faz)'a sahip olsun N adımın toplam rotor hareket üretimi her bir stekin temelinde ardışık olarak uyarılmasına bağlıdır. Aynı stek ardışılığın başında ve sonunda uyarılır. Stator ve Rotor dişleri sıralandığında bu stek bir rotor açısı kadar dönmüştür. Burada diş açısı  $360/p$  dereceye eşittir. Burada P rotor diş sayısıdır. Uyarımın bir kez değişimi için dönme mesafesi;

$$\text{ADIM SAYISI} = \frac{360}{N * P} \quad \text{derece}$$

olacaktır.

Şekil 1-2'de resmi verilen motor üç stek ve sekiz rotor dişine sahip olup bu durumdaki adım uzunluğu  $15^\circ$ 'dir. Multi-Step variable reluktans step motorlarda tipik adım uzunluğu 2-15 derece arasındadır olabilir.

Daha iyi Multi-Step dizaynları isteğe bağlı olarak üretilebilir. Dolayısıyla kullanıcı adım uzunluğunu tercih hakkına sahiptir. Örnek olarak üç stek, onaltı rotor dişli bir motorda adım uzunluğu 7.5 derecedir. Ekstra bir stekle 5.625



derecelik bir adım elde etmek mümkündür.[1]

### 1.1.2 GÖRÜŞ DİZAYNI

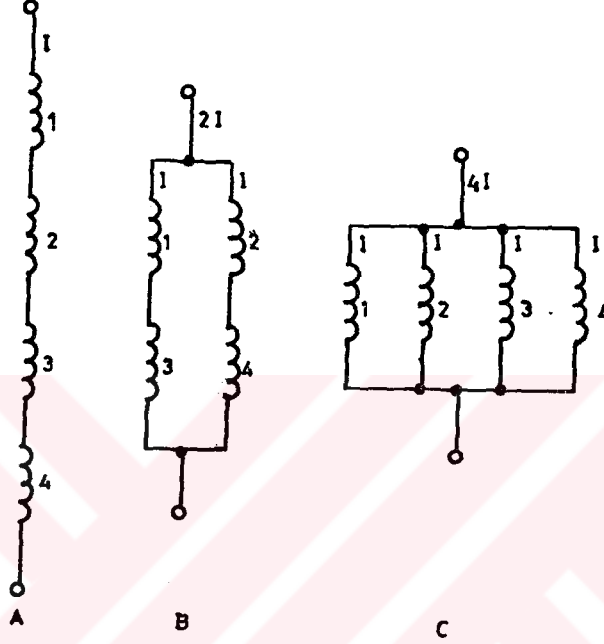
Multi-Stek step motorun herbir kutbu bir sargı ihtiva ederki bu sargıya DC bir akım uygulandığında kutup etrafında radyal bir manyetik alan üretilir. Step motorun performansı bu manyetik alanın doğrultusuna bağlıdır. Adım pozisyonunda akının yüksek değeri yüksek tork oluşturur.

Buradaki pozisyonda Rotor ve Stator dişleri tamamen sıralı olup Şekil 1.2(b)'de görülmektedir. Ana akı yolunun reluktansı minimum değerindedir. Akımın küçük değeri için yumuşak demir Rotor/Stator'un kutup sargıları akı yoğunluğu küçüktür. Akı yolunun bu bölümlerinin relüktansı rotor ve stator dişleri arasındaki hava aralığının relüktansından daha düşük değerdedir. Sargı akımının artışı neticesinde belirli bir değerden sonra yumuşak demirdeki akı yoğunluğu doyuma ulaşacaktır.

Diğer bir sınır ise; Kutup alan çizgileri sargı akımlarının ısı etkisini ortaya çıkarır. Sargılardaki güç kaybı akımın karesi ile orantılı olup sargılardaki sıcaklık artışı yüksek akım değerleri için daha fazla olacaktır. Uygulamalarda en çok sıcaklık artışına verilen tepki-sargı yalıtımıdırki buda akımla sınırlı bir degere sahiptir. Variable-Relüktanslı step motorlar için kutupların akı yoğunluğu ve sargı sıcaklık artışı iyi bir dizayn ile efektif olarak sınırlandırılabilir. Yumuşak demir Stator/Rotor sargı akımı artışında manyetik olarak doyuma ulaşılır.

Şekil 1.2 'deki üç stekli motorda her stekte dört kutup ve dört kutup sargısı vardır. Bir stektteki dört sargı birbirine

uygun bir şekilde bağlanıp tahrik edilmelidir. Dört sargının birbirine bağlanmasındaki üç farklı metod Şekil 1.3 'de görüldüğü gibidir.



Şekil 1.3. Kutup sargılarının bağlanış biçimleri. [1]  
 (a) seri  
 (b) seri/paralel  
 (c) paralel

Her ne kadar kutup sargı akım oranı sadece kabuledilebilir sıcaklık artışına bağlıyorsa da faz akımının uygun değeri Tablo 1.1 'de verilmiştir.

Faz voltajı sargılarının akım değerinin faz sargılarına dönele olarak uygulanması zorunluluğu vardır. Seri bağlantı için faz akımı küçük ve paralel bağlantıya nazaran gerilimi yüksektir. Fakat beslemede fazlar arasında bir gerilim farkı yoktur. Birçok imalatçı sargıların birbirlerine bağlanmasına göre sınıflandırır ve buna göre üretirler.

BAĞLANTI	AKIM DEĞERİ	DİRENÇ	GERİLİM DEĞERİ	GÜÇ
SERİ	I	4R	4RI	4RI <sup>2</sup>
SERİ/ PARALEL	2I	R	2RI	4RI <sup>2</sup>
PARALEL	4I	R/4	RI	4RI <sup>2</sup>

TABLO 1.1. [1]

I : Kutup sargı akım değeri  
R : Kutup sargısı direnci

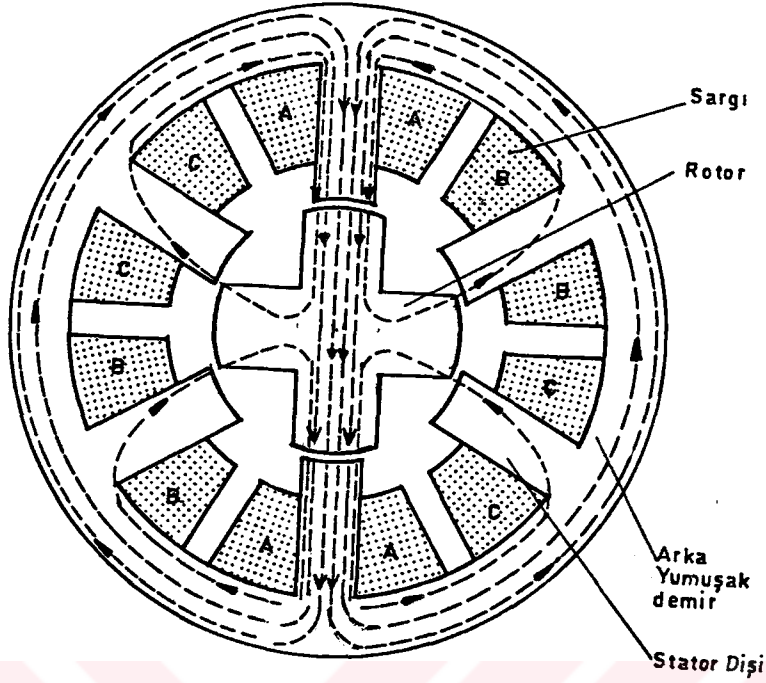
## 1.2. TEK STEK VR STEP MOTORLAR

Bu motorun ismindende anlaşılacağı gibi tek bir ünite şeklinde üretilirler, bunun için şaftta paralel geçiş bölgesi Şekil 1.1 ve 1.2 'de verilen örneğin bir stekine benzerdir. HERNASILSA Şekil 1.4 'de gösterilen şafttan geçiş bölgesi tek ve multi stekler arasındaki farklılık esası açıklanır.

Kabuledilen Stator düzeni; arka yumuşak demir gövdeden Stator/Rotor dış aralığını ihtiva ettiği görülür. Her faz DC akım tarafından uyarıldığında radial manyetik alan bobinlerde üretilir. Şekil 1.4'deki motor altı stator dişine sahiptir ve bu dişlerin karşılıklı sargılarının birleştirilmesi ile birer faz oluşturulur. Bu yüzden bu motorda üç faz vardır. Diğer bir deyişle dönme meydana getirebilmek için minimum sayıda faza ihtiyaç vardır. Her dişteki radial manyetik alan hava boşluğuna doğru yönlendirilir. Bunun için her bir dişte manyetik alan hava

boşlugundan dışa doğru yönlendirilir. Ana akı yolu bir faz uyarımı için dişlerinin herbirinden hava boşlugunun karşısındaki rotor dişine oradan doğrusal olarak diğer rotor dişine, rotor dişinden diğer hava boşluguna, hava boşlugunun karşısındaki stator dişine ve arka gövde yolu ile manyetik devre tamamlanmış olur. Şekil 1.4 'de gösterildiği gibi ana akı yolunun haricinde diğer fazlarda da küçük akı yolları meydana gelecektir. Bu ikincil akı yolları tek stekli step motorun faz sargıları arasında karşılıklı akı bağlantısı oluşturur.

Rotorun en dikkat çeken özelliği stator dişlerinin farklı sayıya sahip olmasıdır. Şekil 1.4 'deki örnekte dört adet rotor dişi vardır. Ana akıyı taşıyan rotor dişlerinin yalnız ikisi bir faz ile uyarılır. Fakat diğer rotor diş çiftleri, komşu stator diş çiftleri uyarılmadığından bu rotor diş çiftlerinde herhangi bir hareket yoktur. Uyarılan faz değiştirilirse yeni uyarılan stator dişi ile başka rotor diş çifti aynı doğrultuya gelir. A fazının uyarımı ile Şekil 1.4 'deki biçimde rotor pozisyonu yeni pozisyona adapte olacaktır. Uyarım B fazına aktarılırsa rotor bir adım hareket eder (saat yelkovanı ters doğrultusunda). Bu durumda rotor dişleri ile stator dişleri aynı doğrultuya gelmiştir. Bir diğer uyarımın C fazına tatbik edilmesi neticesinde Rotor saat yelkovanı ters doğrultusunda bir adım daha gerçekleştirmiş olacaktır. Ardışık bir uyarımla yani A B C A B C ..... gibi saat yelkovanı ters yönü doğrultusunda ardışık bir dönme meydana getirilebilir. Yine Şekil 1.4 'de görüldüğü gibi rotor dönme yönü stator manyetik alanı ile ters doğrultudadır.



Şekil 1.4. Tek stek VR step motorun şafta dikey doğrultuda kesit görünüşü. [1]  
 - - - :A fazının uyarım neticesindeki akı yolu.

Adım uzunluğu rotor diş ve faz sargıları sayısı ile basitçe açıklanabilir. Rotor hareketinin bir devri N adım ile ifade edilir. N adımın tekrarı ile rotor başlangıç konumuna dönlür. Rotor diş sayısı P ile ifade edilen bir motor için, diş aralığı  $360/P$  derece olarak tesbit edilebilir. N adımlık bir harekette:

$$\text{ADIM UZUNLUĞU} = \frac{360}{N P}$$

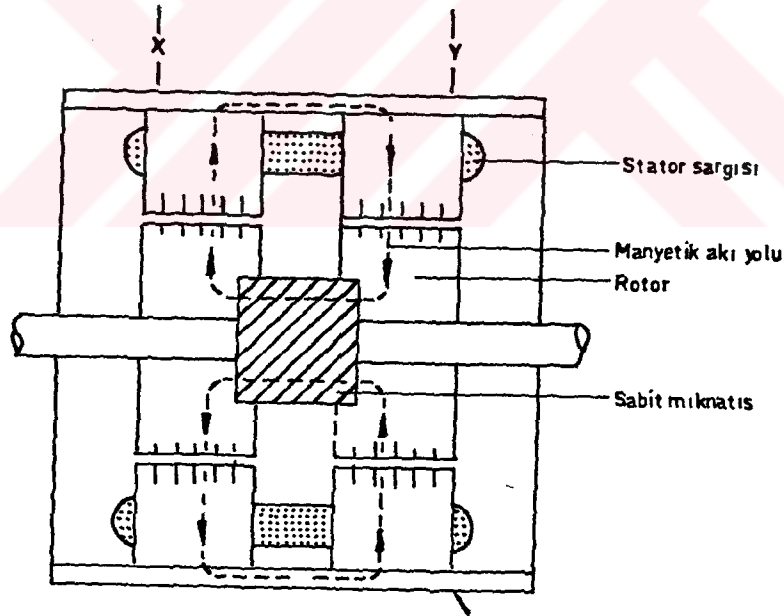
Şekil 1.4 'deki üç faz ve dört rotor dişine karşılık  $30^\circ$ 'lik bir adım uzunluğu mevcuttur. Stator diş sayısı faz ve rotor diş sayısı ile sınırlı olup  $30^\circ$ 'lik bir adıma sahiptir.

Stator diş sayısı rotor diş ve faz sayıları ile sınırlıdır. Herbir faz birkaç stator dişi üzerine dağıtılır. Stator dan rotora yoğun bir akı akışının gerçekleşebilmesi için

stator diş sayısı faz sayılarının katları olmak zorundadır. Üç fazlı bir motorda 6, 12, 18 veya 24 stator dişinin olması zorunludur. [1]

#### 1.4. HYBRID MOTORLAR

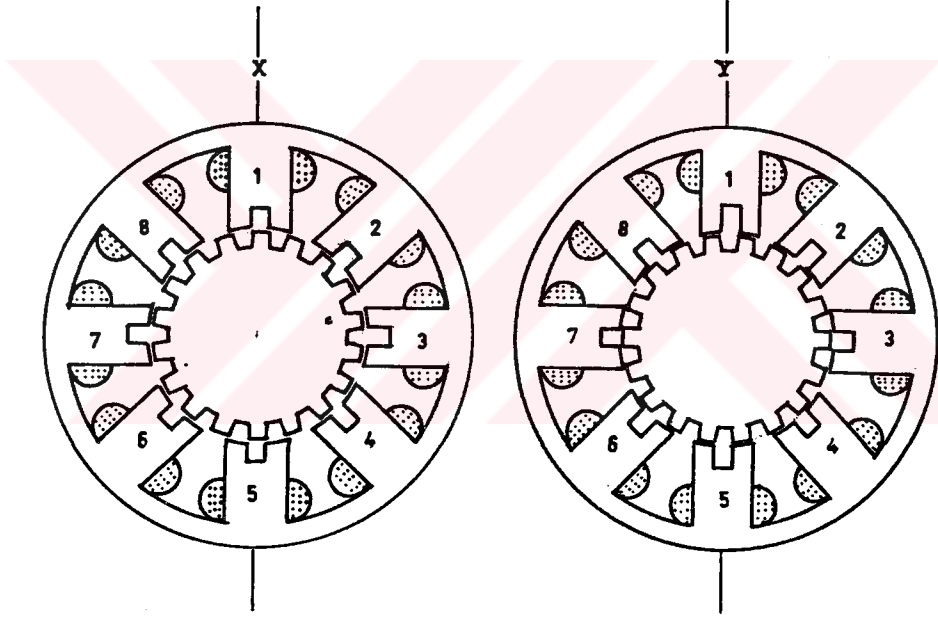
Bu motorun rotoru üzerinde daimi bir mıknatıs vardır. Aynı akı yolu, Şekil 1.5(a)'da gösterildiği gibi akı N kutbundan başlar, hava aralığını düşey olarak geçer X bölümüne ulaşır, dış çerçeveyi yatay olarak geçtikten sonra Y bölümüne ulaşır. Y bölümü düşey olarak stator rotor hava aralığında dahil olmak üzere geçilir ve S kutbuna varılmak suretiyle manyetik devre tamamlanmış olur.



Şekil 1.5(a) Hybrid motorun şafta paralel kesit görünüşü. [1]

Sekiz stator kutuplu Motor Şekil 1.5(b)'de görülmektedir. Her kutup iki dişe sahiptir ve her statorda bir sargı mevcuttur. Bu sargılar rotorun pozisyonuna göre, rotorda üretilen manyetik

akıyı azaltabilir veya artırabilir. Statorların dişleri üzerinde her bir faz için gerekli olan dört sargı çifti vardır. A sargısı 1,3,5,7 kutuplarına , B sargısı ise 2,4,6,8 numaralı kutuplara monte edilmiştir. Her bir faz diğeri ile zıt konumdadır. A fazı pozitif bir akımla uyarılırsa manyetik alan dikey olarak yönlendirilir. Bu durumda 3 ve 7 numaralı kutuplardaki manyetik alanlar dışa doğru, 1 ve 5 numaralı kutuplardaki manyetik alanlar ise içe doğru yönelmiştir. B sargısına uygulanan akıma göre manyetik alanın yönü ise aynı şekilde bulunabilir.



Şekil 1.5(a) Şafta düşey olarak Hybrit step motorun kesit görünüşü. [1]

Manyetik akı yolu üzerinde sargı uyarımının etkisi A sargısının pozitif akımla tahrik edilmesi durumunda anlaşılabilir. X bölümündeki manyetik akı 3 ve 7 numaralı kutuplarda dışa doğru yönelmek zorundadır. Y bölümünde ise bu kutuplardaki manyetik akı zıt konumda yönelmiştir. Böylece 1 ve 5 numaralı kutuplarda manyetik akı radyal olarak içeri doğru

yönelmek zorundadır.

Stator ve rotor dış yüzeyleri her ikisinde de dişli biçindedir. Şekil 1.5(b)'de gösterilen motorda sekiz kutup vardır ve her bir kutup üzerinde iki adet diş mevcut olup toplam olarak bu motorun bütün kutuplarında 16 adet diş vardır. Buna karşılık rotorda ise 18 adet diş vardır. X ve Y durumlarında stator ve rotor dişlerinin dizilişi aynı şekilde değildir. Manyetik akı kutup uyarımı sebebi ile yoğunlaştırılırsa rotorda düzenli hale geçme eğilimi ortaya çıkacaktır. Bu durum şekildeki X pozisyonunda 3 ve 7 kutbunda, Y pozisyonunda ise 1 ve 5 kutbunda görülmektedir.

Sürekli dönme için kutup sargıları ardışık olarak tahrik edilmelidir. A sargısı pozitif bir akımla uyarılırsa, uyarımdan dolayı A sargısının bu kutupları motoru bir adım döndürecek ve döndürme işlemi bu kutuplar düzenli hale geçinceye kadar devam edecektir. Bu durumda X bölümünde 4 ve 8 numaralı kutuplar, Y bölümünde ise 2 ve 6 numaralı kutuplar düzenli hale geçecektir. Bu işlem neticesinde saat yelkovanı doğrultusunda bir dönme elde edilmiş olur. İkinci bir adım için B sargısına pozitif bir uyarım tatbik edilmelidir. Sonuç olarak ardışık dönme için  $A+, A- B-, A+ B+, A- B-, \dots$  gibi ardışık olarak sargılar uyarılmalıdır. Saat yelkovanı ters doğrultusunda dönme için gerekli olan ardışık uyarım ise  $A+ B-, A- B+, A+ B-, \dots$  gibi olmalıdır. ✓

Herbir adım uzunluğu rotor dişi sayısına (P) bağlıdır. Bir tahrikin tam devri bu motor için dört farklı durum ihtiva eder ve bu durumda rotor dört adım hareket eder. Bundan sonraki herbir dört adım aynı niteliğe sahiptir. Böylece dört adımın



teşkil ettiği mesafe bir rotor dişi mesafesi kadardır. [1]

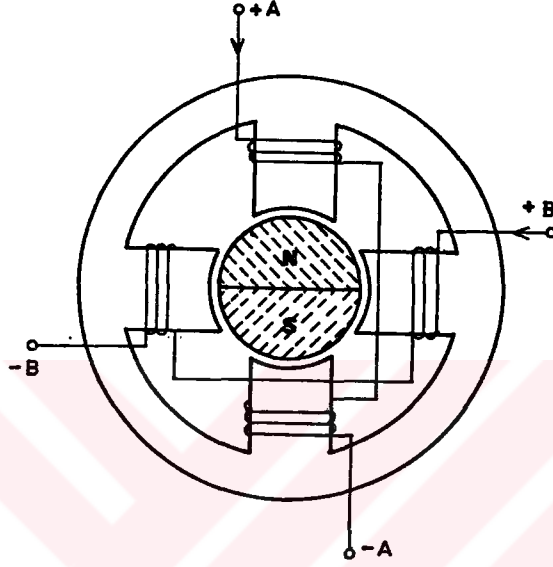
$$\text{ADIM UZUNLUĞU} = \frac{90}{P} \quad (1.3)$$

### 1.5. MOTOR TIPLERİNİN KARŞILAŞTIRILMASI

Sistem dizayncıları hybrid ve Variable-reluktans step motorları arasında herhangi birini tercih etmek zorunda kalırlarsa, bu motorların uygulamalardaki etkilerine göre tercih hakkını kulanma yoluna giderler. Hybrit motorlar küçük adım uzunluğuna sahiptirlerki (tipik olarak 1.8 derece) bu özellik yüksek açısal duyarlılık istenen durumlarda avantaj sağlayabilir. Hybrit motorlar sınırlı çalışma alanlarında yüksek tork ve küçük adım büyüklüğü içeren uygulamalar için tercih edilirler. Hybrit motorun sargılarında herhangi bir uyarım yok ise bu durumda motorun bünyesinde küçük bir manyetik akı üretilirki bu akı rotorun adım pozisyonunda kalmasını sağlar. Yani bir sonraki adım için başlangıç pozisyonu muhafaza edilmiş olur. Bir veya daha fazla fazın uyarılması durumunda bu muhafaza edici manyetik akı yeni üretilen manyetik akı tarafından elemine edilir. Bu durum yetersiz güç ile fazların uyarılması durumunda rotor pozisyonunu muhafaza etmek açısından oldukça önemlidir.

Variable-reluktanslı step motorların birkaç adım dönmesi ile hatırı sayılır bir mesafe katedilmesine ihtiyaç duyulan durumlarda iki önemli avantajı vardır. Birincisi; tipik adım uzunlukları (15°) hybrid motorlardan daha büyüktür. Böylece değişen sayıda adımlarla daha uzun mesafeler katedilebilir. Adım

sayılarının azaltılması değişen düşük uyarımlarla belirlenir. Variable-reluktanslı step motorun diğer bir özelliği ise hybrid motorlardan daha düşük mekanik atalet momentine sahip olmalarıdır. Bunun sebebi ise rotorları üzerinde sabit mıknatısın bulunmasıdır. [1]



Şekil 1.6. Sabit mıknatıslı step motor. [1]

Diğer bir step motor tipi olan sabit mıknatıslı step motordurki bu motor yapısal olarak tek stekli variable-reluktanslı step motor ile benzer stator yapısına sahiptir. Fakat rotoru dişli şeklinde değildir ve sabit mıknatıstan imal edilmiştir. Şekil 1.8 'deki örnekte rotor iki manyetik kutba sahiptirki sargı uyarımında stator dış organizasyonu her iki kutup ile sıralıdır. İki sargının ard arda uyarılması neticesinde  $90^\circ$ 'lik bir adım elde edilir. Akımın yoğunluğu sabit mıknatıslı motorlarda çok önemlidir. Rotor pozisyonu A sargısına uygulanan pozitif akım için gösterilmiştir. B sargısına ardışık bir uyarım tatbik edilmesi durumunda saat yelkovanı doğrultusunda bir dönme elde edilir. B'ye negatif

bir gerilim uygulanması durumunda saat yelkovanı dönüşü ters yönünde bir dönme elde edilir. Bu motorlar üretimi sabit mıknatısın imali bakımından oldukça zordur. Bu yüzden geniş bir kullanım sahası bulamazlar. Ayrıca sabit mıknatıslı step motorun her Ünitesindeki tork ayarı gerçekte çok zayıftır, bu yüzden küçük boyutlarda sınırlı olarak üretilirler.

Diger bir motor tipi ise elektro hidrolik step motordurki bu motorlar yüksek degerli tork isteyen durumlarda kullanılan motor tipleridir. Bu motor kapalı çevrim hidrolik sistemlerinde küçük elektriksel step motorlara giriş teşkil ederler. [1]



## BÖLÜM - 2

### SÜRÜCÜ DEVRELER

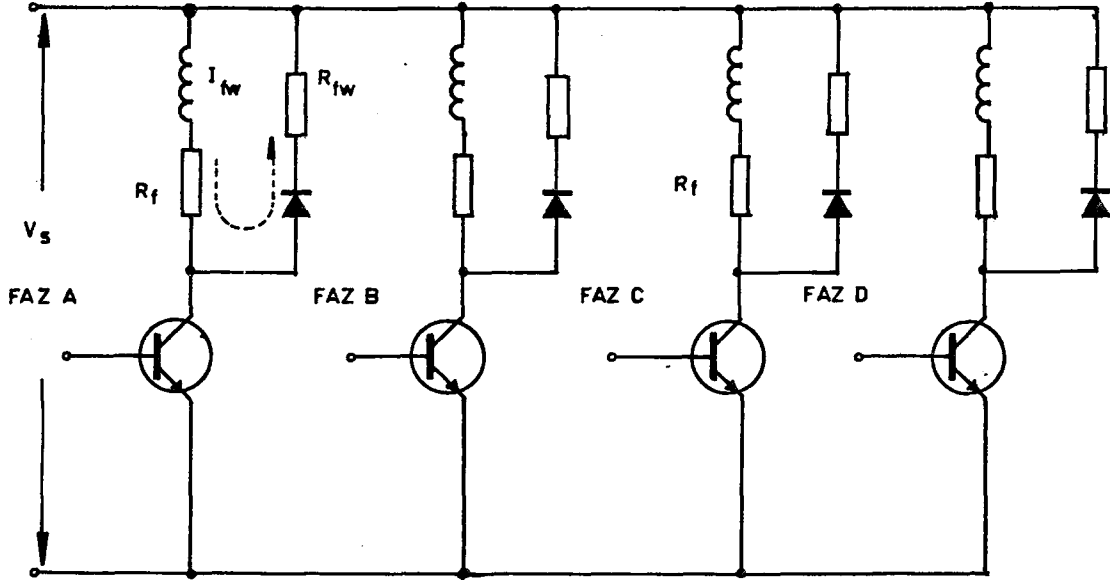
Bir step motor için kontrol sinyali küçük güç değişimleri ile belirlenir. 1 - 2 Nm'lik tork veren bir variable relüktans step motor 5 Volt 3 Amper'lik sargı akımı oranına sahiptir. Bu yüzden sürücü devre için bıpolar jonksiyon transistörlü devreler ilkedir. Kontrol edici devreler anahtarlama amplifikasyonunun muhtelif konumları yolu ile motor uyarılmalıdır. Uyarım alan etkili transistörlü VMOS'larla doğrudan sağlanabilir. Birçok üretici firma motorlarla sürücü devrelerini birlikte üretirler. Fakat bu sürücü devre kullanım amacına uymayabilir böyle durumlarda gerekli sürücü devrenin ihtiyaç duyulan özelliklere göre dizayn edilmesi gerekmektedir. Bu bölümde bahsedilen sürücü devreler temel ve uygun potansiyele sahip sürücü devrelerdir.

Variable relüktanslı step motorlarda üç faz vardır. Fakat faz akımları sadece ON ve OFF gibi anahtarlama pozisyonlarına ihtiyaç duyar. Akım yoğunluğu tork üretiminde belirsizdir. Bu devre doğrusal olmayan akımlar ürettiği için Unipolar sürücü devreler olarak isimlendirilirler. Variable relüktans step motor ile birlikte kullanıldığı için Bölüm 2.2 de bahsedilecektir. [1]

#### 2.1. UNIPOLAR SÜRÜCÜ DEVRELER

Basit sistemde sürücünün direnci (R/L) sınırlıdır. Şekil 2.1 'de temel devre görülmektedir.

Faz sargıları uyarıldığında transistör doyumdadır. Faz sargıları hatırı sayılır bir endüktansa sahiptir. Gerçek zaman



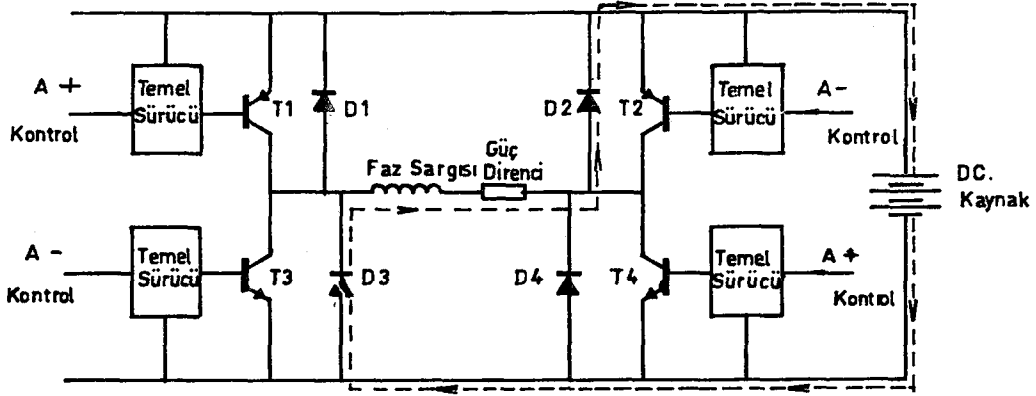
Şekil 2.1. Unipolar sürücü devre [1]

sabiti ( $L/R$ ) oldukça uzundur. Yüksek hızlarda faz akımı, faz akımı oranına kadar yükselemeyebilir. Güç direnci yeterli cevabın alınabilmesi için elektriksel zaman sabiti değerine eklenebilir. ( $L/R+R_f$ ) böylece bu değer besleme geriliminin ortalama artışını ihtiva eder.

Faz endüktansının sınırlı olmasından dolayı, transistör tıkamaya geçtiğinde faz akımı hemen sıfır olmayabilir. Faz akımı serbest akım yolu olarak nitelendirdiğimiz diyot ve direnç üzerinden azalmaya devam eder. Bu durum transistörü istenmeyen endüktif gerilimlerin etkilerinden korumuş olur.[1]

## 2.2. BİPOLAR SÜRÜCÜ DEVRELER

Transistör köprülü bipolar sürücü devrenin hybrit veya sabit mıknatıslı motorlar için uygun hali Şekil 2.2 'de görüldüğü gibidir.



Şekil 2.2. Bir faz için transistör köprülü bipolar sürücü devre. - - -:  $T_1$  ve  $T_4$  transistörleri off iken serbest akım yolu. [1]

Transistörler akım polarite ihtiyacına göre anahtarlama yaparlar.  $T_1$  ve  $T_4$  transistörleri faz sargılarının pozitif uyarımı için ON konumundadır. Böylece akım yolu beslemeden  $T_1$  transistörü üzerinden faz sargıları ve faz sargılarına seri bağlı direnç üzerinden geçer,  $T_4$  transistörü iletimde olduğundan akım  $T_4$  transistörü üzerinden kaynağın negatif ucuna ulaşır. Eğer  $T_2$  ve  $T_3$  transistörleri iletimde iseler bu durumda faz sargılarındaki akımın doğrultusu ters yönde olacaktır.

Köprüdeki dört anahtar transistör iki farklı faz kontrol sinyalini yükselterek dağıtırlar. Üstteki transistörler ( $T_1$  ve  $T_2$ ) taban sürücülerinin referans gerilimleri pozitif olmalıdır. Bu yüzden üstteki temel sürücü devresindeki faz kontrol sinyali genellikle optiksel yalıtım yolu ile iletilir.

Anahtar transistör ile ters paralel bağlı dört adet diyot vardırki bu diyotlar serbest akımlar için bir yol teşkil ederler. Bu serbest akım yolu Şekil 2.2 'de gösterilmiştir.  $T_1$  ve  $T_2$  transistörleri tıkamaya geçtiğinde DC gerilim kaynağı hemen akım devresini  $D_2$  ve  $D_3$  diyotları üzerinden tamamlar. Bunu sonucunda transistörlerin tıkama anında faz sargıları

üzerinde depolanan enerji DC kaynağa geri döner.

Bipolar sürücü devresindeki serbest akımlar unipolar devreden daha hızlı bozular.

ÖRNEK : 40 mH ortalama bir faz endüktansı, 2 amper faz akım oranı ve 40 voltluk bir gerilim kaynağından uyarılmaktadır. Bu devrede toplam faz direnci 20 ohmdur. Kapamada faz akımının sıfıra düşmesi için geçen zaman ve saklanan endüktif enerjinin ne kadarı kaynağa döner ?

Faz akımının kapama pozisyonuna geçmesi başlangıç akım değeri olan +2 amperden -2 ampere doğrudur. Bu geçiş expolansiyel olarak gerçekleşecektir. Eger faz elektriksel değişim zamanı T ise ( T = 2 msn) ve kapama t=0'da başlar. Bu durumdaki akım :

$$i = 2.0 * \text{EXP}(-t/T) - 2.0 * [1 - \text{EXP}(-t/T)]$$

$$= -2.0 + 4.0 * \text{EXP}(-t/T)$$

Burada expolansiyel serinin ilk iki terimi yaklaşık olarak alınabilir :

$$i = -2.0 + 4.0 * (1 - t/T)$$

$$= 2.0 - 4.0 * (t/T)$$

Akım sıfıra düştüğü andaki geçen zaman t ise :

$$0 = 2.0 - 4.0 * (t'/T)$$

$$t' = T/2.0 = 1 \text{ msn}$$

kaynağa dönen güç ise  $V * i$  dir. Burada V kaynak gerilimidir.

Kaynağa dönen güç :

$$= \int_0^{t'} V * i \, dt$$

$$\begin{aligned}
 &= \int_0^{t'} 40.0 * (2.0 - 4.0 * t/T) dt \\
 &= (800 * t' - 80 t'^2/T) = 40 \text{ mJ}
 \end{aligned}$$

İndüktansta başlangıçta saklanan enerji =  $LI_2/2 = 80 \text{ mJ}$  Bu durumda indüktanstaki saklanan enerjinin % 50 'si kaynağı dönmektedir. [1]

### 2.3. BİFİLLER SARGILAR

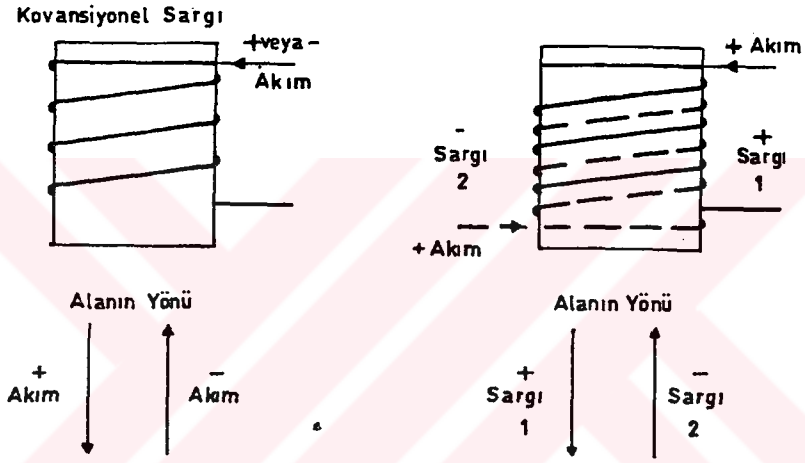
Bipolar transistörlü sürücü devre her faz için dört transistör/diyot çifti içerir. Basit ünipolar sürücü devre her faz için yalnızca bir diyot transistör çifti içerir. Hybrid step motor için sürücü maliyetleri variable-relüktanslı step motorlardan daha fazladır. hybrid motorun iki fazı için gerekli olan sürücü devrede sekiz tane diyot ve transistör çifti vardır. Fakat üç fazlı variable-relüktanslı step motor için ihtiyaç duyulan devrede ise sadece üç transistör ve diyot çifti vardır. Köprü konfigürasyonunda pozitif besleme hattına bağlı transistör çiftleri için temel sürücü izolasyonu oldukça zordur. Normal bir hybrid motora ücret açısından bakıldığında birçok dezavantajı vardır. Bu yüzden üreticiler bifilar sargılı hybrid motoru piyasaya sürmüşlerdir.

hybrid motor sargılarında doğrusal olmayan akımın akışı stator kutuplarında doğrusal olmayan manyetik alan üretir. Aynı cevap bifilar sargı ile Şekil 2.3.'de bir kutup için gösterilmiştir. Manyetik alanın doğrultusu sargılardan birinin doğrusal olmayan akımla uyarılmasına bağlıdır. Normal bir pozitif akımla Şekil 2.3'deki manyetik alan pozitif akımın



bifilar+sargılara uyarımı ile elde edilir. Sargılardaki negatif bir akımın etkisi ise bifilar-sargının pozitif uyarımının üstesinden gelir.

Bifilar kutup sargılarının herbiri orjinal sargı ve aynı akım değerinde olma zorunluluğuna sahiptir. Bifilar sargı normal sargının ikinci değerine sahiptir. Bu durumda ise üretim fiyatları artar. Dolayısıyla küçük boyutlu motorların üretiminde

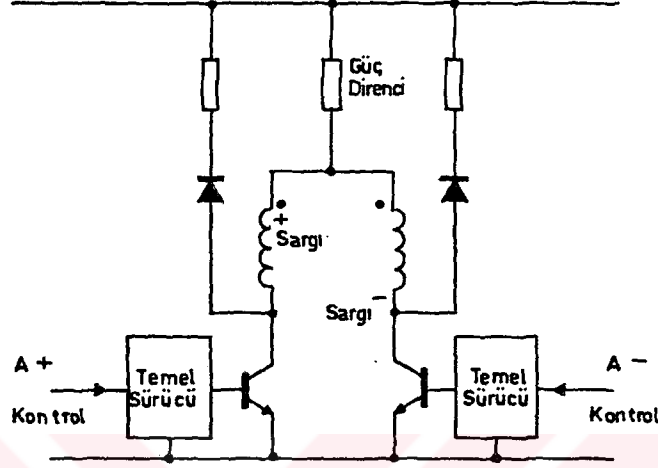


Şekil 2.3. Bifilar sargıların karşılaştırılması [1]

sürücü devrelerin maliyetinden daha önemli bir maliyet artışı ile karşılaşılır.

Bir fazın iki bifilar ünipolar sürücü devrelerde olduğu gibi uyarım parçalanır Şekil 2.4'de görüldüğü gibi seri direnç bifilar sargılar arasında eşit bir şekilde paylaşılır. Burada her faza sadece iki transistör/diyot çifti düşer. İki fazlı ve bifilar sargılı hybrid motor sürümü sadece dört transistör ve diyot çifti ile gerçekleştirilir. Bu sürücü maliyet olarak üç fazlı variable-relüktans step motor sürücü devresi ile eş maliyete sahiptir. Bifilar sargılı motorun sürümünde serbest

akım yolu ile sargılarda depolanan enerjinin DC kaynağa dönüşü söz konusu değildir. Bu yüzden bu tip sürüm köprü tipi sürümden daha düşük bir verime sahiptir.



Şekil 2.4 Bifilar sargılı motorun bir sargısı için unipolar sürücü devre. [1]

Her fazdaki bifilar sargılar motorun aynı stator kutupları üzerindedir. Sargılar arasında çift yönlü bir bağlantı vardır. Eğer her sargı manyetik doyum eksikliğinde  $N$  sarıma sahipse, kutup akısı sargı akımlarının farkı ile orantılıdır.

$$\phi = k_f N (i_1 - i_2) \quad (2.1)$$

Sargı akı bağıntıları ise :

$$\lambda_1 = N \phi = k_f N^2 (i_1 - i_2)$$

$$\lambda_2 = -N \phi = k_f N^2 (i_2 - i_1)$$

$i_1$  ve  $i_2$  akımlarının değişimi için sargılarda indüklenen gerilim

$$V_1' = d\lambda_1/dt = k_f N^2 (di_1/dt - di_2/dt)$$

$$= L di_1/dt - M di_2/dt$$

(2.2)

$$V_2' = d\lambda_2/dt = k_f N^2 (di_2/dt - di_1/dt)$$

$$= L di_2/dt - M di_1/dt$$

Burada L ve M sargı özelliği ve karşılıklı endüktans olarak bilinir. Bunların değeri ise  $k \cdot N^2$  büyüklüğüne eşittir.

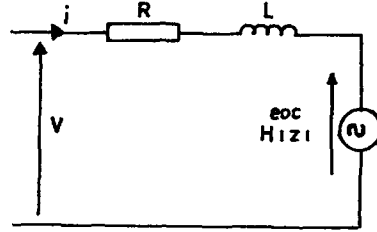
Sargılar arasındaki bağlantıdan dolayı bifilar faz sargılarının her ikisinin geçici kondisyonu açma ve kapama zamanları hesaplandığında gözönüne alınmalıdır. Güç direncinin paylaşımı sonucunda, Şekil 2.4.'deki sürücü devrede sargı akımları arasındaki omik bağlantı ek bir zorluk teşkil edebilir.

#### 2.4. SÜRÜCÜ DEVRE DİZAYNI

Variable-reluktans ve hybrid step motorların her ikisinin uygulama hız değeri faz direnci ile orantılıdır. Faz direnci güç direncinin değiştirilmesi suretiyle kontrol edilebilir. Düşük değerli bir güç direnci ile step motorun kontrolü mümkündür. Motor sükunet halinde iken faz akımının değerini koruyabilmesi için besleme geriliminin artırılmasına ihtiyaç duyulur. Dolayısıyla yüksek güçlü DC gerilim kaynaklarına ihtiyaç duyulur. Küçük motorlarda gerçek değerlere ulaşmak mümkündür. Çünkü bu tip motorlar için güç kaynağının boyutu önemli değildir. Daha büyük motorlarda gerekli hızlara ulaşabilmek için birkaç kilovatlık güç kaynaklarına ihtiyaç duyulur. Bu yüzden sürücü devrenin dizaynını yeniden incelemekte fayda vardır.

Motor yüksek hızlarda çalıştırıldığında sadece faz direnci ve yüksek değerli bir besleme kaynağına ihtiyaç vardır. Motor hareket etmiyorsa bu durumda besleme geriliminin büyük bir kısmı seri direnç üzerinde düşecek ve bundan dolayı bu direnç üzerinde bir ısı açığa çıkarkı bu durumda seri direncin soğutulması gibi

bir problemle karşılaşılırız. Bu yüzden basit seri direnç metodu hız değerinin değiştirilmesinde etkin bir metod değildir. Düşük hızlarda gücün büyük bir kısmı seri direnç üzerinde harcanır, mekaniksel çıkış gücü (Tork X Hız ) yüksek hızlarda düzeltilebilir.



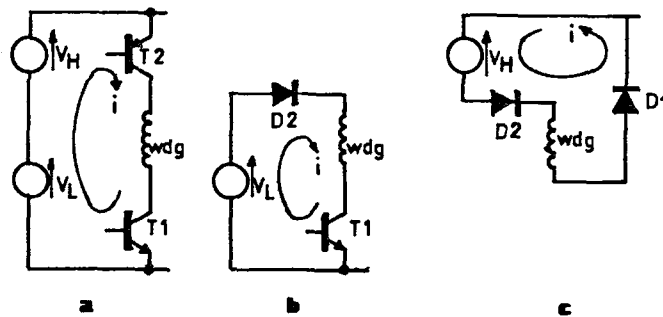
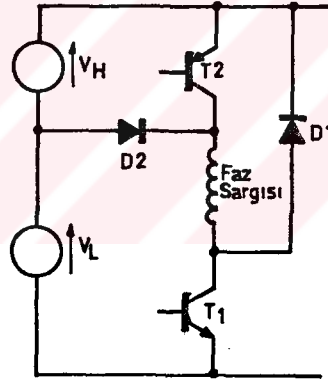
Şekil 2.5. Bir faz için devre modeli. [1]

Alternatif çalışma noktası faz sargıları için devre modelinden bulunur. Motor devre modelinin her iki tipi için endüktif bir gerilim içerir. Bu gerilim hız ile orantılıdır ve mekaniksel faz çıkış gücü bu gerilimin bir ürünüdür. Akımın akış yönüne zıt doğrultudadır. Akımın motora doğru bir akışı neticesinde motorun fazında endüktif bir gerilim indüklenir. Eğer motor yüksek hızlarda çalışıyorsa fazda indüklenen gerilim en yüksek değerindedir ve daha yüksek bir hız için uygulanan gerilim artırılmalıdır. Böylece sargıya doğru akan akım yeni bir hız üretir. Uygulanan gerilimin artışı faz direncinin artışı ile orantılı olmak zorundadır. Ayrıca sargı akımı motorun sükunet değerindeki sınır akımı değeri ile sınırlıdır. Sonuç olarak motorun hızını etkileyen faktörler arasında bu seri direncin etkisi oldukça önemlidir ve bu direncin akım sınırına etkisi güce etkisinden daha fazladır. Seri direnç üzerinde küçük bir gerilim düşümü olur ve uygulanan gerilim indüktif gerilim ile dengelenir.

sürücü devre için gerekli olan elemanları ise : Yüksek hızlar için yüksek değerli güç kaynağı ve bir seri dirençten ibarettir. Fakat düşük hızlarda faz akımı bu metod için hatırı sayılır derecede güç israfına sebep olur. Yani akımın direnç ile sınırlandırılması gücün bu seri direnç üzerinde harcanmasına sebep olur. [1]

## 2.5. BİLEVEL SÜRÜM

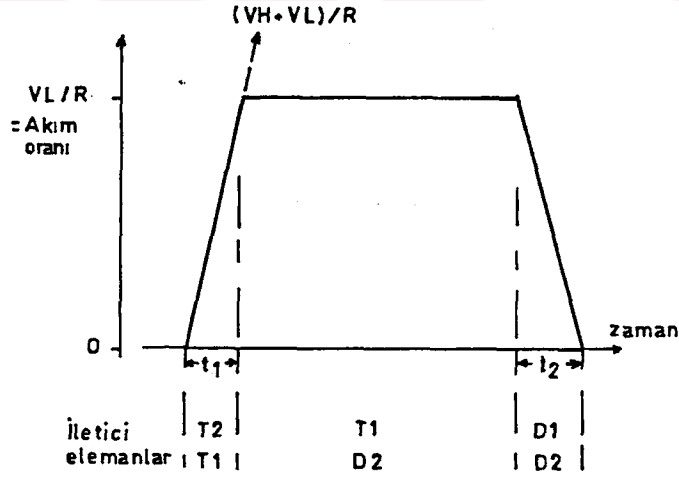
Bilevel sürümde iki tane farklı gerilim kaynağı vardır. Bu gerilim kaynaklarından  $V_H$  faz akımının ON veya OFF olması istendiğinde kullanılır,  $V_L$  ise ardışık uyarım durumunda akımın muhafaza edilebilmesi için kullanılır.



Şekil 2.6. Bilevel sürüm ve dahili uyarı esnasındaki efektif devreler. (a) ON pozisyonunda (b) Uyarım devam ederken (c) OFF pozisyonunda iken.[1]

Unipolar bilevel sürümün bir faz için devre şekli Şekil 2.6.'daki gibidir.  $T_1$  ve  $T_2$  transistörleri ilettime geçtiklerinde faz sargıları uyarılabilir. Bu durumda faz sargılara uygulanan gerilim  $(V_H + V_L)$  gerilim değerine eşittir.  $D_2$  diyodu  $V_H$  gerilimi ile ters kutuplanmıştır.

Burada akım sınırlayıcı bir direnç yoktur. Bu yüzden akımın başlangıç değeri sargı akım oranının birkaç katıdır. Kısa bir zaman sonra  $T_2$  transistörü tıkamaya gider ve  $V_L$  gerilim kaynağından akan sargı akımı  $T_1$  transistörü ve  $D_2$  diyodu üzerinden devresini tamamlar. Sargı akım oranı  $V_L$  gerilimi tarafından korunur ve akım oranı  $V_L/R$  'dir.  $T_1$  transistörüne uygulanan dahili uyarımın sonunda tıkamaya gider. Bu durumda sargı akımı devresini  $D_1$  ve  $D_2$  diyotları üzerinden tamamlar. Akımlardaki hızlı bozulma önceden bellidir. Çünkü  $V_H$  besleme gerilimi bu serbest akım yolunu ihtiva eder.



Şekil 2.7. Bilevel sürüm için faz akım dalga biçimi. [1]

Dahili bir uyarım için tipik bir akım dalga biçimi Şekil 2.6 'da görüldüğü gibidir. Faz sargısının basit bir modeli

modeli kullanılır. Akım artışı ( $t_1$ ) ve bozulma ( $t_2$ ) için geçen zaman hesaplanabilir. Eger sargı efektif bir L indüktansı ve R direncine sahipse, bu durumdaki faz akımı:

$$i = (V_H + V_L) \times [1 - \text{EXP}(-tR/L)]/R$$

Eger  $i \ll (V_H + V_L)/R$  ise :

$$i = (V_H + V_L) \times t/L$$

(2.3)

$T_2$  transistörü, faz akımı değeri ( $V_L/R$ ) oluncaya kadar iletimde olmalıdır. Bunun için geçen zaman  $t_1$  :

$$V_L/R = (V_H + V_L) \times t_1/L$$

$$t_1 = [V_L/(V_H + V_L)] \times (L/R)$$

(2.4)

Eger  $D = V_H/V_L$  kabul eder ve yukarıdaki eşitlikte yerine yazacak olursak :

$$t_1 = (L/R)/(D + 1)$$

(2.5)

Burada D aşırı sönüm oranı olarak bilinir. Eger aşırı sönüm oranı büyük ise faz akımına daha hızlı bir şekilde ulaşılır ve dolayısıyla yüksek uyarım hızları mümkündür.

Belli bir t süresi sonra  $T_1$  transistörü tıkamaya gider ve bu durumdaki faz akımı :

$$i = - (V_H + V_L) + [(V_L + V_H)/R] \times \text{EXP}(-tR/L)$$

Eger  $i \ll V_H/R$  ise

$$i = (V_L/R) - (V_L + V_H) t/L$$

(2.6)

Akım bu durumda  $t_2$  kadar süre sonra sıfıra düşer.

$$0 = - (V_H + V_L) t_2 L$$

$$t_2 = (L/R)(D + 1)$$

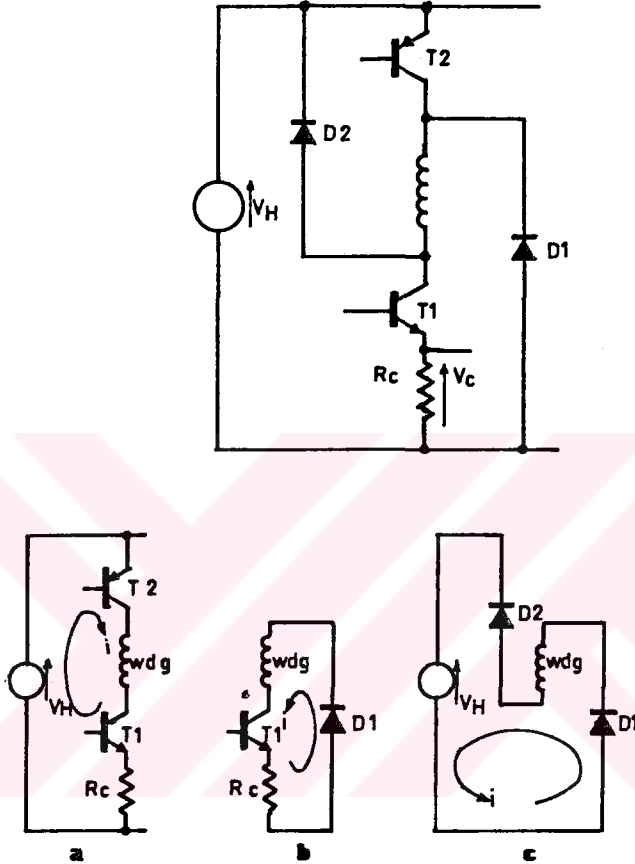
(2.7)

kısaca  $t_1$  ve  $t_2$  zamanlarının birbirine eşit olduğunu söyleyebiliriz.

## 2.7. CHOPER SÜRÜM

Bu sürücü devre Şekil 2.8'de unipolar formu

gösterilmektedir. Bu devrede  $V_H$  gibi bir gerilim kaynağı vardır ve bu gerilim faz sargılarına uygulanır. Eger faz uyarım sinyali hazırsa,  $T_2$  transistörü için devre sargı akımının  $R$  direnci

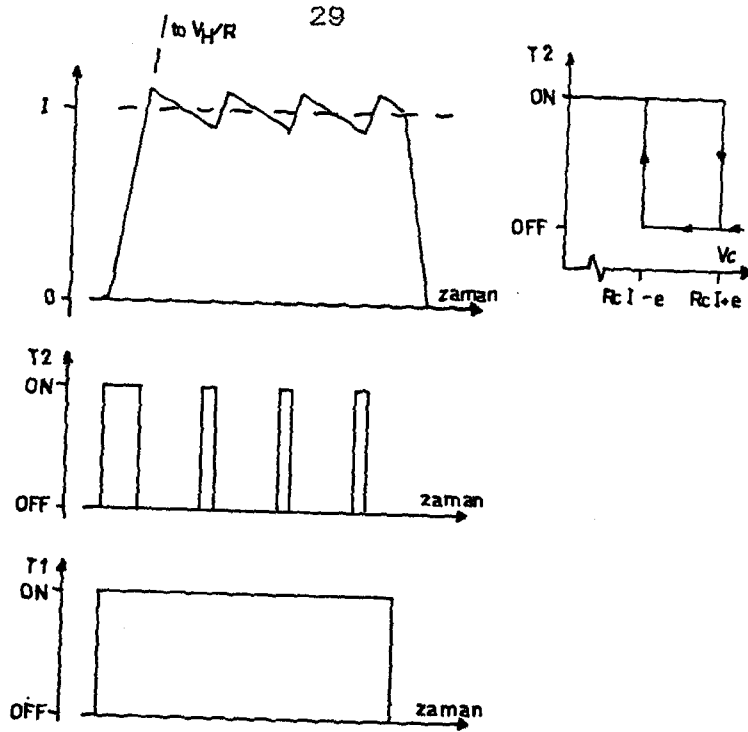


Şekil 2.8. Choper sürüm ve dahili uyarı için efektif devreler. (a) oran değerinden akım düşüşü (b) oran değere akım yükselişi (c) kapama anı [1]

üzerinde düşürdüğü  $v_c$  gerilimi yardımı ile kontrol edilir.  $T_1$  transistörü uyarımın başlangıcında iletimdedir ve  $T_2$  transistörü tükemadadır. Sargı akımı başlangıç değeri ise ilk anda sıfırdadır, bu yüzden herhangi bir  $v_c$  gerilimi söz konusu değildir ve  $T_2$  transistörü ilettime geçer. Bunun sonucunda kaynak geriliminin tamamı faz sargılarına uygulanır. Bu durum Şekil 2.8'de gösterilmektedir.

Faz akımı  $I$  değerinin önemsiz bir uyarımında hızlıca artar.





Şekil 2.9. Choper sürüm için transistör anahtarlama zamanları ve akım dalga biçimleri. [1]

Dolayısı ile kontrol gerilimi  $R_c I_e$  dir. Bu gerilim değeri  $T_2$  transistörünü tıkamaya geçirmek için yeterli bir değerdir. Faz sargılarına bir gerilim uygulanmadığı anda akım  $T_1, R_c$  ve  $D_1$  diyodu üzerinden azalır. Akımın azalışı gerçekte yavaştır.  $R_c$  direncinde herhangi bir değişme yok iken devrenin sargısından bir akım geçişi olabilir ve kontrol gerilimi  $T_2$  transistörü ON pozisyonuna geçtiğinde  $R_c I_e$  gerilimine düşer. Besleme geriliminin tamamı sargılara uygulanır ve ortalama değer üstüne doğru yükselir. Bu periyodik işlem uyarım zamanı tamamlanincaya kadar tekrarlanır. Sargı akımı bir kapalı çevrim ile gerçek akım değeri etrafında korunur.

Her iki transistör uyarımın ON'unda tıkamaya gider ve sargı akımı serbest akım yolunu  $D_1$  ve  $D_2$  diyotları üzerinden tamamlar. Akım şimdi kaynak voltajının zıt yönünde hızla sıfıra doğru düşmektedir. Kapama anında sargı indüktansında depolanan enerjinin yüksek bir oranı kaynağa döner ve bu yüzden sistemin veriminin yüksek olduğunu söyleyebiliriz. [1]

## BÖLÜM - 3

### MİKROİŞLEMCİLER VE DEVRE BİRİMLERİ

Bir mikroişlemci (Microprocessor), mikrobilgisayarların temel yapısını oluşturan bir chiptir. Bu temel yapı, bilgisayarın fonksiyonel gücünü belirler. Bir mikroişlemcinin temel bileşenleri şunlardır:

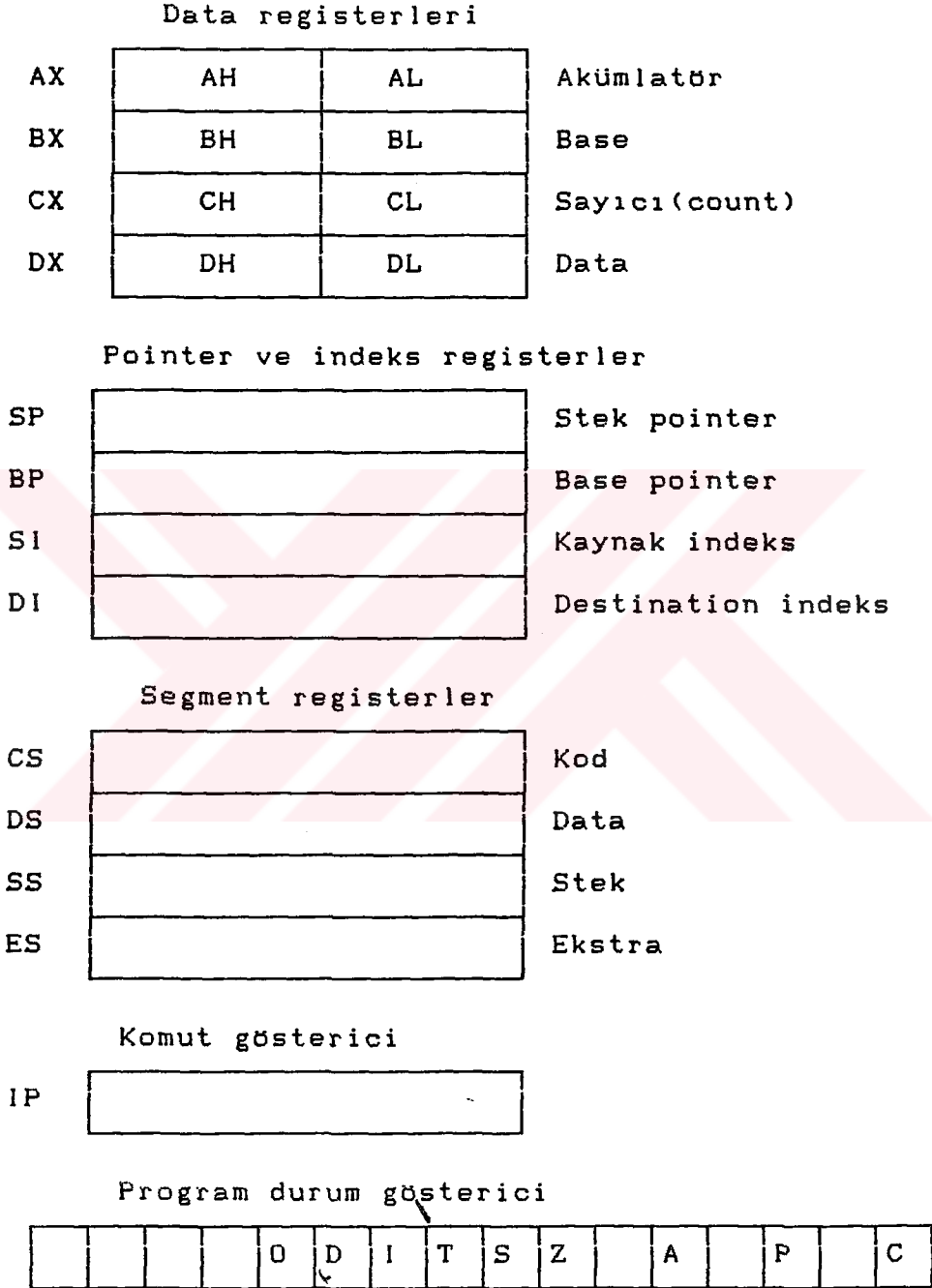
1. CPU
2. Bellek
3. I/O aygıtları
4. Bus'lar

Kısa gösterimi CPU (central Processing Unit) olan, merkezi işlem ünitesi, mikroişlemcinin kendisidir. Bellek ve giriş/çıkış (I/O) üniteleri, bus adı verilen elektronik hatlar ile CPU'ya bağlı bulunmaktadır. CPU tüm çevre aygıtları (monitör, disk, klavye, printer gibi) ile iletişim kurarak bunlar arasındaki bilgi alış verişinin gerçekleşmesini sağlar.[3]

#### 3.1. CPU REGISTERLERİ

8088 mikroişlemcisi register adı verilen 14 adet bölümden oluşur. Her biri 16 bit genişliğinde olan bu bölümlere özel bellek birimleri şeklinde düşünebiliriz. Bu registerler mikroişlemci tarafından özel amaçlar için kullanılırlar. Ayrıca çeşitli verilerin geçici süreler için saklanması ve bu veriler üzerinde işlem yapılması için registerlerden yararlanılır. Registerler CPU chiplerinin

üzerinde yer aldıklarından, registerler ile yapılan işlemler, bellek bölgeleri üzerinde yapılan işlemlere nazaran çok daha hızlıdır.



Şekil 3.1. 8088 registerleri [3]

Yukarıda şekil olarak gösterilen 8088 mikroişlemcisinin sahip olduğu registerleri aşağıdaki gibi guruplara

ayırmamız mümkündür:

1. Segment Registerler (4 adet)
2. Genel amaçlı Registerler
  - a) Data registerleri (4 adet)
  - b) Pointer ve Index registerleri (4 adet)
3. Instruction pointer (1 adet)
4. Program durum gösterici (Program status word PSW)(1 adet)

Yukarıda 14 adet registerin 4 tanesi KOD, DATA, STEK ve EKSTRA segmentlerin başlangıç adreslerini sakalyan CS, DS, SS ve ES registerleridir. Geriye kalan 8 tanesi genel amaçlı register, bir tanesi instruction pointer (komut gösterici) ve son register program status word (durum gösterici register) olarak bilinmektedir. [3]

### 3.1.1. DATA REGISTERLERİ

Daha çok aritmetik işlemler için kullanılan DATA registerleri AX, BX, CX ve DX'dir. Herbir DATA registeri digerinden farklı olarak, bir bütün halinde veya iki parça halinde kullanılabilir. Bir DATA registerini iki alt alana bölebilir, böylece 16 bitlik bir tek register halinde veya 8 bitlik iki ayrı register halinde kullanmak imkanına sahip olabiliriz. Bu durumda herbir register için Low (Düşük değerli) byte ve High (Yüksek değerli) byte'den sözedebiliriz. Mesela AX registeri için AH, AL gibi her registeri iki farklı byte şeklinde kullanabiliriz.

DATA registerlerinden herhangi biri genel program amaçları için kullanılabilir. Diger taraftan, belirli data

registerlerinin, belirli işlemler sırasında operand olarak kullanılması zorunludur. Böyle bir durumda, programcının bir seçim yapması söz konusu değildir. Akümülatör olarak isimlendirilebilen AX registeri; çarpma, bölme, giriş, çıkış ve bazı string operasyonlarda word uzunluklu olarak kullanılır. AL registeri byte uzunluklu olup, bazı operasyonların sayaç registeri olarak veya desimal amaçlı aritmetiksel işlemlerde transfer alanı olarak kullanılır. AH registeri byte uzunluklu bölme ve çarpmalarda kullanılır. Base registeri olarak isimlendirilebilen BX daha çok bellek içindeki verilerin adreslenmesinde kullanılır. CX sayaç registeridir, LOOP komutlarının veya tekrarlı string operasyonlarının sayaç registeri olarak kullanılır. CL registeri shift ve rotate operasyonlarının sayacı olarak kullanılabilir. Data registeri ismi verilen DX, word uzunluklu çarpma ve bölme operasyonlarında, ayrıca giriş çıkış operasyonları için port numarasını göstermede kullanılır. [3]

### 3.1.2. SEGMENT REGISTERLER

8088 Mikroişlemcisi kullanan bilgisayarlar, programları ve dataları belleğin iki ayrı alanına yerleştirirler. Bu program ve data alanları maximum 64 K büyüklüğünde olup segment olarak isimlendirilir. 8088 işlemcisi aynı anda dört ayrı segmente sahip olabilir. Bu segmentler KOD, DATA, STEK ve EKSTRA segment olarak isimlendirilir. Bu segmentlere ait ilk baytenin gösterilmesi için dört ayrı register kullanılır. Bunalar sırasıyla CS, DS, SS ve ES olup segment registerler olarak isimlendirilirler. Kod segment registeri olan CS icra

gören programı içeren segmentin adresini gösterir. Diğer bir deyişle, CS ile adreslenen segment içinde makina dili komutları yer almaktadır. Stek segment registeri olan SS, geçerli stek segmentin başlangıç adresini içerir. Stek segment, çeşitli verilerin geçici olarak saklandığı bir bellek bloğudur. Data segment registeri olan DS, geçerli data segmentinin başlangıç adresini içerir. Bu segment genel olarak program değişkenleri tarafından kullanılır. Diğer bir deyişle bilgi işlem operasyonlarına tabi tutulan bilgiler, data segmenti içindeki bölümlerde yer alırlar. Ekstra segment registeri olan ES, geçerli ekstra segmentin başlangıç adresini içerir. Ekstra segment, genel olarak string operasyonlar için kullanılır. [3]

### 3.1.3. POINTERLER VE INDEKS REGISTERLER

Pointer ve index registerler SP, BP, SI ve DI'dır. Anacak, IP ve Bx registerlerini birer pointer yada index registerler olarak kabul etmek mümkündür. Pointer ve index registerleride data registerleri gibi aritmetiksel işlemler için kullanılabilir. Fakat bu registerlerin kullanımındaki asıl amaç, çeşitli bellek bölgelerindeki verilere ulaşabilmek için, adres gösterici olarak ele alınmalarıdır. Bellek içindeki bir birimin adresini gösterebilmek için, iki ayrı adres değeri kullanılır. İlk değer, işaret edilen birimi içinde barındıran segmentin adresidir. Bu noktada segment registerlerinden yararlanır. Birimin segment içindeki yerini gösteren ikinci adres değeri ise offset adresi olarak bilinir. Offset adreslerinin gösterilmesi için de, pointer ve index registerlerinden

faydalanılır.

Mikroişlemci, kod segment içindeki birimlere erişebilmek için, CS ve IP registerlerini kullanır. Stack segment içinde bulunan bir veriye ulaşmak için, SS registeri ile birlikte SP yada BP registerlerinden birini kullanmak gerekir. Data segment içindeki birimlere erişmek için, data segmentinin başlangıcı olan DS registerinden, birimin offset adresini göstermesi için de, BX, SI veya DI registerlerinden yararlanır. Extra segment yada gelişigüzel seçilen bir segment içerisindeki birimlere erişebilmek için CS, DS, SS'den yararlanır. [6]

#### 3.1.4. KOMUT GÖSTERİCİ (INSTRUCTION POINTER) REGISTER

Komut gösterici olarak isimlendirebileceğimiz IP registeri, 8088 icra ünitesi tarafından icra ettirilecek olan bir sonraki komutun offset adresini içerir. Offset adresi IP ile gösterilen bellek bölgesi kod segmentin içindedir. Çünkü programları oluşturan komutlar bu segmentin içinde yer almaktadır. IP registeri, özel amaçlı bir register olması sebebiyle programcı tarafından direkt olarak kullanılmaz. Ancak, bu registerin değerini stack üzerindeki bilgiler ile dolaylı olarak değiştirmek mümkündür. [6]

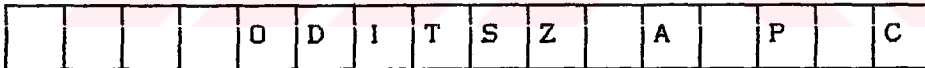
#### 3.1.5. PROGRAM DURUM GÖSTERİCİ REGISTER (Program status word)

Program durum gösteric registeri, kısaca PSW şeklinde gösterilebilir. Bu registere flag register adını vereceğiz. Flag registerlerinin bir bütün olarak veya 16 bitlik, 8 bitlik bir sayı olarak değerlendirilmesi sözkonusu

değildir. Çünkü flag registerinin sayısal değeri değil kendisini oluşturan bitlerin tek tek değerleri önemlidir. Ancak burada da bir kısaltma olacak registeri oluşturan 16 bit'ten sadece 9 tanesi kullanılacaktır. Bu 9 bitin herbirinin mevcut değeri çeşitli kontrol komutlarının icra şekline etki etmekte yada aritmetiksel yada mantıksal işlemlerin sonucu hakkında bilgi vermektedir.

Flag registerin içinde yer alan bitlerin herbirine flag adı verilir. Flagların herbiri set yada reset olmalarına göre değişik özellikler hakkında programcıya yada CPU'ya bilgi verirler. Bir flagın set durumunda olması ise bu flagın binary 1 değerine eşit olması demektir.

Bir word genişliğindeki flag registerinin 16 bitten oluşacağı açıktır. Bu 16 bitten sadece 9 tanesi kullanılır ve bu durumda flag register aşağıdaki gibi organize edilir:



Şekil 3.2 Flag (Bayrak) register [3]

- O: Overflow Flagı
- D: Direction flagı
- I: Interrupt flagı
- T: Trap flagı
- S: Sign flagı
- Z: Zero flagı
- A: Auxlary carry flagı
- P: Party flagı
- C: Carry flagı



Genel olarak, flag registerler içinde yer alan her bir bit CPU'nun yaptığı bir operasyonun hemen ardından, operasyonun sonucuna göre bir veya sıfır değerine sahip olur. Flagların aldığı değeri kontrol ederek yapılan operasyonun sonucu hakkında bilgi edinebiliriz. Mesela bir çıkarma işleminin sonucunda zero flagı set edilmiş ise, diğer bir deyişle bu flaga 1 değeri aktarılmış ise, yapılan çıkarma işleminin sonucu 00'dir. Bir işlem sonucunun sıfır olup olmamasının yanısıra, işaretinin ne olduğunu, sonucun alıcı alan olarak gösterilen bellek bölgesine sığıp sığmadığını, flaglara bakarak öğrenebiliriz. İki değer arasındaki ilişkiyi anlamak üzere, bu iki değeri karşılıklı olarak bir işleme tabi tutar, işlem sonucunda flag registerinin içeriklerine göre, sayıların hangisinin küçük hangisinin büyük olduğunu veya birbirine eşit olup olmadığını anlayabiliriz.[6]

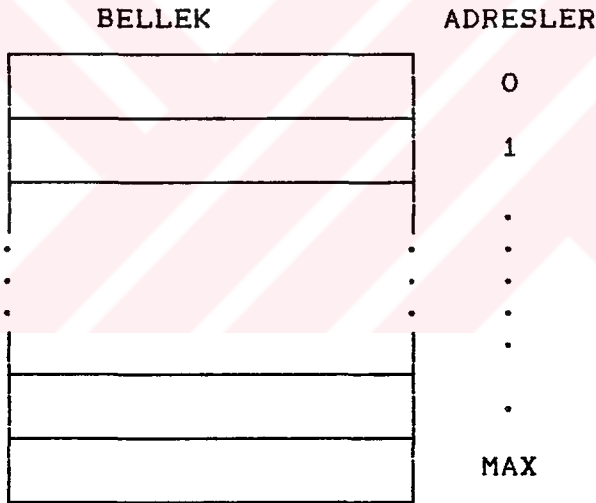
### 3.2. BELLEK SEGMENT OFFSET

Bellek, programları oluşturan komutları ve program tarafından, üzerinde bilgi işlem yapılacak verileri içeren yada saklayan ünedir. Komutlar veya veriler, bilgisayarın belleğinde birer byte'lik veriler halinde yer alırlar. Bellekteki herşey sayılardan ibarettir. İcra anında, komutların veri olarak yada verilerin komut olarak değerlendirilmesi için; oldukça düzenli bir hafıza organizasyonuna ihtiyaç vardır. Buda normal olarak programcının sorumluluğu altındadır.

Bilgisayar belleğinin binlerce ufak hücreden meydana geldiğini düşünebiliriz. Her bir hücre, 8-bit uzunluğundadır

ve bilindiği gibi 8-bit'lik her birim, byte olarak isimlendirilmiştir. Bellekteki her bir byte'ın, diğer bir deyişle her bir bellek bölgesinin bir adresi vardır. Bu adresler 0 dan başlayan pozitif tamsayılarıdır. Belleğin ilk byte'ının adresi 0, son byte'ının adresi ise, belleğin büyüklüğünü gösteren sayının bir eksigidir.

Her bilgisayarın belleği değişik büyüklüklerde olabilir. 8088 Mikro işlemcisi ile kullanılacak maksimum bellek büyüklüğü 1,048,576 byte ya da 1 Megabyte dir. Şekil 3.2'de belleği oluşturan hücreler ve bunlara karşılık gelen bellek adresleri hakkında kabaca bir fikir verebilir;



Şekil 3.3. Basit bellek organizasyonu [3]

Bellek içindeki herhangi bir birimin adreslenmesinde, iki byte uzunluğundaki işaretli tam sayılar kullanılır. 2 byte ile ifade edilebilecek en küçük işaretli sayı 0, en büyük işaretli sayı ise 65536'dır. 0 halde 2 byte uzunluğundaki bir sayı ile, belleğin sadece ilk 65536 byte'ı adreslenebilecektir. Oysa 8088 mikro işlemcisi için, belleğin bu sayıyı aşarak 1,048,576 byte'dan oluşabileceğini

biliyoruz. 2 byte uzunluğundaki sayılar ile bu genişlikteki belleğin tüm birimlerinin adreslenemeyeceği açıktır.

1,048,576 bayte'dan oluşan bir belleğin son byte'nın adresi 1,048,575'dir. Bu sayıyı binary notasyonu ile ifade edersek, aşağıdaki gibi bir gösterim elde ederiz;

DES 1048575 = BIN 1111 1111 1111 1111 1111

Görüldüğü gibi maximum büyüklükteki bir belleğin adreslenmesi için kullanılacak sayılar 20 bitten oluşmaktadır. Oysa normalde bu mikroişlemci için kullanılan sayılar maximum 16 bit uzunluğundadır. Sorunun çözülmesi açısından 0'dan itibaren çeşitli desimal sayıları, 20 bit uzunluğundaki binary notasyonu ile göstermeye çalışalım. 16 ile bölünebilen, diğer bir deyişle 16'nın katları olan desimal sayıların binary karşılıklarında son dört bit daima 0 olmaktadır. Aynı işlemi hexadesimal sayı sistemine uygularsak yine benzer bir özellik ile karşılaşırız. 16'nın katları olan tüm desimal sayıların hexadesimal karşılıklarında son digit daima sıfır olmaktadır. Bu özelliği birkaç sayı için gösterelim;

Desimal	Binary	Hexadesimal
0	0000 0000 0000 0000 0000	0000
16	0000 0000 0000 0001 0000	0010
32	0000 0000 0000 0010 0000	0020
48	0000 0000 0000 0011 0000	0030
64	0000 0000 0000 0100 0000	0040
80	0000 0000 0000 0101 0000	0050
96	0000 0000 0000 0110 0000	0060

Belirttiğimiz bu özellikten dolayı 20 bit uzunluğundaki tamsayılar yerine 16 bit uzunluğundaki tamsayılar ile adresleme yapabiliriz.

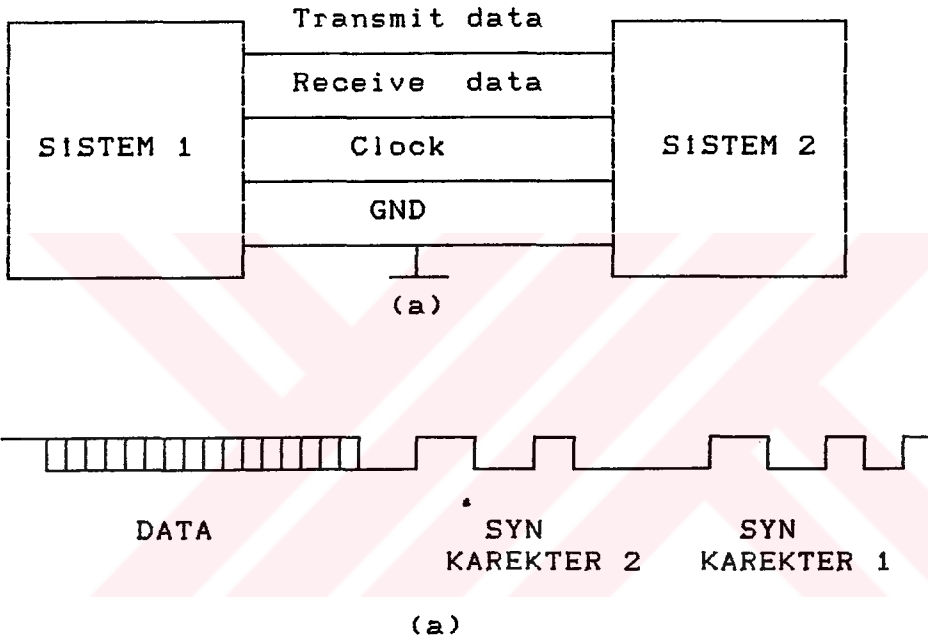
Bellegin tüm noktalarının adreslenebilmesini, ayrıca bellek üzerindeki operasyonların daha kolay ve daha doğru gerçekleşmesini sağlamak üzere bellek bölümlere ayrılır. Maximum 64 KB'tan oluşan herbir bölüm SEGMENT olarak isimlendirilir. Segmentler, yani 64 KB büyüklüğündeki bellek blokları bellegin 16 ile bölünebildiği herhangi bir biriminden sonra başlayabilir. Diğer bir deyişle bir segmentin başlangıç adresi 20 bit uzunluğundaki bir sayı ile gösterildiğinde bu 20 bitin son 4 biti 0 olacaktır. Segmentin başlangıç adresi 16 bit uzunluğundaki bir word'a yerleştirilirken 20 bitlik bu adres değerinin son 4 biti atılır. Bir wordluk bellek biriminde bulunan bir segment adresi herhangi bir işlem amacı ile word üzerinden alındığında da 16 bit uzunluğundaki bu değer sonuna 4 adet 0 biti eklenir. Böylece segmentin gerçek adresi tekrar elde edilmiş olur. Bu işlem programcı tarafından değil mikroişlemci tarafından yerine getirilir ve bu basit işlem sayesinde, 20 bit uzunluğundaki adres değerleri 16 bit ile gösterilebilir. [3]

### 3.3 SERİ HABERLEŞME

#### 3.3.1 SENKRON VE ASENKRON HABERLEŞME

Mikroişlemci sistemlerinde seri data haberleşmelerinin iki tipi oldukça geniş bir şekilde kullanılır. Bunları senkron ve asenkron haberleşme olarak isimlendiririz. Senkron

haberleşmede iki ayrı parça söskonusudur ve bu parçalardan birincisi alıcı ( Receiver ) diğeri ise verici (Transmitter) dirki bu iki bölümün aynı anda uyarılması işlemine senkronizasyon işlemi olarak nitelendirilir. Şekil 3.4 'de görüldüğü gibi devre data verici, data alıcı, clock ve GND işaret hatlarından oluşmaktadır.



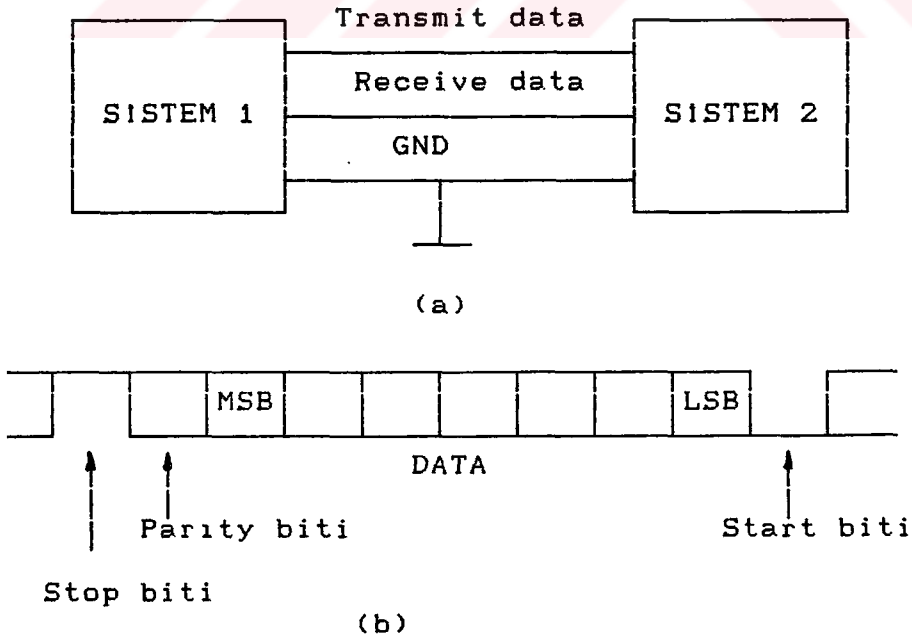
Şekil 3.4 (a) Senkron haberleşme. (b) Senkron data gönderim formatı [6]

Burada clock iletimi ve data kabulü işleminin her ikisininde senkronizasyonunu sağlar.

Şekil 3.4.(b)'de seri haberleşme için kullanılan data formatı gösterilmektedir. Giriş data iletiminde, ilk önce karakterler senkron olarak gönderici (Transmitter) tarafından alıcıya iletilir. Alıcı senkronizasyon bit üreticini çalıştırır ve okuduğu data ile karşılaştırır. Data teşhis veya data değerinin tesbiti öncelikle sağlanır. Alıcı böylece haberleşme hattından okuma işlemini tamamlamış olur. Bu işlem

transfer işlemi tamamlanıncaya kadar devam eder. Eger büyük data blokları transfer edilmek istenirse karakterlerin senkronizasyonu periyodik olarak algılama işlemi ile gerçekleştirilir. Tipik olarak senkron haberleşmede data transfer işlemi yüksek hızlarda gerçekleştirilebilir.

Asenkron haberleşmede ise clock hattı iptal edilmiştir. Şekil 3.5.(a)'da gösterildiği gibi asenkron haberleşme devresinde üç hat mevcuttur. Bunlar data iletim hattı iptal edilmiştir. Şekil 3.5.(b)'de görüldüğü gibi asenkron haberleşme devresinde üç hat mevcuttur. Bunlar data iletim hattı, data alıcı hattı ve şase hattı bağlantılarıdır. Bu haberleşme türünde bir karakter transfer edilmek istendiğinde data, transmitter tarafından gönderilir. Alıcı bu durumda senkronizasyon bitlerini inceler. Bu bitler başlangıç ve bitiş bitleridirki bu bitler her karakterde mevcuttur.



Şekil 3.5. Asenkron haberleşme, (b) Asenkron data iletim formatı. [6]

Bu haberleşme tipinde data formatı Şekil 3.5.(b)'de gösterildiği gibidir. Burada bahsedilen senkronizasyon bitleri mevcuttur ve bunlardan ilki START biti olarak isimlendirilir. Diğerleri ise bitişini belirler ve STOP biti olarak isimlendirilir. Genellikle 1, 1 1/2 veya 2 STOP biti kullanılır. Data START ve STOP biti arasındadır. Burada ardarda önce START biti ardından LSB , bunu takip eden 6 bitlik data, PARTY biti ve son olarak STOP biti ile data transfer işlemi gerçekleştirilmiş olur.

Bu haberleşme işleminde 0 veya 1 ile bazı belirlemeler yapılır. START biti 0 seviyesi ile tanımlanır. Aynı şekilde STOP biti ise 1 seviyesi ile ve PARTY biti 1 veya 0 ile ifade edilebilir.

### 3.3.2. USART VE UART

Genellikle üretici firmalar seri haberleşme için standart elektronik devreler üretmiştir. Bunlar ise UART (Universal Asynchronous Receiver/Transmitter) ve USART (Universal synchronous/Asynchronous Receive/Transmitter) şeklinde isimlendirilir.

Seri haberleşme işlemlerinde UART ve USART olarak bilinen devrelerin her ikisinde kullanılabilir. Data için iletim asenkronudur. Bu elektronik devrelerde data START ve STOP biti arasındadır, bu işlem otomatik olarak sağlanır ve buna ek olarak birde party biti vardır.

Datanın alınması için UART ve USART'lar tipik bir şekilde otomatik olarak karakterleri kontrol edebilme yeteneğine sahiptirler. Bu durumda PARTY bitinin doğru bir

şekilde algılanması ile mümkündür. Eger bu mümkün değilse iki farklı hata ile karşılaşırız. Bu hatalar: "Overruning error" ve "Framing error" 'dur. Framing error'un anlamı START biti ile karakterlerin başlangıcının algılanmasından sonra STOP bitinin uygun olarak algılanmamasından kaynaklanan bir hata türüdür. Kısaca bu hatanın karakter gönderilmiş fakat algılanamamıştır denilebilir. Overruning error'un anlamı ise önceki karakter alındı fakat okunamadı. Diğer bir deyişle Mikroişlemci tarafından USART'ın alıcısındaki data okunmamıştır demektir. Bu durumda ikinci bir karakterin alınması ve aynı anda okunması yoluna gidilmesi ilk karakterin kaybolmasına neden olacaktır.

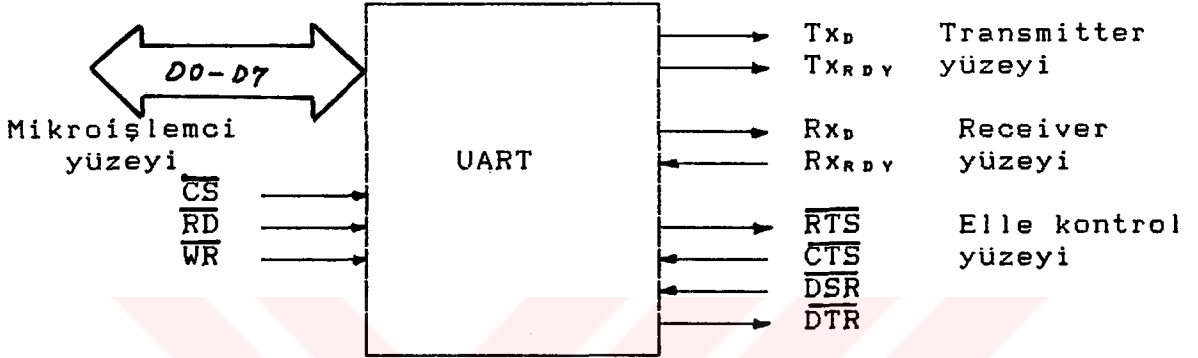
Şekil 7.20'de UART'ın blok diyagramı görülmektedir. Burada dört farklı anahtar bağlantı bölümü mevcuttur: Mikroişlemci bölümü, gönderici bölümü, alıcı bölümü ve elle kontrol bölümlerinden oluşur.

UART ve USART'lar yalnız başına bir haberleşme sistemini teşkil etmezler. Dolayısıyla bunlar bir Mikroişlemci tarafından güdülmelidirler. Mikroişlemci bağlantı bölümüne UART ve MPU'nun eş bağlantı uçları ile irtibat sağlanır. Burada bahsedilen eş bağlantı uçları Şekil 3.6.'da görüldüğü gibi 8 bitlik çift geçişli data hattı ( $D_0 - D_7$ ) ve üç tane ( $\overline{CS}$ ,  $\overline{RD}$  ve  $\overline{WR}$ ) kontrol hatlarından oluşmuştur. Burada  $\overline{CS}$  bu bölümün seçilme imkanını,  $\overline{RD}$  bu bölümden bilgi okumak için,  $\overline{WR}$  ise bu bölüme bilgi göndermek için gerekli seçimi sağlayan bağlantı uçlarıdır.

UART ve USART'lar arasındaki data geçişinin tamamı 8 bitlik data hattı vasıtası ile gerçekleştirilir. Data hattının



iki farklı kullanılış şekli vardır. Birincisi UART vasıtası ile alınan bilgiyi Mikroişlemciye iletmek, diğeri ise Mikroişlemcideki bilgiyi UART'a iletmeyi sağlamaktır. Bu işlemler ise bir takım makina dili komutları ile gerçekleştirilir.



Şekil 3.6. UART'ın blok diyagramı[6]

Mod kontrol komutları UART'ın tanımlanmasını veya ne durumda durumda olmasını belirleyen komutlardır. Bu işleme Initialize işlemi denir. Mesela haberleşmede kullanılacak olan data (gönderilen veya alınan)'nın ne durumda olduğunun ayarlanması gereklidir. Tipik olarak bir datanın uzunluğu 5 ila 8 bit arasındadır, EVEN, ODD, NO PARTY veya 1, 1 1/2'lik bir STOP biti gibi.

Yukarıda işaret edildiği gibi UART sahip olduğu iletim fonksiyonlarını başaramaz. Bunun yerine data alma ve data verme işlemini başlatmak için gerken olaylar dizisi MPU tarafından UART'a gönderilen komutlar yardımı ile kontrol edilir. Mesela bir başka birime veri iletme istegini bildirmek için UART'a RTS çıkış kontrol sinyalini aktif 0 lojik seviyesine zorlayan bir komut gönderir. RTS lojik sıfır

işareti veri almak için iletim hattının sonundaki alıcıda, MPU UART'ına bir komutla data göndermeye hazırım bilgisini DTR kontrol çıkışını 0 yaparak bildirir. Çoğu UART'lar mevcut durumlarını içeren saklayıcılara sahiptirler. Mesela RTS ve DTR gibi hatların mevcut durumunu gösteren bayrak bitleri içerirler. MPU'ya izin verme bu hatların mevcut durumlarını yazılımla tesbit imkanını sağlar.

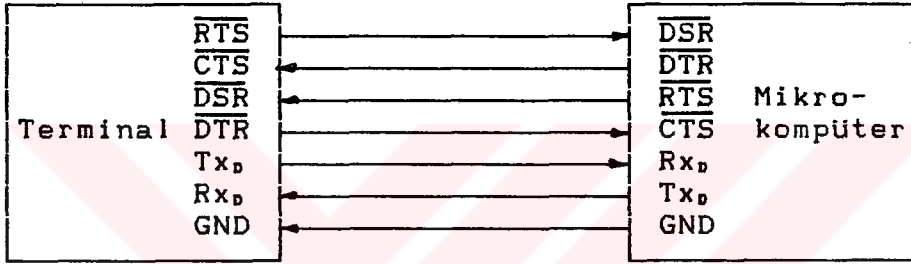
Kontrol hatlarının lojik seviyeleri hakkındaki bilgilerin yanısıra, durum saklayıcıları birtakım hata durumlarının tesbit edildiği hata bitlerininide içerir. Bir karakter almanın ardından MPU öncelikle geçerli karakterlerin algılanıp algılanmadığını kontrol eder, bu bitler aktif olmayan durumda iseler karakter UART'ın içindeki alıcı veri saklayıcısı tarafından okunur.

Şekil 3.6.'daki bloğun diğer ucunda alıcı verici arabirimlerini bulabiliriz. Verici arabirimi iki işaret arabirimine sahiptir, ( $TX_D$ ) data verme ve ( $TX_{RDY}$ ) data alma,  $TX_D$  UART'ın seri data çıkışına bağlı olan vericinin üzerindeki bir hattır. Şekil 3.7.'de gösterildiği gibi bu çıkış hattı iletim hattının diğer ucundaki alıcının  $RxD$  girişine bağlanmıştır.

Genellikle UART'ın verici çıkışı aynı anda sadece bir karakter tutabilir. Bu karakter UART'ın içerisindeki data verme saklayıcısı içerisinde tutulur. UART'ın içerisinde sadece bir karakter tutulduğundan bu karakterin iletiminin tamamlandığı MPU'ya bir işaret ile bildirilmelidir.  $TX_{RDY}$  hattı bu amaçla kullanılır. Karakterlerin iletimi tamamlandığında  $TX_{RDY}$  verici tarafından aktif lojik

seviyesine çevirilir. Bu işaret MPU'ya bir kesme işareti olarak dönmelidir. Bu yolla program kontrolü hızlıca kesme servisi rutinine geçerek verici saklayıcısından diğer bir karakter çıkışı ve iletimi yeniden başlatmak için gerekli işlemleri hazırlar.

Alma kısmı önceden bahsettiğimiz verici kısmına oldukça benzerdir. Ancak burada Rx<sub>0</sub> data alma hattı diğer sistemdeki



Şekil 3.7. Mikrokomputer ile terminal arasındaki basit asenkron haberleşme bağlantısı. [6]

vericiden gönderilen seri veri karakter bitlerini alan bir giriş durumundadır. Ancak Şekil 3.7.'e dikkat edilirse iletim hattının diğer ucundaki Tx<sub>0</sub> data verme çıkışına bağlanmıştır. Burada (Rx<sub>0</sub>) alıcı hazır çıkışı MPU'ya bir kesme çıkışı olarak kullanılır ve MPU bir karakter almak için işaretler. Hizmet rutini karakterin geçerli olup olmadığını belirler ve eğer geçerli ise UART'ın data alma saklayıcısından data okur.

RTS, DSR, DTR ve CTS kontrol işaretleri seri I/O arabirimi içinde farklı tipte asenkron iletim tiplerini sağlar. Protokolla her iki sisteme birden belirli bir dizi halinde iletme hazır bilgisi gönderir.

Bir basit asenkron iletim arabirimi Şekil 3.7.'de

kontrol hatları ile gösterilmiştir. Örnek olarak, bir protokol terminal bilgisayara veri göndermek istediği zaman RTS çıkışı ile bunu bildirir. Bu yapıldığında terminal MPU'su bir komutla  $\overline{\text{RTS}}$  hattını aktif lojik 0 seviyesine getirmeye zorlar. Terminal  $\overline{\text{RTS}}$ 'si bilgisayarın  $\overline{\text{DTR}}$ 'sine uygulanır. Bu yolla bilgisayara terminalin veri göndermek istediği bildirilmiş olur. Bilgisayar data almaya hazır olduğunda, UART'ın DTR çıkışını aktifleştirerek bu durumu bildirir. Bilgisayardaki MPU UART'ın  $\overline{\text{DTR}}$ 'sini 0 yaparak bu işlemi gerçekleştirir. Bu işaret  $\overline{\text{CTS}}$  gönderim silme istegi ile döndüğünde, terminal UART'ı TxD data çıkışından datayı gönderir. Aynı anda alıcı bölümünde bilgisayarın içindeki UART'ın Rx, girişinden data okunmaya başlar. [6]

### 3.3.3. BAUD ORANI VE BAUD ORAN ÜRETECİ

Bir alıcıdan iletim hatlarının üzerinden iletilen verilerin hızları baud oranı olarak bilinir. Baud oranı: saniyede iletilen veri bitleri sayısıdır. Mesela genel veri transfer oranı 300 baud, 1200 baud veya 3600 baud olabilir.

İletilen verilerdeki ise bit süresini belirler. Bit süresi, iletim hattı üzerindeki her bitin iletim süresidir. 300 bit için iletim süresi :

$$t_{b,T} = 1/300 \text{ bps} = 0.33 \text{ ms}$$

olarak bulunur.

Baud oranı seri iletim arabiriminin bir paçası olan "Baud Oran Üreteci" tarafından üretilir. Arabirimin bir kısmı,

UART'ın alıcı ve ileticilerini süren saat işaretini üretir. Bazı UART'ların içinde baud oran üretici vardır, diğerleri ise bu fonksiyon için dış devreye ihtiyaç duyarlar.[6]

#### 3.3.4. RS-232C ARABİRİMİ

RS 232C arabirimi, printer, katot ışınlı terminaller, klavye ve modemler gibi üniteler üzerindeki portlardan seri data iletimini yürüten standart donanım arabirimidir. Pin tanımları EIA (Electronic Industrie Association) tarafından tanımlanmıştır. Üretim özelliklerinden biride değişik imalatçılar tarafından yapılan elemanlar arasında RS 232C'nin uyum sağlamasıdır.

MC (Micro computer)'e bağlanan çevre birimler çok yakın mesafelerden birhayli uzak mesafelere bağlanabilir. Mesela büyük sistemlerde sistemdeki MC'lerden bir kısmı, yazıcı ve terminallerden farklı odalarda bulunabilir. Bir MC'e seri arabirimli çevre cihazı takmak için ilk önce üç işaret hattı MPU'dan çevre cihaza bağlanmalıdır. Bir veri alma hattı, iletim hattı ve geri dönüş işaret hattı bağlantısı ile sonuçta daha güvenilir, daha az hata oranına sahip ve üstelik daha ucuza malolan bir sistem oluşturulur.

RS 232C standar 25 pinli bir arabirimdir. Şekil 7.22'de her pinin fonksiyonu gösterilmiştir. Dikkat edilirse daha önceden bahsedildiği gibi üç işaret, data iletim, data alma ve geri dönüş işareti pin 2,3 ve 7'ye yerleştirilmiştir. Pinler ayrıca kontrol fonksiyonlarına sahiptir. Mesela pin 4 ve 5 gönderme silme kontrol işaretleridir. Bu iki işaret asenkron haberleşme arabirimlerinde sık sık kullanılmaktadır.

RS 232C arabirimi 35 metre maksimum uzaklıkların üstünde doğru çalışabilme özelliğindedir. Bu özel mesafeye, mevcut sürücüye uygun bir iletim hat tutucusu, bir hat sürücü ve alıcı hatta bir hat alıcı kullanıldığı zaman erişilebilir. RS 232C sürücü ve alıcısı IC (Integrated circuit) standartlarına uygundur. Bu tutucular RS 232C arabirimi için tanımlanan işaret ve gerilim düzeylerine, UART'ın TTL uyumlu çıkışlarına çevirir. Normalde iletimde işaret ve boşluk gerilim düzeyleri +12 V DC ve -12 V DC değerindedir. RS 232C arabirimi için -3 V DC'nin altındaki bütün gerilimlerin anlamı (hat boş) demektir ve yine aynı şekilde + 3 V DC'nin

Pin Bacaklar	Sinyaller
1	Koruyucu şase
2	Transmit data
3	Receive data
4	Gönderme isteği
5	Gönderim silme
6	Data verme hazır
7	Toprak işareti
8	İşaret algılayıcı alıcı hat
9	Data set testi içi ayrılır
10	Data set testi için ayrılır
11	Atanmamış
12	İkinci işaret algılama alıcı hat
13	İkinci gönderme silme
14	İkinci data iletim
15	İletim işaret elemanı zamanlayıcısı
16	ikinci data alma
17	Alıcı işaret elemanı zamanlayıcısı
18	Atanmamış
19	İkinci gönderme isteği
20	Data terminal hazır
21	İşaret kalite algılayıcısı
22	Halka indükleyicisi
23	Data işaret oran seçici
24	İletim işaret zamanlayıcısı
25	Atanmamış

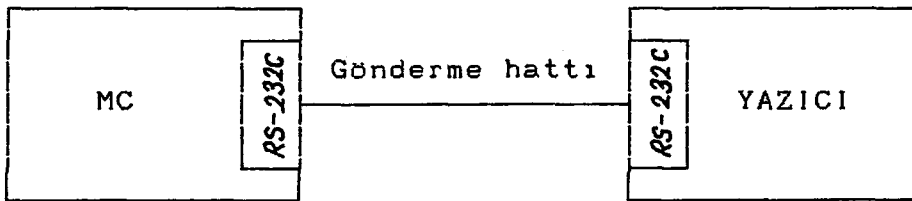
Şekil 3.8. RS 232C'nin bacakları ve fonksiyonları [6]

üstündeki bütün gerilimlerin işaret anlamı (hat boş) demektir.

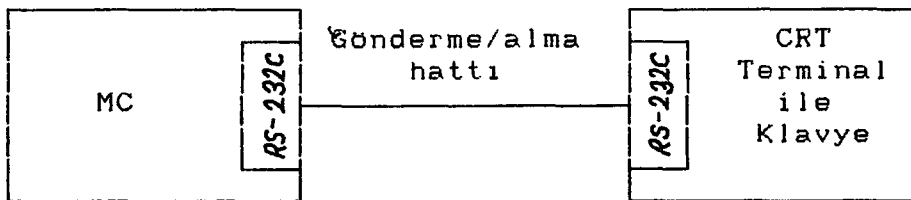
RS 232C arabirimi 20.000 Bps (saniyedeki bit sayısı)'den yukarı baud oran destekleme özelliğine sahiptir. Genelde alıcı ve verici baud oranları aynı değildir. Ancak çoğu basit sistemlerde aynı değere set edilmişlerdir. Mesela 1200 Bps MPU ve printer arasındaki iletimde yaygın bir şekilde kullanılmaktadır. Bu bağlamda bir bit süresi 0.833 ms'ye eşittir. [6]

### 3.3.5. TEK YÖNLÜ, YARI ÇİFT YÖNLÜ VE TAM ÇİFT YÖNLÜ İLETİM BAĞLANTILARI

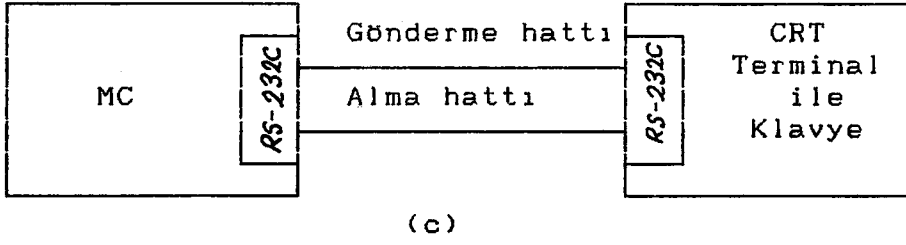
Değişik tipte asenkron bağlantı türleri vardır. Mesela bir MC ile printer arası iletim bağlantısı tek yönlüdür. Burada yazıcı sadece çıkıştır, bu yüzden MPU yazıcıya data iletmek ihtiyacını sağlar ve data geri



(a)



(b)



Şekil 3.9. (a) Simplex haberleşme hattı. (b) Yarı duplex haberleşme hattı. (c) Tam duplex haberleşme hattı. [6]

iletilmez. Bu durum Şekil 3.9.'da gösterilmiştir. Bir tek yönlü iletim hattı yazıcı ve bilgisayar arasında kullanılmaktadır. Bu tip bağlantı SIMPLEX iletim bağlantısı olarak bilinir.

Diğer üniteler, mesela CRT terminal ve klavye Şekil 3.9.(b) MPU'dan hem data alma hemde data iletme ihtiyacındadırlar. Burada her ikisi hem data girişi hemde çıkışı olabilmektedir. Bu gereksinimde tek bir iletim hattını kullanarak yarı duplex bağlantıların kurulması sağlanır. Yarı duplex iletim bağlantısında data iletim ve alma aynı hat üzerindedir. Bu yüzden aynı anda data alma ve data gönderme yapılamaz.

Eğer daha yüksek performanslı iletim istenirse data alma ve data gönderme için ayrı hatlara ihtiyaç duyulur. Bu tür bir bağlantı gerçekleştirildiğinde veriler aynı anda her iki yönde transfer edilebilir. Bu tip bağlantı Şekil 3.9.(c)'de gösterilmiştir. Bu tip bağlantıya ise Tam duplex bağlantı denir. [6]



## BÖLÜM 4

### 4.1. HAFIZA HARITASI

Bir mikroişlemcili sistemde her elemanın belirli bir adreste bulunması gerekmektedir ve bu adreslerin devre dizaynı sırasında gözönüne alınması gerekmektedir. Dolayısıyla bilinen adreslere ulaşmak ve bu adreslerdeki devre birimlerinin seçimi oldukça kolaydır. Bizim devremizin hafıza haritası Şekil 4.1'de görüldüğü gibidir. Şekil 4.1'de görüldüğü gibi adresleme sınırları 0000H ile FFFFH değerleri arasındadır. Bu bölgenin hafıza kapasitesi 64 KB'tır. Yani adresleme işlemi bu 64 KB'lık

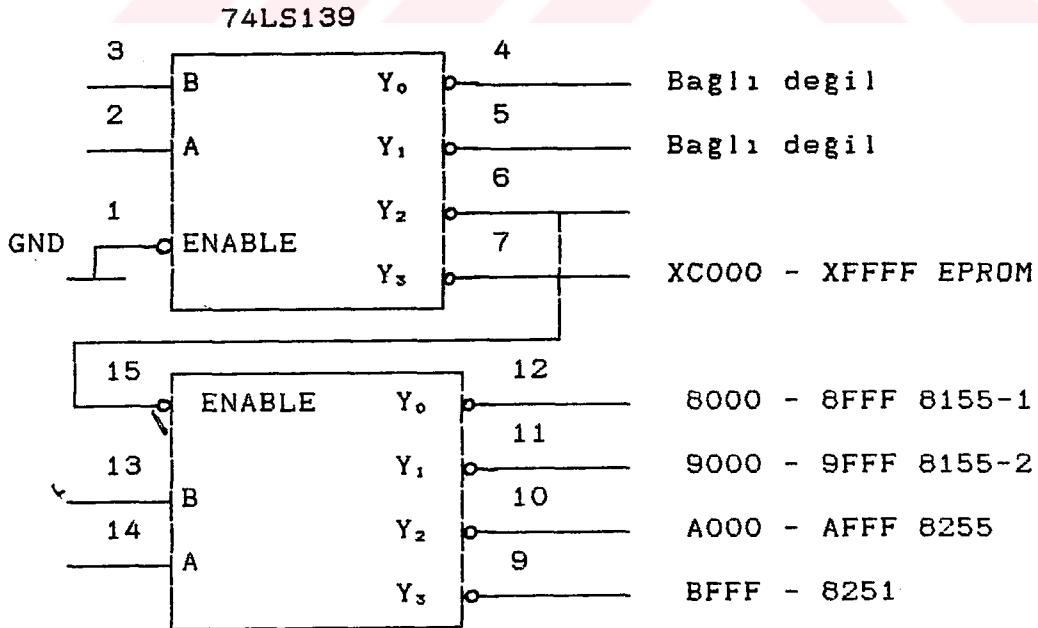
XFFFF	2764	8 K EPROM
XE000 XDFFF	BOŞ	
XC000 XBFFF	8251	Seri port
XB000 XAFFF	8255	Paralel port
XA000 X9FFF	8155-2	Paralel port
X9000 X8FFF	8155-1	Paralel port
X8000 X7FFF	BOŞ	
X2000 X1FFF	6264	8 K RAM
X0000		

Şekil 4.1. Hafıza haritası

alan içerisinde gerçekleştirilecektir. Bu 64 KB hafıza bölgesi içerisinde Ram, Eprom, Seri ve paralel portlar mevcuttur.

#### 4.2. ÇEVRE BİRİMLERİN ADRES SEÇİMİ

Adresleri bilinen birimlere doğru bir şekilde ulaşabilmek için veya bu birimlerin mikroişlemci tarafından tanınabileceği bir pozisyona getirebilmek için mikroişlemci tarafından güdülen bir kodçözücü vasıtası ile bu birimler seçilmelidir. Bu seçilme işlemi burada TTL serisi 74LS139 tarafından gerçekleştirilecektir. Kodçözücünün mikroişlemci adres hattından gelen dört adet girişi ve seçim işlemini yapan aktif lojik sıfır seviyesinde çalışan sekiz adet çıkışı vardır. Şekil 4.2'de görüldüğü gibi 74LS139 içerisinde iki adet 2x4 mevcuttur. Kodçözücünün belirtilen çıkışları doğrudan seçimi yapılmak istenen çevrebirimin  $\overline{CS}$  seçim bacağına bağlanır böylece bu birimlere istendiği an ulaşılabilir.



Şekil 4.2. 74LS139 ile adres seçimi

Adresleme işleminden anlaşılacağı üzere 74LS139'un adreslemede RAM için herhangi bir çıkış bağlantısı yoktur. Bunun sebebi ise Şekil 4.1'de görüldüğü gibi 64 KB tarama bölgesinin yarısı yani 32 KB'lık bir bölge RAM için ayrılmıştır. Bu durumda RAM bölgesinin seçiminde herhangi bir kod çözme işlemine ihtiyaç yoktur. RAM bölgesinin seçimi için sadece mikroişlemcinin  $A_{15}$  nolu adres ucu RAM'ın  $\overline{CS}$  bacağına bağlanarak seçim işlemi gerçekleştirilmiş olur. Bu durumu Tablo 4.1'den rahatlıkla görebiliriz.

	$A_{15}$	$A_{14}$	$A_{13}$	$A_{12}$	Adresleme alanı
RAM	0	0	X	X	0000 - 7FFF
8155-1	1	0	0	0	8000 - 8FFF
8155-2	1	0	0	1	9000 - 9FFF
8255	1	0	1	0	A000 - AFFF
8251	1	0	1	1	B000 - BFFF
EPROM	1	1	X	X	C000 - CFFF

Tablo 1.1

Burada dikkat edilirse 32 KB'a kadar RAM kullanma ve adresleyebilme imkanımız vardır.

### 4.3. KULLANILAN ENTEGRE DEVRELER VE BACAK BAĞLANTILARI

#### 4.3.1. EPROM (2764)

Bilindiği gibi mikroişlemcili düzeneklerde sistemin başlangıç değerlerinin ve sistemin işleyişi esnasında ne gibi işlemler yapacağı hakkında mikroişlemciye bilgi vermekte kullanılan bir entegredir. Bu düznekte 2764 diye bildiğimiz 8 KB'lı entegre kullanılmıştır. Adreslemede de bahsettiğimiz gibi 2764 yerine eğer ihtiyaç duyulursa 62128'de kullanılabilir.

EPROM'lar devreye takılmadan önce ihtiyaç duyulan

nitelikleri içeren bir programın kaydedilmesi gerekmektedir. Bu kayıt işlemi tamamlandıktan sonra EPROM kullanılabilir hale gelmiştir. Ancak yine ihtiyaç duyulursa EPROM içerisindeki programlar: bir EPROM silici tarafından silindikten sonra tekrar programlanabilir. Bu özellik ise EPROM'un tekrar tekrar kullanılabilme özelliğini sağlamaktadır. EPROM'un devrede kullanılabilmesi için gerekli olan bacak bağlantısı Şekil 4.3.'de gösterdiği gibidir.

+5 V VPP	1	28	VCC(+5 V)
A12	2	27	
A7	3	26	Baglantı yok
A6	4	25	A8
A5	5	24	A9
A4	6	23	A11
A3	7	22	
A2	8	21	A10
A1	9	20	CE
A0	10	19	D7
D0	11	18	D6
D1	12	17	D5
D2	13	16	D4
GND	14	15	D3

Şekil 4.3. 2764'ün bacak bağlantısı

#### 4.3.2. RAM (6264)

RAM olarak 8 KB'lık kapasiteye sahip 6264 kullanıldı. Bu RAM için başlangıç adresi 0000H ve bitiş adresi 7FFF'dir. Ancak RAM olarak 62256'da kullanılabilir. Bu birimin devreye girebilmesi için gerekli seçim sinyali 74LS139'dan elde edilen çıkışlar ile sağlanır. Burada RAM geçici olarak bilginin saklanması için kullanılır ve gerekli bacak bağlantısı Şekil 4.4'de gösterildiği gibidir.

Bağlantı yok	1	28	VCC(+5 V)
A12	2	27	R/WE
A7	3	26	CE2
A6	4	25	A8
A5	5	24	A9
A4	6	23	A11
A3	7	22	OE
A2	8	21	A10
A1	9	20	CE1
A0	10	19	D7
D0	11	18	D6
D1	12	17	D5
D2	13	16	D4
GND	14	15	D3

Şekil 4.4. 6264'ün bacak bağlantısı

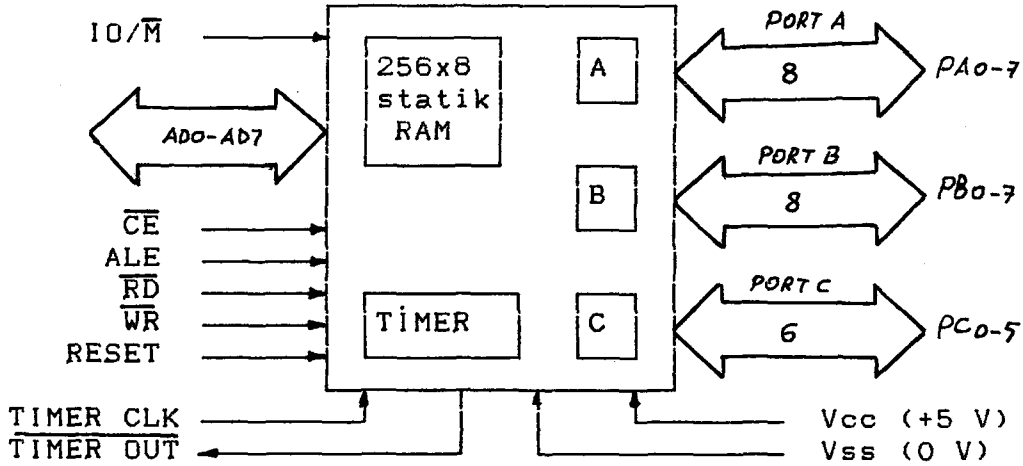
#### 4.4. GİRİŞ ÇIKIŞ BAĞLANTILARI

##### 4.4.1 8155 İLE GİRİŞ ÇIKIŞ PORTU

8155 iki bölümden oluşan bir devre elemanıdır. Birinci bölümü R/W (okuma/yazma) 256 byte'lik bir hafıza ve ikinci bölümü ise programlanabilir I/O (giriş/çıkış) bölümüdür. I/O bölümü iki adet 8 bit I/O portu (A ve B), bir adet 6 bitlik I/O portu (C) ve zamanlayıcı (Timer)'dan oluşur. Bu bölümler Şekil 4.5'de gösterildiği gibidir. Buradaki portlarda A ve B portu isteğe bağlı olarak giriş veya çıkış portu olarak kullanılabilir. Fakat C portunun her bir bacağı isteğe bağlı olarak giriş veya çıkış olarak düzenlenebilir. 8155 içerisindeki zamanlayıcı ise 14 bitlik bir aşağı sayıcıdır (down counter). [5]

##### 4.4.2.1. KONTROL MANTIĞI

Şekil 4.5'de gösterildiği gibi beş tane kontrol sinyali vardır. Bu sinyallerin hepsi hariç  $\overline{CE}$  sinyali doğrudan mikroişlemci tarafından gönderilen bir sinyaldir ve 8155'in seçimini sağlar veya 8155'i aktif hale geçirir. Diğer sinyaller ve fonksiyonları ise aşağıda verildiği gibidir.



Şekil 4.5. 8155'in blok olarak gösterimi. [5]

$\overline{CE}$  : (Chip Enable) Kod çözücü tarafından gönderilen sinyaldir.

$IO/\overline{M}$  : Bu sinyal sıfır olduğunda hafıza bölümü, bir olduğunda ise I/O bölümü tercih edilir.

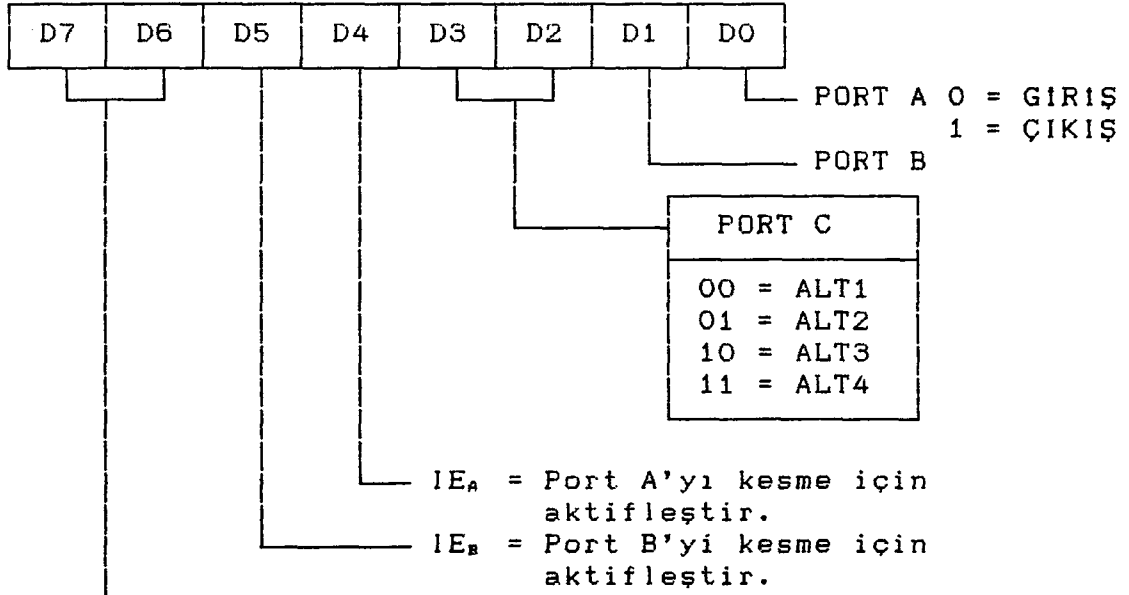
ALE : (Adres latch enable) Bu sinyal CE, ADO -AD7 adreslerini ve  $IO/\overline{M}$  sinyallerini 8155 girişinde tutar .

$\overline{RD}$  -  $\overline{WR}$ : Bu sinyal 8155'in registerlerine veya hafızasına data yazmaya veya okumaya yarar.

RESET : Bu sinyal mikroişlemcinin RESET OUT çıkışına doğrudan bağlanır. 8155'in sıfırlanmasında kullanılır ve başlangıçta 8155'in bütün portları giriştir.

#### 4.4.1.1. 8155'İN KURULMASI

Bir 8155'in portlarını değişik amaçlar için kullanacak olsak, amacımıza yönelik olarak 8155'in portlarını tanımlamamız gereklidir. Bu işlem ise 8155 içerisinde bulunan durum registeri ile alakalıdır. Durum registeri 8 bit'lik bir registerdir ve her bit farklı bir anlamı vardır. O halde bu durum registerine ihtiyaç duyulan kontrol kalimesinin yazılması bizim



Zamanlayıcı komutları

00 = Zamanlayıcıya bir etki yok.

01 = Sayıcı çalışırken sayma işlemi durur.

10 = Eğer sayıcı çalışıyorsa sayma işleminin sonunda durur.

11 = Sayıcıya başlama komutunu verir.

ALT<sub>i</sub> Komutlarının Port C için anlamı

ALT	D0	D1	PC <sub>5</sub>	PC <sub>4</sub>	PC <sub>3</sub>	PC <sub>2</sub>	PC <sub>1</sub>	PC <sub>0</sub>
ALT1	0	0	I	I	I	I	I	I
ALT2	0	1	0	0	0	0	0	0
ALT3	1	0	0	0	0	STB <sub>A</sub>	BF <sub>A</sub>	INTR <sub>A</sub>
ALT4	1	1	STB <sub>B</sub>	BF <sub>B</sub>	INTR <sub>B</sub>	STB <sub>A</sub>	BF <sub>A</sub>	INTR <sub>A</sub>

Şekil 4.6. 8155 durum registeri ve bit bit anlamları.[5]

için oldukça önemlidir. 8155'in durum registerinin bit bit anlamı Şekil 4.6'da gösterildiği gibidir. Bu işlemi ise 8088'li düzeneklerde gerçekleştirmek oldukça kolaydır. Şöyleki öncelikle kontrol kelimesinin tesbit edilmesi gerekmektedir. Kontrol registerine yazılacak kelime belirlendikten sonra durum registerine bu kelime yazılır. Bu yazılma işlemi için şöyle bir örnek verebiliriz. Mesela sadece A portumuzu kullanacağız ve bu

port çıkış portu olacak şekilde 8155'i kurmak istiyorsak bu durumda 8155'in durum registerinin adresi 8000H olsun, 8155'in kurulması için gereken işlemler şöyledir:

```
MOV DX,8000
MOV AL, 01
OUT DX,AL
```

şeklinde 8155'i kurabiliriz.

Devrede 8155 için bord üzerindeki bağlantı ise Şekil 4.7'deki gibidir.

B.Y.	1	2	B.Y.
B.Y.	3	4	B.Y.
B.Y.	5	6	B.Y.
B.Y.	7	8	B.Y.
PB0	9	10	PB1
PB2	11	12	PB3
PB4	13	14	PB5
PB6	15	16	PB7
PA7	17	18	PA6
PA5	19	20	PA4
PA3	21	22	PA2
PA1	23	24	PA0
INTR	25	26	NMI
PCLK	27	28	OSC
B.Y.	29	30	B.Y.
INTA	31	32	Vcc (+5 V)
GND	33	34	GND

(a) B.Y. :Bağlantı yok

Bordun üstten görünüşü

				1	1	1	1	1	2	2	2	2	2	3	3	3
2	4	6	8	0	2	4	6	8	0	2	4	6	8	0	2	4
o	o	o	o	o	o	o	o	o	o	o	o	o	o	o	o	o
o	o	o	o	o	o	o	o	o	o	o	o	o	o	o	o	o
1	3	5	7	9	1	1	1	1	1	2	2	2	2	2	3	3
					1	3	5	7	9	1	3	5	7	9	1	3

(b)

Şekil 4.7. (a) Bord çıkış bağlantıları ve anlamları.  
(b) Borddaki çıkış hattının görünüşü.



#### 4.4.2. 8255A'IN GİRİŞ ÇIKIŞ PORTU OLARAK KULLANIMI

8088'li düzeneklerde giriş/çıkış işlemlerinin kolaylıkla yapılmasını sağlamak için dizayn edilmiş bir devre elemanıdır. 8255A değişebilir özelliğe sahip giriş çıkış portları içerir. Bu portlar isteğe bağlı olarak programlar yardımı ile giriş veya çıkış şeklinde düzenlenebilir.

Şekil 4.8.(a)'da 8255A'nın blok yapısı ve 4.8.(b)'de ise bacak bağlantısı görülmektedir. Blok diyagram olarak gösterimin sol tarafında 8255A'nın 8088 ile meydana getirdiği bağlantı uçları görülmektedir. Bu bağlantı uçlarında çift taraflı geçiş sağlanabilen 8 bitlik bir data hattı mevcuttur. Bu hatlar yardımı ile 8255A ve 8088 arasındaki data, durum danışma ve data transfer işlemleri gerçekleştirilir. 8255A'da data transfer zamanlaması (RD ve WR) kontrol sinyalleri yardımı ile sağlanır.

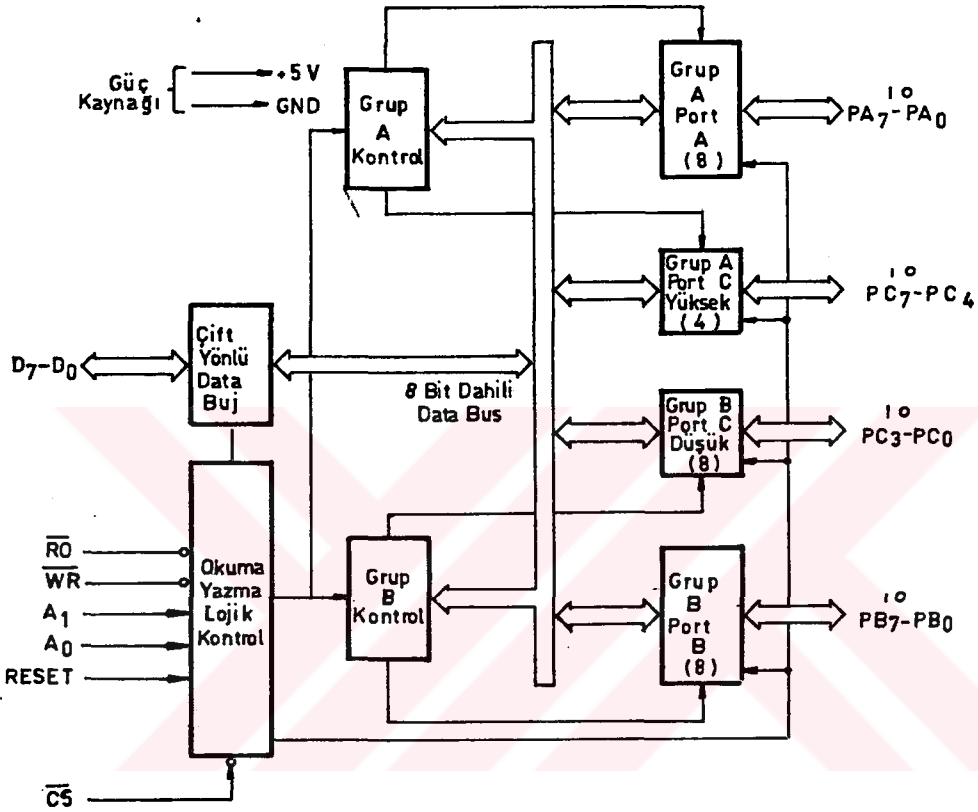
8255A'daki kaynak veya hedef registerleri iki bitlik register seçim kodu vasıtası ile sağlanır. 8255A'nın seçici girişleri olan A0 ve A1'e bu kod 8088 tarafından uygulanır. Port A, Port B ve Port C bu A0 ve A1'in değişimine göre seçilir.

Diğer iki sinyal blok diyagramda gösterildiği gibi RESET ve  $\overline{CS}$  girişleridir. 8255'e yazma ve kuma işlemleri esnasında  $\overline{CS}$  lojik olarak 0 olmalıdır. Giriş ve çıkış işlemleri için tamamlayıcı bir kapasiteye sahiptir.

Diğer taraftan RESET yeni bilgi girişi için kullanılır. 8255'in registerlerini sıfırlayabilmek için güç devreden çıkarılmalıdır veya lajik olarak 0 olmalıdır. Başlangıçta bütün portlar giriş şeklinde düzenlenmiştir.

Diğer taraftan üç bayte genişliğinde I/O portları mevcuttur. Bunlar Port A, Port B ve Port C olarak

isimlendirilirler. Bu portları herbiri 0'dan başlar 7'ye kadar olan birer giriş çıkış hatları ile temsil edilirler. Mesela Port A için PA0 - PA7 gibi. Bunlar giriş ve çıkış işlemlerini tarif ederler. Bunlar toplam olarak 24 I/O hat çıkışı verirler. Şu ana

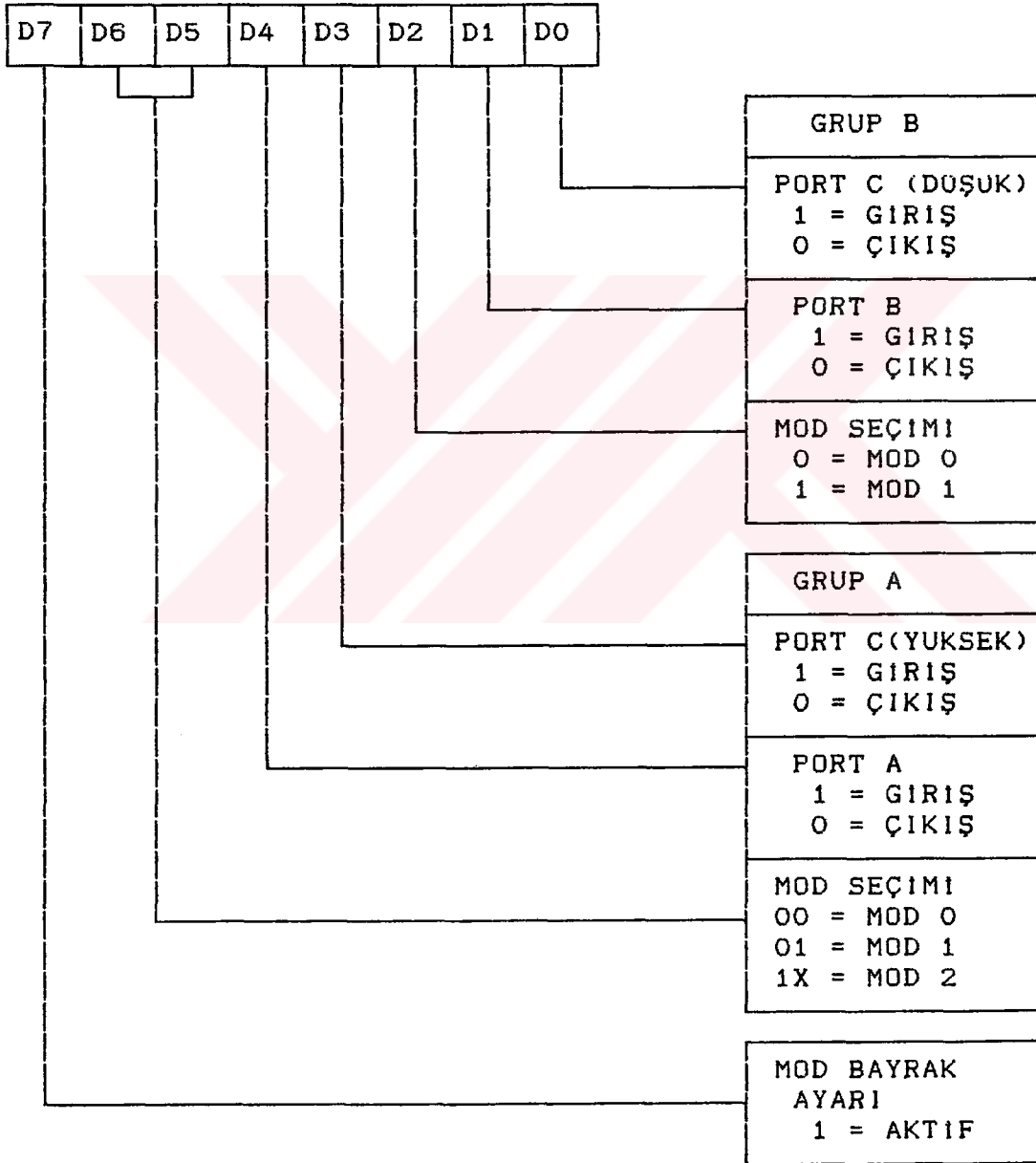


Şekil 4.8. 8255'in blok diyagramı. [6]

kadar program kontrolü altında 8255A'nın karakteristik işlemleri tanımlandı. Bu amaç için 8255A 8 bitlik bir kontrol registeri ihtiva eder. Bu register Şekil 4.8'de gösterildiği gibi grup A ve grup B olarak belirtilmektedir. Giriş ve çıkış işlemleri için bireysel çıkışları tarif etmek amacı ile ve belirtilen üç moddan birini seçebilmek için bu registre bit pozisyonunda 0 veya 1 yazılabilir. Register seçim kodu olan A1 A0 = 11 olması ile 8255A'nın kontrol registerinin içeriği değiştirilebilir.

Şekil 4.9'da kontrol registerinin bitleri ve kontrol

foksiyonları gösterilmiştir Burada Şekil 4.8'deki B blok gurubuna D0'den D2'ye kadar olan bitlere tekabül eder. D3'den D6'ya kadar olan bitler ise grup A'yı temsil eder. D0 ise çıkış ve giriş işlemleri için port C'nin düşük dört bitini ifade eder. Burada D0'ın lojik olarak sıfır olması çıkış işlemini, 1 olması



Şekil 4.9 Kontrol kelimesi ve fonksiyonları. [6]

ise giriş işlemini ifade ettiği unutulmamalıdır. D1 biti 8 bit genişliğindeki giriş ve çıkış portu olarak kullanılacak olan Port B'yi ifade eder.

D2 biti mod seçim bitidir ve MOD1 ve MOD2 olarak isimlendirilen iki farklı işlemden birinin seçiminde fayda sağlar. Lojik 0 MOD0'ı, lojik 1 MOD1' ifade eder.

Kontrol registerindeki takip eden D2'den D6'ya kadar olan bitler grup A'nın kontrolunda kullanılır. D3 port A'yı, D4 ise port C'nin yüksek değerli dört bitini ifade eder. D5 ve D6 ise mod kontrol bitleridir.

Son kontrol register biti ise D7 bayrak yerleştirme modudur. Uygulama modu değiştirilmek istendiğinde bu bit lojik olarak 1 olmalıdır.

MOD0 basit I/O işlemlerinin seçiminde kullanılır. I/O basit işlem tutucu çıkışlar veya seviye yoğunluğu girişleri gibi tarif edilen çıkışlar olarak tanımlayabiliriz. İşlemin bu modu için bu portları D7=1, D6D5 = 00 ve D2 = 0 olur. D7'de lojik 1'in olması bayrakların aktif olduğunu belirtir. Port A, Port B 8 bitlik giriş çıkış ve Port C bağımsız iki 4 bitlik giriş çıkış portu olarak ifade edilebilir.

8255A'nın kurulması için bir örnek verecek olursak: Mesela 80 H = 1000 0000<sub>2</sub> datası kontrol registerine yazılırsa D7 1 olur ve bayraklar aktif olarak ayarlanmış olur. D6, D5 ve D4 bitlerinin 0 olması ile üç port için mod 0 olduğunu, D4, D3, D1 ve D0 bitlerindeki birlerin anlamı ise bütün portların çıkış olarak tanımlandığını ifade eder.

8255A için kullanılacak olan bacak bağlantısı ve bord üzerinde yerleştirilmiş hali Şekil 4.10.'da gösterildiği

gibidir.

[6]

	GND	1		2	GND
TIMER ÇIKIŞI		3		4	TIMER GİRİŞİ
	PC5	5		6	PC4
	PC3	7		8	PC2
	PC1	9		10	PC0
	PB0	11		12	PB1
	PB2	13		14	PB3
	PB4	15		16	PB5
	PB6	17		18	PB7
	PA0	19		20	PA1
	PA2	21		22	PA3
	PA4	23		24	PA5
	PA6	25		26	PA7

(a)

Bordun üstten görünüşü

				1	1	1	1	1	2	2	2	2
2	4	6	8	0	2	4	6	8	0	2	4	6
o	o	o	o	o	o	o	o	o	o	o	o	o
				o	o	o	o	o	o	o	o	o
1	3	5	7	9	1	1	1	1	1	2	2	2
					1	3	5	7	9	1	3	5

Şekil 4.10. (a) 8255A'nın çıkış için kullanılan bacak fonksiyonları. (b) Bord üzerinde yerleştirilmiş konnektör bağlantısı.

#### 4.4.4 SERİ BAĞLANTI

Bu bord seri portu vasıtası ile bir PC ile haberleşebilir ve bu işlem için gerekli bağlantı Şekil 4.11'de gösterilmiştir. Bu seri haberleşme birimi ve hakkındaki genel bilgiler Bölüm 3'de bahsedilmiştir.

Konnektör yüzey görüntüsü.

	5	4	3	2	1
	o	o	o	o	o
	o	o	o	o	
	9	8	7	6	

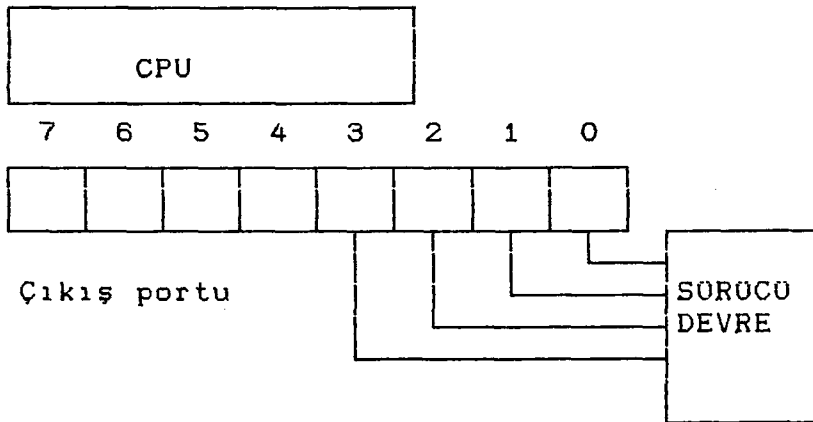
Şekil 4.11 Konnektör bağlantı bacakları

Bacak tanımları:

- 1 - Bağlantı yok
- 2 - Rx<sub>D</sub> data alma
- 3 - Tx<sub>D</sub> data gönderme
- 4 - DTR data terminal hazır
- 5 - GND
- 6 - Bağlantı yok
- 7 - Bağlantı yok
- 8 - CTS
- 9 - Bağlantı yok

#### 4.5. MİKROİŞLEMCİLİ DEVRE İLE STEP MOTORUN KONTROLU

Step motorun kontrolu için kullanılacak devre şematik olarak Şekil 4.12'deki gibidir. Bu devrede bizim için önemli olan sürücü devrenin uçları için gerekli olan sürücü devrenin girişlerine uygulanacak olan lojik sinyalin mikroişlemci tarafından üretilmesini sağlamaktır. Ayrıca bu sinyalin ardışık ve düzenli bir şekilde sürücü devre girişlerine uygulanması oldukça önemlidir.



Şekil 5.12. Çıkış portu ile sürücü devre arasındaki bağlantı. [2]

Dört fazlı bir step motorun sürümü için gerekli olan dijital sinyalleri üç farklı grupta inceleyebiliriz. Bunlar ise iki faz uyarımı, tek faz uyarımı, yarım adım uyarımı şeklinde sınıflandırmak mümkündür. Bu durumda her uyarım için saat yelkovanı doğru ve ters yönü doğrultusu için her üç farklı uyarım tipinde ihtiyaç duyulan dijital sinyallerin değişimi Şekil 4.13'deki gibidir.

	7	6	5	4	3	2	1	0
↑	0	0	1	1	0	0	1	1
	0	1	1	0	0	1	1	0
	1	1	0	0	1	1	0	0
	1	0	0	1	1	0	0	1
	0	0	1	1	0	0	1	1

*Saat yelkovanı  
ters doğrultusu.*

(a)

	7	6	5	4	3	2	1	0
	0	0	0	1	0	0	0	1
	0	0	1	0	0	0	1	0
	1	1	0	0	0	1	0	0
	0	0	0	0	1	0	0	0

(b)

	7	6	5	4	3	2	1	0
	0	0	0	0	0	1	1	1
	0	0	0	0	1	1	1	0
	0	0	0	1	1	1	0	0
	0	0	1	1	1	0	0	0
	0	1	1	1	0	0	0	0
	1	1	1	0	0	0	0	0
	1	1	0	0	0	0	0	0
	1	0	0	0	0	0	0	0

(c)

Şekil 4.13 (a) iki faz uyarımı.(b) Tek faz uyarımı.(c) Yarım adım uyarım. [2]

Şekilde görüldüğü gibi başlangıç uyarımın HEX değeri Şekil a için 33'e tekabül etmektedir. Bu durumda hazırlanacak olan program içerisinde bu 33H değerinin makina dili komutları ile döndürülmesi ile saat ibresi veya ters yönünde hareketi sağlamak mümkündür. Bilindiği gibi stap motorlar aniden sükunet hızına ulaşamaz ve aniden duramazlar. O halde bu motorların sürülmesi işlemi sırasında belirli bir artış ivmesi ile sükunet hızına ulaşılmalı ve yine bir azalış ivmesi ile durdurulmalıdır. Bunu sağlamak amacı ile her adım arasında belirli bir gecikme yapılması gereklidir. Bu zaman aralıklarını teker teker hesaplanması gereklidir. Bu hesap ise : Başlangıç hızı  $f_1=500$  Hz sükunet hızı  $f_2=2000$  KHz olacak ve bu hıza 20 adımda ulaşılabacaktır. Buna göre eşitlik 4.1'den:

$$\beta = \frac{2 (f_2^2 - f_1^2)}{\sqrt{((2M - 3)^2 + (f_2/f_1)^2 - 1) + (2M-3)}} \quad (4.1)$$

hızlandırma katsayısı olan  $\beta$ 'yı bulabiliriz. Buna göre  $\beta=101075$  Adım /sn<sup>2</sup> olarak bulunur.

$$\Delta t_n = \frac{2}{\sqrt{(f_2^2 - 2(M-m)\beta) + \sqrt{(f_2^2 - 2(M-1)\beta)}}} \quad (4.2)$$

Eşitlik 4.2 yardımı ile adımlar arasındaki geçen zamanı bulabiliriz. Ayrıca Hex olarak bu zamanların ifadesi ( $Q_n$ ) ise eşitlik 4.3'den hesaplanır.

$$Q_n = \left( \frac{t_n}{0.5 \cdot 10^{-6}} - 177 \right) / 15 \quad (4.3)$$

Belirtilen değerler ölçüsünde hızlandırma tablosunu



ilk altı adım için hesaplayacak olursak:

	$t_n$ (ms)	$Q_n$	Yak. deg	Hex
1	1.984	252.2	252	FC
2	1.460	182.9	183	B7
3	1.212	149.8	150	96
4	1.059	129.4	129	81
5	0.952	115.1	115	73
6	0.873	104.6	109	69

Tabblo 4.1 [2]

Bu deęerlere gre step motorun ykseliř ivmesi saęlanmalıdır. [2]

BÖLÜM 5 STEP MOTOR KONTROL İÇİN EPROM PROGRAMI

E000 E9 12 03 AÇILIŞ: JMP BAŞLA  
;EŞİTLİKLER  
CR EQU ODh  
LF EQU OAh

AÇIKLAMA:

E004	0D					DB	CR
E005	53 54 45 50 50					DB	'STEPPER MOTOR PROGRAMI'
	45 52 20 4D 4F						
	54 4F 52 20 4B						
	4F 4E 54 52 4F						
	4C 20 50 52 4F						
	47 52 41 4D 49						
E022	0D 0A					DB	'CR,LF'
E024	45 2E 55 2E 20					DB	'E.U. FEN BİLİMLERİ ENSTİTÜSÜ'
	46 45 4E 20 42						
	49 4C 49 4D 4C						
	45 52 49 20 45						
	4E 53 54 49 54						
	55 53 55						
E040	0D 0A					DB	'CR,LF'
E042	45 4C 45 4B 54					DB	'ELEKTRONİK ANABİLİM DALI'
	52 4F 4E 53 4B						
	20 41 4E 41 42						
	49 4C 49 4D 20						
	44 41 4C 49						
E05A	0D 0A					DB	'CR,LF'
E05C	59 55 4B 53 45					DB	'YÜKSEK LİSANS TEZİ OLARAK HAZIRLANMIŞTIR'
	4B 20 4C 49 53						
	41 4E 53 20 54						
	45 5A 49 20 4F						
	4C 41 52 41 4B						
	20 48 41 5A 49						
	52 4C 41 4E 4D						
	49 53 54 49 52						
E084	0D 0A					DB	'CR,LF'
E086	54 45 5A 20 44					DB	'TEZ DANIŞMANI : YRD DOÇ DR KEMAL KIYMIK'
	41 4E 49 53 4D						
	41 4E 49 20 3A						



	53 49 4E 49 5A 20		
E164	OD OA 00	DB	'CR,LF,0'
		YÖN:	
E167	OD OA	DB	CR,LF
E169	59 4F 4E 20 49 43 49 4E 20 30 20 53 41 41 54 20 44 4F 4E 55 53 55 20	DB	'YÖN İÇİN 0 SAAT DÖNÜŞÜ 1 TERS DÖNÜŞ YÖNÜNÜ İFADE EDER '
E19F	OD OA	DB	OD,OA
E191	48 45 52 48 41 4E 47 49 20 42 49 52 49 4E 49 20 54 45 52 43 49 48 20 45 44 49 4E 49 5A	DB	'HERHANGİ BİRİNİ SEÇİNİZ'
E1BE	OD OA 00	DB	'OD,OA,0
		TİP:	
E1C1	OD OA	DB	OD,OA
E1C3	41 44 49 4D 20 54 49 50 49 20 49 43 49 4E 20 30 20 54 41 4D 20 41 44 49 4D 49 20 31 20 59 41 52 49 4D 20 41 44 20 49 46 41 44 45 20 45 44 45 52	DB	'ADIM TIPI İÇİN 0 TAM ADIMI, 1 YARIM ADIMI İFADE EDER '
E1F6	OD OA 00	DB	OD,OA,0
		ADIM:	
E1F9	OD OA	DB	OD,OA
E1FB	41 44 49 4D 20 53 41 59 49 53 49 20 42 49 52 20 42 41 59 54 45 4C 49 4B 20 42 49 52 20 44 41 54 41 20 4F 4C 41 42 49 4C 49 52	DB	'ADIM SAYISI İÇİN BİR BYTE'LİK BİR DATA YAZABİLİRSİNİZ'
E225	OD OA 00	DB	CR,LF,0
		HATA:	
E228	OD OA	DB	CR,LF
E22A	48 41 54 41 4C	DB	'HATALI İŞLEM YAPTINIZ'

```

    49 20 49 53 4C
    45 4D 20 59 41
    50 54 49 4E 49
    5A 20
E240 0D 0A 00          DB   OD,OA,O

                                KOMUT:
E243 59 79 41 61 54    DB  'YyAaTtBb?'
    74 42 62 3F

                                ISR:
E24C  CF              IRET

```

BL Registeri içindeki datayı COM portuna gönderen alt program.

```

                                KAR.CIK:
E24D 52                PUSH DX
E24E 50                PUSH AX
E24F BA 01 B0          MOV DX,STATREG

                                KAR.CIK1:
E252 EC                IN AL,DX
E253 24 01             AND AL,TXRD ;Buffeler boşmu
E255 74 FB             JZ KAR.CIK1
E257 BA 00 B0          MOV DX,DATAREG
E25A 88 D8             MOV AL,BL ;BL'deki bilgi COM
E25C EE                OUT DX,AL portuna gönderilir.
E25D 5B                POP AX
E25E 5A                POP DX
E25F C3                RET

```

Karakterlerin COM portu vasıtası ile çıkışı sırasında satır başına gidilmesini sağlayan alt program.

```

                                CRLF:
E260 53                PUSH BX
E261 B3 OD             MOV BL,OD
E263 E8 E7 FF          CALL KAR.CIK
E266 B3 OA             MOV BL,OA
E268 E8 E2 FF          CALL KAR.CIK
E26B 5B                POP BX
E26C C3                RET

```

COM portundan AL registerine bilgi alınmasını sağlayan alt program.

```

                                KAR.AL:
E26D 52                PUSH DX
E26E 53                PUSH BX

                                KAR.ALO:

```

```

E26F BA 01 B0          MOV DX,B001
KAR.AL1:
E272 EC              IN AL,DX
E273 24 02          AND AL,02
E275 74 FB          JZ KAR.AL1 ;B001'den gelen bil-
E277 BA 00 B0          MOV DX,B000 ginin irdelenmesi.
KAR.AL2:
E279 EC              IN AL,DX ;AL'ye karakter al.
E27A 3C 03          CMP AL,03 ;^C midir.
E27C 75 03          JNE KAR.AL4 ;değilse devam et.
E27E                JMP DIG.KOM ;Evetse diğer komu-
                        ta git.
KAR.AL4:
E281 24 7F          AND AL,7FH ;ASCII'mi
E283 8A D8          MOV BL,AL ;AL'yi görüntülemek
                        için BL'ye yükle.
E285 E8 C5 FF          CALL KAR.CIK
KAR.CIK3:
E288 5B              POP BX
E289 5A              POP DX
E28A C3              RET

```

COM porttan bir byte'lik bir bilginin okunmasını sağlayan alt program.

```

BYT.AL:
E28B 51              PUSH CX
E28C 53              PUSH BX
E28B BB 00 00          MOV BX,0H ;BX'i sıfırla
E28E B9 02 00          MOV CX,2H ;Sayıcıyı 2 karektere
                        ayarla.
BYT.AL1:
E291 51              PUSH CX
E292 E8 D8 FF          CALL KAR.AL ;AL'ye birkarakter
                        al.
E295 2C 30          SUB AL,30H ;Karakterleri üç parça-
                        ya ayır.
E297 7C 1A          JL BYT.AL3 ;En az ağırlıklı
                        bitlermi kontrol
                        et.
E299 3C 09          CMP AL,09
E29B 7E 0A          JLE BYT.AL2 ;Eğer tamam ise
                        byt.al2'ye git.
E29C 24 5F          AND AL,5FH ;Düşük bitlere izin
                        ver.
E29E 2C 07          SUB AL,7 ;Bu değeri A-F arası
                        bir değere ayarla.
E2A0 7C 10          JL BYT.AL3 ;A-f arasında ise
                        byt.al3'e git.
E2A2 3C 0F          CMP AL,15 ;eğer high ise kont-
                        rol et.
E2A4 7F 0C          JG BYT.AL3
BYT.AL2:

```

```

E2A6 98          CBW ;Byte'ı Word'a çevir
E2A7 B1 04      MOV CL,4H ;Sayıcıyı 4'e ayarla
E2A9 D3 E3      SAL BX,CL
E2AA 03 D8      ADD BX,AX ;Dijital değeri top-
                    toplama.

E2AC 59          POP CX
E2AD E2 E0      LOOP BYT.AL1
E2AF 8B C3      MOV AX,BX

                    BYT.AL3:
E2B1 5B          POP BX
E2B2 59          POP CX
E2B3 C3          RET

```

SI'nin gösterdiği başlangıç adresinden itibaren bir ASCII karakteri COM porta gönderir.

```

                    ALF.GÖR:
E2B4 53          PUSH BX

                    ALF.GÖR1:
E2B5 8A 1C      MOV BL,[SI] ;karakter al.
E2B6 80 FB 00   CMP BL,0H ;bu karakter sıfırmı.
E2B9 74 06      JE ALF.GÖR2 ;Sıfır ise ALF.GÖR2
                    ye git.
E2BB E8 8F FF   CALL KAR.ÇIK ;Sıfır değilse bu
                    karakteri görün-
                    le.

E2BE 46          INC SI
E2BF EB F3      JMP ALF.GÖR1

                    ALF.GÖR2:
E2C1 5B          POP BX
E2C2 C3          RET

```

31 µsn gecikme sağlayan bir alt programdır.

```

                    GECİKME:
E2C3 51          PUSH CX
E2C4 B9 00 04   MOV CX,4H

                    GEC:
E2C7 90          NOP
E2C8 E2 FD      LOOP GEC
E2CA 59          POP CX
E2CB C3          RET

```

PC Monitöründe başlangıç menüsünü görüntüleyen bir alt programdır.

```

                    GÖRONTÖLE:
E2CC BE ED E0   MOV SI,MENU
E2CF E8 E2 FF   CALL ALF.GÖR

```

E2D2 C3 RET

Adım yönünün girilmesini sağlayan alt programdır.

A.YONU:

E2D3	BE 67 E1	MOV SI,YÖN
E2D6	E8 DB FF	CALL ALF.GÖR
E2D9	B3 20	MOV BL,'-'
E2DB	E8 6F FF	CALL KAR.ÇIK
E2DE	E8 8C FF	CALL KAR.AL
E2E1	BB 20 01	MOV BX,0120H
E2E4	88 07	MOV [BX],AL ; Okunan adım yönü 0120 adresinde saklanır.

E2E6 C3 RET

Adım sayısının girilmesini sağlayan alt programdır.

ADIM S:

E2E7	53	PUSH BX
E2E8	BE F6 E1	MOV SI,ADIM
E2EB	E8 C6 FF	CALL ALF.GÖR
E2EE	B3 20	MOV BL,'-'
E2F0	E8 5A FF	CALL KAR.ÇIK
E2F3	E8 77 FF	CALL BYT.AL
E2F6	BB 21 01	MOV BX,0121H
E2F9	88 07	MOV [BX],AX ; Okunan adım sayısı 0121 adresinde saklanır.

E2FB 5B POP BX  
E2FC C3 RET

Adım tipinin girilmesini sağlayan alt programdır.

A.TIPI:

E2FD	BE C1 E1	MOV SI,TIP
E300	E8 B1 FF	CALL ALF.GÖR
E303	B3 20	MOV BL,'-'
E305	E8 45 FF	CALL KAR.ÇIK
E308	E8 62 FF	CALL KAR.AL
E30B	BB 23 01	MOV BX,0123H
E30E	88 07	MOV [BX],AX ; Okunan adım tipi 0123 adresinde saklanır.

E310 C3 RET



Motorun çalıştırılabilmesi için gerekli olan alt programa gidilmeyi sağlayan alt program.

```

MOT.CAL:
E311                                CALL MOTOR
E314  C3                            RET

BAŞLA:
E315  B9 00 00                      MOV CX,0H
GECIKME1:                          ;Gücün yeterli sevi-
E317  90                            NOP                               ;yeye kadar yükselme-
                                       ;si için gerekli ge-
                                       ;cikme sağlanır.

E318  E2 FD                          LOOP GECIKME1
E31A  FA                            CLI                               ;kesme kabul etme.
E31B  33 C0                          XOR AX,AX
E31D  8E D8                          MOV DS,AX
E31F  8E D0                          MOV SS,AX
E321  BE C                            MOV ES,AX
E323  BC 00 20                       MOV SP,2000H ;Stekler için baş-
                                       ;değeri.

E326  8B EC                          MOV BP,SP
E328  B8 00 00                       MOV AX,0 ;Kesme vektörlerinin
                                       ;başlangıç değerleri.

E32B  BB 4C E2                       MOV BX,ISR
E32E  B9 00 01                       MOV CX,0100H ;Okuma ve yazma i-
                                       ;çin başlangıç ad-
                                       ;resini 0100 al.

E331  89 1E 00 00                   MOV SIF.BOL,BX
E335  A3 02 00                       MOV SIF.BOL+2,AX
E338  89 1E 04 00                   MOV BIR.ADM,BX
E33C  A3 06 00                       MOV BIR.ADM+2,AX
E33F  89 0E 08 00                   MOV NMIVECT,CX
E343  A3 0A 00                       MOV NMIVECT+2,AX
E346  89 16 0C 00                   MOV BIRBYT,DX
E34A  A3 0E 00                       MOV BIRBYT+2,AX
E34D  89 1E 10 00                   MOV TASMA,BX
E351  A3 12 00                       MOV TASMA+2,AX
E354  FB                            STI ;kesmeyi serbest bırak.

```

UART için 8155'in clock sinyalinin 300 baud olacak şekilde ayarlanması.

```

E355  BA 04 80                       MOV DX,8004H ;8155'in timer re-
                                       ;gister adresini DX
                                       ;e yükle.
E358  B8 A1 41                       MOV AX,41A1H ;4.8 KHz'lik kare
                                       ;dalga çıkışı sağ-
                                       ;la.
E35B  EF                              OUT DX,AX ;300 baud için 8155'i
                                       ;ayarla.

```

```

E35C BA 00 80      MOV DX,8000H
E35F B0 C0        MOV AL,COH ;Timer'i başlat.
E361 EE          OUT DX,AL

```

8251'in ayarlanması.

```

E362 BA 01 B0      MOV DX,STATREG ; Komut register
                  adresini DX'e
                  yükle.
E365 B0 00        MOV AL,00H
E367 EE          OUT DX,AL
E368 E8 58 FF      CALL GECIKME
E36B EE          OUT DX,AL
E36C E8 54 FF      CALL GECIKME
E36F EE          OUT DX,AL
E370 E8 50 FF      CALL GECIKME
E373 B0 40        MOV AL,40H
E375 EE          OUT DX,AL
E376 E8 4A FF      CALL GECIKME

```

Baud oran faktörü 16X'e, karakter uzunluğu 8bi, party yok ve 1 bit stop biti olacak şekilde mod ayarının yapılması.

```

E379 B0 4E        MOV AL,4EH ;Mod byte'ını AL'ye
                  yükle.
E37B EE          OUT DX,AL ;8251'in komut regis-
                  terine gönder.
E37C E8 44 FF      CALL GECIKME

```

DTR ve RTS için başlangıç işlemleri.

```

E37F B0 37        MOV AL,37 ;Komut Byte'ını AL'ye
                  yükle.
E381 EE          OUT DX,AL ;8251'i kur.
E382 E8 3E FF      CALL 3C3

```

Açılış menüsünün görüntülenmesi.

A.MENU:

```

E385 BE 05 E0      MOV SI,AÇIKLAMA ;*çılış adresi-
                  ni SI'ya yükle.
E388 E8 29 FF      CALL ALF.GÖR

```

Bir sonraki komutun işleyişi belirlenir.

DIĞER KOMUT:

```

E38B E8 D2 FE      CALL CRLF
E38E B3 7D        MOV BL,')'
E390 E8 BA FE      CALL KAR.CIK
E393 E8 D7 FE      CALL KAR.AL

```

```

E396 B4 00          MOV AH,0
E398 BB 00 00      MOV BX,0

```

Kullanılmak istenen komutun mevcut komutlar arsında olup olmadığı bu bölümde tesbit edilir. Eger yok ise kullanıcı hata mesajı ile uyarılır.

## MATC:

```

E39B 3C 09          CMP BL,9
E39D 76 08          JNA HATAYOK
E39F BE 28 E2      MOV SI,HATA
E3A2 E8 0F FF      CALL ALF.GÖR
E3AC EB E4          JMP DİGER KOMUT

```

Eger doğru işlem yapıldı ise bu komutun işleyişi sağlanır.

## HATA YOK:

```

E3A7 3A 87 43 03  CMP AL,CMND[BX]
E3AB 74 0C          JE DISPATCH
E3AD FE C3          INC BL
E3AF 75 E9          JNZ MATC
E3B1 BE 28 E2      MOV SI,HATA
E3B4 E8 FD FE      CALL ALF.GÖR
E3B7 EB D2          JMP DİGER KOMUT

```

Tesbit edilen komutun icra ettirilmesi için komut tablosundan belirtilen komutun adresine gidilir.

## DISPATCH:

```

E3B9 D0 E3          SHL BL,1
E3BB 8D 87 43 E2  LEA AX,CCP[BX]
E3BF 89 C3          MOV BX,AX
E3C1 FF E3          JMP [BX]

```

## Komut tablosu.

```

E3C3 E8 0D FF      CCPO0: CALL A.YON
E3C6 EB C3          JMP DİGER KOMUT

E3C8 E8 08 FF      CCPO1: CALL A.YON
E3CB EB BE          JMP DİGER KOMUT

E3CD E8 17 FF      CCPO2: CALL A.SAYISI
E3D0 EB B9          JMP DİGER KOMUT

E3D2 E8 12 FF      CCPO3: CALL A.SAYISI
E3D5 EB B4          JMP DİGER KOMUT

E3D7 E8 23 FF      CCPO4: CALL A.TIPI
E3DA EB AF          JMP DİGER KOMUT

CCPO5:

```

E3DC	E8 1E FF	CALL A.TIPI
E3DF	EB AA	JMP DİGER KOMUT
CCP06:		
E3E1	E8 2D FF	CALL M.CAL
E3E4	EB A5	JMP DİGER KOMUT
CCP07:		
E3E6	E8 28 FF	CALL M.CAL
E3E9	EB A0	JMP DİGER KOMUT
CCP08:		
E3EB	E8 DE FE	CALL MENU
E3EE	EB 9B	JMP DİGER KOMUT

Komut adresleri.

CCP:		
E3F0	C3 E3	DW CCP00 ; Y - YÖN
E3F2	C8 E3	DW CCP01 ; y -
E3F4	CD E3	DW CCP02 ; A - ADIM SAYISI
E3F6	D2 E3	DW CCP03 ; a
E3F8	D7 E3	DW CCP04 ; T - ADIM TIPI
E3FA	DC E3	DW CCP05 ; t
E3FC	E1 E3	DW CCP06 ; B - BAŞLA
E3FE	E6 E3	DW CCP07 ; b
E400	EB E3	DW CCP08 ; ? - MENU

Motorun çalıştırılması gerekli olan sinyalin çıkışını 8155'den elde edilmesini sağlayan alt program.

MOTOR:		
E402	BE 20 01	MOV SI,0120 ;Adım tipini al.
E405	8A 24	MOV AH,[SI]
E407	80 E4 0F	AND AH,0F
E40A	BE 21 01	MOV SI,0121 ;Adım sayısını al.
E40D	8A 04	MOV AL,[SI]
E40F	24 0F	AND AL,0F
E411	88 C7	MOV BH,AL
E413	46	INC SI
E414	8A 04	MOV AL,[SI]
E416	24 0F	AND AL,0F
E418	B1 00	MOV CL,00

LOOP0:		
E41A	D0 D0	RCL AL,1
E41C	FE C1	INC CL
E41E	80 F9 04	CMP CL,04
E421	75 F7	JNZ LOOP0
E423	20 F8	AND AL,BH
E425	88 C1	MOV CL,AL
E427	BA 00 80	MOV DX,8000
E42A	B4 01	MOV AH,01
E42C	EE	OUT DX,AL
E42D	BA 01 80	MOV DX,8001
E430	B0 33	MOV AL,33

```

E432 EE OUT DX,AL ;ilk adım çıkışın
                                sağla.
E433 BE 74 E4 MOV SI,E474
E436 B5 00 MOV CH,00

                                DÖNDÜR:
E438 80 FF 00 CMP AH,0
E43B 74 06 JZ SOLA ;Yön tain et

                                SAĞA:
E43D D0 D8 RCR AL,1
E43F EB 02 JMP STEP

                                SOLA:
E441 D0 D4 RCL AL,1

                                STEP:
E443 EE OUT DX,AL
E444 90 NOP
E445 FE C5 INC CH ; Gerçekleştirilen a-
                                dımların sayılması.

E447 FE C9 DEC CL
E449 80 F9 00 CMP CL,00
E44C 74 25 JZ DÖN
E44E 80 FD 07 CMP CH,07
E451 75 0A JNZ HIZLANDIR
E453 80 F9 06 CMP CL,06
E456 75 10 JNZ YAVAŞLAT
E458 E8 68 FE CALL GECIKME
E45B EB DB JMP DÖNDÜR

                                HIZLANDIR:
E45D 51 PUSH CX
E45E 8A 0C MOV CL,[SI]

                                LOOP1:
E460 FE C9 DEC CL
E462 75 FC JNZ LOOP1
E464 46 INC SI
E465 59 POP CX
E466 EB D0 JMP DÖNDÜR

                                YAVAŞLAT:
E468 51 PUSH CX
E469 8A 0C MOV CL,[SI]

                                LOOP2:
E46B FE C9 DEC CL
E46D 75 FC JNZ LOOP2
E46F 4E DEC SI
E470 59 POP CX
E471 EB C5 JMP DÖNDÜR

                                DÖN:
E473 C3 RET
E474 FC B7 96 81 73 DB FC,B7,96,81,73,69
69

```

Kullanılan terimlerin program icindeki adresleri.

AÇIKLAMA.....	E004	-TEXT
ADIM.S.....	E2E7	-TEXT
ADIM.....	E1F9	-TEXT
ALF.GÖR.....	E2B4	-TEXT
ALF.GÖR1.....	E2B5	-TEXT
ALF.GÖR2.....	E2C1	-TEXT
A.MENÜ.....	E385	-TEXT
A.TİPİ.....	E2FD	-TEXT
A.YÖNÜ.....	E2D3	-TEXT
BAŞLA.....	E315	-TEXT
BİR ADIM.....	TEXT DS:[0004]	
BİR.BYT.....	TEXT DS:[000C]	
BYT.AL.....	E291	-TEXT
BYT.AL1.....	E2E6	-TEXT
BYT.AL3.....	E2B1	-TEXT
CCP.....	E3F0	-TEXT
CCP00.....	E3C3	-TEXT
CCP01.....	E3C8	-TEXT
CCP02.....	E3CD	-TEXT
CCP03.....	E3D2	-TEXT
CCP04.....	E3D7	-TEXT
CCP05.....	E3DC	-TEXT
CCP06.....	E31E	-TEXT
CCP07.....	E3E6	-TEXT
CCP08.....	E3EB	-TEXT
CRLF.....	E260	-TEXT

DİĞER KOMUT..... E38B -TEXT  
DISPATCH..... E3B9 -TEXT  
DÖNDÜR..... E438 -TEXT  
GECİKME..... E2C3 -TEXT  
GEC..... E2C7 -TEXT  
GECİKME1..... E317 -TEXT  
GÖRONTULE..... E2CC -TEXT  
HATA..... E228 -TEXT  
HIZLANDIR..... E45D -TEXT  
ISR..... E24C -TEXT  
KAR.AL..... E26D -TEXT  
KAR.ALO..... E26F -TEXT  
KAR.AL1..... E272 -TEXT  
KAR.AL2..... E279 -TEXT  
KAR.AL3..... E288 -TEXT  
KAR.AL4..... E281 -TEXT  
KAR.CIK..... E24D -TEXT  
KAR.CIK1..... E252 -TEXT  
KOMUT..... E243 -TEXT  
LOOP0..... E41A -TEXT  
LOOP1..... E460 -TEXT  
LOOP2..... E46B -TEXT  
MATCH..... E39B -TEXT  
MENU..... E0ED -TEXT  
MOT.ÇAL..... E311 -TEXT  
MOTOR..... E402 -TEXT  
NMIVECT..... TEXT DS:100081  
SAGA..... E43D -TEXT

SIF.BOL..... TEXT DS:[00001]  
SOLA..... E441 -TEXT  
STATREG..... SAYI B001  
STEP..... E443 -TEXT  
TAŞMA..... TEXT DS:[00101]  
TIP..... E1C1 -TEXT  
TXRDY..... SAYI 0001





## TARTIŞMA VE SONUÇ

Bilindiği gibi step motorların kullanımı oldukça yaygınlaşmış ve bu motorların kontrolunda mikroişlemcili düzeneklerin kullanımı ise gün geçtikçe önem kazanmıştır. Bu tezin hazırlanmasındaki amaç böylesine önemli bir sistem elemanının kontrolunu bir mikroişlemsili düzenek ile kontrol etmektir.

Step motorların kontrolunda dikkat edilmesi gereken en önemli husus başlangıçta yani step motorun dönmeye başladığı an ve step motorun durmaya yöneldiği andır. Çünkü step motorun belirli bir hıza hemen ulaşması yapı itibarı ile sakıncalıdır. Dolayısıyla step motorun sükunet hızına ulaşması kademe kademe ve belirli sınırlar içerisinde gerçekleştirilmelidir. Durdurulması işleminde ise yine aynı şekilde kademe kademe hız azaltımına gidilerek gerçekleştirilmelidir. Bu tip kontrollarda adım tipi, adım sayısı ve adım yönünün belirlenmesi ve kullanılması ile ilgili herhangi bir problemle karşılaşılmaz.

Hazırlanan mikroişlemcili düzenekte belirttiğimiz gibi adım sayısı, adım yönü ve adım tipi gibi step motorun kontrolu hakkındaki taban kriterlerin teminine ve kullanımına önem verildi. Mikroişlemcili düzenegin çalışmasında esas yapı ise şöyledir ; Düzenek içerisindeki EPROM'a motorun kontrolunda ve sistem hakkındaki gerekli program yüklendi. Devre bir PC bilgisayarın seri portu ve kendi seri portu vasıtasıyla haberleşme imkanına sahiptir. Bu işlem için gerekli bilgiler ise EPROM içerisinde yüküdür. Böylece mikroişlemcili devremiz PC

bilgisayarın klavyesi ve monitörünü doğrudan kullanabilmekte ve dolayısıyla motorun kontrolü için gerekli dataların temini PC bilgisayarın klavyesinden mikroişlemcili devre tarafından doğrudan okunabilmektedir. Herbir datanın ne özellikte olduğu ise devrenin EPROM'undaki program tarafından kullanıcıya bilgi vermek için PC bilgisayarın monitöründe görüntülenebilmektedir. Kısaca PC bilgisayarın klavyesinden adım sayısı, adım tipi, adım yönü ve başlangıç kontrol değerleri klavyeden okunduktan sonra motor kontrolü için gerekli olan çıkış sinyali devrenin 8155'li çıkış portundan elde edilmektedir. Bu işlemler esnasında herhangi bir hata yapılacak olursa hata mesajı monitörde görüntülenir ve kullanıcı komutu tekrar denemesi için uyarılır.

Motora dönmesi için gerekli başlama sinyali verildikten sonra devre gerekli motor kontrol çıkış sinyallerini üretir. Belirtilen sayıda adımlama işlemi tamamlandıktan sonra sistem ikinci bir işlem için başlangıca döner.

Buraya kadar bahsettiğimiz kontrol düzeni açık çevrim kontrol işlemidir. Eğer bu devre ile kapalı çevrim kontrol yapılmak istenirse bu işlem bu devre ile oldukça kolaydır. Şöyleki kapalı çevrim için gerekli geribesleme sinyalinin mikroişlemci tarafından algılanması işlemini sağlamak için devrenin paralel portlarından bir tanesinin giriş portu olarak kullanılması ile gerçekleştirilebilir. Motorun geribesleme sinyallerinden alınan dataların değerlendirilmesini sağlamak için mevcut programa birtakım eklerin yapılması gerekmektedir. Bu ekler ise yine yapılacak olan kapalıçevrimin tasarlanmasına göre değişmektedir.

Sonuç olarak bu devrenin yetenekleri ve hakkındaki ihtiyaç

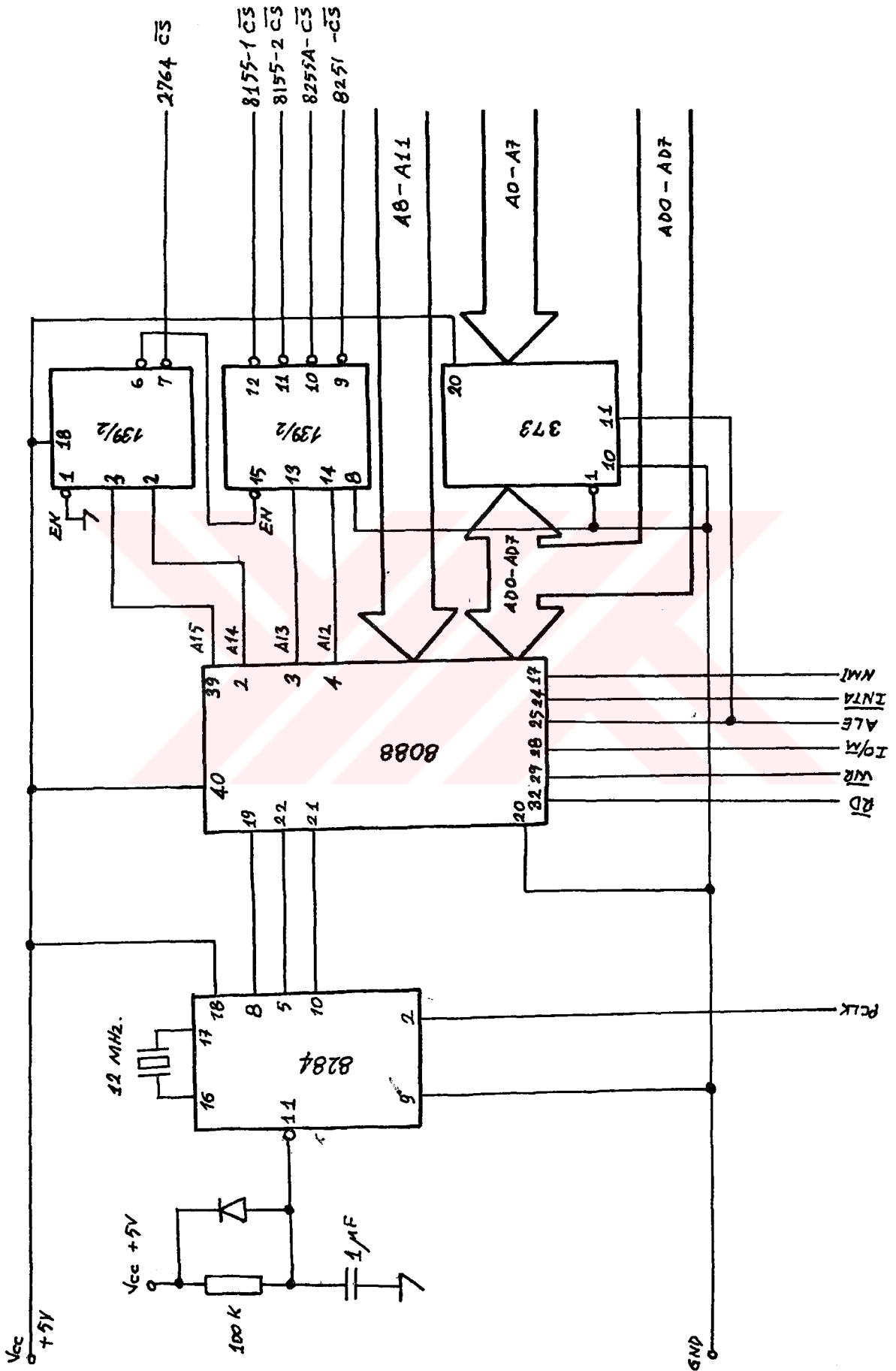
duyulan kriterler bilindiğinde, devrede herhangi bir fiziksel deęişiklik yapılmaksızın başka amaçlar için kullanımı mümkündür.



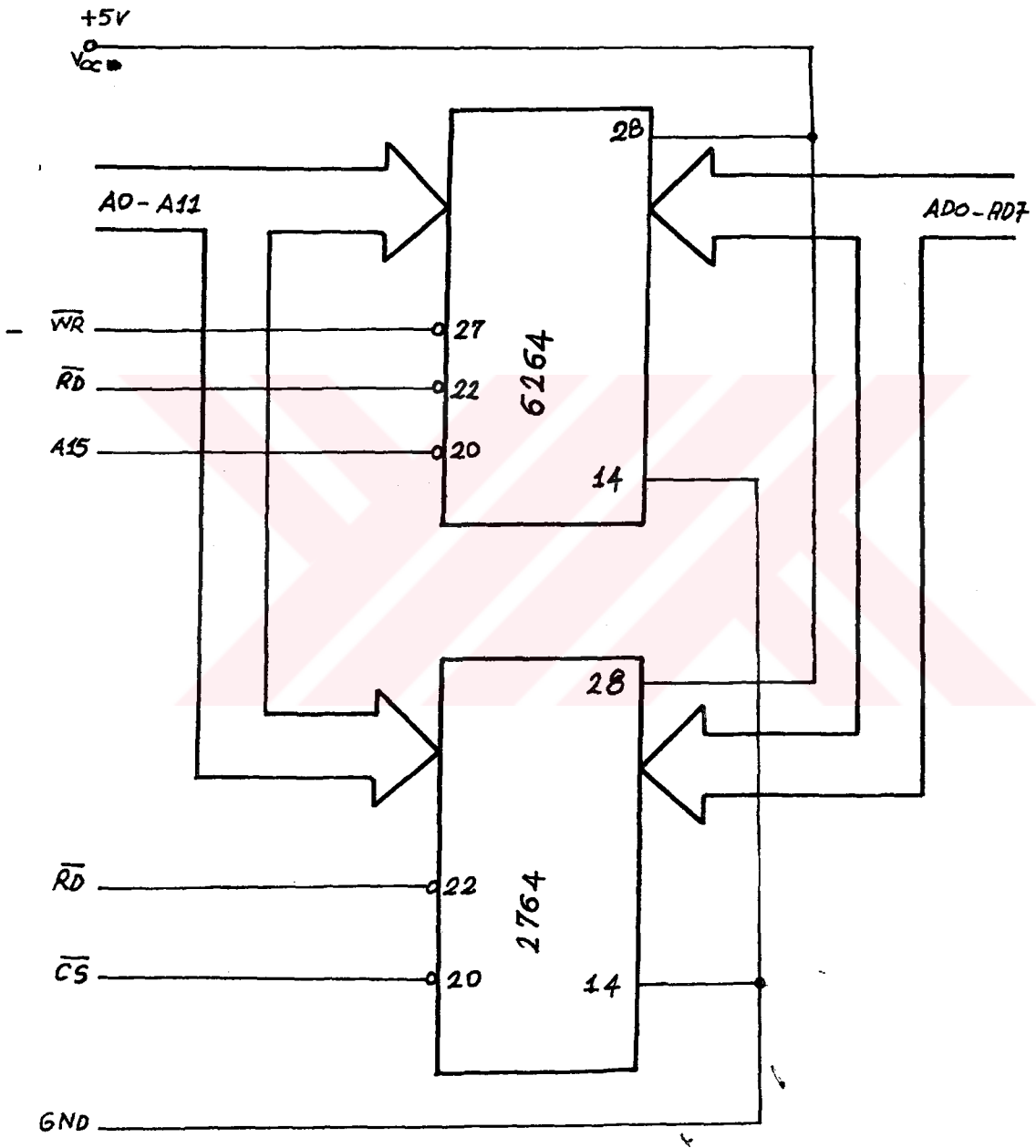
## KAYNAKALAR

- 1 - Stepping Motors Aquide Modern Theory and Practice  
P.P ACARNLEY 1982
- 2 - Stepping Motors and Their Microprocessor control  
Takashi KENJO 1984
- 3 - Basıv, Pascal ve Cobol ile Asembly  
Bahattin BAYDURAN 1989
- 4 - Microprocessor/Hardware Interfacing and Aplications  
BREY 1983
- 5 - Microprocessor Architecture, Programing and Aplications with  
the 8085/8080A Ramesh S. GAONKAR
- 6 - The 8088 Microprocessor Programing, Interfacing, Hardware  
and Aplications A.SINGH, W.A. TRIEBEL 1989
- 7 - Microprocessor Systems Hardware, Software Aplications  
J.W. STEWART 1990

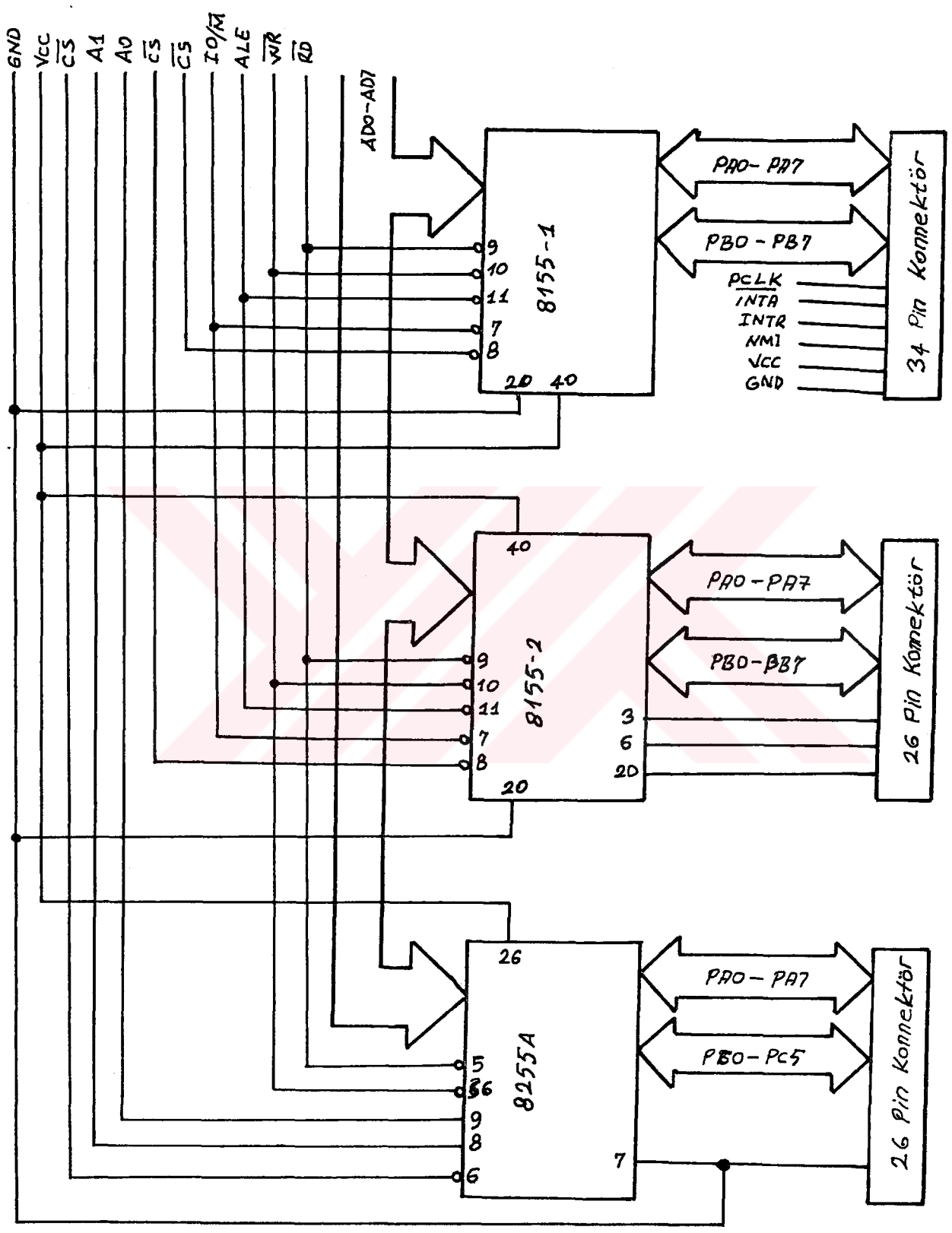
# Mikroişlemci Devre Bölümü



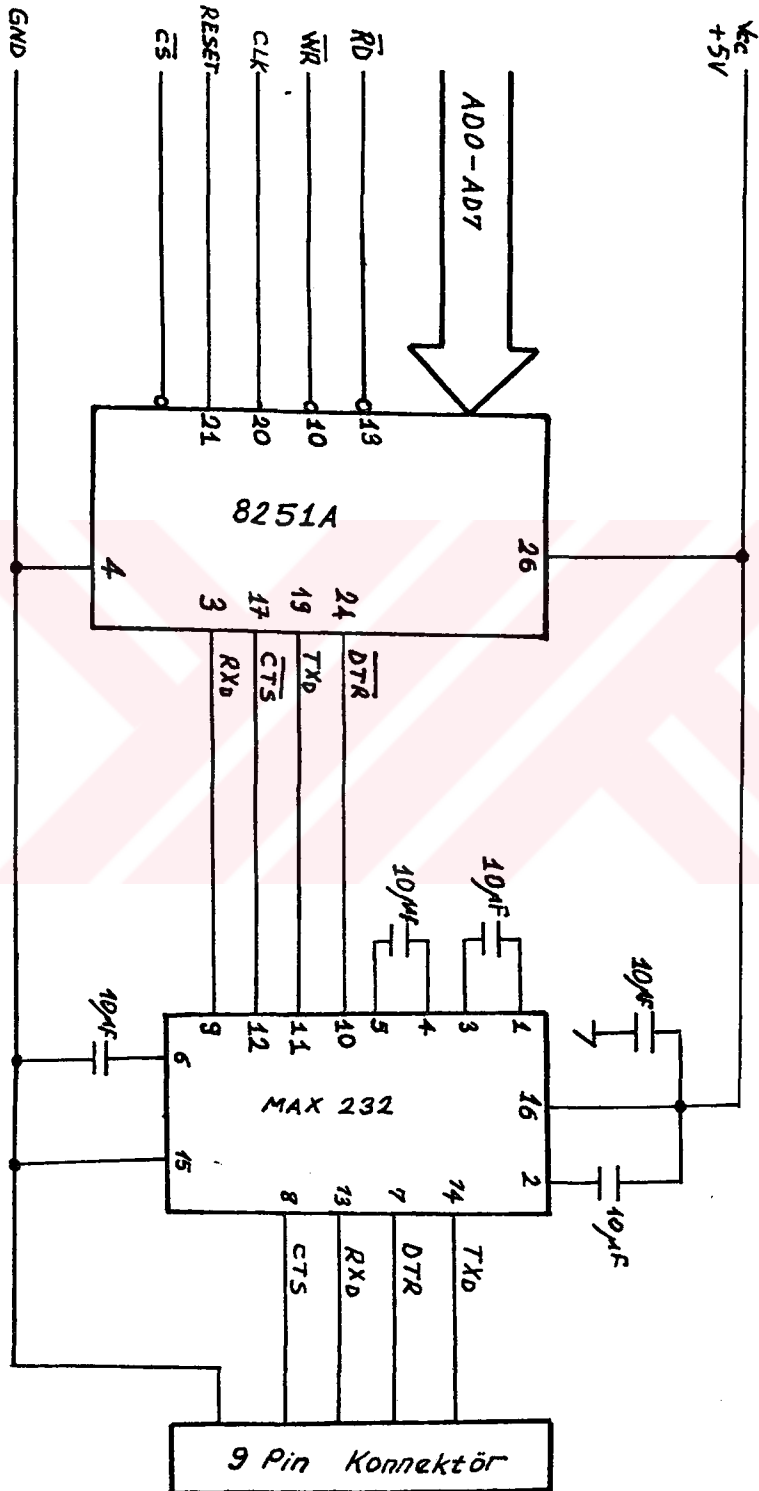
# Hafıza Bölümü



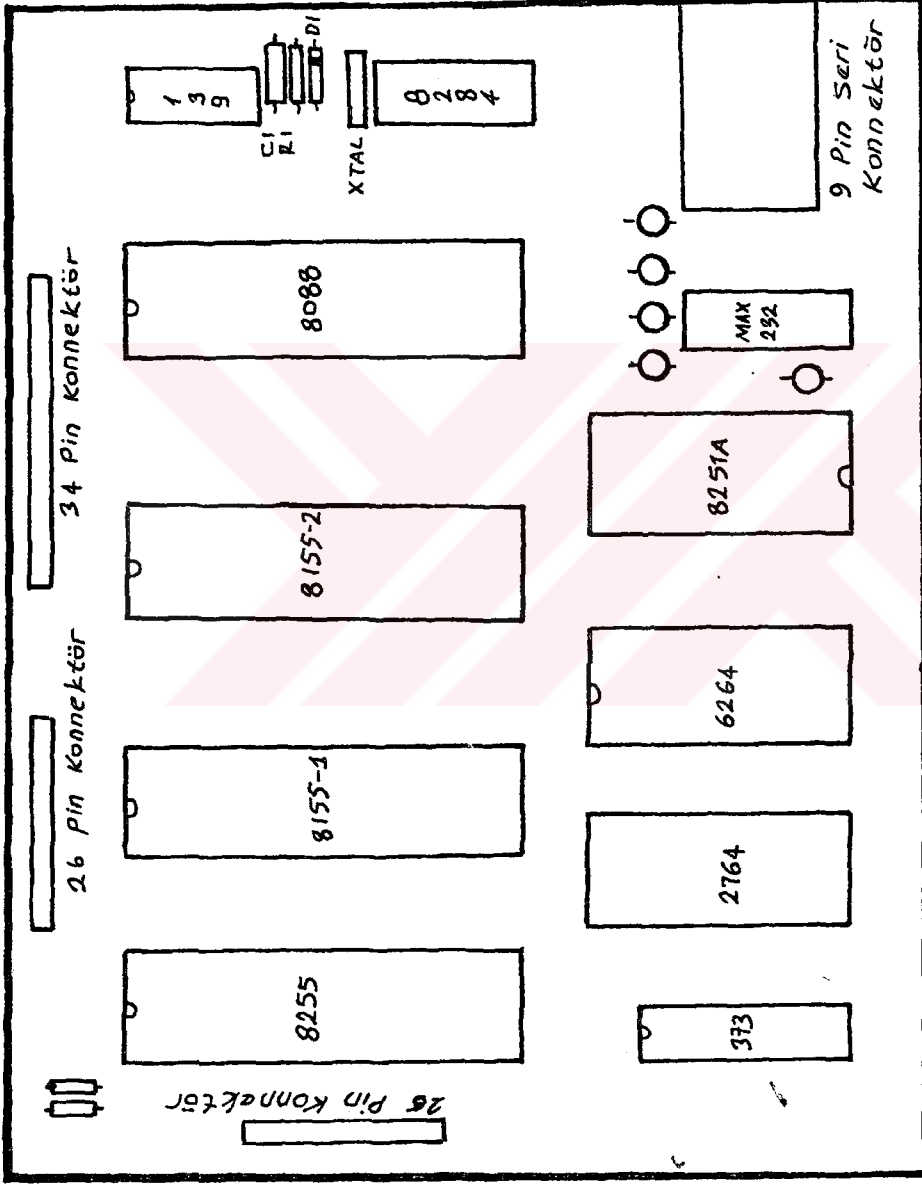
# Paralel Portlar



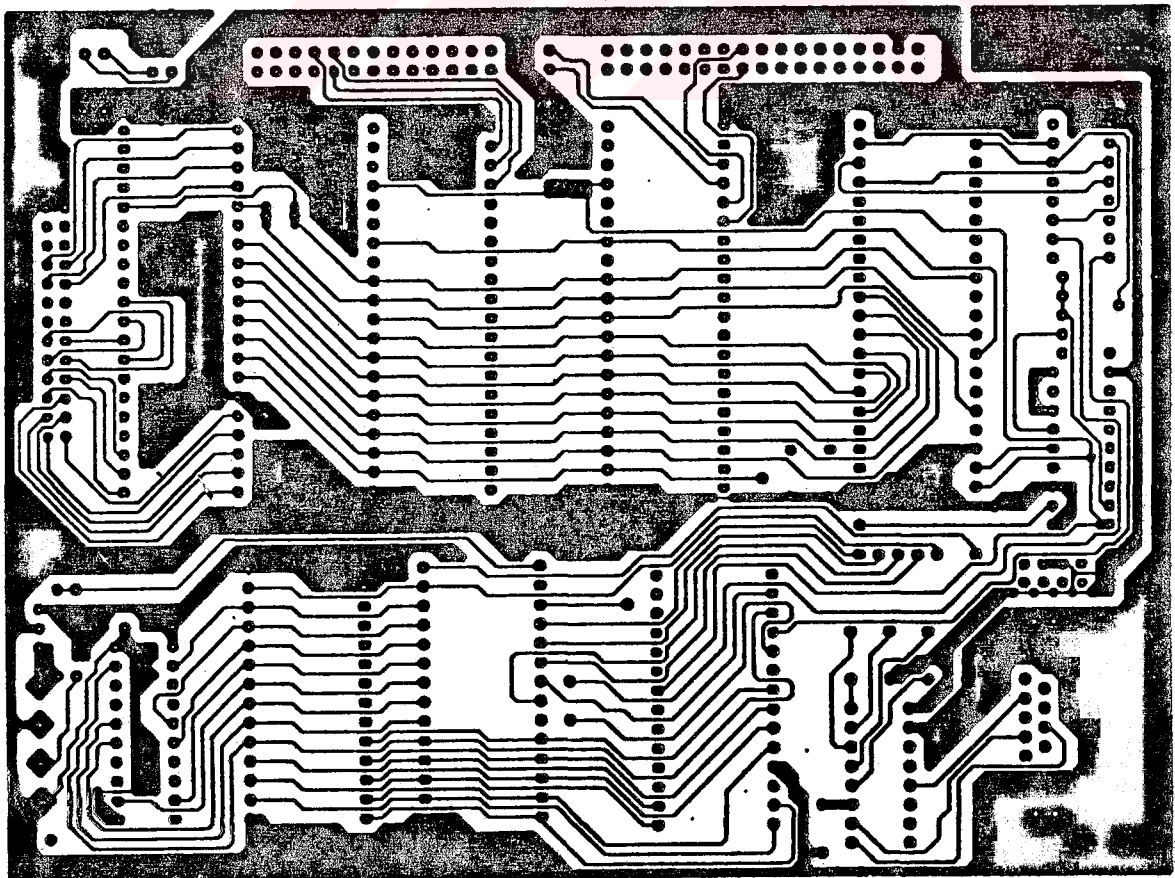
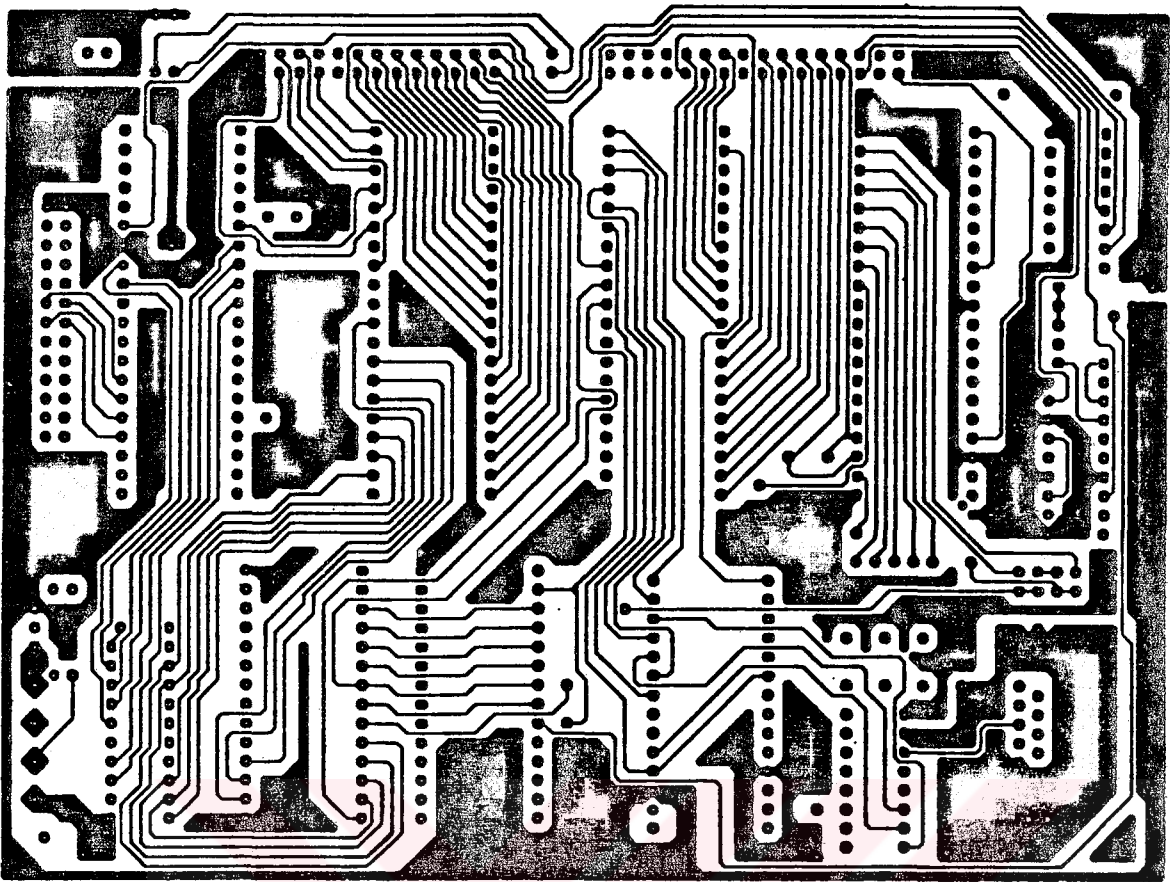
# Seri Port







YERLEŐTİRME PLANI



# 139

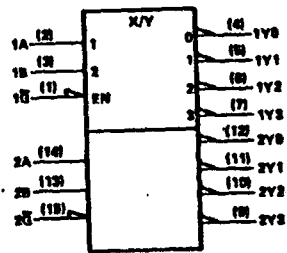
## DUAL 2- TO 4-LINE DECODERS/DEMULTIPLEXERS

typical performance

TYPE	SELECT TIME	ENABLE TIME	TOTAL POWER
'ALS139			
'AS139			
'LS139	22 ns	19 ns	34 mW
'S139	7.5 ns	6 ns	300 mW

- SN54ALS139 (J,FH)
- SN54AS139 (J,FH)
- SN54LS139 (J,FH)
- SN54S139 (J,FH)
- SN74ALS139 (N,FN)
- SN74AS139 (N,FN)
- SN74LS139 (J,N,FN)
- SN74S139 (J,N,FN)

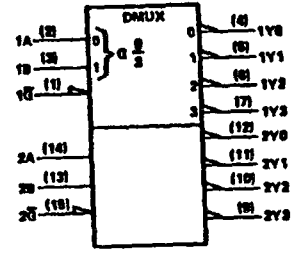
logic symbol?



pin assignments

J. N PACKAGES			PN. FN PACKAGES		
1	10	8 2V3	1	nc	11 nc
2	1A	10 2V3	2	10	12 2V3
3	1B	11 2V1	3	1A	13 2V2
4	1Y0	12 2V0	4	1B	14 2V1
5	1Y1	13 2B	5	1Y0	15 2V0
6	1Y2	14 2A	6	nc	16 nc
7	1Y3	15 2B	7	1Y1	17 2B
8	GND	16 Vcc	8	1Y2	18 2A
			9	1Y3	19 2B
			10	GND	20 Vcc

OR



# 373

## OCTAL D-TYPE LATCHES

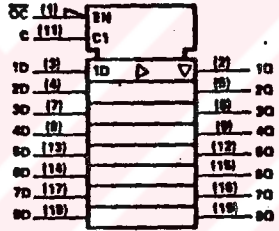
(three-state outputs, common output control, common enable)

typical performance

TYPE	OUT. PUTS	DELAY	TOTAL POWER
'ALS373	Q	8 ns	70 mW
'AS373			
'LS373	Q	19 ns	120 mW
'S373	Q	7 ns	625 mW

- SN54ALS373 (J,FH)
- SN54AS373 (J,FH)
- SN54LS373 (J,FH)
- SN54S373 (J,FH)
- SN74ALS373 (N,FN)
- SN74AS373 (N,FN)
- SN74LS373 (J,N,FN)
- SN74S373 (J,N,FN)

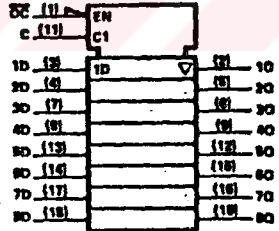
logic symbol, 'ALS373, 'AS373, 'LS373



pin assignments

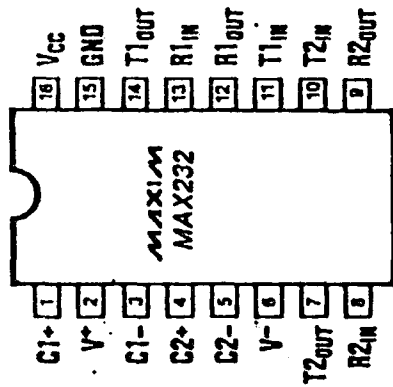
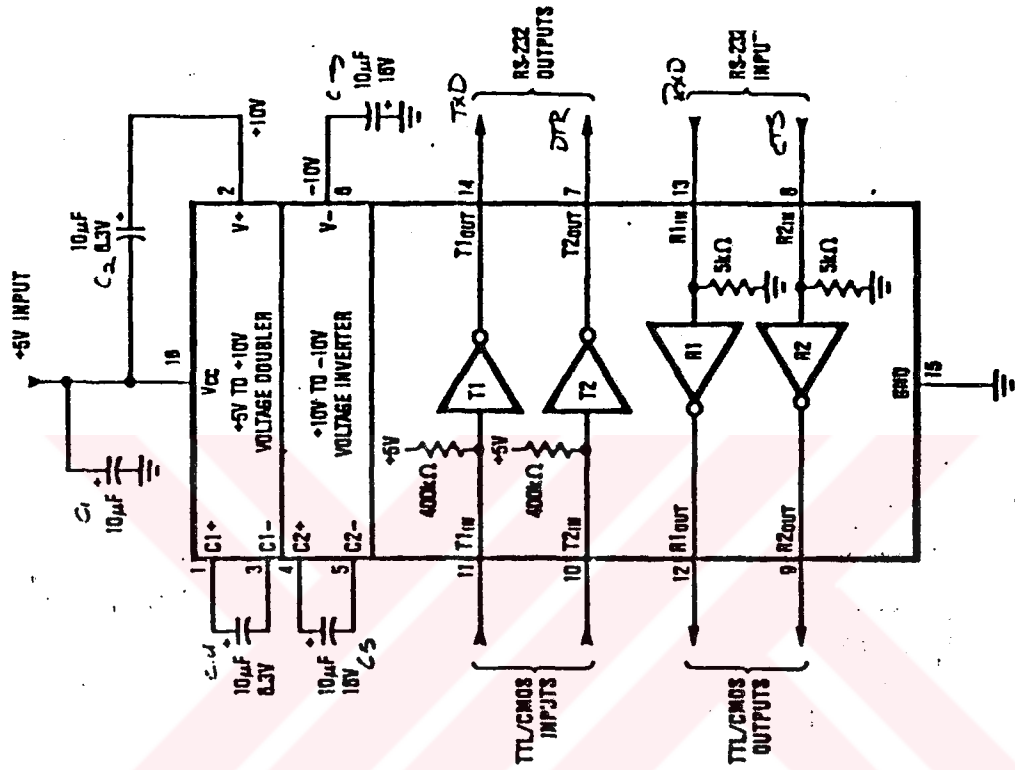
J. N PACKAGES			PN. FN PACKAGES		
1	CC	11 C	1	CC	11 C
2	1D	12 6D	2	1D	12 6D
3	1D	13 6D	3	1D	13 6D
4	2D	14 6D	4	2D	14 6D
5	2D	15 6D	5	2D	15 6D
6	3D	16 7D	6	3D	16 7D
7	3D	17 7D	7	3D	17 7D
8	4D	18 6D	8	4D	18 6D
9	4D	19 6D	9	4D	19 6D
10	GND	20 Vcc	10	GND	20 Vcc

logic symbol, 'S373



# +5V Powered RS-232 Drivers/Receivers

## MAX230-241\*



16 Lead Small Outline  
also available.

MAX232 Typical Operating Circuit



## 8155/8156/8155-2/8156-2 2048 BIT STATIC MOS RAM WITH I/O PORTS AND TIMER

8085A	8085A-2	Compatible CPU / Chip Enable
8155	8155-2	ACTIVE LOW
8156	8156-2	ACTIVE HIGH

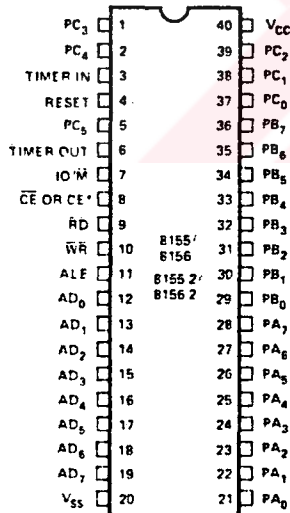
- 256 Word x 8 Bits
- Single +5V Power Supply
- Completely Static Operation
- Internal Address Latch
- 2 Programmable 8 Bit I/O Ports
- 1 Programmable 6-Bit I/O Port
- Programmable 14-Bit Binary Counter/Timer
- Multiplexed Address and Data Bus
- 40 Pin DIP

The 8155 and 8156 are RAM and I/O chips to be used in the MCS-85™ microcomputer system. The RAM portion is designed with 2048 static cells organized as 256 x 8. They have a maximum access time of 400 ns to permit use with no wait states in 8085A CPU. The 8155-2 and 8156-2 have maximum access times of 330 ns for use with the 8085A-2.

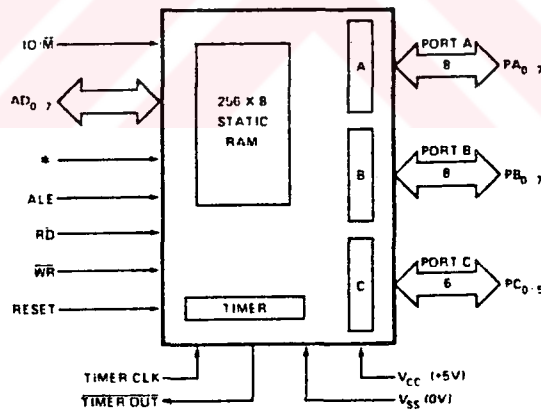
The I/O portion consists of three general purpose I/O ports. One of the three ports can be programmed to be status pins, thus allowing the other two ports to operate in handshake mode.

A 14 bit programmable counter/timer is also included on chip to provide either a square wave or terminal count pulse for the CPU system depending on timer mode.

### PIN CONFIGURATION



### BLOCK DIAGRAM



\*: 8155/8155-2 =  $\overline{CE}$ , 8156/8156-2 = CE

## 155/8156 PIN FUNCTIONS

<u>Symbol</u>	<u>Function</u>	<u>Symbol</u>	<u>Function</u>
$\overline{\text{RESET}}$ (input)	Pulse provided by the 8085A to initialize the system (connect to 8085A RESET OUT). Input high on this line resets the chip and initializes the three I/O ports to input mode. The width of RESET pulses should typically be two 8085A clock cycle times.	ALE (input)	Address Latch Enable: This control signal latches both the address on the AD <sub>0-7</sub> lines and the state of the Chip Enable and IO/ $\overline{\text{M}}$ into the chip at the falling edge of ALE.
AD <sub>0-7</sub> (input)	3-state Address/Data lines that interface with the CPU lower 8-bit Address/Data Bus. The 8-bit address is latched into the address latch inside the 8155/56 on the falling edge of ALE. The address can be either for the memory section or the I/O section depending on the IO/ $\overline{\text{M}}$ input. The 8-bit data is either written into the chip or read from the chip, depending on the $\overline{\text{WR}}$ or $\overline{\text{RD}}$ input signal.	IO/ $\overline{\text{M}}$ (input)	Selects memory if low and I/O and command/status registers if high.
$\overline{\text{CE}}$ or $\overline{\text{CE}}$ (input)	Chip Enable: On the 8155, this pin is $\overline{\text{CE}}$ and is ACTIVE LOW. On the 8156, this pin is CE and is ACTIVE HIGH.	PA <sub>0-7</sub> (8) (input/output)	These 8 pins are general purpose I/O pins. The in/out direction is selected by programming the command register.
$\overline{\text{RD}}$ (input)	Read control: Input low on this line with the Chip Enable active enables and AD <sub>0-7</sub> buffers. If IO/ $\overline{\text{M}}$ pin is low, the RAM content will be read out to the AD bus. Otherwise the content of the selected I/O port or command/status registers will be read to the AD bus.	PB <sub>0-7</sub> (8) (input/output)	These 8 pins are general purpose I/O pins. The in/out direction is selected by programming the command register.
$\overline{\text{WR}}$ (input)	Write control: Input low on this line with the Chip Enable active causes the data on the Address/Data bus to be written to the RAM or I/O ports and command/status register depending on IO/ $\overline{\text{M}}$ .	PC <sub>0-5</sub> (6) (input/output)	These 6 pins can function as either input port, output port, or as control signals for PA and PB. Programming is done through the command register. When PC <sub>0-5</sub> are used as control signals, they will provide the following: PC <sub>0</sub> — A INTR (Port A Interrupt) PC <sub>1</sub> — ABF (Port A Buffer Full) PC <sub>2</sub> — A STB (Port A Strobe) PC <sub>3</sub> — B INTR (Port B Interrupt) PC <sub>4</sub> — B BF (Port B Buffer Full) PC <sub>5</sub> — B STB (Port B Strobe)
		TIMER IN (input)	Input to the counter-timer.
		TIMER OUT (output)	Timer output. This output can be either a square wave or a pulse depending on the timer mode.
		V <sub>CC</sub>	+5 volt supply.
		V <sub>SS</sub>	Ground Reference.



3-AP255A/5

1311

# 8255A/8255A-5

## PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
  - 24 Programmable I/O Pins
  - Completely TTL-Compatible
  - Fully Compatible with Intel Microprocessor Families
  - Improved Timing Characteristics
  - Direct Bit Set/Reset Capability Easing Control Application Interface
  - Reduces System Package Count
  - Improved DC Driving Capability
  - Available in EXPRESS
    - Standard Temperature Range
    - Extended Temperature Range
  - 40 Pin DIP Package or 44 Lead PLCC
- (See Intel Packaging: Order Number: 231369)

The Intel 8255A is a general purpose programmable I/O device designed for use with Intel microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

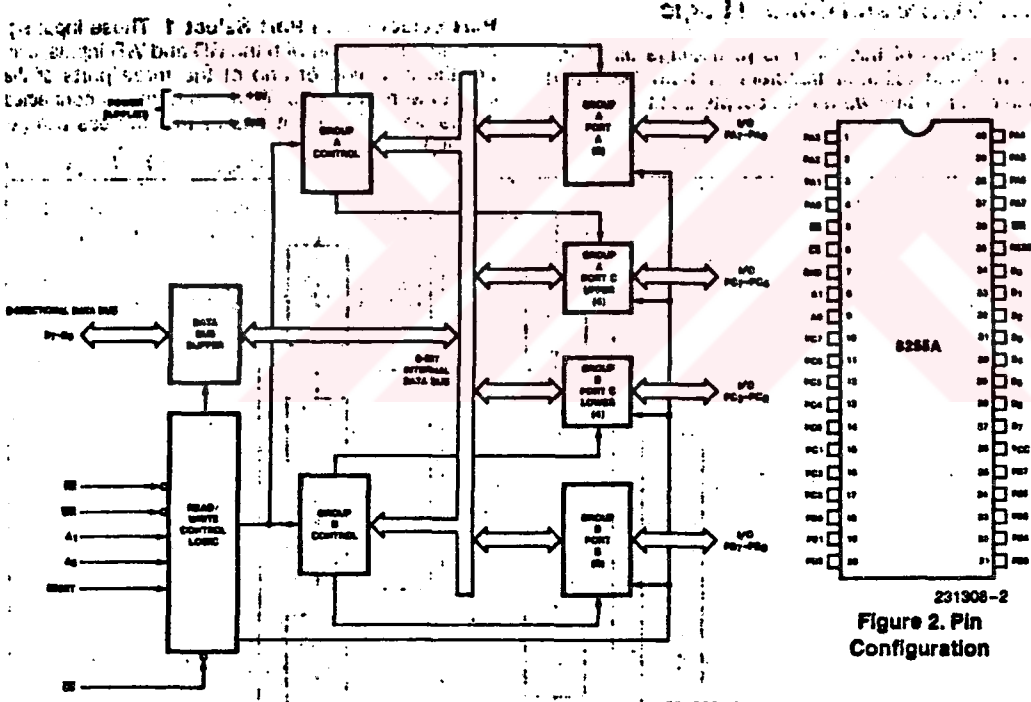


Figure 1. 8255A Block Diagram

Figure 2. Pin Configuration



**8255A FUNCTIONAL DESCRIPTION**

**General**

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

**Data Bus Buffer**

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

**Read/Write and Control Logic**

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the

CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

**(CS)**

Chip Select. A "low" on this input pin enables the communication between the 8255A and the CPU.

**(RD)**

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

**(WR)**

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

**(A<sub>0</sub> and A<sub>1</sub>)**

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A<sub>0</sub> and A<sub>1</sub>).

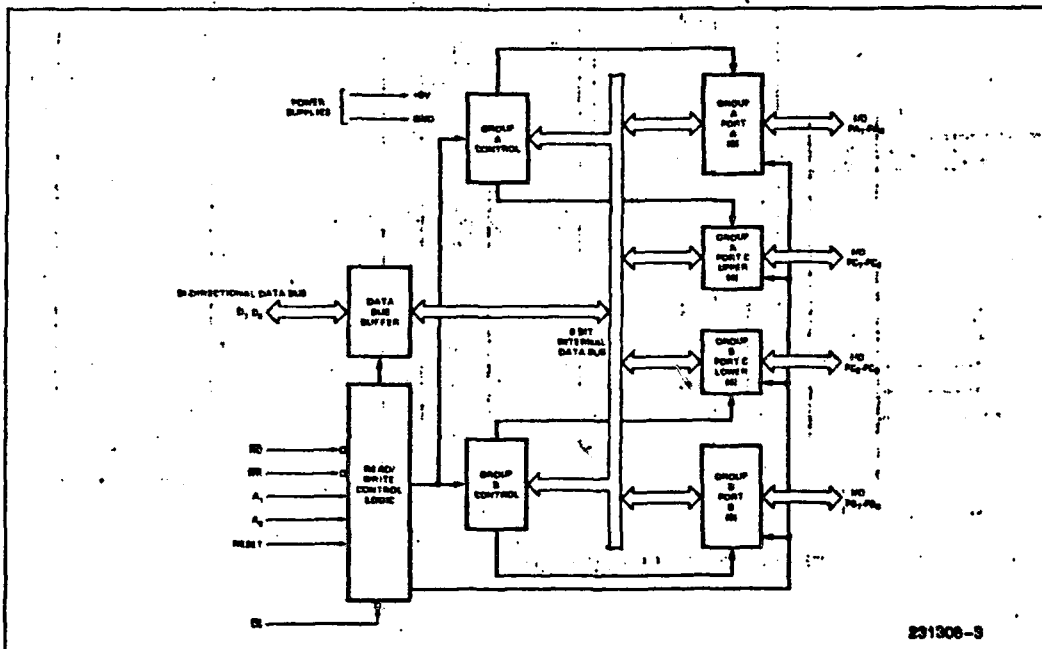


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions



**8255A BASIC OPERATION**

A <sub>1</sub>	A <sub>0</sub>	RD	WR	CS	Input Operation (READ)
0	0	0	1	0	Port A → Data Bus
0	1	0	1	0	Port B → Data Bus
1	0	0	1	0	Port C → Data Bus
					Output Operation (WRITE)
0	0	1	0	0	Data Bus → Port A
0	1	1	0	0	Data Bus → Port B
1	0	1	0	0	Data Bus → Port C
1	1	1	0	0	Data Bus → Control
					Disable Function
X	X	X	X	1	Data Bus → 3-State
1	1	0	1	0	Illegal Condition
X	X	1	1	0	Data Bus → 3-State

**(RESET)**

**Reset.** A "high" on this input clears the control register and all ports (A, B, C) are set to the Input mode.

**Group A and Group B Controls**

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A—Port A and Port C upper (C7–C4)  
Control Group B—Port B and Port C lower (C3–C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

**Ports A, B, and C**

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

**Port A.** One 8-bit data output latch/buffer and one 8-bit data input latch.

**Port B.** One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

**Port C.** One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

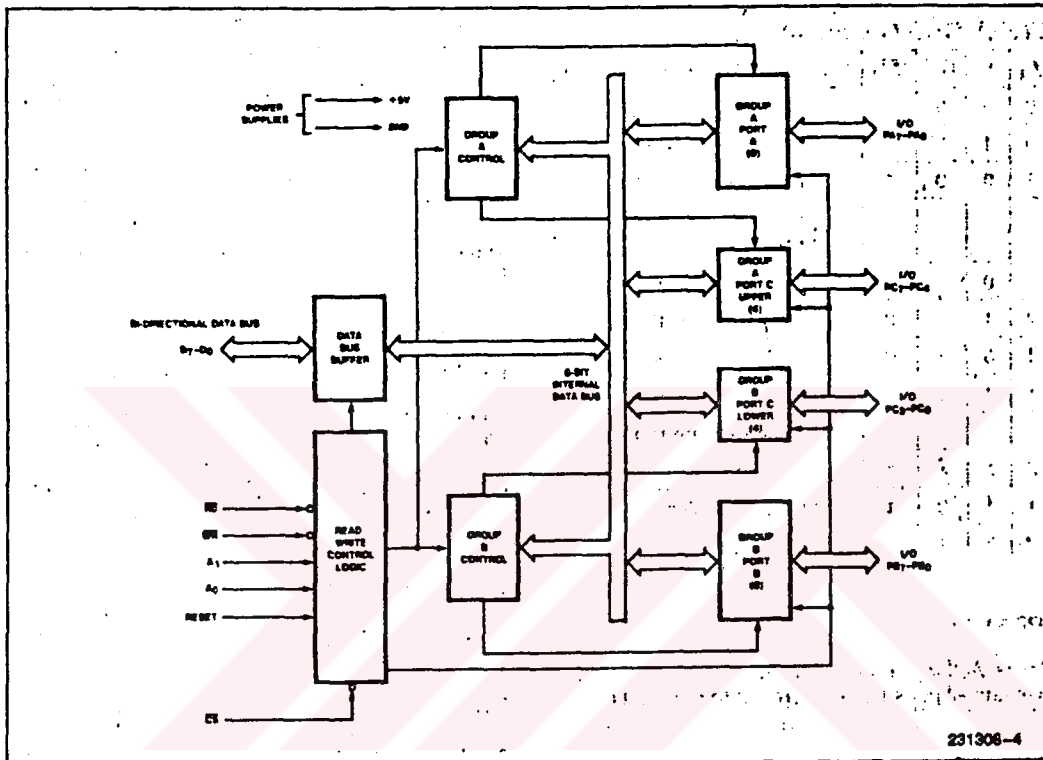
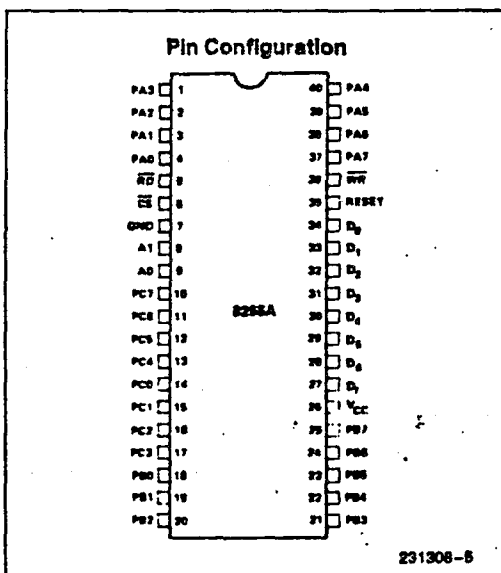


Figure 4. 8255A Block Diagram Showing Group A and Group B Control Functions



Pin Names	
D7-D0	Data Bus (Bi-Directional)
RESET	Reset Input
CS	Chip Select
RD	Read Input
WR	Write Input
A0, A1	Port Address
PA7-PA0	Port A (BIT)
PB7-PB0	Port B (BIT)
PC7-PC0	Port C (BIT)
Vcc	+ 5 Volts
GND	0 Volts

**8255A OPERATIONAL DESCRIPTION**

**Mode Selection**

There are three basic modes of operation that can be selected by the system software:

**Mode 0—Basic Input/Output**

**Mode 1—Strobed Input/Output**

**Mode 2—BI-Directional Bus**

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

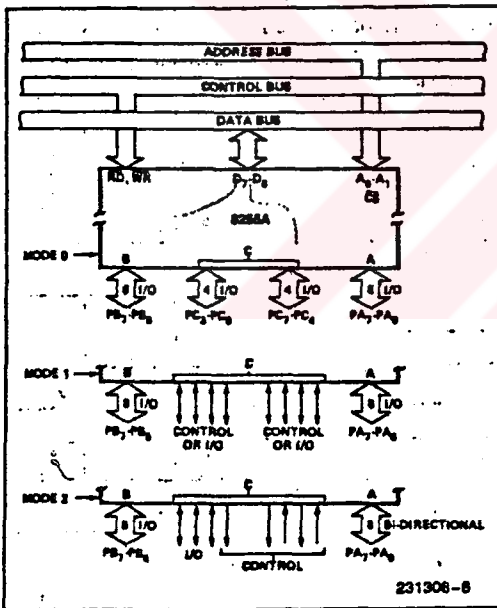


Figure 5. Basic Mode Definitions and Bus Interface

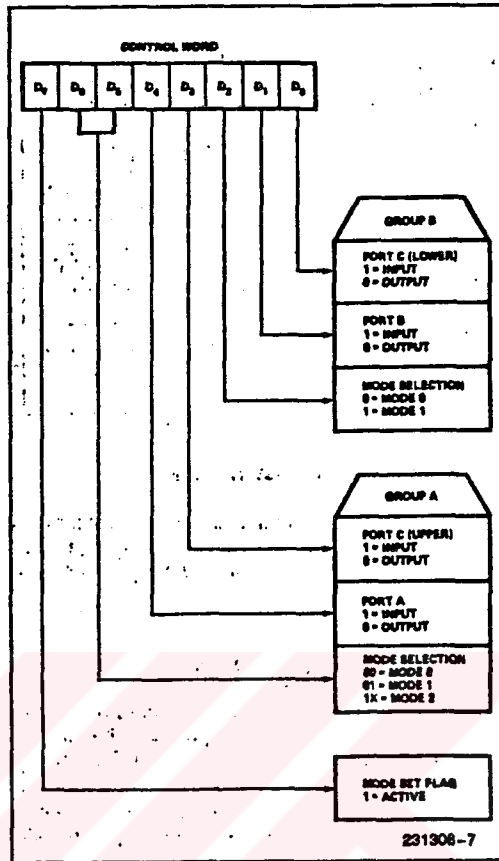


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

**Single Bit Set/Reset Feature**

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

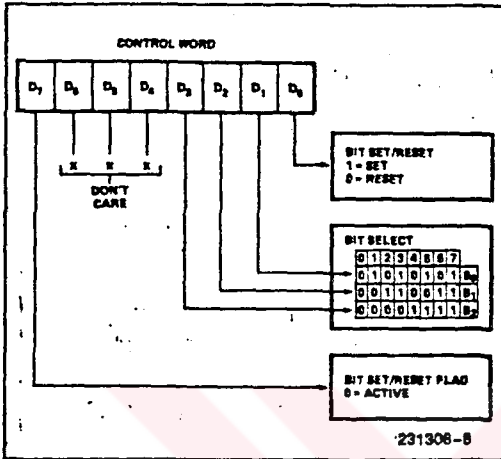


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

**Interrupt Control Functions**

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET)—INTE is set—Interrupt enable

(BIT-RESET)—INTE is RESET—Interrupt disable

**NOTE:**

All Mask flip-flops are automatically reset during mode selection and device Reset.

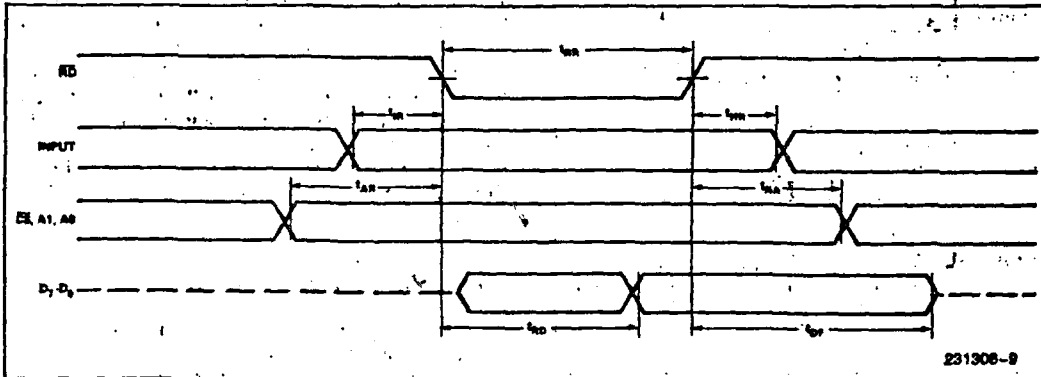
**Operating Modes**

**MODE 0 (Basic Input/Output).** This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.

**MODE 0 (BASIC INPUT)**



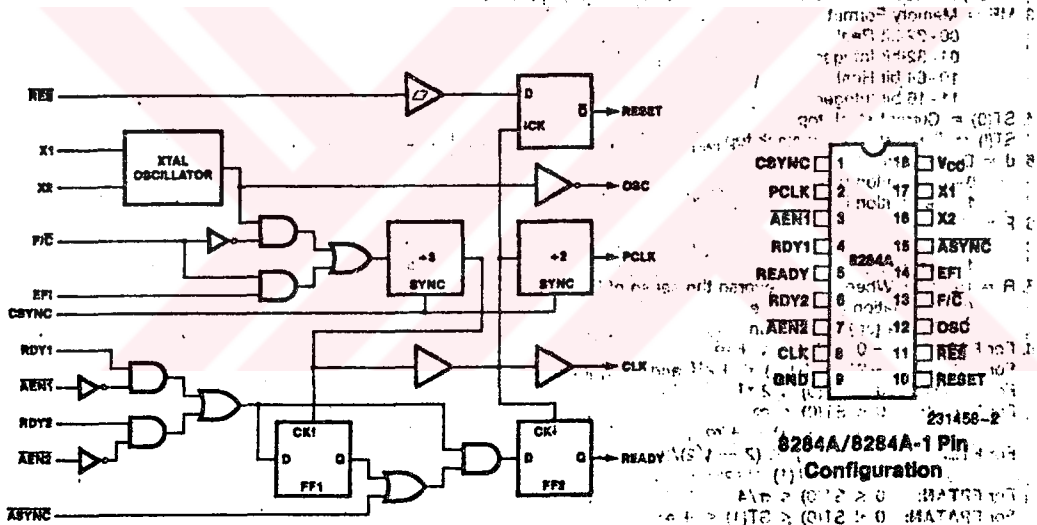


1908

1908

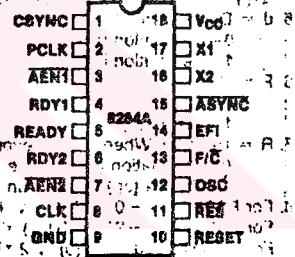
# 8284A CLOCK GENERATOR AND DRIVER FOR 8086, 8088 PROCESSORS 8284A/8284A-1

- Generates the System Clock for the 8086, 8088 Processors:
  - 5 MHz, 6 MHz with 8284A
  - 10 MHz with 8284A-1
- Uses a Crystal or a TTL Signal for Frequency Source
- Provides Local READY and MULTIBUS® READY Synchronization
- 16-Pin Package
- Single +5V Power Supply
- Generates System Reset Output from Schmitt Trigger Input
- Capable of Clock Synchronization with Other 8284As
- Available in EXPRESS
  - Standard Temperature Range
  - Extended Temperature Range



8284A/8284A-1 Block Diagram

231458-1



8284A/8284A-1 Pin Configuration



LSI

Table 1. Pin Description

Symbol	Type	Name and Function
AEN1, AEN2	I	<b>ADDRESS ENABLE:</b> AEN is an active LOW signal. AEN serves to qualify its respective Bus Ready Signal (RDY1 or RDY2). AEN1 validates RDY1 while AEN2 validates RDY2. Two AEN signal inputs are useful in system configurations which permit the processor to access two Multi-Master System Busses. In non Multi-Master configurations the AEN signal inputs are tied true (LOW).
RDY1, RDY2	O	<b>BUS READY: (Transfer Complete).</b> RDY is an active HIGH signal which is an indication from a device located on the system data bus that data has been received, or is available. RDY1 is qualified by AEN1 while RDY2 is qualified by AEN2.
ASYNC	I	<b>READY SYNCHRONIZATION SELECT:</b> ASYNC is an input which defines the synchronization mode of the READY logic. When ASYNC is low, two stages of READY synchronization are provided. When ASYNC is left open (internal pull-up resistor is provided) or HIGH a single stage of READY synchronization is provided.
READY	O	<b>READY:</b> READY is an active HIGH signal which is the synchronized RDY signal input. READY is cleared after the guaranteed hold time to the processor has been met.
X1, X2	I	<b>CRYSTAL IN:</b> X1 and X2 are the pins to which a crystal is attached. The crystal frequency is 3 times the desired processor clock frequency.
F/C	I	<b>FREQUENCY/CRYSTAL SELECT:</b> F/C is strapping option. When strapped LOW, F/C permits the processor's clock to be generated by the crystal. When F/C is strapped HIGH, CLK is generated from the EFI input.
EFI	I	<b>EXTERNAL FREQUENCY:</b> When F/C is strapped HIGH, CLK is generated from the input frequency appearing on this pin. The input signal is a square wave 3 times the frequency of the desired CLK output.
CLK	O	<b>PROCESSOR CLOCK:</b> CLK is the clock output used by the processor and all devices which directly connect to the processor's local bus (i.e., the bipolar support chips and other MOS devices). CLK has an output frequency which is 1/2 of the crystal or EFI input frequency and a 1/2 duty cycle. An output HIGH of 4.5 volts (V <sub>CC</sub> = 5V) is provided on this pin to drive MOS devices.
PCLK	O	<b>PERIPHERAL CLOCK:</b> PCLK is a TTL level peripheral clock signal whose output frequency is 1/2 that of CLK and has a 50% duty cycle.
OSC	O	<b>OSCILLATOR OUTPUT:</b> OSC is the TTL level output of the internal oscillator circuitry. Its frequency is equal to that of the crystal.
RES	I	<b>RESET IN:</b> RES is an active LOW signal which is used to generate RESET. The 8284A provides a Schmitt trigger input so that an RC connection can be used to establish the power-up reset of proper duration.
RESET	O	<b>RESET:</b> RESET is an active HIGH signal which is used to reset the 8086 family processors. Its timing characteristics are determined by RES.
CSYNC	I	<b>CLOCK SYNCHRONIZATION:</b> CSYNC is an active HIGH signal which allows multiple 8284As to be synchronized to provide clocks that are in phase. When CSYNC is HIGH the internal counters are reset. When CSYNC goes LOW the internal counters are allowed to resume counting. CSYNC needs to be externally synchronized to EFI. When using the internal oscillator CSYNC should be hardwired to ground.
GND		<b>GROUND.</b>
V <sub>CC</sub>		<b>POWER: + 5V supply.</b>

FUNCTIONAL DESCRIPTION

General

The 8284A is a single chip clock generator/driver for the 8086, 8088 processors. The chip contains a

crystal-controlled oscillator, a divide-by-three counter, complete MULTIBUS Ready synchronization and reset logic. Refer to Figure 1 or Block Diagram and Figure 2 for Pin Configuration.



**Oscillator**

The oscillator circuit of the 8284A is designed primarily for use with an external series resonant, fundamental mode, crystal from which the basic operating frequency is derived.

The crystal frequency should be selected at three times the required CPU clock. X1 and X2 are the two crystal input crystal connections. For the most stable operation of the oscillator (OSC) output circuit, two series resistors ( $R_1 = R_2 = 510\Omega$ ) as shown in the waveform figures are recommended. The output of the oscillator is buffered and brought out on OSC so that other system timing signals can be derived from this stable, crystal-controlled source.

For systems which have a  $V_{CC}$  ramp time  $\geq 1$  V/ms and/or have inherent board capacitance between X1 or X2, exceeding 10 pF (not including 8284A pin capacitance), the two 510 $\Omega$  resistors should be used. This circuit provides optimum stability for the oscillator in such extreme conditions. It is advisable to limit stray capacitances to less than 10 pF on X1 and X2 to minimize deviation from operating at the fundamental frequency.

If EFI is used and no crystal is connected, it is recommended that X1 or X2 should be tied to  $V_{CC}$  through a 510 $\Omega$  resistor to prevent the oscillator from free running which might produce HF noise and additional  $I_{CC}$  current.

**Clock Generator**

The clock generator consists of a synchronous divide-by-three counter with a special clear input that inhibits the counting. This clear input (CSYNC) allows the output clock to be synchronized with an external event (such as another 8284A clock). It is necessary to synchronize the CSYNC input to the EFI clock external to the 8284A. This is accomplished with two Schottky flip-flops. The counter output is a 33% duty cycle clock at one-third the input frequency.

The F/C input is a strapping pin that selects either the crystal oscillator or the EFI input as the clock for the +3 counter. If the EFI input is selected as the clock source, the oscillator section can be used independently for another clock source. Output is taken from OSC.

**Clock Outputs**

The CLK output is a 33% duty cycle MOS clock driver designed to drive the 8086, 8088 processors directly. PCLK is a TTL level peripheral clock signal whose output frequency is  $\frac{1}{2}$  that of CLK. PCLK has a 50% duty cycle.

**Reset Logic**

The reset logic provides a Schmitt trigger input (RS) and a synchronizing flip-flop to generate the reset timing. The reset signal is synchronized to the falling edge of CLK. A simple RC network can be used to provide power-on reset by utilizing this function of the 8284A.

**READY Synchronization**

Two READY inputs (RDY1, RDY2) are provided to accommodate two Multi-Master system busses. Each input has a qualifier (AEN1 and AEN2, respectively). The AEN signals validate their respective RDY signals. If a Multi-Master system is not being used the AEN pin should be tied LOW.

Synchronization is required for all asynchronous active-going edges of either RDY input to guarantee that the RDY setup and hold times are met. Inactive-going edges of RDY in normally ready systems do not require synchronization but must satisfy RDY setup and hold as a matter of proper system design.

The ASYNC input defines two modes of READY synchronization operation.

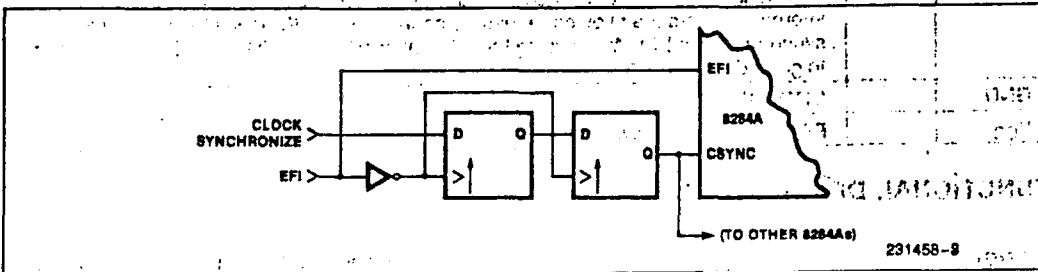


Figure 3. CSYNC Synchronization



When  $\overline{\text{ASYNC}}$  is LOW, two stages of synchronization are provided for active READY input signals. Positive-going asynchronous READY inputs will first be synchronized to flip-flop one at the rising edge of CLK and then synchronized to flip-flop two at the next falling edge of CLK, after which time the READY output will go active (HIGH). Negative-going asynchronous READY inputs will be synchronized directly to flip-flop two at the falling edge of CLK, after which time the READY output will go inactive. This mode of operation is intended for use by asynchronous (normally not ready) devices in the system which cannot be guaranteed by design to meet the required RDY setup timing,  $T_{R1VCL}$ , on each bus cycle.

When  $\overline{\text{ASYNC}}$  is high or left open, the first READY flip-flop is bypassed in the READY synchronization logic. READY inputs are synchronized by flip-flop two on the falling edge of CLK before they are presented to the processor. This mode is available for synchronous devices that can be guaranteed to meet the required RDY setup time.

$\overline{\text{ASYNC}}$  can be changed on every bus cycle to select the appropriate mode of synchronization for each device in the system.

### ABSOLUTE MAXIMUM RATINGS\*

Temperature Under Bias ..... 0° to 70°C  
 Storage Temperature ..... -65°C to +150°C  
 All Output and Supply Voltages ..... -0.5V to +7V  
 All Input Voltages ..... -1.0V to +5.5V  
 Power Dissipation ..... 1 Watt

*\*Notice: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

### D.C. CHARACTERISTICS ( $T_A = 0^\circ\text{C}$ to $70^\circ\text{C}$ , $V_{CC} = 5\text{V} \pm 10\%$ )

Symbol	Parameter	Min	Max	Units	Test Conditions
$I_F$	Forward Input Current ( $\overline{\text{ASYNC}}$ )		-1.3	mA	$V_F = 0.45\text{V}$
	Other Inputs		-0.5	mA	$V_F = 0.45\text{V}$
$I_R$	Reverse Input Current ( $\overline{\text{ASYNC}}$ )		50	$\mu\text{A}$	$V_R = V_{CC}$
	Other Inputs		50	$\mu\text{A}$	$V_R = 5.25\text{V}$
$V_C$	Input Forward Clamp Voltage		-1.0	V	$I_C = -5\text{mA}$
$I_{CC}$	Power Supply Current		170	mA	
$V_{IL}$	Input LOW Voltage		0.8	V	
$V_{IH}$	Input HIGH Voltage	2.0		V	
$V_{IHR}$	Reset Input HIGH Voltage	2.6		V	
$V_{OL}$	Output LOW Voltage		0.45	V	5 mA
$V_{OH}$	Output HIGH Voltage CLK	4		V	-1 mA
	Other Outputs	2.4		V	-1 mA
$V_{IHR} - V_{ILR}$	RES Input Hysteresis	0.25		V	



# 8088

## 8-BIT HMOS MICROPROCESSOR

### 8088/8088-2

- 8-Bit Data Bus Interface
- 16-Bit Internal Architecture
- Direct Addressing Capability to 1 Mbyte of Memory
- Direct Software Compatibility with 8086 CPU
- 14-Word by 16-Bit Register Set with Symmetrical Operations
- 24 Operand Addressing Modes
- Byte, Word, and Block Operations
- 8-Bit and 16-Bit Signed and Unsigned Arithmetic in Binary or Decimal, Including Multiply and Divide
- Two Clock Rates:
  - 5 MHz for 8088
  - 8 MHz for 8088-2
- Available in EXPRESS
  - Standard Temperature Range
  - Extended Temperature Range

The Intel® 8088 is a high performance microprocessor implemented in N-channel, depletion load, silicon gate technology (HMOS), and packaged in a 40-pin CERDIP package. The processor has attributes of both 8- and 16-bit microprocessors. It is directly compatible with 8086 software and 8080/8085 hardware and peripherals.

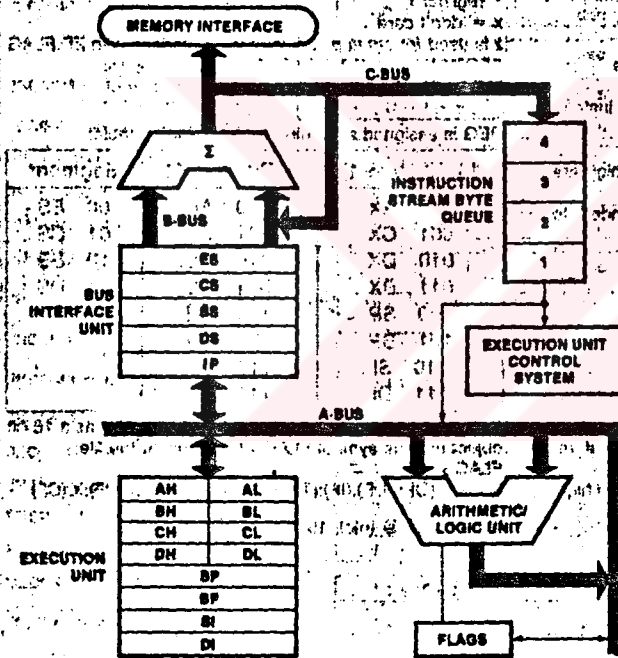


Figure 1. 8088 CPU Functional Block Diagram

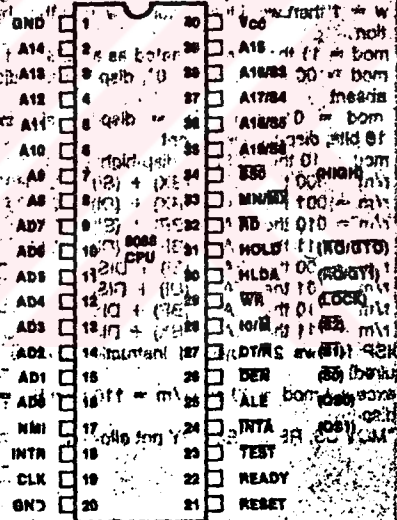


Figure 2. 8088 Pin Configuration

Table 1. Pin Description

The following pin function descriptions are for 8088 systems in either minimum or maximum mode. The "local bus" in these descriptions is the direct multiplexed bus interface connection to the 8088 (without regard to additional bus buffers).

Symbol	Pin No.	Type	Name and Function															
AD7-AD0	9-16	I/O	<b>ADDRESS DATA BUS:</b> These lines constitute the time multiplexed memory/I/O address (T1) and data (T2, T3, Tw, T4) bus. These lines are active HIGH and float to 3-state OFF during interrupt acknowledge and local bus "hold acknowledge".															
A15-A8	2-8, 39	O	<b>ADDRESS BUS:</b> These lines provide address bits 8 through 15 for the entire bus cycle (T1-T4). These lines do not have to be latched by ALE to remain valid. A15-A8 are active HIGH and float to 3-state OFF during interrupt acknowledge and local bus "hold acknowledge".															
A19/S6, A18/S5, A17/S4, A16/S3	35-38	O	<b>ADDRESS/STATUS:</b> During T1, these are the four most significant address lines for memory operations. During I/O operations, these lines are LOW. During memory and I/O operations, status information is available on these lines during T2, T3, Tw, and T4. S6 is always low. The status of the interrupt enable flag bit (S5) is updated at the beginning of each clock cycle. S4 and S3 are encoded as shown. This information indicates which segment register is presently being used for data accessing. These lines float to 3-state OFF during local bus "hold acknowledge".															
			<table border="1"> <thead> <tr> <th>S4</th> <th>S3</th> <th>Characteristics</th> </tr> </thead> <tbody> <tr> <td>0 (LOW)</td> <td>0</td> <td>Alternate Data</td> </tr> <tr> <td>0</td> <td>1</td> <td>Stack</td> </tr> <tr> <td>1 (HIGH)</td> <td>0</td> <td>Code or None</td> </tr> <tr> <td>1</td> <td>1</td> <td>Data</td> </tr> </tbody> </table> <p>S6 is 0 (LOW)</p>	S4	S3	Characteristics	0 (LOW)	0	Alternate Data	0	1	Stack	1 (HIGH)	0	Code or None	1	1	Data
S4	S3	Characteristics																
0 (LOW)	0	Alternate Data																
0	1	Stack																
1 (HIGH)	0	Code or None																
1	1	Data																
RD	32	O	<b>READ:</b> Read strobe indicates that the processor is performing a memory or I/O read cycle, depending on the state of the IO/M pin or S2. This signal is used to read devices which reside on the 8088 local bus. RD is active LOW during T2, T3 and Tw of any read cycle, and is guaranteed to remain HIGH in T2 until the 8088 local bus has floated. This signal floats to 3-state OFF in "hold acknowledge".															
READY	22	I	<b>READY:</b> Is the acknowledgement from the addressed memory or I/O device that it will complete the data transfer. The RDY signal from memory or I/O is synchronized by the 8284 clock generator to form READY. This signal is active HIGH. The 8088 READY input is not synchronized. Correct operation is not guaranteed if the set up and hold times are not met.															
INTR	18	I	<b>INTERRUPT REQUEST:</b> Is a level triggered input which is sampled during the last clock cycle of each instruction to determine if the processor should enter into an interrupt acknowledge operation. A subroutine is vectored to via an interrupt vector lookup table located in system memory. It can be internally masked by software resetting the interrupt enable bit. INTR is internally synchronized. This signal is active HIGH.															
TEST	23	I	<b>TEST:</b> input is examined by the "wait for test" instruction. If the TEST input is LOW, execution continues, otherwise the processor waits in an "idle" state. This input is synchronized internally during each clock cycle on the leading edge of CLK.															

Table 1. Pin Description (Continued)

Symbol	Pin No.	Type	Name and Function
NMI	17	I	<b>NON-MASKABLE INTERRUPT:</b> is an edge triggered input which causes type 2 interrupt. A subroutine is vectored to via an interrupt vector lookup table located in system memory. NMI is not maskable internally by software. A transition from a LOW to HIGH initiates the interrupt at the end of the current instruction. This input is internally synchronized.
RESET	21	I	<b>RESET:</b> causes the processor to immediately terminate its present activity. The signal must be active HIGH for at least four clock cycles. It restarts execution, as described in the instruction set description, when RESET returns LOW. RESET is internally synchronized.
CLK	19	I	<b>CLOCK:</b> provides the basic timing for the processor and bus controller. It is asymmetric with a 33% duty cycle to provide optimized internal timing.
Vcc	40		Vcc is the +5V ± 10% power supply pin.
GND	1, 20		GND: are the ground pins.
MN/MX	33	I	<b>MINIMUM/MAXIMUM:</b> indicates what mode the processor is to operate in. The two modes are discussed in the following sections.

The following pin function descriptions are for the 8088 minimum mode (i.e., MN/MX = Vcc). Only the pin functions which are unique to minimum mode are described; all other pin functions are as described above.

Symbol	Pin No.	Type	Name and Function
IO/M	28	O	<b>STATUS LINE:</b> is an inverted maximum mode $\overline{S2}$ . It is used to distinguish a memory access from an I/O access. IO/M becomes valid in the T4 preceding a bus cycle and remains valid until the final T4 of the cycle (I/O = HIGH, M = LOW). IO/M floats to 3-state OFF in local bus "hold acknowledge".
WR	29	O	<b>WRITE:</b> strobe indicates that the processor is performing a write memory or write I/O cycle, depending on the state of the IO/M signal. WR is active for T2, T3, and Tw of any write cycle. It is active LOW, and floats to 3-state OFF in local bus "hold acknowledge".
INTA	24	O	<b>INTA:</b> is used as a read strobe for interrupt acknowledge cycles. It is active LOW during T2, T3, and Tw of each interrupt acknowledge cycle.
ALE	25	O	<b>ADDRESS LATCH ENABLE:</b> is provided by the processor to latch the address into an address latch. It is a HIGH pulse active during clock low of T1 of any bus cycle. Note that ALE is never floated.
DT/R	27	O	<b>DATA TRANSMIT/RECEIVE:</b> is needed in a minimum system that desires to use a data bus transceiver. It is used to control the direction of data flow through the transceiver. Logically, DT/R is equivalent to $\overline{ST}$ in the maximum mode, and its timing is the same as for IO/M (T = HIGH, R = LOW). This signal floats to 3-state OFF in local "hold acknowledge".
DEN	26	O	<b>DATA ENABLE:</b> is provided as an output enable for the data bus transceiver in a minimum system which uses the transceiver. DEN is active LOW during each memory and I/O access, and for INTA cycles. For a read or INTA cycle, it is active from the middle of T2 until the middle of T4, while for a write cycle, it is active from the beginning of T2 until the middle of T4. DEN floats to 3-state OFF during local bus "hold acknowledge".

Table 1. Pin Description (Continued)

Symbol	Pin No.	Type	Name and Function																																				
<b>HOLD, HLDA</b>	31, 30	I, O	<b>HOLD:</b> Indicates that another master is requesting a local bus "hold". To be acknowledged, HOLD must be active HIGH. The processor receiving the "hold" request will issue HLDA (HIGH) as an acknowledgement, in the middle of a T4 or T1 clock cycle. Simultaneous with the issuance of HLDA the processor will float the local bus and control lines. After HOLD is detected as being LOW, the processor lowers HLDA, and when the processor needs to run another cycle, it will again drive the local bus and control lines.  <b>Hold</b> is not an asynchronous input. External synchronization should be provided if the system cannot otherwise guarantee the set up time.																																				
<b>SSO</b>	84	O	<b>STATUS LINE:</b> Is logically equivalent to <b>SO</b> in the maximum mode. The combination of <b>SSO</b> , <b>IO/M</b> and <b>DT/R</b> allows the system to completely decode the current bus cycle status.																																				
			<table border="1"> <thead> <tr> <th>IO/M</th> <th>DT/R</th> <th>SSO</th> <th>Characteristics</th> </tr> </thead> <tbody> <tr> <td>1 (HIGH)</td> <td>0</td> <td>0</td> <td>Interrupt Acknowledge</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Read I/O Port</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>Write I/O Port</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Halt</td> </tr> <tr> <td>0 (LOW)</td> <td>0</td> <td>0</td> <td>Code Access</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Read Memory</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Write Memory</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Passive</td> </tr> </tbody> </table>	IO/M	DT/R	SSO	Characteristics	1 (HIGH)	0	0	Interrupt Acknowledge	1	0	1	Read I/O Port	1	1	0	Write I/O Port	1	1	1	Halt	0 (LOW)	0	0	Code Access	0	0	1	Read Memory	0	1	0	Write Memory	0	1	1	Passive
IO/M	DT/R	SSO	Characteristics																																				
1 (HIGH)	0	0	Interrupt Acknowledge																																				
1	0	1	Read I/O Port																																				
1	1	0	Write I/O Port																																				
1	1	1	Halt																																				
0 (LOW)	0	0	Code Access																																				
0	0	1	Read Memory																																				
0	1	0	Write Memory																																				
0	1	1	Passive																																				

The following pin function descriptions are for the 8088/8288 system in maximum mode (i.e., MN/MX = GND). Only the pin functions which are unique to maximum mode are described; all other pin functions are as described above.

Symbol	Pin No.	Type	Name and Function																																				
<b>S2, S1, S0</b>	26, 28	O	<b>STATUS:</b> Is active during clock high of T4, T1, and T2, and is returned to the passive state (1, 1, 1) during T3 or during Tw when READY is HIGH. This status is used by the 8288 bus controller to generate all memory and I/O access control signals. Any change by S2, S1, or S0 during T4 is used to indicate the beginning of a bus cycle, and the return to the passive state in T3 and Tw is used to indicate the end of a bus cycle.  These signals float to 3-state OFF during "hold acknowledge". During the first clock cycle after RESET becomes active, these signals are active HIGH. After this first clock, they float to 3-state OFF.																																				
			<table border="1"> <thead> <tr> <th>S2</th> <th>S1</th> <th>S0</th> <th>Characteristics</th> </tr> </thead> <tbody> <tr> <td>0 (LOW)</td> <td>0</td> <td>0</td> <td>Interrupt Acknowledge</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Read I/O Port</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Write I/O Port</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Halt</td> </tr> <tr> <td>1 (HIGH)</td> <td>0</td> <td>0</td> <td>Code Access</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Read Memory</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>Write Memory</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Passive</td> </tr> </tbody> </table>	S2	S1	S0	Characteristics	0 (LOW)	0	0	Interrupt Acknowledge	0	0	1	Read I/O Port	0	1	0	Write I/O Port	0	1	1	Halt	1 (HIGH)	0	0	Code Access	1	0	1	Read Memory	1	1	0	Write Memory	1	1	1	Passive
S2	S1	S0	Characteristics																																				
0 (LOW)	0	0	Interrupt Acknowledge																																				
0	0	1	Read I/O Port																																				
0	1	0	Write I/O Port																																				
0	1	1	Halt																																				
1 (HIGH)	0	0	Code Access																																				
1	0	1	Read Memory																																				
1	1	0	Write Memory																																				
1	1	1	Passive																																				



Table 1. Pin Description (Continued)

Symbol	Pin No.	Type	Name and Function															
RQ/GT0, RQ/GT1	30, 31	I/O	<p><b>REQUEST/GRANT:</b> pins are used by other local bus masters to force the processor to release the local bus at the end of the processor's current bus cycle. Each pin is bidirectional with RQ/GT0 having higher priority than RQ/GT1. RQ/GT has an internal pull-up resistor, so may be left unconnected.</p> <p>The request/grant sequence is as follows (See Figure 8):</p> <ol style="list-style-type: none"> <li>1. A pulse of one CLK wide from another local bus master indicates a local bus request ("hold") to the 8088 (pulse 1).</li> <li>2. During a T4 of T1 clock cycle, a pulse one clock wide from the 8088 to the requesting master (pulse 2), indicates that the 8088 has allowed the local bus to float and that it will enter the "hold acknowledge" state at the next CLK. The CPU's bus interface unit is disconnected logically from the local bus during "hold acknowledge". The same rules as for HOLD/HOLDA apply as for when the bus is released.</li> <li>3. A pulse one CLK wide from the requesting master indicates to the 8088 (pulse 3) that the "hold" request is about to end and that the 8088 can reclaim the local bus at the next CLK. The CPU then enters T4.</li> </ol> <p>Each master-master exchange of the local bus is a sequence of three pulses. There must be one idle CLK cycle after each bus exchange. Pulses are active LOW.</p> <p>If the request is made while the CPU is performing a memory cycle, it will release the local bus during T4 of the cycle when all the following conditions are met:</p> <ol style="list-style-type: none"> <li>1. Request occurs on or before T2.</li> <li>2. Current cycle is not the low bit of a word.</li> <li>3. Current cycle is not the first acknowledge of an interrupt acknowledge sequence.</li> <li>4. A locked instruction is not currently executing.</li> </ol> <p>If the local bus is idle when the request is made the two possible events will follow:</p> <ol style="list-style-type: none"> <li>1. Local bus will be released during the next clock.</li> <li>2. A memory cycle will start within 3 clocks. Now the four rules for a currently active memory cycle apply with condition number 1 already satisfied.</li> </ol>															
LOCK	29	O	<p><b>LOCK:</b> indicates that other system bus masters are not to gain control of the system bus while LOCK is active (LOW). The LOCK signal is activated by the "LOCK" prefix instruction and remains active until the completion of the next instruction. This signal is active LOW, and floats to 3-state off in "hold acknowledge".</p>															
QS1, QS0	24, 25	O	<p><b>QUEUE STATUS:</b> provides status to allow external tracking of the internal 8088 instruction queue. The queue status is valid during the CLK cycle after which the queue operation is performed.</p> <table border="1"> <thead> <tr> <th>QS1</th> <th>QS0</th> <th>Characteristics</th> </tr> </thead> <tbody> <tr> <td>0 (LOW)</td> <td>0</td> <td>No Operation</td> </tr> <tr> <td>0</td> <td>1</td> <td>First Byte of Opcode from Queue</td> </tr> <tr> <td>1 (HIGH)</td> <td>0</td> <td>Empty the Queue</td> </tr> <tr> <td>1</td> <td>1</td> <td>Subsequent Byte from Queue</td> </tr> </tbody> </table>	QS1	QS0	Characteristics	0 (LOW)	0	No Operation	0	1	First Byte of Opcode from Queue	1 (HIGH)	0	Empty the Queue	1	1	Subsequent Byte from Queue
QS1	QS0	Characteristics																
0 (LOW)	0	No Operation																
0	1	First Byte of Opcode from Queue																
1 (HIGH)	0	Empty the Queue																
1	1	Subsequent Byte from Queue																
—	34	O	Pin 34 is always high in the maximum mode.															

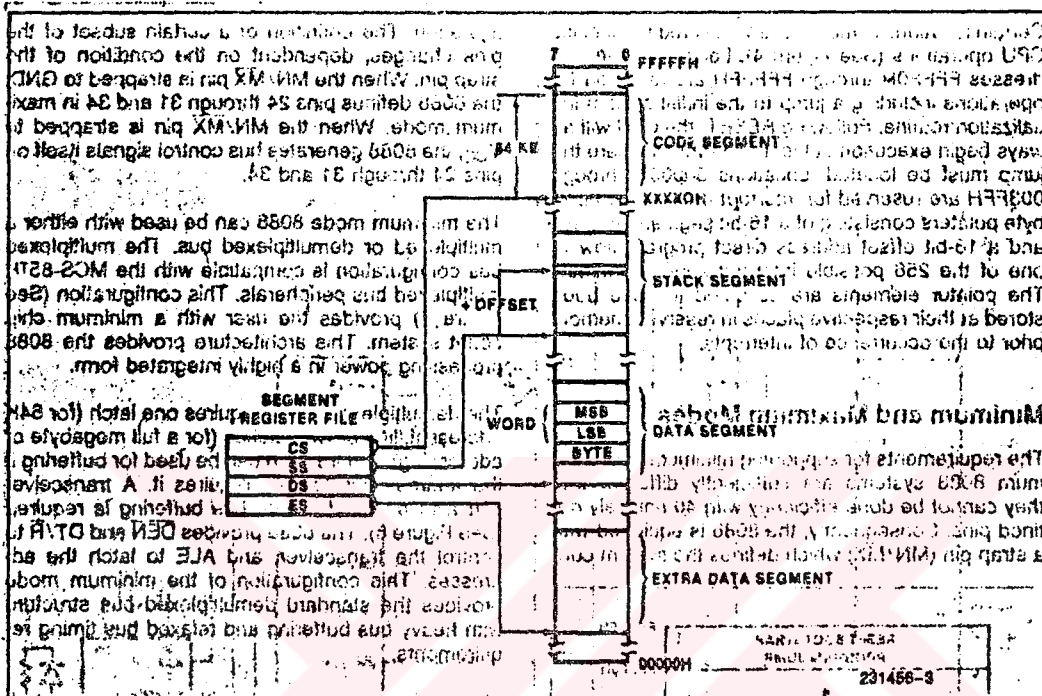


Figure 3. Memory Organization

**FUNCTIONAL DESCRIPTION**

**Memory Organization**

The processor provides a 20-bit address to memory which locates the byte being referenced. The memory is organized as a linear array of up to 1 million bytes, addressed as 00000(H) to FFFFF(H). The memory is logically divided into code, data, extra data, and stack segments of up to 64K bytes each, with each segment falling on 16-byte boundaries (See Figure 3).

All memory references are made relative to base addresses contained in high speed segment registers. The segment types were chosen based on the ad-

ressing needs of programs. The segment register to be selected is automatically chosen according to the rules of the following table. All information in one segment type share the same logical attributes (e.g. code or data). By structuring memory into relocatable areas of similar characteristics and by automatically selecting segment registers, programs are shorter, faster, and more structured.

Word (16-bit) operands can be located on even or odd address boundaries. For address and data operands, the least significant byte of the word is stored in the lower valued address location and the most significant byte in the next higher address location. The BIU will automatically execute two fetch or write cycles for 16-bit operands.

Memory Reference Used	Segment Register Used	Segment Selection Rule
Instructions	CODE (CS)	Automatic with all instruction prefetch.
Stack	STACK (SS)	All stack pushes and pops. Memory references relative to BP base register except data references.
Local Data	DATA (DS)	Data references when: relative to stack, destination of string operation, or explicitly overridden.
External (Global) Data	EXTRA (ES)	Destination of string operations: Explicitly selected using a segment override.

Certain locations in memory are reserved for specific CPU operations (See Figure 4). Locations from addresses FFFF0H through FFFFFH are reserved for operations including a jump to the initial system initialization routine. Following RESET, the CPU will always begin execution at location FFFF0H where the jump must be located. Locations 00000H through 003FFH are reserved for interrupt operations. Four-byte pointers consisting of a 16-bit segment address and a 16-bit offset address direct program flow to one of the 256 possible interrupt service routines. The pointer elements are assumed to have been stored at their respective places in reserved memory prior to the occurrence of interrupts.

**Minimum and Maximum Modes**

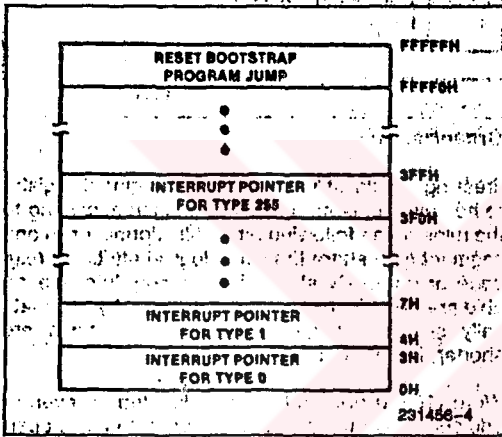
The requirements for supporting minimum and maximum 8088 systems are sufficiently different that they cannot be done efficiently with 40 uniquely defined pins. Consequently, the 8088 is equipped with a strap pin (MN/MX) which defines the system con-

figuration. The definition of a certain subset of the pins changes, dependent on the condition of the strap pin. When the MN/MX pin is strapped to GND, the 8088 defines pins 24 through 31 and 34 in maximum mode. When the MN/MX pin is strapped to VCC, the 8088 generates bus control signals itself on pins 24 through 31 and 34.

The minimum mode 8088 can be used with either a multiplexed or demultiplexed bus. The multiplexed bus configuration is compatible with the MCS-85™ multiplexed bus peripherals. This configuration (See Figure 5) provides the user with a minimum chip count system. This architecture provides the 8088 processing power in a highly integrated form.

The demultiplexed mode requires one latch (for 8K addressability) or two latches (for a full megabyte of addressing). A third latch can be used for buffering if the address bus loading requires it. A transceiver can also be used if data bus buffering is required (See Figure 6). The 8088 provides DEN and DT/R to control the transceiver, and ALE to latch the addresses. This configuration of the minimum mode provides the standard demultiplexed bus structure with heavy bus buffering and relaxed bus timing requirements.

The maximum mode employs the 8288 bus controller (See Figure 7). The 8288 decodes status lines S0, S1, and S2, and provides the system with all bus control signals. Moving the bus control to the 8288 provides better source and sink current capability to the control lines, and frees the 8088 pins for extended large system features. Hardware lock, queue status, and two request/grant interfaces are provided by the 8088 in maximum mode. These features allow co-processors in local bus and remote bus configurations.



**Figure 4. Reserved Memory Locations**

The maximum mode 8088 provides the system with all bus control signals. Moving the bus control to the 8288 provides better source and sink current capability to the control lines, and frees the 8088 pins for extended large system features. Hardware lock, queue status, and two request/grant interfaces are provided by the 8088 in maximum mode. These features allow co-processors in local bus and remote bus configurations.

...the system with all bus control signals. Moving the bus control to the 8288 provides better source and sink current capability to the control lines, and frees the 8088 pins for extended large system features. Hardware lock, queue status, and two request/grant interfaces are provided by the 8088 in maximum mode. These features allow co-processors in local bus and remote bus configurations.

