

KOCAELİ ÜNİVERSİTESİ * FEN BİLİMLERİ ENSTİTÜSÜ

**KATLAMALI VE ARADEĞERLEMELİ ANALOG-SAYISAL
DÖNÜŞTÜRÜCÜLERİN VLSI TASARIMINDA
EŞİK EVİRMELİ NİCEMLEYİCİ TEKNIĞI'NIN
KULLANIMI VE PERFORMANSI**

DOKTORA TEZİ

Y. Müh. Oktay AYTAR

Anabilim Dalı : Elektronik ve Haberleşme Mühendisliği

Danışman : Yrd.Doç.Dr. Ali TANGEL

KOCAELİ, 2009

KOCAELİ ÜNİVERSİTESİ * FEN BİLİMLERİ ENSTİTÜSÜ

**KATLAMALI VE ARADEĞERLEMELİ ANALOG - SAYISAL
DÖNÜŞTÜRÜCÜLERİN VLSİ TASARIMINDA
EŞİK EVİRMELİ NİCEMLEYİCİ TEKNİĞİ'NİN
KULLANIMI VE PERFORMANSI**

DOKTORA TEZİ

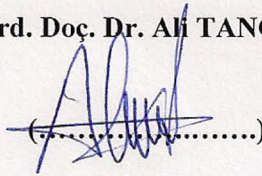
Y. Müh. Oktay AYTAR

Tezin Enstitüye Verildiği Tarih: 2 Aralık 2009

Tezin Savunulduğu Tarih: 30 Aralık 2009

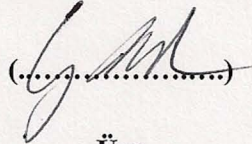
Tez Danışmanı

Yrd. Doç. Dr. Ali TANGEL


(.....)

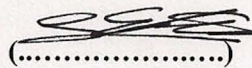
Üye

Prof. Dr. Günhan DÜNDAR


(.....)

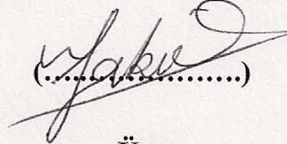
Üye

Prof. Dr. Sarp ERTÜRK


(.....)

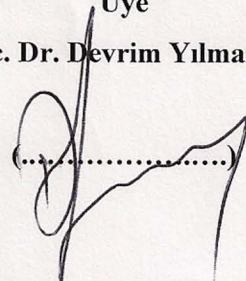
Üye

Yrd. Doç. Dr. Mehmet YAKUT


(.....)

Üye

Yrd. Doç. Dr. Devrim Yılmaz AKSİN


(.....)

KOCAELİ, 2009

ÖNSÖZ VE TEŞEKKÜR

Günümüzde sesli ve görüntülü haberleşme, yüksek hızlı internet ve yüksek çözünürlüklü tv'lerin hayatımızdaki yerini düşünürsek bu sistemlerin artık vazgeçilmez olduklarını çok rahat bir şekilde söyleyebiliriz. Bu sistemlerin hızlı bir şekilde gelişmesindeki en önemli sebeplerden biri kuşkusuz üretim teknolojisindeki gelişmelere paralel olarak analog-sayısal ve sayısal-analog dönüştürücülerin hızlı bir şekilde gelişmesidir.

Analog-Sayısal dönüştürücü tasarımının oldukça zor ve zahmetli olduğunu, bu yolda çalışmaya başlayınca daha rahat anlıyorsunuz. Özellikle tasarlanan devrenin hızı, çözünürlüğü, band genişliği, kapladığı alan, harcadığı güç, dinamik ve statik parametreleri oldukça önemlidir. Tasarım yaparken bunların hepsini birden düşünmek zorundasınız. Bu yüzden analog tasarım yapmak oldukça zor bir iştir. Türkiye'de karma sinyal tümleşik devre tasarımı üzerine çalışmalar diğer konulara göre oldukça az sayıdadır. Bu yüzden yapılan bu çalışmanın ileride bu tür çalışma yapacak olanlara yardımcı olacağı kanaatindeyim.

Bu çalışmanın yapılabilmesi için gerekli yazılım ve donanım desteği EEEAG-102E001 numaralı TUBİTAK araştırma projesi ve Kocaeli Üniversitesi Bilimsel Araştırmalar Birimi – 2007 / 42 numaralı proje kapsamında elde edilmiştir. Tasarımı gerçekleştirilen A / S dönüştürücülerde Cadence-IC Package paket programı ve AMS-HIT-Kit v.3.70 kütüphanesi kullanılmıştır.

Bu çalışmanın yapılması sırasında ihtiyacım olduğunda, kıymetli zamanlarını bana ayıran, bilgi ve birikimleri ile bana destek olarak çalışmama yön veren çok değerli hocamız Prof . Dr .Günhan DÜNDAR'a teşekkürü bir borç bilirim.

Bu çalışma sırasında, bilgi ve birikimleri ile beni yönlendiren, çalışmanın bu aşamaya gelmesinde katkısı olan hocamız Yrd.Doç.Dr.Devrim Yılmaz AKSİN'a çok teşekkür ederim.

Araştırma Görevlisi olarak çalışmaya başladığımdan bu yana, birlikte çalıştığım, her türlü görüş ve önerileri ile gerektiği zamanlarda birlikte çalışarak, çalışmanın bu aşamalara kadar gelmesinde yardımcı olan, her şeyden önce çok değerli bir insan olan hocam Yrd.Doç.Dr.Ali TANGEL'e ne kadar teşekkür etsem azdır.

Beni bu zamanlara getiren, her zaman ve her koşulda beni destekleyen, sevgilerini bana hissettiren aileme çok teşekkür ediyorum.

Hayatın bir birliktelik olduğunu, zor zamanlarda birbirine destek olmanın, kendinden fedakarlık yapmanın ne kadar önemli ve değerli olduğunu, sevgili eşim MUAZZEZ AYTAR ile evlendikten sonra daha çok anladım. Bu yüzden bu tez çalışması sırasında bana göstermiş olduğu sabır, sevgi ve destek için teşekkür etmemin bile kafi gelmeyeceğini düşünüyorum.

İÇİNDEKİLER

ÖNSÖZ VE TEŞEKKÜR	i
İÇİNDEKİLER	ii
ŞEKİLLER DİZİNİ	iv
TABLOLAR DİZİNİ	vii
SİMGELER VE KISALTMALAR DİZİNİ	viii
ÖZET	ix
İNGİLİZCE ÖZET	x
BÖLÜM 1. GİRİŞ	1
1.1. Tez Organizasyonu	5
BÖLÜM 2. ANALOG SAYISAL DÖNÜŞTÜRÜCÜ TÜRLERİ	7
2.1. Paralel (Flash) A / S Dönüştürücü	8
2.2. İki Adımlı (Semi-Flash) A / S Dönüştürücü	12
2.4. Boru (Pipeline) Tipi A / S Dönüştürücü	14
2.5. Katlamalı (Folding) ve Aradeğerlemeli (Interpolating) A / S Dönüştürücü	16
BÖLÜM 3. ANALOG-SAYISAL DÖNÜŞTÜRÜCÜ ÖZELLİKLERİ	19
3.1. Analog-Sayısal Dönüştürücü Parametreleri	19
3.1.1. Statik parametreler	19
3.1.1.1. Ofset hatası	20
3.1.1.2. Kazanç hatası	21
3.1.1.3. Farksal doğrusalsızlık (DNL)	22
3.1.1.4. Tümlensel doğrusalsızlık (INL)	24
3.1.2. Dinamik parametreler	25
3.1.2.1. Nicemleme gürültü oranı (SNR)	25
3.1.2.2. Toplam harmonik bozulma (THD)	25
3.1.2.3. İşaret-gürültü ve bozulma oranı (SINAD veya SNDR)	26
3.1.2.4. Sanal serbest çalışma bölgesi parametresi (SFDR)	26
3.1.2.5. Etkin bit değeri (ENOB)	27
3.1.2.6. Etkin çözünürlük band genişliği (ERB)	27
BÖLÜM 4 : KARŞILAŞTIRICILAR VE EŞİK EVİRMELİ NİCEMLEYİCİ	29
4.1. Açık Çevrim Karşılaştırıcılar	30
4.1.1. Dinamik (Auto-zero) karşılaştırıcı	30
4.2. Ayrık Zamanlı Karşılaştırıcılar	32
4.2.1. Anahtar-kapasite tekniği kullanılan karşılaştırıcılar	32
4.3. Yüksek Hızlı Karşılaştırıcılar	33
4.3.1. Tümüyle farksal tutucu tipi karşılaştırıcı	33
4.4. Eşik Evirmeli Nicemleyici	35
4.4.1. CMOS evirici	35
4.4.2. Eşik evirmeli nicemleyici yapısı	38
4.4.3. Eşik gerilimi değişiminin istatistiksel analizi	40
4.4.4. Eşik gerilim değişimi test sonuçları	43
BÖLÜM 5. KATLAMALI VE ARA DEĞERLEMELİ ANALOG-SAYISAL DÖNÜŞTÜRÜCÜLER	49
5.1. Katlama Kavramı	50

5.2. Doğrusal Katlama	52
5.3. Sinüsoidal İşarete Benzeyen Katlama	53
5.4. Çift Katlama	55
5.5. Ara değerlendirme	56
5.5.1. Gerilim ara-değerlemesi	57
5.5.2. Akım ara-değerlemesi	58
BÖLÜM 6. 9-BİT EŞİK EVİRMELİ NİCEMLEYİCİ TEMELLİ ANAHTAR SEÇMELİ KATLAMALI ANALOG SAYISAL DÖNÜŞTÜRÜCÜ	59
6.1. Analog Ön İşleme Bloğu	60
6.1.1. Katlama devresi	61
6.1.2. Transresistance ve fark yükseltici	63
6.1.3. Katlama bloğu sonuçları	65
6.2. Katlanmış İşaret Seçme Ünitesi	67
6.2.1. Anahtar bloğu	68
6.2.1.1 CMOS analog anahtar (Transmission gate)	68
6.2.2. “VEYA” bloğu	72
6.3. 4 Bit ve 5 Bit Paralel A / S Dönüştürücü	73
6.3.1. 4-bitlik EEN temelli kaba A / S dönüştürücü	73
6.3.1.1. Eşik evirmeli nicemleyici bloğu	73
6.3.1.2. Dinamik tutucu (latch)	76
6.3.1.3. 1-N kod çözücü	78
6.3.1.4. Programlanabilir mantık dizisi kullanan kodlayıcı devresi	79
6.3.2. 5 bit hassas A / S dönüştürücü	79
6.4. Sistemin Band Genişliği Sınırlaması	80
6.5. 9-bit Anahtar Seçmeli A / S Dönüştürücü Simülasyon Sonuçları	83
BÖLÜM 7. 9 BİT KATLAMALI-ARADEĞERLEMELİ ANALOG SAYISAL DÖNÜŞTÜRÜCÜ	102
7.1. Analog Ön İşleme Bloğu	103
7.2. Ara-Değerleme Bloğu	106
7.3. 5-Bit Hassas A / S Dönüştürücü	109
7.3.1. Karşılaştırıcı bloğu	109
7.3.2. Dinamik tutucu ve 1-N kodlayıcı devre	116
7.3.3. Programlanabilir mantık dizisi kullanan kodlayıcı devresi	120
7.4. 4-Bit EEN Temelli Kaba A / S Dönüştürücü	120
7.5. 9-Bit Ara-Değerlemeli A / S Dönüştürücü Simülasyon Sonuçları	121
BÖLÜM 8 : SONUÇLAR VE ÖNERİLER	146
KAYNAKLAR	153
ÖZGEÇMİŞ	162

ŞEKİLLER DİZİNİ

Şekil 2.1: Analog-Sayısal dönüştürücünün blok şeması	7
Şekil 2.2: A / S dönüştürücülerde çözünürlük ve örnekleme hızı arasındaki ilişki [21]	8
Şekil 2.3: Paralel A/S dönüştürücünün genel gösterimi.....	9
Şekil 2.4: Temel N bitlik iki adımlı A / S dönüştürücü blok şeması	12
Şekil 2.5: Temel boru tipi A / S dönüştürücü blok şeması.....	14
Şekil 2.6: Katlamalı A / S dönüştürücü bloğu.....	17
Şekil 3.1: İdeal 3-bitlik A / S dönüştürücünün giriş-çıkış karakteristiği	20
Şekil 3.2: Ofset hatası	21
Şekil 3.3: Kazanç hatası	22
Şekil 3.4: Farksal doğrusalsızlık (DNL)	23
Şekil 3.5: Tümevsel doğrusalsızlık (INL).....	24
Şekil 3.6: Giriş frekansı ve SNDR ilişkisi [39].....	28
Şekil 4.1: İdeal karşılaştırıcı sembolü ve transfer karakteristiği	29
Şekil 4.2: Basit dinamik karşılaştırıcı blok şeması	31
Şekil 4.3: Anahtar kapasiteli karşılaştırıcı	32
Şekil 4.4: Gerilim karşılaştırıcısının blok şeması	34
Şekil 4.5: Tümüyle farksal tutucu tipi karşılaştırıcı devre şeması	34
Şekil 4.6: Eşik Evirmeli Nicemleyici.....	35
Şekil 4.7: CMOS eviricinin gerilim geçiş eğrisi [72]	36
Şekil 4.8: Eşik geriliminin W_n/W_p 'ye göre yüzde olarak standart sapması.....	42
Şekil 4.9: ΔV_{th} geriliminin W_n/W_p oranına göre değişimi	42
Şekil 4.10: EEN'lerin eşik gerilimlerinin ölçüldüğü test düzeneği.....	43
Şekil 4.11: Üretilen yonga planı	44
Şekil 4.12: 5-bit EEN tabanlı A/S dönüştürücünün giriş-çıkış osiloskop şekilleri	48
Şekil 4.13: Üretimi yapılmış olan test yongalarından birinin fotoğrafı	48
Şekil 5.1: 5 bit katlamalı A / S dönüştürücü MSB ve LSB bitleri	50
Şekil 5.2: Testere dişi ve üçgen giriş-çıkış karakteristikleri	53
Şekil 5.3: Katlama devresi giriş-çıkış karakteristiği	54
Şekil 5.4: Katlama karakteristiği sağlayan devre.....	54
Şekil 5.5: Çift katlama işareti.....	55
Şekil 5.6: Ara-değerleme ve sinüsoidal benzeri katlama ile katlanmış işaret elde edilişi.....	57
Şekil 6.1: Önerilen 9 bit katlamalı A / S dönüştürücü blok şeması	60
Şekil 6.2: Gerilim modlu katlama bloğunun iç yapısı	61
Şekil 6.3: Gerilim modlu katlama devresi	62
Şekil 6.4: Katlama devresi çıkışında elde edilen çıkış gerilimleri ($f_{in}=50\text{MHz}$)	62
Şekil 6.5: Transresistans yükselteç	63
Şekil 6.6: Fark yükselteci.....	63
Şekil 6.7: Katlama bloğu çıkışları ($f_{in}=50\text{MHz}$)	64
Şekil 6.8: Katlama Bloğu çıkışları ($f_{in}=100\text{MHz}$).....	65
Şekil 6.9: Katlama bloğunun frekans cevabı	66
Şekil 6.10: Katlanmış işaret seçicinin devre şeması	67

Şekil 6.11: Anahtar bloğu çıkışı dc sonucu.....	68
Şekil 6.12: CMOS analog anahtar.....	69
Şekil 6.13: CMOS analog anahtar direncinin bulunmasına ilişkin devre düzeneği... 69	69
Şekil 6.14: Analog anahtar direncinin “Wn” ve “Wp”ye bağlı değişimi	70
Şekil 6.15: $f_{in} = 1\text{MHz}$ için analog anahtar bloğu çıkışı	71
Şekil 6.16: $f_{in} = 5\text{MHz}$ için analog anahtar bloğu çıkışı	71
Şekil 6.17: $f_{in} = 10\text{MHz}$ için analog anahtar bloğu çıkışı	72
Şekil 6.18: 4-bit eşik evirmeli nicemleyici temelli A / S dönüştürücü bloğu	73
Şekil 6.19: EEN bloğu	74
Şekil 6.20: Kaba A / S dönüştürücüde kullanılan een'lerden biri.....	74
Şekil 6.21: Eşik evirmeli nicemleyicinin gerilim geçiş eğrisi.....	75
Şekil 6.22: Eşik evirmeli nicemleyici blok çıkışları	75
Şekil 6.23: Dinamik tutucu devresi.....	77
Şekil 6.24: Tutucu bloğu çıkışları	77
Şekil 6.25: $\bar{A}B$ lojik devresi.....	78
Şekil 6.26: Kod çözücü bloğun çıkışları	78
Şekil 6.27: Sistemin band genişliği sınırlamasını bulmak için kullanılan devre düzeneği	80
Şekil 6.28 : $f_{in}=1\text{MHz}$ için giriş ve çıkış işaretleri	81
Şekil 6.29 : $f_{in}=10\text{MHz}$ için giriş ve çıkış işaretleri	81
Şekil 6.30 : $f_{in}=20\text{MHz}$ için giriş ve çıkış işaretleri	82
Şekil 6.31: $f_{in}=50\text{MHz}$ için giriş ve çıkış işaretleri	82
Şekil 6.32: 4 bit EEN temelli kaba A / S dönüştürücü dc sonuçları.....	83
Şekil 6.33: Analog ön işleme bloğu ve or bloğu dc çıkışları	84
Şekil 6.34: Anahtar bloğu çıkışı dc sonucu.....	85
Şekil 6.35: 5 bit EEN temelli hassas A / S dönüştürücü girişi ve dc sonuçları.....	85
Şekil 6.36: 9 bit A / S dönüştürücünün dc sonuçları.....	86
Şekil 6.37: 9 bit A / S dönüştürücünün ayrıntılı dc sonuçları	87
Şekil 6.38: $f_{in}=1\text{MHz}$ için 9-bit A / S dönüştürücü sonuçları	88
Şekil 6.39: $f_{in}=1\text{MHz}$ için 9-bit A / S dönüştürücü ayrıntılı sonuçları.....	89
Şekil 6.40: $f_{in}=2\text{MHz}$ için 9 bit A / S dönüştürücü sonuçları.....	90
Şekil 6.41: $f_{in}=2\text{MHz}$ için 9 bit A/S dönüştürücü ayrıntılı sonuçları	91
Şekil 6.42: 9 bit A / S dönüştürücü INL-DNL grafiği	92
Şekil 6.43: $f_{in}=100\text{Hz}$ iken elde edilen INL-DNL grafiği.....	93
Şekil 6.44: $f_{in}=1\text{KHz}$ iken elde edilen INL-DNL grafiği.....	93
Şekil 6.45: $f_{in}=1\text{MHz}$ iken elde edilen INL-DNL grafiği	94
Şekil 6.46: $f_{in}=2.5\text{MHz}$ iken elde edilen INL-DNL grafiği	94
Şekil 6.47: $f_{in}=5\text{MHz}$ iken elde edilen INL-DNL grafiği	95
Şekil 6.48 : Giriş işareti frekansına göre elde edilen maksimum DNL değerleri	96
Şekil 6.49 : Giriş işareti frekansına göre elde edilen maksimum INL değerleri.....	96
Şekil 6.50: $f_{in}=1\text{MHz}$ için ideal S / A dönüştürücü cevabı	97
Şekil 6.51: $f_{in}=5\text{MHz}$ için ideal S / A dönüştürücü cevabı	98
Şekil 6.52: $f_{in}=1\text{MHz}$ sinüsoidal işaret uygulandığında 9 bit ideal S / A dönüştürücü cevabı	99
Şekil 6.53: $f_{in}=5\text{MHz}$ sinüsoidal işaret uygulandığında 9 bit ideal S / A dönüştürücü cevabı	100
Şekil 7.1: Katlamalı-Aradeğerlemeli A / S Dönüştürücünün Blok Şeması	103
Şekil 7.2: Gerilim modlu analog ön işleme bloğunun iç yapısı	103
Şekil 7.3: Katlama devresinin dc sonuçları.....	104

Şekil 7.4: Analog ön işleme bloğu çıkışı dc sonucu	105
Şekil 7.5: $f_{in}=10\text{MHz}$ için analog ön işleme bloğu çıkışı.....	105
Şekil 7.6: $f_{in}=50\text{MHz}$ için analog ön işleme bloğu çıkışı.....	106
Şekil 7.7: Ara-değerleme bloğunun bir parçası.....	107
Şekil 7.8: Ara değerleme bloğunun dc analiz sonucu	107
Şekil 7.9: $f_{in}=10\text{MHz}$ için ara-değerleme bloğu çıkışı.....	108
Şekil 7.10: $f_{in}=40\text{MHz}$ için ara değerleme bloğu çıkışı	108
Şekil 7.11: 5-bit hassas A / S dönüştürücü bloğunda kullanılan karşılaştırıcı devresi	110
Şekil 7.12: $V_{ref}=3.84\text{V}$ için karşılaştırıcı dc çıkışı.....	111
Şekil 7.13: $V_{ref}=2\text{V}$ için karşılaştırıcı dc çıkışı.....	112
Şekil 7.14: $f_{in}=1\text{MHz}$ giriş için karşılaştırıcı çıkışı	112
Şekil 7.15: $f_{in}=40\text{MHz}$ giriş için karşılaştırıcı çıkışı	113
Şekil 7.16: Karşılaştırıcının histeresiz grafiği.....	113
Şekil 7.17: Karşılaştırıcının histeresiz eğrisinin ayrıntılı gösterimi.....	114
Şekil 7.18: $f_{in}=10\text{MHz}$ için karşılaştırıcı bloğu ayrıntılı çıkışları	114
Şekil 7.19: $f_{in}=25\text{MHz}$ için karşılaştırıcı bloğu ayrıntılı çıkışları	115
Şekil 7.20: $f_{in}=25\text{MHz}$ için karşılaştırıcı bloğu çıkışları.....	115
Şekil 7.21: $f_{in}=10\text{MHz}$ için dinamik tutucu ayrıntılı çıkışı	116
Şekil 7.22: $f_{in}=25\text{MHz}$ için dinamik tutucu çıkışı.....	117
Şekil 7.23: $f_{in}=25\text{MHz}$ için dinamik tutucu ayrıntılı çıkışı	117
Şekil 7.24: $f_{in}=10\text{MHz}$ için 1-N kodlayıcı çıkışı.....	118
Şekil 7.25: $f_{in}=10\text{MHz}$ için 1-N kodlayıcı ayrıntılı çıkışı	118
Şekil 7.26: $f_{in}=25\text{MHz}$ için 1-N kodlayıcı çıkışı.....	119
Şekil 7.27: $f_{in}=25\text{MHz}$ için 1-N kodlayıcı ayrıntılı çıkışı	119
Şekil 7.28: 4-bit EEN temelli kaba A / S dönüştürücü bloğu	120
Şekil 7.29: 4 bit EEN temelli A / S dönüştürücünün DC analiz cevabı.....	122
Şekil 7.30: 4-Bit EEN temelli kaba A / S dönüştürücünün INL-DNL grafiği.....	122
Şekil 7.31: $f_{in}=1\text{MHz}$ için 4-bit A / S dönüştürücü sonuçları	123
Şekil 7.32: $f_{in}=10\text{MHz}$ için 4-bit A / S dönüştürücü sonuçları	123
Şekil 7.33: 5 bit ara değerlemeli hassas A / S dönüştürücü DC analiz cevabı.....	124
Şekil 7.34: 5 bit ara değerlemeli hassas A / S dönüştürücü DC analiz ayrıntılı gösterimi.....	125
Şekil 7.35: 5-bit ara değerlemeli hassas A / S dönüştürücünün INL-DNL grafiği. 125	
Şekil 7.36: $f_{in}=1\text{MHz}$ için 5-bit ara-değerlemeli hassas A / S dönüştürücü cevabı. 126	
Şekil 7.37: $f_{in}=1\text{MHz}$ için 5-bit ara-değerlemeli hassas A / S dönüştürücü çıkışı ayrıntılı gösterimi	126
Şekil 7.38: $f_{in}=10\text{MHz}$ için 5-bit ara-değerlemeli hassas A / S dönüştürücü cevabı127	
Şekil 7.39: $f_{in}=10\text{MHz}$ için 5-bit ara-değerlemeli hassas A / S dönüştürücü çıkışı ayrıntılı gösterimi	127
Şekil 7.40: 9 bit katlamalı-ara değerlemeli A / S dönüştürücü DC analiz sonucu... 128	
Şekil 7.41: 9-bit katlamalı-ara değerlemeli A / S dönüştürücü ayrıntılı DC analiz sonucu	129
Şekil 7.42: 9-bit katlamalı ara-değerlemeli A / S dönüştürücünün INL-DNL grafiği	130
Şekil 7.43: 9-bit katlamalı ara-değerlemeli A / S dönüştürücünün en değerli 8 bitin INL-DNL grafiği.....	131
Şekil 7.44: 9-bit katlamalı ara-değerlemeli A / S dönüştürücünün en değerli 7 bitin INL-DNL grafiği.....	131

Şekil 7.45: $f_{in}=100\text{Hz}$ iken elde edilen INL-DNL grafiği.....	132
Şekil 7.46: $f_{in}=1\text{KHz}$ iken elde edilen INL-DNL grafiği.....	132
Şekil 7.47: $f_{in}=1\text{MHz}$ iken elde edilen INL-DNL grafiği.....	133
Şekil 7.48: $f_{in}=2.5\text{MHz}$ iken elde edilen INL-DNL grafiği.....	133
Şekil 7.49: $f_{in}=5\text{MHz}$ iken elde edilen INL-DNL grafiği.....	134
Şekil 7.50: Giriş işareti frekansına göre elde edilen maksimum DNL değerleri.....	134
Şekil 7.51: Giriş işareti frekansına göre elde edilen maksimum INL değerleri.....	135
Şekil 7.52: $f_{in}=1\text{MHz}$ için 9 bit A / S dönüştürücü sonuçları.....	136
Şekil 7.53: $f_{in}=1\text{MHz}$ için 9 bit A / S dönüştürücü ayrıntılı sonuçları.....	137
Şekil 7.54: $f_{in}=10\text{MHz}$ için 9 bit A / S dönüştürücü sonuçları.....	138
Şekil 7.55: $f_{in}=1\text{MHz}$ için ideal S / A dönüştürücü cevabı.....	139
Şekil 7.56: $f_{in}=10\text{MHz}$ için ideal S / A dönüştürücü cevabı.....	140
Şekil 7.57: $f_{in}=20\text{MHz}$ için ideal S / A dönüştürücü cevabı.....	140
Şekil 7.58: $f_{in}=1\text{MHz}$ sinüsoidal giriş işareti için ideal S / A dönüştürücü cevabı.....	141
Şekil 7.59: $f_{in}=20\text{MHz}$ sinüsoidal giriş işareti için ideal S / A dönüştürücü cevabı.....	142
Şekil 7.60: $f_{in}=30\text{MHz}$ sinüsoidal giriş işareti için ideal S / A dönüştürücü cevabı.....	142
Şekil 7.61: 1MHz giriş işareti uygulandığında elde edilen ayrık fourier dönüşüm cevabı.....	143
Şekil 7.62: 1MHz giriş işareti uygulandığında elde edilen spektral güç yoğunluğu.....	144

TABLULAR DİZİNİ

Tablo 4.1: Ölçümleri alınan EEN'lerin W_n ve W_p değerleri	44
Tablo 4.2: 10 farklı yonga için EEN'lerin ortalama ve standart sapma değerleri.....	45
Tablo 4.3: Yonga içerisinde farklı yerlerdeki EEN'lerin ortalama ve standart sapma değerleri	46
Tablo 5.1. Paralel ve katlamalı A / S dönüştürücüler için karşılaştırıcı sayıları.....	51
Tablo 6.1: Giriş-çıkış frekans tablosu	66
Tablo 6.2: EEN'lerin W_n ve W_p değerleri.....	76
Tablo 6.3: Sistemdeki blokların akıtmış oldukları maksimum ve ortalama akım değerleri	100
Tablo 6.4: 9 bit katlamalı-anahtar seçmeli A / S dönüştürücü sonuçları	101
Tablo 7.1: Sistemdeki bloklardan çekilen maksimum ve ortalama akım değerleri .	144
Tablo 7.2: 9 bit ara-değerlemeli A / S dönüştürücü sonuçları	145

SİMGELER VE KISALTMALAR DİZİNİ

A / S Dönüştürücü	: Analog-Sayısal Dönüştürücü
CMOS	: Complementary Metal Oxide Semiconductor
DNL	: Differential Non-Linearity--Farksal Doğrusalsızlık
EEN (TIQ)	: Eşik Evirmeli Nicemleyici
ENOB	: Etkin Bit Değeri
ERB	: Etkin Çözünürlük Band Genişliği
IEEE	: Institute of Electrical and Electronical Engineers
INL	: Integral Non-Linearity—Tümlevsel Doğrusalsızlık
LSB	: Least Significant Bits—En Değerliksiz Bit
MSB	: Most Significant Bits—En Değerlikli Bit
ROM	: Read Only Memory—Salt Okunur Bellek
SFDR	: Sanal Serbest Çalışma Bölgesi Parametresi
SINAD (SNDR)	: İşaret-Gürültü ve Bozulma Oranı
SNR	: İşaret-Gürültü Oranı
SoC	: System on Chip-Tek Yonga Sistem Çözümleri
THD	: Toplam Harmonik Bozulma
TSMC	: Taiwan Semiconductor Manufacturing Company-Tayvan Yarıiletken Üretim Şirketi
VLSI	: Very Large Scale Integration

KATLAMALI VE ARADEĞERLEMELİ ANALOG-SAYISAL DÖNÜŞTÜRÜCÜLERİN VLSI TASARIMINDA EŞİK EVİRMELİ NİCEMLEYİCİ TEKNİĞİ'NİN KULLANIMI VE PERFORMANSI

Oktay AYTAR

Anahtar Kelimeler: Eşik Evirmeli Nicemleyici (EEN), Analog Ön İşleme Bloğu, Katlamalı A / S Dönüştürücüler, Katlamalı ve Ara-Değerlemeli A / S Dönüştürücüler

Özet: Katlama ve Ara-Değerleme tekniği, yüksek hızlı ve tümüyle paralel A / S dönüştürücülerin çözünürlük sayısını artırmak için kullanılan en önemli yöntemlerden biridir. Buradaki analog-sayısal dönüştürücüler temel olarak 3 farklı bloktan oluşmaktadır. Bunlar tümüyle paralel olan yüksek hızlı A / S dönüştürücülerin oluşturduğu kaba ve hassas analog-sayısal dönüştürücü blokları ve analog ön işleme bloğudur.

Analog-Sayısal dönüştürücülerde en önemli yapı taşlarından biri karşılaştırıcılardır. Eşik evirmeli nicemleyici (EEN, TIQ), tümüyle paralel olan yüksek hızlı A / S dönüştürücü tasarımında kullanılan geleneksel karşılaştırıcı devrelerine alternatif olması açısından literatüre sunulmuştur. Bu tez çalışmasında EEN'lerin tek bir yonga içerisinde farklı yerlerde bulunduğu davranışları ile farklı yongalardaki davranışları hakkında çalışmalar yapılmıştır.

9-bit anahtar seçmeli katlamalı A / S dönüştürücü yapısı AMS-HIT-Kit kütüphanesi 0.35µm C35B4 model parametreleri kullanılarak 3.3V besleme gerilimi altında tasarlanmıştır. Buradaki sistem tümüyle paralel 4 ve 5 bit A / S dönüştürücü, analog ön işleme ve anahtar bloklarından oluşmaktadır. Analog ön işleme bloğu, katlamalı ve ara-değerlemeli A / S dönüştürücülerin en önemli bloğudur. Katlama işaretlerinin elde edilmesinde farklı yöntemler mevcuttur. Burada kullanılan analog ön işleme bloğu birbirine çapraz bağlı CMOS fark yükselteçlerinden oluşmaktadır. 4 bit ve 5 bit A / S dönüştürücülerde karşılaştırıcı yapısı olarak EEN kullanılmıştır.

Ara-değerlemeli ve katlamalı A / S dönüştürücüde kullanılan ara-değerleme yapısı için iki farklı yol vardır. Bunlardan birisi akım bölmeli diğeri ise gerilim bölmelidir. Burada direnç ile gerilim bölmeli yapı tercih edilmiştir. Analog ön işleme bloğu ile elde edilen iki katlama işaretinin arasına dirençler konularak katlanmış işaretler elde edilmiş olur. Çözünürlük sayısı arttığından analog ön işleme bloğunda kullanılan fark yükselteci sayısı artmıştır. Buna bağlı olarak da tasarlanan sistemin besleme gerilimi 5V'a çıkartılmıştır. 9-bit ara-değerlemeli A/S dönüştürücü yapısı AMS-HIT-Kit kütüphanesi 0.35µm C35B4 model parametreleri kullanılarak 5V besleme gerilimi altında tasarlanmıştır. Tasarlanan sistemde iki farklı karşılaştırıcı yapısı kullanılmıştır. Kaba A / S dönüştürücüde EEN, hassas A / S dönüştürücüde geleneksel bir yapı kullanılmıştır.

PERFORMANCE AND USAGE OF THRESHOLD INVERTER QUANTIZATION IN VLSI DESIGN OF FOLDING AND INTERPOLATING ANALOG TO DIGITAL CONVERTER

Oktaç AYTAR

Keywords : Threshold Inverter Quantization, Analog Pre-Processing Unit, Folding A / D Converter, Folding-Interpolating A / D Converter

Abstract: Folding and Interpolating technique is one of the most important method to increase the resolution of high speed flash ADCs. Basically, the folding A / D converter consists of an analog pre-processing unit, n bit flash coarse ADC and m bit flash fine ADC.

Comparators are the most important components for A / D converters. The Threshold Inverter Quantization (TIQ) Technique has been advertised in the literature as an alternative approach to traditional analogue part of the CMOS Flash ADC designs. In this work mismatch behavior of the TIQ technique has been investigated using different locations on a single die. As a result Inter-die and Intra-die statistics over 40 fabricated samples have been obtained and reported in chapter 4.

A 9 bit switch selected CMOS folding A / D converter design by using AMS-HIT KIT design library for 0.35 μ C35B4 CMOS process model parameters under power supply of 3.3V has been achieved. The proposed folding A / D converter consists of an analog pre-processing unit, a 4-bit TIQ based flash coarse A / D converter, a 5-bit TIQ based fine flash A / D converter unit, a folder selector unit, which contains the so-called OR-block and the SWITCH-block units. Folding pre-processor unit is the most important circuit block in the folding A / D converter, so that, the folder must be designed carefully. Folding signals can be obtained using different methods. But, in this study, folding circuit which consist of eight differential pairs with the outputs of the odd and even numbered differential pairs are cross coupled was chosen.

There are two ways to implement interpolation: current mode or voltage mode (resistive). In this work, voltage mode was preferred. The resistive interpolation can be implemented very easily by inserting resistors between two signals. The increase of the resolution of a folding-interpolating A / D converter required the increment of the number of folding differential pairs, but the power supply had to be increased to 5V. Two different comparators are used in this work, TIQ based ones are used in coarse part and traditional comparators are used in the fine part.

BÖLÜM 1. GİRİŞ

Analog-Sayısal (A / S) dönüştürücüler, analog bilgiyi sayısal bilgiye dönüştüren en önemli yapı birimidir. Dolayısıyla gerçek dünya ile sayısal dünya arasında köprü görevi görürler. Özellikle sayısal dünyadaki uygulamaların gelişmesinde çok önemli bir yer tutarlar. Cep telefonu, kamera, sayısal televizyon, 3G haberleşme sistemleri ve kablosuz haberleşme ağlarının gelişmesinde, analog olan sesin ve görüntünün sayısala dönüştürülmesi çok önemlidir. Buralarda kullanılan analog-sayısal dönüştürücülerin çözünürlük ve hız performansları sistemin bütününe etkilemektedir [1,2].

Özellikle tek yonga sistem çözümleri (SoC) uygulamalarında, düşük besleme gerilimi, yüksek örnekleme hızı ve düşük güç harcayan A / S dönüştürücülerin kullanılması yeni sistemlerin geliştirilmesinde çok önemlidir. Son yıllarda A / S dönüştürücü tasarımlarında örnekleme hızını ve çözünürlüğünü artırmak için araya yerleştirme (interleaving), aradeğerleme (interpolating) ve katlama (folding) gibi teknikler kullanılmaktadır.

Katı hal teknolojisinde (solid-state technology) kullanılan süreçler doğal olarak A / S dönüştürücülerin hızını ve maliyetini etkilemektedir. Yüksek hızlı A / S dönüştürücü uygulamalarında üç farklı üretim süreci kullanılmaktadır: CMOS, Bipolar ve GaAs teknolojileridir. GaAs teknolojisi en hızlı, CMOS ise en yavaş teknolojidir. Şu an için kullanılan GaAs teknolojisi, CMOS teknolojisi ile uyumlu değildir. Bu yüzden her ikisini birden aynı yonga sistemi içerisinde kullanmak mümkün değildir [2]. Son yıllarda bipolar teknoloji ile CMOS teknolojisi bir arada kullanılabilir. Fakat üretim süreci oldukça kompleks ve üretim maliyeti CMOS teknolojiye göre oldukça yüksektir. Bu yüzden karma-işaret uygulamalarında halen standart CMOS teknolojisi birinci tercihtir.

A / S dönüştürücünün çözünürlük, dönüştürme hızı ve güç tüketimi performansı, yapısına ve kullanılacağı uygulamaya bağlı olarak değişmektedir. Şu an için hızlı örnekleme zamanı ve orta-çözünürlüğe ihtiyaç duyan okuma-yazma disk sürücülerini için ve kablosuz el cihazları için gerekli olan A / S dönüştürücü mimarisi paralel (flash) yapılarıdır. Bu yapılar şu an için kullanılan en hızlı mimaridir. Fakat sistemin çözünürlüğü artırılmak istendiğinde güç tüketiminde ve yonga alanında artma meydana gelmektedir. Bu yüzden temelde yine paralel A / S dönüştürücü mimarisini kullanılan farklı yapılar önerilmiştir.

A / S dönüştürücünün hızını ve çözünürlüğünü artıran boru tipi A / S dönüştürücüler en popüler mimarilerden biridir [3,4]. Genellikle 8-16 bit arasında çözünürlüğe sahip birbirine seri olarak bağlı her biri paralel A / S dönüştürücü yapılarından oluşan bir mimaridir. Genellikle yüksek çözünürlük ve hız isteyen haberleşme sistemleri uygulamalarında kullanılır [5,6].

Paralel A / S dönüştürücü mimarisinde çözünürlük arttıkça daha fazla sayıda karşılaştırıcıya ihtiyaç duyulur. Karşılaştırıcı sayısını azaltmak ve buna bağlı olarak da sistemin yonga alanını azaltmaya yönelik bir diğer teknik ise katlamalı ve ara-değerlemeli A / S dönüştürücülerdir [7,8]. Katlamalı ve ara-değerlemeli A / S dönüştürücüler tasarım açısından iki adımlı A / S dönüştürücüler gibidir. Burada da en değerli bitler ve en değersiz bitler iki farklı blok tarafından elde edilmektedir. İki adımlı A / S dönüştürücülerde S / A dönüştürücüye ihtiyaç duyulurken, bu yapıda ihtiyaç yoktur. Burada bir bölümde analog ön işleme devresi ve paralel A / S dönüştürücü yapısı ile en değersiz bitler üretilirken, diğer blokta en değerli bitler paralel A / S dönüştürücü yardımı ile üretilir.

Katlamalı A / S dönüştürücülerde en önemli blok analog ön işleme bloğudur. Bu blok akım modlu ve gerilim modlu olarak tasarlanabilir. Gerilim modlu analog ön işleme bloğu birbirine çapraz bağlı fark yükselteçleri ile elde edilir. Akım modlu katlama devresi ise genellikle akım aynaları yardımı ile elde edilir [7]. Akım modlu devreler düşük-güç gerektiren uygulamalarda daha çok kullanılırlar.

Katlamalı ve ara-değerlemeli A / S dönüştürücüler ise analog ön işleme blok sayısını azaltmak için kullanılırlar. Böylece katlamalı A / S dönüştürücüye göre yonga alanları daha küçüktür.

Katlama teriminin literatürde geçtiği ilk çalışma 1984 yılında “Rob E.J.Van De Grift ve Rudy J. Van De Plassche” tarafından [9] nolu çalışmada sunulmuştur. Burada sistemin girişine rampa işareti uygulayarak, çıkışta üçgen dalga şekline benzeyen ve girişteki işaretin katlama sayısı katı kadar katlanmış bir frekans değerine sahip çıkış işareti elde etmişlerdir. Bu işareti hassas nicemleyiciye uygulayınca da sistemin çözünürlüğünü artırmışlardır. Burada katlama devresi bipolar fark yükselteçlerinden oluşmaktadır.

1987 yılında katlamalı ve aradeğerlemeli A / S dönüştürücü ile ilgili bir çalışma “Rob E.J.Van De Grift, Ivo W.J.M.Rutten ve Martien Van Der Veen” tarafından [10] nolu çalışmada sunulmuştur. Burada video frekansındaki uygulamalar için bir A / S dönüştürücü önermişlerdir. Bu çalışmada katlama işaretlerinin elde edildiği analog ön işleme bloğu bipolar fark yükselteçlerinden oluşmuştur.

1988 yılında [11] nolu çalışmada katlama devreleri kullanılarak örnekleme-tutma devresine ihtiyaç duyulmadan, karşılaştırıcı sayısının oldukça azaltılabileceği belirtilmiştir. Katlama sisteminde en büyük problemin üçgen işaret yerine sinüs işaretine benzeyen katlama işaretinin elde edilebildiği gösterilmiştir. İşaretin lineer olmayan kısımlarını da önlemek için çok sayıda katlama işareti kullanılmıştır. Hatta ara-değerleme yapısı kullanılarak çözünürlüğün daha da artırılabilceği önerilmiştir.

1992 yılında [12] nolu çalışmada analog ön işleme devresi ve ara-değerleme yapısı kullanılarak 1µm bipolar prosesinde A / S dönüştürücü tasarımı yapılmıştır. Katlama devresi olarak fark yükselteci çiftleri kullanılmıştır.

1995 yılında [13] nolu çalışmada daha önce bipolar teknoloji ile tasarlanan katlama devreleri CMOS olarak tasarlanmıştır. Katlama ve ara-değerleme yapısının literatürde ilk kez CMOS ile tasarlandığı çalışmadır. Bu çalışmada da öncelikle karşılaştırıcı sayısının azaltılacağı buna bağlı olarak güç tüketiminde ve yonga alanında azalmalar olacağı belirtilmiştir. Birbirine çapraz bağlı CMOS fark yükselteçleri ile katlama işaretinin elde edildiği belirtilmiştir.

1996 yılında [14] nolu çalışmada akım modlu ara-değerleme yapısı kullanılarak A / S dönüştürücü tasarlanmıştır. Katlama işaretlerinin elde edilmesinde analog “OR” devresi ile fark yükselteçlerinin birleşiminden yararlanılmıştır.

2000 yılında [15] nolu çalışmada katlama işareti akım modlu devreler yardımı ile elde edilmiştir. Aritmetik akım aynaları kullanılarak katlama işaretleri elde edilmiştir. Böylece akım aynaları katlama işareti elde edilmesinde kullanılmaya başlanmıştır.

2002 yılında [16] nolu çalışmada ve 2004 yılında [17] nolu çalışmalarda da gerilim modlu, birbirine çapraz bağlı CMOS fark yükselteçlerinden elde edilen katlama işaretleri kullanılarak tasarımlar yapılmıştır.

2007 yılında [18] nolu çalışmada gerilim modlu katlama devreleri kullanılarak elde edilen katlanmış işaretlerin içerisinde en iyi 255 adet sıfır geçişini seçerek 8 bit katlamalı A / S dönüştürücü tasarlanmıştır. Böylece seçilmeyen sıfır geçişleri devrede kullanılmadığı için güç tüketiminde azalma meydana gelmiştir.

2008 yılında [7] nolu çalışmada akım modlu katlama devreleri ve akım modlu ara-değerleme yapısı kullanılarak sistemin güç tüketiminin azaltılabileceği gösterilmiştir. Fakat katlama devrelerinin çıkışında elde edilen işaret frekansının, giriş işareti frekansından oldukça büyük olması nedeniyle band genişliğinin oldukça sınırlı olduğu belirtilmiştir.

2009 yılında [19] nolu çalışmada 90 nm teknoloji kullanılarak 5 bit katlamalı A / S dönüştürücü tasarlanmıştır. Burada en değerli 1 bit katlama devresi aracılığı ile diğer 4 bit ise paralel A / S dönüştürücüden elde edilmektedir. Böylece güç tüketiminde ve yonga alanında azalma meydana gelmiştir. Üretim teknolojisi geliştikçe katlamalı ve ara-değerlemeli A / S dönüştürücü tasarımı da gelişmiştir.

1.1. Tez Organizasyonu

Genel olarak yapılan bu çalışma katlamalı A / S dönüştürücüler, katlamalı ve ara-değerlemeli A / S dönüştürücüler ve karşılaştırmalı yapısı olarak kullanılan eşik evirmeli nicemleyici yapısının irdelenmesinden oluşmaktadır.

Bölüm 2’de, literatürde sıkça kullanılan A / S dönüştürücü türleri hakkında bilgiler verilmiştir. Özellikle paralel (flash) yapıyı kullanan mimarileri ve bu mimariler hakkında literatürde elde edilen sonuçlara ve gelişmelere yer verilmiştir.

Bölüm 3’de, A / S dönüştürücünün performansını tanımlayan ve kullanıcıların ihtiyacı için gerekli olan A / S dönüştürücü seçimine yardımcı olacak olan statik ve dinamik parametrelerin neler olduğu, bunların nasıl elde edildiği ve nasıl kullanılması gerektiği hakkında bilgiler verilmiştir.

Bölüm 4’te, A / S dönüştürücülerde sıklıkla kullanılan karşılaştırmalı yapıları hakkında bilgiler verilmiştir. Ayrıca karşılaştırmalı yapısı olarak önerilen ve daha önceki çalışmalarda da kullanılan eşik evirmeli nicemleyicinin üretimden sonraki davranışı, yonga içerisinde bulunduğu konuma göre eşik gerilimlerinin nasıl etkilendiği hakkında ölçümler, simülasyon sonuçları ve istatistiksel bilgiler verilmiştir.

Bölüm 5’te ise katlamalı A / S dönüştürücüler hakkında genel bilgiler verilmiştir. Katlama ve ara-değerleme kavramı ayrıntılı bir şekilde açıklanmıştır. Bu işaretlerin nasıl elde edildiği ve ne tür devreler kullanıldığı açıklanmıştır. Ayrıca literatürde en çok kullanılan katlama devresinden ve bu devre ile katlama işareti elde edilirken meydana gelen sorunlardan da bahsedilmiştir.

Bölüm 6’da ise tasarımı yapılan 9 bit eşik evirmeli nicemleyici temelli, anahtar seçmeli katlamalı A / S dönüştürücüden bahsedilmiştir. Burada katlama işaretlerinin nasıl elde edildiği, anahtar bloğunun sistemin analog band genişliğine etkisinden ve sistemin çıkışında elde edilen sayısal çıkışlar ayrıntılı bir şekilde anlatılmıştır. Bu sayısal çıkışlar baz alınarak sistemin dinamik ve statik parametreleri hakkında bilgiler verilmiştir.

Bölüm 7’de ise tasarımı ve simülasyonu yapılan 9 bit katlamalı ve ara-değerlemeli A / S dönüştürücü hakkında bilgiler verilmiştir. Sistemde kullanılan analog ön işleme bloğu ve ara-değerleme bloğunun nasıl seçilmesi gerektiği ve sonuçları ayrıntılı bir şekilde anlatılmıştır. Ayrıca sistemde kullanılan iki farklı karşılaştırıcı yapısı ve bunların sonuçları da ayrıntılı olarak anlatılmıştır. Sistemin çıkışında elde edilen sayısal çıkışlar ve sonuçların değerlendirmesinden dinamik ve statik parametrelere ilişkin bilgiler verilmiştir.

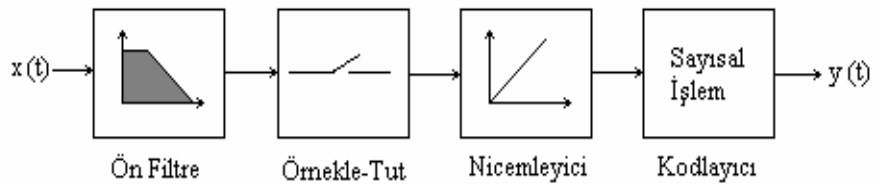
Bölüm 8’de ise yapılan tez çalışması ile ilgili genel sonuçlara ve geleceğe yönelik önerilere yer verilmiştir.

BÖLÜM 2. ANALOG SAYISAL DÖNÜŞTÜRÜCÜ TÜRLERİ

Analog sayısal dönüştürücüler, analog bilgiyi sayısal veriye dönüştüren devre elemanlarıdır. A / S dönüştürücüler, gerçek dünya ile sayısal dünya arasında köprü görevindedir. Özellikle sayısal uygulama devrelerinin gelişmesine paralel olarak, A / S dönüştürücülere olan ihtiyaç da sürekli artmaktadır. Özellikle kameralı cep telefonları, sayısal tv, 3G haberleşme sistemleri ve kablosuz geniş ağ alanları gibi bir çok popüler alanda analog ses, görüntü ve resimlerinin sayısal dönüştürülmesinde oldukça önemli bir rol üstlenmektedirler. A / S dönüştürücünün çözünürlüğü ve hızı, yukarıda bahsedilen sistemlerin performansını etkilemektedir. Bu yüzden kullanılan A / S dönüştürücü tipi oldukça önemlidir. A / S dönüştürücünün blok şeması Şekil 2.1’de verilmiştir [20].

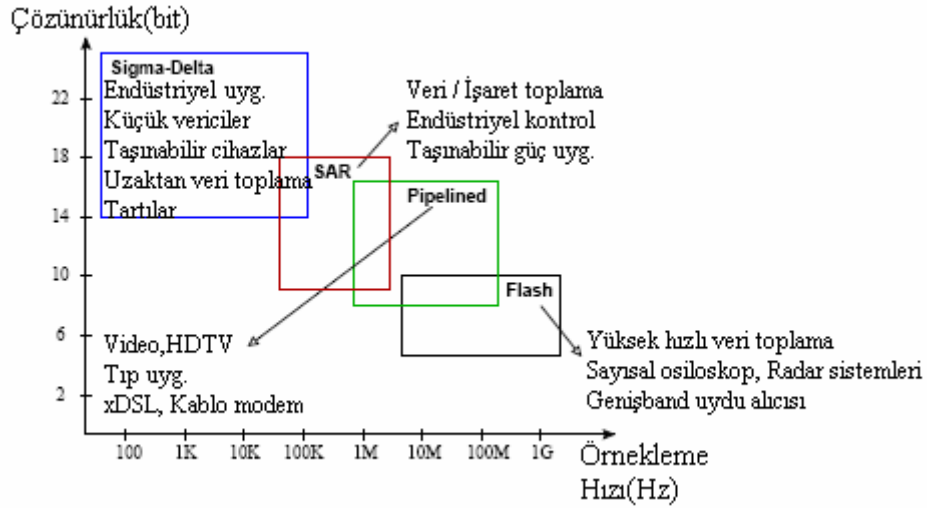
Ön filtreden geçen işaretler bir örnekle-tut devresinden geçtikten sonra nicemleyiciye (quantizer) uygulanır. Daha sonra da kodlayıcıya uygulandıktan sonra çıkışından sayısal bilgi alınmış olur. Bu arada geçen zaman süresi dönüştürme zamanı olarak isimlendirilir. Seri yapıda dönüştürme algoritmalarına sahip olan A / S dönüştürücülerde bu süre çok uzundur. Paralel yapılarda ise çok kısadır.

Dönüştürme nicemleyicinin yardımı ile olmaktadır. Nicemleyici gelen analog işareti parçalara bölmektedir. Tipik olarak nicemleyicide 2^N adet basamak vardır. Burada N sayısal çıkıştaki bit sayısını göstermektedir. Nicemleyicide kullanılacak olan basamak sayısı örneklenen analog işaret ile uygun olmalıdır.



Şekil 2.1: Analog-Sayısal dönüştürücünün blok şeması

A / S dönüştürücüler, tasarlanmış oldukları farklı yapılara, çözünürlüklerine, örnekleme hızlarına, harcadıkları güce ve çalışma sıcaklıkları gibi farklı durumlara göre sınıflandırılabilirler. Örneğin paralel hızlı (flash) A / S dönüştürücüler yüksek hızlı ve düşük çözünürlüklü uygulamalarda daha çok tercih edilirler. Çünkü hızlı (flash) A / S dönüştürücüler paralel yapıda olup, bütün sayısal dönüşümler örnekleme hızının bir periyodu süresince yapılır. Bir başka örnek verecek olursak, ardışıl yaklaşımlı (successive approximation) A / S dönüştürücüler düşük hız ve yüksek çözünürlük gerektiren uygulamalarda tercih edilirler. Şekil 2.2, sıklıkla kullanılan A / S dönüştürücülerin örnekleme hızı ile çözünürlüğü arasındaki ilişkiyi göstermektedir [21].



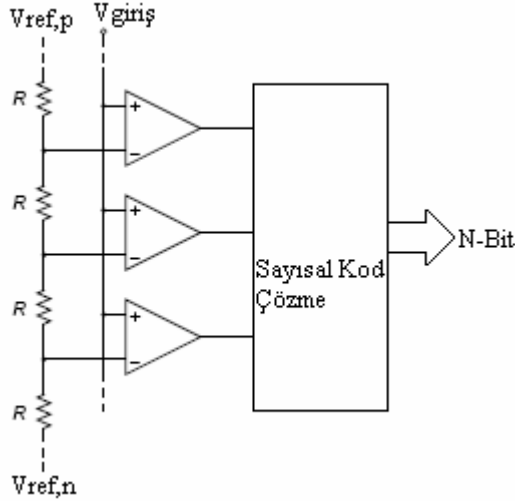
Şekil 2.2: A / S dönüştürücülerde çözünürlük ve örnekleme hızı arasındaki ilişki [21]

Bir sonraki bölümde popüler olarak kullanılan A / S dönüştürücü yapılarına ilişkin özet bilgiler literatürden örneklerle birlikte verilmektedir.

2.1. Paralel (Flash) A / S Dönüştürücü

Paralel (Flash) A / S dönüştürücü, bilinen en hızlı A / S dönüştürücüdür. Özellikle manyetik kanal okuma gerektiren uygulamaların, optik olarak veri depolama sistemlerinin, yüksek veri oranı gerektiren sayısal haberleşme sistemlerinin ve optik haberleşme sistemlerinin en önemli bloklarından biri olarak kabul edilir [22-25].

Tamamen paralel A / S dönüştürücüye ait temel bir blok şema Şekil 2.3'te gösterilmiştir.



Şekil 2.3: Paralel A/S dönüştürücünün genel gösterimi

Şekil 2.3'te gösterildiği üzere n bitlik bir paralel A / S dönüştürücü, (2^n-1) adet karşılaştırıcı, nicemele gerilimlerinin olduğu bir direnç dizisi ve sayısal kod çözme devresinden oluşur. Her karşılaştırıcı, referans gerilimlerinin ayarlandığı direnç dizisinden kendine özgü nicemele adım değerini alır ve aynı zamanda bağlı olduğu o andaki analog giriş gerilimi ile karşılaştırır. Analog giriş gerilimi referans geriliminden büyük olduğunda karşılaştırıcılar mantıksal olarak "1", analog giriş gerilimi referans geriliminden küçük olanlar ise mantıksal olarak "0" üretirler. Karşılaştırıcı çıkışında elde edilen bu mantıksal dizi termometre kod olarak isimlendirilir. Bu kod çıkışı da daha sonra kodlayıcı ve kod çözücü devrelerden geçirilerek ikili kod elde edilir.

Paralel A / S dönüştürücü, bilinen en hızlı ve en basit dönüştürme sürecine sahiptir. Çünkü paralel A / S dönüştürücü, bir örnekleme periyodu süresinde dönüştürme işlemini tamamlamaktadır. Fakat çözünürlüğün artması, A / S dönüştürücüde bulunan karşılaştırıcı sayısında ve referans gerilimlerinin elde edildiği direnç dizisini meydana getiren direnç sayısında artmaya neden olur.

Bu artmadan dolayı efektif yonga alanında ve güç tüketiminde artış meydana gelir. Bir başka problem ise çözünürlüğün artması ile eğer aynı zamanda hız da artıyor ise kabarcık (bubble) hata oranı da artmaktadır [26]. Ayrıca çözünürlük 7 bitten fazla olduğunda, ofset hatasını önlemek için kullanılan karşılaştırıcıda yüksek boyutlu transistörler kullanmak gereklidir. Aksi takdirde karşılaştırıcılarda eşleşme problemi meydana gelebilmektedir [27]. Bu da tekdüze olmayan bir A / S dönüştürücü çalışması anlamına gelir.

Paralel A / S dönüştürücülerde giriş işareti bütün karşılaştırıcılara aynı anda uygulanmaktadır. Her bir karşılaştırıcının girişinde gerilime bağlı olarak değişen düğüm kapasitesi vardır. Bu gerilime bağlı kapasite yüzünden etkin bit oranında (BER) azalma meydana gelir ve frekans yükseldikçe bozulma artar. Bunun sonucu olarak çoğu paralel A / S dönüştürücü girişinde, yüksek hızlarda bu kapasitenin etkisini azaltacak tampon devreleri kullanılmaktadır [28].

Son yıllarda yarı-iletken teknolojisinde boyutlar küçüldükçe, tamamen paralel yapıda yüksek hızlı A / S dönüştürücü tasarımında sayısal bölümde minimum CMOS boyutları rahat bir şekilde kullanılırken, analog bölümler için bunu söyleyebilmek kolay değildir. Çünkü transistör, direnç ve kapasitör uyumluluğunu yakalayabilmek küçük boyutlu çizimlerde güçleşmektedir.

Literatürde CMOS teknoloji ile yapılmış özellikle Giga-Sample-Per-Second (GSPS) seviyesinde bir çok paralel A / S dönüştürücü vardır. Dönüştürme hızı çeşitli teknikler kullanılarak artırılmaya çalışılmıştır. Bunlarda ara değerlendirme, direnç ortalama ve kalibrasyon yöntemleri kullanılarak performansları artırılmaya çalışılmıştır. Ara değerlendirme yöntemi, gerekli olan karşılaştırıcı sayısında bir azalma sağlar ki bu da efektif yonga alanı ve güç tüketiminde azalma meydana getirir. Direnç ortalamalı yöntem ise karşılaştırıcının girişinde meydana gelen ofset geriliminin etkisini azaltır. Bu iki teknik de modern paralel A / S dönüştürücülerde sıklıkla kullanılır [29]. Bu iki tekniğin birden kullanıldığı [29] nolu çalışmada 0.13µm TSMC CMOS üretim prosesi kullanılarak 5-bit 4.2GS/s paralel A / S dönüştürücü tasarlanmıştır. Tasarlanan A / S dönüştürücünün güç tüketimi 180mW, besleme gerilimi 1.2V'tur.

Paralel A / S dönüştürücülerde güç tüketiminin azaltılması da oldukça önemlidir. Bunun için de yeni teknikler geliştirilmiştir. Bunlardan biri de çoklu seçme tekniği olarak isimlendirilmiştir. Bu yönteme göre nicemleme gerilimleri kontrol anahtarları yardımı ile seçilerek uygun karşılaştırıcılara bağlanır. Bu yöntem karşılaştırıcı sayısını oldukça azaltır [30]. [30] numaralı çalışmada 0.35 μ m TSMC 2P-4M üretim prosesi kullanılarak 3.3V besleme gerilimi altında 19.2mW güç harcayan 6 bit paralel A / S dönüştürücü tasarlanmıştır.

Son yıllarda CMOS teknolojisindeki hızlı gelişmeye bağlı olarak azalma gösteren besleme gerilimleri de paralel A / S dönüştürücüler için bir problem haline gelmiştir [31]. [31] numaralı çalışma 90nm CMOS prosesinde 0.9V besleme gerilimi altında 6-bit 3.5GS/s örnekleme hızına sahip ve 98mW güç harcayan bir A / S dönüştürücü tasarlanabilmiştir. Burada ön yükselteç devrelerinde kullanılan yük direnci yerine, diyot-bağlantılı transistörler kullanılmıştır. Böylece çıkış geriliminde meydana gelecek ani dalgalanmalar giderilerek, yüksek hıza olanak sağlanmıştır [31].

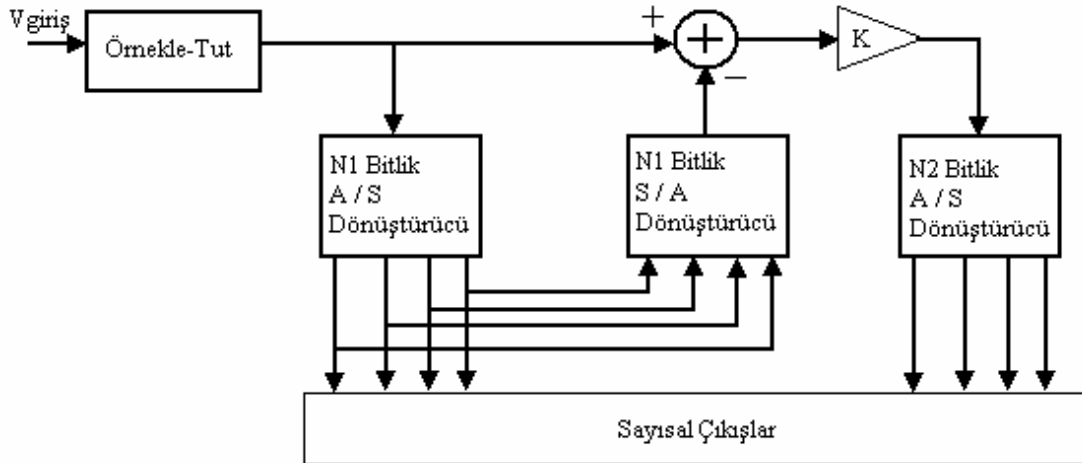
Paralel A / S dönüştürücülerde karşılaştırıcı bloğunun çıkışında elde edilen termometre kodu çoğunlukla iki aşamada ikili koda dönüştürülmektedir. Termometre kodu öncelikle "01" üretici kullanılarak 1-N koduna dönüştürülür. "01" koduna dönüştüren devre basitçe A'B devresi ile elde edilebilir. Literatürde bu kod daha kolay ve basit bir şekilde elde edilebilir [32]. Daha sonra elde edilen bu kod ROM (Read Only Memory) devresi kullanılarak ikili koda dönüştürülmektedir [33,34].

Kodlayıcı yapısı olarak ROM devresinin bu kadar geniş bir biçimde kullanılmasının en önemli sebepleri basit ve düzenli olmasıdır. Bu yapıda ROM devresinin sadece bir satırı aktif olarak çalışır ve ikili kod çıkışı elde edilir. Fakat aynı anda birden fazla satır aktif olarak çalışırsa büyük hatalar meydana gelebilir. Çok hızlı giriş işareti uygulandığında, karşılaştırıcı devresinin zamanlaması ile ofset zamanlarındaki küçük zamanlama farkları, çıkış kodunda kabarcık hatalarına neden olur. Giriş sinyali ve referans gerilimi kapalı iken, ön yükselteç veya karşılaştırıcı devresi bu iki işareti anlayamaz. Dolayısıyla çıkış işareti lojik olarak "1" veya "0" olarak rastgele bir durum oluşturur. Bu durum yarı kararlılık (metastability) olarak isimlendirilir.

Bu hataları yok etmek için çeşitli teknikler önerilmiştir. [33] nolu çalışmada kabarcık hataları, yüksek hız ve düşük güç harcayan CMOS lojik kapılar kullanılarak aşılmaya çalışılmıştır. Bunun sonucunda $0.18\mu\text{m}$ CMOS prosesinde 1.8V besleme gerilimi altında çalışan ortalama güç tüketimi 10mW olan bir A / S dönüştürücü tasarlanmıştır. [34] numaralı çalışmada yeni bir ROM yapısı önerilerek, $0.35\mu\text{m}$ TSMC prosesi kullanılarak, örnekleme hızı 800MHz olan 6 bitlik bir A / S dönüştürücü tasarımı yapılmıştır.

2.2. İki Adımlı (Semi-Flash) A / S Dönüştürücü

Şekil 2.4'te temel N-bitlik bir A / S dönüştürücünün blok şeması gösterilmektedir [35-39]. Temel olarak iki adımlı bir A / S dönüştürücü, 2 adet paralel A / S dönüştürücü, S / A dönüştürücü, fark alıcı ve örnekle-tut devrelerinden oluşmaktadır.



Şekil 2.4: Temel N bitlik iki adımlı A / S dönüştürücü blok şeması

Paralel A / S dönüştürücü, yapı olarak en hızlı A / S dönüştürücü olarak tanımlanır. Fakat çözünürlük sayısı arttıkça karşılaştırıcı sayısında da artma meydana gelir. Karşılaştırıcı sayısındaki artış bir çok probleme neden olur. En önemlileri geniş yonga alanı ve yüksek güç tüketimidir. Bunun için karşılaştırıcı sayısını azaltarak yüksek çözünürlüğe ulaşmak için kullanılan yapılardan biri iki adımlı A / S dönüştürücüdür.

N bitlik bir paralel A / S dönüştürücü için (2^N-1) adet karşılaştırıcı kullanılır. Fakat iki adımlı A / S dönüştürücü için $2*(2^{N/2}-1)$ adet karşılaştırıcıya gerek vardır. İki adımlı A / S dönüştürücünün en önemli avantajı karşılaştırıcı sayısının azalması ve buna bağlı olarak değişen güç tüketimindeki azalmadır. 8 bitlik bir paralel A / S dönüştürücü için 255 adet karşılaştırıcı gerekirken, aynı çözünürlüğe sahip iki adımlı A / S dönüştürücü için 30 adet karşılaştırıcıya ihtiyaç vardır.

İki adımlı A / S dönüştürücüde iki aşamalı bir dönüşüm prosesi mevcuttur. Her bir aşamada N / 2 bit elde edilir. İlk aşamada giriş işareti uygulanır ve daha sonra en değerli bitler elde edilir. Daha sonra ise elde edilen bu sayısal çıkışlar S / A dönüştürücüye uygulanır. S / A dönüştürücü çıkışında elde edilen analog işaret ile sisteme uygulanan giriş işareti fark alıcı devreye ve kazanç devresine uygulanır. Bu devre çıkışındaki işaret en değersiz bitlerin elde edileceği ikinci A / S dönüştürücüye uygulanır. Böylece çıkışta en değerli ve en değersiz bitler elde edilmiş olur.

Bu basit iki adımlı A / S dönüştürücü yapısının tatmin edici bir biçimde çalışması için n bit A / S dönüştürücü ve n bit S / A dönüştürücünün oldukça iyi çalışması gerekmektedir. Eğer fark işaretinin ofset gerilimi ve kazancı iyi ayarlanamaz ise en değersiz sayısal kodların elde edildiği A / S dönüştürücüde kod kayıpları meydana gelecektir [28].

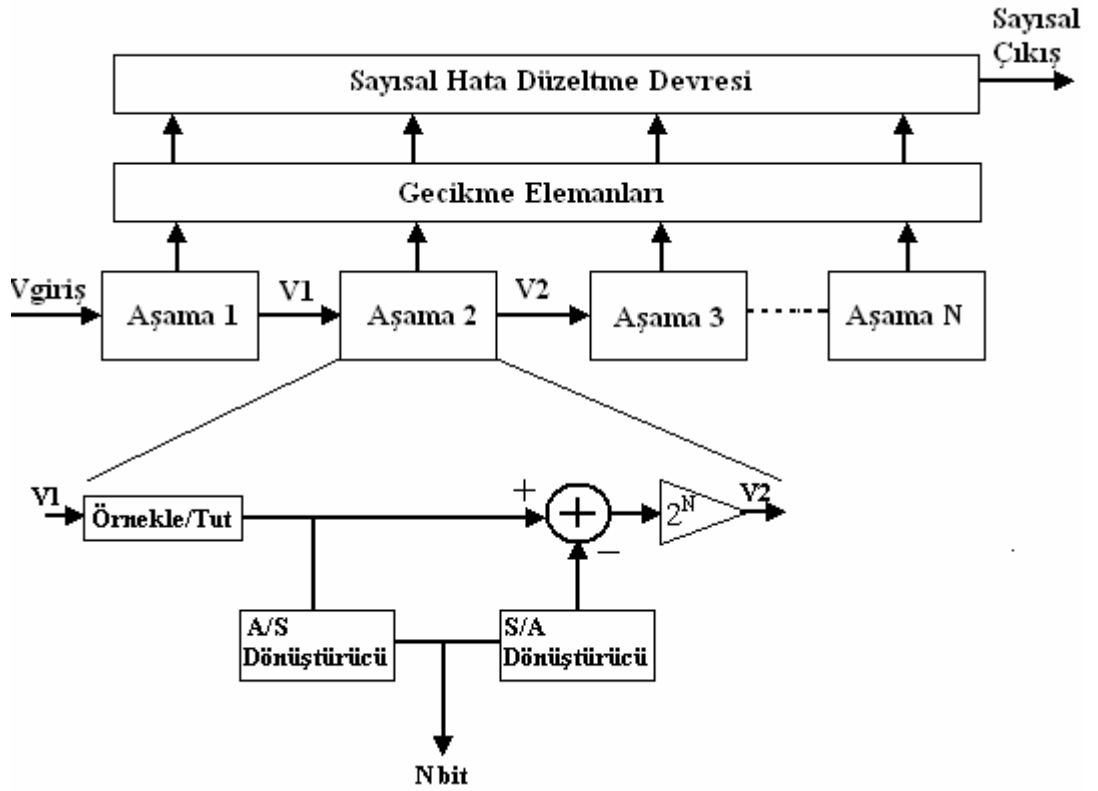
İki adımlı A / S dönüştürücünün çözünürlüğünü etkileyen en önemli nedenler, fark geriliminde meydana gelebilecek büyük değişiklikler, tasarımda kullanılan blok devreler arasındaki uyumsuzluk ve S / A dönüştürücünün meydana getireceği lineer olmayan hatalardır. S / A dönüştürücünün kullanılması güç tüketimi ve yonga alanında artma meydana getirir. Ayrıca blok şemada gösterildiği üzere fark alıcı devre olarak kullanılan kapalı çevrim fark yükseltecindeki geri besleme faktörü iki adımlı A / S dönüştürücünün hızını düşürmektedir [40].

[36] nolu çalışmada, farklı bir yolla karşılaştırıcı sayısı azaltılmış, aynı zamanda ihtiyaç duyulan S / A dönüştürücü bloğu ve fark yükselteci devresi kullanmadan 0.6µm standart CMOS prosesi kullanılarak 8 bit iki adımlı bir A / S dönüştürücü gerçekleştirilmiştir.

[35] nolu çalışmada, hassas A / S dönüştürücü bloğunun performansını artırmak, yonga alanını azaltmak ve A / S dönüştürücünün girişindeki işaretin ofset gerilimini azaltmak için farklı teknikler (ara değerlendirme, ortalama vs..) kullanılarak 0.13µm CMOS prosesinde 8 bit iki adımlı bir A / S dönüştürücü tasarlanmıştır.

2.4. Boru (Pipeline) Tipi A / S Dönüştürücü

Şekil 2.5'te temel olarak kullanılan boru tipi A / S dönüştürücünün blok şeması gösterilmiştir [41-44]. Genel olarak birbirine seri olarak bağlı birbirinin aynısı olan boru elemanlarından meydana gelmektedir. Her blok örnekleme-tutma, n bit A / S dönüştürücü, n bit S / A dönüştürücü, birim kazançlı fark alıcı devre ve kuvvetlendirici devreden oluşmaktadır. Boru tipi (pipeline) A / S dönüştürücüde herhangi bir aşamadaki sayısal koda dönüştürme işlemi bittikten sonra, saat işaretinin darbesi ile işlem bir sonraki blok devreye geçmektedir.



Şekil 2.5: Temel boru tipi A / S dönüştürücü blok şeması

Boru tipi A / S dönüştürücü hız, çözünürlük ve güç tüketimi açısından oldukça tercih edilen bir yapıdır. Bu yüzden özellikle yüksek hız ve düşük güç tüketimine ihtiyaç duyan geniş band alıcı devreleri için oldukça kullanışlıdır. Çoğu boru tipi A / S dönüştürücüde anahtar-kapasite (switched-capacitor) devreleri kullanılır. Anahtar-kapasite devrelerinde kullanılan opamp ve kapasite değerleri A / S dönüştürücü için oldukça önemlidir. Op-amp devresinin yüksek dc kazanç, yüksek yetiştirme hızına ve geniş bir band genişliğine sahip olması gerekmektedir. Op-amp devresinin performansı, her aşamada bulunan örnekle-tut devresinin doğrusallığını doğrudan etkilemektedir. Dolayısıyla da her blok içerisinde örnekle-tut devresi olduğu için A / S dönüştürücünün dinamik performansı etkilenir. Bir diğer önemli etken ise buradaki tutma kapasitesinin değeridir. Orta çözünürlükteki bir boru tipi A / S dönüştürücüde kullanılan kapasite değeri, ısı gürültüdeki uyuma bağlı olarak sınırlandırılmıştır [43]. Büyük kapasite değeri, yüksek güç tüketimi ve düşük hıza neden olur.

[41] nolu çalışmada, 0.18 μ m CMOS prosesi kullanılarak 1.8V besleme gerilimi altında 285mW güç harcayan 15-bit 20-MS/s boru tipi A / S dönüştürücü tasarlanmıştır. Burada anahtar-kapasite yöntemine bağlı olarak tasarlanan A / S dönüştürücüdeki op-amp kazanç hataları ve kapasite değer hatalarını sayısal olarak ayarlamak için rasgele sayısal darbeler kullanılmıştır [41]. Önerilen bu yöntem kapasite eşleşmelerinden kaynaklanan sonlu opamp kazancı hatalarını belli kurallara bağlı kalarak bir adımda ayarlamaktadır [41].

[42] nolu çalışmada, 0.35 μ m CMOS prosesi kullanılarak 10 bit 60Ms/s düşük güç tüketimine sahip bir boru tipi A / S dönüştürücü tasarlanmıştır. A / S dönüştürücünün dinamik performansını ve kapasite değerini artırmadan çözünürlüğü artırmak için örnekle-tut devresi Miller kapasitesi yöntemine dayalı olarak zamandan etkilenmeyen asimetrik bir yapıda çift örnekleterek kullanılmıştır. Çift örnekleme ve akım etkisi ölçekleme tekniği kullanılarak güç tüketiminde azalma meydana getirilmiştir.

[43] nolu çalışmada, 0.18 μ m CMOS prosesi kullanılarak 200Ms/s 8-bit boru tipi bir A / S dönüştürücü tasarlanmıştır. Burada karışık sinyal örnekleme tutma devresi kullanılarak 1.8V besleme gerilimi altında 22mW güç harcayan bir A / S dönüştürücü tasarlanmıştır. Karışık sinyal örnekleme-tutma tekniği, işaret-gürültü oranını da koruyarak analog giriş işaretinin dalgalılığını azaltır. Giriş işaretinde meydana gelen bu değişim op-amp'ın kazancını, yetiştirme hızında, kapasite uyumunda ve band genişliğinde iyileştirmeler meydana getirir. Böylece kullanılacak kapasite seçiminde düşük değerli olanlar tercih edilir. Bunun sonucu olarak da yüksek hızlı ve düşük güçlü A / S dönüştürücüler elde edilir.

Boru tipi A / S dönüştürücüler, oldukça yararlı olan hata düzeltme tekniklerinin kullanımı için oldukça elverişlidir. Bu teknik, sayısal hata düzeltme olarak da adlandırılır [20]. Bu algoritmalar analog işaretin sayısala dönüştürülmesi sırasında oluşabilecek hataları tahmin ederek, bu hataları sayısal olarak A / S dönüştürücü bloğu içerisinde düzeltmektedir [45]. Eğer ilk boruda bulunan n-bitlik A / S dönüştürücü içerisindeki karşılaştırıcılardan biri hatalı bir dönüştürme yaparsa, bundan sonraki bütün borularda bu hata üretilir [46]. Bu hatalara genellikle karşılaştırıcıların ofset hataları, kazanç hataları ve kapasite uyumsuzlukları neden olur [47]. Sayısal hata düzeltme algoritmaları her aşamadan sonra uygulanabildiği gibi, bütün dönüştürme işlemi bittikten sonra da uygulanabilir. Sayısal hata düzeltme algoritmalarının uygulandığı çoğu boru tipi A / S dönüştürücüde her boru 1.5 bit yapısından oluşur [45,46,48]. [49] nolu çalışmada, 0.35 μ m CMOS prosesi kullanılarak 1.5V besleme gerilimi altında, doğrusal olmayan kuvvetlendirici kazancını sayısal hata düzeltme algoritmaları yardımı ile telafi eden 12 bitlik bir boru tipi A / S dönüştürücü tasarlanmıştır.

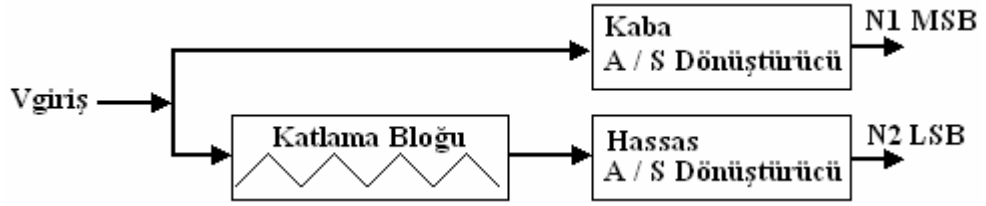
2.5. Katlamalı (Folding) ve Aradeğerlemeli (Interpolating) A / S Dönüştürücü

Şekil 2.6'da temel olarak kullanılan katlamalı A / S dönüştürücü blok şeması gösterilmiştir [13,14,50]. Katlamalı A / S dönüştürücü de temel olarak iki adımlı A / S dönüştürücü gibi düşünülebilir. En değerli ve en değersiz bitler farklı bloklardan elde edilmektedir.

Bu tip A / S dönüştürücünün en önemli avantajları şöyle sıralanabilir;

1. Karşılaştırmacı sayısının azalması
2. Efektif yonga alanının azalması
3. Güç tüketiminin azalması
4. Ayrıca bir örnekleme-tutma devresine ihtiyaç duyulmaması

Bu yapıda giriş gerilimi, analog ön işleme devresine uygulanır ve en düşük değerlikli (LSB) bitler elde edilir. Burada kullanılan kaba ve hassas A / S dönüştürücü blokları paralel A / S dönüştürücülerdir.



Şekil 2.6: Katlamalı A / S dönüştürücü bloğu.

Katlamalı ve ara değerlemeli A / S dönüştürücünün en önemli bloğu analog ön işleme (katlama bloğu) devresidir [51]. Katlama bloğu genel olarak farksal çıkış düğümleri birbirine çapraz bağlı CMOS fark yükselteçlerinden meydana gelir. Eğer katlamalı ve ara değerlemeli bir A / S dönüştürücünün çözünürlüğü artırılmak istenirse öncelikle CMOS fark yükselteçlerinin sayısının artması gerekmektedir [52].

Katlamalı ve ara değerlemeli A / S dönüştürücüde, karşılaştırmacı sayısında bir azalma meydana gelmektedir. Fakat kullanılan katlama bloğu ile karşılaştırmacılar arasında hassas bir ilişki vardır. Transistörler arası statik uyumu düzeltmek için kendiliğinden ayar yapabilen katlama bloğu literatürde önerilmiştir [53].

[53] nolu alıřmada 0.18µm CMOS prosesi kullanılarak 8 bit katlamalı ve ara deęerlemeli bir A / S dnřtrc tasarlanmıřtır. Katlama bloęunda N ve P CMOS hcreleri kullanılmıřtır. CMOS hcrelerinin giriř ofset gerilimi kendilięinden ayarlanabilen bir yapı sunulmuřtur.

Akım modlu devrelerin gerilim modlu devrelere gre bazı avantajları mevcuttur. Akım modlu devrelerde, akım aynaları kullanıldıęından gerilim dalgalanması meydana gelmemektedir. Bu yzden akım modlu devreler, dřk gerilim tasarımlarında gerilim modlu devreler yerine kullanılabilir [54]. [54] nolu alıřmada akım modlu katlama bloęu kullanılarak 0.18µm CMOS prosesinde 8 bit katlamalı ve ara deęerlemeli bir A / S dnřtrc tasarlanmıřtır. İlgili alıřmada akım modlu katlama devresinin doęrusallıęının geleneksel katlama devresine gre daha iyi olduęu belirtilmiřtir.

Katlamalı ve aradeęerlemeli A / S dnřtrc yapısı bu tez alıřmasının amacı olduęu iin tasarıma ynelik detaylara ileriki blmlerde yer verilecektir. Bu blmde sadece zet olarak tanıtımı yapılmıřtır.

BÖLÜM 3. ANALOG-SAYISAL DÖNÜŞTÜRÜCÜ ÖZELLİKLERİ

Bu bölümde analog-sayısal dönüştürücülerin performansını tanımlayan ve bütün A / S dönüştürücülerde ortak olarak kullanılan parametreler incelenecektir.

3.1. Analog-Sayısal Dönüştürücü Parametreleri

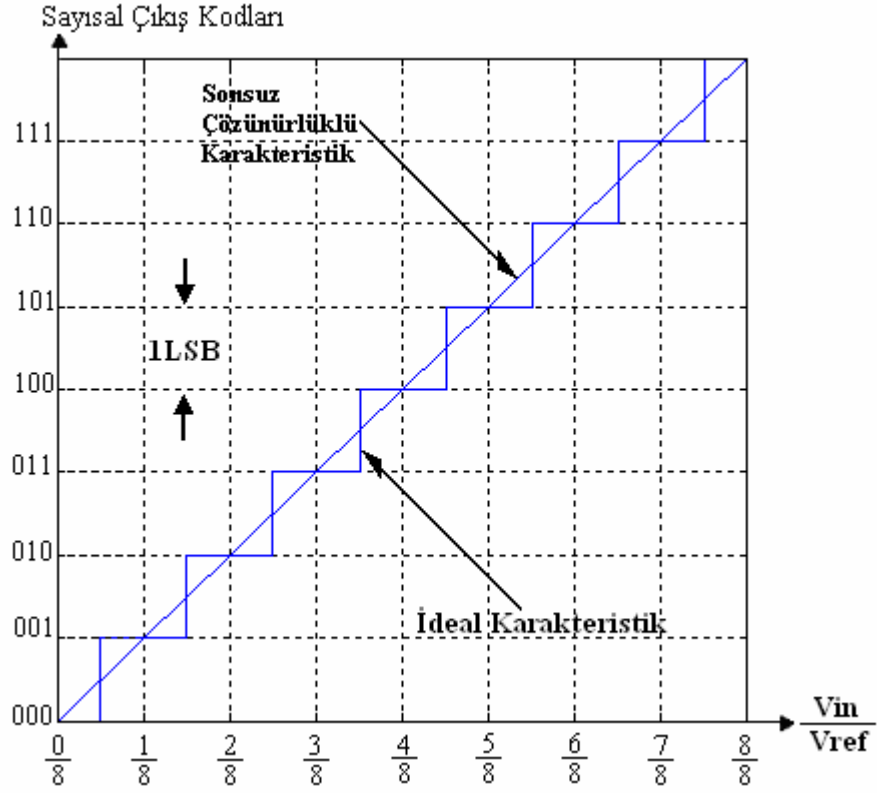
Analog-sayısal dönüştürücüler kullanıldıkları uygulamalarda, sistemin bütün performansını etkileyen hatta sistem için sınırlamalar ortaya koyan önemli bir bloktur. Bu yüzden A / S dönüştürücülerin karakteristik performanslarının değerlendirilmesinde önceden belirlenmiş parametrelere ihtiyaç vardır. Bu parametrelere ait tanımlamalar çeşitli kuruluşlar tarafından (IEEE, Texas Instrument ve Maxim vb.) basılmış yayınlarda mevcuttur.

Genellikle A / S dönüştürücü parametreleri iki gruba bölünmüştür. Bunlar statik ve dinamik parametreler olarak isimlendirilir. Statik parametrelerdeki hatalar, gerçekleşen sistemlerdeki elemanların uyumsuzluğundan ortaya çıkmaktadır. Farksal doğrusalsızlık (DNL) ve tümlevsel doğrusalsızlık (INL) statik parametrelerde en çok değerlendirilenlerdir. Statik parametreler aynı zamanda, zaman ve frekans düzleminde de incelenebilir. [55], [56] ve [57] nolu çalışmalarda statik parametreler frekans düzleminde incelenmiştir.

3.1.1. Statik parametreler

Statik parametreler, A / S dönüştürücünün girişine dc bir işaret uygulandığında çıkışta elde edilen işaret ile ideal veya teorik olarak elde edilmesi gereken işaret arasındaki farksal hatalar olarak söylenebilir. Şekil 3.1, ideal 3 bitlik bir A / S dönüştürücünün giriş-çıkış karakteristiğini göstermektedir. Pratikteki bir A / S dönüştürücünün, elde edilen giriş-çıkış karakteristiği ideal karakteristikteki gibi olmayacaktır.

Bunun sonucunda da ofset hatası, kazanç hatası, farksal doğrusalsızlık (DNL), tümlevsel doğrusalsızlık (INL) ve tekdüze olmama gibi hatalar gözlemlenmektedir.



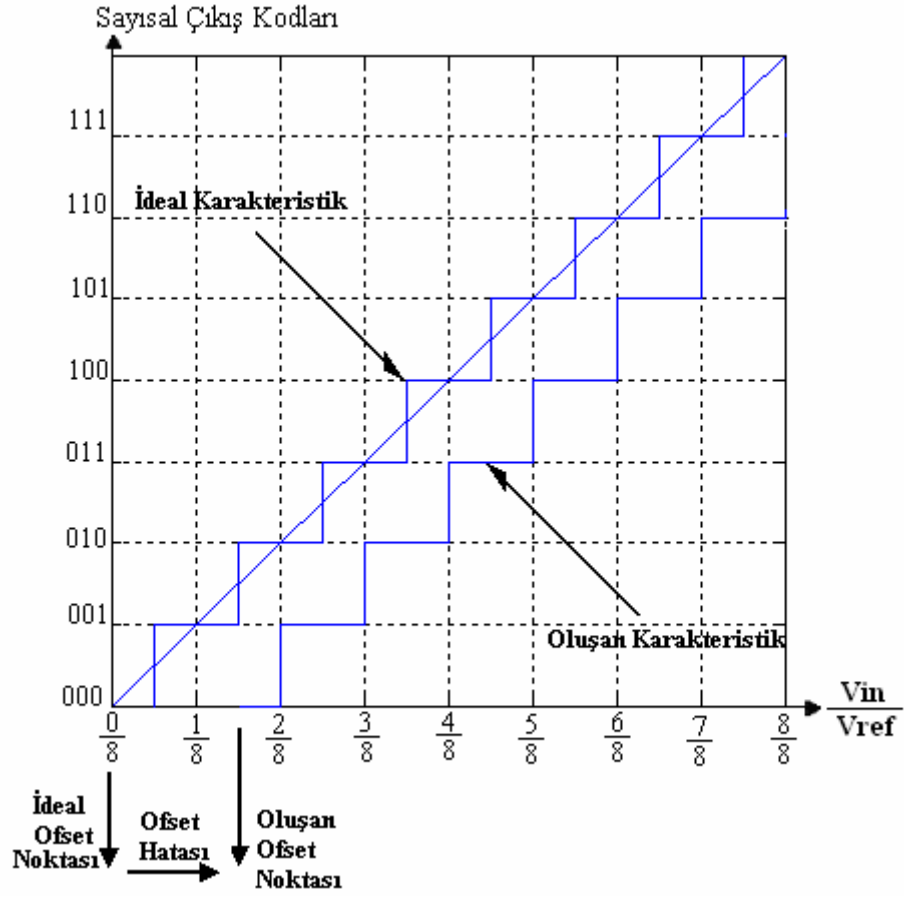
Şekil 3.1: İdeal 3-bitlik A / S dönüştürücünün giriş-çıkış karakteristiği

3.1.1.1. Ofset hatası

Ofset hatası, Şekil 3.2'de gösterildiği gibi, ideal ofset noktası ile, oluşan karakteristiğin ofset noktası arasındaki farktır. Bu sayısal hata, bütün kodları aynı oranda etkiler. Genelde çeşitli hata düzeltme yöntemleri ile düzeltilir. Ofset hatası düzeltildiğinde kod kaybı meydana gelmez fakat transfer fonksiyonu ilk durumuna göre sağa-sola kayabilir. LSB cinsinden ofset hatası matematiksel olarak denklem (3.1)'de gösterildiği gibi ifade edilir [58].

$$H_{\text{ofset}} = \frac{(V'_{\text{min}} - V_{\text{min}})}{V_{\text{LSB}}} \quad (3.1)$$

Buradaki V'_{min} , oluşan karakteristikteki ilk referans gerilimi, V_{LSB} ise nicemleme gerilimini göstermektedir.



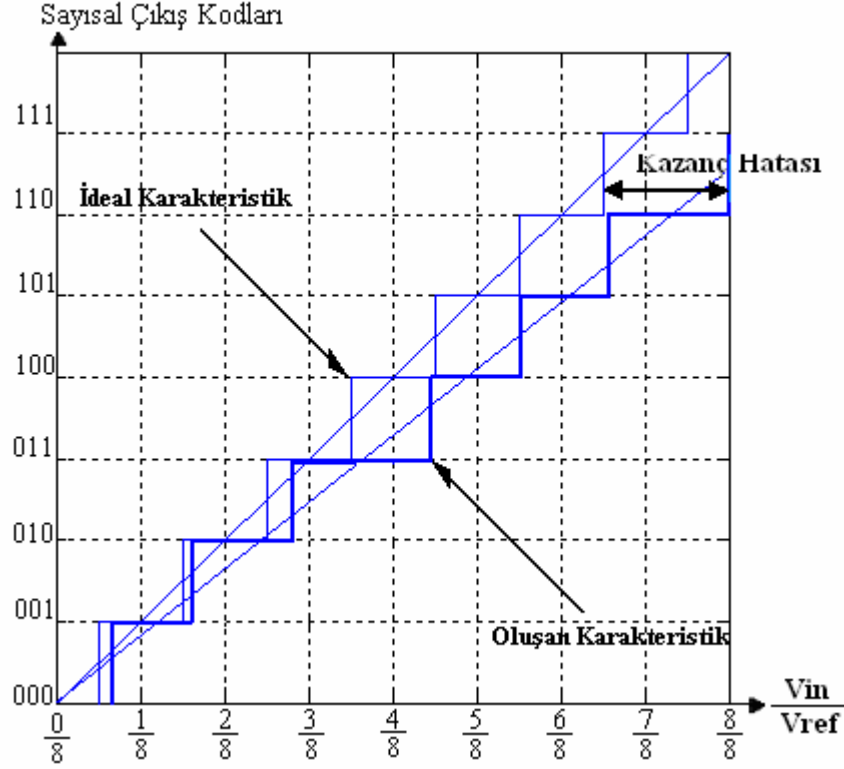
Şekil 3.2: Ofset hatası

3.1.1.2. Kazanç hatası

Kazanç hatası, ofset hatası düzeltildikten sonra ideal transfer fonksiyonundaki kazanç noktası ile oluşan transfer fonksiyonundaki kazanç noktası arasında fark olarak tanımlanır. Şekil 3.3'de gösterildiği üzere ideal transfer karakteristiği ile oluşan transfer karakteristiği arasındaki eğim olarak da ifade edilir. Matematiksel olarak denklem (3.2)'deki gibi ifade edilir [58].

$$H_{\text{kazanç}} = \left(\frac{V'_{\text{max}} - V'_{\text{min}}}{V_{\text{max}} - V_{\text{min}}} \right) \cdot 100 \quad (3.2)$$

V'_{max} ve V'_{min} oluşan transfer karakteristiğinin maksimum ve minimum referans gerilimlerini, V_{max} ve V_{min} ise ideal transfer karakteristiğinin maksimum ve minimum gerilimlerini göstermektedir.



Şekil 3.3: Kazanç hatası

Eğer A / S dönüştürücü pozitif kazanç hatasına sahip ise ve bu hata düzeltilirse, sistemin dinamik gerilim aralığında azalma meydana gelir. Negatif kazanç hatası düzeltilildiğinde ise bazı kod kayıpları meydana gelebilir [58].

3.1.1.3. Farksal doğrusalsızlık (DNL)

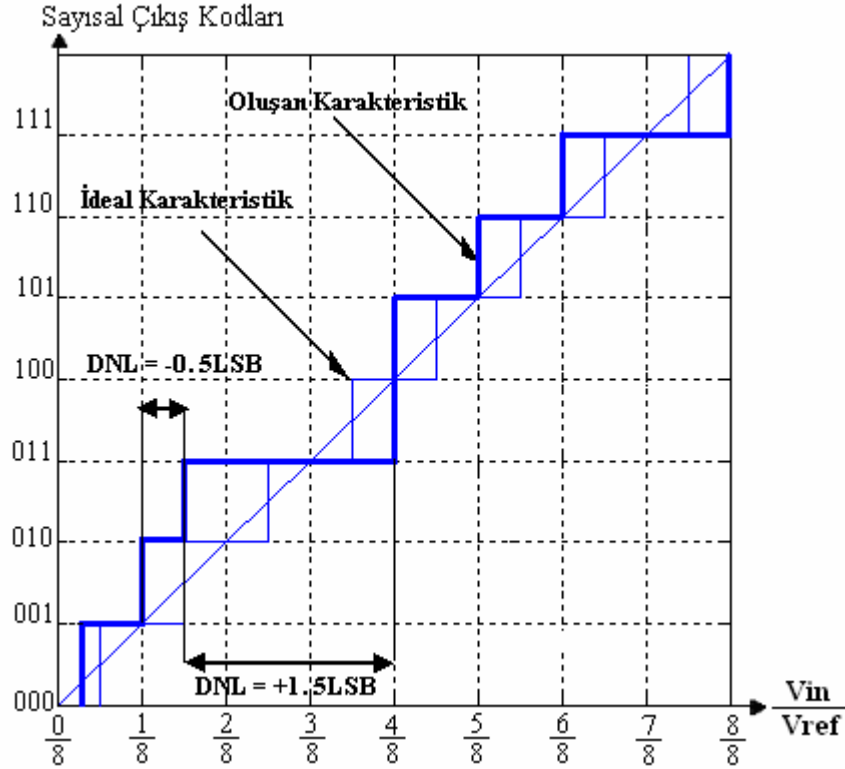
Doğrusal olmayan fark hatası Şekil 3.4'te gösterilmiştir. DNL hatası, oluşan transfer karakteristiğindeki basamak genişliği ile ideal transfer fonksiyonundaki basamak genişliği arasındaki fark olarak belirtilir [59]. İdeal A / S dönüştürücü transfer karakteristiğinde $DNL=0LSB$ 'dir. DNL hatası, $1LSB$ 'den az veya $1LSB$ 'ye eşit ise oluşan transfer fonksiyonunda herhangi bir kod kaybı olmamaktadır [59].

Bu nedenden dolayı A / S dönüştürücünün tekdüze bir transfer fonksiyonuna sahip olacağı garanti edilmiş olur. Kazanç hatası düzeltildikten sonra DNL hatası matematiksel olarak şöyle ifade edilir [59];

$$DNL = \left| \frac{V_{D+1} - V_D}{V_{LSB}} - 1 \right| \quad (3.3)$$

$$V_{LSB} = \frac{V_{FSR}}{2^n - 1} \quad (3.4)$$

Denklem (3.4) ve (3.3)'te gösterilen V_{LSB} , n bit çözünürlüğe sahip ideal bir A / S dönüştürücünün birbirine komşu iki sayısal kodun birbirine uzaklığıdır. V_D ise ilgili sayısal kodun ve V_{D+1} 'de bir sonraki sayısal kodun analog değer karşılığıdır. Şekil 3.4'te $DNL=+1.5LSB$ olması nedeniyle, "100" sayısal kodunun üretilmediği görülmektedir. Eğer $DNL=\pm 1LSB$ 'den büyük ise A / S dönüştürücünün tekdüze olmadığı söylenebilir.



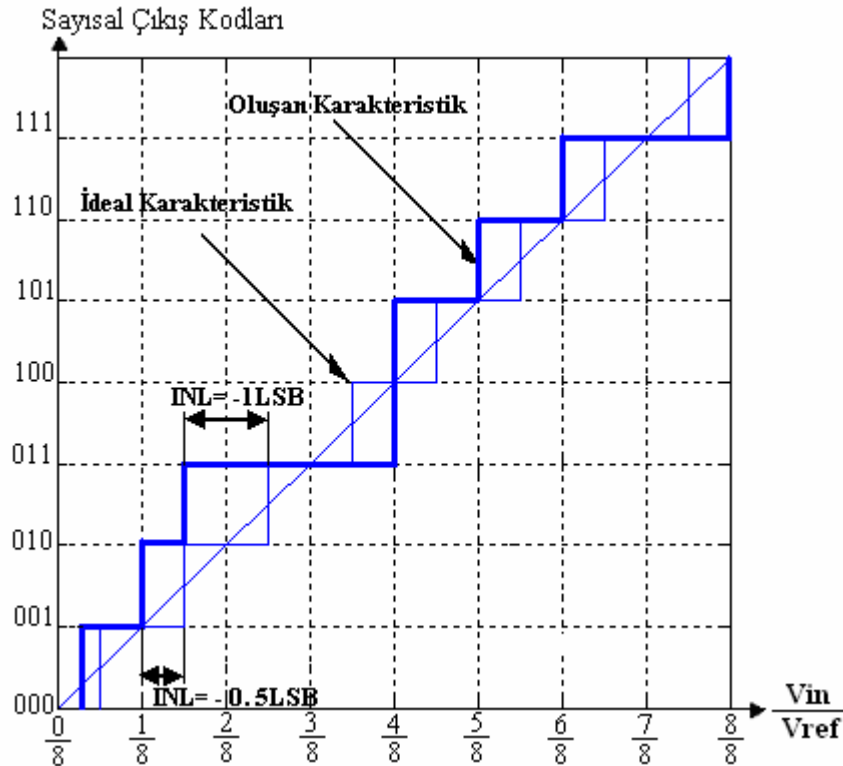
Şekil 3.4: Farksal doğrusalsızlık (DNL)

3.1.1.4. Tümlevsel doğrusalsızlık (INL)

Tümlevsel doğrusalsızlık (INL) hatası Şekil 3.5'te gösterilmiştir. INL hatası, oluşan transfer karakteristiğindeki bütün geçiş noktalarındaki referans analog gerilimi ile ideal transfer karakteristiğindeki ideal referans gerilimi arasındaki farktır. INL hatası hesaplanırken ve gösterilirken ofset ve kazanç hataları gözardı edilir. Matematiksel ifadesi ise denklem (3.5)'te gösterilmiştir [59].

$$INL = \left| \frac{(V_D - V_{SIFIR})}{V_{LSB}} - D \right| \quad 0 < D < 2^N - 1 \quad (3.5)$$

Denklem (3.5)'te, D, sayısal çıkış kodunu, V_D , sayısal çıkış koduna karşılık gelen analog değeri, N, A / S dönüştürücünün çözünürlüğünü, V_{SIFIR} ise sıfır sayısal koduna karşılık gelen minimum analog gerilimi göstermektedir.



Şekil 3.5. Tümlevsel doğrusalsızlık (INL)

3.1.2. Dinamik parametreler

Dinamik parametreler, özellikle yüksek hızlı haberleşme uygulamalarında kullanılan A / S dönüştürücüler için oldukça önemli parametrelerdir. Çünkü statik parametreler dc testler ile hesaplanır ve bu A / S dönüştürücülerin performanslarını tam olarak belirleyemez [39]. Frekans değişimine bağlı olarak yapılan performans ölçümleri bu tür A / S dönüştürücüler için daha uygun olacaktır. Dinamik parametreler, analog giriş geriliminin genliği ve frekansı ile ilişkilidir.

3.1.2.1. Nicemleme gürültü oranı (SNR)

Nicemleme gürültü oranı, sisteme uygulanan analog işaretin genliğinin sistemde oluşan maksimum gürültü genliği oranına bağlıdır. Genellikle nicemleme gürültü oranı desibel (dB) olarak tanımlanır ve sinüsoidal bir giriş işareti için matematiksel ifadesi şöyledir;

$$\text{SNR}_{\text{dB}} = 20 \cdot \log_{10} \left(\frac{A_{\text{İşaret[RMS]}}}{A_{\text{Gürültü[RMS]}}} \right) = (6.02n + 1.76) \text{ dB} \quad (3.6)$$

Denklem (3.6)'daki ifade ideal bir A / S dönüştürücü için geçerlidir. 5 bit ideal bir A / S dönüştürücünün SNR'ı 31.86dB, 10 bit için ise 61.96dB'dir. Burada $A_{\text{İşaret[RMS]}}$ analog giriş işaretinin rms genliğini, $A_{\text{Gürültü[RMS]}}$ ise sistemdeki bütün gürültü kaynaklarından meydana gelen gürültü toplamının rms değerini, "n" ise A / S dönüştürücünün çözünürlüğünü göstermektedir.

3.1.2.2. Toplam harmonik bozulma (THD)

A / S dönüştürücünün girişine periyodik bir işaret uygulanarak, örneklendiğinde dinamik hatalar ve tümlevsel doğrusalsızlık (INL) hatası, harmonik bozulmaları artırmaktadır. Sinüsoidal bir giriş işaret uygulandığında, çıkış harmonik bozulmalarının yanında daha önceden uygulanan giriş işareti tarafından belirtilmemiş katsayılarla sahip, özel değerli frekans bileşenleri mevcuttur.

Giriş işareti tarafından belirtilmemiş özel değerli frekans bileşenlerinin genliği A / S dönüştürücünün girişine uygulanan sinüsoidal analog işaretin genliğine bağlıdır [60]. Toplam harmonik bozulma, toplam harmonik gürültü gücünün, temel frekanstaki işaretin gücüne oranı olarak tanımlanır [39];

$$\begin{aligned} \text{THD} &= 10.\log\left(\frac{\text{Toplam Harmonik Gürültü Gücü}}{\text{İşaret Gücü}}\right) \quad \text{dB} \\ &= 10.\log\left(\sum_{k=2}^{\infty} \frac{X_k^2}{X_1^2}\right) \end{aligned} \quad (3.7)$$

Burada X_1 , temel frekanstaki işaretin rms değerini, X_k ise k'nci harmoniğe kadar olan bileşenlerin rms değerlerinin toplamıdır [39].

3.1.2.3. İşaret-gürültü ve bozulma oranı (SINAD veya SNDR)

İşaret-gürültü ve bozulma oranı, temel işaret gücünün, temel frekans bandında meydana gelen toplam gürültü gücü ve harmoniklerden meydana gelen bozulma gücünün toplamına oranı olarak tanımlanır [39]. Aynı zamanda SNDR olarak da isimlendirilebilir [61,62]. SINAD, A / S dönüştürücünün kalitesini belirleyen dinamik aralığı tanımlar. Matematiksel olarak aşağıdaki gibi ifade edilir [39] ;

$$\text{SINAD} = 10.\log\left(\frac{\text{İşaret Gücü}}{(\text{Gürültü} + \text{Bozulma})\text{Gücü}}\right) \quad (3.8)$$

3.1.2.4. Sanal serbest çalışma bölgesi parametresi (SFDR)

SFDR, analog giriş işaretinin rms değeri ile en çok bozulmaya neden olan frekans aralığındaki bileşenin rms değeri arasındaki oran olarak tanımlanır [60,63]. SFDR önemli bir bileşendir. Çünkü gürültü ve harmonik bozulmalar A / S dönüştürücünün dinamik aralığını kısıtlamaktadır.

Matematiksel olarak aşağıdaki gibi ifade edilir;

$$SFDR = 20 \cdot \log_{10} \left(\frac{A_{\text{İşaret[RMS]}}}{A_{\text{HB_MAX[RMS]}}} \right) \text{ dB} \quad (3.9)$$

Denklem (3.9)'daki $A_{\text{İşaret[RMS]}}$, analog giriş işaret genliğinin rms değeri, $A_{\text{HB_MAX[RMS]}}$ ise en büyük hataya neden olan harmoniğin genliğinin rms değeridir.

3.1.2.5. Etkin bit değeri (ENOB)

Etkin bit değeri, matematiksel eşitliği aşağıdaki gibi ifade edilir [60,61,63];

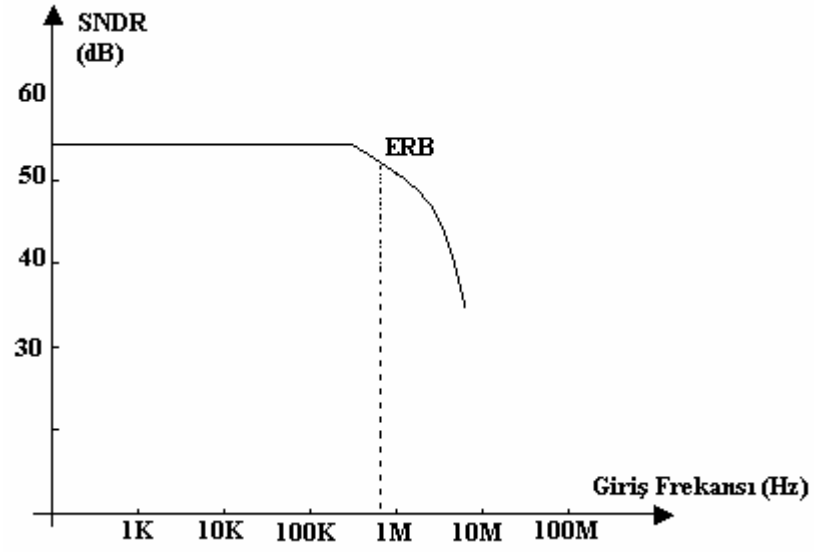
$$ENOB = \frac{SINAD - 1.76}{6.02} \quad (3.10)$$

Eğer giriş işaretinin frekansı artarsa, etkin bit değerinin azalacağı söylenebilir. Çünkü giriş işaretin frekansı arttıkça harmoniklerin neden olduğu gürültüler artacaktır ve dolayısıyla SINAD değeri azalacaktır. Dolayısıyla etkin bit değerini SINAD değeri doğrudan etkilemektedir.

3.1.2.6. Etkin çözünürlük band genişliği (ERB)

A / S dönüştürücüler için en önemli parametrelerden biri de sistemin band genişliğidir. Sistemin analog band genişliği, A / S dönüştürücüde kullanılan giriş devrelerinin, band genişliği ile sınırlıdır.

Giriş sinyali band genişliği nyquist frekansından küçük olmalıdır [61]. Dönüştürücülerin frekans davranışı SNDR (SINAD), SFDR ve SNR bileşenlerine veya bu bileşenlerden birine bağlı olarak çizilebilir. Şekil 3.6'da, A / S dönüştürücünün SNDR'a bağlı olarak band genişliğini gösteren bir grafik gösterilmiştir.

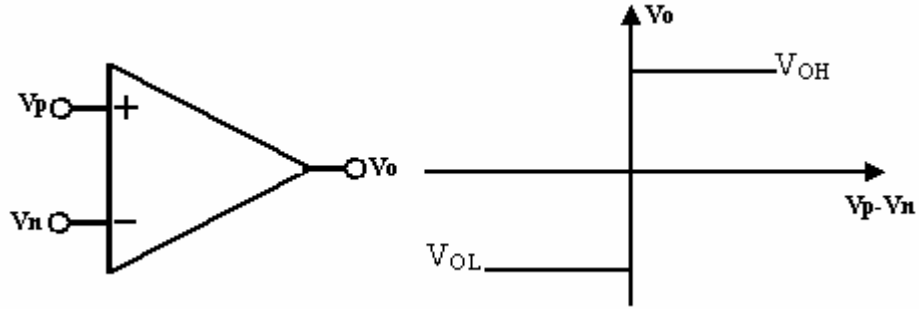


Şekil 3.6: Giriş frekansı ve SNDR ilişkisi [39]

Şekil 3.6'da gösterilen, etkin çözünürlük band genişliği, SNDR grafiğinin giriş frekansına göre çizilen eğrinin 3dB aşağısı, aynı zamanda ENOB $\frac{1}{2}$ bit azalması için, sistemin band genişliğini gösterir. Seyrek örnekleme uygulamaları için tasarlanmış A / S dönüştürücülerin band genişliğinin nyquist frekansından yüksek olması beklenir [39].

BÖLÜM 4 : KARŞILAŞTIRICILAR VE EŞİK EVİRMELİ NİCEMLEYİCİ

Karşılaştırıcı, A / S dönüştürücüde kullanılan en önemli devre bileşenlerinden biridir. Çünkü A / S dönüştürücünün dönüştürme hızı, karşılaştırıcının karar verme zamanı ile sınırlıdır [64]. Karşılaştırıcı girişine uygulanan işaret akım veya gerilim olabilir. İşaret genlik değerinin referans noktasına göre büyük ya da küçük olması çıkışta sayısal olarak “1” veya “0” üretir. Şekil 4.1’de ideal karşılaştırıcının transfer karakteristiği ve sembolü gösterilmiştir.



Şekil 4.1: İdeal karşılaştırıcı sembolü ve transfer karakteristiği

Analog işaretin sayısal dönüştürme işleminde öncelikle giriş işareti örneklenir. Örneklenmiş giriş işareti karşılaştırıcının girişine uygulanır. Karşılaştırıcı çıkışında analog işarete karşılık gelen bit hesaplanır. Dolayısıyla karşılaştırıcı 1 bit A / S dönüştürücü olarak düşünülebilir.

[20] nolu çalışmaya göre karşılaştırıcılar temel olarak üç farklı gruba ayrılabilir. Bunlar açık çevrim karşılaştırıcılar, ayırık zamanlı karşılaştırıcılar ve bu iki karşılaştırıcının birleşiminden meydana gelen ve hızlı karşılaştırıcılar olarak tanımlanmış karşılaştırıcılardır. Fakat A / S dönüştürücülerde en çok kullanılan karşılaştırıcı mimarileri tam diferansiyel tutucu (clock comparator-fully differential latch), anahtar-kapasite tekniği kullanan karşılaştırıcı ve dinamik (auto-zero comparator) karşılaştırıcı mimarileridir [65].

Tam diferansiyel tutucu ve anahtar-kapasite tekniđi tipi karşılařtırıcı [22] nolu alıřmaya gre ayrık zamanlı karşılařtırıcı tipine, dinamik karşılařtırıcı ise aık evrim karşılařtırıcılara rnek olarak verilebilir.

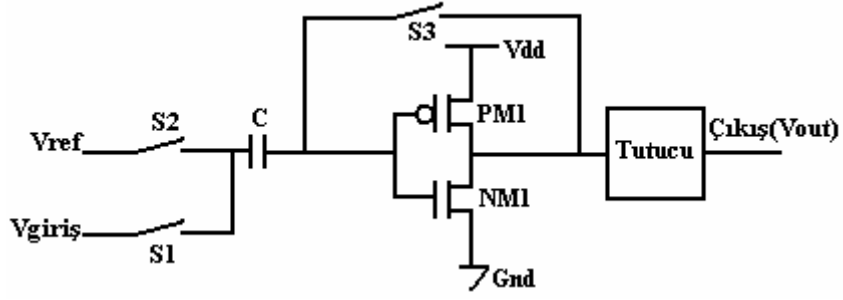
Bu blmde ayrıca A / S dnřtrc tasarımında karşılařtırıcı yerine kullanılan eřik evirmeli nicemleyici (TIQ,EEN) ynteminin kullanımı ve bu karşılařtırıcı tipi ile yapılmıř alıřmalar hakkında bilgiler verilecektir.

4.1. Aık evrim Karşılařtırıcılar

Basit bir iřlemsel kuvvetlendiriciyi aık evrim karşılařtırıcı olarak tanımlayabiliriz. Aslında bu tr karşılařtırıcılar bir ok zelliđi ortak olan iki ařamalı iřlemsel kuvvetlendirici gibi dřnlebilir. İřlemsel kuvvetlendiriciler dođrusal alıřması gereken yapı tařlarıdır. Fakat karşılařtırıcılar dođrusal olmayan yapı tařlarıdır. En byk farkları budur. zellikle yayılım gecikmesi, giriř ortak mod aralıđı, salınım aralıđı deđiřimi gibi sınırlamalar ile, giriř ofset gerilimi gibi hatalar mevcuttur. Bu tr hataları gidermek ve yksek performanslı aık evrim karşılařtırıcı elde etmek iin farklı teknikler nerilmiřtir [20].

4.1.1. Dinamik (Auto-zero) karşılařtırıcı

Karşılařtırıcı tasarımıdaki en nemli problemlerden biri giriř-ofset gerilimidir. zellikle hassas sonu isteyen yksek znrlkl A / S dnřtrcler iin giriř-ofset gerilimi ihmal edilemez. Fakat MOS teknolojisinde giriř iřareti ofset hatasının byk bir kısmı ofset nleme teknikleri ile giderilmektedir. Bu tekniklerin MOS teknolojisinde kullanılabilmesinin nedeni mosfetin giriř direncinin sonsuz olmasıdır. Bu zellik sayesinde dinamik karşılařtırıcı tekniđinde mosfetin giriř kapasitesi yardımı ile ofset hatası engellenmiř olur. Bu teknik auto-zero tekniđi olarak isimlendirilir. Tipik CMOS karşılařtırıcıların auto-zero tekniđi kullanılmadan nceki ofset gerilimi 5-20mV arasındadır [66]. Őekil 4.2'de basit dinamik karşılařtırıcı gsterilmiřtir. Dinamik karşılařtırıcılar kendi ilerinde rneklemeye tutma yapabilmeleri ve ofset engelleme zelliklerinden dolayı A / S dnřtrclerde tercih edilir [64,67].



Şekil 4.2: Basit dinamik karşılaştırıcı blok şeması

Şekil 4.2 üzerinden devrenin çalışması kısaca özetlenirse;

Durum 1 : S1 ve S3 anahtarları kapalı iken, evirici devresi gerilim transfer eğrisinin doğrusal bölgesinde (dc öngerilim $V_{out}=V_{giriş}=\frac{V_{dd}}{2}$) çalışmaya zorlanır. Bu faz boyunca kapasite $V_{giriş}-\frac{V_{dd}}{2}$ gerilim değerine şarj olur. Bu duruma örnekleme fazı denir.

Durum 2 : S1 ve S3 açık, fakat S2 anahtarı kapalıdır. Evirici girişindeki yüksek empedanstan dolayı şarj tutulur. Böylece evirici doğrusal bölgede çalışmaya halen devam etmektedir. Evirici bu bölgede ($V_{ref}-V_{in}$) gerilim farkını yükselten eviren yükselteç olarak çalışır. Fark gerilimin polaritesine göre çıkış lojik 0 ya da 1 durumunda olacaktır. Bu duruma karşılaştırma fazı denir.

Bu devrenin dezavantajları şunlardır;

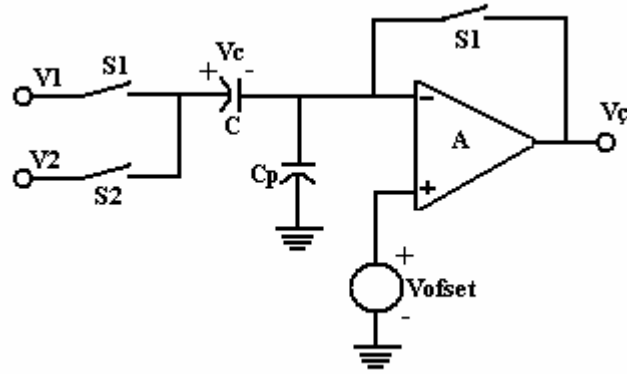
1. Tek çıkışlı yapıya sahiptirler.
2. Yüksek doğruluk için büyük boyutlu transistörlerden oluşmuş analog anahtar kullanımı gerektirmektedir.
3. Kazançları düşük olduğundan yüksek çözünürlüklerde kullanılamazlar.

4.2. Ayrık Zamanlı Karşılaştırıcılar

Birçok uygulamada, karşılaştırıcılar saat işareti periyodu üzerinde 2 ayrı fazda karşılaştırma işlemini gerçekleştirir. Örneğin devre bir saat işareti ile çalıştırılıyor ise, karşılaştırıcı saat işaretinin istediği zaman diliminde karşılaştırıcı olarak çalışır, diğer zamanlarda çalışmaz. Böylece karşılaştırıcılar daha yararlı ve daha düşük gecikme süresine sahip bir şekilde kullanılır.

4.2.1. Anahtar-kapasite tekniği kullanılan karşılaştırıcılar

Açık çevrim karşılaştırıcı ve anahtar-kapasite tekniğinin birleşiminden meydana gelmiştir. Bu devrenin avantajı farksal giriş işaretini tek çıkışlı bir devre kullanarak karşılaştırması ve açık çevrim karşılaştırıcının dc ofset gerilim hatasını auto-zero yöntemi kullanarak azaltmasıdır. Basit anahtar-kapasite tekniği kullanılan karşılaştırıcı yapısı Şekil 4.3'te gösterilmiştir.



Şekil 4.3: Anahtar kapasiteli karşılaştırıcı

S1 anahtarı kapatıldığında, karşılaştırıcının ofset gerilimi auto-zero tekniği ile "C" kapasitesi üzerinde dolar ($V1 - V_{offset}$). Bu çalışma sırasında karşılaştırıcının, kararlı bir birim kazançlı kuvvetlendirici olarak çalışması gerekmektedir. Buradaki C_p kapasitesi, karşılaştırıcının giriş ucu ile toprak arasındaki parazitik kapasitesini ifade eder.

S2 anahtarı kapatıldığında, kapasiteler üzerinde depolanmış gerilimler mevcuttur. Burada kapasite üzerinde depolanan gerilimler bir uçtan diğer uca aktarılır ve birim basamak gerilim kaynağı gibi davranırlar. Bunun sonucunda, bu fazda çıkışta V1 ve V2 gerilim farkının kazanç ile çarpılmış sonucu elde edilir [20].

Anahtar-kapasite tekniğinde kullanılan karşılaştırıcının kazancının, yüksek çözünürlüğe ulaşmak için oldukça büyük olması gerekmektedir. Karşılaştırıcının hızı ise anahtarlara verilen darbe süreleri ve yükseltecin açık döngü çalışmada kararlı duruma vardığı zamana bağlıdır.

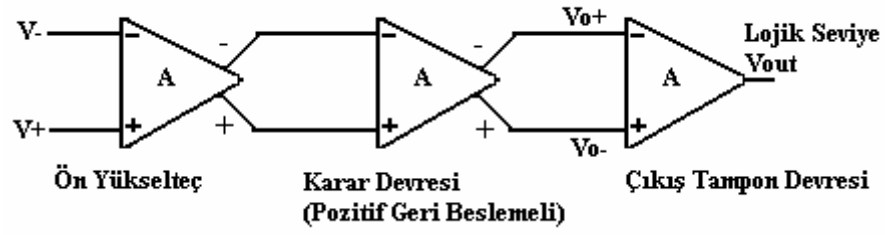
4.3. Yüksek Hızlı Karşılaştırıcılar

Yüksek hızlı karşılaştırıcılar, gecikme zamanı oldukça küçük olan karşılaştırıcılardır. Hızlı karşılaştırıcılar, açık çevrim karşılaştırıcılar ve ayırık zamanlı karşılaştırıcıların birleşiminden meydana gelir. Yüksek hızlı karşılaştırıcılar basitçe ön yükselteç, pozitif geri-beslemeli yükselteçli bir karar devresi ve tutucu devreden oluşmaktadır [20]. Bu tip karşılaştırıcılar için farklı tasarımlar da mevcuttur.

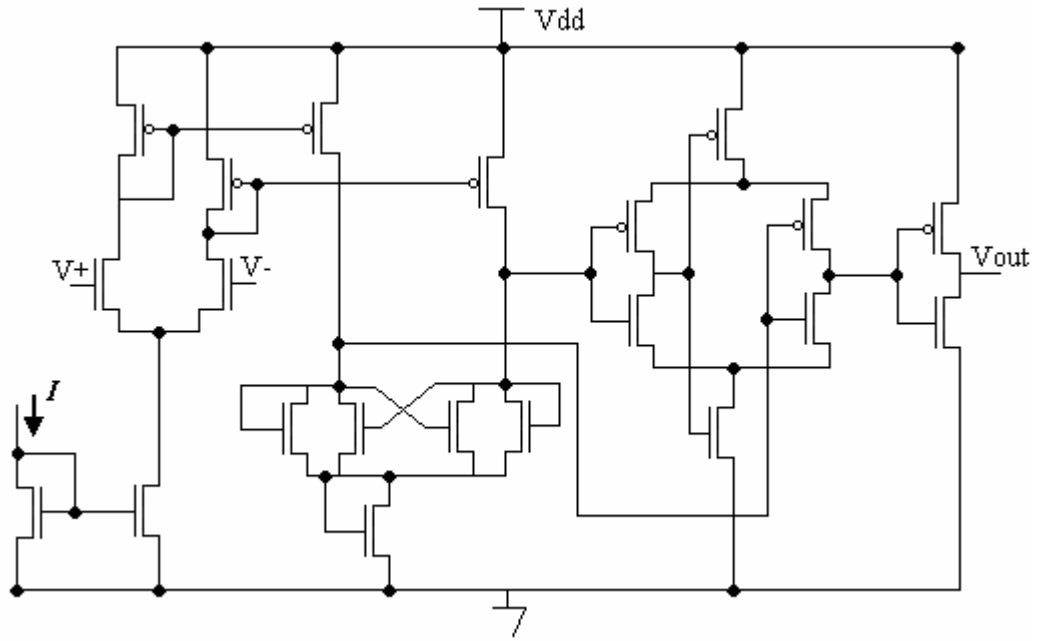
4.3.1. Tümüyle farksal tutucu tipi karşılaştırıcı

A / S dönüştürücü tasarımlarında kullanılan temel karşılaştırıcı yapılarından biridir. Genellikle birbirine çapraz bağlı eviricileri hızlı karar vermeye zorlayacak, pozitif geri beslemeli yapılar kullanılır [68]. Literatürde bu gruba giren bir çok çalışmada farklı devre yapıları kullanılmıştır. Şekil 4.4 ve Şekil 4.5'te bu tip bir karşılaştırıcının blok yapısı ve bu yapının transistör seviyesinde gösterimi mevcuttur [65].

Burada kullanılan karşılaştırıcı bloğu temel olarak ön yükselteç devresi, pozitif geribeslemeli karar devresi ve çıkış tampon devrelerinden oluşur. Ön yükselteç devresi, karşılaştırıcı devresinin daha iyi karar alabilmesi için minimum giriş işaretini artırmak ve pozitif karar devresinden gelebilecek olan anahtar gürültülerini karşılaştırıcı girişinden yalıtım için kullanılmaktadır. Pozitif geribeslemeli karar devresi girişteki fark işaretini daha da artırmak için kullanılır. Çıkış tampon devreleri hem çıkış işaretini kuvvetlendirir hem de sayısal çıkış işaretini üretir [69].



Şekil 4.4: Gerilim karşılaştırıcısının blok şeması



Şekil 4.5: Tümüyle farksal tutucu tipi karşılaştırıcı devre şeması

Bu devrenin dezavantajları şunlardır;

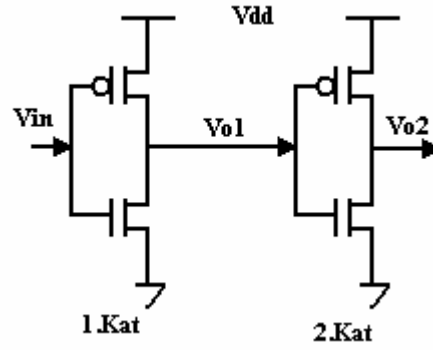
1. Kazancı artırmak ve giriş transistörleri arasındaki uyumluluğu artırmak için büyük giriş transistörlerine ihtiyaç vardır.

2. DC öngerilimleme gerekmektedir.

İşareti kendiliğinden tekrar oluşturma işlemi esnasında kararsızlık bölgesinde olma olasılığı vardır. Bu da dönüştürücünün bit hata oranını (BER) artırır.

4.4. Eşik Evirmeli Nicemleyici

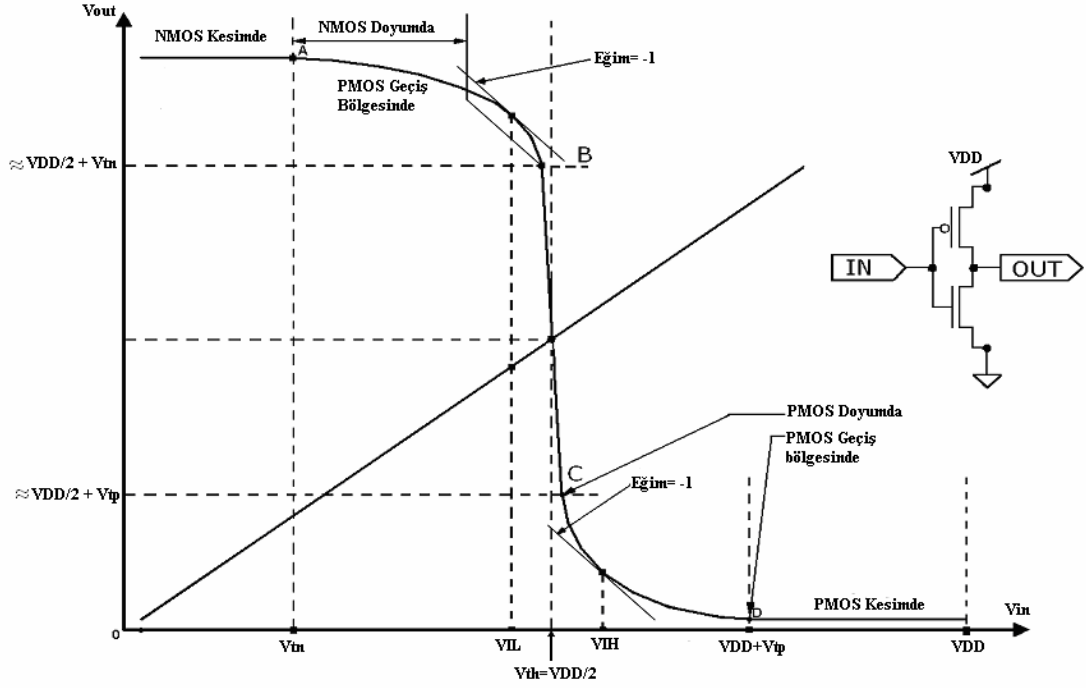
Eşik Evirmeli Nicemleyici (EEN), birbirine seri bağlı iki adet CMOS eviriciden meydana gelmektedir [65,70]. Şekil 4.6'da eşik evirmeli nicemleyici yapısı gösterilmiştir. EEN tekniğinde kullanılan eviricilerin transistör boyutları hassas bir şekilde değiştirilerek A / S dönüştürücüler için gerekli olan referans gerilimleri üretilir [71]. EEN temelli A / S dönüştürücü tasarlanırken, referans gerilimleri içeriden üretildiği için dikkatli olmak gerekmektedir. Çünkü burada üretilen referans gerilimleri CMOS üretim teknolojisine, besleme gerilimine ve sıcaklık değişimlerine bağlı olarak değişmektedir [71]. Bu çalışmada EEN'nin bu tür değişimlere karşı tepkisine de değinilecektir. Fakat EEN tekniğini daha iyi anlayabilmek için öncelikle CMOS evirici yapısının incelenmesi gerekmektedir.



Şekil 4.6: Eşik Evirmeli Nicemleyici

4.4.1. CMOS evirici

EEN tekniği birbirine seri bağlı eviricilerdeki mosfetlerin boyutlarının değiştirilmesi prensibine dayanan bir tekniktir. EEN tekniğini anlamak için CMOS eviricinin büyük işaret davranışını incelemek gerekir. Şekil 4.7'de CMOS eviricinin gerilim geçiş eğrisi ve temel evirici devresi gösterilmiştir. Şekil 4.7'de görüldüğü üzere CMOS evirici bir nmos ve pmos'tan oluşmaktadır. CMOS eviricinin gerilim-geçiş eğrisinden de anlaşılacağı üzere nmos ve pmos'ların iki kritik durumu vardır. Bu iki kritik durum için nmos ve pmos'un doyum ve doğrusal bölgelerindeki akım-gerilim eşitliklerinden yola çıkılarak;



Şekil 4.7: CMOS evircinin gerilim geçiş eğrisi [72]

NMOS için ;

$$i_{DN} = K_n [2(v_I - V_{tn})v_o - v_o^2] \Rightarrow v_o \leq v_I - V_{tn} \quad (4.1)$$

$$i_{DN} = K_n (v_I - V_{tn})^2 \Rightarrow v_o \geq v_I - V_{tn} \quad (4.2)$$

PMOS için ;

$$i_{DP} = K_p [2(V_{DD} - v_I - |V_{tp}|)(V_{DD} - v_o) - (V_{DD} - v_o)^2] \Rightarrow v_o \geq v_I + |V_{tp}| \quad (4.3)$$

$$i_{DP} = K_p (V_{DD} - v_I - |V_{tp}|)^2 \Rightarrow v_o \leq v_I + |V_{tp}| \quad (4.4)$$

Genellikle CMOS evirci incelenirken $V_{tn} = |V_{tp}| = V_t$ ve $K_n = K_p = K = \frac{\mu C_{ox} W}{2L}$

olarak kullanılır. Fakat N kanallı transistörlerdeki elektron mobilitesi, P kanallı transistörlerdeki delik (hole) mobilitesinden yaklaşık 3 kat daha fazladır. Tasarım yapılırken bu durum gözönünde bulundurulur. NMOS ve PMOS'u birbirine eş olan bir evircinin gerilim geçiş eğrisi Şekil 4.7'de gösterilmiştir.

Gerilim geiş eđrisinde de grldđ zere NMOS ve PMOS'un doyum, kesim ve lineer blgede bulunmasına gre 5 nemli nokta vardır. Bunlar A, B, C, D ve ıkış eđrilerinin kesiřim noktası olan $V_{DD}/2$ 'dir. B-C noktaları arasında NMOS ve PMOS'un her ikisi de doyumdadır.

Gerilim geiş eđrisinde nemli noktalardan biri de giriř geriliminin mantıksal olarak en yksek "0" verebileceđi deđer (V_{IL}) ve giriř geriliminin mantıksal olarak en dřk "1" verebileceđi (V_{IH}) deđerlerdir. Bu deđerler grlt payı kavramı iin nemlidir [45].

V_{IL} ve V_{IH} noktasının gerilim geiş eđrisindeki yerleri gerilim kazancının 1'e eřit olduđu yerlerdir (Eđim=-1). V_{IH} deđerini iin NMOS'un dođrusal blgede, PMOS'un doyumda alıřtıđı Őekil 4.7'de gsterilmiřtir. Burada $i_{DN}=i_{DP}$ yazılır ise;

$$K_n [2(v_I - V_m)v_o - v_o^2] = K_p (V_{DD} - v_I - |V_{tp}|)^2 \quad (4.5)$$

$V_m = |V_{tp}| = V_t$ ve $K_n=K_p=K$ kabul edilir ve her iki tarafın v_I 'ya gre trevi alınırsa;

$$2(v_I - V_t) \frac{dv_o}{dv_I} + 2v_o - 2v_o \frac{dv_o}{dv_I} = -2(V_{DD} - v_I - V_t) \quad (4.6)$$

bulunur. Burada $v_I=V_{IH}$ ve $\frac{dv_o}{dv_I} = -1$ yerine konulursa ;

$$v_o = V_{IH} - \frac{V_{DD}}{2} \quad (4.7)$$

bulunur. $v_I=V_{IH}$ ve denklem (4.7)'deki v_o eřitliđi denklem (4.5)'de yerine konulursa;

$$V_{IH} = \frac{1}{8} (5V_{DD} - 2V_t) \quad (4.8)$$

V_{IL} deęeride benzer yollarla yapılarak bulunabilir. Fakat simetri özellięinden yararlanarak $V_{IH} - \frac{V_{DD}}{2} = \frac{V_{DD}}{2} - V_{IL}$ yazılabilir.

Denklem (4.8)'deki eřitlik burada kullanıldıęında ;

$$V_{IL} = \frac{1}{8}(3V_{DD} + 2V_t) \quad (4.9)$$

Bu denklemler elde edildikten sonra gürültü payı da ařaęıdaki gibi elde edilir [72];

$$\begin{aligned} NM_H &= V_{OH} - V_{IH} \\ &= V_{DD} - \frac{1}{8}(5V_{DD} - 2V_t) \\ &= \frac{1}{8}(3V_{DD} + 2V_t) \end{aligned} \quad (4.10)$$

$$\begin{aligned} NM_L &= V_{IL} - V_{OL} \\ &= \frac{1}{8}(3V_{DD} + 2V_t) - 0 \\ &= \frac{1}{8}(3V_{DD} + 2V_t) \end{aligned} \quad (4.11)$$

Denklem (4.10) ve (4.11)'de görüldüęü üzere gürültü payları birbirine eřittir. Bunun için transistörlerin birbirine uyumlu olması şarttır. Eęer transistörler birbirine uyumlu deęilse, gerilim geçiř eęrisinde simetriklik saęlanamaz [72]. Gürültü payı özellikle, düşük gerilimli devre tasarımlarında önemlidir. Eęer V_{DD} gerilimi küçülürse ‐lojik 0‐ ve ‐lojik 1‐ deęerleri arasındaki gerilim aralıęı da küçülür. Dolayısıyla eviricinin, giriřine uygulanan gerilime vereceęi cevap, gürültü paylarının küçük olması nedeniyle, çevresel faktörlerden daha kolay etkilenebilmektedir [73].

4.4.2. Eřik evirmeli nicemleyici yapısı

Eřik evirmeli nicemleyici, bu çalışmanın anahtar seçmeli katlamalı A / S dönüřtürücü tasarımı bölümünde karşılařtırıcı yapısı yerine kullanılmıřtır. Bilindięi üzere A / S dönüřtürücülerde iki ana yapı vardır, bunlardan biri nicemleyici dięeri kodlayıcıdır.

Analog giriş işareti nicemleme seviyesi, eşik evirmeli nicemleyicinin birinci katındaki mosfetlerin transistör boyutlarının değişimi ile ayarlanır. Burada kanal boyu (L) değişimi, kanal genişliğine (W) göre daha etkindir. Bu yüzden tasarım süresince eşik gerilimi ayarlanırken L sabit tutulur ve W değiştirilir. Ayrıca bilindiği üzere mosfetlerin kesim frekansları kanal boyunun karesi ile ters orantılıdır. Bu yüzden karşılaştırıcıların hızlarında kayıp olmaması için L değeri mümkün olduğunca küçük seçilmelidir.

İkinci evirici katı, kazancı artırmak ve devrenin lojik seviye davranışını tersine dönüştürmek için kullanılır. Burada en önemli nokta, dc gerilim seviyeleri ile yüksek frekanslı giriş işaretleri uygulandığında simetrliliğini korumak ve geçiş özeğrilerinin $y=x$ doğru üzerinde aynı noktada çakışmalarını sağlayabilmek amacı için birinci kat ile ikinci katın transistör boyutlarının tamamen aynı olmasıdır [65].

Eşik evirmeli nicemleyicinin eşik gerilimi denklem (4.12)'deki gibi ifade edilebilir [38,65,70]. Elde edilen bu ifade yaklaşık bir değerdir çünkü ikinci seviye model parametreleri kullanılmıştır.

$$V_{th} = \frac{V_{DD} - |V_{tp}| + V_{tn} \sqrt{K_n/K_p}}{1 + \sqrt{K_n/K_p}} \quad (4.12)$$

Burada $K_n = (W/L)_n \cdot \mu_n \cdot C_{ox}$ ve $K_p = (W/L)_p \cdot \mu_p \cdot C_{ox}$ olarak ifade edilir.

EEN tekniği geleneksel karşılaştırıcı yapılarına alternatif olarak düşünülebilir. EEN tekniğinin yararları kısaca şöyle özetlenebilir [70];

1. Örnekleme-tutma devresi hariç, statik güç tüketimi oldukça düşüktür.
2. Eğer EEN'in önünde örnekleme-tutma devresi kullanılırsa sistem daha verimli bir şekilde çalışır. Çünkü eviricilerin geçiş bölgesinde bulunma olasılığı azaltılmış olur. Böylece güç harcaması nicemleyicide iyice azalır.

3. EEN tekniğinde, geleneksel A / S dönüştürücü tasarımlarda kullanılan direnç dizisine gerek yoktur.

4. Aktif yonga alanından tasarruf elde edilir.

5. Yüksek çözünürlük istenmediği sürece tekdüzelik her koşulda sağlanır.

EEN tekniğinde kullanılan karşılaştırıcı referans gerilimleri NMOS ve PMOS'un kanal boyu ve uzunluğuna bağlıdır. Bu yüzden referans gerilimlerinin dikkatli bir şekilde ayarlanması gerekmektedir. Ayrıca MOS transistörün üretimi sırasında meydana gelen üretim hataları nedeniyle referans gerilimlerinde değişiklik meydana gelebilir. Bu durum pratik açıdan EEN tekniğinin en büyük dezavantajıdır. Üretim sonrası yongalar arası analog giriş gerilim aralığı değerlerinde farklılık meydana gelebilme ihtimali yüksektir.

4.4.3. Eşik gerilimi değişiminin istatistiksel analizi

MOS transistörün üretim süreci aşamasında meydana gelen yonga içi değişiklikler, eşik gerilimleri arasında farklılıklar meydana getirebilir. Özellikle aynı boyutlara sahip, aynı taban üzerinde üretilen mosfetlerin eşik gerilimleri birbirinden farklı olabilir [74].

Burada $\sqrt{\frac{\mu_n}{\mu_p}} = a$ üretim teknolojisi sabiti olarak alındığında ve (4.12)'deki eşitlik

tekrar yazıldığında;

$$V_{th} = \frac{V_{DD} - |V_{tp}| + a \cdot \left(\sqrt{\frac{W_n/L_n}{W_p/L_p}} \right) \cdot V_{tn}}{1 + a \cdot \left(\sqrt{\frac{W_n/L_n}{W_p/L_p}} \right)} \quad (4.13)$$

olarak bulunur.

MOS transistörlerin yonga içerisinde buldukları yerlerden ve üretim prosesinde meydana gelen değişimlerden dolayı eşik gerilimi değişebilir [74]. Dolayısıyla eviricilerin eşik gerilimleri yonga içerisinde ve aynı özelliklere sahip başka bir yonga içerisinde farklı değerler gösterebilir. Eşik geriliminin yüzde olarak standart sapması, değişken olarak kabul edilen NMOS ve PMOS'un eşik gerilimlerine göre türevlerinin kareleri alınarak aşağıdaki gibi gösterilebilir [75,76].

$$\sigma\left(\frac{\Delta V_{th}}{V_{t_{n,p}}}\right) = \sqrt{\left|\frac{\partial V_{th}}{\partial V_{tn}}\right|^2 + \left|\frac{\partial V_{th}}{\partial V_{tp}}\right|^2} \quad (4.14)$$

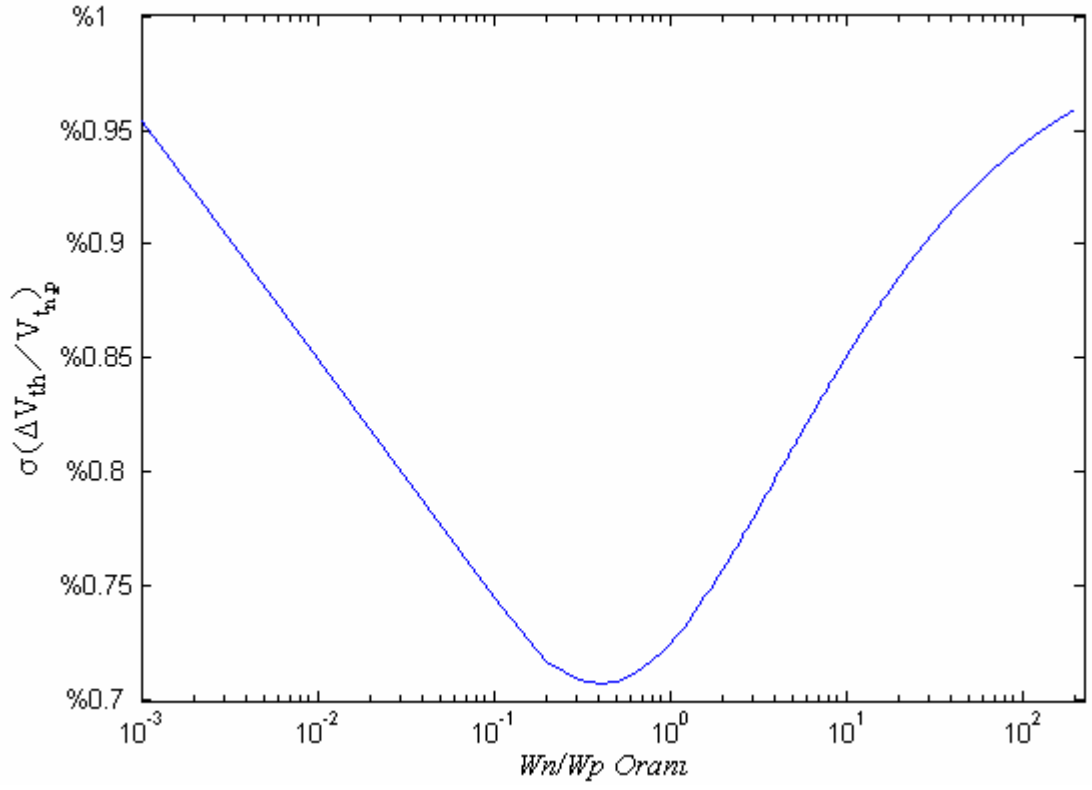
$$\sigma\left(\frac{\Delta V_{th}}{V_{t_{n,p}}}\right) = \sqrt{\frac{a^2 \cdot \left(\frac{W_n/L_n}{W_p/L_p}\right) + 1}{\left(1 + a \cdot \sqrt{\frac{W_n/L_n}{W_p/L_p}}\right)^2}} \quad (4.15)$$

Eşik evirmeli nicemleyicide $L_n=L_p$ minimum değerde seçilir ve tipik olarak $\mu_n \approx 2.5\mu_p$ olarak alınırsa ;

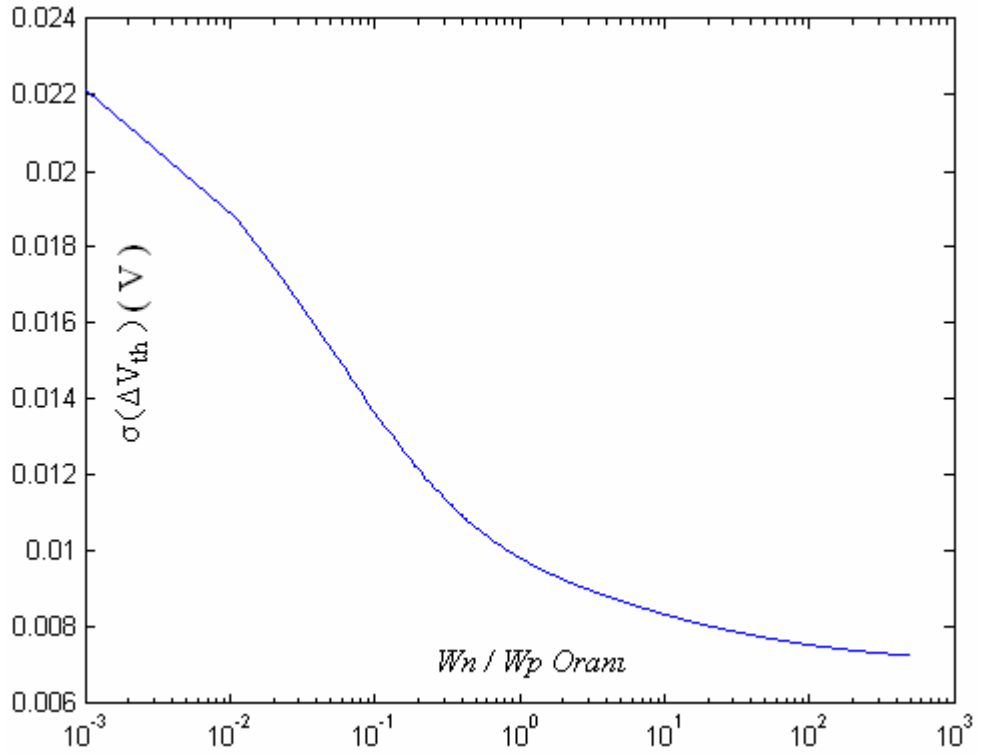
$$\sigma\left(\frac{\Delta V_{th}}{V_{t_{n,p}}}\right) = \sqrt{\frac{1 + 2,5 \cdot \left(\frac{W_n}{W_p}\right)}{\left(1 + 1,58 \cdot \sqrt{\frac{W_n}{W_p}}\right)^2}} \quad (4.16)$$

bulunur.

(4.16)'daki denklem ve Şekil 4.8, eşik gerilimi değişiminin, EEN tekniğinde tasarlanan eviricilerin kanal uzunluğu oranına bağlı olarak değişimini göstermektedir.



Şekil 4.8: Eşik geriliminin W_n/W_p 'ye göre yüzde olarak standart sapması

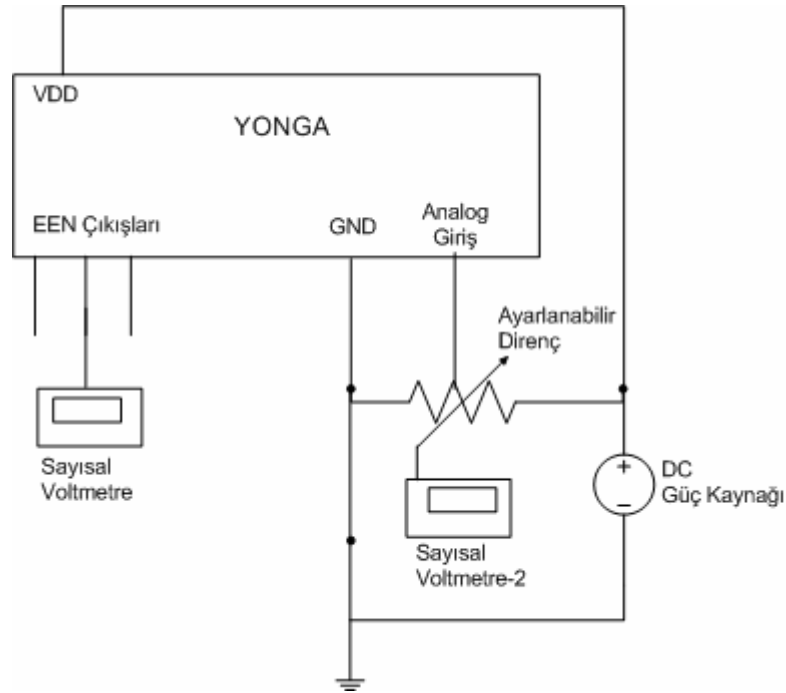


Şekil 4.9: ΔV_{th} geriliminin W_n/W_p oranına göre değişimi

Şekil 4.9, EEN tekniğindeki ΔV_{th} geriliminin W_n / W_p oranına göre değişimini göstermektedir. EEN'in eşik gerilimlerinin değişimleri hakkında matematiksel eşitlikler (4.14)-(4.16) arasındaki denklemlerde verilmiştir. TUBİTAK destekli 105E197 nolu proje kapsamında üretilen farklı yongalar içerisinde bulunan EEN'ler incelenerek, ölçüm sonuçları alınmıştır.

4.4.4. Eşik gerilim değişimi test sonuçları

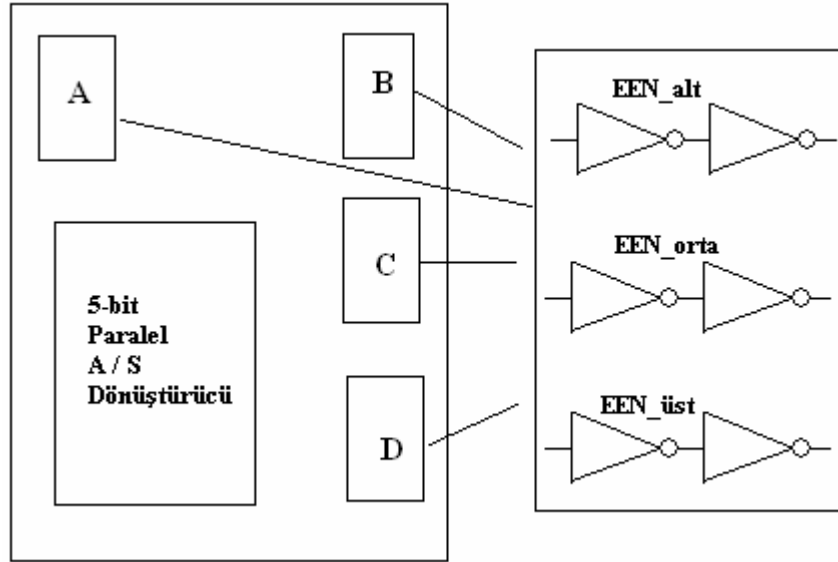
TUBİTAK-105E197 proje kapsamında 0.5μ CMOS prosesinde üretilen yongalar içindeki 5-bit EEN tabanlı hızlı A / S dönüştürücülerin dc sonuçları, Şekil 4.10'da gösterilen test düzeneği yardımı ile ölçülmüştür.



Şekil 4.10: EEN'lerin eşik gerilimlerinin ölçüldüğü test düzeneği

Şekil 4.10'daki test düzeneğinde, EEN'lerin dc besleme gerilimi 3.3V'tur. Burada EEN'in girişlerine uygulanan dc gerilim, ayarlı direnç yardımı ile değiştirilerek, EEN çıkışı "Lojik 0" düzeyinden "Lojik 1" düzeyine çıktığı analog gerilim, sayısal voltmetre aracılığı ile ölçülmüştür. Tasarım yapılırken CADENCE IC paketi ve T66H isimli üretim model parametreleri kullanılmıştır.

Şekil 4.11’da üretilen yonganın yerleştirme planı gösterilmiştir. 5-bit paralel A / S dönüştürücü etrafına farklı yerlere yerleştirilen ve farklı boyutlarda olan EEN’ler sırasıyla A, B, C ve D olarak gösterilmiştir.



Şekil 4.11: Üretilen yonga planı

Her bir blokta kanal genişliği birbirinden farklı olan 3 adet eşik evirmeli nicemleyici vardır. Eşik evirmeli nicemleyiciler EEN_üst, EEN_orta ve EEN_alt olarak yerleştirilmiştir. EEN’lerin W_n ve W_p değerleri Tablo 4.1’de gösterilmiştir. Buradaki EEN’ler de kanal genişlikleri birbirine eşittir ($L_n=L_p=0.5\mu m$). Spesifik olarak seçilen bu EEN’lerin her biri 5-bit paralel A / S dönüştürücüde de kullanılmıştır. Seçilen EEN’lerin eşik gerilimleri 5-bit paralel A / S dönüştürücüye uygulanan analog işaretin en yüksek, orta ve en düşük gerilimleridir. EEN_üst’de NMOS’un kanal genişliği en düşük, PMOS’un kanal genişliği en yüksek olarak seçilmiştir. EEN_alt ise EEN_üst’ün tam tersidir.

Tablo 4.1: Ölçümleri alınan EEN’lerin W_n ve W_p değerleri

	$W_n(\mu m)$	$W_p(\mu m)$
EEN_alt	24.6	3.6
EEN_orta	10.8	6.9
EEN_üst	3.6	23.6

Farklı yongalardaki ve yonga içerisinde farklı yerlerde bulunan EEN'lerin dc eşik gerilimleri hazırlanan test ortamında, gerekli araçlar yardımı ile ölçülmüştür. Ölçülen sonuçlar kullanılarak, ortalama ve standart sapmalar hem EEN'ler için hem de yonga içinde buldukları yerler için farklı farklı hesaplanmıştır. Tablo-4.2 ve Tablo-4.3'te elde edilen sonuçlar gösterilmiştir.

Tablo 4.2: 10 farklı yonga için EEN'lerin ortalama ve standart sapma değerleri

	EEN alt		EEN orta		EEN üst	
	Ort.(V)	Std.Sapma(mV) % Std.Sapma	Ort.(V)	Std.Sapma.(mV) % Std.Sapma	Ort.(V)	Std.Sapma.(mV) % Std.Sapma
Yonga-A	1.0903	17.6 %1.614	1.5793	9.3 %0.589	2.0348	21.3 %1.047
Yonga-B	1.1067	9.4 %0.849	1.5890	6.5 %0.409	2.0122	9.6 %0.477
Yonga-C	1.1018	11.4 %1.03	1.5825	8.7 %0.549	2.0378	16.5 %0.810
Yonga-D	1.1023	15.3 %1.38	1.5888	6.1 %0.384	2.0318	22.7 %1.117
Yonga-E	1.1127	3.9 %0.35	1.5892	6.2 %0.390	2.0140	29.8 %1.480
Yonga-F	1.1103	12.3 %1.107	1.5933	0.10 %0.0062	2.0250	24.7 %1.220
Yonga-G	1.1128	13.2 %1.186	1.5963	9.5 %0.595	2.0280	9.9 %0.488
Yonga-H	1.1060	8.6 %0.775	1.5785	4.1 %0.259	2.0265	31.7 %1.564
Yonga-I	1.1200	5 %0.446	1.5880	2.2 %0.138	2.0267	38.5 %1.9
Yonga-J	1.1038	15.5 %1.49	1.5907	6.9 %0.434	2.0295	36.4 %1.794
Ortalama	1.1067	11.22 %1.014	1.5876	5.96 %0.375	2.0266	24.11 %1.190

Tablo 4.3: Yonga içerisinde farklı yerlerdeki EEN'lerin ortalama ve standart sapma değerleri

		A	B	C	D
EEN_alt	Ort. (V)	1.1063	1.1095	1.1119	1.1134
	Std. Sapma(mV)	7.9	11.4	12.3	10.5
	% Std. Sapma	%0.714	%1.02	%1.11	%0.94
EEN_orta	Ort. (V)	1.5874	1.5877	1.5855	1.5896
	Std. Sapma(mV)	5.2	8.2	9.4	9.3
	% Std. Sapma	%0.32	%0.516	%0.59	%0.58
EEN_üst	Ort. (V)	2.0421	2.0355	2.0134	2.0155
	Std. Sapma(mV)	16.7	26.6	23.1	17.5
	% Std. Sapma	%0.817	%1.30	%1.14	%0.86

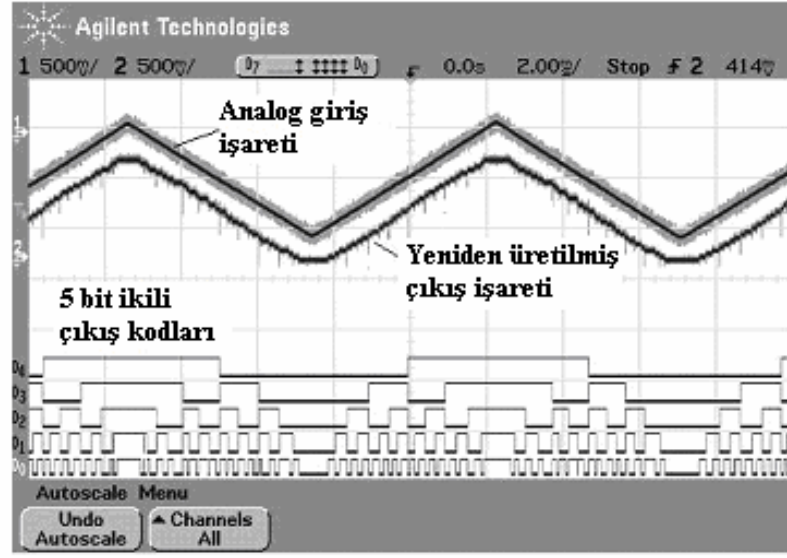
Tablo 4.2 ve Tablo 4.3'de verilen değerlere göre sonuçlar yorumlanırsa;

1. Yonga içerisinde en kötü standart sapma 26.6mV ile EEN_üst'de hesaplanmıştır. Buradaki EEN'in, W_n / W_p oranının minimum oran olduğu bilinmektedir.
2. Yongalar arasında yapılan ölçümlerde en kötü standart sapma 38.5mV ile EEN_üst'de hesaplanmıştır.
3. Üretim prosesi sırasında teknolojinin izin verdiği minimum kanal genişliği ve kanal uzunluğuna inilmemelidir. EEN tekniği ile yapılan A / S dönüştürücülerde W / L oranı üretim sırasında kesinlik kazandığı için lineer ölçümler olan INL-DNL gibi değerler bu durumdan etkilenecektir.
4. Eğer tasarımdaki gibi her EEN tipi karşılaştırıcıda minimum kanal uzunluğu seçilirse, fotolitografi üretim hatalarının diğer üretim parametreleri hatalarından daha fazla EEN uyumsuzluğunu etkilediği anlaşılmaktadır. Teorik ve pratik sonuçlar arasındaki bazı rakamlardaki tutarsızlıktan dolayı (4.16)'da verilen eşitliğin yetersiz olduğu sonucuna varılmıştır. Burada kullanılan transistör modeli seviyesinin düşük olması sebebiyle kanal uzunluğu parametresinde efektif kanal uzunluğu değeri dikkate alınamamaktadır. Kısa kanal etkisi, üst transistör modellerinde hesaba katılmaktadır. Ancak bu durumda hesaplamalar çok daha karmaşık hale gelecektir.

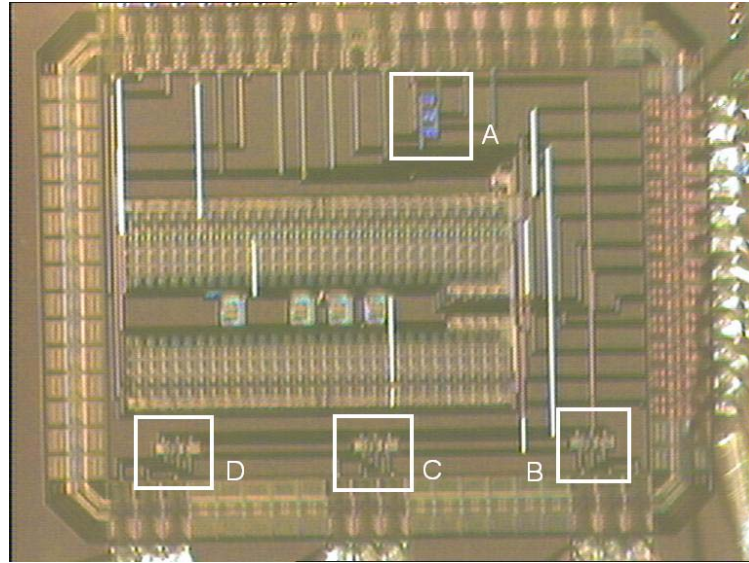
5. Düşük çözünürlüklü (6 bite kadar) EEN temelli A / S dönüştürücülerde tekdüzeliğin sağlanabileceği ölçüm sonuçları baz alınarak belirlenmiştir. Şekil 4.12'de EEN tabanlı paralel A / S dönüştürücü için giriş-çıkış dalga işaretlerinin osiloskop görüntüsü mevcuttur. Fakat yapılan ölçümler sonucunda imal edilen yongaların, beklenen doğrusallığı sağlayamadığı görülmüştür. Yongadan yongaya doğrusallığın değiştiği gözlemlenmiştir. EEN tekniği ile tasarlanmış her 5 bitlik A / S dönüştürücüde tasarlanmış oldukları analog giriş gerilim aralığı süresince tekdüze olduğu ve kod kaybının olmadığı gözlemlenmiştir.

Aslında yongalar arasında en yüksek ortalama yüzde standart sapma değeri %1.19'dur. Bu değer ortalama 2.03V analog giriş gerilimi için elde edilmiştir. Burada elde edilen standart sapma gerilim değeri yaklaşık 25mV'tur. Şekil 4.9'daki grafikte gösterilen ΔV_{th} gerilim değeri de bunu doğrulamaktadır. Bu yüzden 5 bit A / S dönüştürücü için bu değer tekdüzeliği etkilemeyeceği düşünülmektedir. Çünkü buradaki tasarımda 5 bit A / S dönüştürücünün 1LSB nicemleme gerilimi 39mV'dur. Fakat 6 bit A / S dönüştürücüde 1LSB nicemleme gerilimi 18.5mV olacaktır ve bu değer de standart sapma gerilim değerinden küçüktür. Bu yüzden 6 bit ve üzeri çözünürlüklü tasarlanan EEN temelli A / S dönüştürücülerden tekdüzelik beklenmemelidir.

6. Şekil 4.8'de, W_n / W_p oranı minimum olduğunda standart sapma yüzdesinin en küçük olduğu görülmektedir. Yapılan ölçümler sonrasında yonga içerisinde ve yongalar arasındaki en küçük standart sapma gerilim yüzdeleri EEN_orta'da gözlemlenmiştir.



Şekil 4.12: 5-bit EEN tabanlı A/S dönüştürücünün giriş-çıkış osiloskop şekilleri



Şekil 4.13: Üretimi yapılmış olan test yongalarından birinin fotoğrafı

BÖLÜM 5. KATLAMALI VE ARA DEĞERLEMELİ ANALOG-SAYISAL DÖNÜŞTÜRÜCÜLER

Yüksek hızlı ve orta derece çözünürlüğe (8 bit-10 bit) sahip A / S dönüştürücüler yüksek performanslı görüntü işleme uygulamaları, sayısal haberleşme sistemleri, gigabit ethernet ve sayısal osiloskoplarda kullanılmaktadır [77,78]. 8 bit ve üzeri çözünürlüğe sahip yüksek hızlı paralel A / S dönüştürücülerde kullanılan karşılaştırıcı sayısının artması nedeniyle, yonga alanında ve harcanan güçte artmalar meydana gelmektedir [79]. Bu yüzden paralel A / S dönüştürücüler 6-7 bit çözünürlüğe sahip uygulamalarda sıkça kullanılmaktadır.

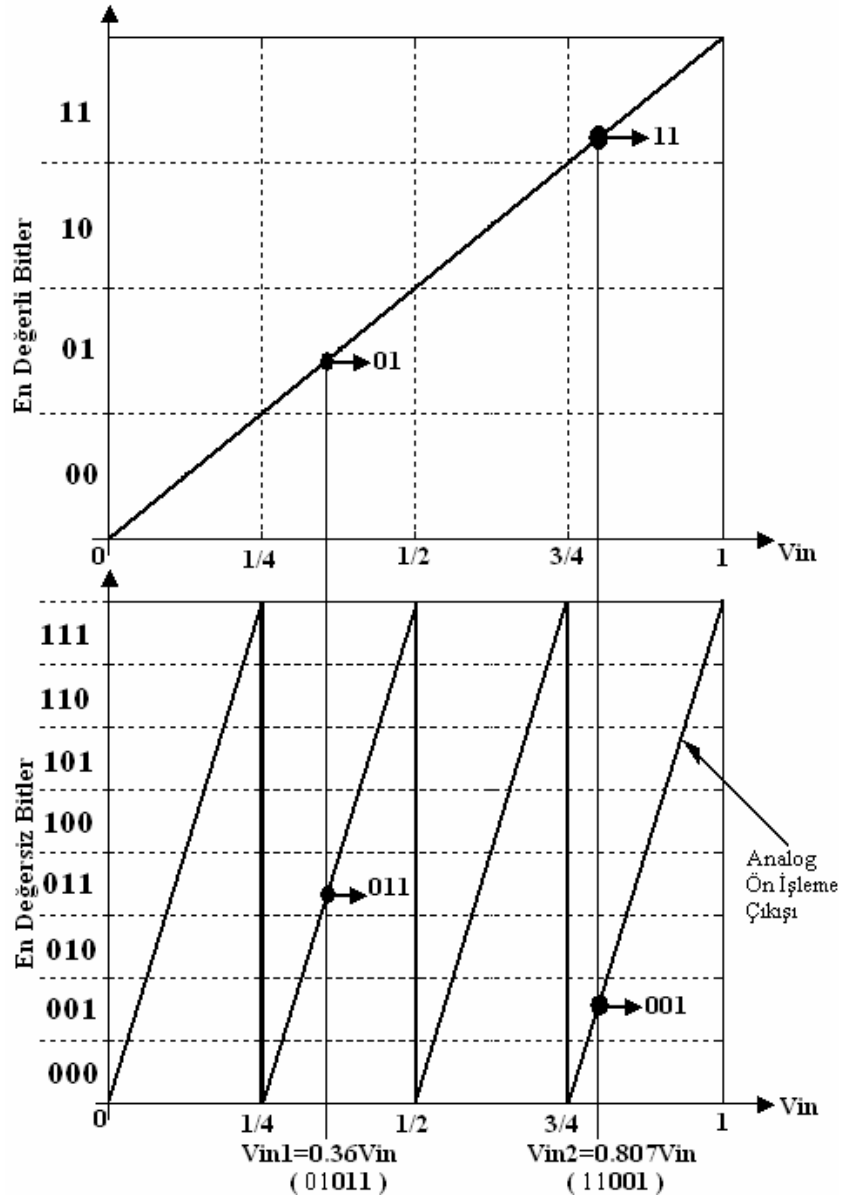
Katlama ve ara değerlendirme tekniği kullanılarak yapılan A / S dönüştürücüler, tamamen paralel tekniğe sahip olan A / S dönüştürücülere göre daha az karşılaştırıcı sayısına sahip ve daha az güç harcayan yapılardır [80-83]. Bu yüzden orta çözünürlükte, yüksek hızlı ve düşük güç harcamasına sahip A / S dönüştürücü tasarımı için en iyi yöntemlerden biridir.

Karşılaştırıcı sayısının az olması tasarımda kullanılan katlama bloğu ile bir başka deyişle analog ön işleme devresi ile sağlanır. Ara değerlendirme ise bu analog ön işleme devresinin sayısını daha da azaltmak için kullanılan bir tekniktir.

Bu tür tasarımlar öncelikle [9] ve [10] numaralı çalışmalarda gösterildiği üzere bipolar teknoloji ile yapılmıştır. Daha sonra CMOS teknolojisinin gelişimi üzerine bu tür teknolojiye de uyarlanmıştır. Literatürde CMOS teknolojisi ile yapılmış bir çok katlamalı ve ara değerlemeli A / S dönüştürücü yapısı görülebilir. [13,80-84] nolu çalışmalarda örnek yapılar görülebilir.

5.1. Katlama Kavramı

Katlamalı A / S dönüştürücü de tıpkı iki adımlı A / S dönüştürücü gibi daha düşük çözünürlüğe sahip iki farklı paralel yapıdaki A / S dönüştürücü blokların birleşmesi ile meydana gelen bir A / S dönüştürücü tipidir. Katlamalı A / S dönüştürücülerde, kaba A / S dönüştürücü bloğu en değerli bitleri (MSB) oluştururken, öncesinde analog ön işleme devresi kullanılan hassas A / S dönüştürücü bloğunda ise en değersiz bitler (LSB) elde edilir. Dolayısıyla katlamalı A / S dönüştürücünün çözünürlüğü $N_B = n_{MSB} + n_{LSB}$ 'dir.



Şekil 5.1: 5 bit katlamalı A / S dönüştürücü MSB ve LSB bitleri

Şekil 5.1 kullanılarak katlamalı ve ara değerlemeli A / S dönüştürücünün çalışma mantığı kısaca anlatılacaktır. Şekil 5.1’de, 2 bit kaba A / S dönüştürücü ve 3 bit hassas A / S dönüştürücüden oluşan katlamalı bir A / S dönüştürücünün giriş-çıkış karakteristiği gösterilmiştir.

Genellikle katlama sayısı, $2^{n_{MSB}}$, olarak belirtilir, n_{MSB} ise kaba A / S dönüştürücünün çözünürlüğünü ifade eder. Dolayısıyla A / S dönüştürücü giriş gerilimi 4 farklı bölgeye ayrılmıştır. Hassas A / S dönüştürücünün çıkış karakteristiği de bu dört farklı bölge süresince kendini tekrar eder. Kaba A / S dönüştürücü sadece bir adet durumu karşılaştırırken, hassas A / S dönüştürücü 4 farklı durumu da karşılaştırır. Burada katlama bloğu tarafından üretilen işaret de 3 bit A / S dönüştürücü (hassas A / S dönüştürücü bölümü) kullanılarak sayısal çevrilmiştir.

5 bit katlamalı A / S dönüştürücü için 3 adet kaba A / S dönüştürücüde, 7 adet de hassas A / S dönüştürücüde olmak üzere toplam 10 adet karşılaştırıcı kullanılmıştır. 5 bit paralel A / S dönüştürücü yapısında 31 adet karşılaştırıcıya ihtiyaç olur. Karşılaştırıcı sayısı genellikle “katlama sayısı” aracılığı ile düşürülür. Tablo 5.1’de hızlı ve katlamalı A / S dönüştürücüler için istenen karşılaştırıcı sayılarına ilişkin bilgi verilmektedir.

Tablo 5.1. Paralel ve katlamalı A / S dönüştürücüler için karşılaştırıcı sayıları

	5-bit	6-bit	7-bit	8-bit	9-bit	10-bit
Paralel A / S Dön.	31	63	127	255	511	1023
Katlamalı A / S Dön. (2 bit MSB)	10	18	34	66	130	258
Katlamalı A / S Dön. (3 bit MSB)	10	14	22	38	70	134
Katlamalı A / S Dön. (4 bit MSB)	16	18	22	30	46	78

Katlamalı ve ara değerlemeli A / S dönüştürücüde kaba ve hassas bitler eş zamanlı ve birbirlerinden bağımsız olarak üretilirler. Bu yüzden bu yapılarda örnekle-tut devrelerine ihtiyaç yoktur.

Fakat katlamalı A / S dönüştürücüde biraz gecikme meydana gelebilir. Dolayısı ile kaba bitlerin üretimi hassas bitlerden önce gerçekleşecektir. Bu nedenle çıkışların kullanılmadan önce bir latch devresinde tutulması önerilir.

5.2. Doğrusal Katlama

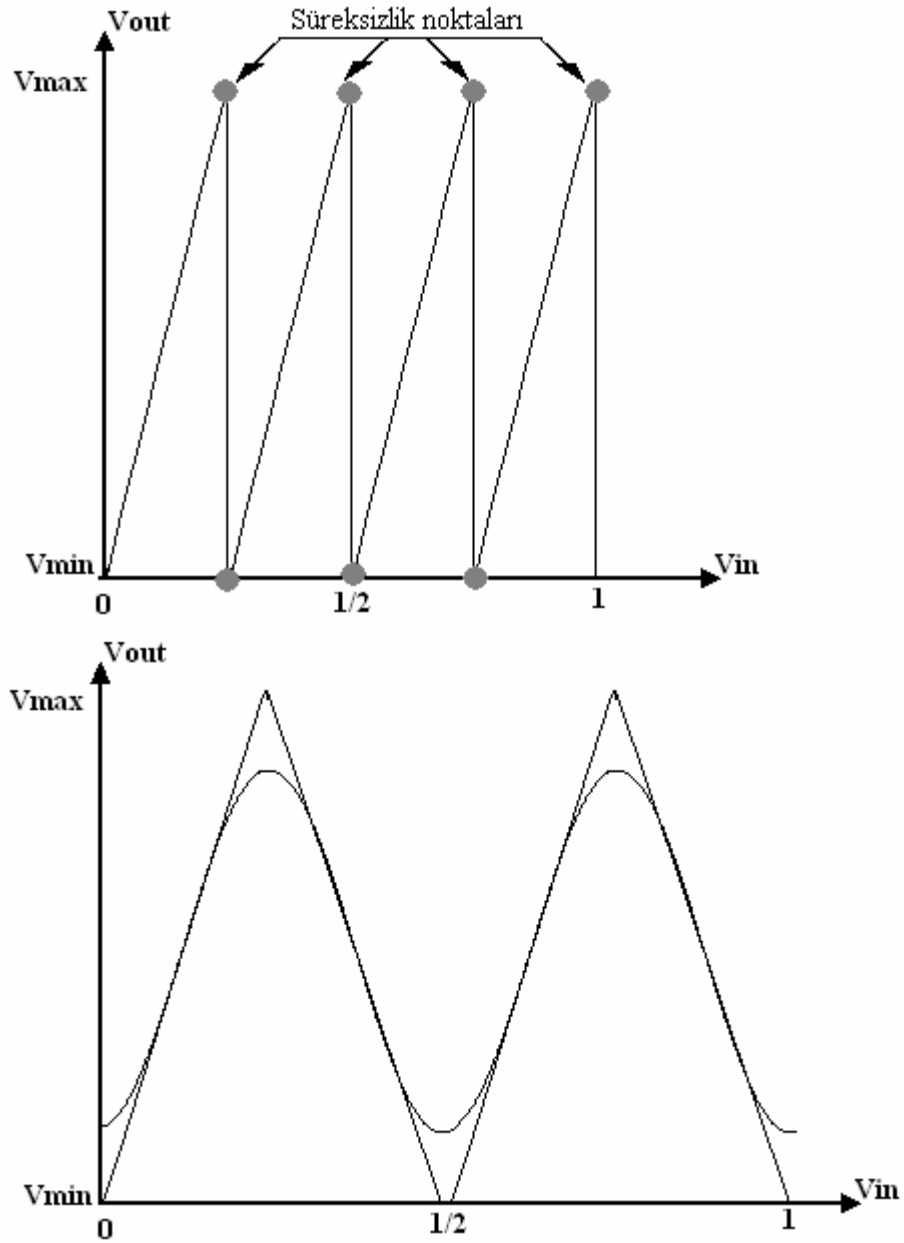
Şekil 5.2.(a)'daki gibi doğrusal, parçalı giriş-çıkış karakteristiğine sahip katlamalı A / S dönüştürücü tasarımları teorik olarak gerçekleştirilebilir. Fakat pratikte bu testere dışı karakteristiği elde etmek karakteristiğin süreksizliği yüzünden kolay değildir. Çünkü süreksizlik noktalarının yetişme hızı sonsuzdur. Bu yüzden Şekil 5.2.(b)'de gösterilen üçgensel karakteristiği elde etmek tercih edebilecek tek yoldur.

Şekil 5.2.(b)'de gösterilen üçgensel karakteristiği gerçekleştiren bazı uygulamalar geliştirilmiştir. Bunlardan bazıları diyot temelli [85] bazıları da akım aynası [86,87] temellidir.

Diyot temelli devre [85] ile üçgensel katlama işareti elde edilmektedir. Fakat devrenin çalışması için analog giriş işaretinin büyük olması gerekmektedir. Çünkü diyotların iletme geçmesi için yüksek giriş gerilimine ihtiyaç vardır. Bu yüzden bu devre düşük gerilim uygulamaları için uygun değildir.

Akım aynası temelli [86] devre akım girişli ve akım çıkışlı bir devredir. Bu devrenin giriş-çıkış karakteristiği elde edildiğinde üçgensel karakteristik elde edilmektedir. Özellikle düşük gerilim uygulamalarında tercih edilirler. Fakat yüksek doğruluklu bir katlama işareti elde etmek için transistör boyutlarının yüksek olması gerekmektedir [86]. Fakat transistör kanal boyu uzunluğunun artması da transistörün hızını düşürmektedir.

Genellikle süreksiz noktalardan oluşan giriş-çıkış karakteristiğine sahip devreleri gerçekleştirmek ve yüksek hızlı uygulamalarda kullanmak çok zordur. Bu yüzden katlama yükselteci devreleri ile giriş-çıkış karakteristiği sinüsoidal işarete benzeyen karakteristikler elde edilebilmektedir.

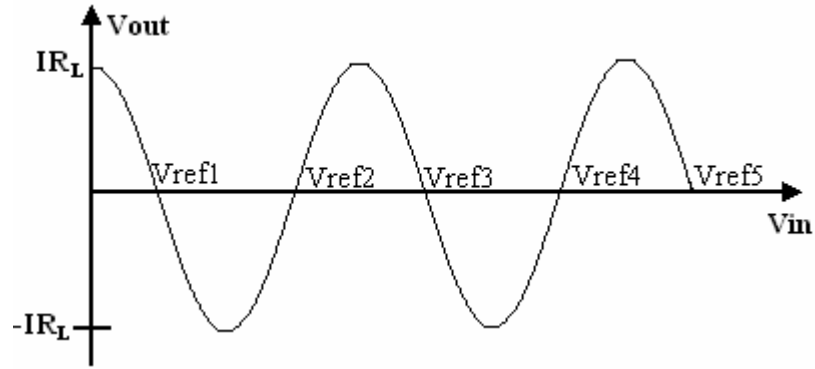


Şekil 5.2: Testere dişi ve üçgen giriş-çıkış karakteristikleri

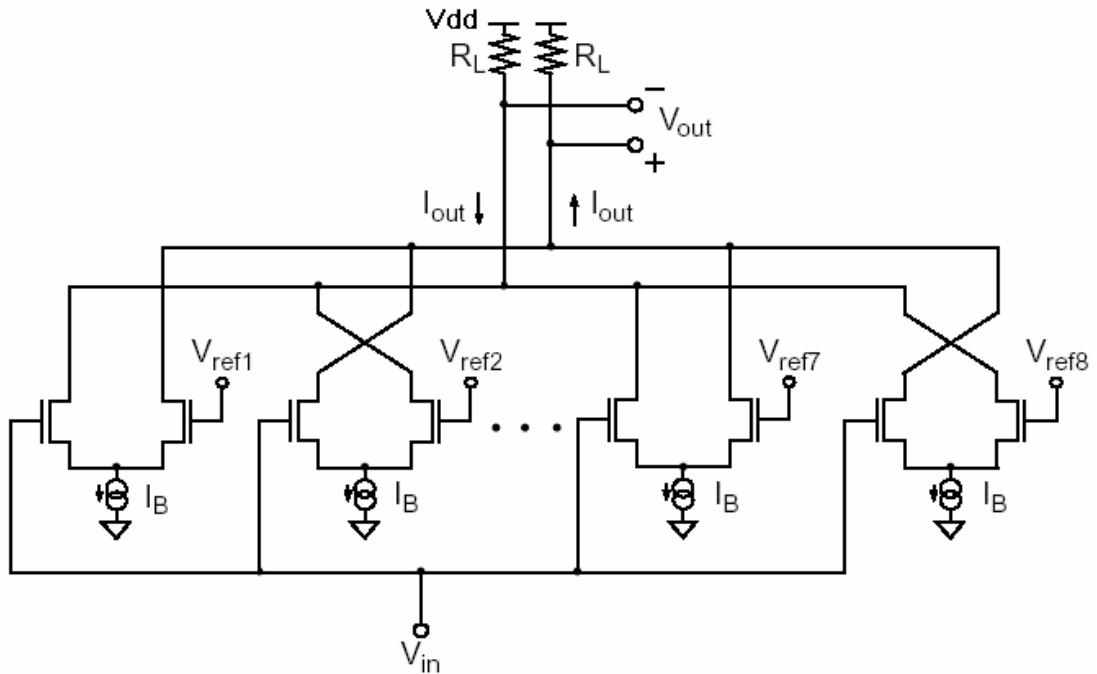
5.3. Sinüsoidal İşarete Benzeyen Katlama

Katlama yükselteç devresi, fark yükseltecinden yararlanarak tasarlanırsa, giriş-çıkış karakteristiği sinüsoidal işarete benzemektedir. Aslında tepeleri doğrusal olmayan bir üçgen dalgadır, tam olarak bir sinüsoidal işaret değildir. Şekil 5.3'te sinüsoidal katlamaya örnek giriş-çıkış karakteristiği, Şekil 5.4'te ise bu karakteristiğin elde edildiği analog devre gösterilmiştir.

Şekil 5.4'te gösterilen devrenin girişine işaret uygulandığında, giriş gerilimi artarken öncelikle giriş gerilimi V_{ref1} gerilimine geldiğinde birinci fark yükselteci çalışacaktır. Giriş geriliminin V_{ref} değerlerinden geçtiği noktalarda farksal çıkış karakteristik eğri üzerinde sıfır noktasından geçmeye zorlanmaktadır. Fark yükselteçlerinin çıkışlarının aynı düğümler üzerinde çapraz bağlanması ile katlama işlemi gerçekleşmiş olur.



Şekil 5.3: Katlama devresi giriş-çıkış karakteristiği

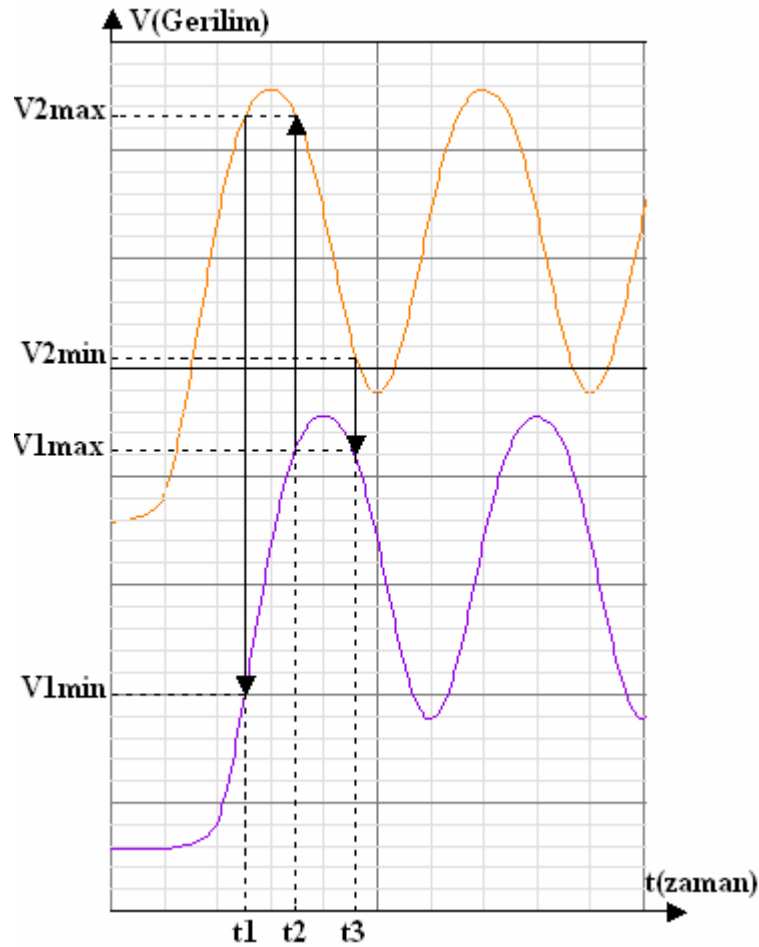


Şekil 5.4: Katlama karakteristiği sağlayan devre

Uygun bir şekilde seçilen referans gerilimlerine göre katlama karakteristiği elde edilir. Fakat bu devrenin bazı sakıncaları vardır. Devre tek girişlidir yani farksal modda çalışmaktadır. Katlamanın gerçekleştiği noktalarda doğrusallık kaybedilmektedir. Ayrıca çıkış düğümlerindeki parazitik kapasitans etkisi yüzünden AC çalışmada karakteristik eğri bozulabilmektedir.

5.4. Çift Katlama

Çift katlama, katlanmış işaretin doğrusalsızlık problemini önlemek için önerilmiştir. Şekil 5.3'te gösterilen katlama işaretinin tepesinin yuvarlak olması probleminden kurtulmak için Şekil 5.5'deki gibi bir yaklaşım düşünülebilir. Çünkü maksimum ve minimum noktalarına yaklaşıldığında doğrusallık kaybediliyor ve kod kayıpları meydana geliyor.



Şekil 5.5: Çift katlama işareti

Şekil 5.5'te ofset gerilimleri birbirinden farklı iki adet sinüsoidal benzeri katlama işareti gösterilmiştir. Eğer bir katlama işareti doğrusal olmayan bölgede ise, diğeri doğrusal bölgededir. Eğer doğrusal bölgesinde ise, diğeri doğrusal olmayan bölgesindedir.

Çift katlama düzeni kullanılarak katlama yükseltecinin ihtiyaç duyduğu doğrusallık elde edilebilir. Şekil 5.1'de 5 bit A / S dönüştürücü için katlama işareti ve giriş-çıkış karakteristikleri gösterilmiştir. Burada, katlama yükselteç aralığı 8 adet nicemleme seviyesine bölünürken, çift katlamada bu sayı her bir katlama işareti için yarıya inmiş olur. Böylece her katlanmış işaret sadece 4 adet nicemleme seviyesine bölünür.

Buradaki en önemli problem ise üretilecek katlama işareti sayısı arttıkça, ihtiyaç duyulan fark yükselteci sayısının artmasıdır. Bu sayı arttıkça katlamalı A / S dönüştürücü devresinde transistör sayısı artacaktır. Bu yüzden 2'den fazla katlama işareti gerektiğinde genellikle ara değerlendirme metodu kullanılır.

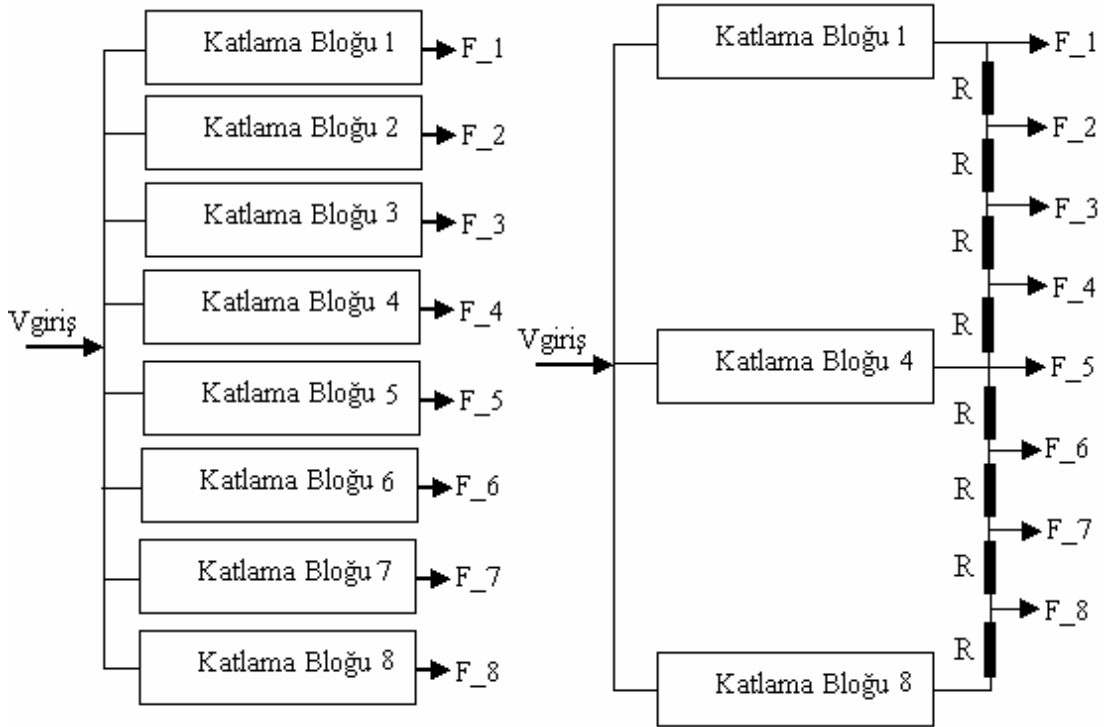
5.5. Ara değerlendirme

Katlamalı A / S dönüştürücüler, çözünürlük arttıkça gereken katlama işaretinin sayısının artması sonucu, pratik olarak A / S dönüştürücülerde artan güç tüketimi ve yonga alanı yüzünden en iyi çözüm olarak düşünülmezler. Bu yüzden sadece iki veya üç adet katlama işareti elde edilerek bunun çoğullanması yolu tercih edilir. Buna da ara-değerleme denilir. Dolayısıyla katlama ve ara-değerleme yapıları bir arada kullanılır.

Şekil 5.6'da ara-değerlemenin yapısı gösterilmiştir. Buna göre çift katlama yöntemi ile ofset gerilimleri birbirinden farklı olarak üretilen iki katlama işareti arasına direnç dizileri yerleştirilerek istenilen sayıda katlama işareti elde edilebilir.

5.5.1. Gerilim ara-değerlemesi

Ara-değerlemeli A / S dönüştürücü yapılarında çoğunlukla gerilim bölme yöntemi kullanılır. Gerilim bölme yöntemi, iki adet katlanmış işaret arasına konulan dirençler yardımı ile yapılır. İstenilen sayıda katlanmış işaret elde edebilmek için birbirine seri şekilde bağlı dirençler konulmaktadır. Katlanmış işaret arasına konulan direnç sayısı ara-değerleme oranı olarak isimlendirilir [17]. Ara-değerlemede kullanılan dirençler işaretle küçük bozulmalara neden olurlar, fakat bu bozulmalar çok önemli değildir. Çünkü bu tür A / S dönüştürücülerde sıfır geçişlerinin doğru olması ya da sıfır geçişlerinin doğru noktalarda yakalanması esastır.



Şekil 5.6: Ara-değerleme ve sinüsoidal benzeri katlama ile katlanmış işaret elde edilişi

Direnç yardımı ile gerilim bölme işlemi de bazı istenmeyen özelliklere sahiptir. Bunlardan en önemlisi yüksek hızlı A / S dönüştürücülerde kullanılan direnç değerlerinin oldukça küçük olması gerekliliğidir. Bu da güç harcanımının artmasına, katlama devrelerinin çıkışlarının aşırı yüklenmesine neden olur. Direnç değeri yüksek olduğunda ise yonga alanı artacaktır. Ayrıca, bu durumda işaret yayılım gecikmesi de ortaya çıkabilecek önemli problemlerden biridir.

5.5.2. Akım ara-değerlemesi

A / S dönüştürücüler akım modlu tasarlandığında, yol üzerindeki empedans küçük, gerilim dalgalanması da düşük olur [54]. Akım modlu ara-değerleme prensibi temel olarak akım aynalarına dayanır. Giriş-çıkış akım oranları, akım aynalarında kullanılan transistörlerin boyutlarının değişimi ile sağlanır. Akım aynaları daha geniş bir band genişliğine sahiptir. Bu yüzden akım modlu ara-değerleme daha hızlı ve dinamik aralığı daha geniştir [88].

Ara-değerlemenin doğruluğu, ara-değerlemede kullanılan akım aynalarının birbiri ile uyumuna bağlıdır. Bu yüzden akım aynalarının ideal olmamalarından dolayı doğruluklarında hatalar meydana gelebilir [89]. Düşük-gerilim yüksek hızlı A / S dönüştürücüler için akım modlu ara-değerleme yöntemi tercih edilebilir.

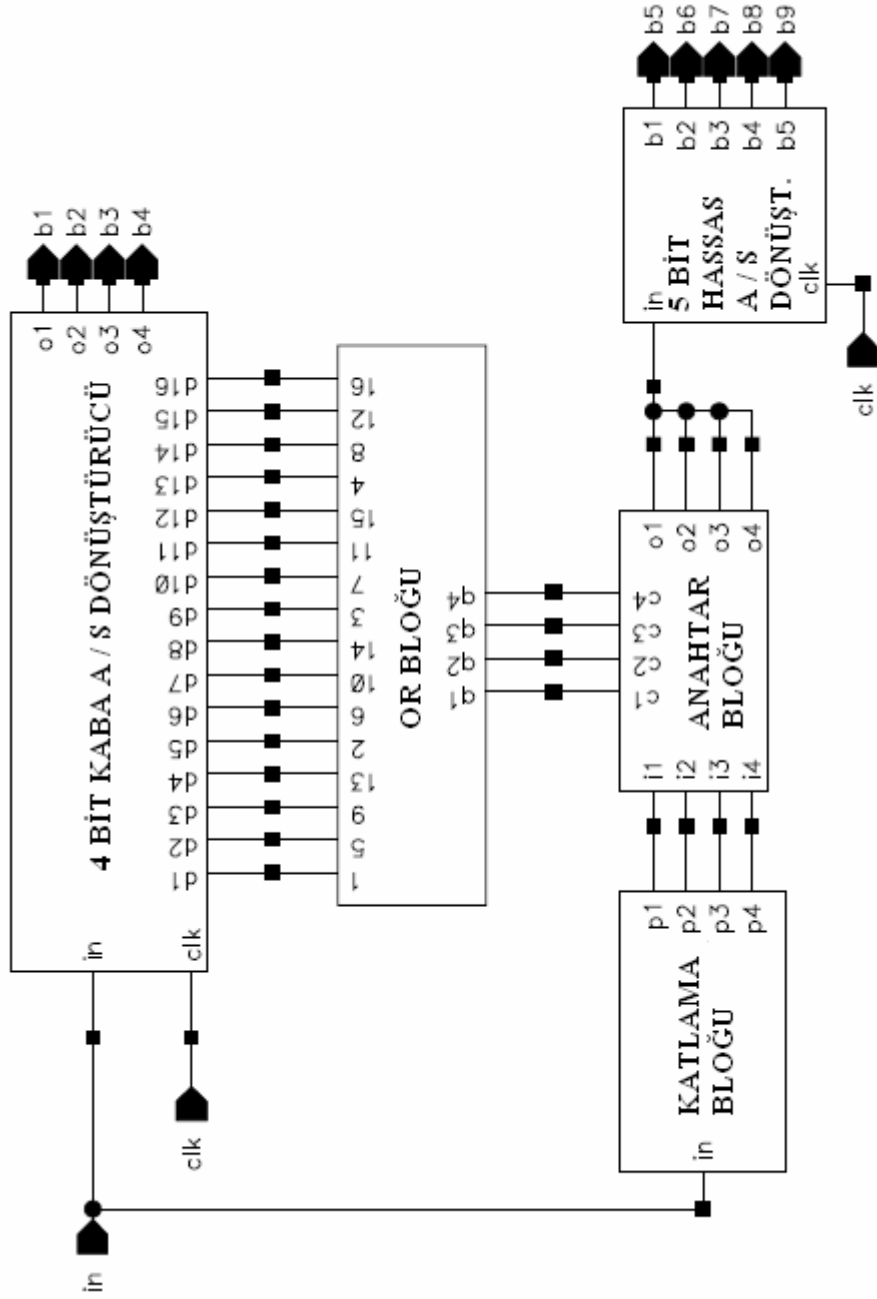
BÖLÜM 6. 9-BİT EŞİK EVİRMELİ NİCEMLEYİCİ TEMELLİ ANAHTAR SEÇMELİ KATLAMALI ANALOG SAYISAL DÖNÜŞTÜRÜCÜ

Analog - sayısal dönüştürücüler, analog işaretlerin sayısal sistemler tarafından anlaşılması için kullanılan elemanlardır. Bilinen en hızlı A / S dönüştürücü tipi tümüyle paralel (flash) A / S dönüştürücülerdir. Yüksek hızlı A / S dönüştürücü elde edebilmenin en etkin yolu paralel A / S dönüştürücü olmasına karşın, 7 bit ve üzeri çözünürlükte; karşılaştırıcı sayısının artması, güç tüketiminin artması ve efektif olarak kullanılan yonga alanının artması gibi nedenlerden ötürü yüksek çözünürlüklerde paralel A / S dönüştürücüler için etkili bir yöntem olmaktan çıkar. Bu nedenlerden ötürü, yüksek çözünürlüklü ve yüksek hızlı A / S dönüştürücü elde edebilmek için farklı A / S dönüştürücü tipleri önerilmiştir. Önerilen yöntemlerden biri de katlamalı ve ara-değerlemeli A / S dönüştürücülerdir. Bu yöntem ile yüksek çözünürlüklü ve yüksek hızlı A / S dönüştürücüler elde edilebilmektedir.

Bu çalışmada önerilen yöntem olan katlamalı ve ara-değerlemeli A / S dönüştürücünün en önemli avantajları şöyledir. Öncelikle karşılaştırıcı sayısının azalması nedeniyle efektif yonga alanının azalması ve güç tüketiminin azalmasıdır. Bu yöntemde ayrıca bir örnekleme-tutma devresine ihtiyaç duyulmamaktadır.

Şekil 6.1'de tasarlanan sistemin blok şeması gösterilmiştir. Bu şemaya göre katlama devresi daha önceden de belirtildiği gibi birbirine çapraz bağlı fark yükselteçlerinden oluşmaktadır. Hassas ve kaba A / S dönüştürücülerde kullanılan karşılaştırıcı yapısı ise EEN'dir. Burada yapılan tasarımlar 0.35µm CMOS C35B4 AMS model parametreleri kullanılarak yapılmıştır.

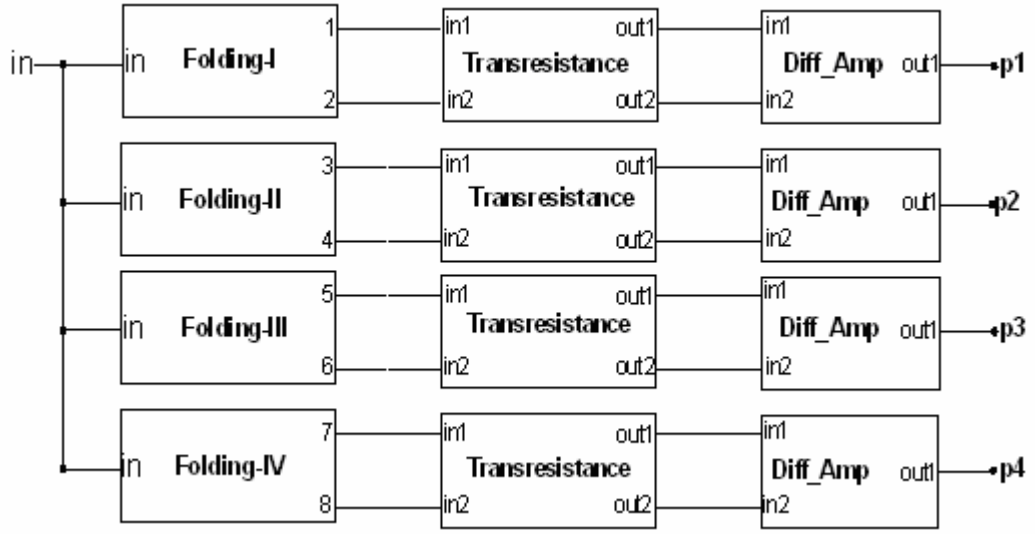
Bu bölümde öncelikle tasarlanan A / S dönüştürücünün blok şemasında verilen bölümler ve bu bölümler sonucunda elde edilen sonuçlar değerlendirilecektir.



Şekil 6.1: Önerilen 9 bit katlamalı A / S dönüştürücü blok şeması

6.1. Analog Ön İşleme Bloğu

Analog ön işleme bloğu (katlama bloğu) Şekil 6.2’de gösterildiği gibi off-set gerilimleri birbirinden farklı 4 adet katlama devresi, transresistans yükselteç devresi ve fark yükseltici devresinden oluşmaktadır.

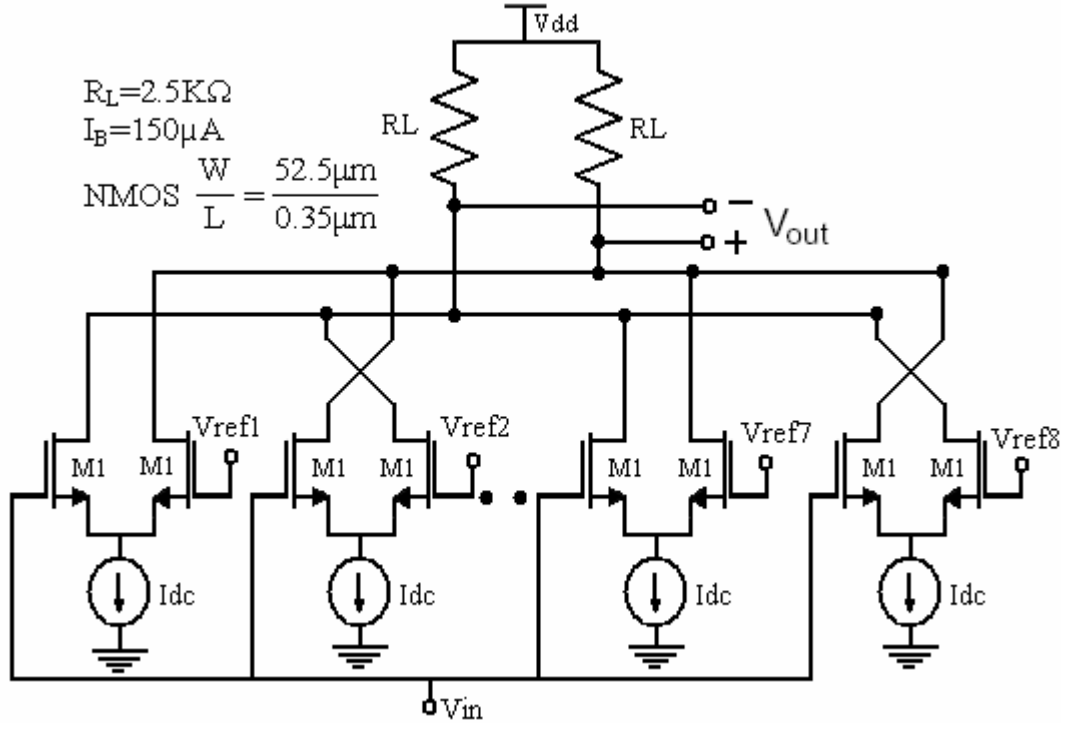


Şekil 6.2: Gerilim modlu katlama bloğunun iç yapısı

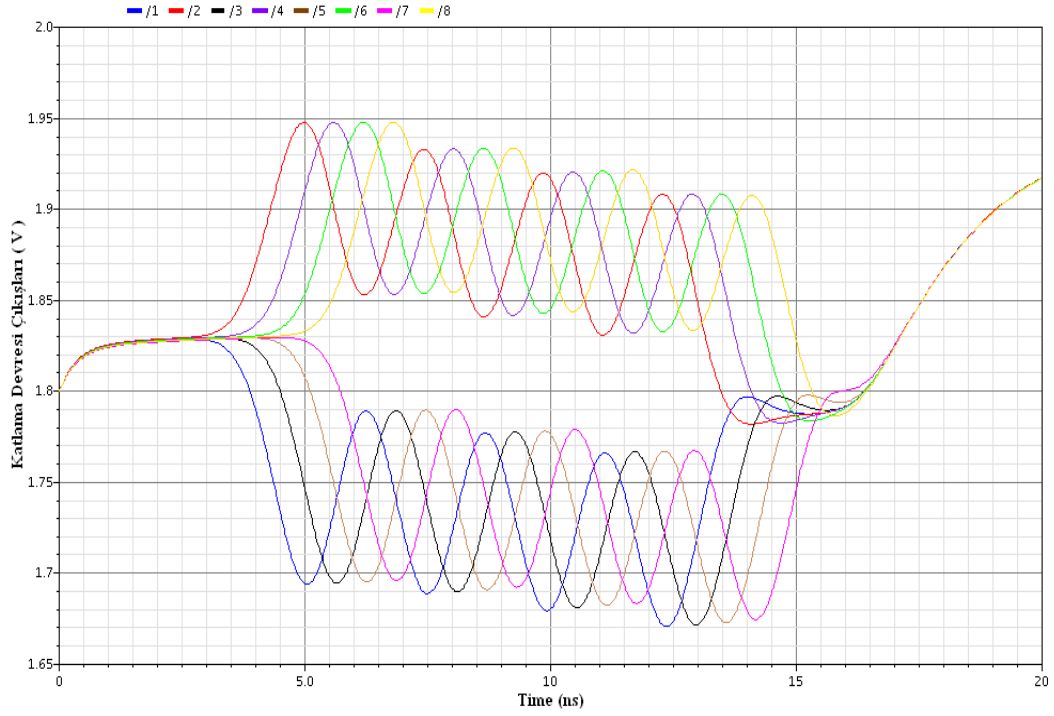
6.1.1. Katlama devresi

Katlama devresi, katlamalı ve ara-değerlemeli A / S dönüştürücü tasarımının en önemli bloklarından biridir. Bu yüzden tasarımı önemlidir. Daha önce de belirtildiği gibi ideal dik kenar üçgen gerilim karakteristiği elde etmek zor olduğu için, burada ikizkenar üçgen karakteristiği elde edebilecek devre yapısı kullanılmıştır. Fakat burada da elde edilen işaretin köşe noktalarında doğrusallık problemi ortaya çıkmıştır. Aynı zamanda 4-bitlik kaba A / S dönüştürücüde 16 kod değişimi olmaktadır. Bu 16 kod değişimini elde etmek ve burada çıkan doğrusallık problemini gidermek için ikili katlama yöntemi yeterli olmadığından dördü katlama yöntemi kullanılmıştır.

Burada kullanılan katlama devresi, birbirine çapraz bağlı referans gerilimleri birbirinden farklı 8 adet MOS fark yükselteci çiftinden oluşmaktadır. Şekil 6.3'de kullanılan katlama devresi gösterilmiştir. Buradaki fark yükselteçlerinin girişine ortak bir giriş gerilimi ile birbirinden farklı özenle seçilmiş referans gerilimleri uygulanır. Böylece fark yükselteçlerinin sonunda elde edilen akımlar çıkış ucunda gösterilen direnç üzerinde toplanır. Katlama devresinin çıkışındaki direnç ve oluşan parazitik kapasitans, katlama işaretinde doğrusal olmayan bir kaymaya sebep olmaktadır. Şekil 6.4'de gösterilen çıkışlar, Şekil 6.2'de belirtilen katlama devrelerinin (1-2-3-4-5-6-7-8) olarak numaralandırılan çıkışlarıdır.



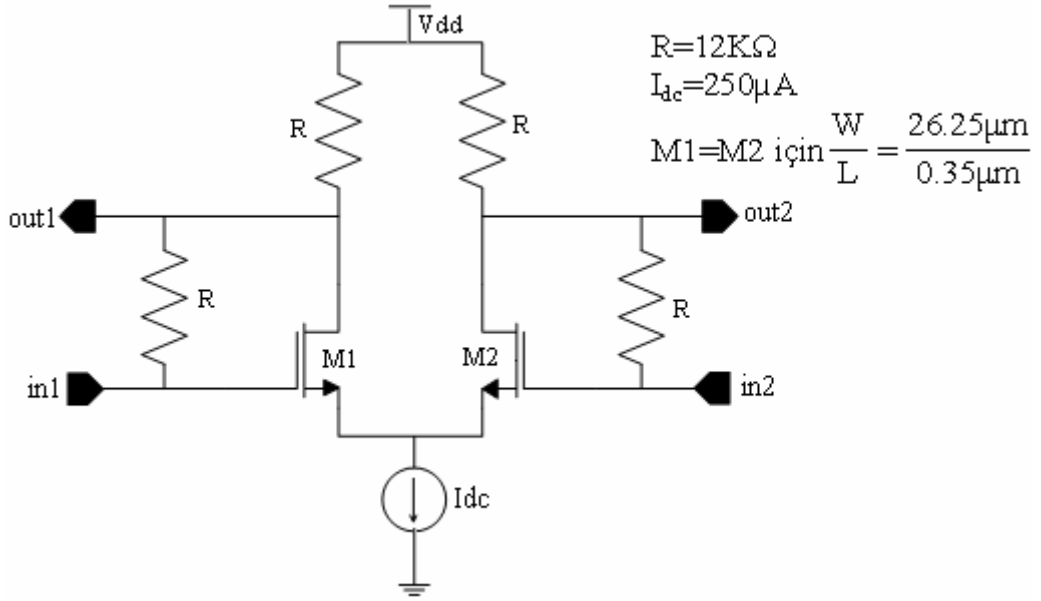
Şekil 6.3: Gerilim modlu katlama devresi



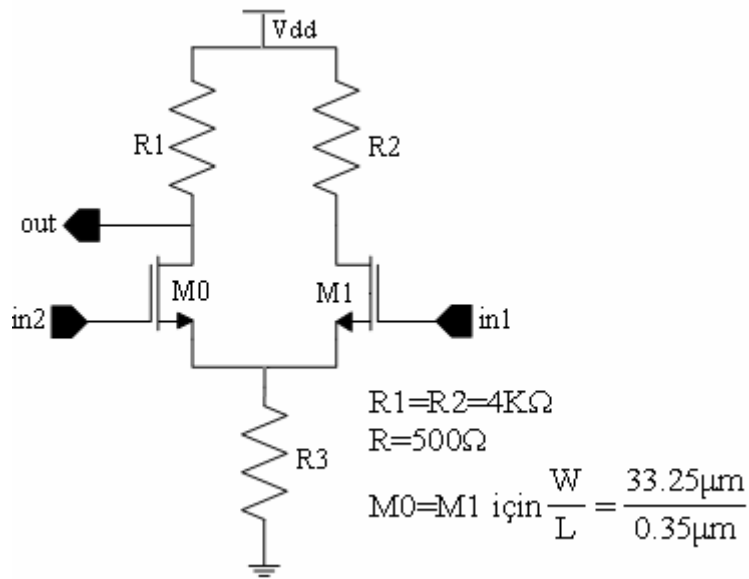
Şekil 6.4: Katlama devresi çıkışında elde edilen çıkış gerilimleri ($f_{in} = 50MHz$)

6.1.2. Transresistance ve fark yükseltici

Şekil 6.4'ten de anlaşılacağı üzere katlama devresinin çıkışındaki direnç ve oluşan parazitik kapasitans etkilerinden dolayı yüksek frekanslarda devrenin dc seviyesinde kayma meydana gelmektedir.



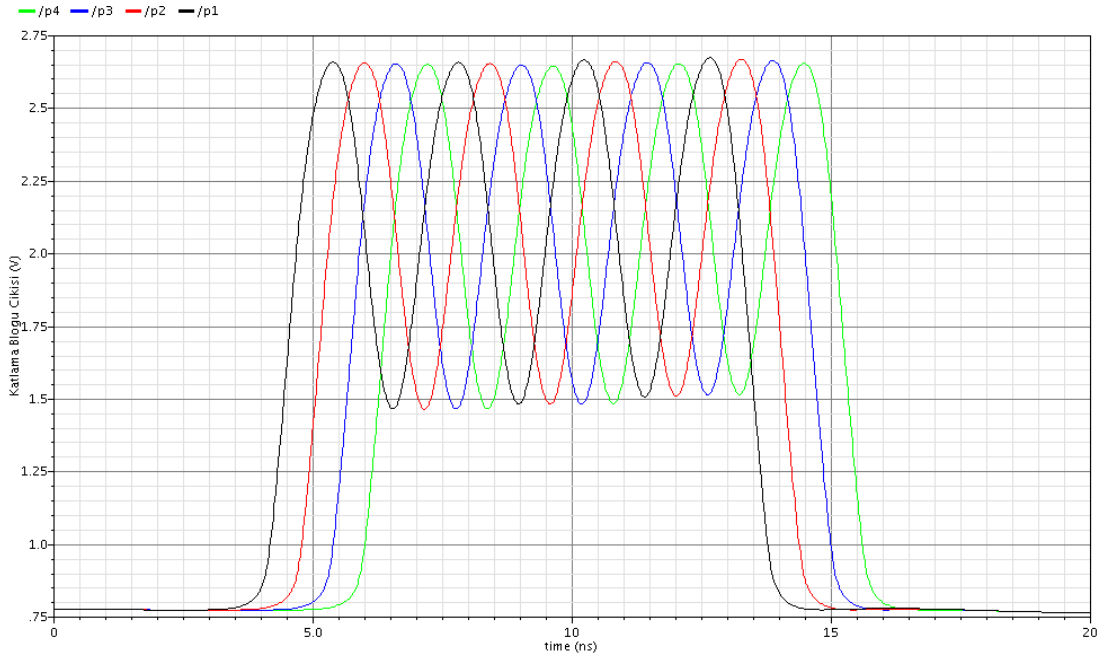
Şekil 6.5: Transresistans yükselteç



Şekil 6.6: Fark yükseltici

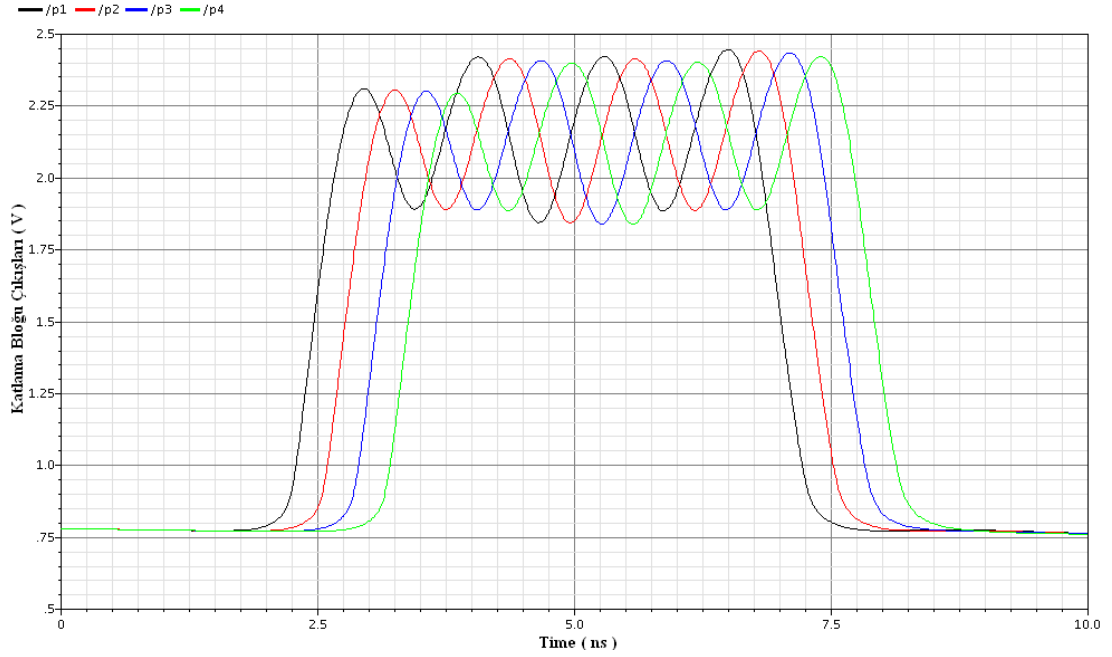
Bu etkiyi önlemek için katlama devresinin ardına Şekil 6.5’de gösterilen transresistans yükselteç devresi [13] ve Şekil 6.6’da gösterilen basit geleneksel MOS fark yükselteci devresi bağlanmıştır. Katlama devresinin çıkışında meydana gelen akım, transresistansdaki direnci sürerek, analog gerilim aralığı daha büyük bir çıkış gerilimi elde edilir. Aynı zamanda transresistans yükselteç kullanımı analog band genişliğini artırır [13].

Şekil 6.7 ve 6.8’de transresistans ve fark yükselteci sonrasında elde edilen katlama bloğunun zaman domenindeki benzetim sonuçları gösterilmiştir. Bu çıkışlardaki işaretler farksal modda değildir.



Şekil 6.7: Katlama bloğu çıkışları ($f_{in}=50\text{MHz}$)

Giriş işaretinin frekansı arttıkça katlama devresinin 1. ve 2. MOS fark yükselteçlerinde genlik kaybı olduğu görülmektedir. Fakat anahtar seçmeli yöntemde katlama işaretlerinin belli bir gerilim aralığındaki doğrusal bölgeleri ele alınacağı için bu durum pek önemli değildir. Şekil 6.8’de giriş frekansı 100MHz için bu durum gösterilmiştir.



Şekil 6.8: Katlama Bloğu çıkışları ($f_{in}=100\text{MHz}$)

6.1.3. Katlama bloğu sonuçları

Katlama devrelerinin çıkışında elde edilen işaretin frekansı, girişe uygulanan giriş işareti frekansından farklıdır. Çıkış işaretinin maksimum frekansı şöyle ifade edilir [16] ;

$$f_{out} = \sqrt{2} \cdot K_s \cdot f_{in} \quad (6.1)$$

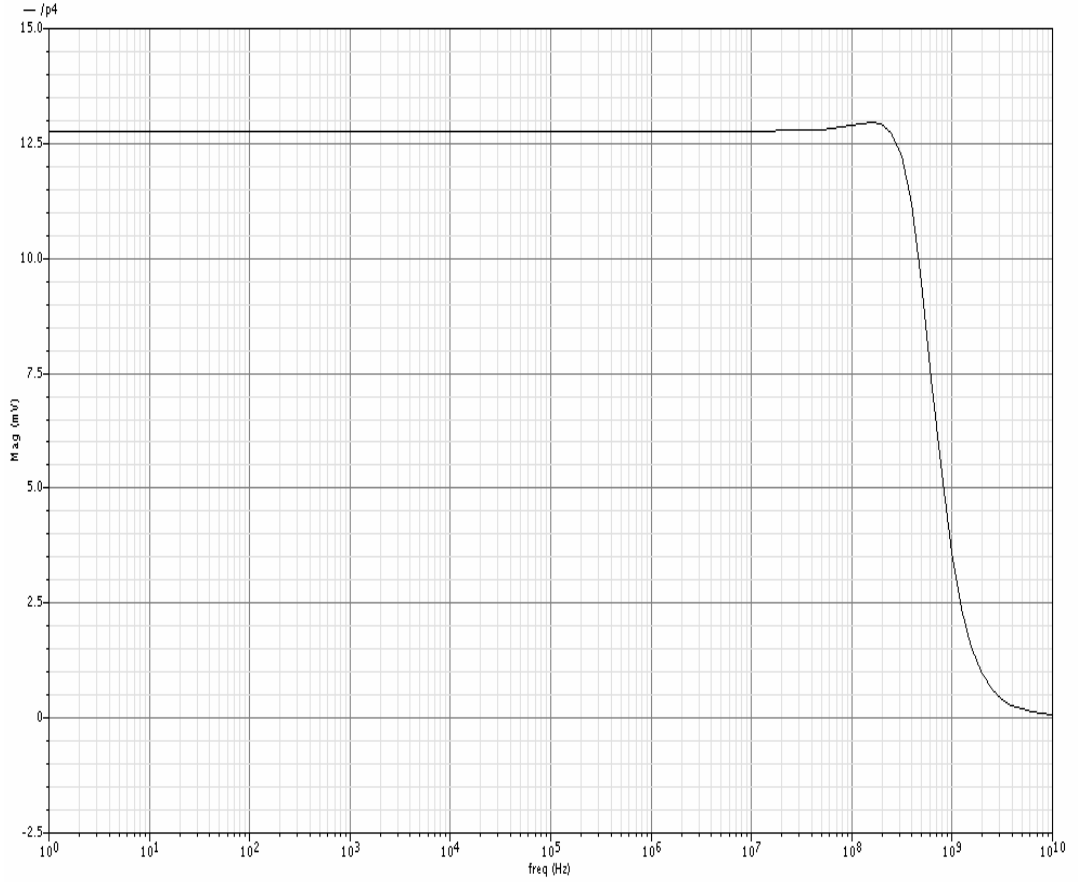
Burada f_{in} giriş işaretinin frekansını, K_s katlama devresinde kullanılan MOS fark yükselteç sayısını (dolayısıyla katlama sayısını) göstermektedir.

Tasarlanan katlama devresinde 8 adet MOS fark yükselteci vardır. Bunların kutuplama kuyruk akım değerleri $150\mu\text{A}$ 'dir. Bütün benzetimler sırasında bu değer sabit tutulmuştur. Denklem (6.1)'deki formüle göre hesaplama yapılırsa giriş işareti frekansı 1MHz uygulandığında çıkışta 11MHz'lik, 50MHz'lik bir işaret uygulandığında ise 565MHz'lik bir çıkış işareti elde edilmektedir. Buna göre aşağıdaki gibi, örnek bir tablo fikir vermesi açısından oluşturulabilir.

Tablo 6.1: Giriş-çıkış frekans tablosu

F(in) (MHz)	f(out) (MHz)
1	11.313
3	33.941
5	56.568
10	113.137
25	282.842
50	565.685
100	1131.370

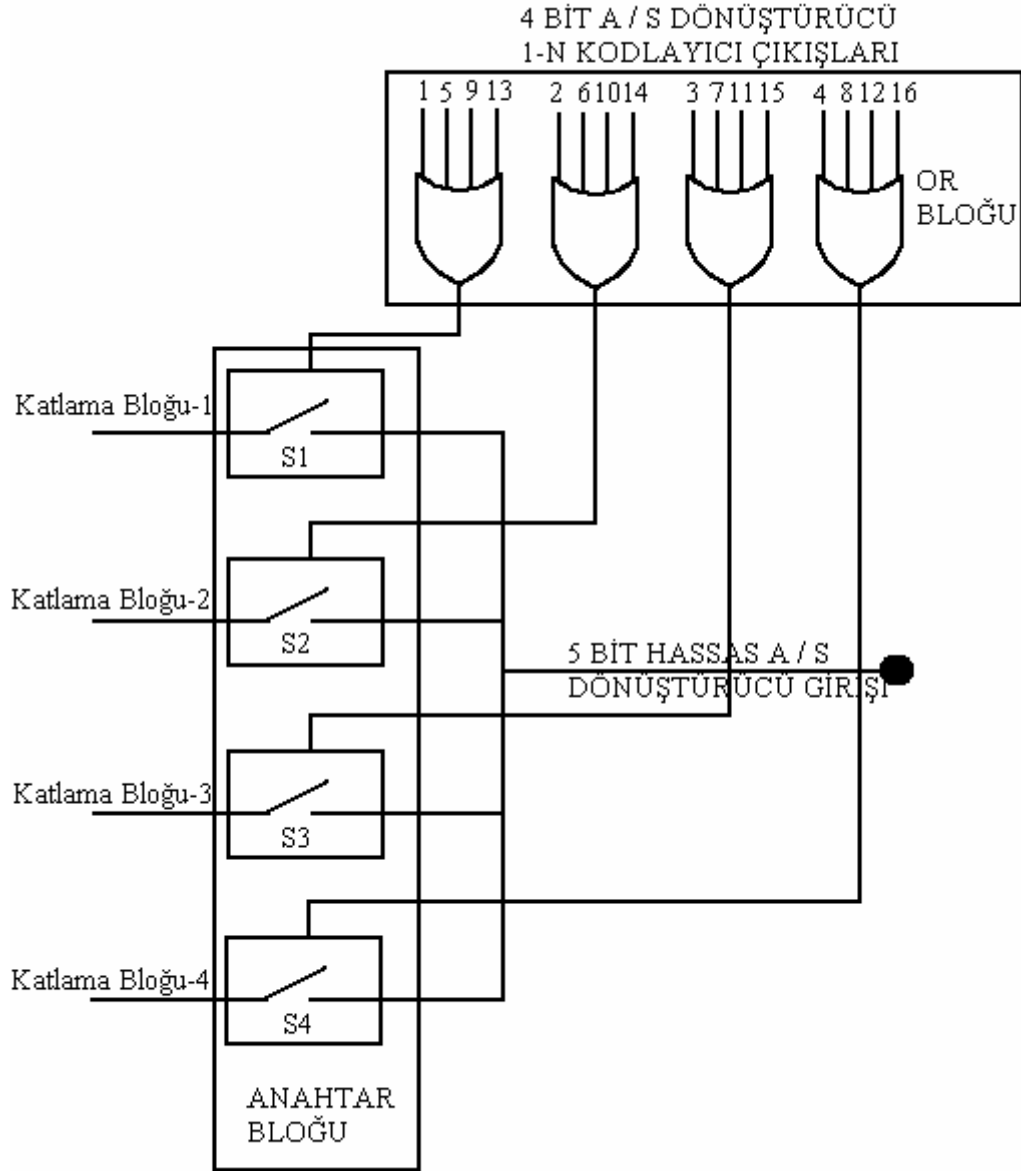
Önerilen katlama bloğunun frekans yanıtı Şekil 6.9'da gösterilmiştir. Buna göre 0.35µm CMOS teknolojisi için 3dB band genişliği yaklaşık 400MHz'dir. Bu katlama bloğu açısından oldukça iyi bir sonuçtur.



Şekil 6.9: Katlama bloğunun frekans cevabı

6.2. Katlanmış İşaret Seçme Ünitesi

Katlanmış işaret seçme ünitesi, Şekil 6.1’de gösterilen blok şemadaki “OR” bloğu ve anahtar bloğundan oluşmaktadır. 4 adet, 4 girişli “OR” devresinden ve 4 adet anahtardan meydana gelmektedir. Şekil 6.10’da devre şeması gösterilmiştir.

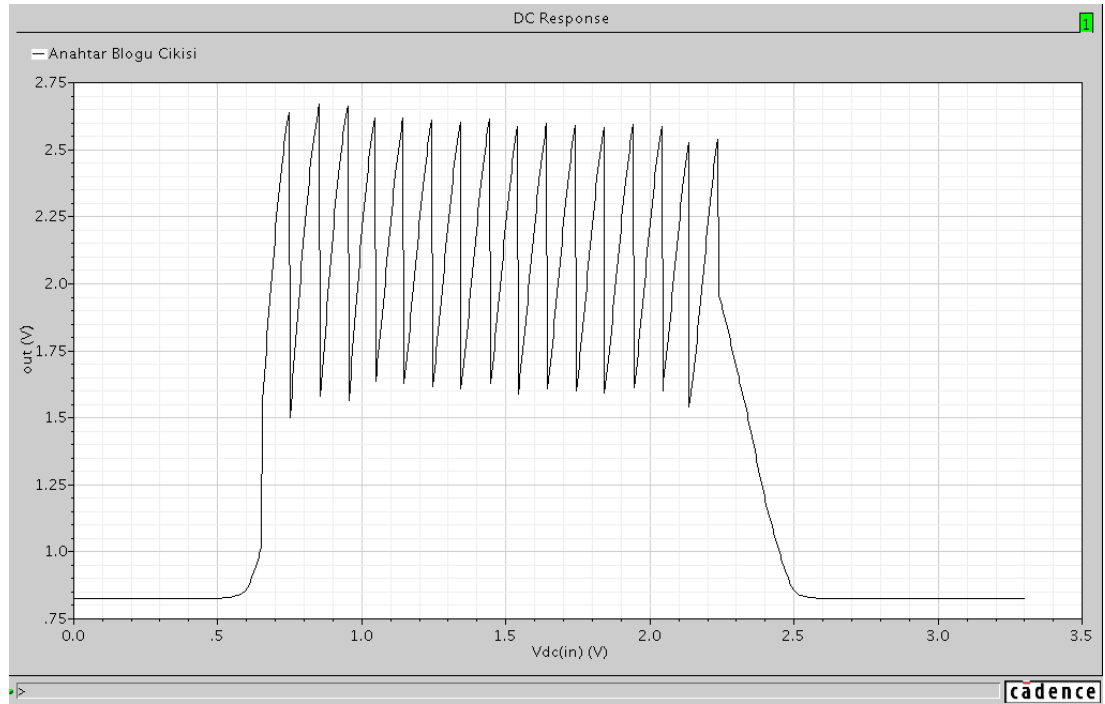


Şekil 6.10: Katlanmış işaret seçicinin devre şeması

Katlama bloğu çıkışında elde edilen katlanmış işaretler, Şekil 6.7 ve Şekil 6.8’de gösterilmiştir. Bu işaretler anahtarlama yardımı ile sırasıyla hassas A / S dönüştürücüye aktarılır. Böylece daha doğrusal bir dönüştürme elde edilmiş olur.

6.2.1. Anahtar bloğu

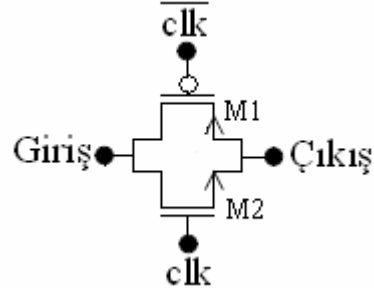
Bu birim, kaba A / S dönüştürücünün 1-N kod çözücüsünden gelen seçilmiş çıkış uçlarına göre 4 adet katlanmış işaretin sırası ile çalıştırılmasını sağlar. Böylece hassas A / S dönüştürücü girişine uygulanan ve Şekil 6.11’de gösterilen zig-zag şeklindeki karakteristik elde edilir.



Şekil 6.11: Anahtar bloğu çıkışı dc sonucu

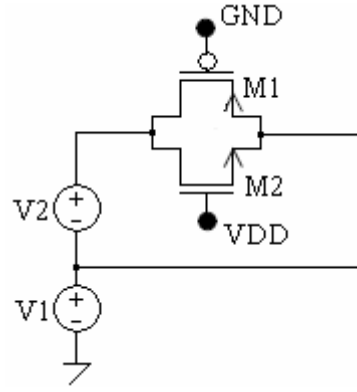
6.2.1.1 CMOS analog anahtar (Transmission gate)

Analog anahtar bloğu için çeşitli uygulamalar mevcuttur. Bunlardan bir tanesi Şekil 6.12’de gösterildiği gibidir. Buradaki geçit kapısı (transmission gate), gerilim kontrollü anahtar olarak kullanılır. Bu devreden 4 adet kullanılmıştır.



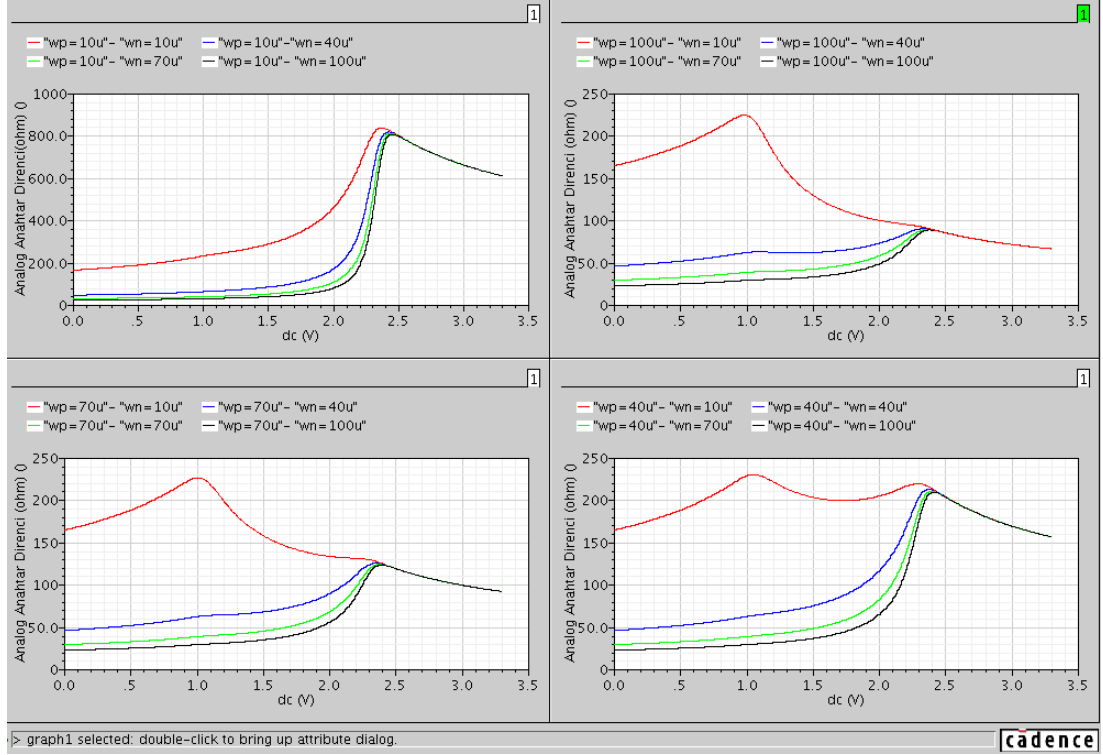
Şekil 6.12: CMOS analog anahtar

Şekil 6.12’de gösterilen analog anahtarın direnci, Şekil 6.13’de gösterilen yöntemle, benzetim sonuçlarına göre bulunmuştur.



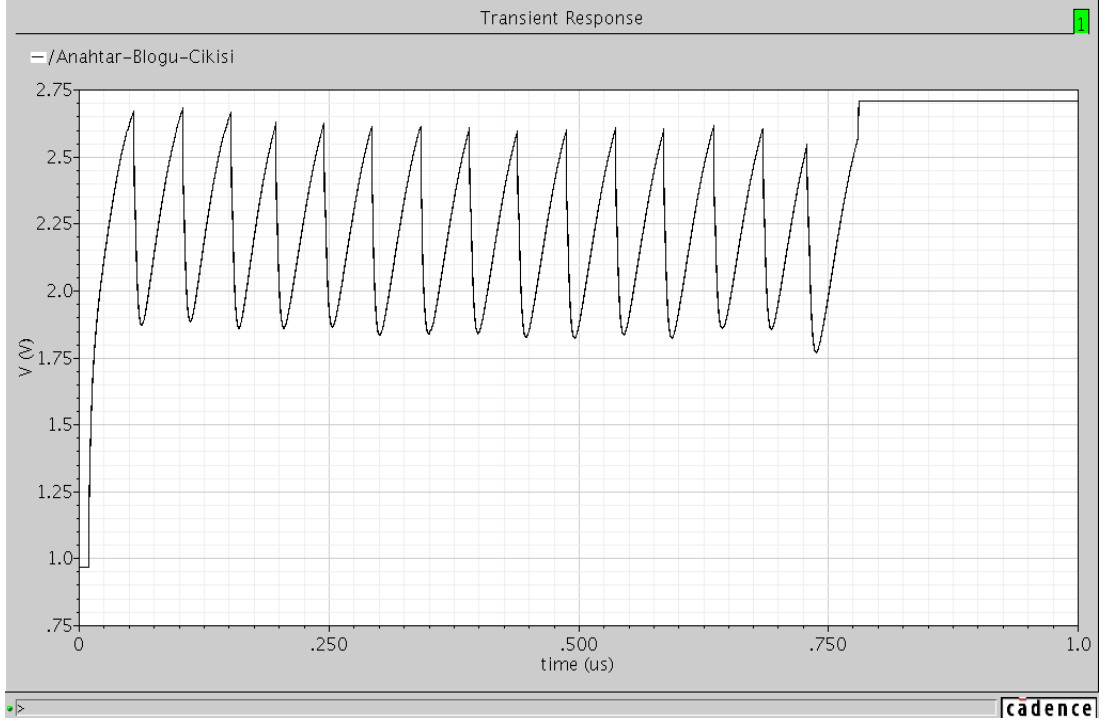
Şekil 6.13: CMOS analog anahtar direncinin bulunmasına ilişkin devre düzeneği.

Şekil 6.13’deki devrede, V1 kaynağı dc olarak seçilerek 0V ile 3.3V arasında lineer olarak değiştirilmiştir. V2 kaynağı ise AC kaynak olarak seçilmiştir. Burada V2 kaynağının frekansı 1Hz olarak alınmıştır. Devre düzeneğinde $(1 / I(V2))$ analog anahtarın direncini vermektedir. Burada kullanılan NMOS ve PMOS’ların $L_n=L_p=0.35\mu\text{m}$ alınarak, farklı W_n ve W_p değerleri için analog anahtarın direnci Şekil 6.14’te gösterilmiştir.

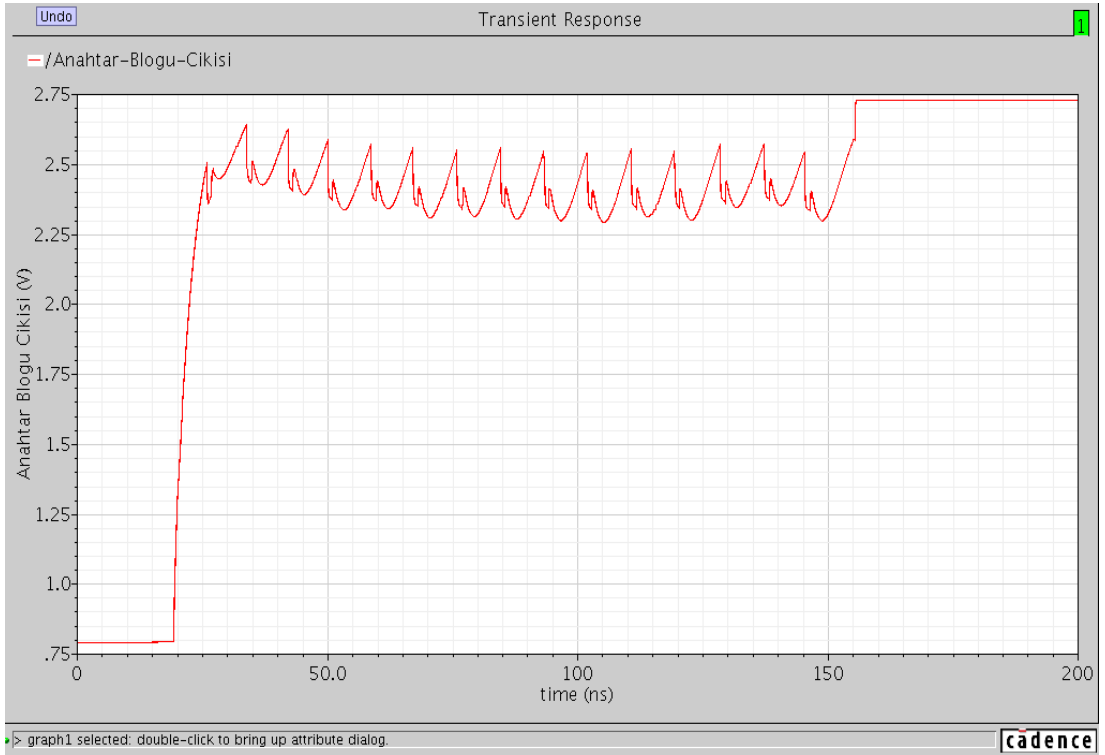


Şekil 6.14: Analog anahtar direncinin “Wn” ve “Wp”’ye bağlı değişimi

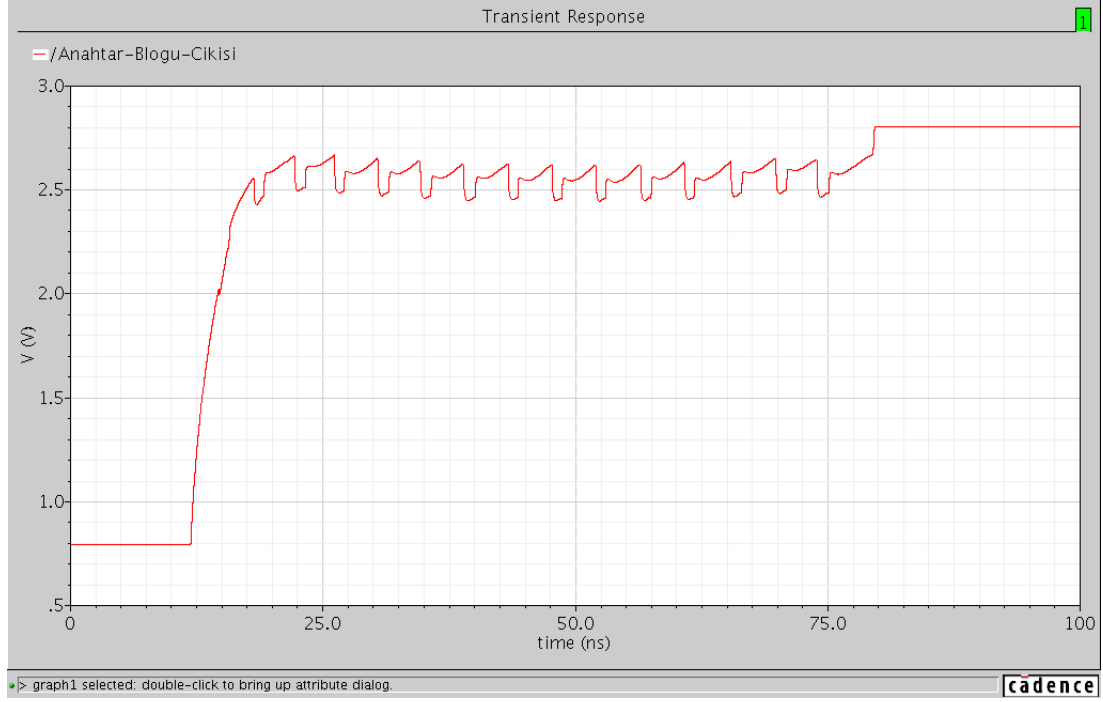
Şekil 6.14’teki analizlere göre, analog anahtar direncinin lineer dağılımı ve bu anahtardan 4 adet kullanılacak olması nedeniyle anahtarlarda kullanılacak olan nmos ve pmos’un kanal genişlikleri sırası ile $W_n=10\mu\text{m}$ - $W_p=40\mu\text{m}$ olarak alınmıştır. Buna göre yapılan farklı frekanstaki giriş işaretleri için analog anahtar bloğu çıkışında elde edilen işaretler Şekil 6.15, Şekil 6.16 ve Şekil 6.17’de gösterilmiştir.



Şekil 6.15: $f_{in} = 1\text{MHz}$ için analog anahtar bloğu çıkışı



Şekil 6.16: $f_{in} = 5\text{MHz}$ için analog anahtar bloğu çıkışı



Şekil 6.17: $f_{in} = 10\text{MHz}$ için analog anahtar bloğu çıkışı

6.2.2. “VEYA” bloğu

Şekil 6.10’da gösterilen bu blok 4-bit kaba EEN temelli A / S dönüştürücünün 16 adet kod çözücü çıkışını kullanan birleşimsel devredir ve anahtar bloğu devresindeki anahtarların kontrol işaretlerini üretir. Katlama bloğu çıkışlarındaki işaretler üzerindeki doğrusal bölgelerin giriş gerilimiyle uyumlu olarak yakalanması ve çıkış düğümüne yani hassas A / S dönüştürücü girişine multiplex edilmesi işlemi bu kontrol sinyalleri vasıtası ile gerçekleştirilmiş olur.

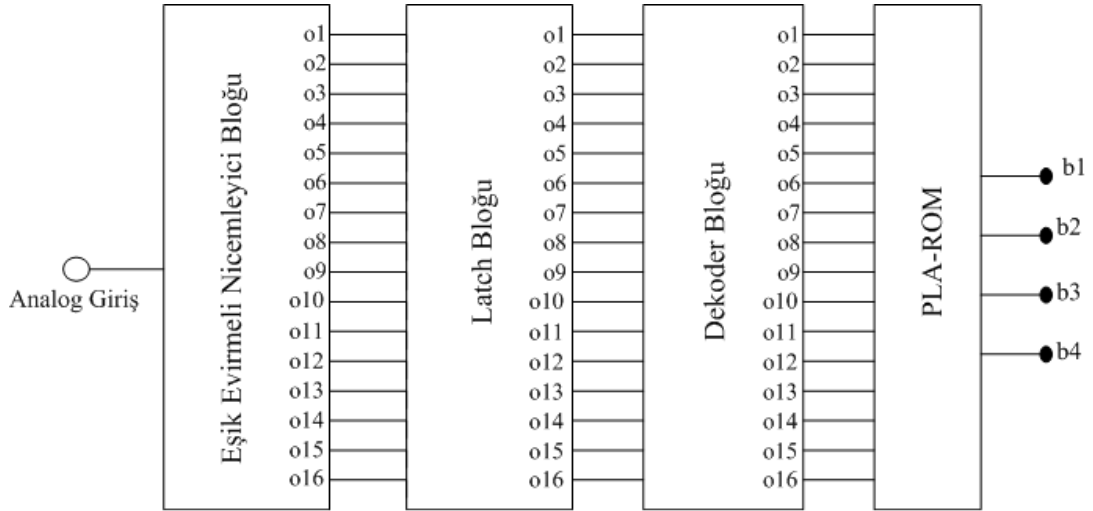
Bloğun iç yapısında 4 adet 4 girişli ‘veya’ kapısı vardır. Bu 4 adet ‘veya’ kapısının birincisine; 1,5,9 ve 13 nolu girişler, ikincisine; 2,6,10,14 nolu girişler bağlıdır. Bu böyle devam ederek en son ‘veya’ kapısında 4,8,12,16 nolu girişler ‘veya’ işleminden geçirilir. Her bir ‘veya’ kapısı iki adet ‘veya değil’ ve bir adet ‘ve değil’ kapılarından oluşmaktadır. ‘Veya değil’ kapılarının çıkışlarında; $F = (A+B)' = A' \cdot B'$ ve $F = (C+D)' = C' \cdot D'$ elde edilmektedir. Bu çıkışlar da ‘ve değil’ işleminden geçirilerek çıkışta; $Y = [(A' \cdot B') \cdot (C' \cdot D')]' = A+B+C+D$ olarak 4 girişli bir CMOS ‘veya’ kapısı elde edilmiş olur.

6.3. 4 Bit ve 5 Bit Paralel A / S Dönüştürücü

Tasarımda kullanılan 4 bit kaba ve 5 bit hassas A / S dönüştürücüler EEN tekniğine dayalı paralel yapıda kullanılan hızlı A / S dönüştürücülerdir.

6.3.1. 4-bitlik EEN temelli kaba A / S dönüştürücü

Şekil 6.18’de eşik evirmeli nicemleyici temelli 4 bit A / S dönüştürücünün blok şeması gösterilmiştir. A / S dönüştürücü nicemleyici bloğu, dinamik tutucu bloğu, 1-N kodlayıcı bloğu ve programlanabilir mantık (PLA-ROM) dizisinden oluşmaktadır. Bu yapının diğer paralel yapıdaki A / S dönüştürücülerden en önemli farkı karşılaştırıcı olarak EEN tekniğinin kullanılmasıdır. EEN tekniği de daha önceki bölümlerde ayrıntılı olarak anlatılmıştır. Burada sadece kısaca kaba A / S dönüştürücüdeki davranışı hakkında bilgi verilecektir.

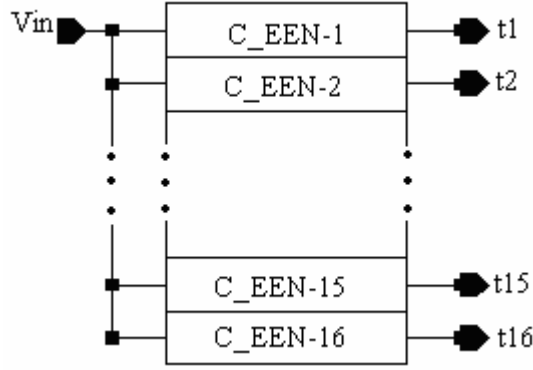


Şekil 6.18: 4-bit eşik evirmeli nicemleyici temelli A / S dönüştürücü bloğu

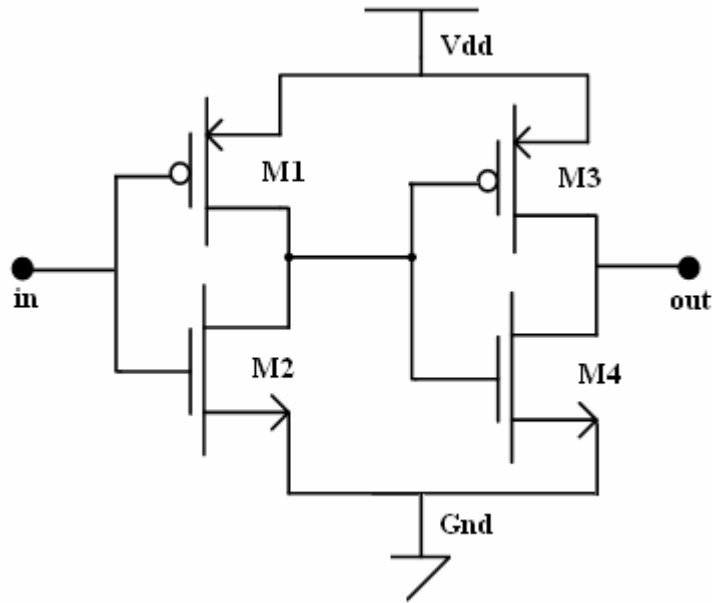
6.3.1.1. Eşik evirmeli nicemleyici bloğu

Eşik evirmeli nicemleyici bloğu Şekil 6.19’da gösterilmiştir. Bu nicemleyici bloğu içerisinde her biri farklı bir eşik gerilime sahip olmak koşuluyla, birbirine seri bağlı 2 adet birbirinin aynı eviriciden oluşan nicemleyicilerden oluşur. Şekil 6.20’da 4 bit A / S dönüştürücülerde kullanılan eviricilerden bir tanesi gösterilmiştir.

Daha önceden de bahsedildiği gibi bu devrelerde transistör boyutlandırması yöntemi ile istenen giriş geriliminde geçişe sahip çıkış işareti üretilebilir. Fakat burada analog giriş gerilim aralığı da $[V_{dd} - (|V_{tp}| + V_{tn})]$ ile sınırlıdır.



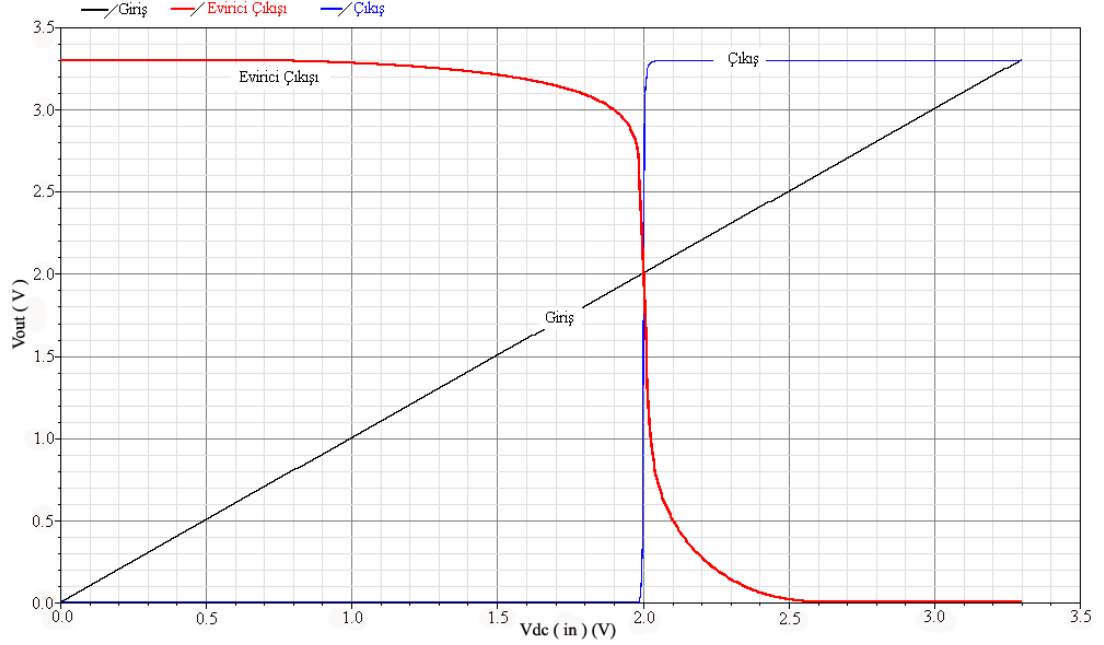
Şekil 6.19: EEN bloğu



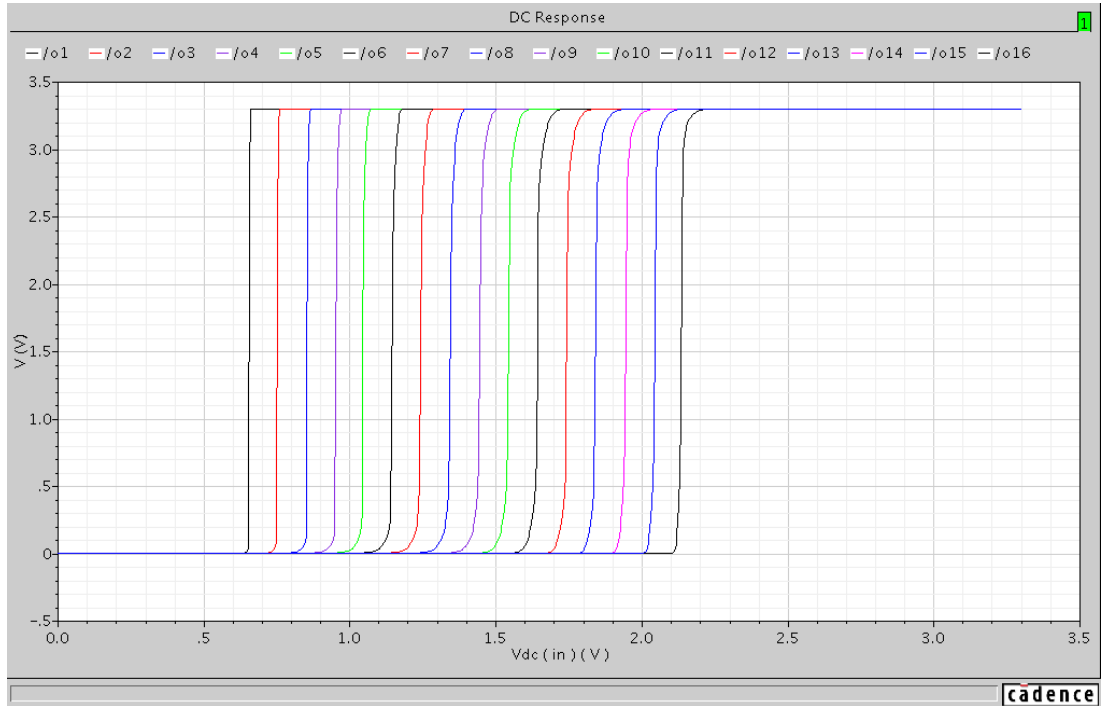
Şekil 6.20: Kaba A / S dönüştürücüde kullanılan een'lerden biri

Burada eşik evirmeli nicemleyicinin istenilen giriş geriliminde çıkış işareti üretmesi Şekil 6.21'de görülen grafikte ayrıca belirtilmiştir. Her bir nicemleyicideki birbirine seri bağlı eviricilerin tamamen birbirinin aynı olması, gerilim geçişlerinin $y=x$ doğrusu üzerindeki aynı noktada meydana gelmesine sebep olur. Bu nedenle gerilim geçiş eğrisinde, girişin çıkışa eşit olduğu noktada çıkış işareti üretilmektedir.

Şekil 6.22'te ise eşik evirmeli nicemleyici bloğunun dc analiz sonucu elde edilen çıkışları gösterilmiştir. Burada kullanılan dc besleme gerilimi 3.3V'tur.



Şekil 6.21: Eşik evirmeli nicemleyicinin gerilim geçiş eğrisi



Şekil 6.22: Eşik evirmeli nicemleyici blok çıkışları

Eşik evirmeli nicemleyici bloğunda, Şekil 6.22’de gösterilen çıkışları elde edebilmek için, Şekil 6.20’de devre şeması verilen eviricilerin NMOS ve PMOS kanal genişlikleri Tablo 6.2’de verilmiştir. Burada mosfetlerin kanal boyu $L_n=L_p= 0.35\mu\text{m}$ alınmıştır.

Tablo 6.2: EEN’lerin W_n ve W_p değerleri

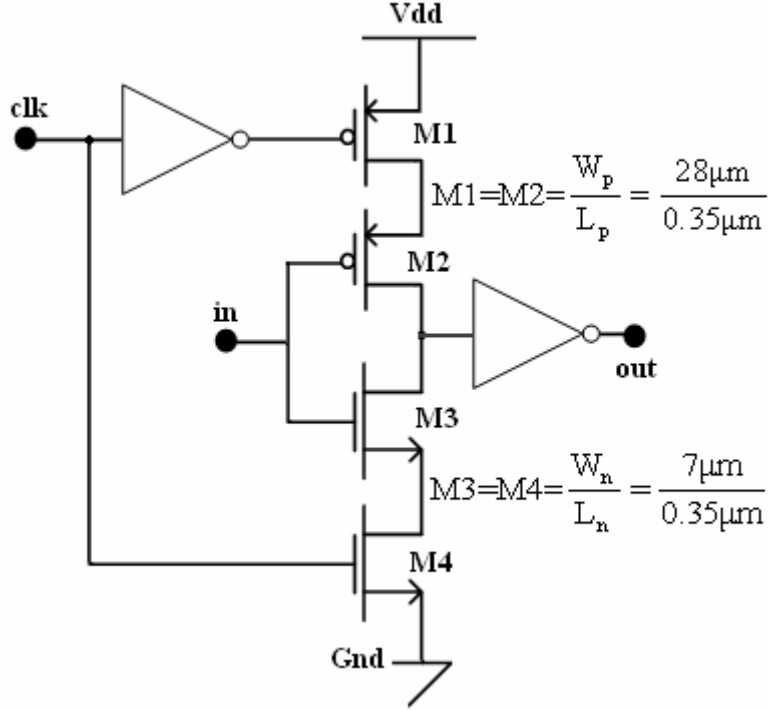
	$W_n(\mu\text{m})(M2=M4)$	$W_p(\mu\text{m})(M1=M3)$
EEN-1	70	1.15
EEN-2	47.25	2.25
EEN-3	35	4.4
EEN-4	28	6.4
EEN-5	21.7	7.9
EEN-6	17.5	9.8
EEN-7	15.85	12.95
EEN-8	14.2	16.65
EEN-9	12.2	20.1
EEN-10	10.85	24.5
EEN-11	8.25	26.05
EEN-12	6.15	27.15
EEN-13	5.25	32.75
EEN-14	3.65	33.25
EEN-15	2.65	35.15
EEN-16	2.45	40.25

6.3.1.2. Dinamik tutucu (latch)

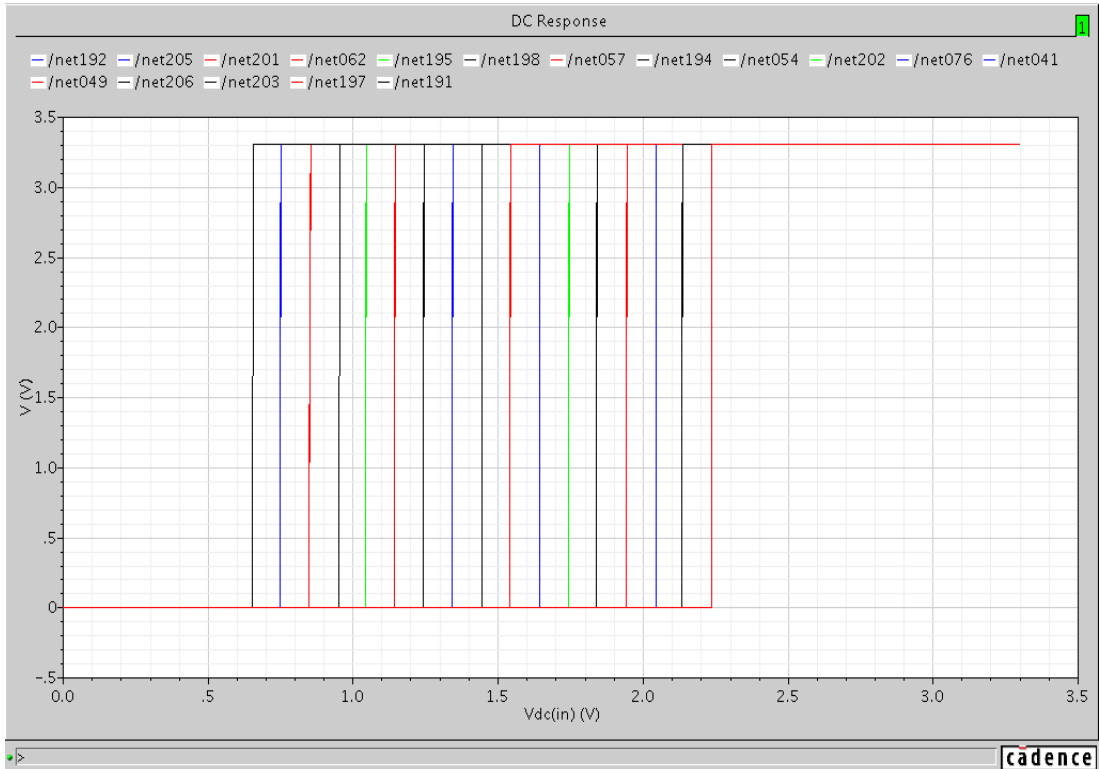
Dinamik tutucu devresi, saat işaretinin durumuna bağlı olarak girişindeki işareti çıkışa verir ya da çıkışındaki işareti tutar. Dinamik tutucu devresi Şekil 6.23’de gösterilmiştir.

Dinamik tutucu devresi, saat işaretinin değeri mantıksal olarak “1” iken girişindeki değeri çıkışa iletir, saat işaretinin değeri mantıksal olarak “0” iken ise çıkışındaki değeri tutar. Aslında işaretin “0” konumu çıkışındaki devre için dönüşüm anlamına gelmektedir, “1” konumu ise girişten örnek alma işleminin yapılmasını sağlar. Böylece A / S dönüştürücüde sayısal ve analog bloklar arasında kontrol sağlanmış olur. Alınan bir analog gerilim örneğinin anında sayısala dönüştürülmesi mümkün değildir. Sayısal devrenin işlemini tamamlayabilmesi için çok küçük de olsa bir süre beklemesi gerekmektedir. Tümüyle paralel A / S dönüştürücülerde bu süre en kısa olanıdır. Buna da dönüştürme zamanı denilir.

Şekil 6.24'te ise tutucu bloğu çıkışları gösterilmiştir. Şekil 6.24'ten de görüldüğü gibi oldukça eşit aralıkta ve yüksek kazançta geçiş eğrileri gözlenmektedir.



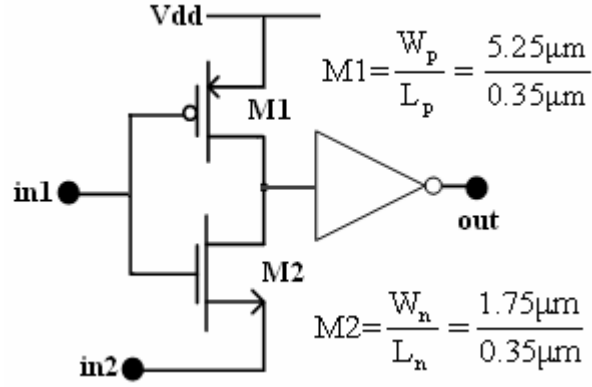
Şekil 6.23: Dinamik tutucu devresi



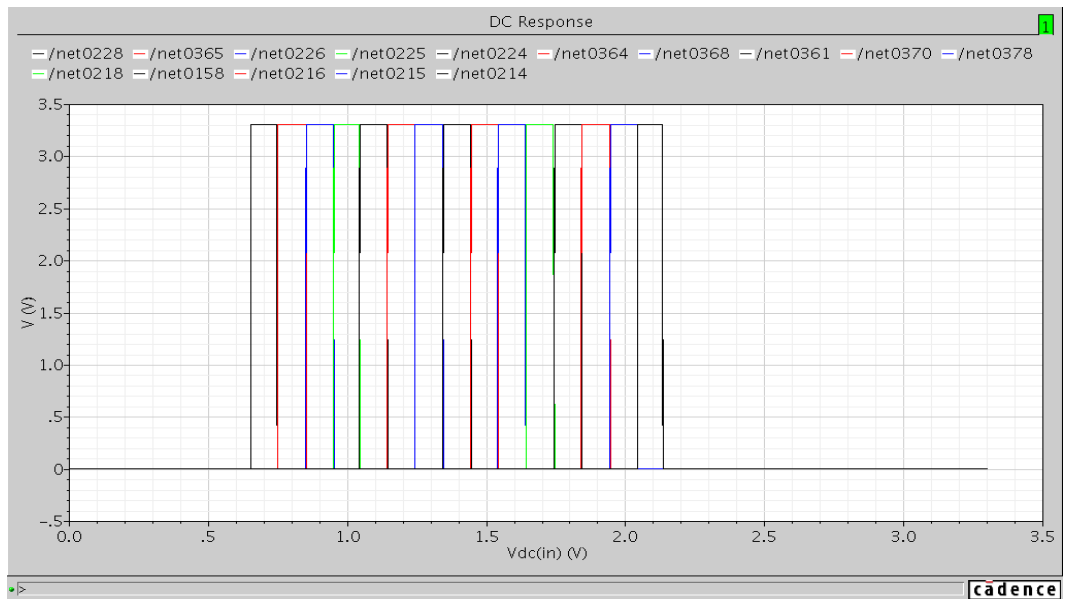
Şekil 6.24: Tutucu bloğu çıkışları

6.3.1.3. 1-N kod çözücü

Termometre kod çözücü devresi, 1'ler ve 0'lar dizisinin sınırını belirlemek için kullanılır. Bunun için en basit yol $\bar{A}B$ lojik devresinin ardıl dizilişiyile elde edilen kod çözücüdür [32,65]. Bu bloğa giren kod, çıkışta mantıksal 0'ların arasında gezinen tek bir mantıksal "1" bitinden oluşur ve bu bitin her bir konumu farklı bir ikili koda denk gelir. Bu devre yapısı statik akım akıtsa da, hızlı olduğu için tercih edilmiştir. Ayrıca yapılan dc analizde akan akım 48 pA iken, sürekli zaman analizinde ise maksimum akıttığı akım 0.75mA, ortalama akan akım ise 0.4mA'dir. Kod çözücü olarak kullanılan devre Şekil 6.25'te ve kod çözücü çıkışları da Şekil 6.26'da gösterilmektedir.



Şekil 6.25: $\bar{A}B$ lojik devresi



Şekil 6.26: Kod çözücü bloğun çıkışları

6.3.1.4. Programlanabilir mantık dizisi kullanan kodlayıcı devresi

Programlanabilir mantık dizisi, girişine uygulanan herhangi bir mantıksal birleşimi, önceden belirlenmiş içeriği ile başka bir birleşime dönüştüren çoklu eleman olarak tanımlanabilir.

Buradaki yapının amacı sadece tek mantıksal “1”den oluşan sayısal bilgiyi n-bitlik ikili koda dönüştürerek bir kodlayıcı görevi yapmasıdır. Bu yapı her bir bit için doğrusal bölgede çalışan bir PMOS ve mantıksal kodun dizilişi ile aynı yapıda NMOS transistörlerin düzenli yerleştirilmesi ile elde edilir. Bu yapının bir dezavantajı tamamen CMOS yapıda olmamasından kaynaklanan, DC çalışma gücü tüketimidir.

6.3.2. 5 bit hassas A / S dönüştürücü

5 bit hassas A / S dönüştürücü bloğu Şekil 6.18’de gösterilen 4 bit kaba A / S dönüştürücü bloğu ile aynıdır. 5 bit A / S dönüştürücüde değişen tek şey nicemleme bloğundaki eşik evirmeli nicemleyici sayısıdır. Buna bağlı olarak bloklarda kullanılan dinamik tutucu, 1-N kodlayıcı sayısı da değişir. 5 bit hassas A / S dönüştürücü bloğu 31 adet EEN, 31 adet dinamik tutucu, 31 adet 1-N kodlayıcıdan oluşur. Buradaki eşik evirmeli nicemleyicilerin devrileceği gerilim aralığı 4 bit A / S dönüştürücüye göre yarı yarıya küçülür.

5 bit A / S dönüştürücüde 31 adet eşik evirmeli nicemleyici vardır. Buradaki EEN’lerin devrilme gerilim aralığı ise Şekil 6.11’de gösterilen karakteristiğinin maksimum ve minimum gerilim aralığıdır. Buradaki her bir eşik gerilim aralığı şöyledir;

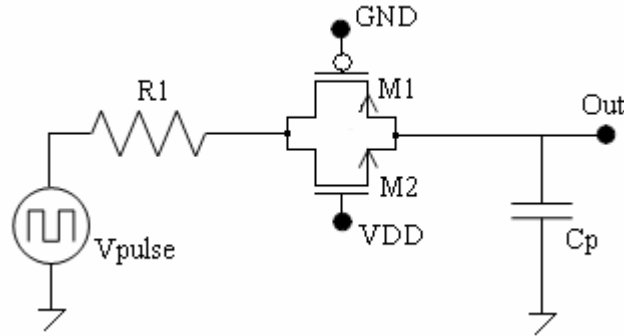
$$V_{\text{eşik}} = \frac{2,4 - 1,75}{31} = 20,96\text{mV} \quad (6.2)$$

Hassas A / S dönüştürücü bloğunda bulunan eşik evirmeli nicemleyiciler, 1,75V ile 2,4V arasında, 20,96 mV aralıkla anahtar bloğundan gelen zig-zag karakteristiğini nicemleyerek çıkış üretir. Böylece 5 bitlik sayısal çıkışlar üretilir.

6.4. Sistemin Band Genişliği Sınırlaması

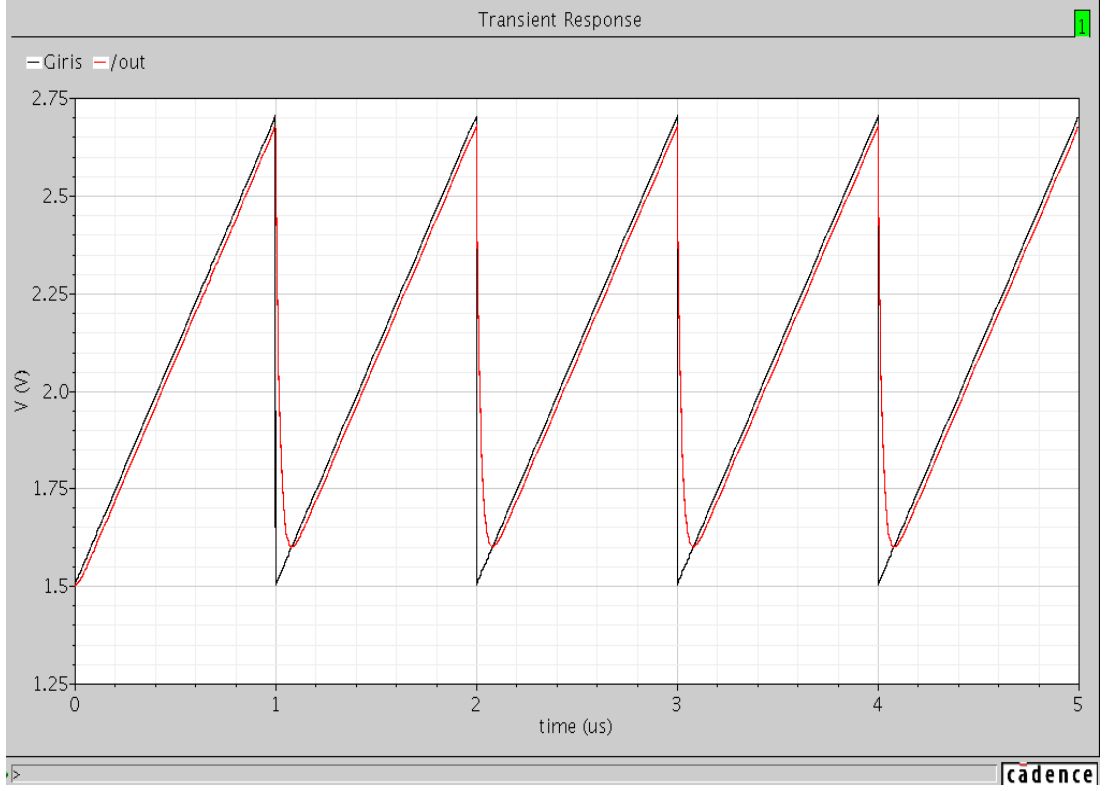
Şekil 6.1’de blok şeması gösterilen sistemde analog ön işleme bloğu, anahtarlama bloğu ve hassas A / S dönüştürücü bloğunun giriş kapasitesi sistemin band genişliğini etkileyen en önemli unsurlardır.

Analog ön işleme bloğuna uygulanan işaretin giriş frekansı ile çıkış frekansı arasındaki ilişkiyi gösteren formül denklem (6.1)’de gösterilmiştir. Buna göre analog ön işleme bloğuna 100MHz frekansında giriş işareti uygulandığında çıkışta yaklaşık 1150MHz’lik bir çıkış işareti oluşmaktadır. Sistemde kullanılan parametrelere göre, Şekil 6.27’deki gibi bir devre düzeneği kullanılarak, anahtar bloğu çıkışında genlik kaybı olmadan elde edilebilecek maksimum giriş frekansı bulunmaya çalışılmıştır. Şekil 6.27’de gösterilen R1 direnci, katlama bloğunda kullanılan fark yükseltici devresindeki dirençtir ($R1=4K\Omega$). Anahtar bloğunda kullanılan NMOS ve PMOS’ların $L_n=L_p=0.35\mu m$, $W_n=10\mu m$, $W_p=40\mu m$ olarak alınmıştır. Ayrıca anahtar bloğu çıkışına bağlı olan C_p kapasitesi, hassas A / S dönüştürücü bloğunun giriş kapasitesini göstermektedir. Daha önceden yapılan analizlerde bu kapasite değeri yaklaşık 6pF olarak bulunmuştur ($C_p=6pF$).

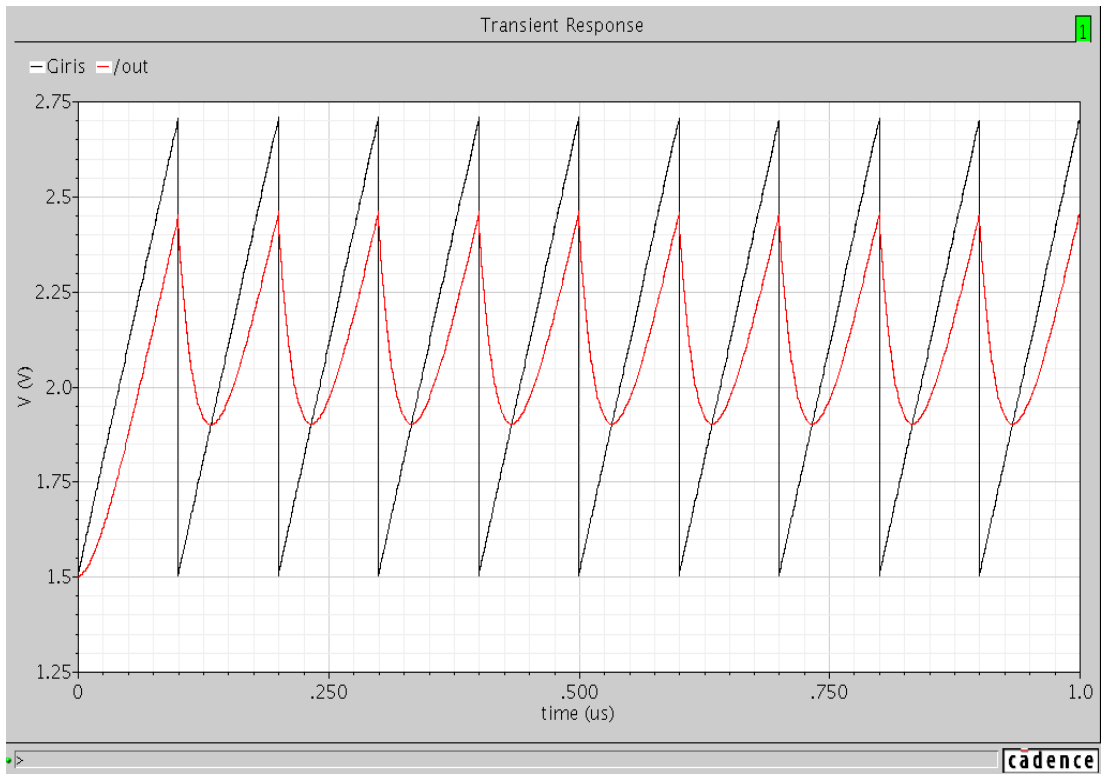


Şekil 6.27: Sistemin band genişliği sınırlamasını bulmak için kullanılan devre düzeneği

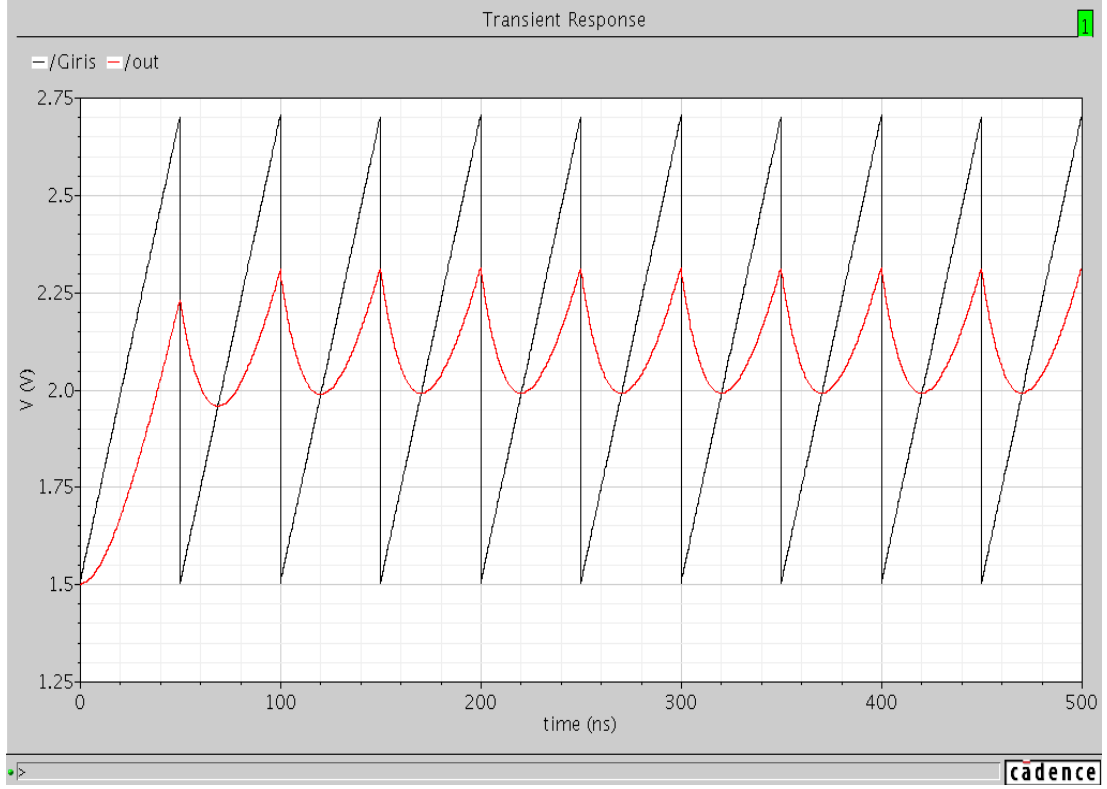
Şekil 6.27’de gösterilen V_{pulse} gerilim kaynağı, anahtar bloğu çıkışında elde edilmesi beklenen çıkış işareti şeklinde tanımlanmıştır. Burada giriş işaretinin frekansı değiştirilerek Şekil 6.28, Şekil 6.29, Şekil 6.30 ve Şekil 6.31’deki işaretler elde edilmiştir.



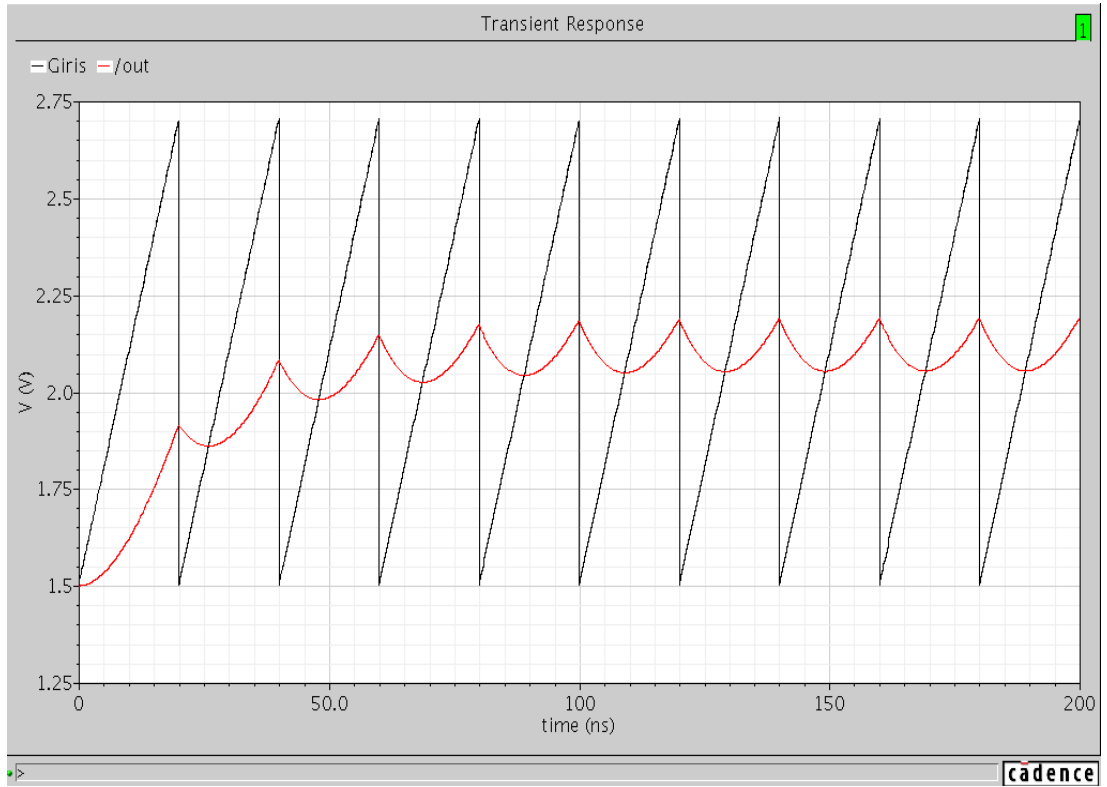
Şekil 6.28 : $f_{in}=1\text{MHz}$ için giriş ve çıkış işaretleri



Şekil 6.29 : $f_{in}=10\text{MHz}$ için giriş ve çıkış işaretleri



Şekil 6.30 : $f_{in}=20\text{MHz}$ için giriş ve çıkış işaretleri

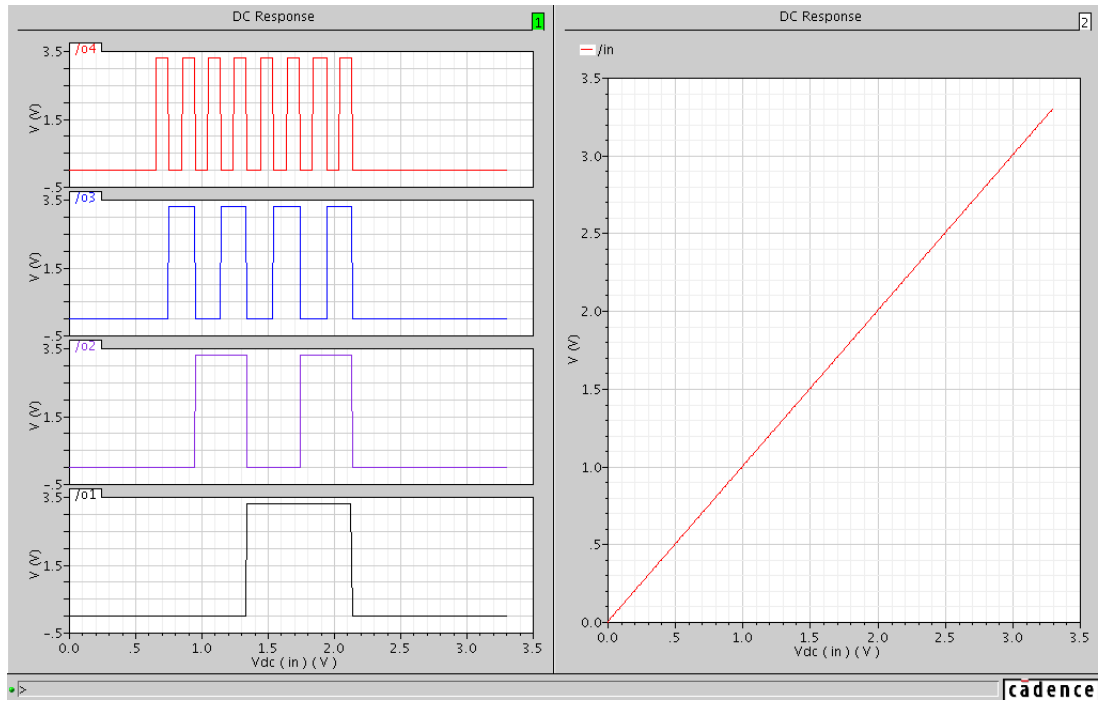


Şekil 6.31: $f_{in}=50\text{MHz}$ için giriş ve çıkış işaretleri

Sistem için tercih edilen devre elemanlarına göre, giriş işaret frekansı 20MHz'den büyük olduğunda, hassas A / S dönüştürücü bloğunun girişindeki işaretin, eşik evirmeli nicemleyiceleri sırasıyla ilettime sokacak olan gerilim aralığında olmadığı Şekil 6.30 ve Şekil 6.31'deki grafiklerden anlaşılmaktadır. Bu yüzden yapılan bu tasarım seçimlerine göre, anahtar bloğuna gelecek olan işaretin maksimum 20MHz'de olması gerektiği gözlemlenmiştir. Bu yüzden anahtar bloğuna uygulanan 20MHz'lik bir işaretin, aslında sistem için denklem (6.1)'deki eşitlikten yola çıkarak 1.75MHz olması gerektiği hesaplanmıştır. Bu yüzden, Şekil 6.1'de blok şeması verilen sistemin girişine 1.75MHz ve üstünde bir frekansa sahip işaret uygulandığında kod kayıpları meydana gelecektir. Tasarlanan sistemin analog ön işleme bloğunun band genişliği oldukça fazladır. Analog giriş frekansının 50MHz'e kadar çıktığı benzetim sonuçlarında görülmüştür [90].

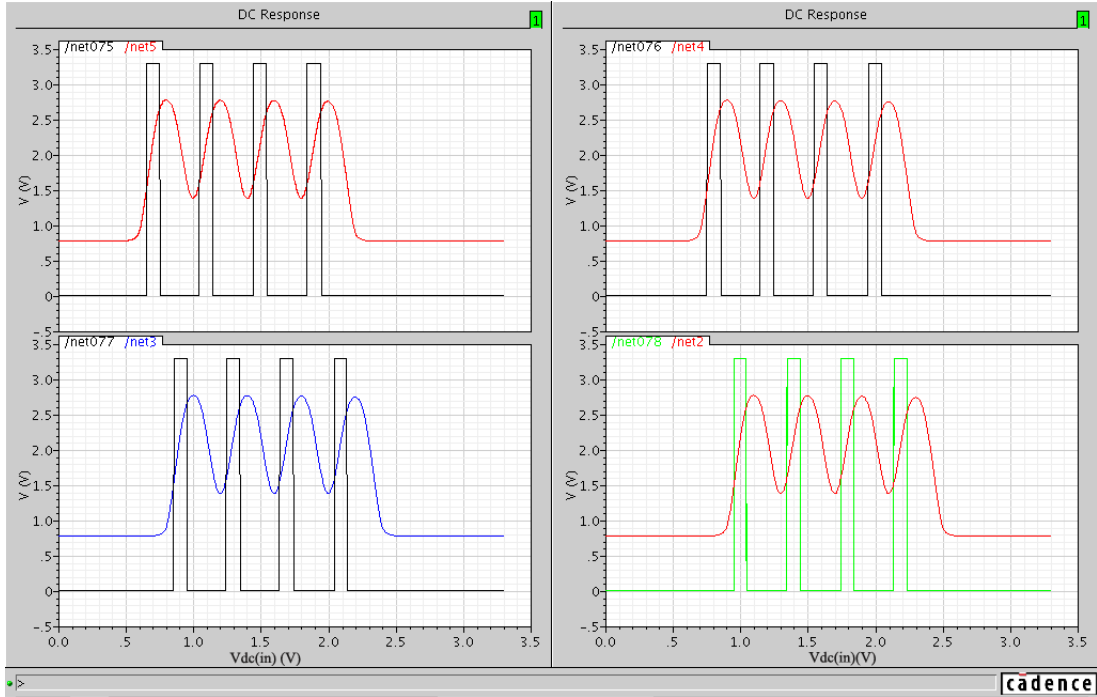
6.5. 9-bit Anahtar Seçmeli A / S Dönüştürücü Simülasyon Sonuçları

0.35µm C35B4 CMOS teknolojisi ve AMS-HIT KIT kullanılarak şematik olarak tasarlanan ve blok yapısı Şekil 6.1'de gösterilen devrenin simülasyon sonuçları gösterilmiştir. Şekil 6.32'de sistemde kullanılan 4 bit EEN temelli A / S dönüştürücü bloğunun dc sonuçları gösterilmiştir.



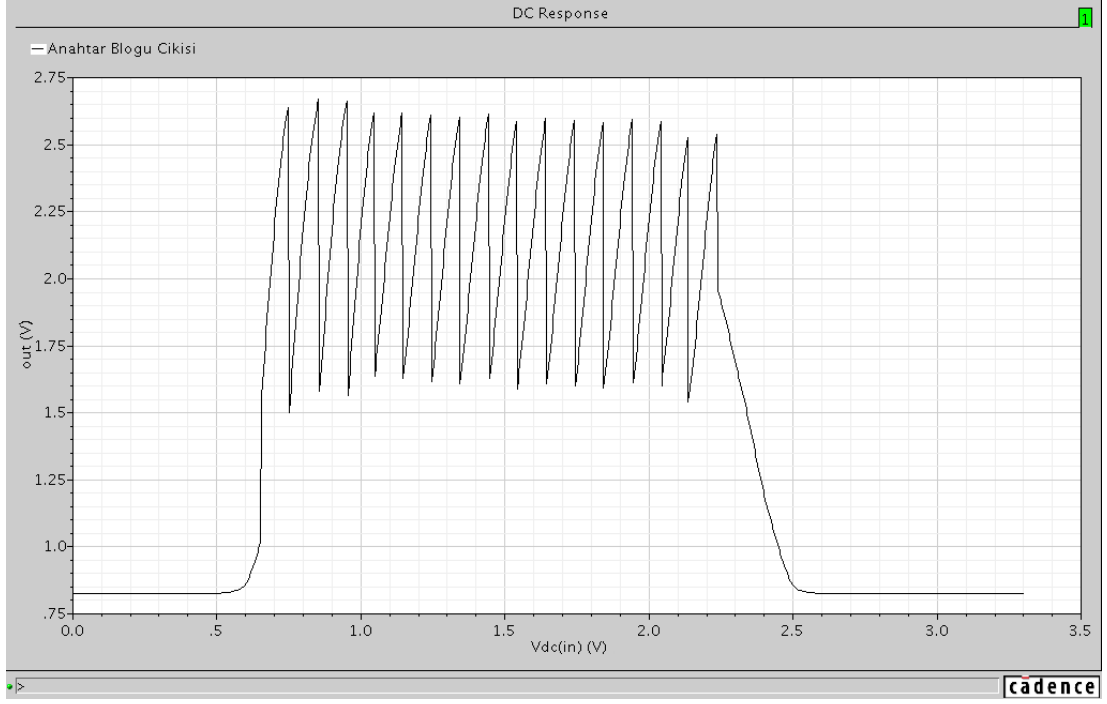
Şekil 6.32: 4 bit EEN temelli kaba A / S dönüştürücü dc sonuçları

Şekil 6.33’de analog ön işleme bloğu dc çıkışları ve 4 bitlik A / S dönüştürücünün kodlama bloğu aracılığı ile üretilmiş ve analog ön işleme bloğunun işaretlerini anahtarlayacak sayısal işaretlerin dc sonuçları da gösterilmiştir.

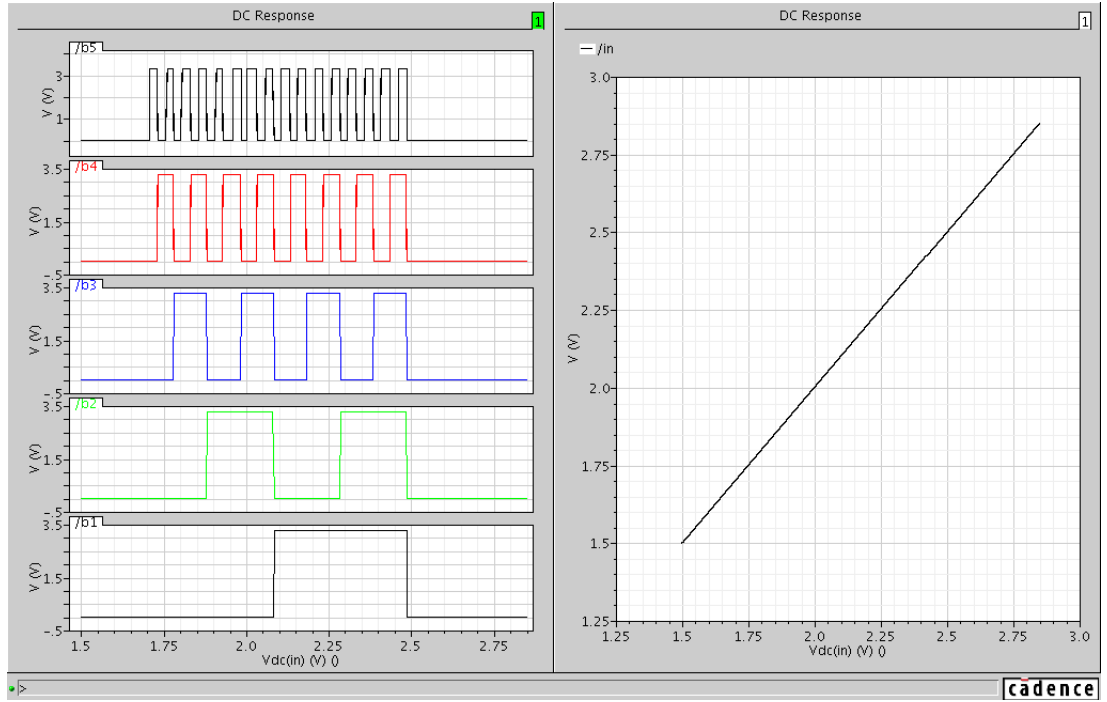


Şekil 6.33: Analog ön işleme bloğu ve or bloğu dc çıkışları

Şekil 6.33’e göre anahtar bloğunun çıkışında elde edilen dc sonuç Şekil 6.34’te gösterilmiştir. Şekil 6.34’de gösterilen anahtar bloğu çıkışındaki dc sonuca göre, hassas A / S dönüştürücünün nicemleme gerilim aralığı ayarlanır. Burada hassas A / S dönüştürücü için giriş gerilim aralığı 1.75V ile 2.4V arasındadır. 5 bit A / S dönüştürücü için 31 adet EEN’e ihtiyaç vardır. Bu yüzden nicemleme gerilimi 20,96mV’dur. İlk EEN’in 1.75V, bir sonraki EEN yaklaşık 1.77’de devrilmesi için uygun W / L’ler ayarlanarak 5 bit A / S dönüştürücü tasarımı yapılır. Burada hassas A / S dönüştürücü girişine 1.7V ile 2.5V arasında yükselen bir gerilim uygulandığında Şekil 6.35’de gösterilen dc sonuçlar elde edilir. Şekil 6.32 ve 6.35’de gösterilen dalga şekilleri kaba ve hassas A / S dönüştürücülerin tek başına çalıştırıldığında elde edilen dc sonuçlardır.

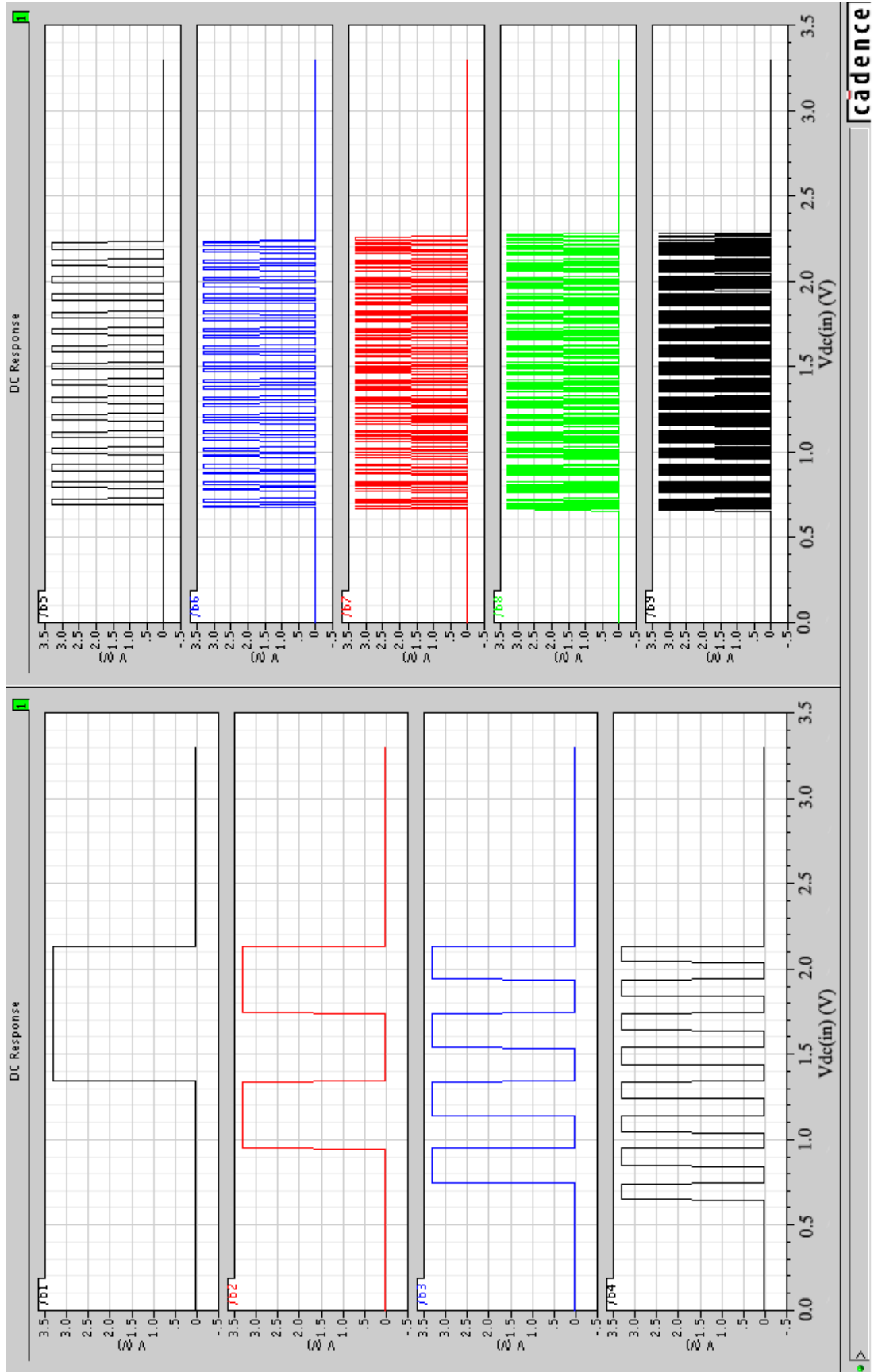


Şekil 6.34: Anahtar bloğu çıkışı dc sonucu

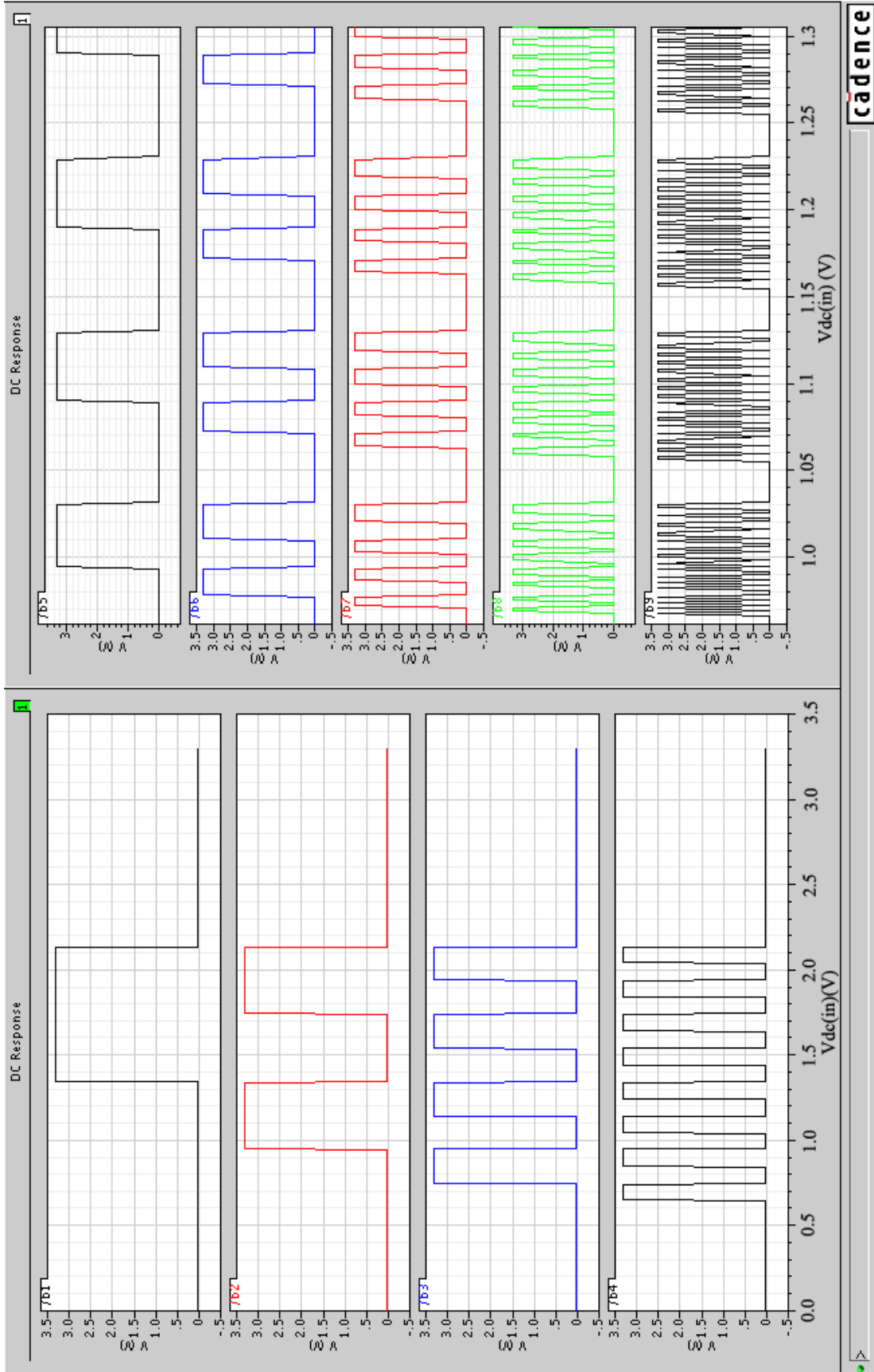


Şekil 6.35: 5 bit EEN temelli hassas A / S dönüştürücü girişi ve dc sonuçları

Şekil 6.1’de verilen sistemin dc sonuçları Şekil 6.36’da gösterilmiştir. Şekil 6.37’de ise dc sonuçlar ayrıntılı olarak gösterilmiştir.

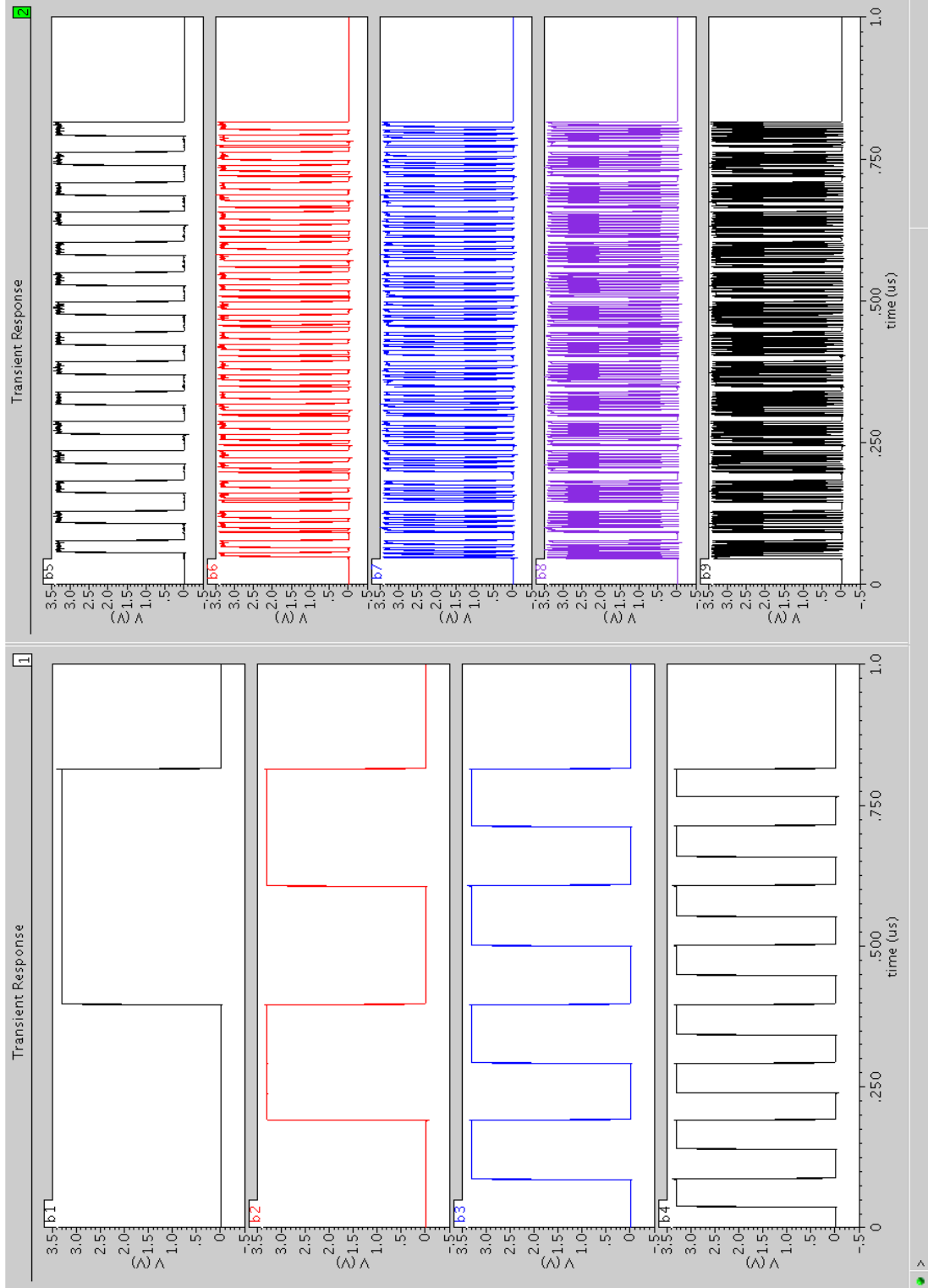


Şekil 6.36: 9 bit A / S dönüştürücünün dc sonuçları

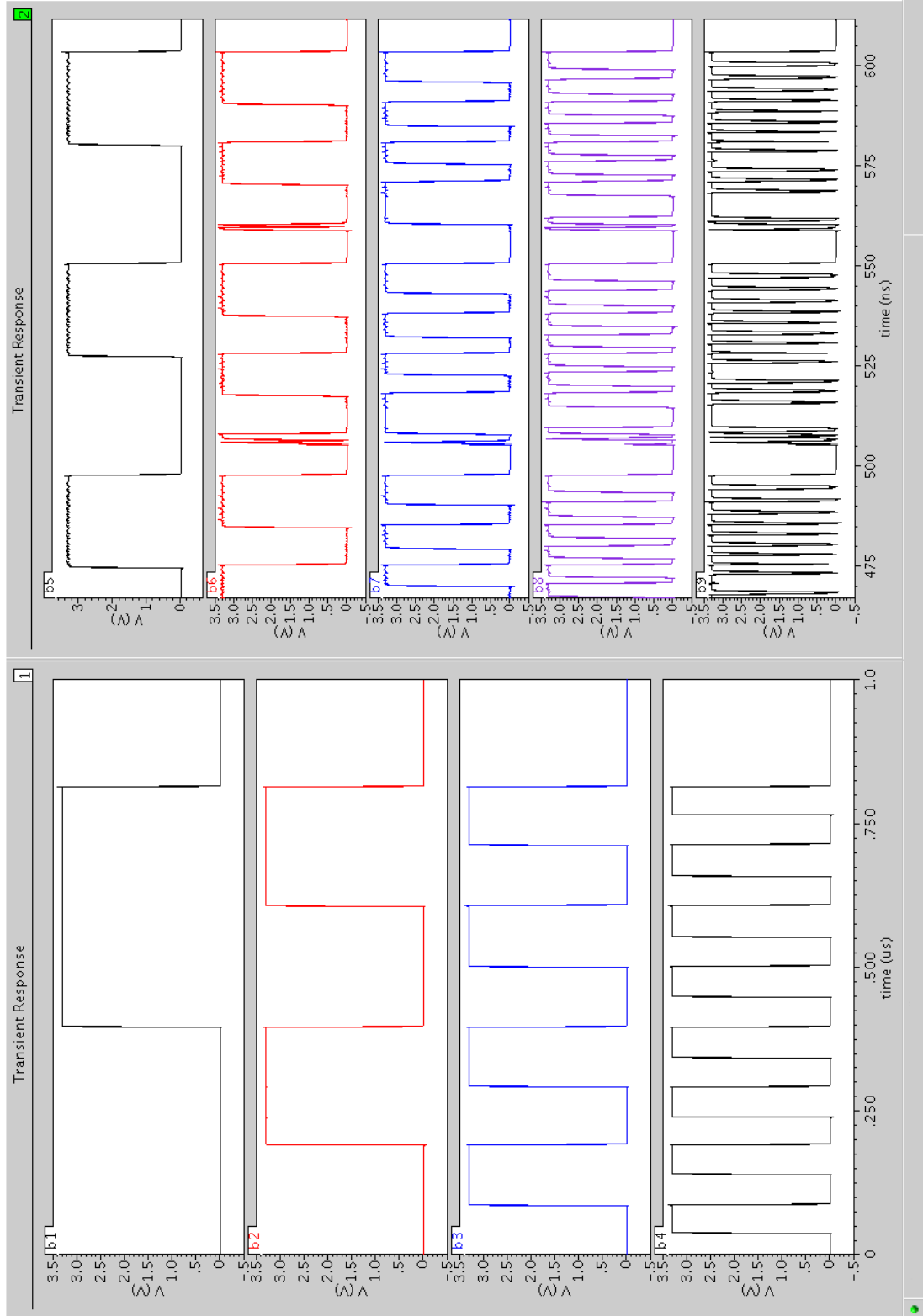


Şekil 6.37: 9 bit A / S dönüştürücünün ayrıntılı dc sonuçları

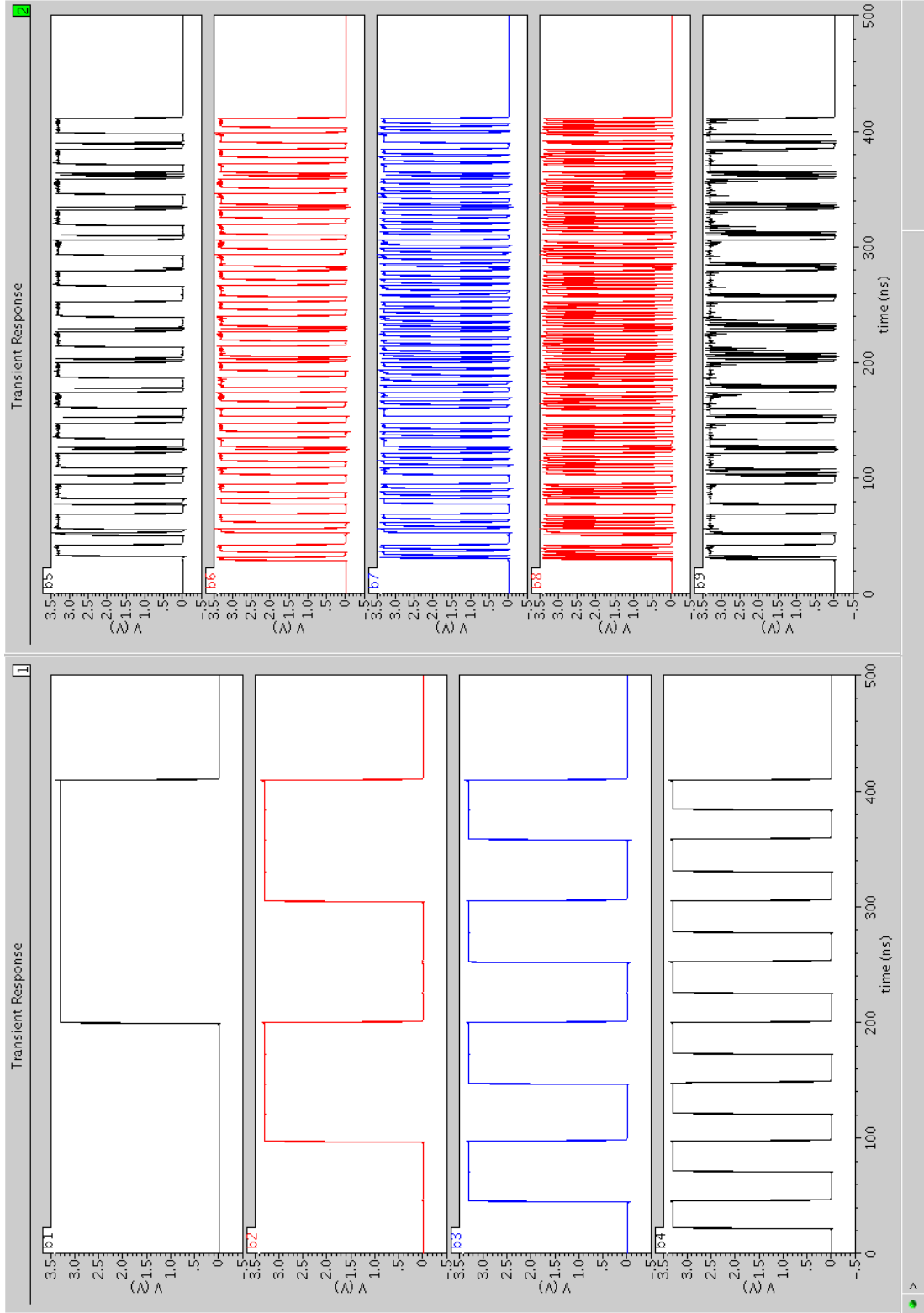
Şekil 6.38-39-40-41’de giriş işaretinin farklı frekanstaki durumları için bit çıkışları gösterilmiştir. Bu grafiklerde sayısal bloğun saat frekansı 1GS/s olarak uygulanmıştır.



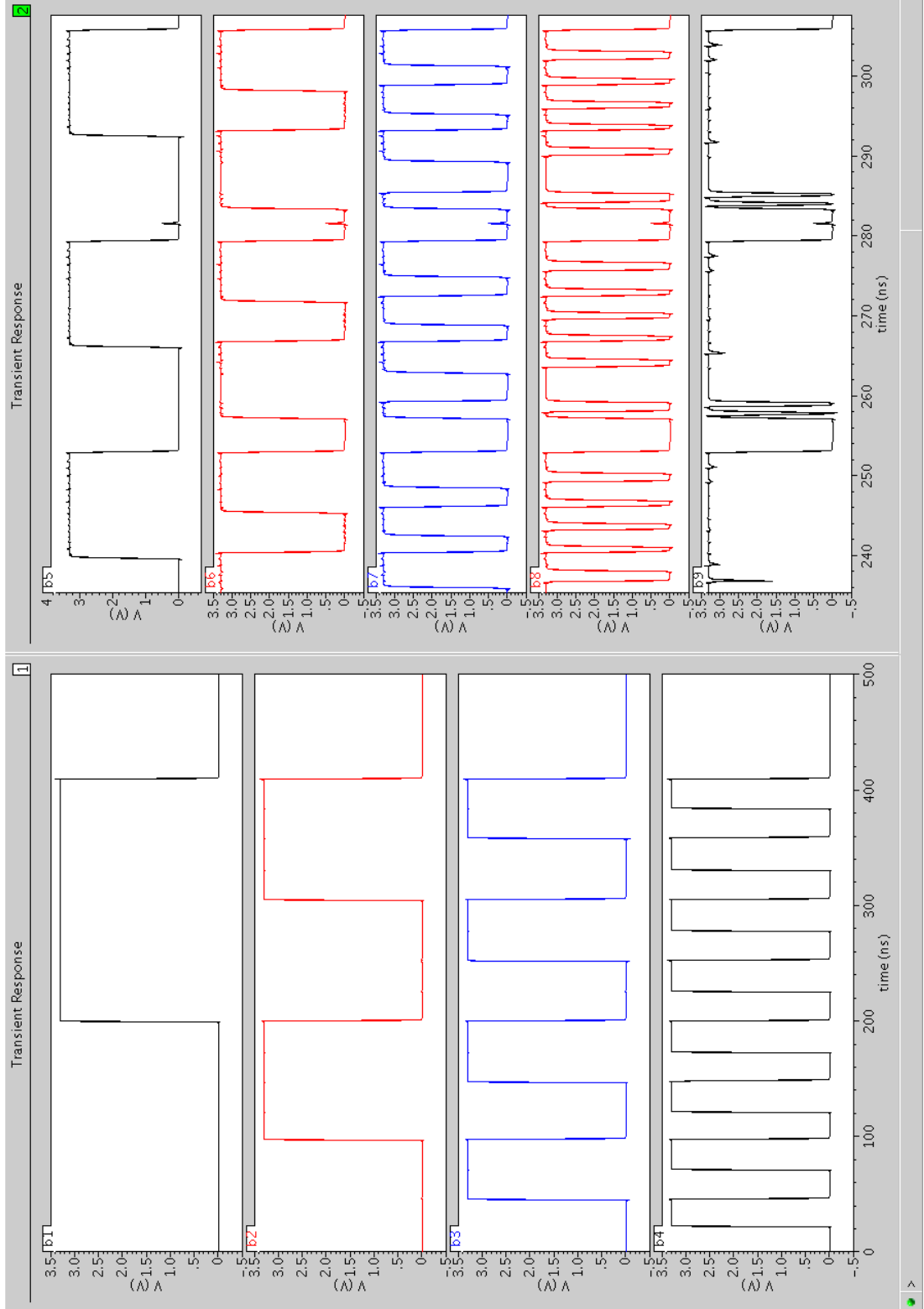
Şekil 6.38: $f_{in}=1\text{MHz}$ için 9-bit A / S dönüştürücü sonuçları



Şekil 6.39: $f_{in}=1\text{MHz}$ için 9-bit A / S dönüştürücü ayrıntılı sonuçları



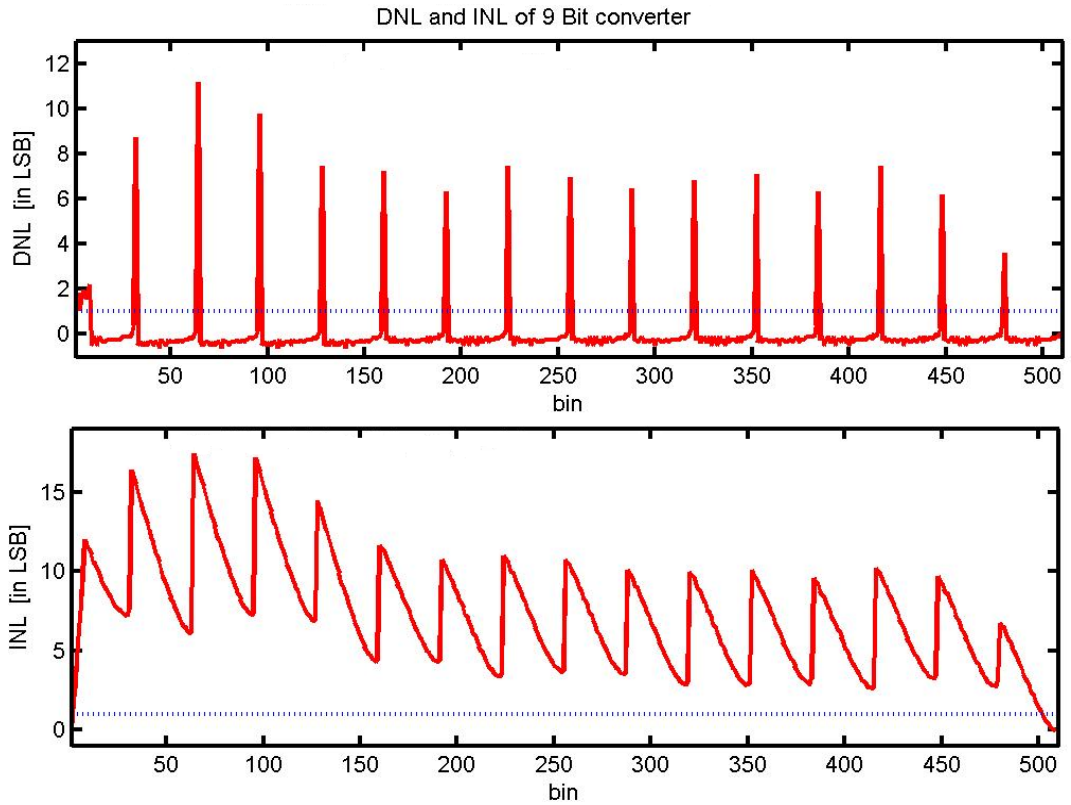
Şekil 6.40: $f_{in}=2\text{MHz}$ için 9 bit A / S dönüştürücü sonuçları



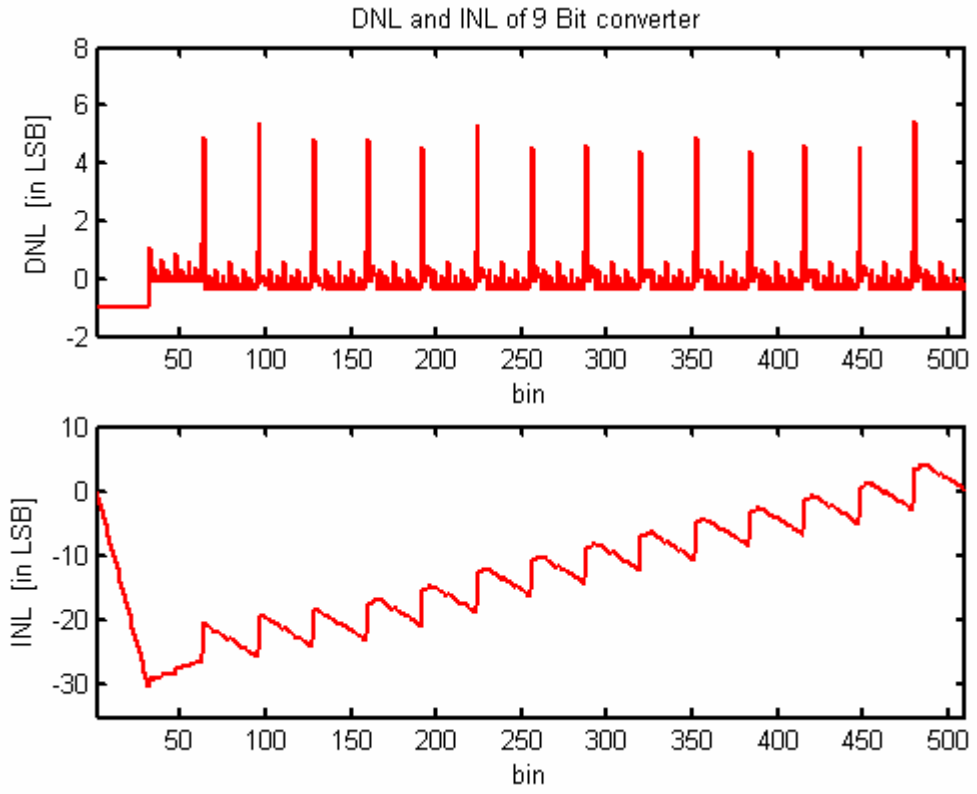
Şekil 6.41: $f_{in}=2\text{MHz}$ için 9 bit A/S dönüştürücü ayrıntılı sonuçları

Şekil 6.38-41 arasında gösterilen sonuçlara göre, sistemin tam olarak hangi frekans aralığında çalışıp çalışmadığı hakkında net sonuçlar ortaya konulur.

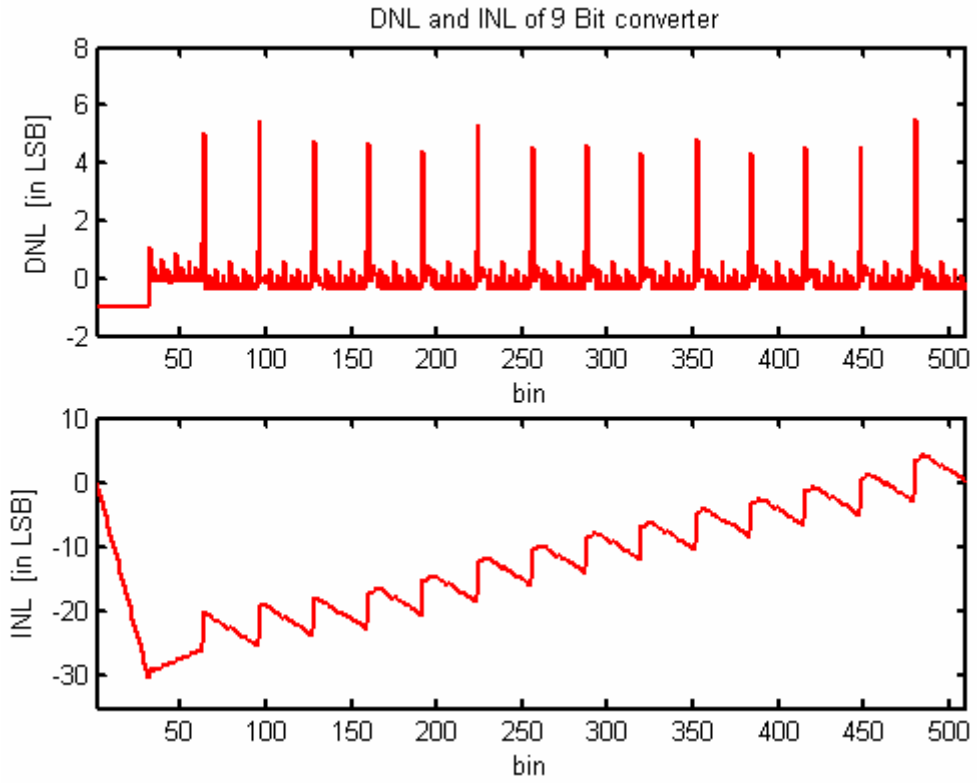
Aslında sistemin band genişliği hakkında yorumlar bölüm 6.4'te anlatılmıştır. Sistemin maksimum band genişliğinin 1.75MHz olduğu, bu frekanstan daha yüksek giriş işareti uygulandığında çıkış bitlerinde kayıplar olacağı belirtilmişti. Şekil 6.41, giriş işareti 2MHz için yapılmış sonuçları göstermektedir. Burada kaba A / S dönüştürücü herhangi bir kod kaybı olmadan çalışmaktadır. Fakat anahtarlama bloğunun çıkışında, doğrusal bölgesi seçilerek hassas A / S dönüştürücü girişine uygulanan işarette frekans arttıkça kayıp meydana geldiği Şekil 6.16-17'de gösterilmiştir. Anahtar bloğu yardımı ile seçilen lineer bölgede genlik kayıpları meydana gelmektedir. Bu yüzden giriş işareti 2MHz'in üstündeki işaretler için b8 ve b9 olarak gösterilen sayısal çıkışlarda kod kayıpları meydana gelmektedir. Şekil 6.42'de sistemin INL ve DNL grafikleri matlab programı [91] aracılığı ile çizdirilmiştir. Burada Şekil 6.1'de gösterilen sistemin girişine, dc giriş işareti uygulanmıştır. Uygulanan dc giriş işareti 0 ile 3.3V arasında tarama yaptırılarak, çıkışlar (b1-..b9) elde edilmiştir. Şekil 6.36'da elde edilen çıkış bitleri, tek tek tablo şeklinde kaydedilmiştir. Elde edilen bu çıkışlar daha sonra matlab programı aracılığı ilgili programa [91] uygulanmıştır.



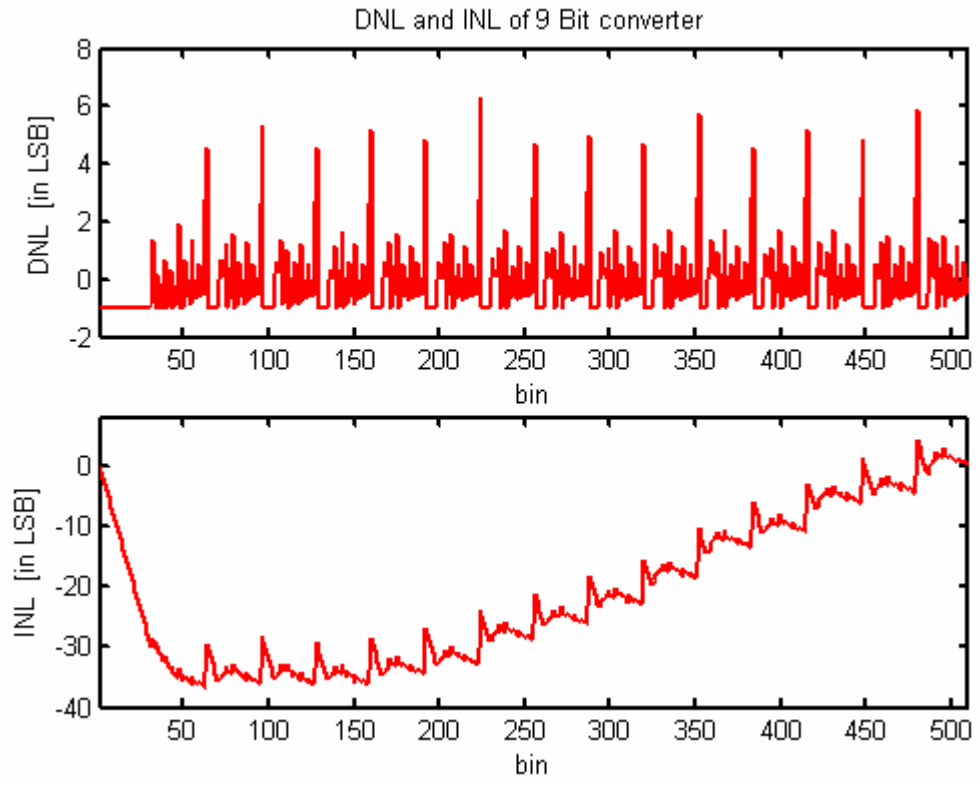
Şekil 6.42: 9 bit A / S dönüştürücü INL-DNL grafiği



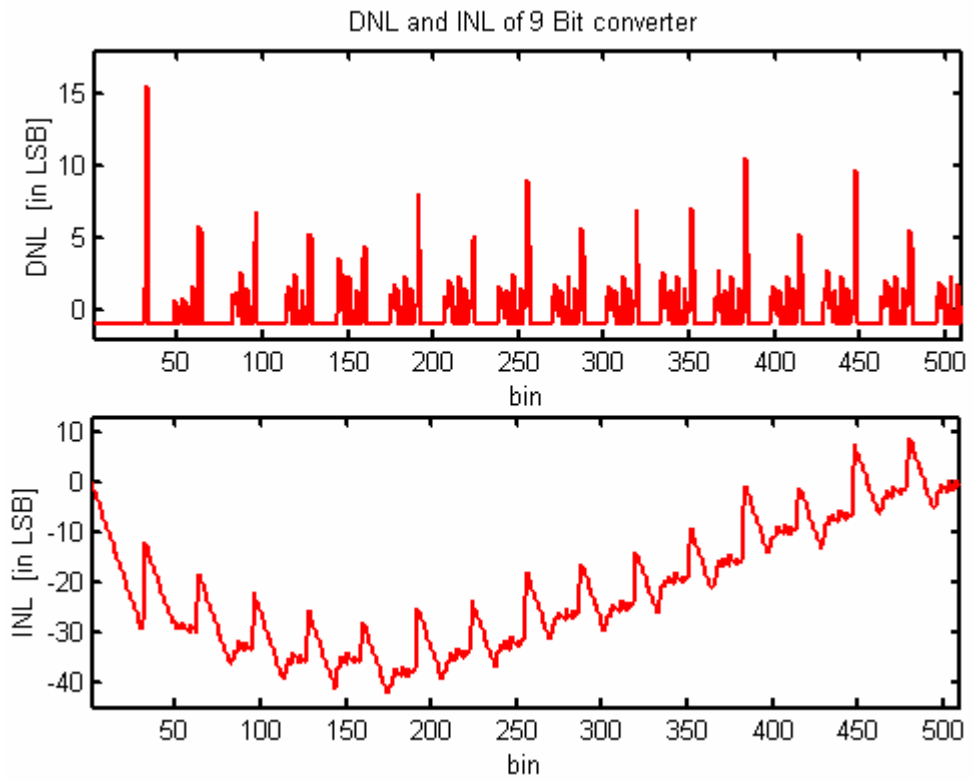
Şekil 6.43: $f_{in}=100\text{Hz}$ iken elde edilen INL-DNL grafiği



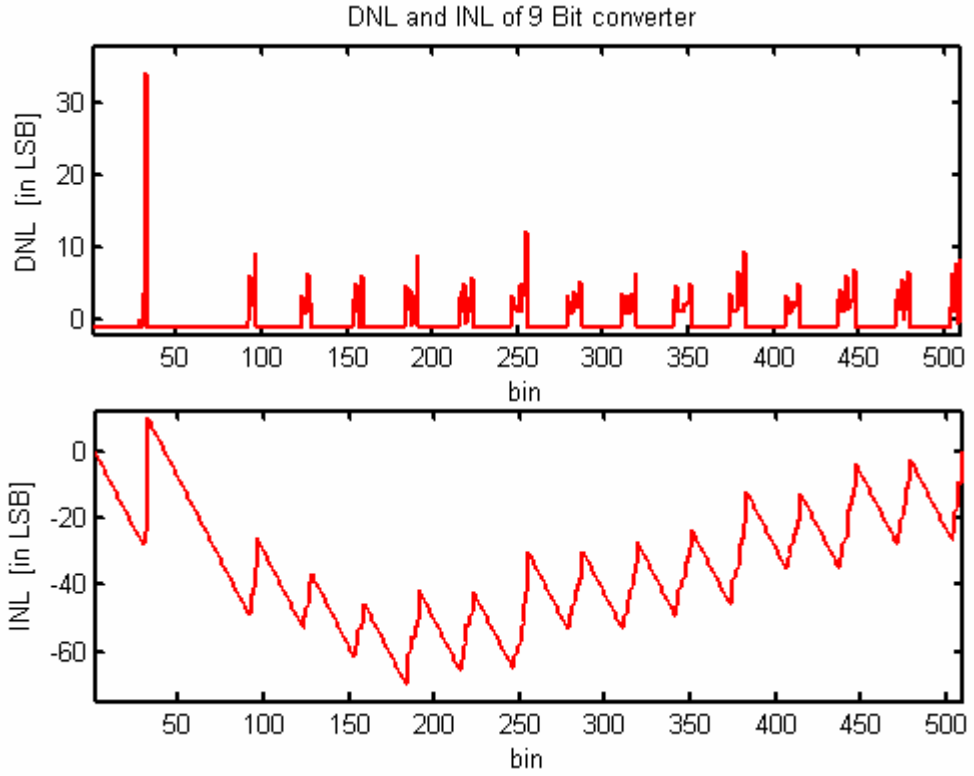
Şekil 6.44: $f_{in}=1\text{KHz}$ iken elde edilen INL-DNL grafiği



Şekil 6.45: $f_{in}=1\text{MHz}$ iken elde edilen INL-DNL grafiği



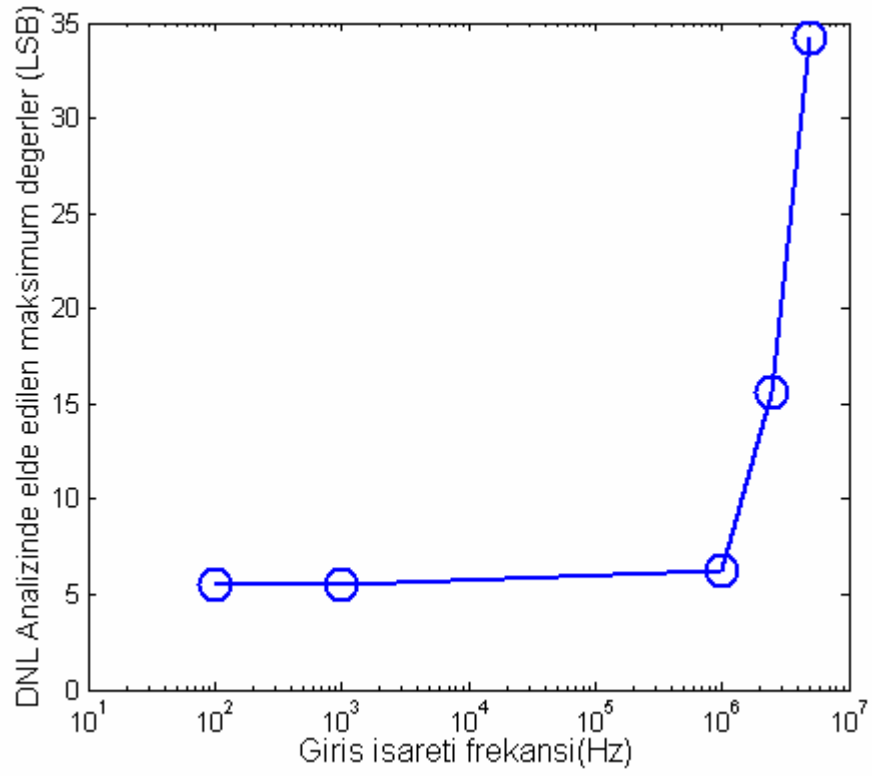
Şekil 6.46: $f_{in}=2.5\text{MHz}$ iken elde edilen INL-DNL grafiği



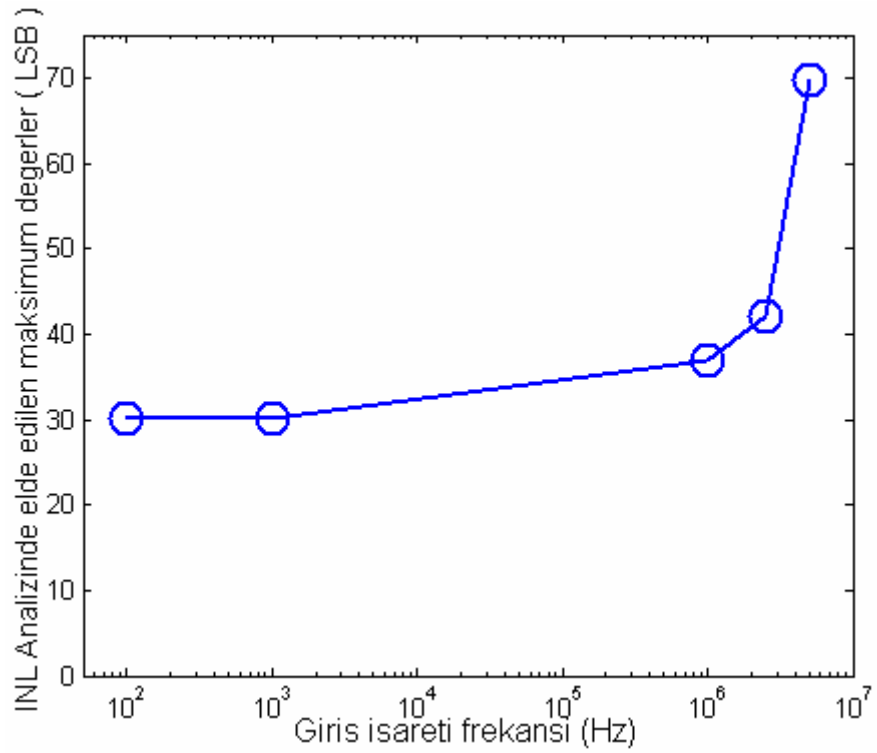
Şekil 6.47: $f_{in}=5\text{MHz}$ iken elde edilen INL-DNL grafiği

Blok şeması Şekil 6.1’de gösterilen sistemin girişine 100Hz, 1KHz, 1MHz, 2.5MHz ve 5MHz giriş frekanslarına sahip rampa işareti uygulanmıştır. Uygulanan bu işarete sistemin vermiş olduğu sayısal çıkışlar CADENCE ortamındaki grafik arayüzü aracılığı ile matris şeklinde kaydedilir. Kaydedilen bu bilgiler daha sonra Matlab ortamına aktarılır. Matlab’da matris şeklindeki bu bilgilerin bir sütunu zaman, diğer sütunu ise bu zamana karşılık gelen analog gerilim değeridir. Matlab ortamında, analog gerilim değerleri “sayısal 1” ve “sayısal 0”a dönüştürülür. Dönüştürülen bu sayısal çıkış kodlarının toplanması aracılığı ile merdiven şeklinde A / S dönüştürücü transfer karakteristiği elde edilir. Elde edilen bu karakteristik ile 9 bitlik A / S dönüştürücünün ideal transfer karakteristiği, [91] nolu kaynakta belirtilen Matlab programı aracılığı ile karşılaştırılarak INL ve DNL grafikleri elde edilir.

Şekil 6.42-6.47 arasında INL-DNL grafiklerinde elde edilen maksimum hatalar, giriş işareti frekansına göre düzenlenirse Şekil 6.48 ve Şekil 6.49’daki grafikler elde edilmiş olur. Giriş işareti frekansı arttıkça hataların daha da arttığı gözlenmektedir.



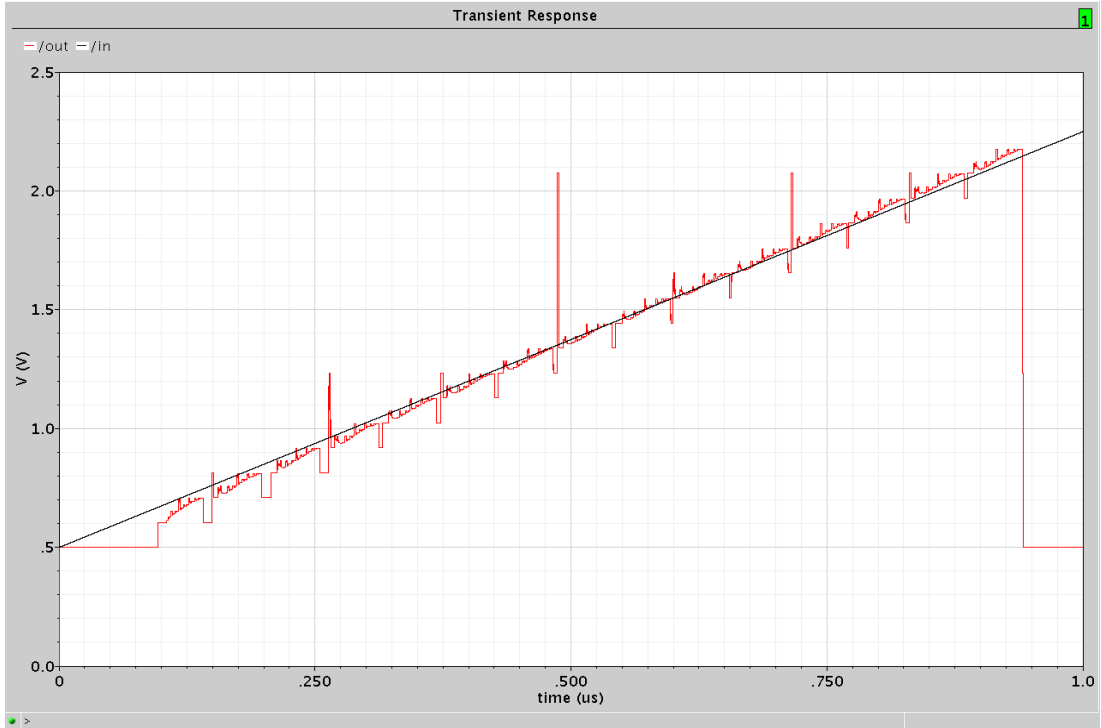
Şekil 6.48 : Giriş işareti frekansına göre elde edilen maksimum DNL değerleri



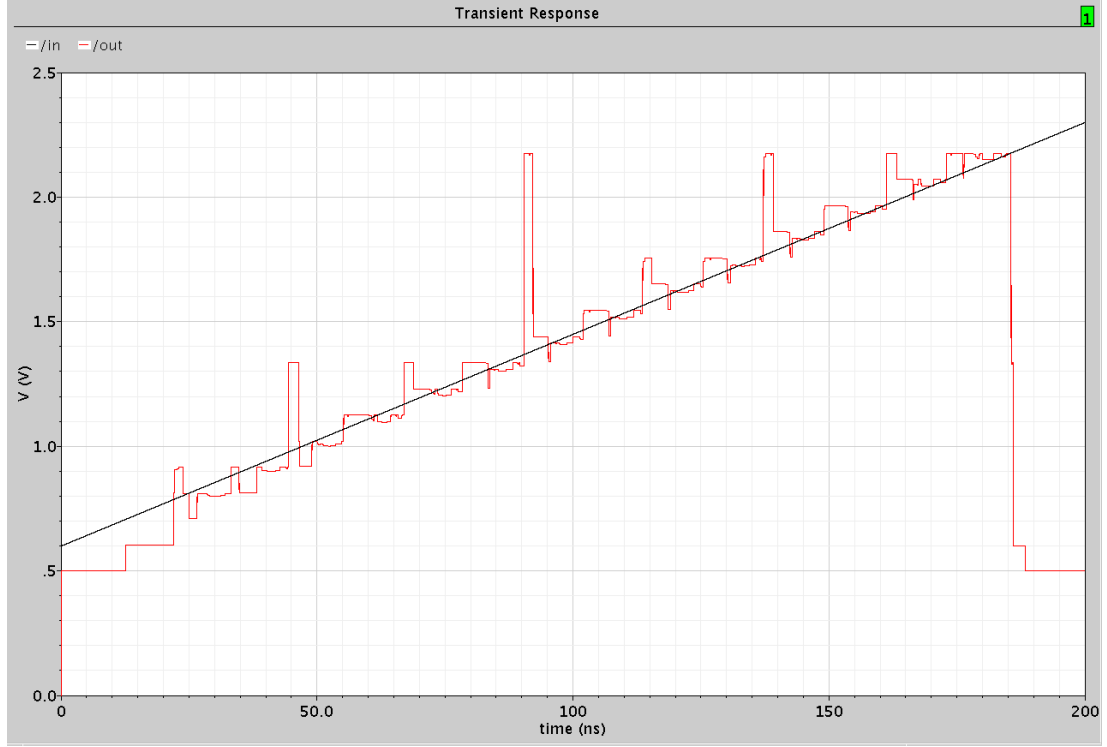
Şekil 6.49 : Giriş işareti frekansına göre elde edilen maksimum INL değerleri

Şekil 6.42-6.47’de gösterilen INL-DNL grafiklerinden de anlaşılacağı üzere sistemde kod kayıpları meydana gelmektedir. Fakat bu kod kayıpları özellikle anahtar bloğunda seçilen işaretin maksimum gerilimden minimum gerilime indiği noktalarda olmaktadır. Çünkü istenilen, işaretin sonsuz bir eğim ve hızlı bir şekilde maksimumdan minimuma inmesidir. Fakat burada bu doğal olarak sağlanamamaktadır. Bu yüzden A / S dönüştürücü bloğu tarafından geçiş bölgelerinde istenilmeyen kodlar üretilmektedir.

Şekil 6.50’de, giriş işaret frekansı 1MHz olan bir rampa işareti uygulandığında, oluşturulan sayısal kodların 1-N kodlayıcı devresinde tutulmasını sağlayacak olan saat işareti frekansı 1GS/s olarak seçilerek, A / S dönüştürücü çıkışları ideal S / A dönüştürücüye uygulandığında elde edilen çıkış işareti ile analog giriş işareti gösterilmiştir. Şekil 6.51’de ise 5MHz’lik bir giriş işareti uygulandığında elde edilen çıkış işareti gösterilmiştir, burada da sayısal bloğun saat frekansı 1GS/s uygulanmıştır.



Şekil 6.50: $f_{in}=1\text{MHz}$ için ideal S / A dönüştürücü cevabı



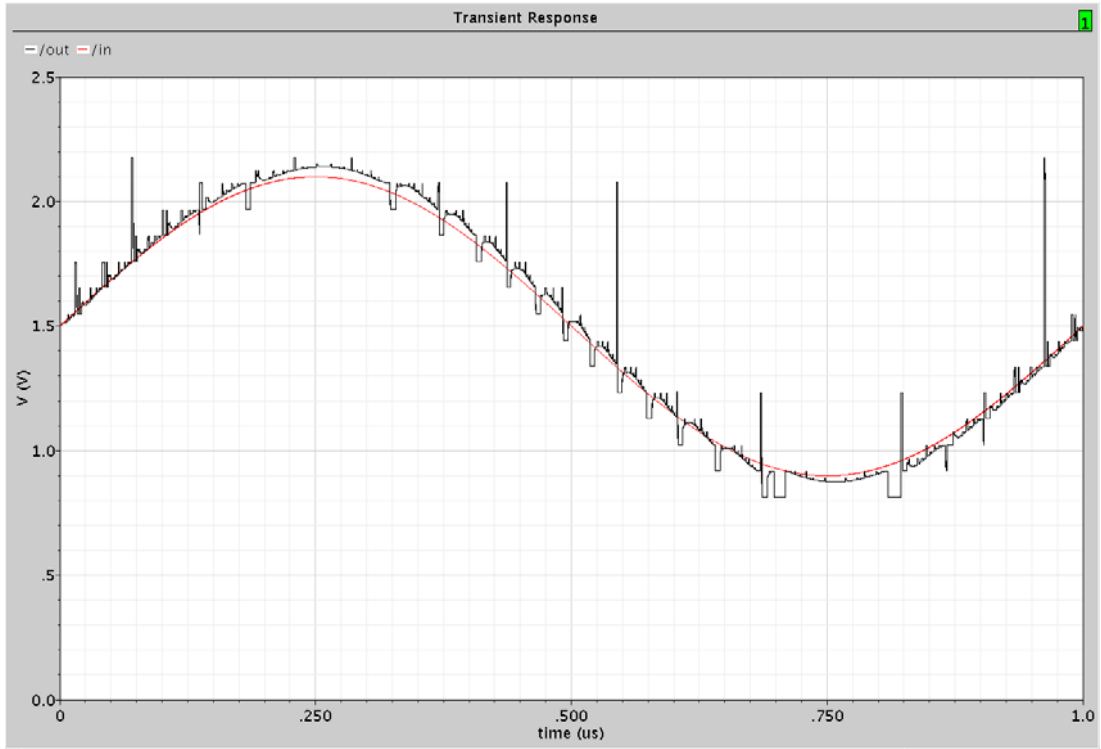
Şekil 6.51: $f_{in}=5\text{MHz}$ için ideal S / A dönüştürücü cevabı

İdeal tasarımda 4 bitlik bir A / S dönüştürücü için 15 adet 1-N kod çözücü devresine ihtiyaç vardır. Bu tasarımlarda, 15'inci 1-N kod çözücünün "in2" ile belirtilen girişi sistemde en düşük gerilime (V_{ss} veya Gnd) bağlıdır (Şekil 6.25'e göre). Bundan dolayı, en son elde edilen kod çözücü devre çıkışı sürekli "lojik 1" seviyesinde kalır.

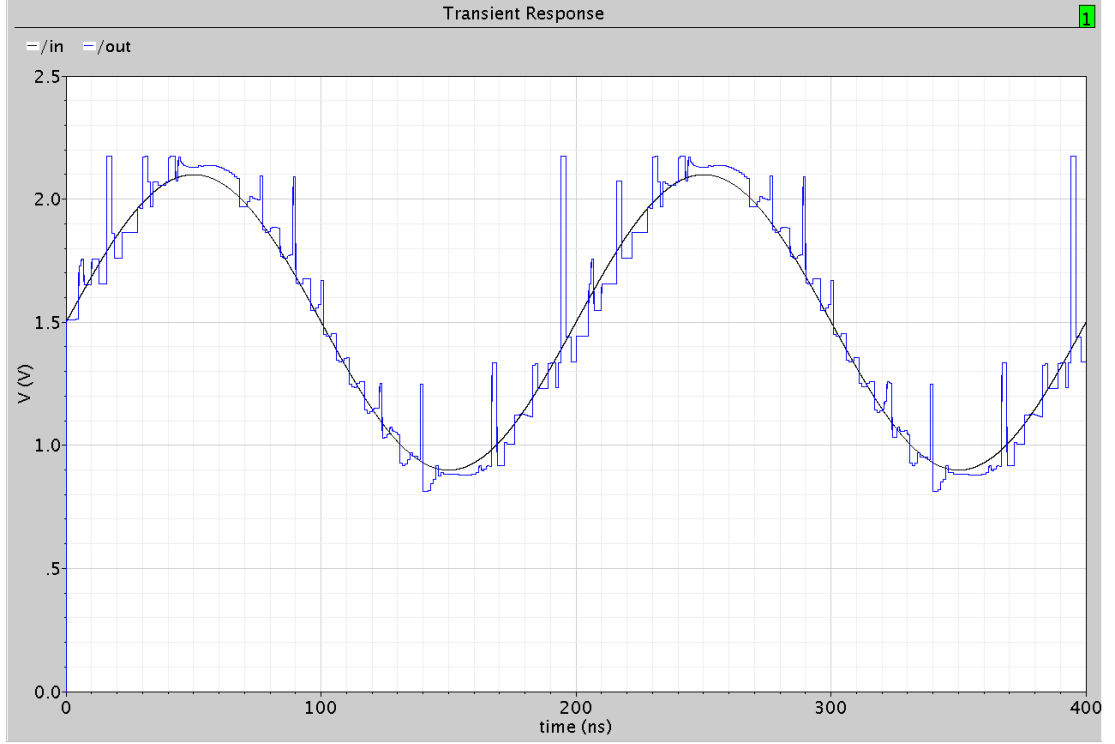
9 bit anahtar seçmeli katlamalı A / S dönüştürücü tasarımında, MSB bitlerinin elde edildiği 4 bitlik kaba A / S dönüştürücü bloğunda kullanılan 1-N kod çözücü devresi Şekil 6.25'te gösterilmiştir. Burada 4 bit için gerekli 15 adet 1-N kod çözücü devresi yerine 17 adet kullanılmıştır. Çünkü yapılan bu tasarımda, 1-N kod çözücü çıkışları katlanmış işaretlerin lineer kısımlarını seçmekte kullanılmaktadır. Bu da şekil 6.34'te gösterilmiştir. Anahtar bloğu ile yapılan bu seçme işleminde eğer kod çözücü çıkışı sürekli "lojik 1" olarak kalırsa, katlanmış işaretin sadece lineer bölgesi değil, lineer bölgesi dışında kalan kısımları da seçilecektir. Bu yüzden kaba A / S dönüştürücüde kullanılan 15'inci 1-N kod çözücünün çıkışı sürekli "lojik 1" değildir.

PLA-ROM devresine uygulanan 15'inci 1-N kod çözücü çıkışı darbe şeklinde bir işarettir. Dolayısıyla sayısal çıkışlar bu darbenin bitiminde "lojik 0" seviyesine düşmektedir. Bu sayısal çıkışlar ideal S / A dönüştürücüye uyguladığında elde edilen analog çıkış işaretleri Şekil 6.50 ve Şekil 6.51'deki gibidir. Dolayısıyla tasarlanan A / S dönüştürücü belirlenen analog gerilim aralığında sayısal kodları üretmekte, onun dışında kalan gerilim aralıklarının tümünde "lojik 0" üretmektedir.

9 bit anahtar seçmeli katlamalı A / S dönüştürücünün girişine sırası ile 1MHz ve 5MHz frekansına sahip sinüsoidal giriş işareti uygulanmıştır. Elde edilen sayısal çıkışlar 9 bitlik ideal S / A dönüştürücüye uygulandığında elde edilen sonuçlar sırası ile Şekil 6.52 ve Şekil 6.53'te gösterilmiştir. Sayısal sistemin saat frekansı 1 GS/s olarak uygulanmıştır.



Şekil 6.52: $f_{in}=1\text{MHz}$ sinüsoidal işaret uygulandığında 9 bit ideal S / A dönüştürücü cevabı



Şekil 6.53: $f_{in}=5\text{MHz}$ sinüsoidal işaret uygulandığında 9 bit ideal S / A dönüştürücü cevabı

Şekil 6.1’de tasarlanan 9 bit A / S dönüştürücünün, $0.35\mu\text{m}$ CMOS C35 AMS model parametreleri kullanılarak, AMS HIT-KIT’de yapılan analiz sonuçlarına göre blokların çekmiş oldukları ortalama ve maksimum akımlar tablo 6.2’de gösterilmiştir. Ayrıca tablo 6.3’de tasarlanan sistemin performans özeti verilmiştir. Tasarımda kullanılan saat işareti frekansı, aslında çıkış kodlarının konum değişimini sağlayan dinamik tutucu devresinin saat işaretidir.

Tablo 6.3: Sistemdeki blokların akıtmış oldukları maksimum ve ortalama akım değerleri

Blok Adı	Maksimum Akım	Ortalama Akım
Katlama Bloğu	10.85mA	9.99mA
Anahtar Bloğu	3.2mA	5.13 μA
Or Bloğu	45.48mA	0.25mA
4 Bit Kaba A/S Dön.	35.07mA	9.35mA
5 Bit Hassas A/S Dön.	55.93mA	27.34mA

Tablo 6.4: 9 bit katlamalı-anahtar seçmeli A / S dönüştürücü sonuçları

Teknoloji	0.35µm CMOS C35 AMS
Çıkış Bit Sayısı	9 bit
Etkin Bit Sayısı (ENOB)	5 bit
Besleme Gerilimi	3.3V
Analog Giriş Gerilim Aralığı	0.7V-2.5V
Güç Tüketimi (Maksimum)	498.3mW
Güç Tüketimi (Ortalama)	155.1mW

BÖLÜM 7. 9 BİT KATLAMALI-ARADEĞERLEMELİ ANALOG SAYISAL DÖNÜŞTÜRÜCÜ

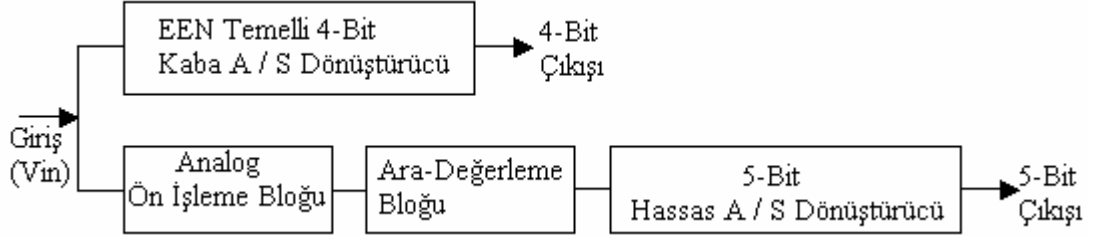
Yüksek hızlı A / S dönüştürücülerde, bilinen en iyi yapı paralel A / S dönüştürücülerdir. Fakat çözünürlük sayısı artıkça, karşılaştırıcı sayısının artmasına bağlı olarak yüksek güç tüketimi ve karşılaştırıcı girişlerindeki giriş kapasitelerinin yüksek olması nedeniyle tercih edilmemektedir [92,93]. Özellikle orta çözünürlükteki (6bit-10bit) yapılarda, karşılaştırıcı sayısının azlığı ve buna bağlı olarak güç tüketimindeki azalmadan dolayı en iyi çözümlerden biri katlamalı ve aradeğerlemeli A / S dönüştürücülerdir [17,51].

Karşılaştırıcı sayısındaki azalma analog ön işleme devreleri ile sağlanır. Analog ön işleme devresi birbirine çapraz bağlı fark yükselteçlerinden oluşmaktadır. Burada da hassas A / S dönüştürücünün çözünürlüğü arttıkça analog ön işleme devresinde kullanılan fark yükselteci sayısı artacaktır. Dolayısıyla bunu önlemek için ofset gerilimleri birbirinden farklı analog ön işleme devreleri kullanılarak giriş işareti katlanmış olur.

Ara değerlendirme yapısı, katlama devresi sayısının azaltılması için kullanılmaktadır. Ara değerlendirme yapılarak katlama sayısı daha çok artırılabilir. Katlama sayısı artmasına rağmen güç tüketiminde ve sistemin yonga alanında azalma meydana gelecektir [16].

Ara değerlendirme yapabilmek için farklı teknikler mevcuttur. Fakat ara değerlendirme basitçe üretilen iki adet katlanmış işaret arasına iki direnç veya dirençler konularak yapılabilir [67]. Buna da dirençsel ara değerlendirme denir. Ayrıca kullanılan direnç sayısı da ara değerlendirme oranı olarak isimlendirilir [12]. Fakat ara değerlemede direnç kullanıldığında ara-değerlenmiş işaretle küçük bozulmalar meydana gelebilir, fakat sıfır geçişleri doğru ise bu çok fazla dikkate alınmaz [10].

9 bit katlamalı-aradeğerlemeli A / S dönüştürücünün blok şeması Şekil 7.1’de gösterilmiştir. Şekil 7.1’de gösterildiği gibi sistem kaba ve hassas bitlerin elde edildiği iki bölümden oluşmaktadır.

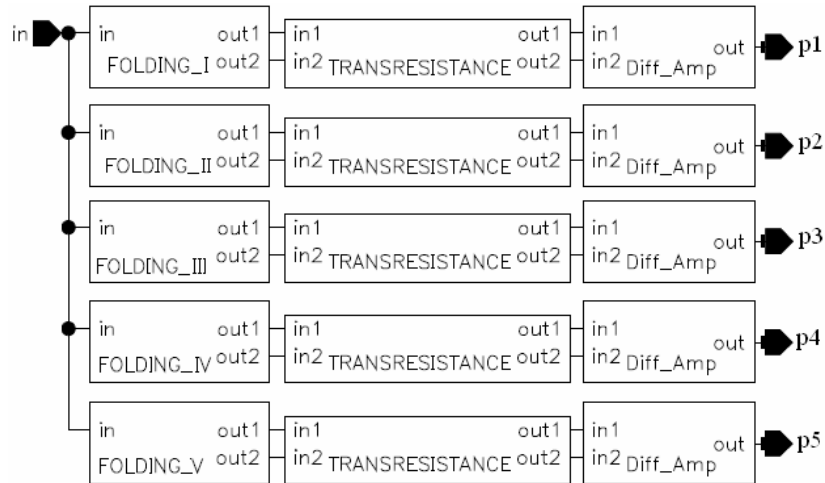


Şekil 7.1: Katlamalı-Aradeğerlemeli A / S Dönüştürücünün Blok Şeması

Kaba A / S dönüştürücüde EEN tekniği kullanılmıştır. Hassas A / S dönüştürücüde ise geleneksel karşılaştırıcı yapısı kullanılmak zorunda kalmıştır. Bu bölümde, sistemde kullanılan bloklar ve bu blokların sonucunda elde edilen sonuçlar değerlendirilecektir.

7.1. Analog Ön İşleme Bloğu

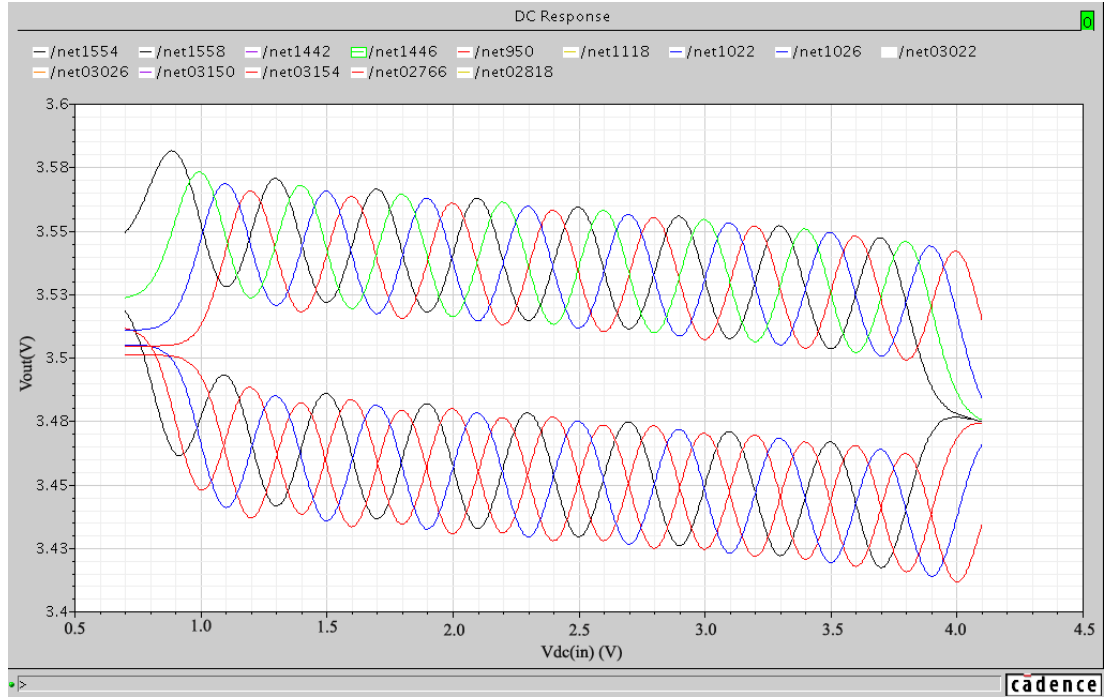
Analog ön işleme bloğu Şekil 7.2’de gösterildiği gibi off-set gerilimleri birbirinden farklı 5 adet katlama devresi, transresistans yükselteç devresi ve fark yükselteci devresinden oluşmaktadır.



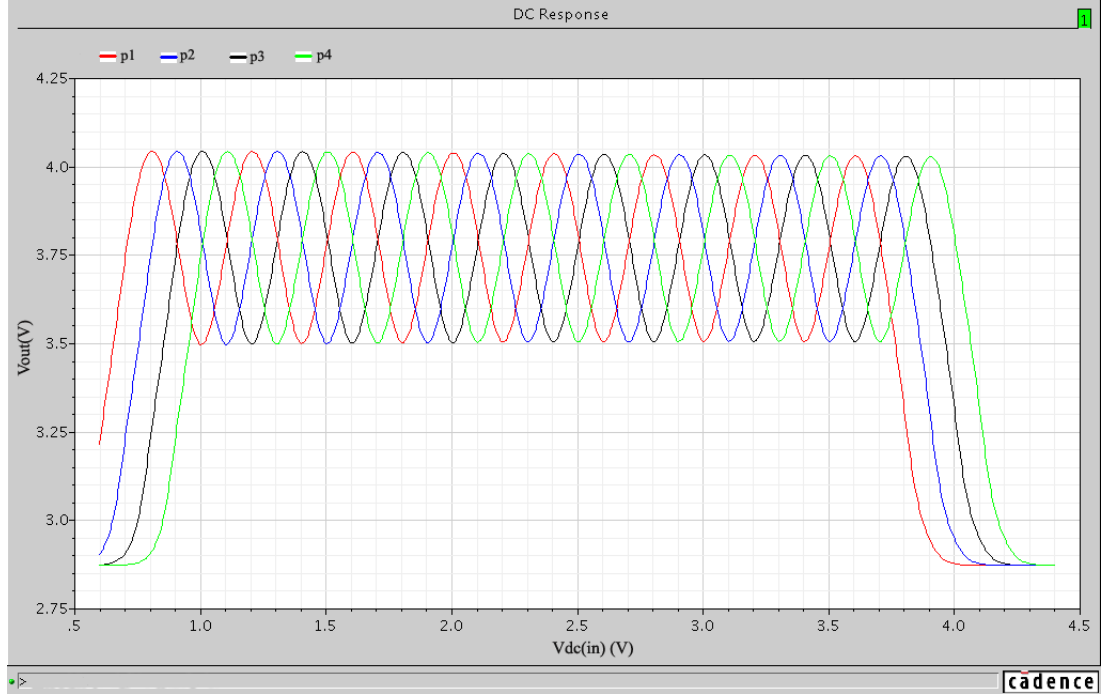
Şekil 7.2: Gerilim modlu analog ön işleme bloğunun iç yapısı

Burada kullanılan katlama devresi, transresistans yükselteç ve fark yükselteci devreleri bir önceki bölümde anlatılan devre yapıları ile aynıdır. Burada farklı olan yapı ise katlama devresidir.

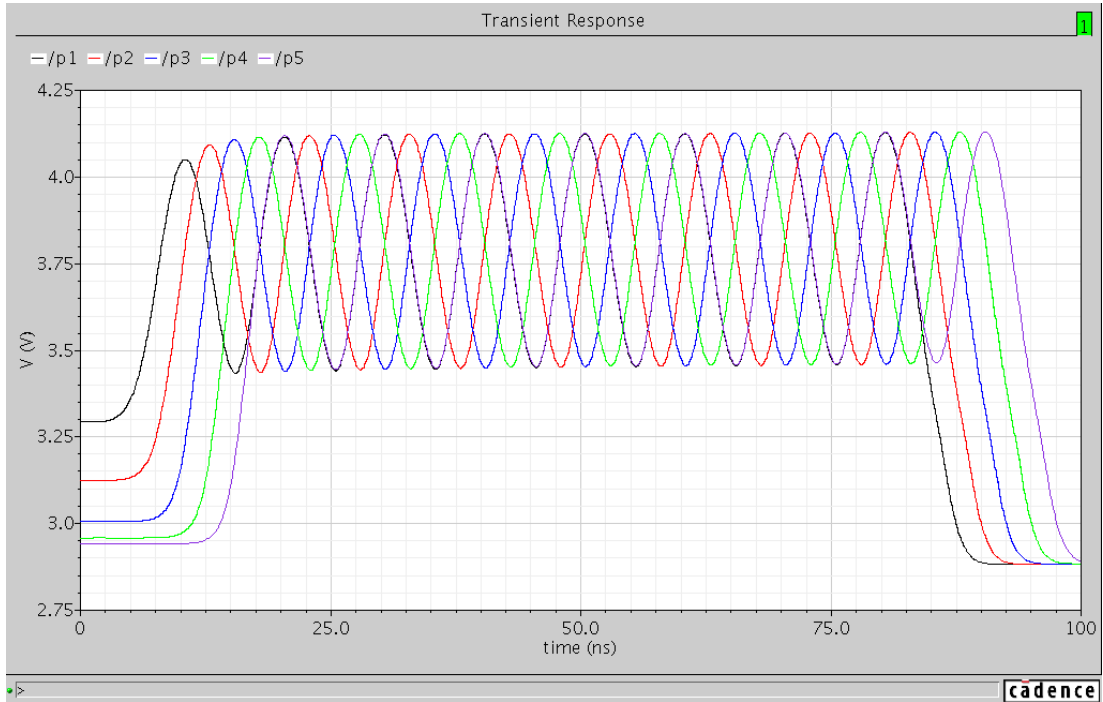
Burada kullanılan katlama devresi, çözünürlüğü artırmak için, birbirine çapraz bağlı farklı referans gerilimlerini kullanan 16 adet MOS fark yükselteci çiftinden oluşmaktadır. Katlama devresi referans gerilimleri 0.8V'dan başlamaktadır. Analog ön işleme bloğunda 5 farklı katlama devresi vardır. Katlama noktalarındaki yuvarlama problemi ve dolayısıyla doğrusallığın kaybolma durumuna engel olabilmek için 5 adet katlama devresine ihtiyaç duyulmuştur. Katlama devresinin ihtiyaç duyduğu referans gerilimi 3.3V'u aşmaktadır. Bu yüzden, 0.35 μ AMS kütüphanesi de desteklediği için besleme gerilimi 5V'a çıkartılmıştır. Bu yüzden analog ön işleme bloğunda kullanılan transresistans yükselteç ve fark yükselteci de besleme gerilimi 5V olacak şekilde tekrar tasarlanmıştır. Şekil 7.3'de katlama devresinin dc çıkış sonuçları gösterilmiştir. Şekil 7.4'te ise analog ön işleme bloğunun dc sonucu gösterilmiştir.



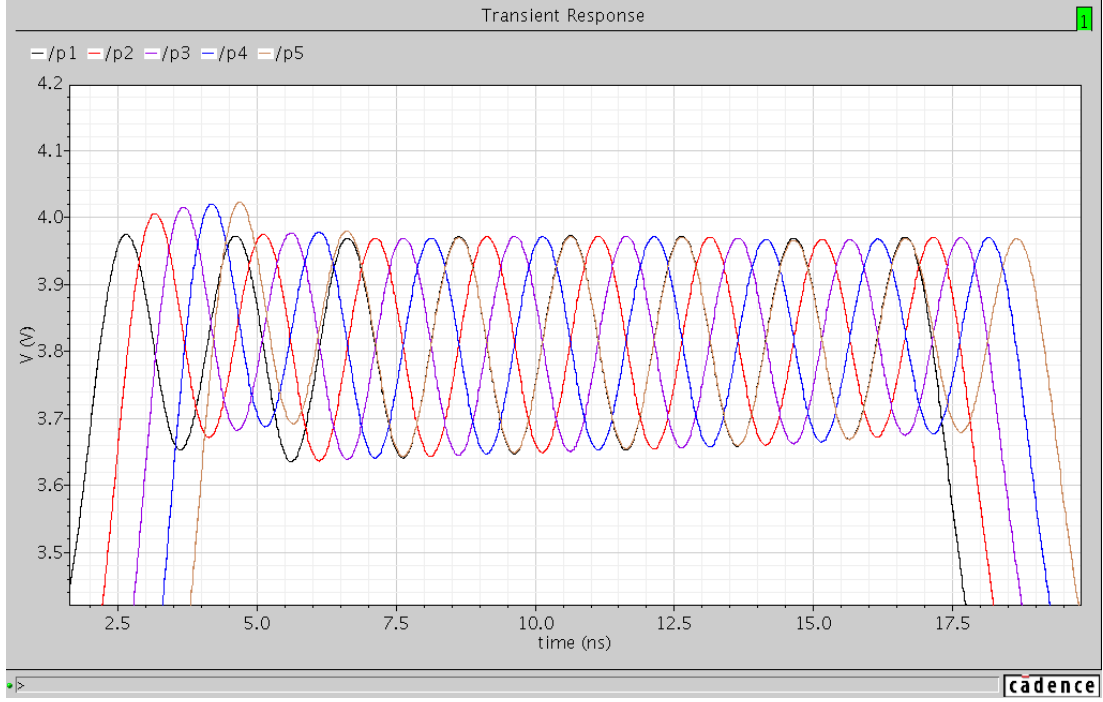
Şekil 7.3: Katlama devresinin dc sonuçları



Şekil 7.4: Analog ön işleme bloğu çıkışı dc sonucu



Şekil 7.5: $f_{in}=10\text{MHz}$ için analog ön işleme bloğu çıkışı



Şekil 7.6: $f_{in}=50\text{MHz}$ için analog ön işleme bloğu çıkışı

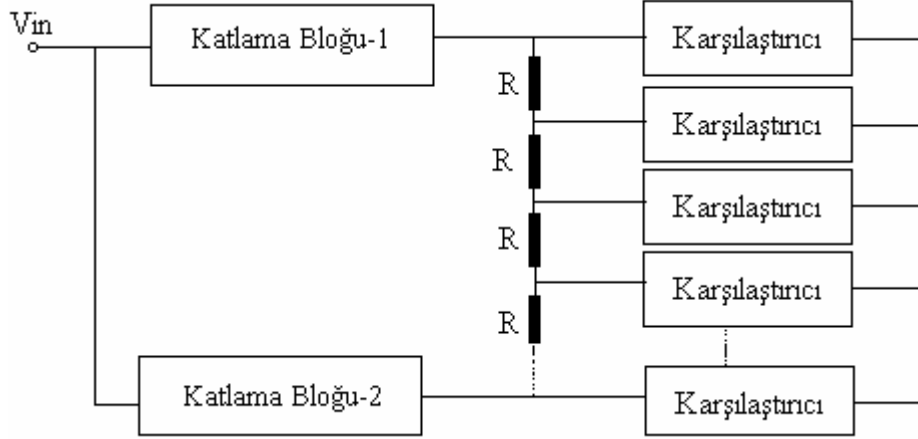
Şekil 7.5 ve 7.6'da görüldüğü gibi ara değerlendirme yapılacak olan analog ön işleme bloğu çıkışında herhangi bir problem görülmemektedir.

7.2. Ara-Değerleme Bloğu

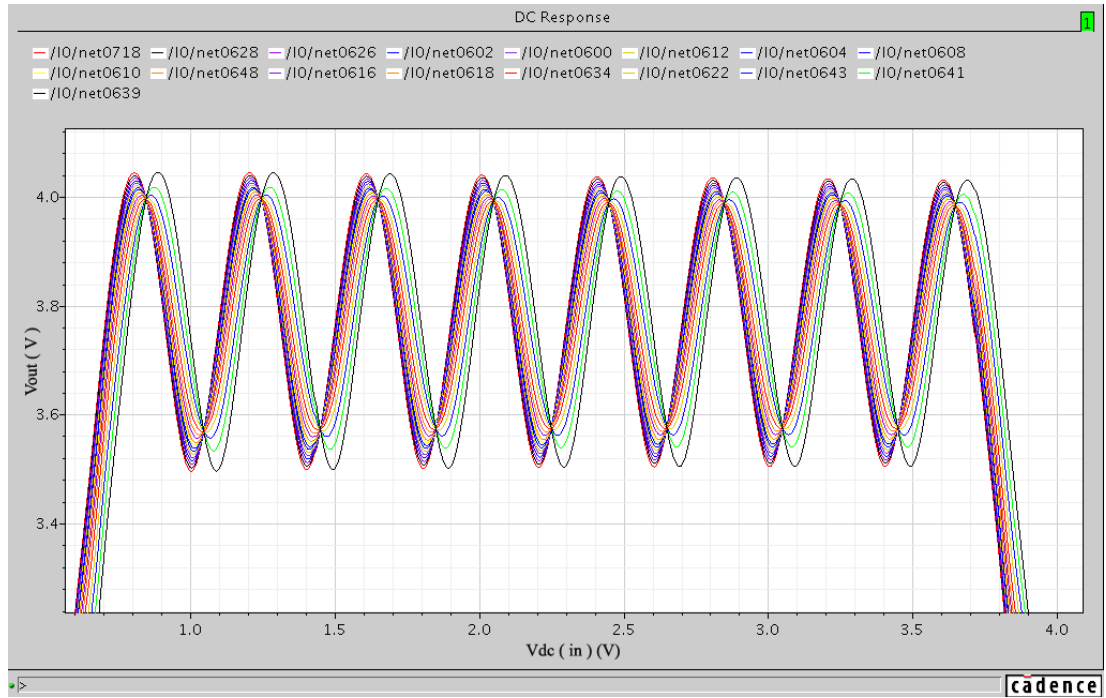
Ara değerlendirme tekniği kullanılarak katlama sayısının artırımı tercih edilirse sistemin güç tüketiminde, sistemde kullanılan devre elemanı sayısında ve yonga alanında azalma meydana gelmektedir [19,89,94-97]. Bu yüzden katlamalı A / S dönüştürücülerde kullanılan katlama bloğu sayısını azaltmak için bu yöntem kullanılır [16,17,98].

Ara değerlendirme yapmanın temel olarak 2 yolu vardır. Bunlar akım modlu ara değerlendirme ve gerilim modlu (direnç bölmeli) ara değerlemedir. Akım modlu ara değerlendirme hızlı olmasına rağmen akım aynalarının birbirine uyumsuzluğu ve çok güç harcaması gibi dezavantajları vardır [89]. Çoğunlukla ara-değerleme tekniklerinde gerilim ara-değerlemesi (direnç bölmeli) kullanılır. Direnç bölmeli ara değerlendirme kolayca yapılabilen ve iki gerilim arasına yerleştirilen gerilim bölücü dirençlerle ara-değer gerilimlerinin elde edildiği bir yöntem olarak tanımlanmaktadır [17,50,73].

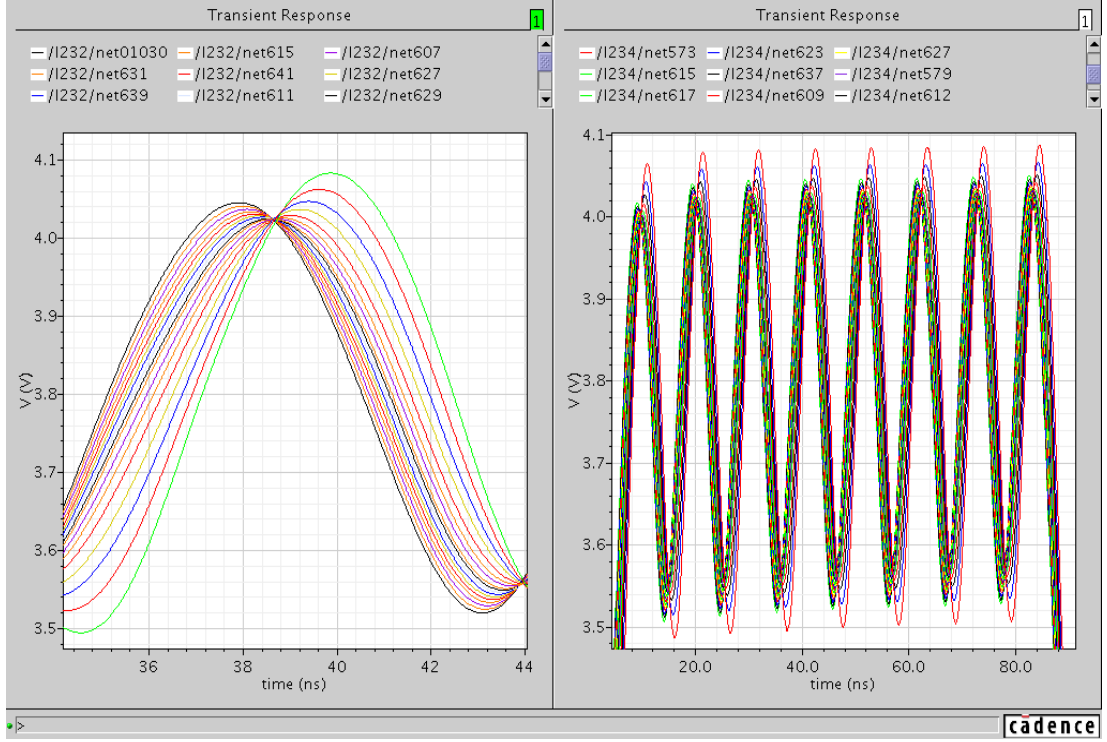
Dolayısıyla tasarlanan sistemde direnç bölmeli ara-değerleme tekniği kullanılmıştır. Şekil 7.7’de ara değerleme bloğunun bir parçası gösterilmiştir. Şekil 7.8’de ara değerleme bloğunun, dc analizi sonucunda elde edilen çıkış sonuçları gösterilmektedir. Şekil 7.9 ve 7.10’da ise farklı giriş frekansları için sonuçlar gösterilmiştir.



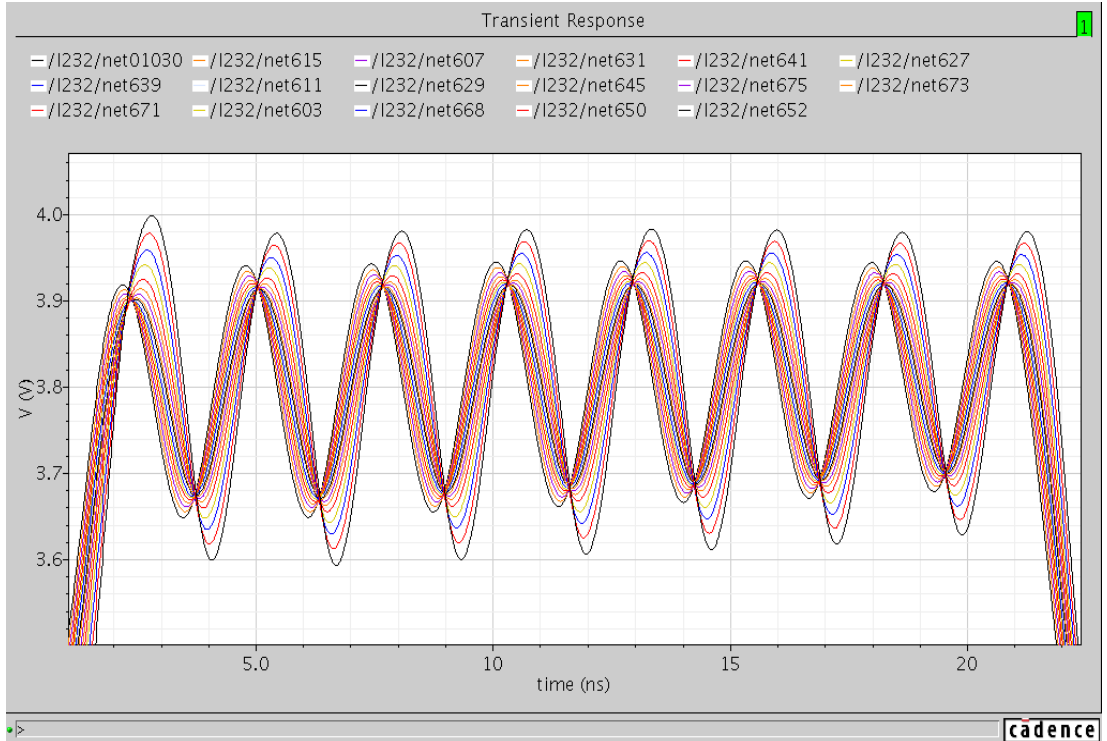
Şekil 7.7: Ara-değerleme bloğunun bir parçası



Şekil 7.8: Ara değerleme bloğunun dc analiz sonucu



Şekil 7.9: $f_{in}=10\text{MHz}$ için ara-değerleme bloğu çıkışı



Şekil 7.10: $f_{in}=40\text{MHz}$ için ara değerleme bloğu çıkışı

Ara-değerlemesi yapılan iki işaret arasında kullanılan direnç sayısı ara-değerleme oranı olarak isimlendirilir [12]. Ara-değerleme oranı 2'den fazla olduğunda ara değerleme yapılan işaretlerin sıfır geçişlerinde etkileşimli olarak bir gecikme meydana gelmektedir [16]. Ara-değerlenmiş işaretlerde meydana gelen küçük bozulmalar ara-değerleme yapılacak olan sıfır geçişlerinin doğru yerde gerçekleşmesi koşuluyla önemsizdir [99]. Burada özellikle ara değerleme bloğunun yüksek frekanslardaki doğrusallığını sağlamak için ara değerleme yapılan işaretler arasında kullanılan direnç değerleri birbirinden farklı seçilmiştir. Çünkü ara-değerleme düğümlerindeki RC gecikmeleri birbirinden farklı olmaktadır. Bu yüzden transient analizde sıfır geçişleri farklı gecikmelere maruz kalmaktadır. Şu unutulmamalıdır ki, girişteki 10MHz'lik bir işaret, çıkışta (6.1)'deki eşitlik yardımıyla yaklaşık 227MHz olarak bulunur. DC çalışmada doğal olarak direnç değerlerindeki farklılıklar görülmektedir. Fakat bu sayede yüksek frekanslı giriş işaretlerinde ara-değerleme yapılan işaretlerin birbirine girişimi önlenmiş olmaktadır. Burada kullanılan direnç değeri ise ara-değerleme işaretlerini sırasıyla alabilen maksimum direnç değeridir.

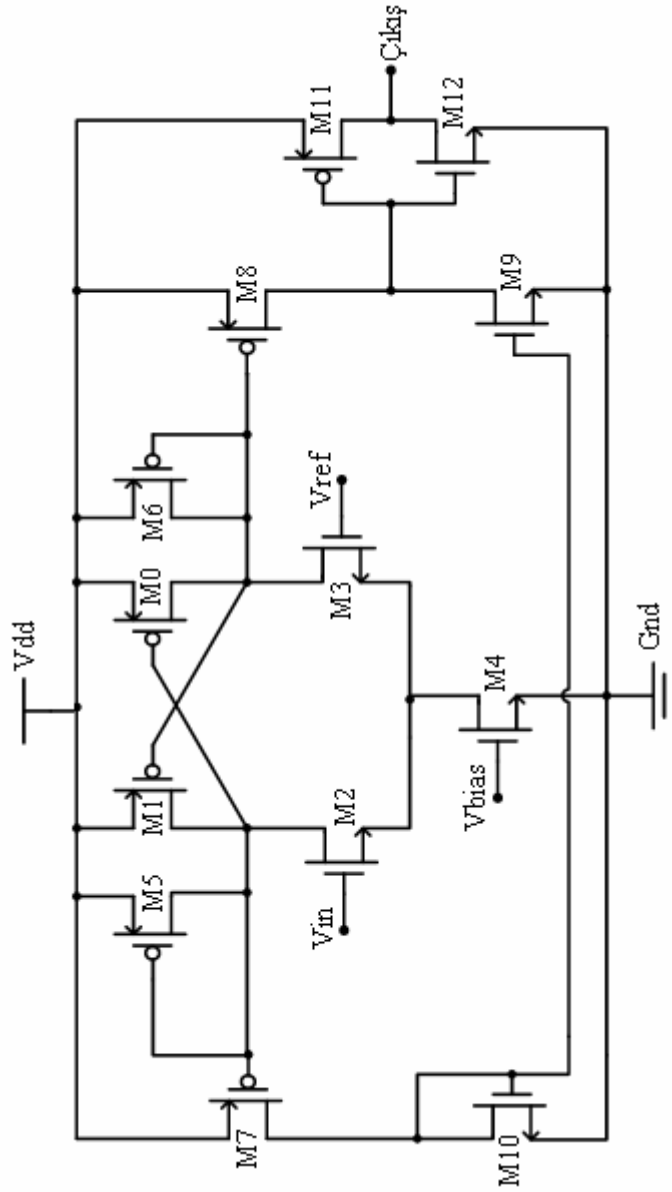
7.3. 5-Bit Hassas A / S Dönüştürücü

En değersiz bitlerin elde edildiği birim olan 5 bit hassas A / S dönüştürücü, karşılaştırıcı bloğu, dinamik tutucu bloğu, 1-N kod çözücü bloğu ve programlanabilir mantık dizisi kullanan kodlayıcı devresinden oluşmaktadır. Burada kullanılan dinamik tutucu ve programlanabilir mantık dizisi kullanan kodlayıcı bloğu bir önceki bölümde aynı isimlerle anlatılan blok yapıları ile aynıdır (Bkz. Bölüm(6.3.1.2-6.3.1.3-6.3.1.4)). Burada kullanılan blokların sadece besleme gerilimleri farklıdır. Bu yüzden sistemin 5V besleme gerilimi altında çalışabilmesi için uygun W / L'ler seçilmiştir.

7.3.1. Karşılaştırıcı bloğu

5 bit hassas A / S dönüştürücüde karşılaştırıcı olarak öncelikle EEN tekniği denenmiştir. Fakat giriş işaretinin frekansı arttıkça EEN'in daha önceden dc çalışma ile belirlenen devinim noktasında gecikmeler meydana gelmektedir.

Böylece ara-değerlenmiş işaretlerin sıfır geçişlerinde çalışacak olan EEN, giriş işareti frekansı değişikçe istenen sabit devrilme geriliminde çalışmamaktadır. Bu yüzden hassas A / S dönüştürücüde EEN karşılaştırıcı yapısı kullanılmamıştır. Burada literatürdeki farklı karşılaştırıcı yapıları denenmiştir. Yapılan çalışmalar sonucunda Şekil 7.11'deki karşılaştırıcı yapısının [100] kullanımına karar verilmiştir.

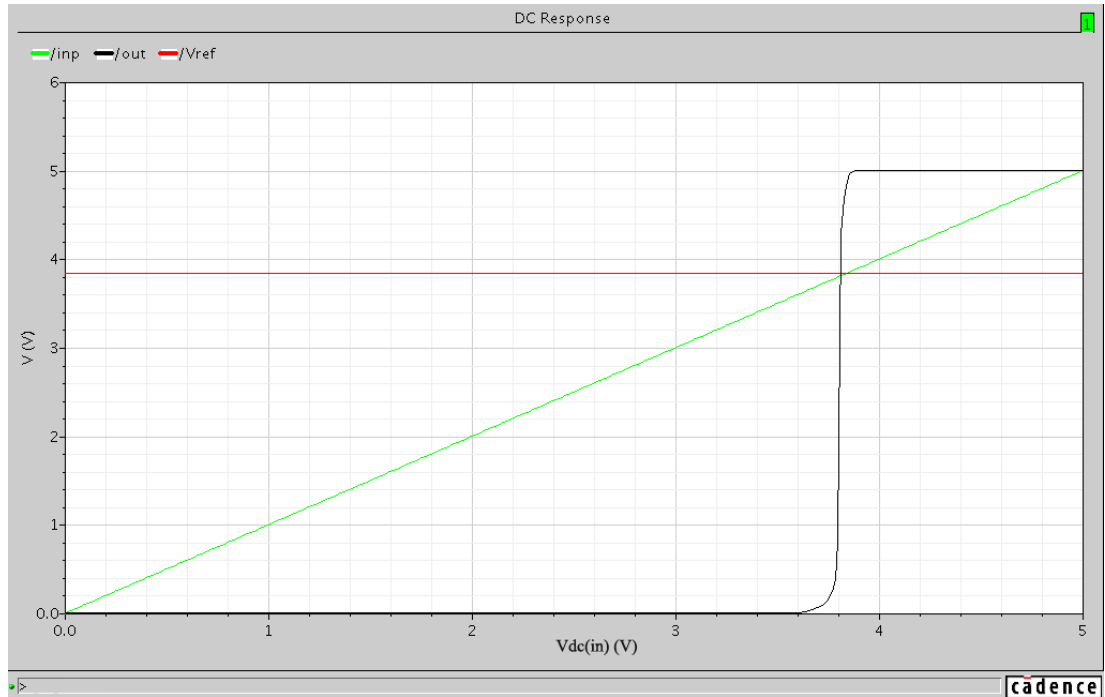


Şekil 7.11: 5-bit hassas A / S dönüştürücü bloğunda kullanılan karşılaştırıcı devresi

Şekil 7.11'de kullanılan karşılaştırıcıda transistör boyutları şöyledir;

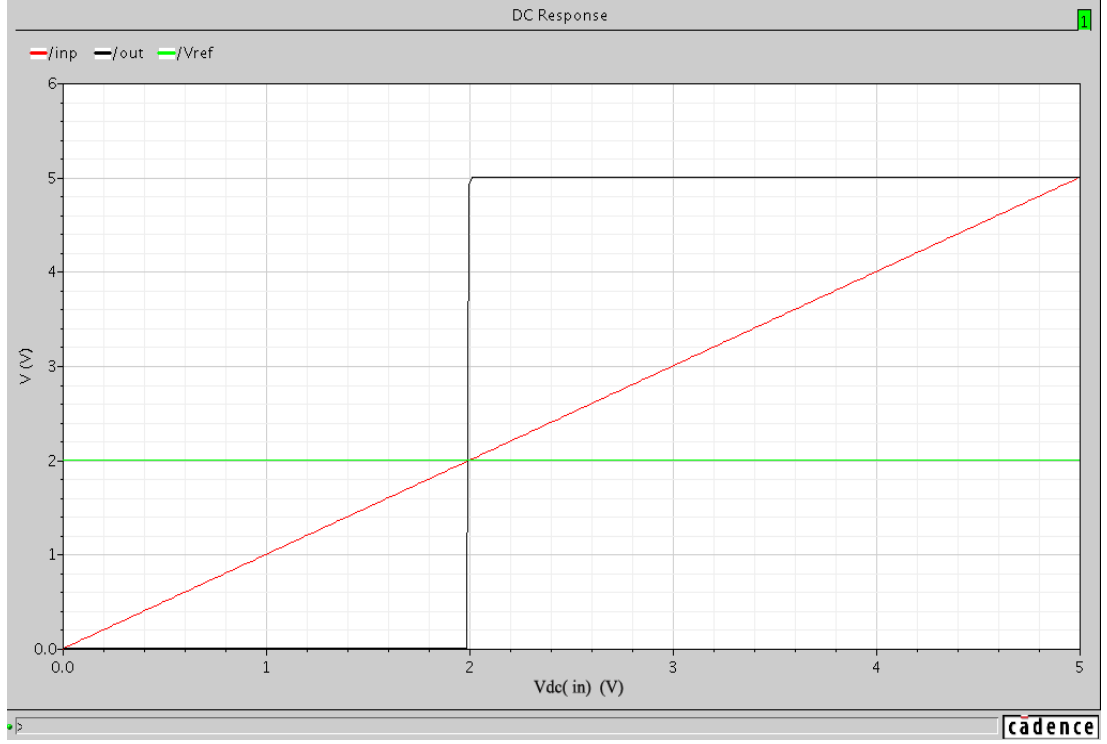
$M0=M1=M2=M3=M5=M6=M7=M8=10\mu\text{m} / 2\mu\text{m}$, $M4=M9=M10=15\mu\text{m} / 0.7\mu\text{m}$, $M11=4.9\mu\text{m} / 0.7\mu\text{m}$, $M12=1.05\mu\text{m} / 0.7\mu\text{m}$ 'dir. V_{bias} gerilimi de 2.5V'tur.

Şekil 7.11'deki karşılaştırıcı devresinde giriş nmos (M2-M3) çiftinden oluşmaktadır. Buradaki giriş çifti, diyot bağlantılı (M5-M6) ve birbirine çapraz bağlı pozitif geribesleme transistörleri (M0-M1) yardımı ile yüklenir. Buradaki çapraz bağlı geri besleme mosfetlerin amacı birinci katın gerilim kazancını artırmak ve çıkış direncini dengelemektir. M5 ve M7 sayesinde M10 ve M9'dan oluşan akım aynasının referans akımı elde edilir. Buradaki çıkış ayrıca M8'den oluşan ortak-kaynaklı kuvvetlendiriciye bağlıdır. Son kat ise M11 ve M12 numaralı transistörlerden oluşan eviriciden oluşmaktadır. Şekil 7.11'de gösterilen devrenin, ara-değerlenmiş işaretin sıfır geçişlerinin olduğu 3.84V'da göstermiş olduğu dc analiz sonucu Şekil 7.12'de gösterilmiştir.

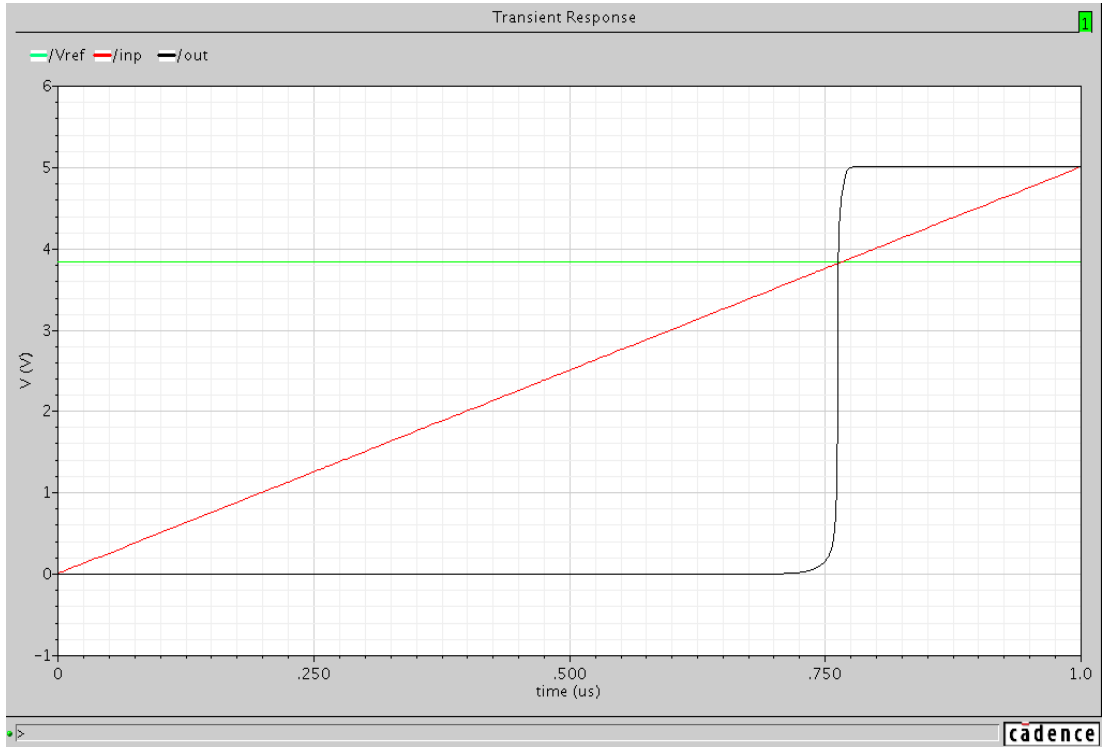


Şekil 7.12: Vref=3.84V için karşılaştırıcı dc çıkışı

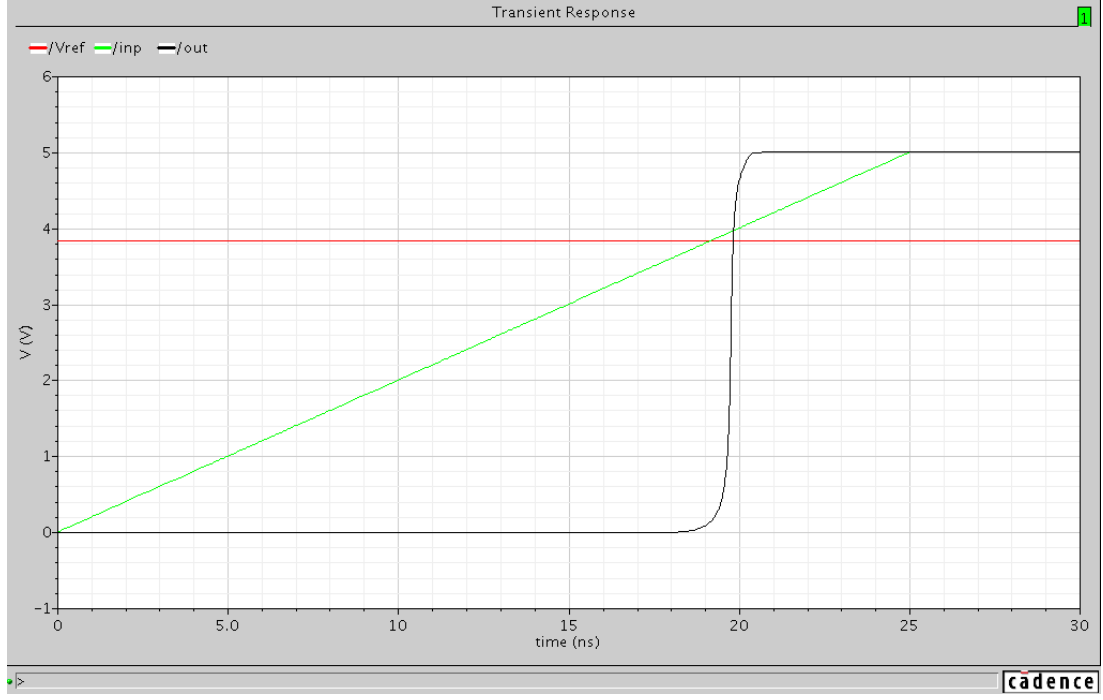
Şekil 7.12'de de gösterildiği gibi devremizin dc analizi Vref=3.84V'ta çalışmaktadır. Şekil 7.13'te karşılaştırma gerilimi farklı bir değer için dc analiz sonucu gösterilmiştir. Şekil 7.14 ve 7.15'de ise farklı frekanstaki giriş gerilimi için çıkışlar gösterilmiştir.



Şekil 7.13: $V_{ref}=2V$ için karşılaştırıcı dc çıkışı

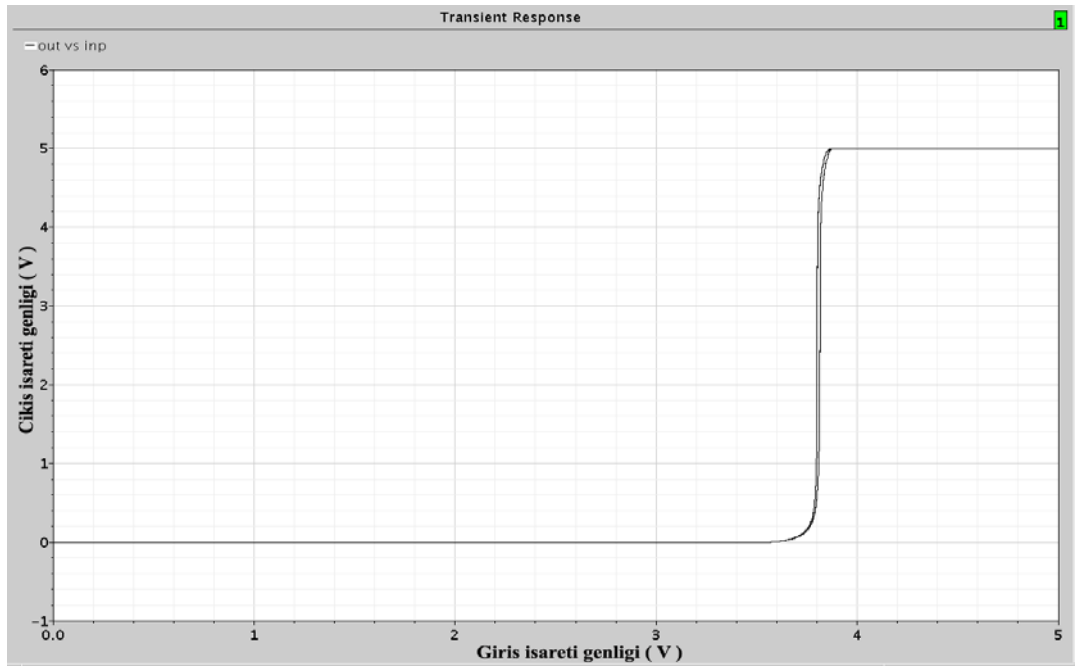


Şekil 7.14: $f_{in}=1MHz$ giriş için karşılaştırıcı çıkışı

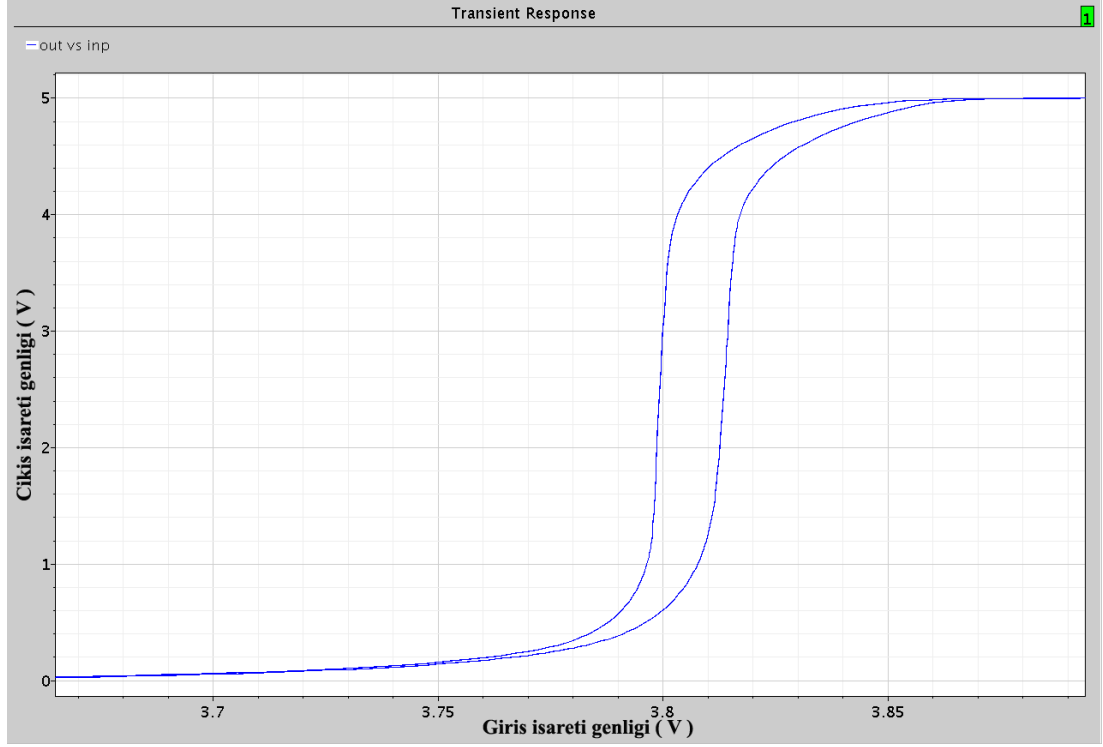


Şekil 7.15: $f_{in}=40\text{MHz}$ giriş için karşılaştırıcı çıkışı

Şekil 7.11’de verilen karşılaştırıcı yapısı yüksek frekanslarda istenilen karşılaştırma geriliminde çok az da olsa 0.7ns ’lik bir gecikme süresi ile birlikte istenilen noktada çıkış üretmektedir. Şekil 7.16 ve Şekil 7.17’de karşılaştırıcının histeresiz grafikleri gösterilmiştir.

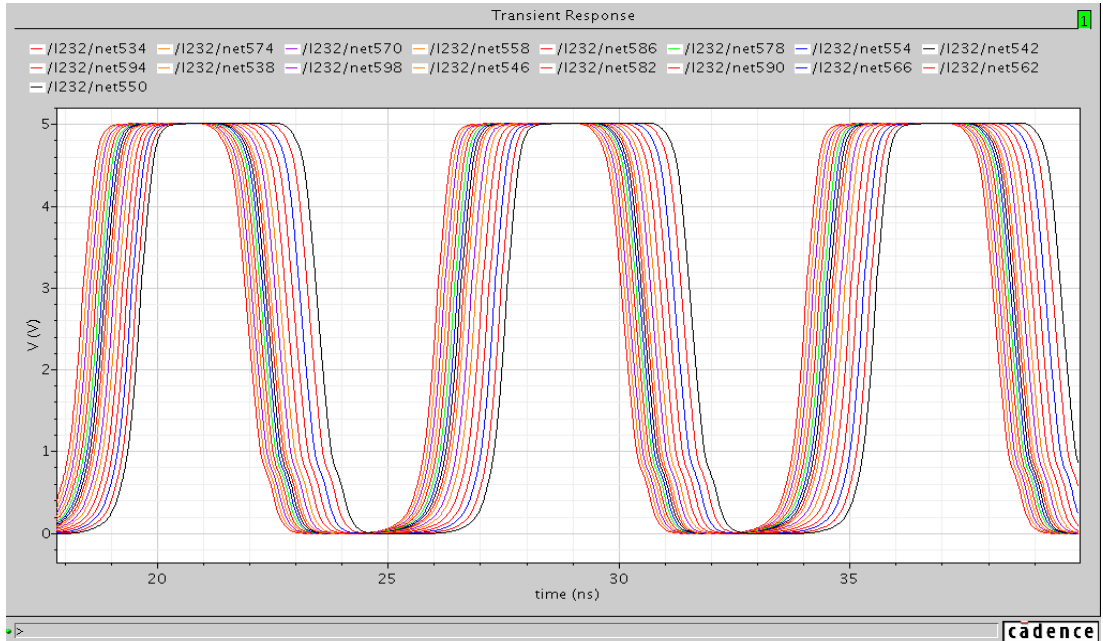


Şekil 7.16: Karşılaştırıcının histeresiz grafiği

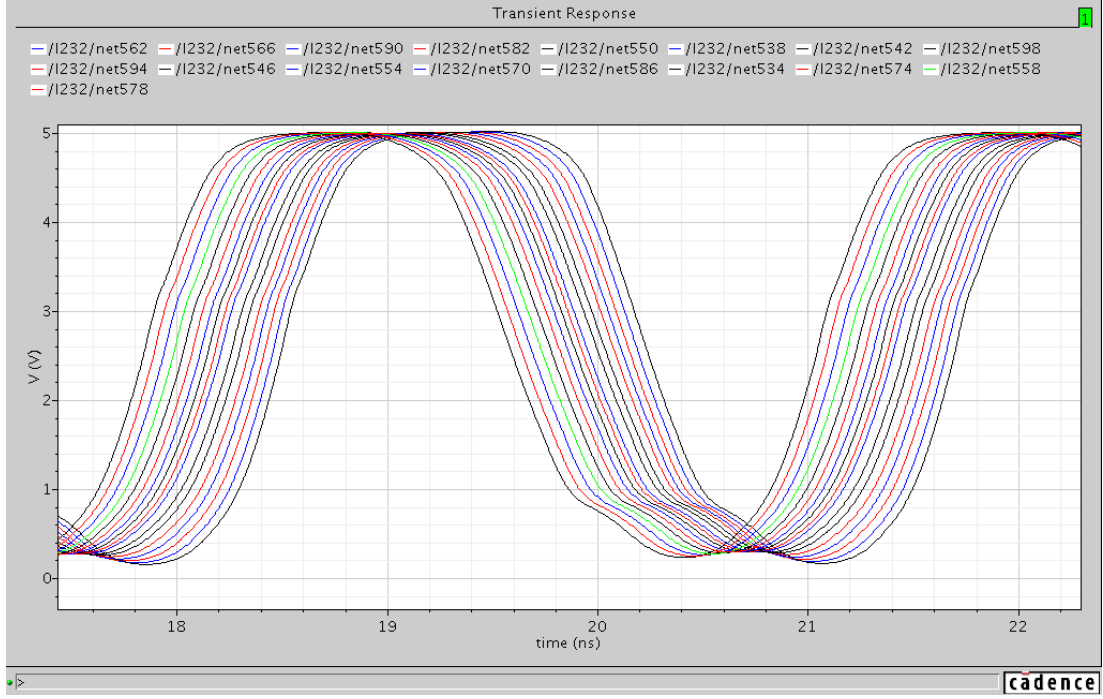


Şekil 7.17: Karşılaştırıcının histeresiz eğrisinin ayrıntılı gösterimi

Sisteme uygulanan farklı frekanstaki girişler için karşılaştırıcı bloğu çıkışında elde edilen işaretlerin sadece bir periyodu Şekil 7.18 ve Şekil 7.19’de gösterilmiştir.

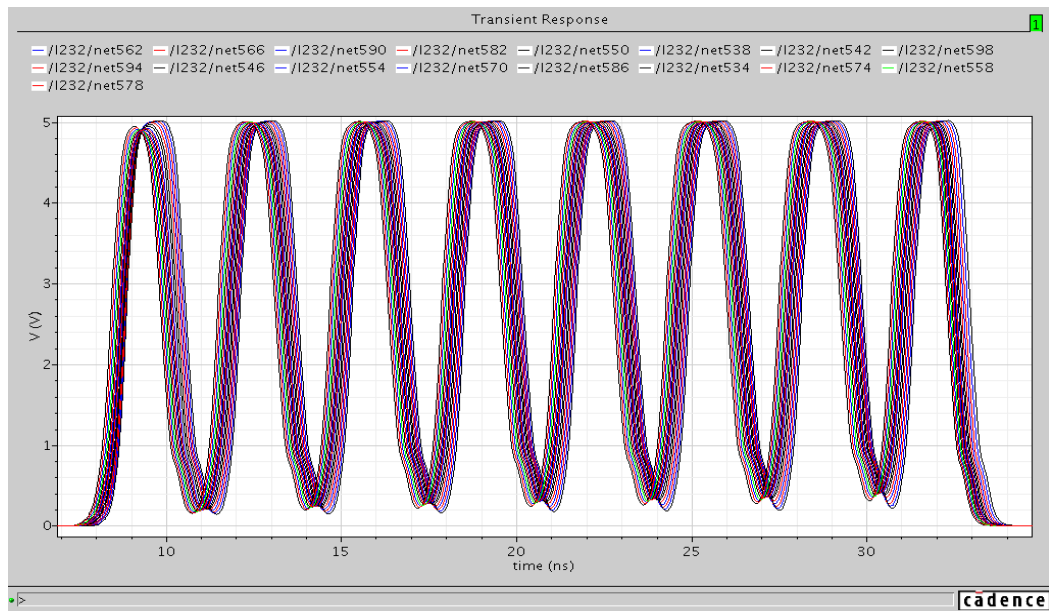


Şekil 7.18: $f_{in}=10\text{MHz}$ için karşılaştırıcı bloğu ayrıntılı çıkışları



Şekil 7.19: $f_{in}=25\text{MHz}$ için karşılaştırıcı bloğu ayrıntılı çıkışları

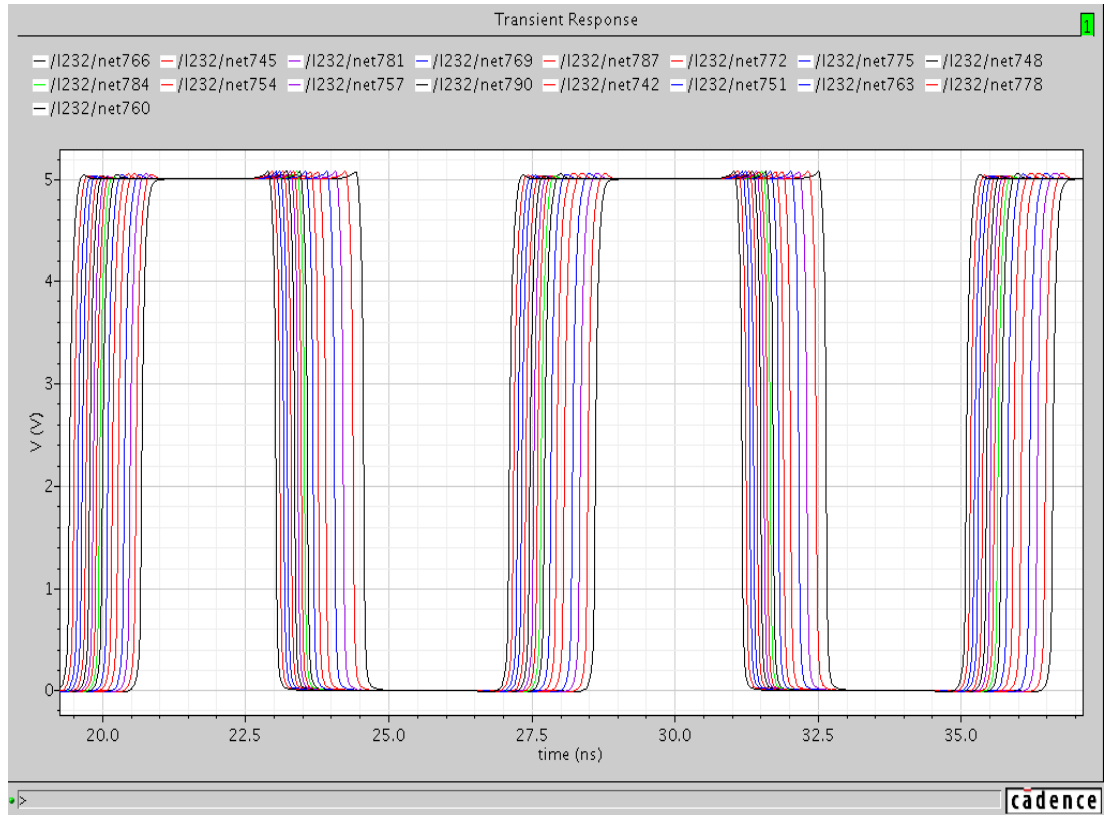
Şekil 7.18 ve 7.19’de gösterilen karşılaştırıcı bloğu çıkışlarında sistemin bu bloğa kadar sorunsuz çalıştığı görülmektedir. Fakat giriş işaretinin frekansı 10MHz olduğunda karşılaştırıcı bloğuna gelen işaret aslında 226MHz, giriş işareti frekansı 25MHz olduğunda ise 565MHz’dir. Şekil 7.20’de giriş işareti frekansı 25MHz olduğunda karşılaştırıcı bloğunun tüm çıkışı gösterilmiştir.



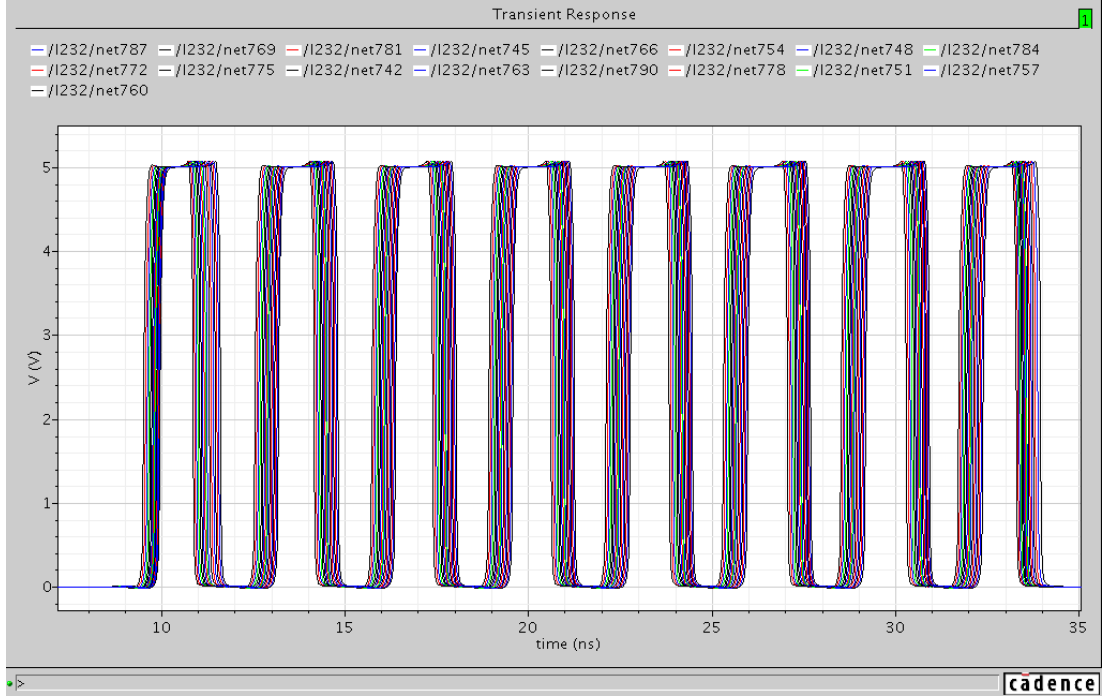
Şekil 7.20: $f_{in}=25\text{MHz}$ için karşılaştırıcı bloğu çıkışları

7.3.2. Dinamik tutucu ve 1-N kodlayıcı devre

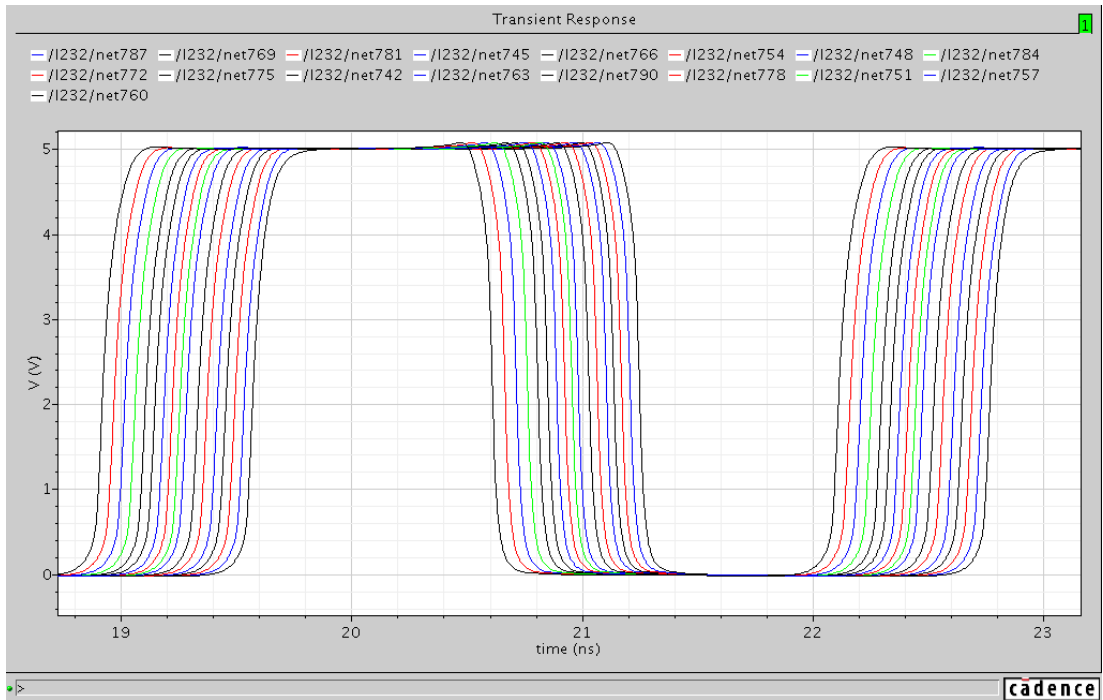
5-bit hassas A / S dönüştürücü bloğunda kullanılan dinamik tutucu devresi Şekil 6.23’de gösterilmiştir. Buradaki devrenin sadece besleme gerilimi farklıdır. Çözünürlüğün artırılabilmesi için besleme gerilimi 5V’a çıkartılmıştır. Buna bağlı olarak da dinamik tutucunun ve burada kullanılan eviricilerin besleme gerilimleri değişmiştir. Aynı zamanda 5V’da istenilen düzeyde çalışması için kullanılan mosfetlerin boyutları uygun şekilde dc analiz yardımı ile belirlenmiştir. Şekil 7.21 ve Şekil 7.23’de farklı frekanstaki girişler için dinamik tutucu devresi çıkışında elde edilen sonuçlar ayrıntılı bir biçimde gösterilmiştir.



Şekil 7.21: $f_{in}= 10\text{MHz}$ için dinamik tutucu ayrıntılı çıkışı



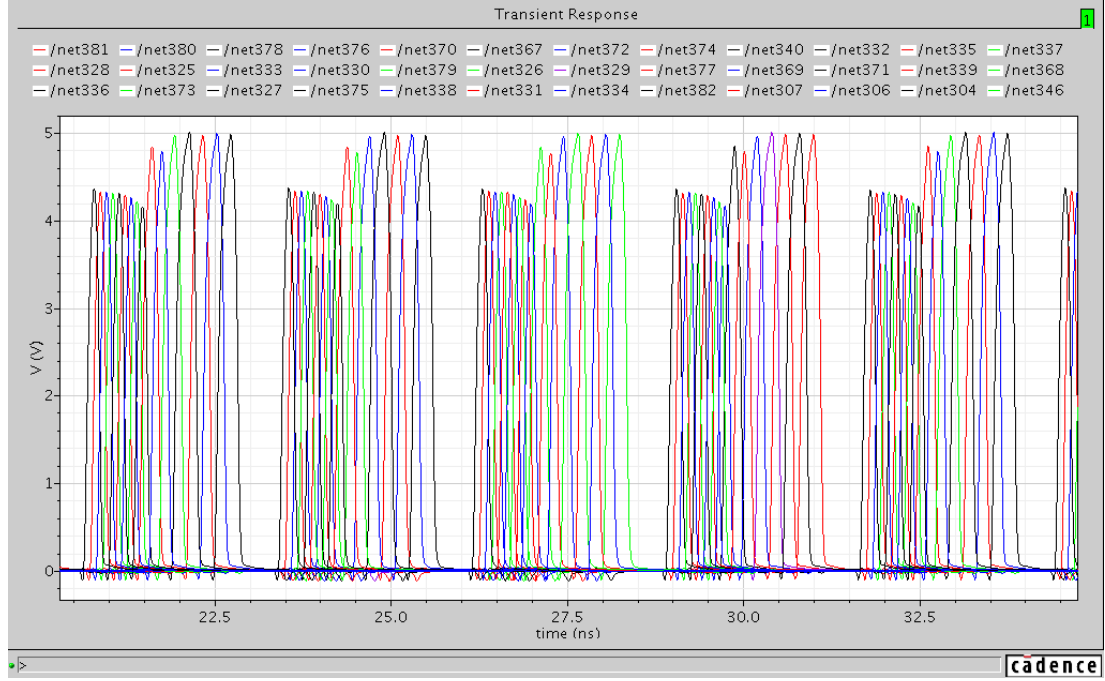
Şekil 7.22: $f_{in}=25\text{MHz}$ için dinamik tutucu çıkışı



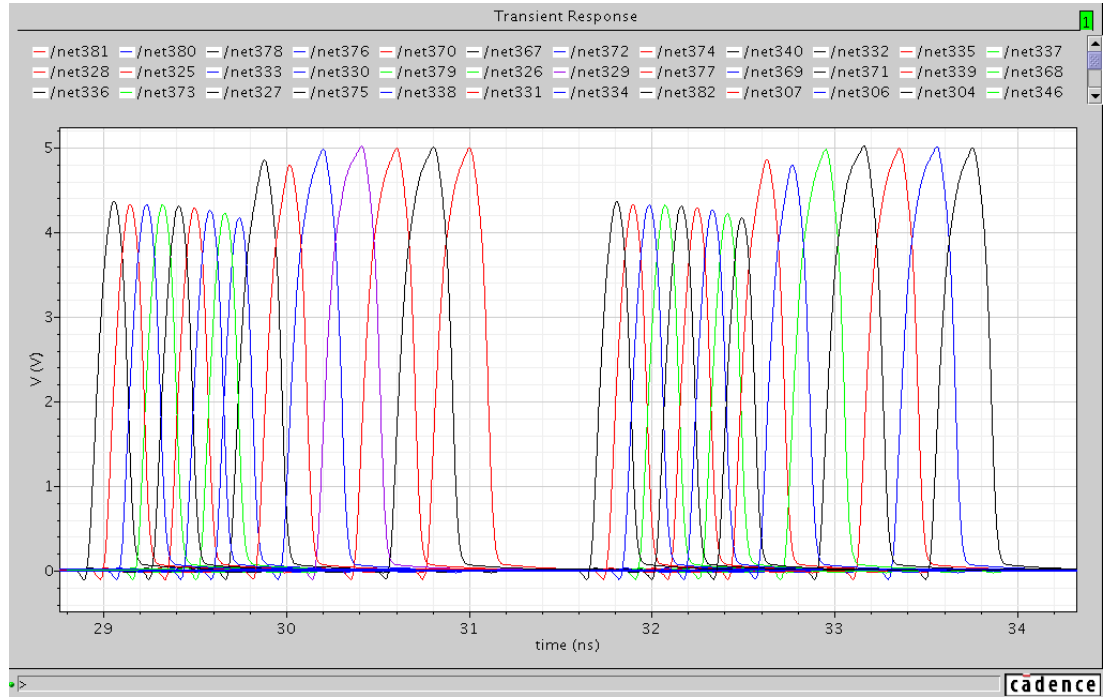
Şekil 7.23: $f_{in}=25\text{MHz}$ için dinamik tutucu ayrıntılı çıkışı

Şekil 7.21 ve 7.23'de gösterildiği gibi dinamik tutucu devresi çıkışlarında herhangi bir problem bulunmamaktadır.

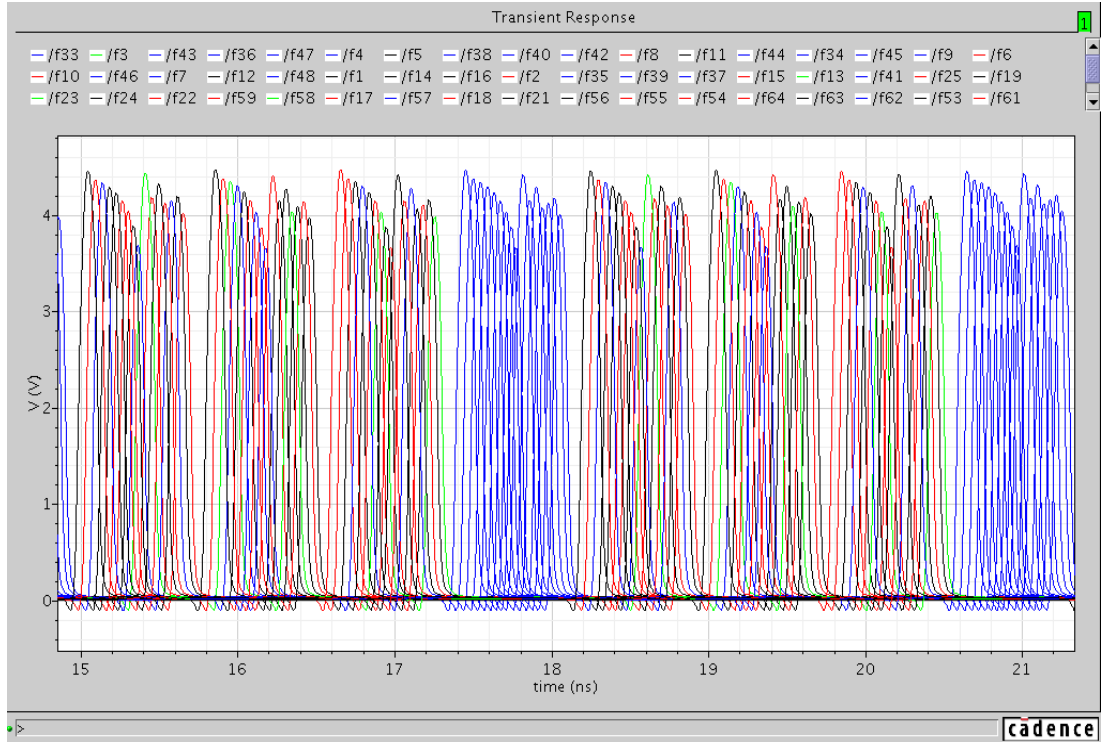
Şekil 7.21 ve 7.23’de gösterilen işaretler 1-N kodlayıcı devreye uygulandığında Şekil 7.24 ve 7.26’daki işaretler elde edilir.



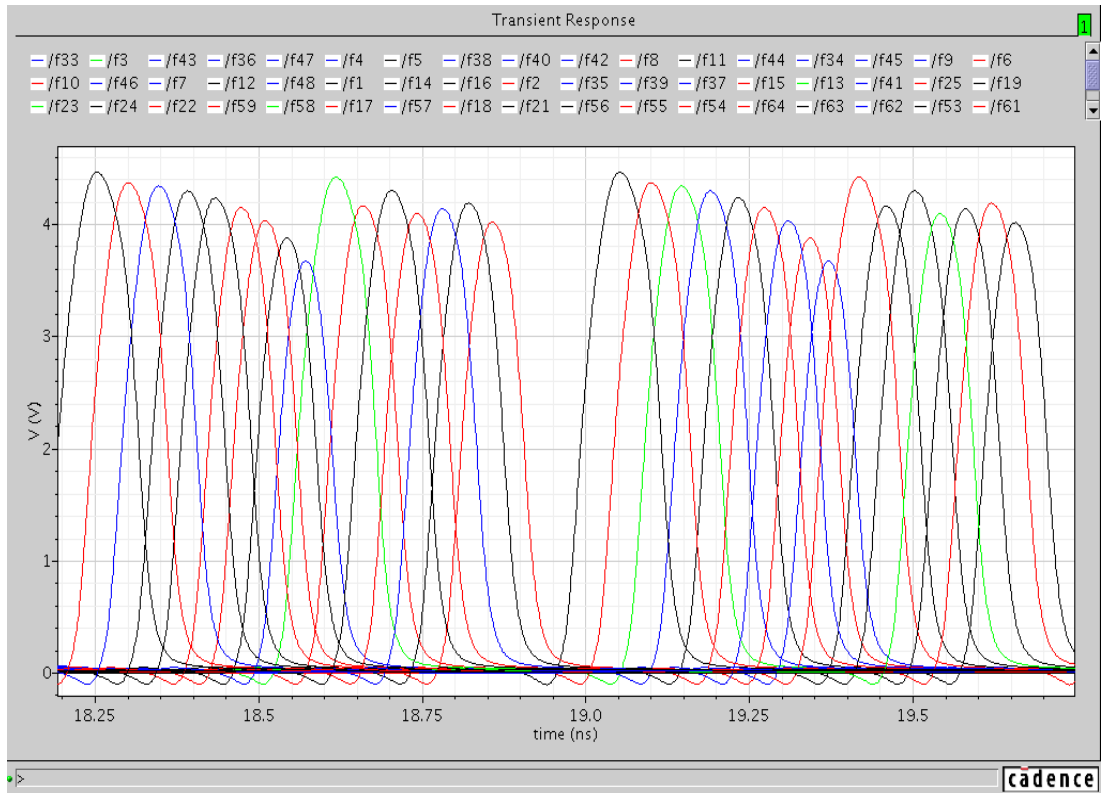
Şekil 7.24: $f_{in}= 10\text{MHz}$ için 1-N kodlayıcı çıkışı



Şekil 7.25: $f_{in}= 10\text{MHz}$ için 1-N kodlayıcı ayrıntılı çıkışı



Şekil 7.26: $f_{in}=25\text{MHz}$ için 1-N kodlayıcı çıkışı



Şekil 7.27: $f_{in}=25\text{MHz}$ için 1-N kodlayıcı ayrıntılı çıkışı

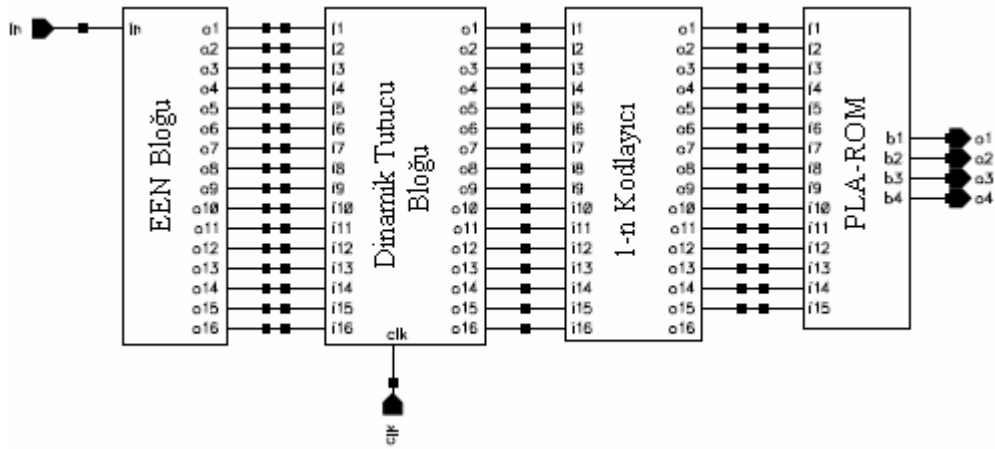
Şekil 7.25 ve 7.27’de görülen 1-N kodlayıcı çıkışlarındaki işaretlerin birbirine girişimi engellenememektedir. Özellikle 10MHz ve üzerindeki analog giriş işareti için ara değerlendirme bloğunun çıkışında meydana gelen farklı RC gecikmeleri yüzünden dinamik tutucu çıkışındaki işaretlerin birbirine yaklaştığı ve iki işaret arasındaki zaman farkının 100ps’den de küçük olması sebebiyle kodlayıcı çıkışında işaretlerin birbirine girişimi engellenememiştir. Ayrıca $\overline{A.B}$ devresini lojik olarak sağlayan çeşitli CMOS yapıları ile literatürde kullanılan farklı kodlayıcı yapıları da denenmiştir. Fakat en iyi sonuç Şekil 6.25’de gösterilen kodlayıcı devresinde elde edilmiştir.

7.3.3. Programlanabilir mantık dizisi kullanan kodlayıcı devresi

Programlanabilir mantık dizisi, girişine uygulanan herhangi bir mantıksal birleşimi, önceden belirlenmiş içeriği ile başka bir birleşime dönüştüren çoklu eleman olarak tanımlanabilir. Bu yapı bölüm 6.3.1.4’te ayrıntılı bir şekilde anlatılmıştır.

7.4. 4-Bit EEN Temelli Kaba A / S Dönüştürücü

Şekil 7.28’de 4 bit EEN temelli kaba A / S dönüştürücünün blok şeması gösterilmiştir. EEN temelli karşılaştırıcı bloğu, dinamik tutucu bloğu, 1-N kodlayıcı bloğu ve programlanabilir mantık dizisi kullanan kodlayıcı bloğundan oluşmaktadır.



Şekil 7.28: 4-bit EEN temelli kaba A / S dönüştürücü bloğu

Şekil 7.28’te gösterilen EEN bloğu, dinamik tutucu ve 1-N kodlayıcı devrelerin çalışma şekilleri ve devre şemaları daha önce ilgili bölümlerde ayrıntılı olarak verilmişti. Burada farklı olan durum ise devrelerin dc besleme gerilimleridir. Bu besleme geriliminde, devrelerin çalışabilmesi için gerekli transistör boyutlandırılması yeniden yapılmıştır.

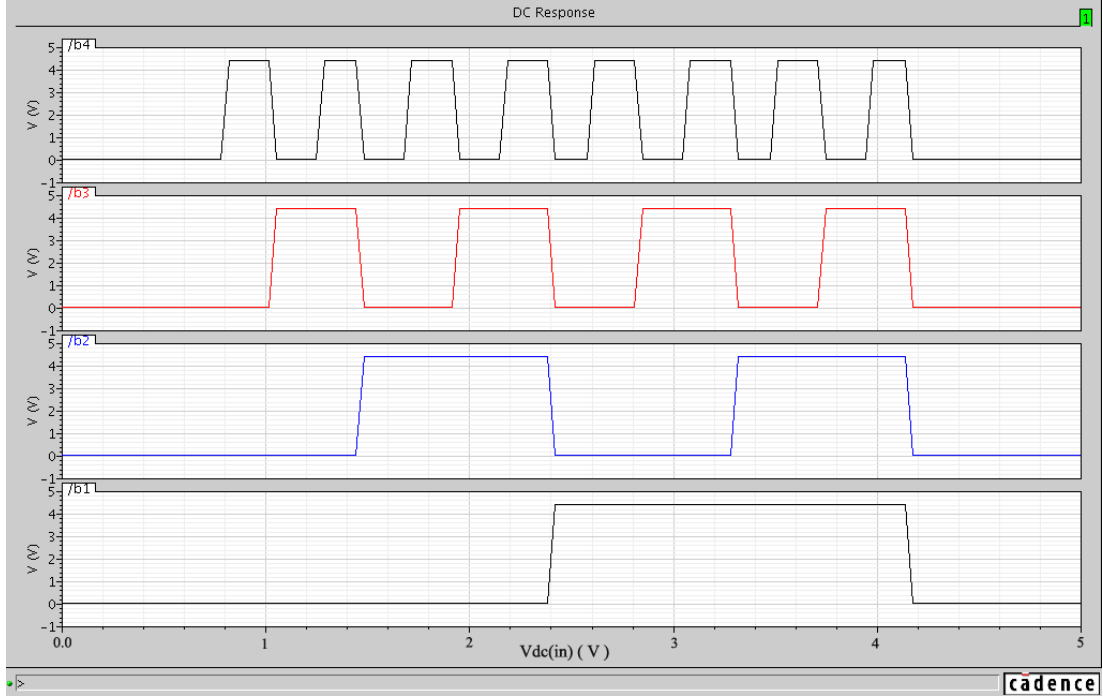
Burada en önemli blok EEN bloğudur. Çünkü istenilen giriş geriliminde EEN’lerin çıkış üretmeleri gerekmektedir. Buna göre EEN’lerin transistör boyutlandırmasının hassas bir şekilde yapılması gereklidir. EEN’lerin giriş gerilim aralığı $(V_{dd} - (V_{tp} + V_{in}))$ ile sınırlıdır. Bu gerilim aralığında çıkış üretecek EEN’ler ayarlanmıştır.

7.5. 9-Bit Ara-Değerlemeli A / S Dönüştürücü Simülasyon Sonuçları

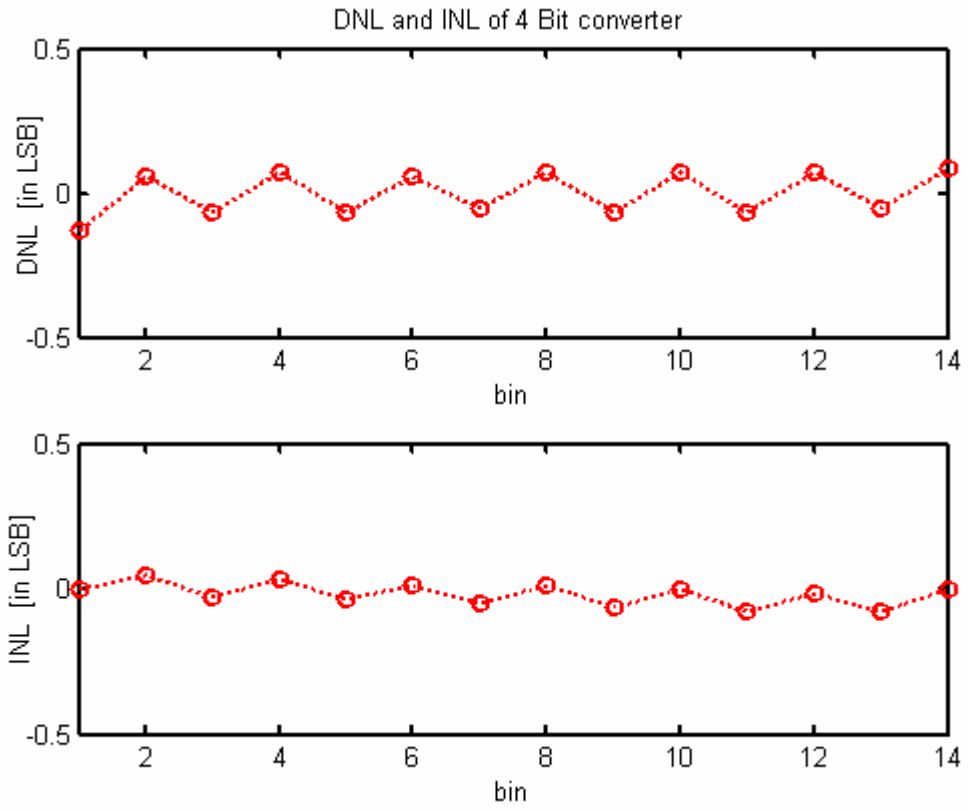
Bu bölümde 0.35µm C35B4 CMOS teknolojisi ve AMS-HIT KIT kullanılarak şematik olarak tasarlanan ve blok yapısı Şekil 7.1’de gösterilen devrenin yapılan benzetimler sonucunda elde edilen sonuçlarına yer verilecektir.

Öncelikle 4-bit kaba A / S dönüştürücünün sonuçları gösterilecektir. Şekil 7.29’da EEN kullanılarak tasarlanan A / S dönüştürücünün dc analizi gösterilmiştir. Yapılan dc analiz sonucunda, tasarlanmış olan EEN temelli A / S dönüştürücünün herhangi bir kod kaybı olmadan çalıştığı gözlemlenmiştir. DC analiz yardımı ayrıca 4-bitlik A / S dönüştürücünün farksal doğrusalsızlık (DNL) ve tümlevsel doğrusalsızlık (INL) grafikleri matlab programı [91] aracılığı ile çizdirilerek Şekil 7.30’da gösterilmiştir. INL ve DNL grafiklerinin çıkartımı ayrıntılı bir şekilde sayfa 95’de anlatılmıştır.

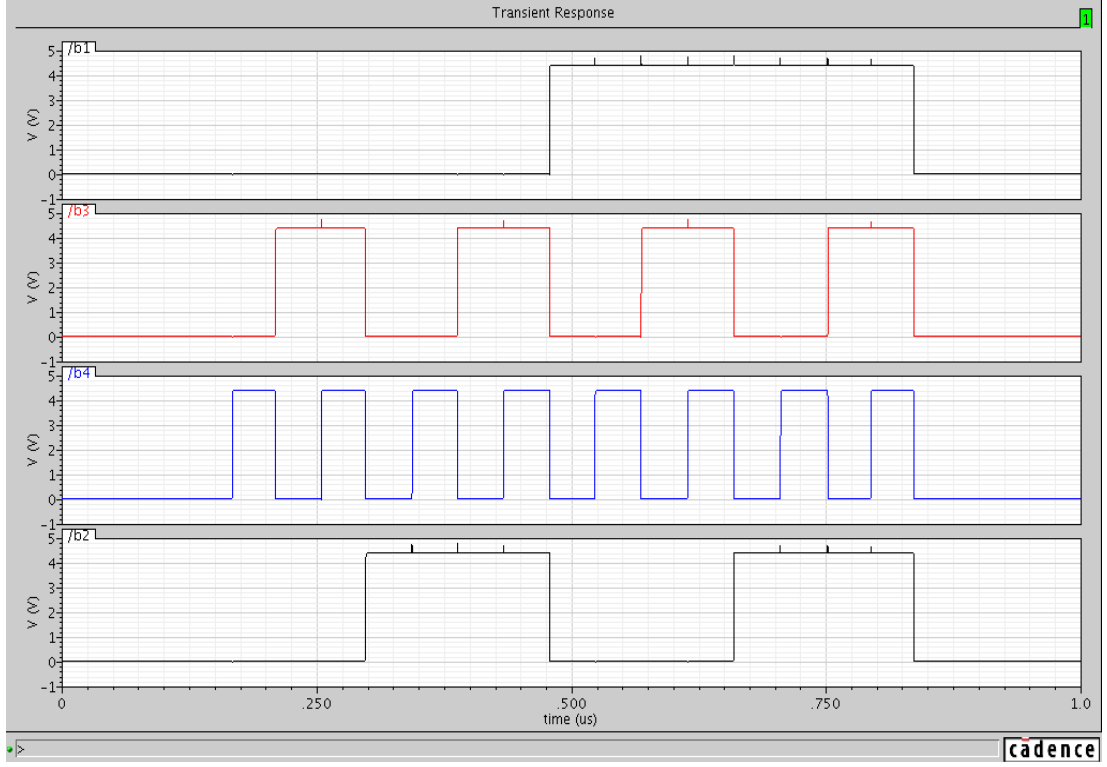
Şekil 7.31 ve Şekil 7.32’da ise farklı frekanstaki giriş işaretleri için 4-bit EEN temelli A / S dönüştürücünün zaman düzleminde vermiş olduğu sonuçlar gösterilmiştir. Yapılan analizler sonucunda 4-bit A / S dönüştürücü blok olarak tek başına çalıştırıldığında herhangi bir problem olmadan çalışmaktadır.



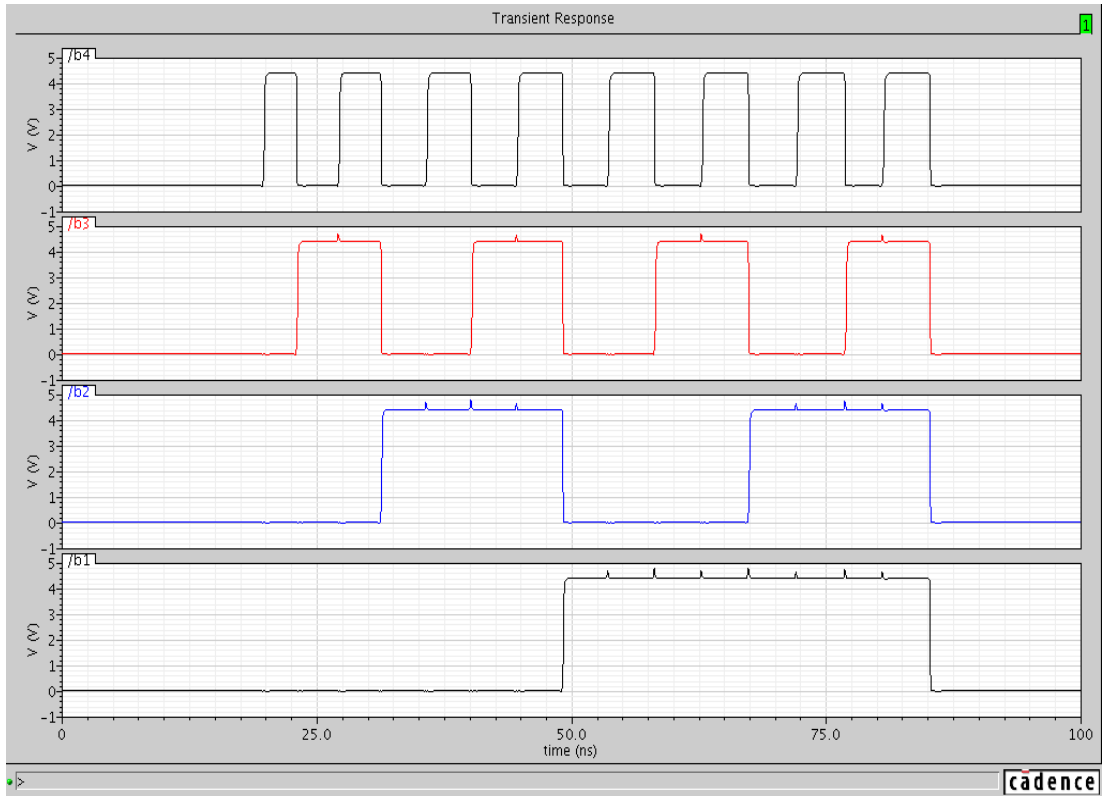
Şekil 7.29: 4 bit EEN temelli A / S dönüştürücünün DC analiz cevabı



Şekil 7.30: 4-Bit EEN temelli kaba A / S dönüştürücünün INL-DNL grafiği



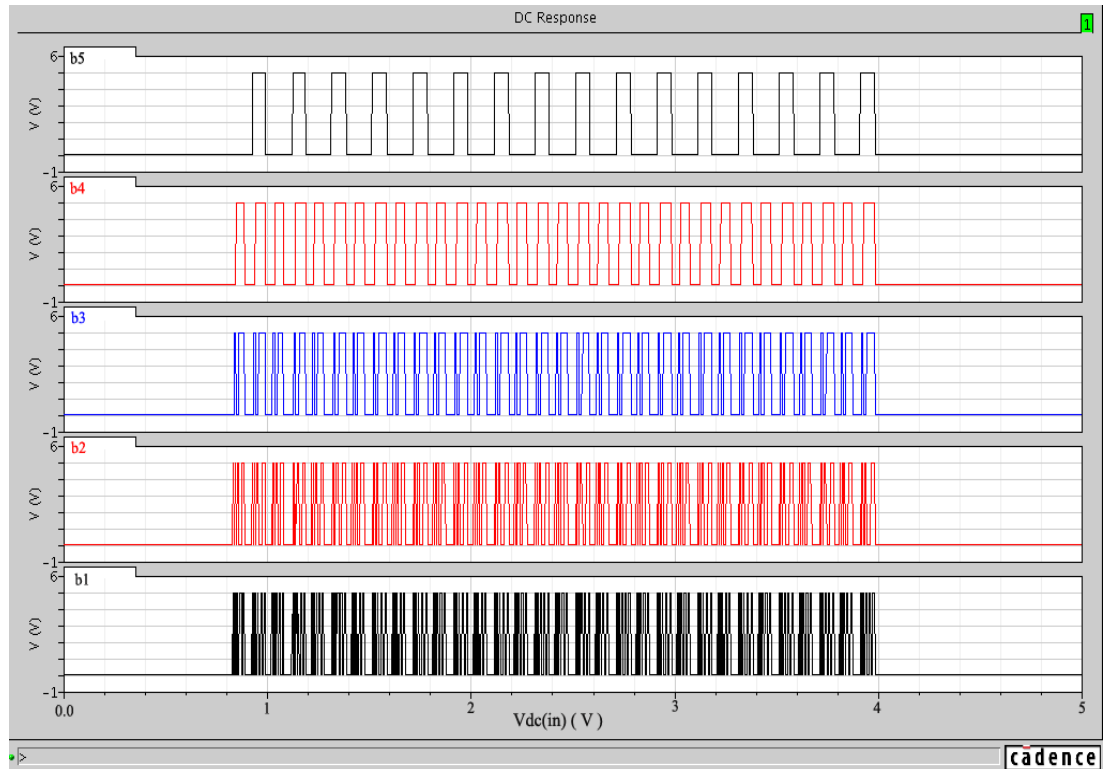
Şekil 7.31: $f_{in}=1\text{MHz}$ için 4-bit A / S dönüştürücü sonuçları



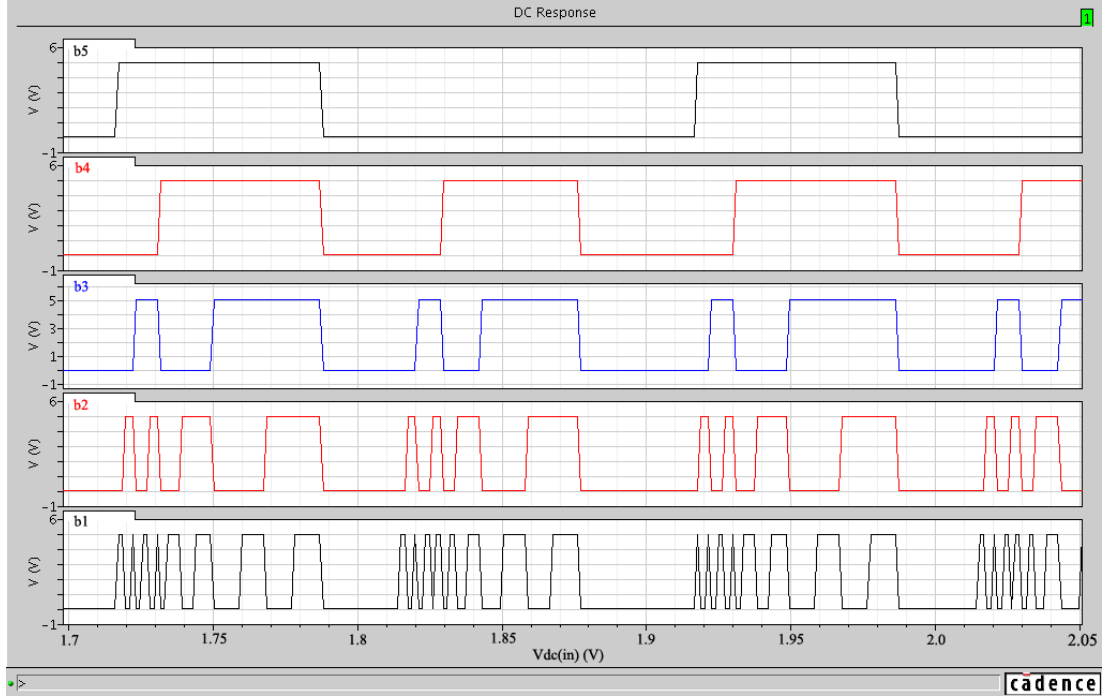
Şekil 7.32: $f_{in}=10\text{MHz}$ için 4-bit A / S dönüştürücü sonuçları

Şekil 7.33 ve Şekil 7.34’de, 5 bit ara-değerlemeli A / S dönüştürücünün dc analizi gösterilmiştir. Yapılan bu analiz yardımı ile ara-değerleme bloğunun da farksal doğrusalsızlık (DNL) ve tümlevsel doğrusalsızlık (INL) grafikleri Şekil 7.35’de gösterilmiştir. Bu dc sonuçlara göre hassas A / S dönüştürücü bloğu çalışmaktadır. Fakat burada özellikle ara değerlendirme bloğunun yüksek frekanslardaki lineerliğini sağlamak için ara değerlendirme bloğunun çıkışları arasında kullanılan bazı direnç değerlerinde farklılıklar vardır. Dolayısıyla iki işaret arasındaki RC zaman gecikmeleri birbirinden farklıdır. Şekil 7.34’de bu görülmektedir. Ayrıca tasarlanan sistemde 5 farklı katlama devresinden gelen işaretler programlanabilir mantık dizisi kullanan kodlayıcıya uygulanmadan önce OR blokları aracılığı ile toplanmaktadır. Bu yüzden birbirini takip eden farklı analog ön işleme blokları arasında gecikme vardır. Bu gecikme de doğal olarak sistemin INL-DNL grafikleri etkilemektedir.

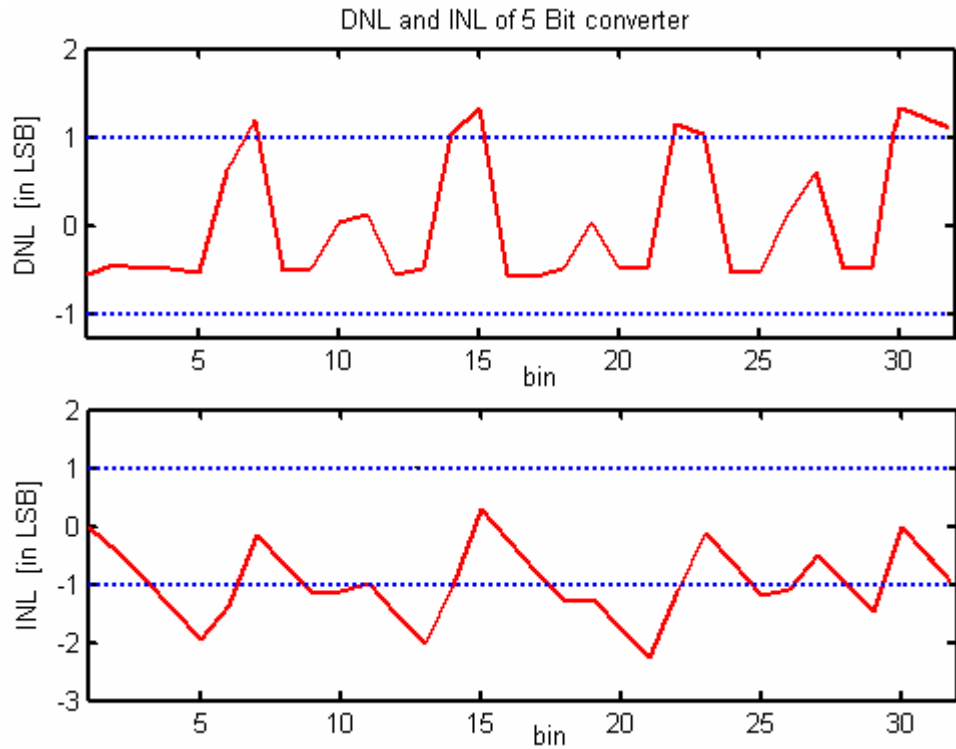
Şekil 7.36 ve Şekil 7.37’de ise farklı frekanstaki giriş işaretleri için 5-bit ara-değerlemeli A / S dönüştürücünün zaman düzleminde vermiş olduğu sonuçlar gösterilmiştir.



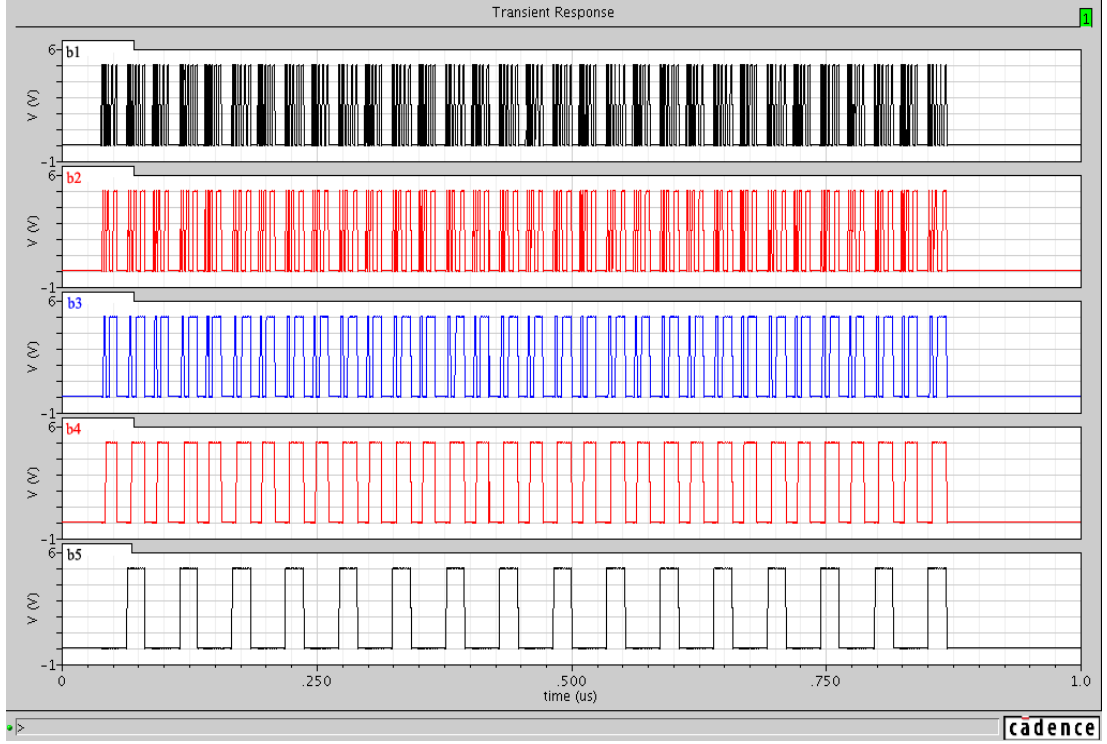
Şekil 7.33: 5 bit ara değerlendirme hassas A / S dönüştürücü DC analiz cevabı



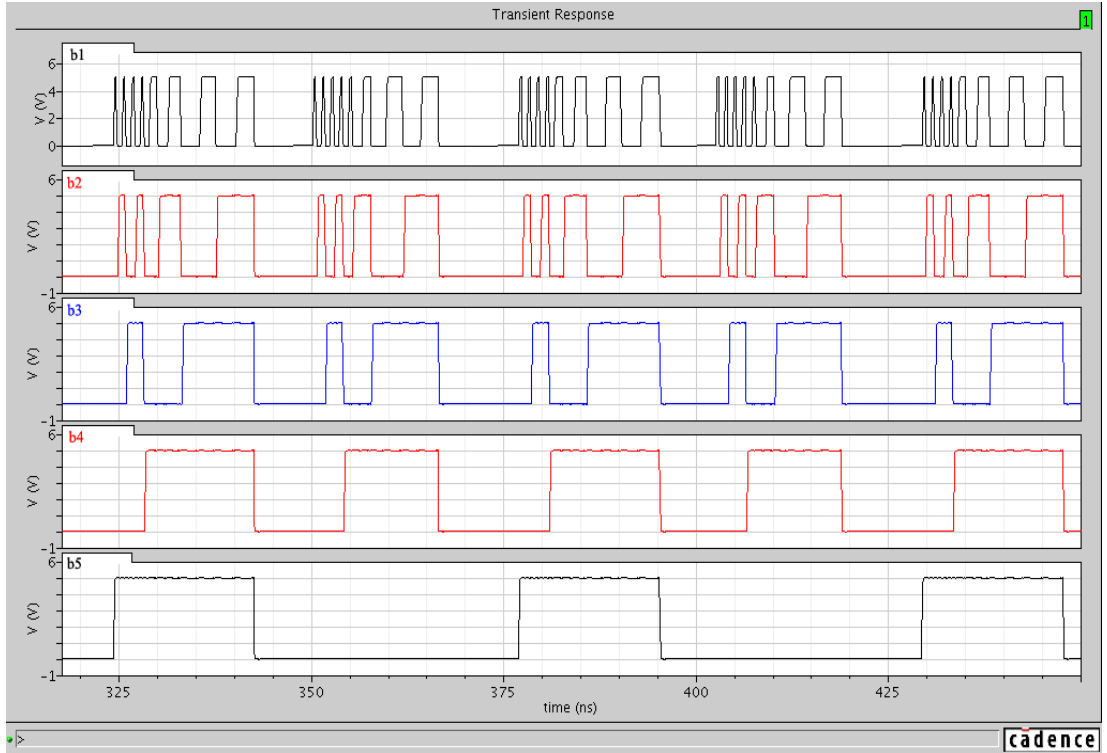
Şekil 7.34: 5 bit ara değerlemeli hassas A / S dönüştürücü DC analiz ayrıntılı gösterimi



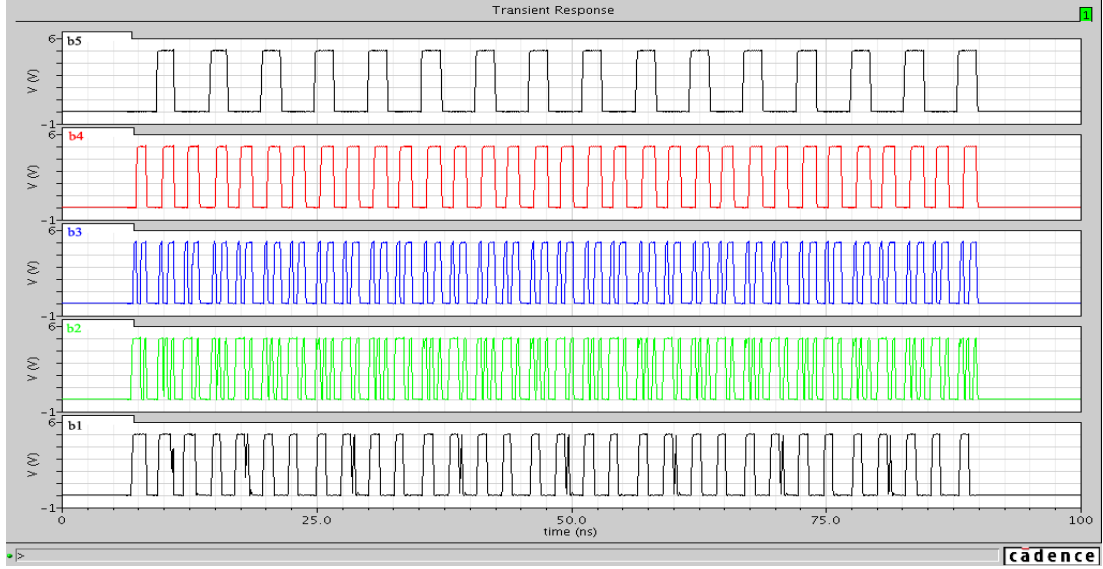
Şekil 7.35: 5-bit ara değerlemeli hassas A / S dönüştürücünün INL-DNL grafiği



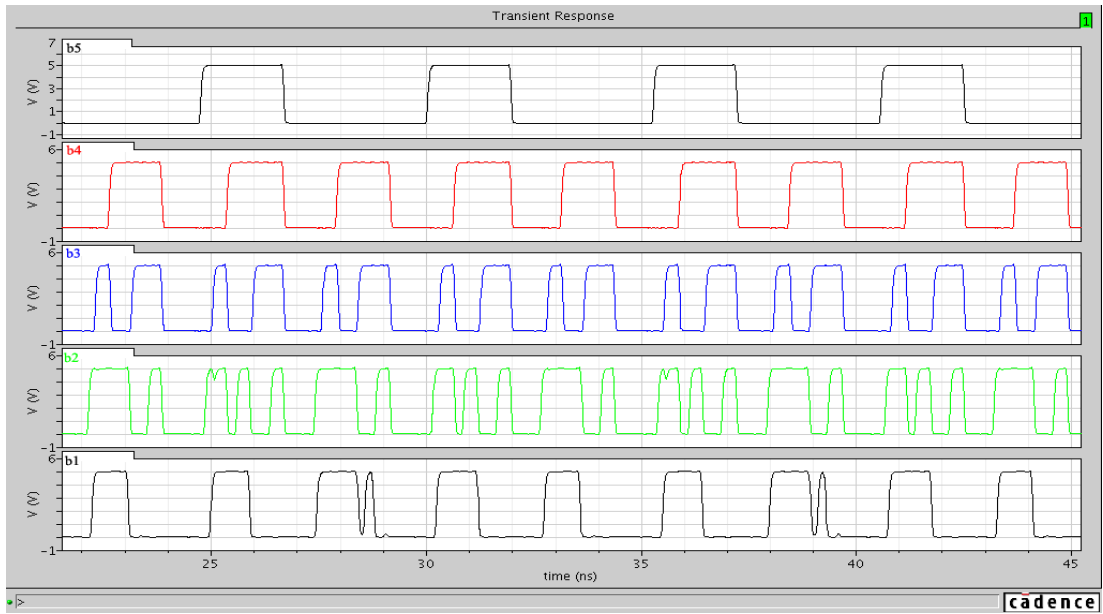
Şekil 7.36: $f_{in}=1\text{MHz}$ için 5-bit ara-değerlemeli hassas A / S dönüştürücü cevabı



Şekil 7.37: $f_{in}=1\text{MHz}$ için 5-bit ara-değerlemeli hassas A / S dönüştürücü çıkışı ayrıntılı gösterimi



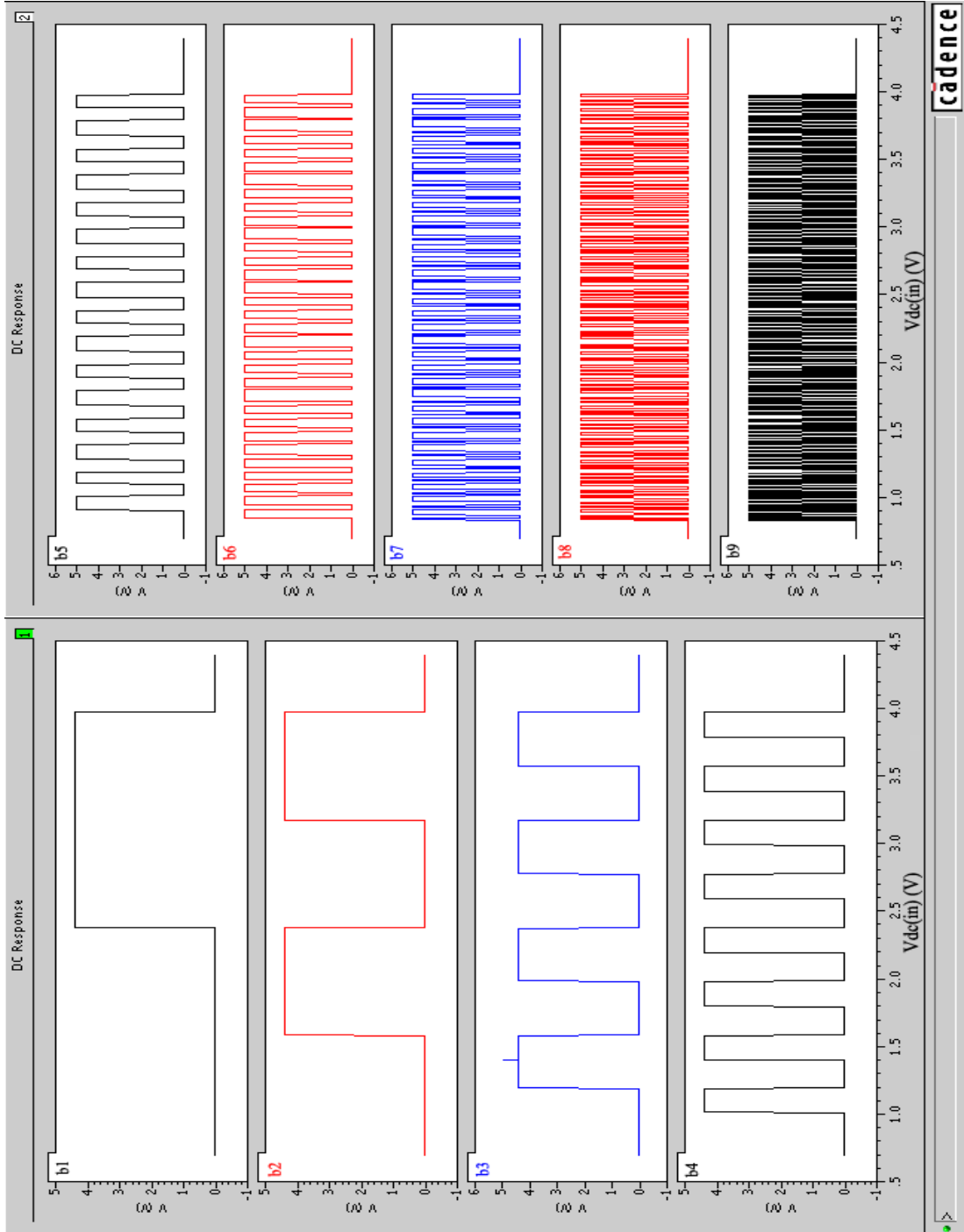
Şekil 7.38: $f_{in}=10\text{MHz}$ için 5-bit ara-değerlemeli hassas A / S dönüştürücü cevabı



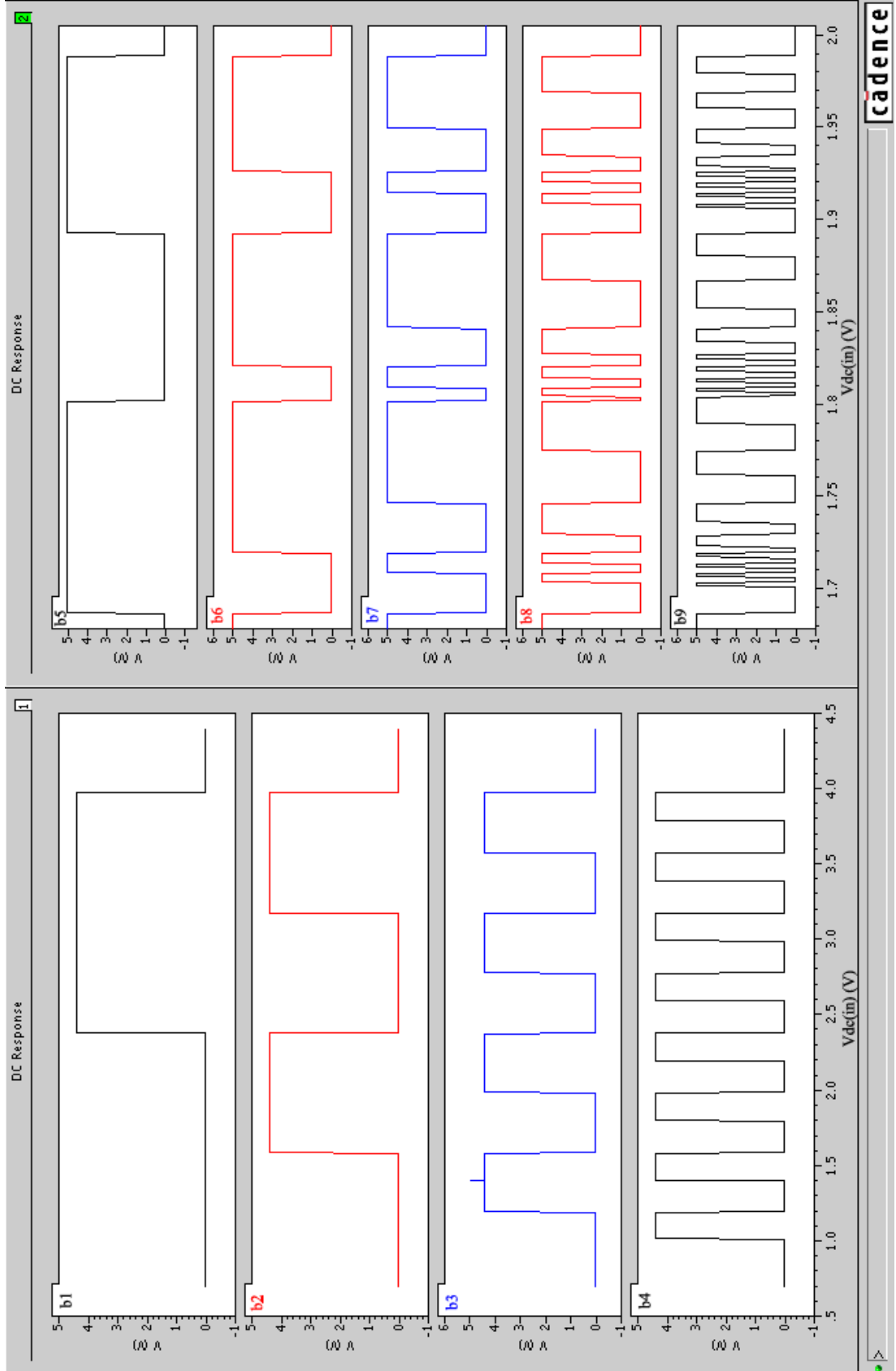
Şekil 7.39: $f_{in}=10\text{MHz}$ için 5-bit ara-değerlemeli hassas A / S dönüştürücü çıkışı ayrıntılı gösterimi

Şekil 7.38 ve 7.39’da görüldüğü üzere 10MHz’lik bir giriş işareti ara-değerlemeli hassas A / S dönüştürücü bloğuna uygulandığında, çıkışta en değersiz iki bitte kod kayıpları meydana gelmektedir. Burada girişe uygulanan işaret 10MHz olmasına rağmen, ara-değerlenmiş karşılaştırıcı girişine gelen işaretin aslında yaklaşık 228MHz olduğunu hatırlatmakta yarar vardır.

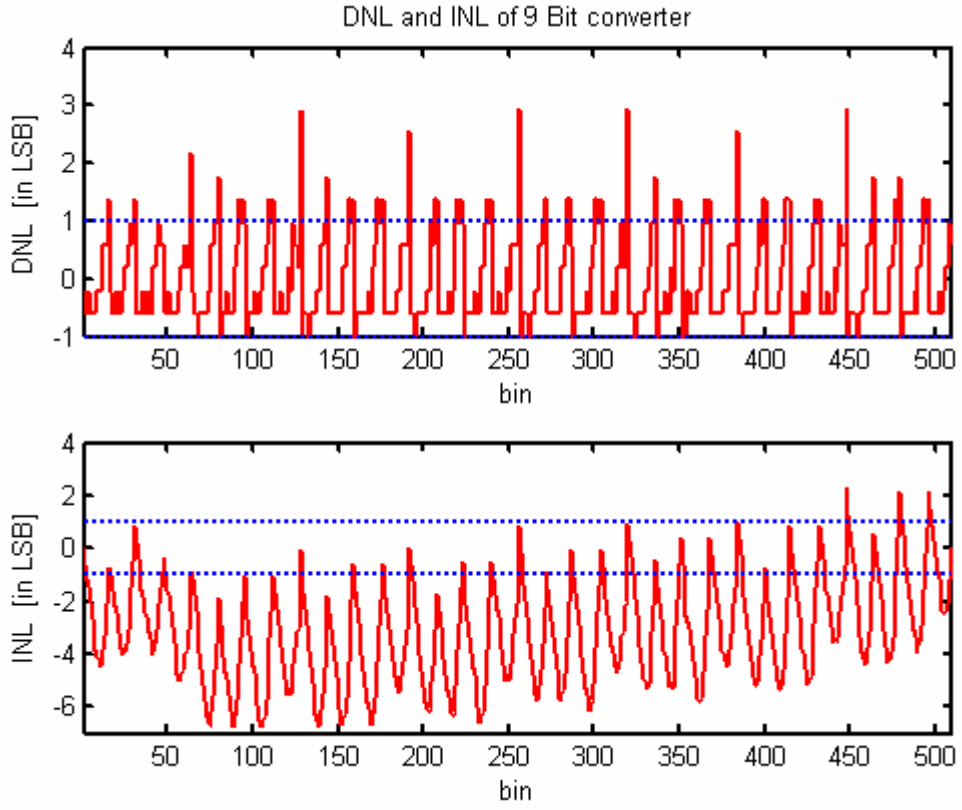
Şekil 7.40 ve Şekil 7.41’de, 9 bit katlamalı ara-değerlemeli A / S dönüştürücünün dc analiz sonucunu göstermektedir. Daha önce de belirtildiği gibi yüksek frekanslarda doğrusallığı sağlamak için ara-değerleme bloğundaki direnç değerlerinin bir kısmı birbirinden farklıdır. Bu farklılık dc analizde görülmektedir. Şekil 7.42 ise sistemin bu analiz yardımı ile çıkartılan INL-DNL grafikleri mevcuttur.



Şekil 7.40: 9 bit katlamalı-ara değerlemeli A / S dönüştürücü DC analiz sonucu

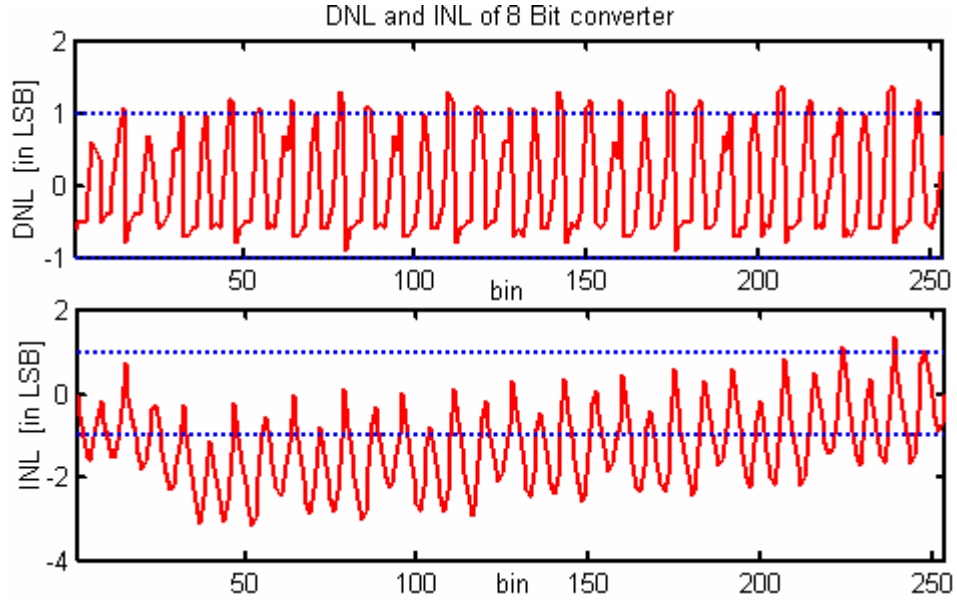


Şekil 7.41: 9-bit katlamalı-ara değerlemeli A / S dönüştürücü ayrıntılı DC analiz sonucu

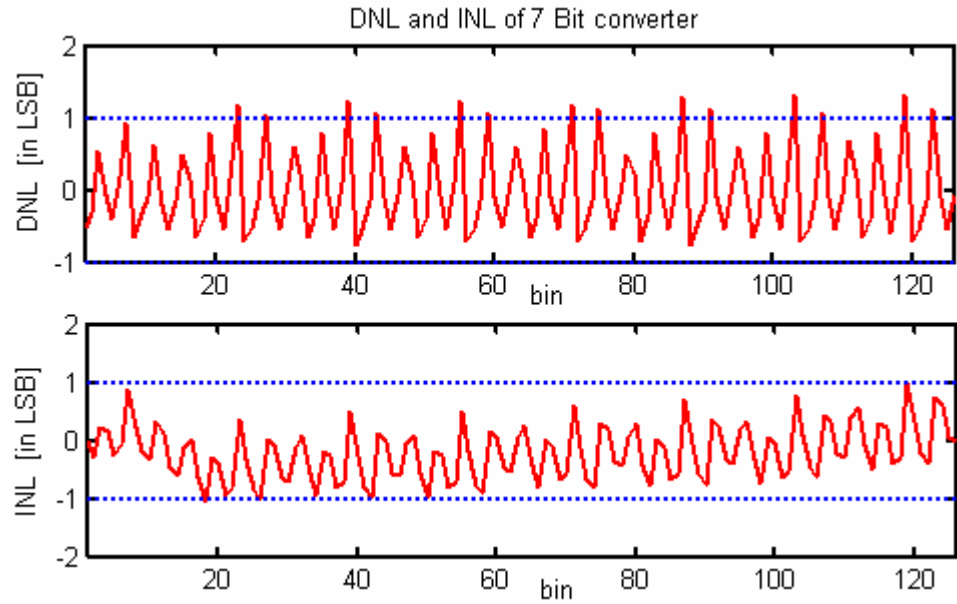


Şekil 7.42: 9-bit katlamalı ara-değerlemeli A / S dönüştürücünün INL-DNL grafiği

Şekil 7.42’de, 9-bit katlamalı ve ara-değerlemeli A / S dönüştürücünün farksal doğrusalsızlık (DNL) ve tümlevsel doğrusalsızlık (INL) grafikleri gösterilmiştir. Burada farksal doğrusalsızlık grafiğinde görüldüğü gibi iğne (glitch) şeklinde hızlı geçiş bozulmaları mevcuttur. Bu istenmeyen geçişler hassas A / S dönüştürücü bloğundan kaynaklanmaktadır. Şekil 7.24, Şekil 7.25, Şekil 7.26 ve Şekil 7.27’de ayrıntılı bir şekilde görülebilir. 1-N kodlayıcı devre çıkışında görüldüğü gibi farklı katlama devreleri aracılığıyla ara-değerlemesi yapılan işaretler arasında belli bir gecikme süresi mevcuttur. Bu gecikme süresi aynı zamanda tümlevsel doğrusalsızlık grafiğini de etkilemektedir. Aslında blokların tek olarak çalıştıkları durumlarda elde edilen grafikler sistemin çalıştığını göstermektedir. Bu gecikme süresi de Şekil 7.41’de görüldüğü üzere özellikle hassas bitlerin elde edilmesinde etkilidir. Ayrıca sistemin en değerli 7-bit ve 8-bit için de INL-DNL grafikleri çizdirilmiştir. Şekil 7.43 ve Şekil 7.44’de gösterilmiştir.

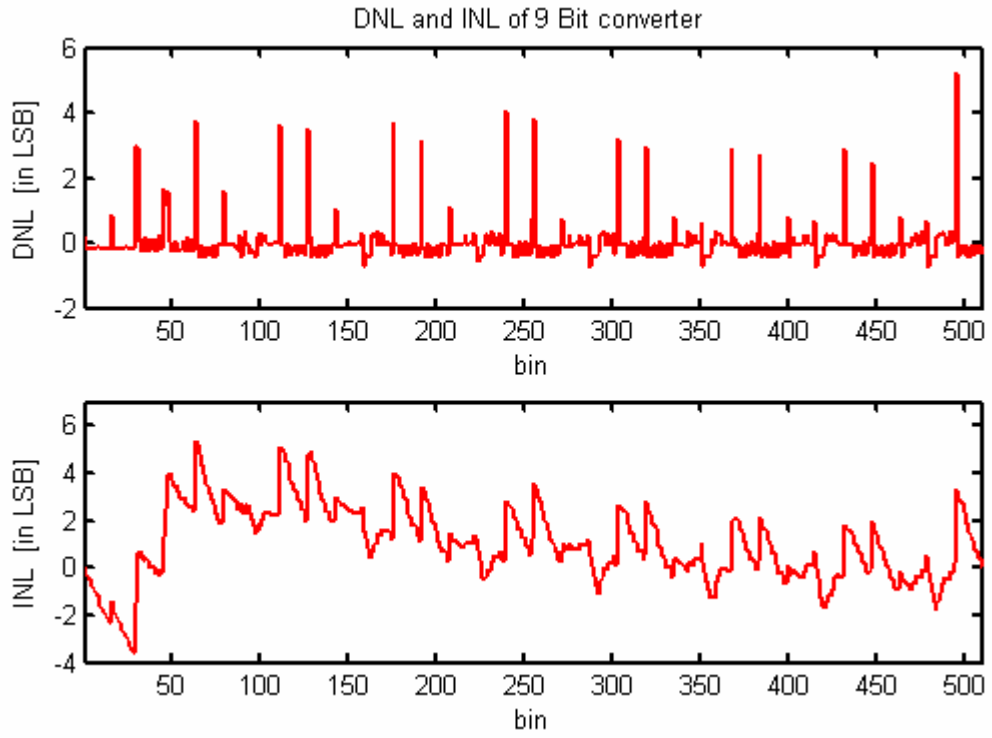


Şekil 7.43: 9-bit katlamalı ara-değerlemeli A / S dönüştürücünün en değerli 8 bitin INL-DNL grafiği

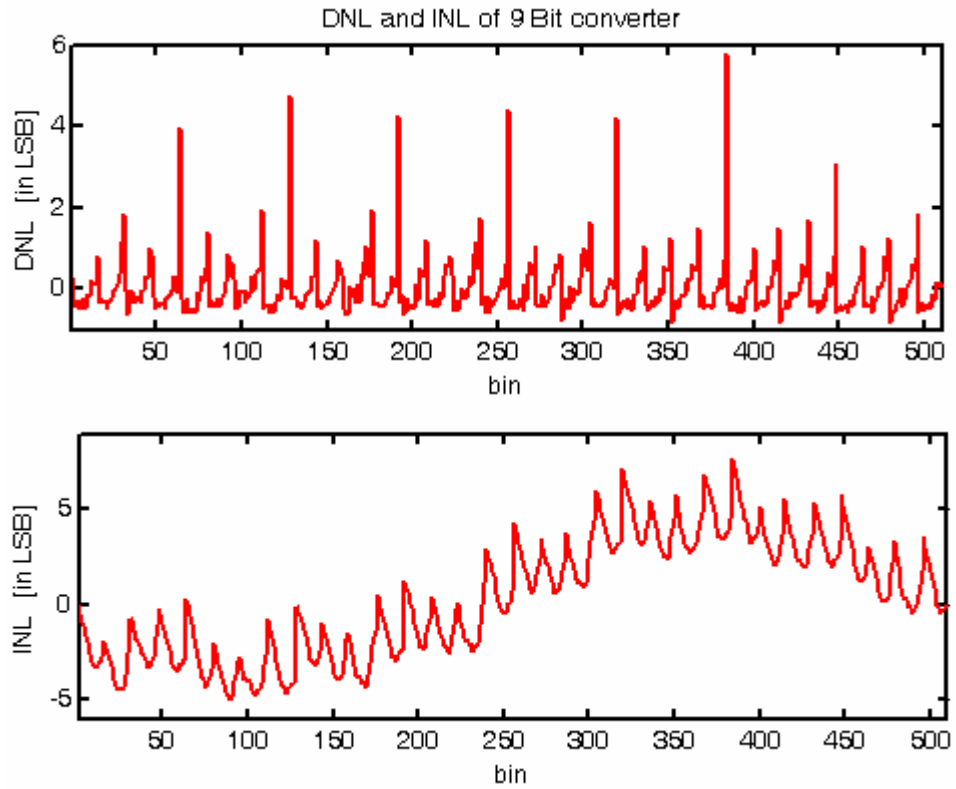


Şekil 7.44: 9-bit katlamalı ara-değerlemeli A / S dönüştürücünün en değerli 7 bitin INL-DNL grafiği

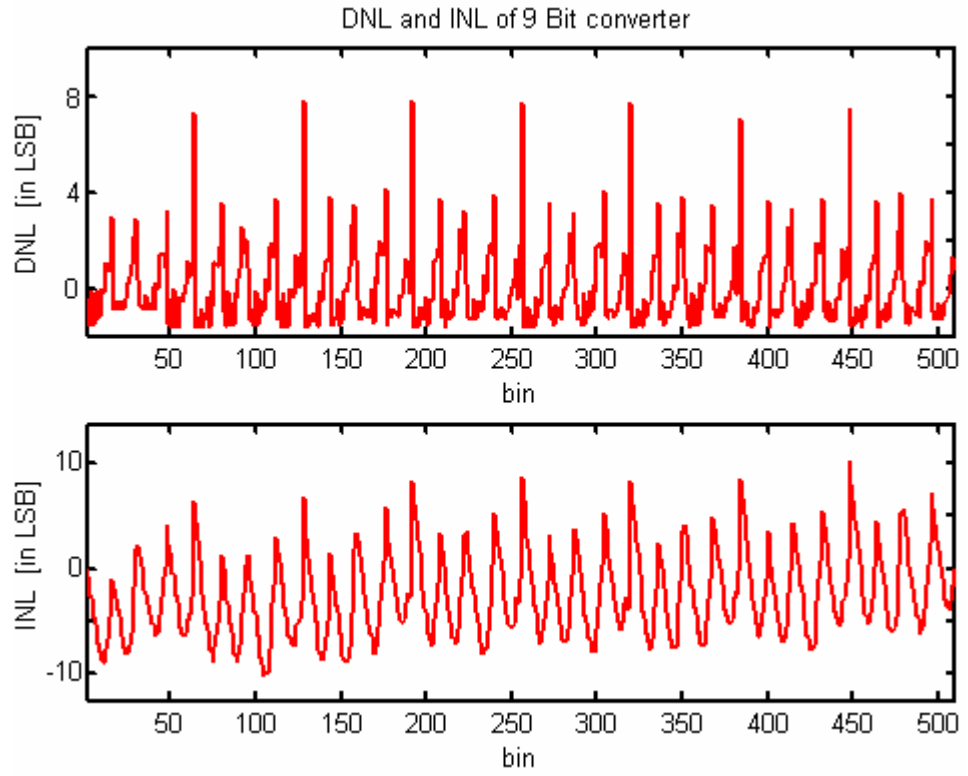
Blok şeması Şekil 7.1’de gösterilen sistemin girişine 100Hz, 1KHz, 1MHz, 2.5MHz ve 5MHz giriş frekanslarına sahip rampa işareti uygulanmıştır. Uygulanan bu işarete sistemin vermiş olduğu sayısal çıkışlar yardımıyla Şekil 7.45 ile Şekil 7.49 arasında gösterilen INL-DNL grafikleri elde edilmiştir.



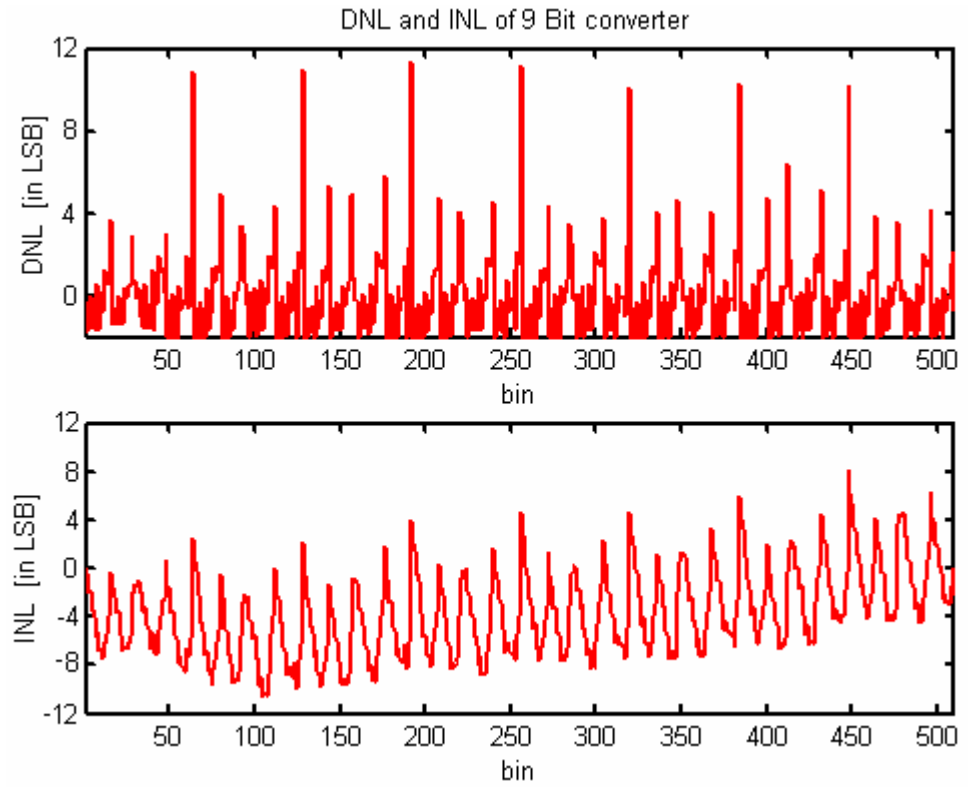
Şekil 7.45: $f_{in}=100\text{Hz}$ iken elde edilen INL-DNL grafiği



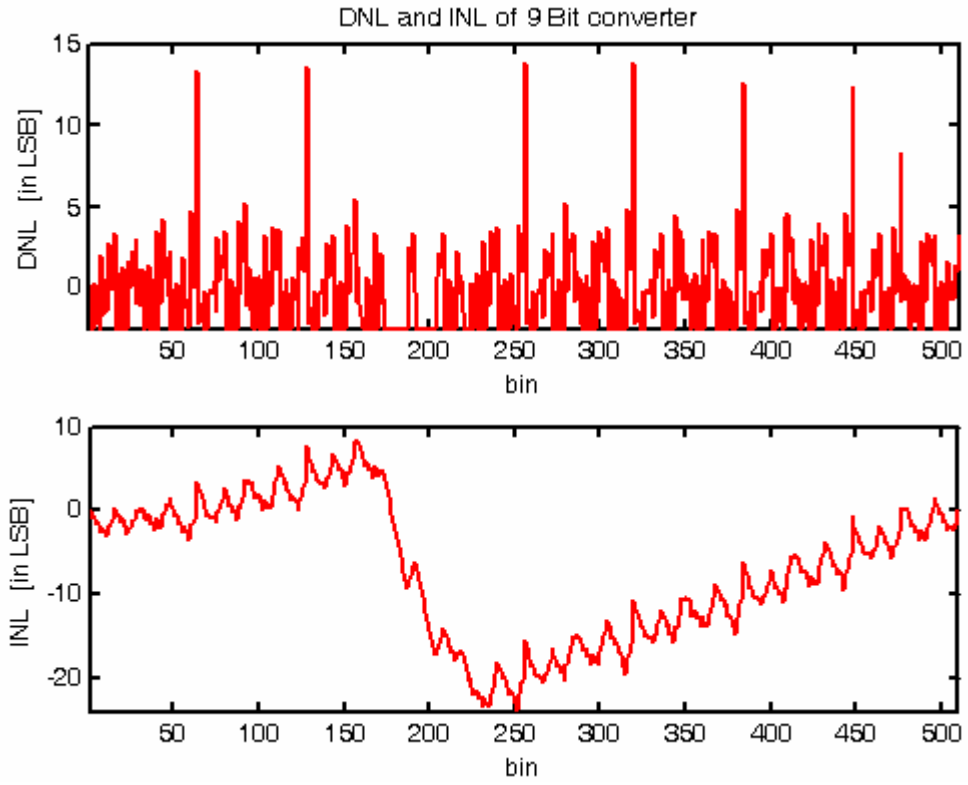
Şekil 7.46: $f_{in}=1\text{KHz}$ iken elde edilen INL-DNL grafiği



Şekil 7.47: $f_{in}=1\text{MHz}$ iken elde edilen INL-DNL grafiği

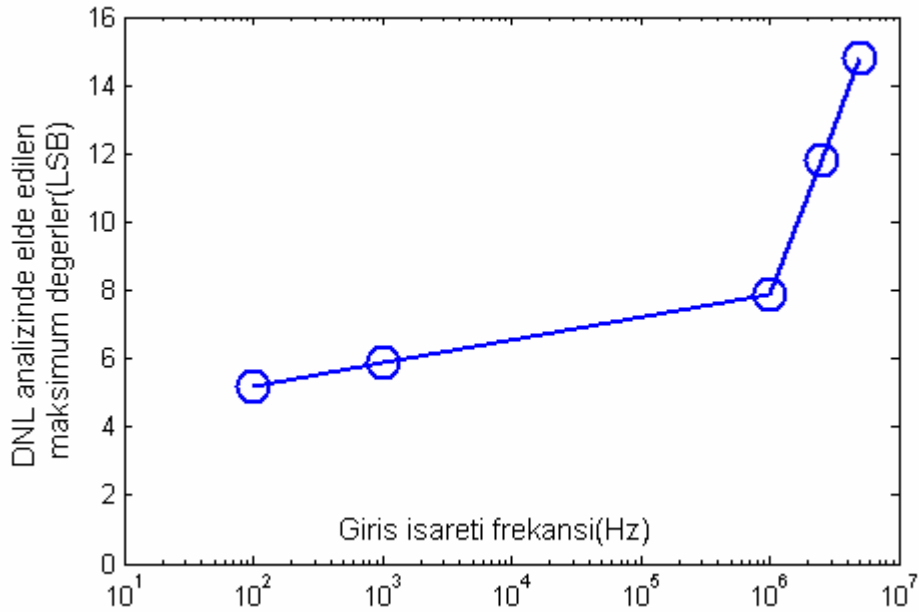


Şekil 7.48: $f_{in}=2.5\text{MHz}$ iken elde edilen INL-DNL grafiği

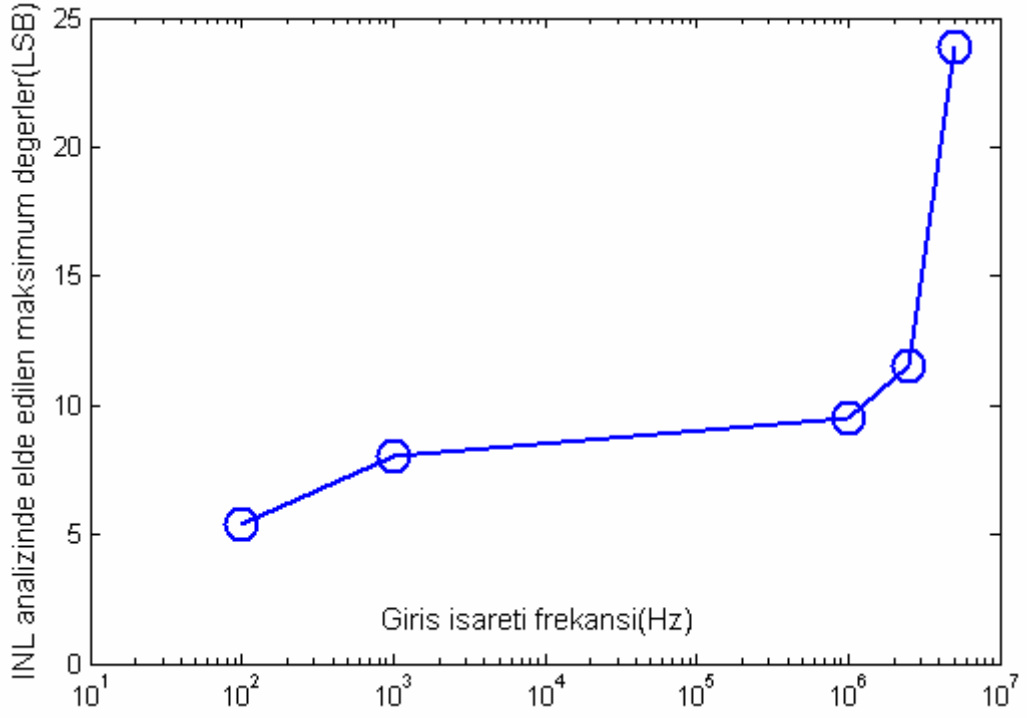


Şekil 7.49: $f_{in}=5\text{MHz}$ iken elde edilen INL-DNL grafiği

Şekil 7.45-7.49 arasındaki grafiklerde elde edilen maksimum hatalar, giriş işareti frekansına göre düzenlenirse Şekil 7.50-51’de gösterilen grafikler elde edilmiş olur.

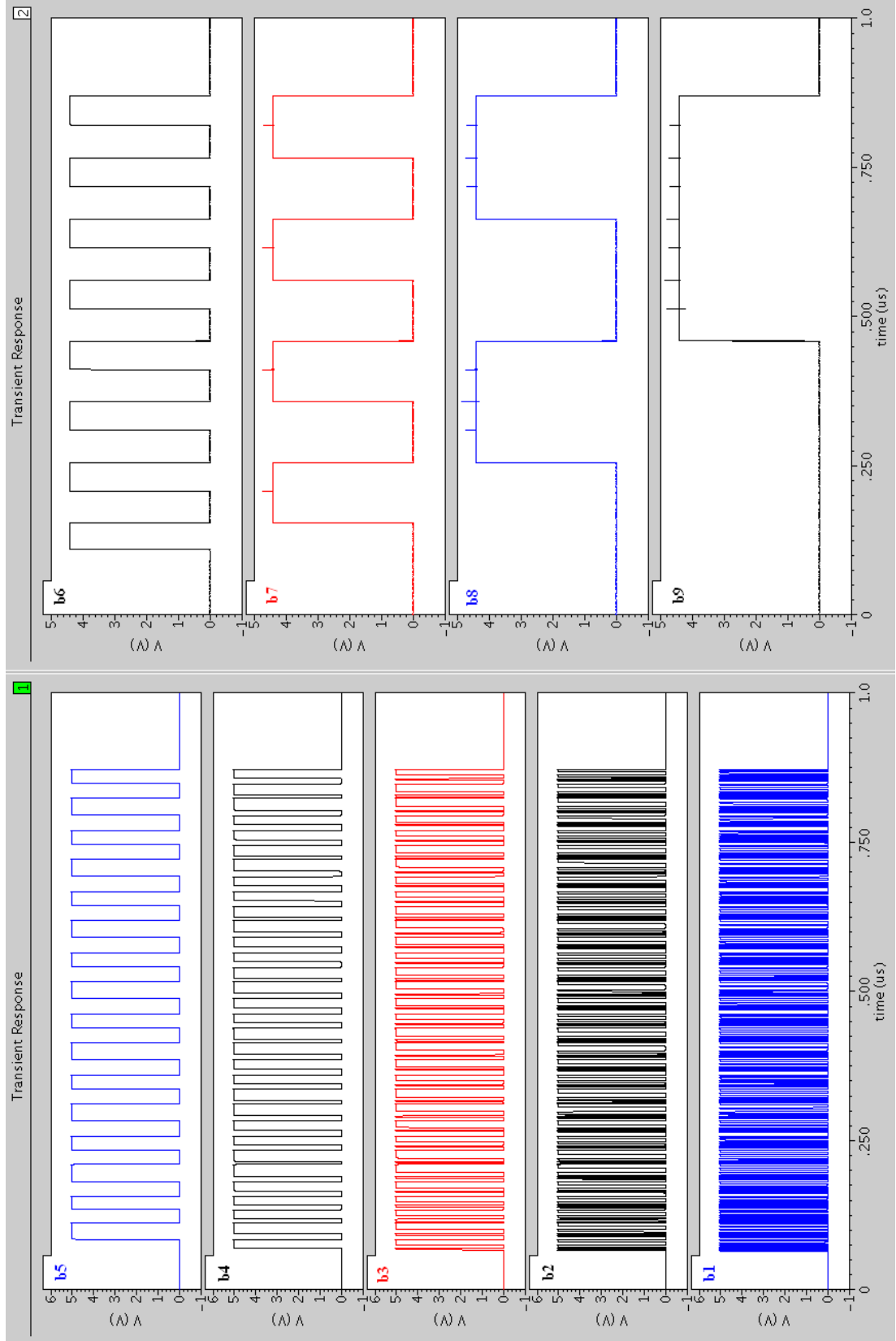


Şekil 7.50: Giriş işareti frekansına göre elde edilen maksimum DNL değerleri

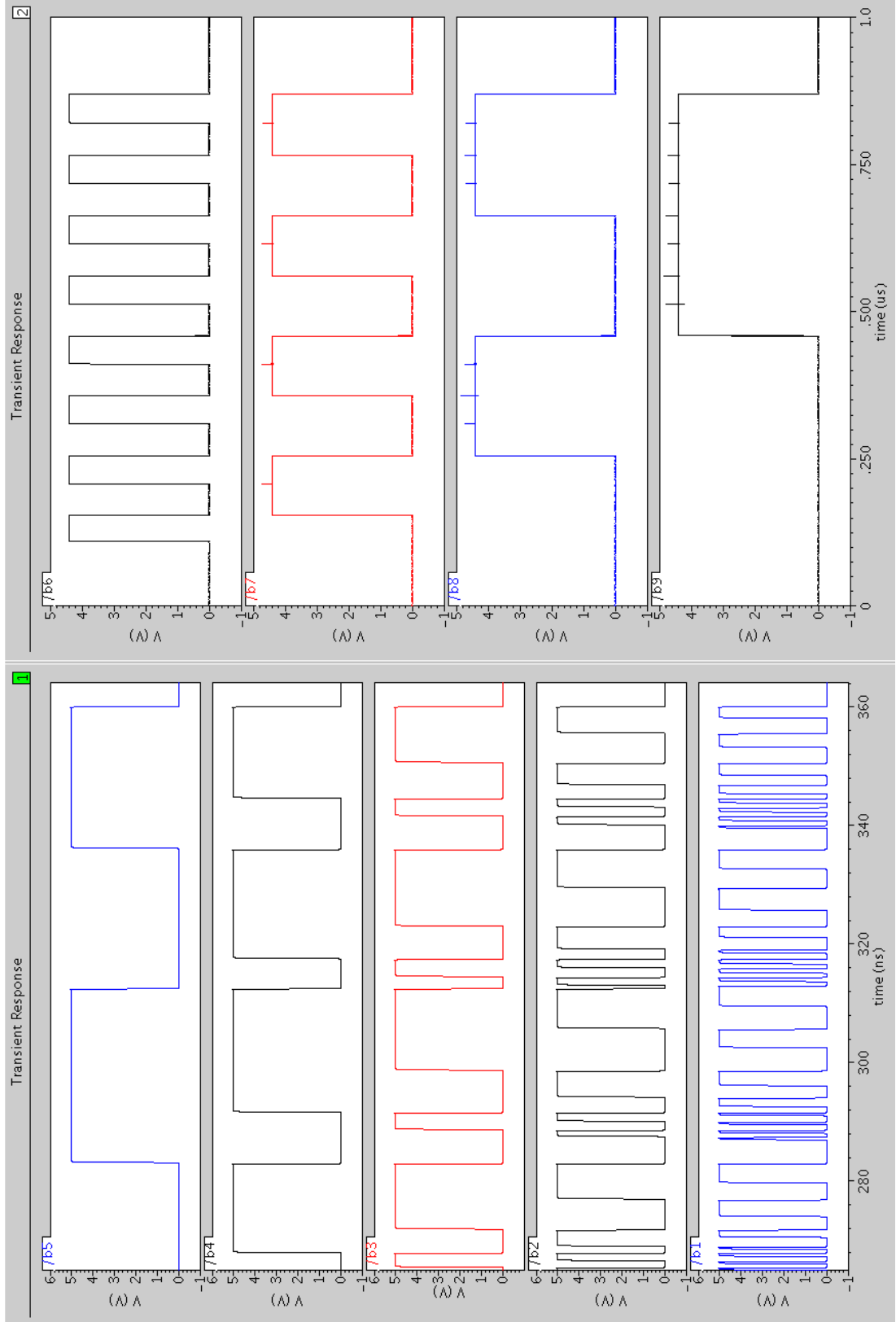


Şekil 7.51: Giriş işareti frekansına göre elde edilen maksimum INL değerleri

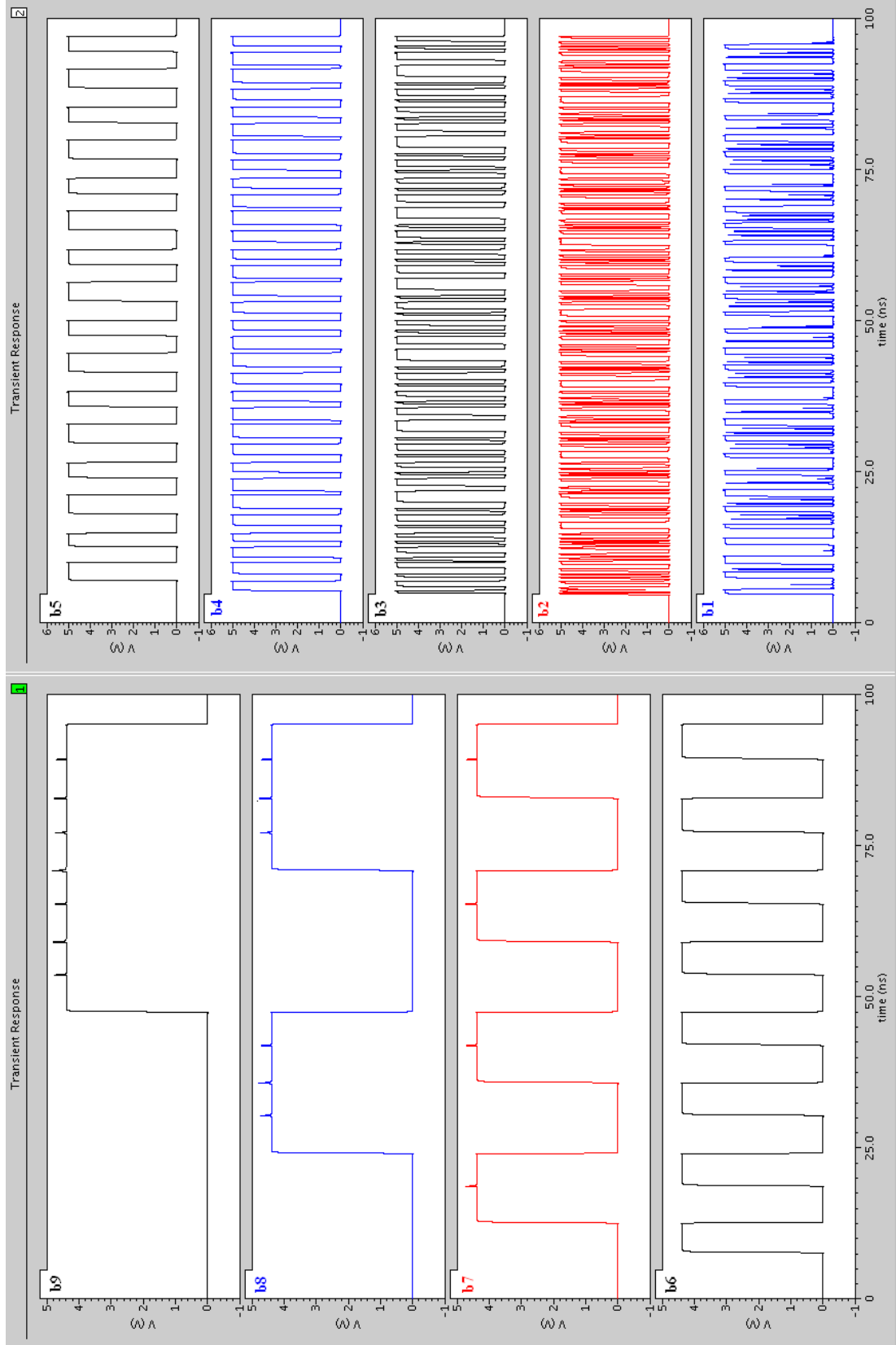
Şekil 7.52, Şekil 7.53 ve Şekil 7.54, önerilen sistemin farklı frekanstaki giriş değerleri için elde edilen sayısal çıkışları göstermektedir. Bu grafiklerde sayısal bloğun saat frekansı 2GS/s olarak alınmıştır. Sayısal bloğun saat frekansı, çıkış kodlarının konum değişimini sağlayan dinamik tutucu devresinin saat işaretidir.



Şekil 7.52: $f_{in} = 1\text{MHz}$ için 9 bit A / S dönüştürücü sonuçları



Şekil 7.53: $f_{in}=1\text{MHz}$ için 9 bit A / S dönüştürücü ayrıntılı sonuçları

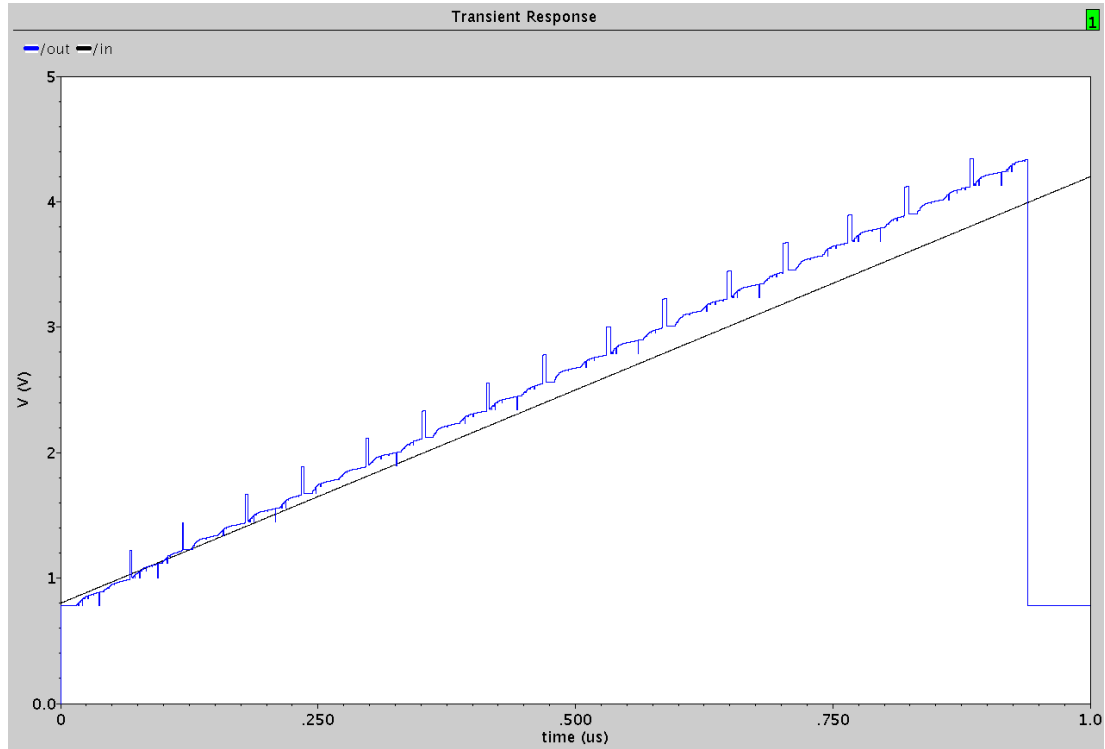


Şekil 7.54: $f_{in} = 10\text{MHz}$ için 9 bit A / S dönüştürücü sonuçları

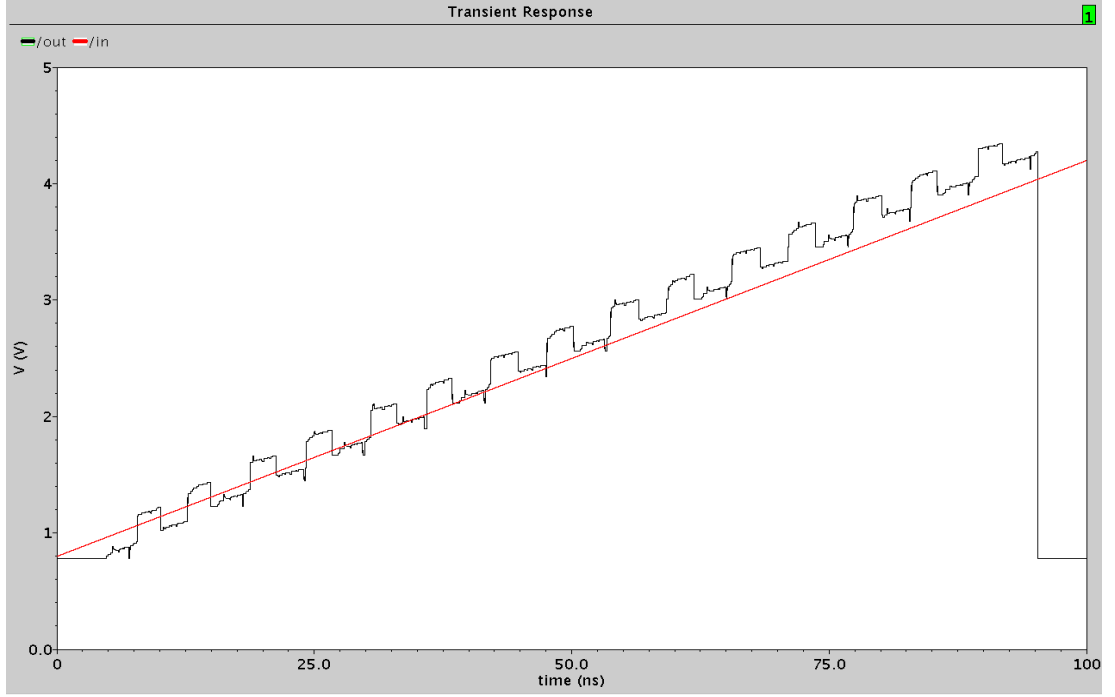
Şekil 7.1’de gösterilen blok şemaya göre elde edilen sayısal çıkışlar Şekil 7.52 ve Şekil 7.54’te gösterilmiştir. Elde edilen bu sonuçlara göre sistemde giriş işaretinin frekansı arttıkça bitlerdeki kod kayıpları oldukça artmaktadır. Özellikle 10MHz ve üzerindeki frekanslarda kod kayıplarının olduğu Şekil 7.54’te ayrıntılı bir şekilde görülmektedir.

9 bit katlamalı ve ara-değerlemeli A / S dönüştürücüye uygulanan farklı frekanstaki rampa giriş işareti için elde edilen sayısal çıkışlar, ideal bir S / A dönüştürücüye uygulanmış ve Şekil 7.55, Şekil 7.56, Şekil 7.57’de gösterilen sonuçlar elde edilmiştir.

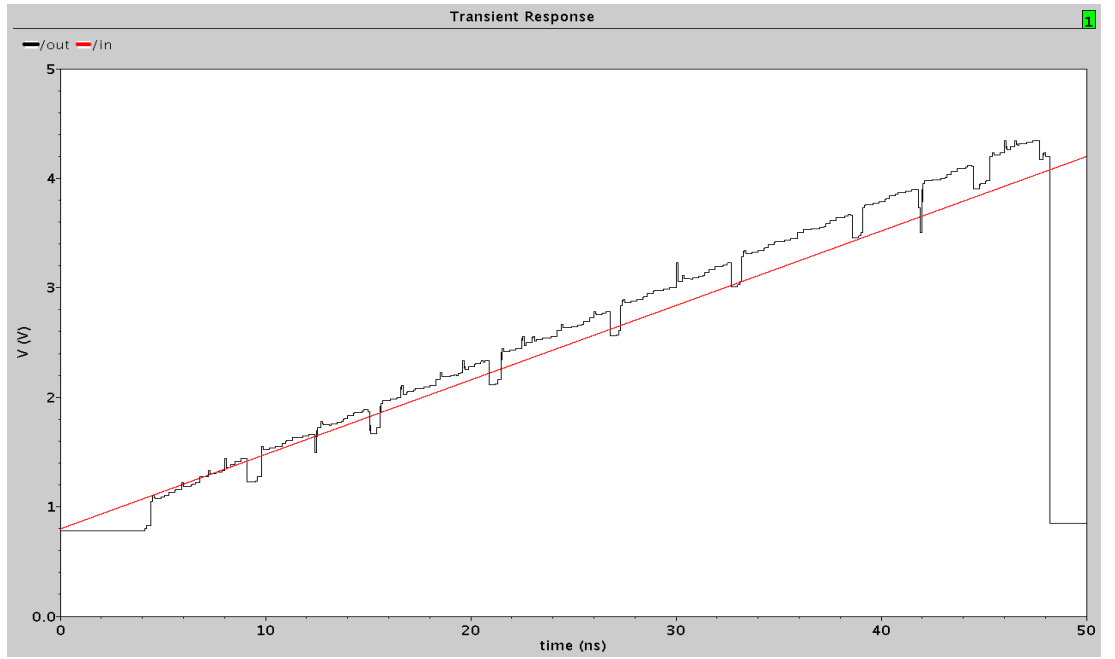
Şekil 7.55’deki grafik için saat işaretinin frekansı 1GS/s, Şekil 7.56 ve Şekil 7.57 için ise saat işaretinin frekansı 2GS/s olarak uygulanmıştır.



Şekil 7.55: $f_{in}=1\text{MHz}$ için ideal S / A dönüştürücü cevabı

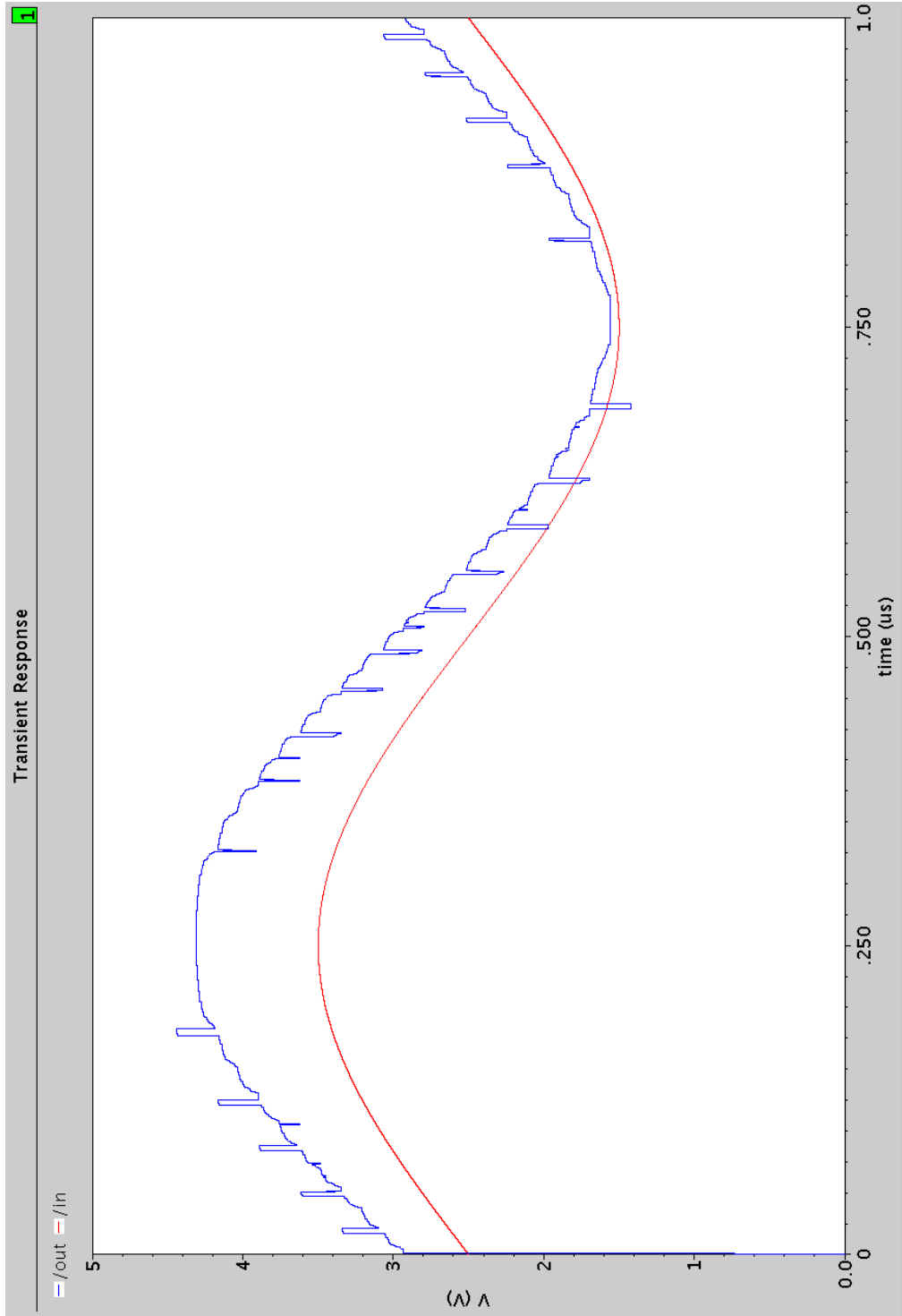


Şekil 7.56: $f_{in}=10\text{MHz}$ için ideal S / A dönüştürücü cevabı

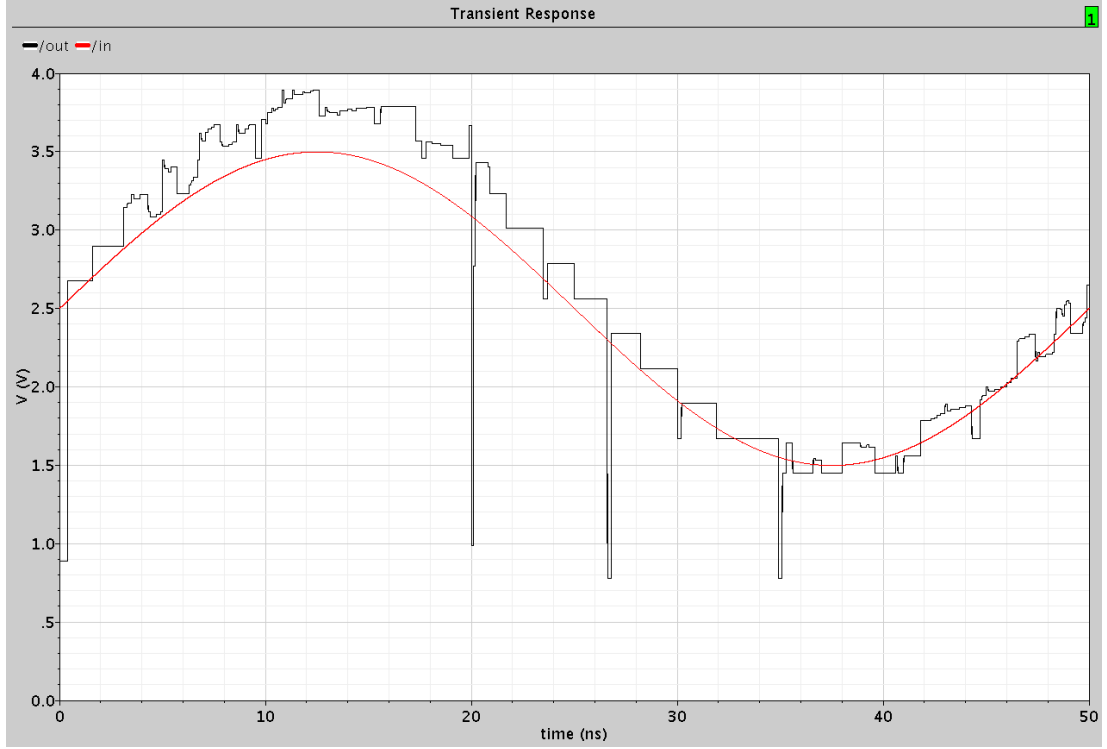


Şekil 7.57: $f_{in}=20\text{MHz}$ için ideal S / A dönüştürücü cevabı

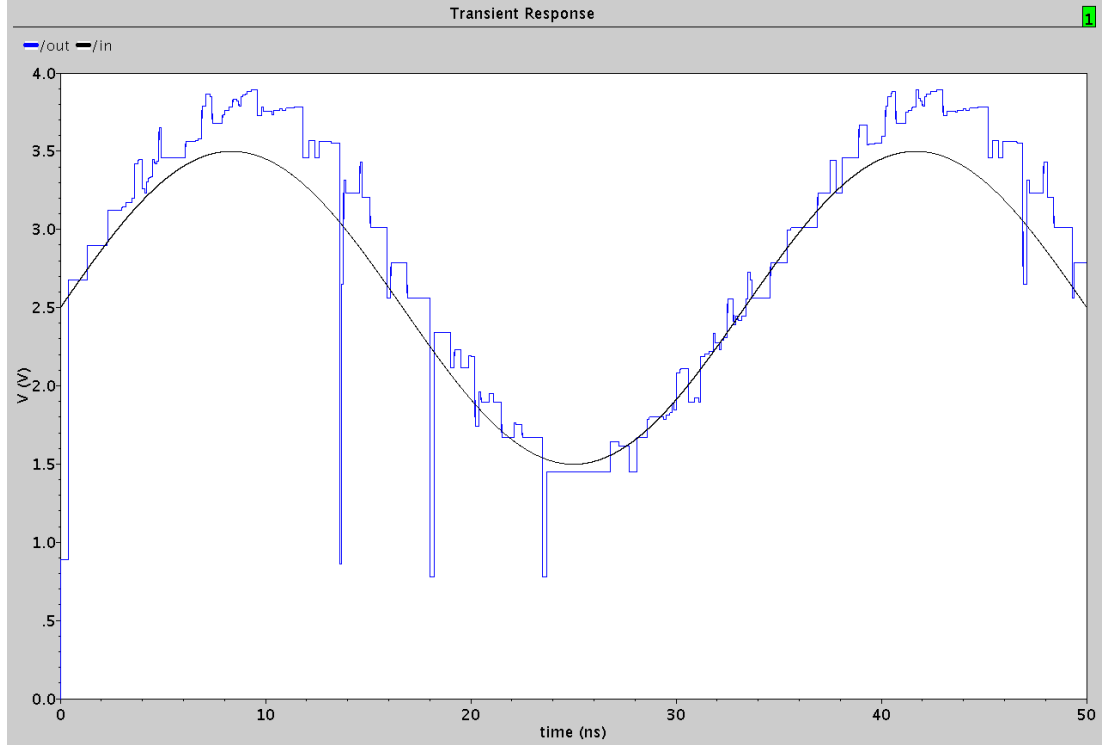
Şekil 7.58, Şekil 7.59 ve Şekil 7.60'de ise sisteme uygulanan sinüsoidal giriş işareti sonucunda elde edilen sayısal çıkışlar, ideal S / A dönüştürücüye uygulandığında elde edilen sonuçlar gösterilmiştir. Bu grafiklerde saat işareti frekansı 1GS/s olarak uygulanmıştır.



Şekil 7.58: $f_{in}=1\text{MHz}$ sinüsoidal giriş işareti için ideal S / A dönüştürücü cevabı

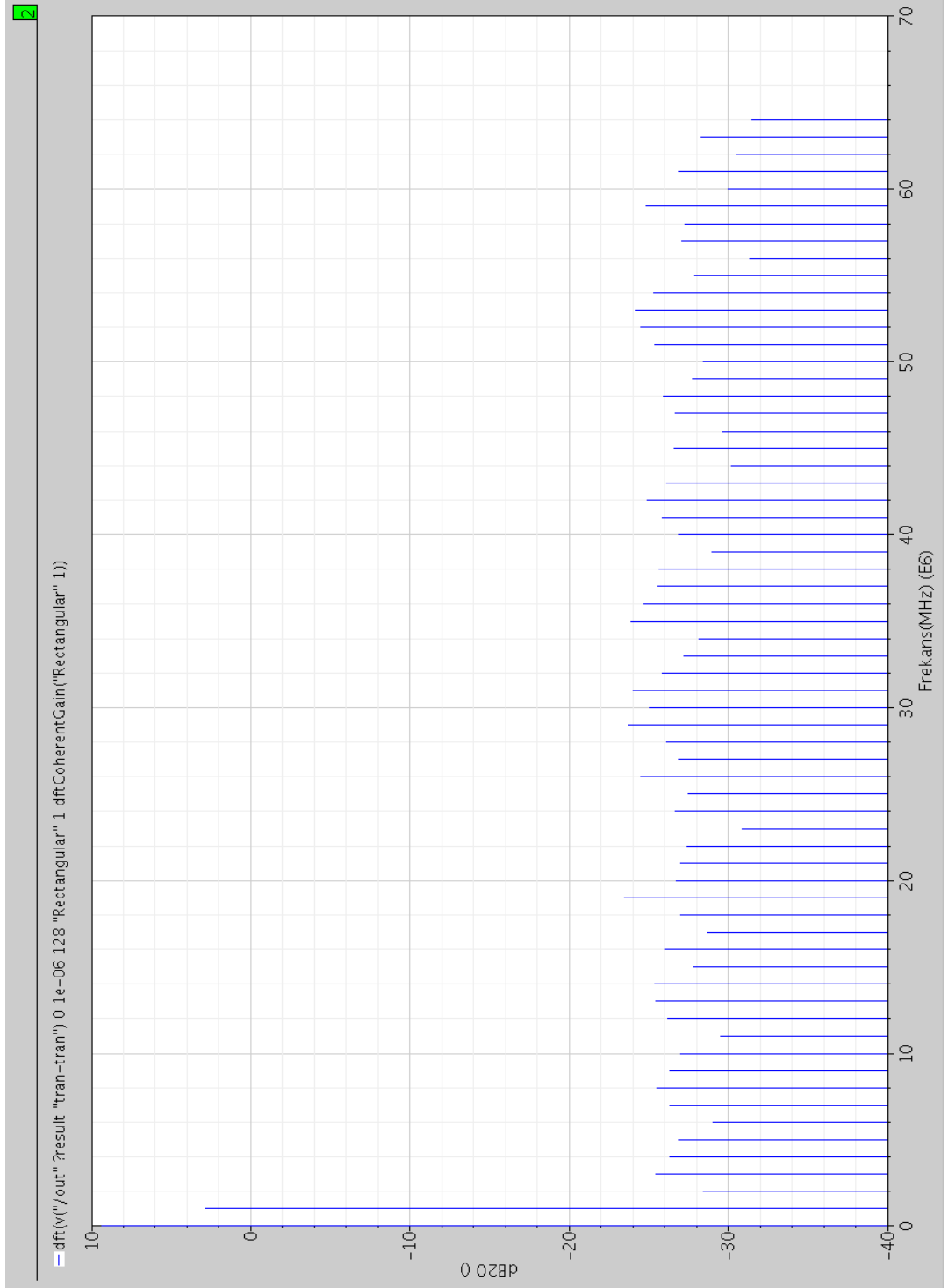


Şekil 7.59: $f_{in}=20\text{MHz}$ sinüsoidal giriş işareti için ideal S / A dönüştürücü cevabı

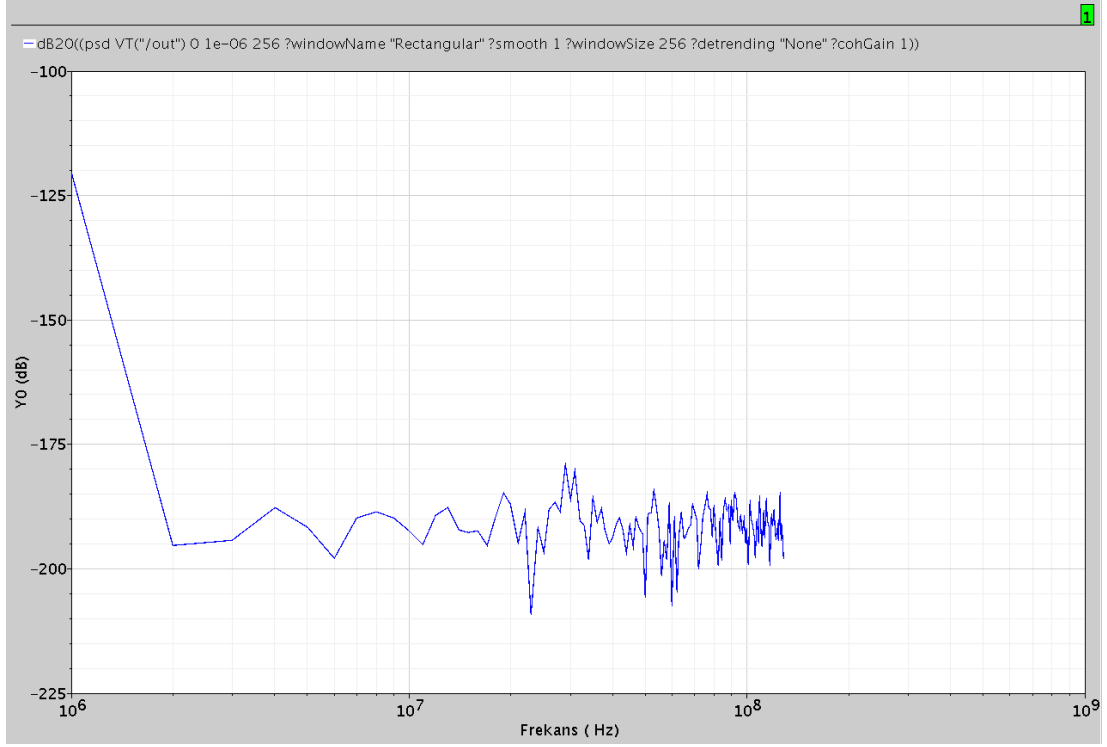


Şekil 7.60: $f_{in}=30\text{MHz}$ sinüsoidal giriş işareti için ideal S / A dönüştürücü cevabı

Şekil 7.52 ve Şekil 7.53’de 1MHz sinüsoidal giriş işareti için elde edilen A / S dönüştürücü sayısal çıkışları, ideal S / A dönüştürücüye uygulandığında elde edilen çıkış işaretinin ayrık zamanlı fourier dönüşümü (DFT) ve spektral güç yoğunluğu (PSD), ilgili şekillerde gösterilmiştir.



Şekil 7.61: 1MHz giriş işareti uygulandığında elde edilen ayrık fourier dönüşüm cevabı



Şekil 7.62: 1MHz giriş işareti uygulandığında elde edilen spektral güç yoğunluğu

Şekil 7.1’de blok şeması gösterilen 9 bit katlamalı ve ara-değerlemeli A / S dönüştürücünün 0.35µm CMOS C35 AMS model parametreleri kullanılarak, AMS HIT-KIT’de yapılan analiz sonuçlarına göre blokların çekmiş oldukları maksimum ve ortalama akımlar Tablo 7.1’de, tasarımı yapılan A / S dönüştürücünün performans karşılaştırması da Tablo 7.2’de özetlenmiştir.

Tablo 7.1: Sistemdeki bloklardan çekilen maksimum ve ortalama akım değerleri

Blok Adı	Maksimum Akım	Ortalama Akım
4-Bit A / S Dönüştürücü Bloğu	169.35mA	135.15mA
Ara Değerleme Bloğu	497mA	480mA
5-Bit A / S Dönüştürücü Bloğu	325.17mA	302.77mA
Analog Ön İşleme Bloğu	30.15mA	29.1mA

Tablo 7.2: 9 bit ara-değerlemeli A / S dönüştürücü sonuçları

	Yapılan Çalışma	[17]	[101]	[102]	[103]	[104]
Teknoloji	0.35µm CMOS C35 AMS	0.8µm BiCMOS	0.18µm CMOS	0.35µm CMOS	0.5µm Silicon Bipolar	47GHz Sige
Çıkış Bit Sayısı	9 bit	8bit	8bit	8bit	8bit	8bit
Etkin Bit Sayısı	5 bit	6.8bit	7.26bit	7.5bit	7bit	7.45bit
Besleme Gerilimi	5V	-5V	1.8V	3.3 / 1.8V	5V	3.3V
Analog Giriş Gerilim Aralığı	0.8V- 4.2V	0V - (-1V)	±400mV	0-2V	--	--
Güç Tüketimi (Maksimum)	5.1W	550mW	774mW	200mW	2.5W	3.5W
Güç Tüketimi (Ortalama)	4.73W	--	--	--	--	--
SFDR	30dB(Fin=1MHz)	47dB	56dB	--	--	--
THD (Toplam harmonik bozulma)	27.18dB	--	-57dB	--	--	--

BÖLÜM 8 : SONUÇLAR VE ÖNERİLER

Yapılan bu çalışmada, 9 bit EEN temelli anahtar seçmeli A / S dönüştürücü tasarımı-benzetimi ile aynı zamanda 9 bit katlamalı-aradeğerlemeli A / S dönüştürücünün tasarımı, benzetimi gerçekleştirilmiş olup ilgili bölümlerde ayrıntılı bir şekilde anlatılmıştır. Ayrıca yapılan çalışmaları destekleyici olması açısından, daha önce 0.5µm CMOS teknolojisinde tasarımı ve üretimi gerçekleştirilen eşik evirmeli nicemleyici temelli A / S dönüştürücü örnekleri üzerinden alınan ölçüm sonuçları kullanılarak EEN tekniğinin MOS transistör uyumluluğu açısından incelenmesine yönelik istatistiksel inceleme yapılmıştır.

Eşik evirmeli nicemleyicinin temel mantığı, birbiri ardına bağlanmış iki adet evirici devresinde kullanılan NMOS ve PMOS'ların kanal genişliğinin değiştirilerek farklı eşik gerilimlerine sahip olması ve bu eşik gerilimlerine göre çıkış üreterek A / S dönüştürücü tasarlamaktır. Burada kullanılan transistör kanal boyu, tasarım için seçilen teknolojinin izin verdiği minimum uzunluk olan 0.5µm'dir. Fakat bölüm 4'te yapılan çalışmalarda göstermiştir ki, kanal boyu ve uzunluğunun üretim prosesinden sonra kesinlik kazandığı ve bu süreç sırasında meydana gelen üretim parametrelerindeki sapmalardan dolayı eşik gerilimlerinin değerlerinde değişimler meydana gelmektedir. Bu yüzden EEN temelli tasarlanan yüksek çözünürlüklü (6 bit ve üzeri) A / S dönüştürücülerde istenen doğrusallığın tam olarak sağlanamadığı gözlemlenmiştir. Buna bağlı olarak A / S dönüştürücünün statik parametreleri olan farksal doğrusalsızlık (DNL) ve tümlevsel doğrusalsızlık (INL) parametreleri de bundan etkilenecektir.

Ayrıca EEN'lerdeki transistörlerin kanal boyu ve genişliğinin, tasarımda kullanılan teknolojinin izin verdiği minimum boyuta inmemesi gerektiği gözlenmiştir. W / L oranı EEN tekniği ile elde edilen A / S dönüştürücülerin doğrusallığını etkilemektedir. Bu yüzden eşik evirmeli nicemleyiciyi özellikle düşük çözünürlüklü tümüyle paralel yapıda kullanmakta fayda vardır.

Üretilen yongaların yapılan testlerinde, EEN'lerin eşik gerilimlerinin yongadan yongaya az da olsa değiştiği görülmüştür. Bu yüzden yüksek çözünürlüklü (6 bit ve üzeri) A / S dönüştürücü tasarımlarında ve karşılaştırıcı referans geriliminin kritik olduğu uygulamalarda istenen hassasiyet ve çözüm sağlanamayacaktır. Bu yüzden düşük çözünürlüklü uygulamalarda daha etkili bir çözüm olduğu sonucuna varılmıştır.

Yapılan çalışmanın bir diğer basamağı ise 0.35µm CMOS C35 AMS model parametreleri kullanılarak, AMS-HIT KIT'de 9 bit eşik evirmeli nicemleyici temelli "anahtar seçmeli" katlamalı A / S dönüştürücüdür. Buradaki kaba A / S dönüştürücü ve hassas A / S dönüştürücü bloklarında karşılaştırıcı tipi olarak EEN'ler kullanılmıştır. Katlama bloğu aracılığı ile üretilen katlanmış işaretlerin istenen doğrusal kısımları hassas A / S dönüştürücü bloğuna anahtarlanarak sırayla uygulanmıştır. Burada anahtarları kontrol eden saat işaretleri de kaba A / S dönüştürücünün termometre kod çözücü çıkışlarından alınmaktadır. Burada sistem temel olarak 4 bloktan oluşmaktadır. Bunlardan iki tanesi EEN temelli 4 bit ve 5 bit A / S dönüştürücülerdir. Bunların eşik gerilimlerinin elde edilmesinde ve istenen sayısal çıkışları almada herhangi bir problem yoktur. Fakat analog ön işleme bloğu ve anahtar bloğunun, sistemin analog band genişliğini sınırladığı gözlemlenmiştir.

Analog ön işleme devresinin çıkışında elde edilen işaretin frekansı, uygulanan giriş işaretinin frekansı ve burada kullanılan MOS fark yükselteci sayısına göre belirlenir. Dolayısıyla sisteme uygulanan giriş işaret frekansı ile çıkışında elde edilen işaretin frekansı farklıdır. Gerçeklenen katlama bloğunun 3dB band genişliği 0.35µm CMOS teknolojisinde yaklaşık 400MHz'dir.

Katlanmış işaretin seçildiği anahtar bloğu, bu sistemin analog band genişliğini sınırladığı için oldukça önemli bir bloktur. Burada literatürde bulunan farklı anahtar yapıları tek tek incelenmiştir. Bununla ilgili sonuçlar da bölüm 6'da ayrıntılı bir şekilde belirtilmiştir.

Analog ön işleme bloğunda kullanılan eleman tercihlerine göre, sistemde kayıpsız bir anahtarlanmış işaret elde edebilmek için giriş işaretinin frekansının 2.5MHz'i aşmaması gerektiği görülmüştür. Buna göre giriş işaretinin frekansı arttıkça, hassas A / S dönüştürücü girişine uygulanan zig-zag giriş işaretinde kayıplar meydana gelecektir. Dolayısıyla hassas A / S dönüştürücü çıkışında istenen sayısal çıkışlar elde edilemeyecektir.

Ayrıca bu sistemde anahtar bloğu çıkışında elde edilen zig-zag işaretinin maksimum gerilimden minimum gerilime sonsuz eğimli ve hızlı bir şekilde inmesi gerekmektedir. Fakat bu pratikte mümkün olmadığı için sistemde kod kayıpları meydana gelmektedir. Bu kod kayıpları da sistemin doğrusallık ölçütlerini etkilemektedir. Özellikle farksal doğrusalsızlık grafiğinde bu açıkça görülebilmektedir. Buradaki kod kayıplarını engellemek çok zordur. Çünkü sinüsoidal işarete benzeyen şekilde elde edilen katlanmış işaretin, sadece doğrusal bölgesi hassas A / S dönüştürücü girişine uygulanmalıdır.

9 bit katlamalı, anahtar seçmeli ve EEN temelli A / S dönüştürücü tasarımında dikkat edilmesi gereken önemli hususlar aşağıda belirtilmiştir;

- Analog ön işleme bloğu çıkışında elde edilen işaretin anahtarlanarak doğrusal bölgelerinin elde edilmesinde anahtara uygulanacak olan darbe işaretinin çok iyi ayarlanması gerekmektedir. Bu işaret kaba A / S dönüştürücü aracılığı ile elde edilir.
- Sistemde kullanılacak olan anahtar yapısındaki NMOS ve PMOS'lar için uygun W / L'ler seçilmelidir.

Katlamalı ve anahtar seçmeli A / S dönüştürücüde, hassas A / S dönüştürücü çözünürlüğü 5 bit yerine 4 bit olsaydı sistemin daha verimli bir şekilde çalışacağı söylenebilirdi. Fakat bu durumda sistemin band genişliğinin değişmesi söz konusu değildir. Bu yapının giriş işaret frekansı düşük, örnekleme frekansının çok yüksek olduğu sistemlerde kullanılmasında hiç bir sakınca yoktur. Literatürde katlamalı A / S dönüştürücüler genelde 7 bit veya 8 bit çözünürlüğe sahiptir.

Ancak bu çalışmada 9 bitlik bir çözünürlük hedeflenmiştir, ve bunun gerçekleştirilebilirliği araştırılmıştır.

Yapılan çalışmanın bir diğer kısmı ise 0.35 μ m CMOS C35 model parametreleri ile AMS-HIT KIT kütüphaneleri kullanılarak tasarlanan 9 bit katlamalı-ara-değerlemeli A / S dönüştürücü tasarımıdır.

Buradaki sistemde, en değerlikli 4 bit kaba A / S dönüştürücünden, son 5 bit’de hassas A / S dönüştürücünden elde edilmektedir. Kaba ve hassas A / S dönüştürücülerde birbirinden farklı karşılaştırıcı yapıları kullanılmıştır. İki farklı karşılaştırıcı yapısı denenmiştir. Kaba A / S dönüştürücüde eşik evirmeli nicemleyici kullanılırken, hassas A / S dönüştürücüde geleneksel bir karşılaştırıcı kullanılmıştır.

Hassas 5 bitin elde edildiği bölüm analog ön işleme bloğu, ara değerlendirme bloğu, geleneksel karşılaştırıcı bloğu ve sayısal bloklardan oluşmaktadır. Öncelikle hassas A / S dönüştürücü 5 bitten oluştuğu için katlama devresinde kullanılan MOS çift sayısının artmasına bağlı olarak sistemin besleme geriliminin artması gerekmiştir. Bu yüzden kullanılan teknoloji parametrelerinin de izin vermesi ile besleme gerilimi 5V’a çıkartılmıştır.

Ara-değerleme yapısında kullanılan karşılaştırıcı yapısında öncelikle eşik evirmeli nicemleyici yapısı denenmiştir. Özellikle ara-değerlenmiş işaretlerin sıfır geçiş geriliminde çalışması istenen EEN’in uygun W / L’leri ayarlanmıştır. 3.8V eşik gerilimine sahip EEN’de büyük boyutlu PMOS kullanımı karşılaştırıcı giriş kapasitesinin yüksek olmasına sebep olmuştur. Buna bağlı olarak da gecikmeler beklenenden fazla olmuştur. Bu yüzden hassas A / S dönüştürücü bloğunda EEN kullanılamamıştır.

Ara-değerleme işleminde geleneksel yaklaşım olan direnç ile gerilim bölme tekniği kullanılmıştır. Sistemde zorluklarla karşılaşmıştır. Sisteme özellikle yüksek frekanstaki giriş işaretleri uygulandığında RC gecikmeleri yüzünden karşılaştırıcı çıkışlarında tam olarak istenen sırada çıkış eğrileri elde edilememiştir.

Sürekli zaman analizinde ara değerlendirme düğümleri arasındaki gecikme farklarını nispeten dengelemek için ara-değerlemede farklı direnç değerleri kullanılmıştır. Böylece yüksek frekanstaki giriş işaretleri için de karşılaştırmalı çıkışları elde edilebilmiştir. Buradaki en büyük zorluk yine analog giriş işareti frekansı ile katlama devresi çıkışında elde edilen işaretin frekansları arasındaki katlama sayısından kaynaklanan farklılıktır.

Ayrıca ara-değerleme yapılırken katlama işaretinin inen kenar bölgeleri de kullanıldığı için iki farklı ara-değerleme yapılmış olup daha sonra elde edilen bu işaretler toplanmıştır. İşaretlerin toplandığı noktalardaki geçişlerde boşluklar meydana gelmektedir. Bu da A / S dönüştürücünün doğrusallık parametrelerine olumsuz olarak yansımaktadır. Özellikle farksal doğrusalsızlık grafiğinde görülen iğne şeklindeki hatalar bu etkiden kaynaklanmaktadır.

Sistemdeki en büyük problemlerden biri de yüksek frekanslı giriş işareti uygulandığında karşılaştırmalı bloğu çıkışında elde edilen işaretlerin dinamik tutucu, 1-N kodlayıcı ve programlanabilir mantık dizisi kullanan kodlayıcı devresine gelen iki işaret arasındaki süre farkıdır. Giriş işareti frekansı 25 MHz olduğunda katlama bloğu çıkışında elde edilen işaret, eşitlik (6.1) gereğince 565MHz olmaktadır. Aynı zamanda aradeğerlemeler sonucunda sayısal kodların elde edilmesinde kullanılacak olan geçiş işaretleri arasındaki süreyi hesaplamak için bu değer 16 (aradeğerleme oranı) ile çarpılması gereklidir. Bu da 9GHz'lik bir frekansa karşılık gelmektedir. Bu da bize hesaplamak istediğimiz sürenin yaklaşık 110ps olması gerektiği gerçeğini ortaya çıkarmaktadır. Dolayısıyla bu yüksek hızı kullanacak olan 1-N kodlayıcı devresinin de bu hıza yetişmesi gerekmektedir. Bu yüzden özellikle 10MHz'in üstündeki bir giriş işareti uygulandığında hassas A / S dönüştürücüde elde edilen sayısal çıkışlarda kayıplar meydana gelmektedir. Tasarlanan sistemde kullanılan dinamik tutucu ve 1-N kodlayıcı devreleri yerine literatürde kullanılan farklı yapılar da denenmiştir. Burada en iyi sonuç veren yapı tercih edilmiştir.

Tasarlanan sistemde, programlanabilir mantık dizisi kullanan kodlayıcı devresi yerine, literatürde yer alan farklı kodlama teknikleri de denenmiştir. Özellikle gray kodlama tekniğinin çok daha iyi sonuç vereceği düşünülmüştü.

Fakat yapılan çalışmalar en iyi çözümün ROM yapısı ile sağlandığını göstermiştir. Burada “gray-kodlama” veya “wallace-tree” kodlama teknikleri ayrı ayrı denenmiştir. Fakat buradaki temel sorun da yukarıda belirtildiği gibi iki işaret arasındaki sürenin 110ps’den küçük olmasıdır. Devreler bu hıza yetişememektedir.

Yapılan bu çalışma sonucunda özellikle ara-değerlemeli A / S dönüştürücü tasarımında 10MHz üzerindeki giriş işaretleri için sistemde kod kayıpları meydana gelmektedir. Sayısal bloğun saat frekansı açısından bir sıkıntı yoktur. Bu yüzden tasarlanan sistemin 10MHz ve altındaki giriş işareti frekansına sahip ama yüksek örnekleme hızı isteyen uygulamalar için kullanılması oldukça uygundur.

Sistemin 5V besleme geriliminde çalışması, ara-değerleme yapısında kullanılan direnç sayısının çok olması, giriş-çıkış empadanslarının uygunlaştırması için gerekli olan tampon devrelerinin kullanılma zorunluluğu nedeniyle tasarlanan sistem beklenenden fazla güç harcamaktadır. Elde edilen sonuçlar literatürdeki benzerleriyle Bölüm 7’deki karşılaştırma tablosunda yer almıştır.

İleride yapılacak olan çalışmalara ışık tutması açısından ara-değerlemeli A / S dönüştürücü tasarımı için aşağıdaki konulara dikkat edilmesi gereklidir:

- Tasarlanan sistemde analog ön işleme devresinin akım modlu veya gerilim modlu olup olmamasına karar verilmelidir. Mümkünse akım modlu tercih edilmelidir.
- Hassas A / S dönüştürücünün çözünürlüğüne karar verilmelidir. Bu çok önemli bir karardır. Çünkü tasarlanan sistemde kullanılan dc besleme gerilimini bile etkilemektedir.
- Tasarlanan sistemde çözünürlüğe bağlı olarak analog ön işleme bloğu ve ara-değerlemede kullanılan direnç sayısı değişmektedir. Çözünürlük arttıkça ara-değerleme direnç sayısında artma meydana gelir. Buna bağlı olarak da güç tüketimi artar.
- Direnç sayısını artırmak yerine analog ön işleme bloğunun sayısının artırılmasının doğrusallık açısından daha etkili bir çözüm olacağı sonucuna varılmıştır. Ancak yonga alanı ve güç harcanımını çok daha fazla artıracığından burada tercih edilmemiştir.

Bu çalışma Kocaeli Üniversitesi Bilimsel Arařtırmalar Birimi tarafından desteklenen KOU-BAP 2007/42 sayılı proje kapsamında desteklenmiř olup tasarımı gereklenen 9 bit A / S donüřtürücünün üretimi de yaptırılacaktır. Bu tez çalışmasının özellikle ülkemizde yüksek frekanslı paralel A / S donüřtürücü tasarımı gibi zor bir konuda çalışma yapacak olan arařtırmacılara ışık tutacağına inanılmaktadır.

KAYNAKLAR

- [1]. Sun, J., Cao, X., Cao, J., Liu, Y., Zhang, X., “12 Bits 50MHz Pipelined Low-Voltage ADC Design”, *Congress on Image and Signal Processing*, IEEE Computer Society, 475-479, 2008
- [2]. Wang, M., Chen, C.H., Radhakrishnan, S., “Low Power 4-b 2.5-GSPS Pipelined Flash Analog-to-Digital Converter in 130-nm CMOS”, *IEEE Transactions on Instrumentation and Measurement*, Vol.56, No.3, 1064-1073, 2007
- [3]. Le, H.P., Zayegh, A., Singh, J., “A 12-Bit High Performance Low Cost Pipeline ADC”, *Electronics, Circuits and Systems, ICECS 2003, Proceedings of the 2003 10th IEEE International Conference*, Vol.2, 471-474, Dec. 2003
- [4]. Abed, K.H., Nerurkar, S.B., “High Speed Flash Analog-To-Digital Converter”, *48th Midwest Symposium on Circuits and Systems*, 275–278, Aug. 2005
- [5]. Kawahito, S., Honda, K., Liu, Z., Yasutomi, K., Itoh, S., “A 15b Power-Efficient Pipeline A / D Converter Using Non-Slewing Closed-Loop Amplifiers”, *IEEE 2008 Custom Integrated Circuits Conference (CICC)*, 117-120, 2008
- [6]. Gines, J.A., Peralias, E.J., Rueda, A., “Digital Background Gain Error Correction in Pipeline ADCs”, *Proceeding of the Design, Automation and Test in Europe Conference and Exhibition (DATE'04)*, 82-88, 2004
- [7]. Cuong, D.D, Cui, Z.Y., Kim, N.S., Lee, K.Y., Choi, H.Y., “Low Power 8-b CMOS Current Steering Folding-Interpolating A/D Converter”, *IEICE Transaction on Electronics*, Vol.E91-C, No.1, 81-86, January 2008
- [8]. Movahedian, H., Bakhtiar, M.S., “A New Offset Cancellation Technique for Folding ADC”, *IEEE International Symposium on Circuits and Systems (ISCAS 2005)*, 200-203, May 2005
- [9]. Van De Grift, R.E.J., Van De Plassche, R.J., “A Monolithic 8-Bit Video A / D Converter”, *IEEE Journal of Solid State Circuits*, Vol.SC-19, No.3, June 1984
- [10]. Van De Grift, R.E.J., Rutten, I.W.J.M., Van Der Veen, M., “An 8-bit Video ADC Incorporating Folding and Interpolation Techniques”, *IEEE Journal of Solid State Circuits*, Vol.SC-22, No.6, December 1987
- [11]. Van De Plassche, R.J., Baltus, P., “An 8-bit 100-MHz Full Nyquist Analog-to-Digital Converter”, *IEEE Journal of Solid State Circuits*, Vol.23, No.6, December 1988

- [12]. Van Valburg, J., Van De Plassche, R.J., "An 8-b 650-MHz Folding ADC", *IEEE Journal of Solid State Circuits*, Vol.27, No.12, December 1992
- [13]. Nauta, B., Venes, A.G.W., "A 70-MS/s 110-mW 8-b CMOS Folding and Interpolating A/D Converter", *IEEE Journal of Solid State Circuits*, Vol.30, No.12, December 1995
- [14]. Flynn, M.P., Allstot, D.J., "CMOS Folding A/D Converters with Current-Mode Interpolation", *IEEE Journal of Solid State Circuits*, Vol.31, No.9, September 1996
- [15]. Chung, J.W., Yu, H.Y., Oh, S.H., Yoon, K.S., "A 3.3V 10Bit Current-Mode Folding and Interpolating CMOS A/D Converter Using An Arithmetic Functionality", *Proceeding of 43rd IEEE Midwest Symposium on Circuits and Systems*, 660-663, August 2000
- [16]. Limotyrakis, S., Nam, K.Y., Wooley, B.A., "Analysis and Simulation of Distortion in Folding and Interpolating A/D Converters", *IEEE Transactions on Circuit and Systems-II: Analog and Digital Signal Processing*, Vol.49, No.3, 161-169, March 2002
- [17]. Martins, E.M., Ferreira, E.C., "An 8-bit Folding A/D Converter with a New Interpolation Technique", *Analog Integrated Circuits and Signal Processing*, 41, 237-252, 2004
- [18]. Boque, I., Flynn, M.P., "A 57dB SFDR Digitally Calibrated 500MS/s Folding ADC in 0.18 μ m digital CMOS", *IEEE Custom Integrated Circuits Conference (CICC)*, 337-340, 2007
- [19]. Verbruggen, B., Craninckx, J., Kuijck, M., Wambacq, P., Van der Plas, G., "A 2.2 mW 1.75GS/s 5 Bit Folding Flash ADC in 90 nm Digital CMOS", *IEEE Journal of Solid State Circuits*, Vol.44, No.3, March 2009
- [20]. Allen, P.E., Holberg, D.R., "CMOS Analog Circuit Design", Second Edition, *Oxford University Press*, 2002
- [21]. Kester, W., "Which ADC Architecture Is Right for Your Application", *Analog Dialogue*, Vol.39, No.2, 11-18, 2005
- [22]. Sheikhaei, S., Mirabbasi, S., Ivanov, A., "A 4-Bit 5GS/s Flash A/D Converter in 0.18 μ m CMOS", *IEEE International Symposium on Circuits and Systems (ISCAS)*, 6138-6141, May 2005
- [23]. Park, S., Palaskas, Y., Flynn, M.P., "A 4-GS/s 4-bit Flash ADC in 0.18 μ m CMOS", *IEEE Journal of Solid State Circuits*, Vol.42, No.9, September 2007
- [24]. Makigawa, K., Ono, K., Ohkawa, T., Matsuura, K., Segami, M., "A 7 bit 800Msps 120mW Folding and Interpolation ADC Using a Mixed-Averaging Scheme", *Symposium on VLSI Circuits Digest of Technical Papers*, 138-139, 2006

- [25]. Chen, C., Ren, J., “An 8-bit 200MSamples/s Folding and Interpolation ADC in 0.25mm²”, *Analog Integrated Circuits and Signal Processing*, 47, 203-206, 2006
- [26]. Säll, E., Vesterbacka, M., “A Multiplexer Based Decoder For Flash Analog-to-Digital Converters”, *Proceeding IEEE Analog and Digital Techniques in Electrical Engineering, TENCON'04*, 250-253, 2004
- [27]. Pelgrom, M.J.M., Rens, A.C.J., Vertregt, M., Dijkstra, M.B., “A 25-Ms/s 8-bit CMOS A/D Converter for Embedded Application”, *IEEE Journal of Solid State Circuits*, Vol.29, No.8, August 1994
- [28]. Kester, W., “Analog-Digital Conversion”, *Analog Devices*, 2004
- [29]. Lin, Y.Z., Liu, Y.T., Chang, S.J., “A 5-bit 4.2GS/s Flash ADC in 0.13μm CMOS”, *IEEE Custom Integrated Circuits Conference (CICC)*, 213-216, 2007
- [30]. Lee, W.T., Huang, P.H., Liao, Y.Z., Hwang, Y.S., “A New Low Power Flash ADC Using Multiple-Selection Method”, *IEEE Conference on Electron Devices and Solid-State Circuits (EDSSC)*, 341-344, 2007
- [31]. Deguchi, K., Suwa, N., Masao I., Kumamoto, T., Miki, T., “A 6-bit 3.5-GS/s 0.9V 98mW Flash ADC in 90nm CMOS”, *Symposium on VLSI Circuits Digest of Technical Papers*, 64-65, 2007
- [32]. Yoo, J., Choi, K., Tangel, A., “A 1-GSPS CMOS Flash A/D Converter for System-on-Chip Applications”, *Proceeding of IEEE Computer Society Workshop on VLSI*, 135-139, April 2001
- [33]. Agrawal, N., Paily, R., “An Improved ROM architecture for Bubble Error Suppression in High Speed Flash ADCs”, *Annual IEEE Conference Student Paper*, 1-5, 2008
- [34]. Yeh, C.N., Lai, Y.T., “A Novel Flash Analog-to-Digital Converter”, *IEEE International Symposium on Circuits and Systems (ISCAS)*, 2250-2253, 2008
- [35]. Mulder, J., Ward, C.M., Lin, C.H., Kruse, D., Westra, J.R., Lugthart, M., Arslan, E., Van De Plassche, R.J., Bult, K., Van der Goes, F.M.L., “A 21-mW 8-b 125-Msample/s ADC in 0.09-mm² 0.13-μm CMOS”, *IEEE Journal of Solid State Circuits*, Vol.39, No.12, December 2004
- [36]. Dimitrov, D.P., Vasileva, T.K., “8-Bit Semi-Flash A/D Converter”, *13th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, 171-174, June 2006
- [37]. Lee, H.Y., Wang, I.H., Liu, S.I., “A 7-Bit 400MS/s Sub-ranging Flash ADC in 0.18μm CMOS”, *IEEE International The System on a Chip Conference (SOCC)*, 11-14, 2007

- [38]. Çelebi, A., Aytar, O., Tangel, A., “A 10-Bit 500Ms/s Two-Step Flash ADC”, *The International Conference on Computer as a Tool (EUROCON)*, 898-901, 2005
- [39]. Gustavsson, M., Wikner, J.J., Tan, N.N., “CMOS Data Converters For Communications”, *Kluwer Academic Publishers*, 2002
- [40]. Ning, N., Fan, L., Wu, S.Y., Liu, Y., Liu, G.Q., Yu, Q., Yang, M.H., “An 8-Bit 250MSPS Modified Two Step ADC”, *International Conference on Communications, Circuits and Systems Proceedings*, Vol.4, 2197-2200, 2006
- [41]. Shu, Y.S., Song, B.S., “A 15-bit Linear 20-MS/s Pipelined ADC Digitally Calibrated With Signal-Dependent Dithering”, *IEEE Journal of Solid State Circuits*, Vol.43, No.2, February 2008
- [42]. Lu, C.C., Lee, T.S., “A 10-bit 60-MS/s Low-Power CMOS Pipelined Analog-to-Digital Converter”, *IEEE Transactions on Circuits and Systems-II Express Briefs*, Vol.54, No.8, 658-662, August 2007
- [43]. Jiang, S., Do, M.A., Yeo, K.S., Lim, W.M., “An 8-bit 200-Msample/s Pipelined ADC With Mixed-Mode Front-End S/H Circuit”, *IEEE Transactions on Circuits and Systems-II Regular Papers*, Vol.55, No.6, 1430-1440, July 2008
- [44]. Wu, P.Y., Cheung, V.S.L., Luong, H.C., “A 1-V 100-MS/s 8-bit CMOS Switched-Opamp Pipelined ADC Using Loading-Free Architecture”, *IEEE Journal of Solid State Circuits*, Vol.42, No.4, April 2007
- [45]. Savla, A., Leonard, J., Ravindran, A., “Error Correction in Pipelined ADCs Using Arbitrary Radix Calibration”, *Proceedings of the 17th International Conference on VLSI Design (VLSID'04)*, 157-162, 2004
- [46]. MAXIM-IC, *Application Note 1023, Understanding Pipelined ADCs*, http://www.maxim-ic.com/appnotes.cfm/an_pk/1023, 2001, (Ziyaret Tarihi: 21 Ekim 2009)
- [47]. Ravindran, A., Savla, A., Leonard, J., “Digital Error Correction and Calibration of Gain Non-Linearities in a Pipelined ADC”, *Proceedings of the 2004 International Symposium on Circuits and Systems (ISCAS '04)*, 11-14, 2004
- [48]. Oshima, T., Takahashi, T., Yamawaki, T., Tsang, C., Stepanovic, D., Nikolic, B., “Fast Nonlinear Deterministic Calibration of Pipelined A/D Converters”, *51st Midwest Symposium on Circuits and Systems (MWSCAS)*, 914-917, 2008
- [49]. Tavassoli, B., Shoaie, O., “Digital Background Calibration of Pipeline ADC with Open-Loop Gain Stage”, *Proceedings IEEE International Symposium on Circuits and Systems (ISCAS)*, 5255-5258, 2006
- [50]. Ahmadi, H.R., Shoaie, O., Azizi, M.Y., “An 8 Bit, 150MS/S Folding And Interpolating ADC in 0.25 μ m CMOS with Resistive Averaging”, *IEEE International Symposium on Signals, Circuit and System (SCS)*, 373-376, 2003

- [51]. Cheng, C. Tao, B., Junyan, R., Jun, X., “Novel Low-Voltage Folder for Analogue-to-Digital Converter”, *International Journal of Electronics*, Vol.94, No.1, 35-40, January 2007
- [52]. Heo, S.C., Jang, Y.C., Park, S.H., Park, H.J., “An 8-Bit 200MS/s CMOS Folding/Interpolating Analog-to-Digital Converter”, *IEICE Transactions on Electronics*, Vol.E86-C, No.4, 676-681, 2003
- [53]. Movahedian, H., Bakhtiar, M.S., “A 1.5V 8-Bit Low-Power Self-Calibrating High-Speed Folding ADC”, *Ph.D. Research In Micro-Electronics&Electronics (PRIME)*, Vol.1, 55-58, 2005
- [54]. Weng, R.M., Chao, C.C., “A 1.5V High Folding Rate Current-Mode Folding Amplifier for Folding and Interpolating ADC”, *Proceedings IEEE International Symposium on Circuits and Systems (ISCAS)*, 3942-3945, 2006
- [55]. Miyazaki, D., Kawahito, S., Furuta, M., “A 10-b 30MS/s Low-Power Pipelined CMOS A/D Converter Using Pseudodifferential Architecture”, *IEEE Journal of Solid State Circuits*, Vol.38, No.2, February 2003
- [56]. Shen, J., Kinget, P.R., “A 0.5-V 8-bit 10MS/s Pipelined ADC in 90-nm CMOS”, *IEEE Journal of Solid State Circuits*, Vol.43, No.4, April 2008
- [57]. Chang, C.H., Hsiao, C.Y., Yang, C.Y., “A 1-GS/s CMOS 6-bit Flash ADC with an Offset Calibrating Method”, *IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT)*, 232-235, 2008
- [58]. MAXIM-IC, Application Note 748, The ABCs of ADCs:Understanding How ADC Errors Affect System Performance, http://www.maxim-ic.com/appnotes.cfm/an_pk/748, 2002, **(Ziyaret Tarihi: 21 Ekim 2009)**
- [59]. MAXIM-IC, Application Note 283, INL/DNL Measurements for High-Speed Analog-to-Digital Converters (ADCs), http://www.maxim-ic.com / appnotes.cfm / an_pk/283, 2001, **(Ziyaret Tarihi: 21 Ekim 2009)**
- [60]. MAXIM-IC, Application Note 728, Defining and Testing Dynamic Parameters in High-Speed ADCs, Part 1, http://www.maxim-ic.com/appnotes.cfm/an_pk/728, 201, **(Ziyaret Tarihi: 21 Ekim 2009)**
- [61]. Maloberti, F., “Data Converters”, *Springer*, 2007
- [62]. Bartolome, E., “Understanding and comparing datasheets for high-speed ADCs”, *Analog Application Journal*, 1Q, 2006
- [63]. Microhip Technology Inc, “Understanding A/D Converter Performance Specifications”, <http://ww1.microchip.com/downloads/en/AppNotes/00693a.pdf>, **(Ziyaret Tarihi:21 Ekim 2009)**

- [64]. Gregorian, R., "Introduction To CMOS Op-Amps and Comparators", **Wiley-Interscience**, 1999
- [65]. Tangel, A., "VLSI Implementation of The Threshold Inverter Quantization (TIQ) Technique for CMOS A/D Converter Applications", Ph.D. Thesis, **Penstate University**, 1-128, 1999
- [66]. Mikkola, E., Vermeire, B., Barnaby, H.J., Parks, H.G., Borhani, K., "SET Tolerant CMOS Comparator", **IEEE Transaction on Nuclear Science**, Vol.51, No.6, December 2004
- [67]. Van De Plassche, R., "CMOS Integrated Analog-to-Digital And Digital-to-Analog Converters", **Kluwer Academic Publishers**, 2nd Edition, 2003
- [68]. Goll, B., Zimmermann, H., "A Clocked Regenerative Comparator in 0.12 μ m CMOS with Tunable Sensitivity", **33rd European Solid State Circuits Conference (ESSCIRC)**, 408 – 411, September 2007
- [69]. Baker, R.J., Harry, W.L., Boyce, D. E., "CMOS Circuit Design Layout Simulation", **IEEE Press Series on Microelectronic Systems**, 1998
- [70]. Tangel, A., Choi, K., "The CMOS Inverter as a Comparator in ADC Design", **Analog Integrated Circuits and Signal Processing**, 39, 147–155, 2004
- [71]. Yoo, J., Choi, K., Lee, D., "Comparator Generation Selection for Highly Linear CMOS Flash Analog to Digital Converter", **Analog Integrated Circuits and Signal Processing**, 35, 179-187, 2003
- [72]. Sedra, A.S., Smith, K.C., "Microelectronics Circuits", **Oxford University Press**, New York, 1998
- [73]. Uyemura, J.P., "CMOS Logic Circuit Design", **Kluwer Academic Publishers**, 2001
- [74]. Tarim, T.B., Ismail, M., "Functional Yield Enhancement and Statistical Design of a Low Power Transconductor", **Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS)**, Vol.2, 436-439, 1999
- [75]. Pelgrom, J.M.M., Duinmaijer, A.C.J., Welbers, A.P.G., "Matching Properties of MOS Transistors", **IEEE Journal of Solid-State Circuits**, Vol.24, No.5, 1433-1440, October 1989
- [76]. Difrenza, R., Llinares, P., Ghibaudo, G., "A new model for the current factor mismatch in the MOS transistor", **Solid-State Electronics**, Vol.47, 1167-1171, 2003
- [77]. Cheng, C., Zhaogang, W., Junyan, R., Jun, X., "An Embedded 200-Ms/s 8-bit 177mW Folding and Interpolating CMOS ADC in 0.25-mm²", **Proceedings 5th International Conference on ASIC**, Vol.1, 661-664, 2003

- [78]. Yoon, K., Lee, J., Jeong, D.K., Kim, W., “An 8-bit 125Ms/s CMOS Folding ADC for Gigabit Ethernet LSI”, *Symposium on VLSI Circuits Digest of Technical Papers*, 212-213, 2000
- [79]. Azin, M., Movehedian, H., Bakhtiar, M.S., “An 8-bit 160 MS/s Folding-Interpolating ADC with Optimized Active Averaging/Interpolating Network”, *IEEE International Symposium on Circuits and Systems (ISCAS)*, Vol.6, 6150-6153, 2005
- [80]. Chen, C., Yuan, J., “A Low-Power 8-bit Folding A/D Converter with Improved Accuracy”, *8th International Conference on Solid-State and Integrated Circuit Technology*, 1695–1698, 2006
- [81]. Pereira, P., Fernandes, J.R., Silva, M.M., “Wallace Tree Encoding in Folding and Interpolating ADCs”, *IEEE International Symposium on Circuits and Systems (ISCAS)*, Vol.1, 1509-1512, 2002
- [82]. Lee, D., Song, J., Shin, J., Hwang, S., Song, M., Wysocki, T., “Design of a 1.8V 8-bit 500MSPS Folding-Interpolation CMOS A/D Converter with a Folder Averaging Technique”, *18th European Conference on Circuit Theory and Design (ECCTD)*, 356-359, 2007
- [83]. Hsu, C.C., Huang, C.C., Lin, Y.H., Lee, C.C., “A 10b 200MS/s Pipelined Folding ADC with Offset Calibration”, *33rd European Solid State Circuits Conference (ESSCIRC)*, 151-154, 2007
- [84]. Tekin, M.F., Tangel, A., Aytar, O., Çelebi, A., “An 8-Bit CMOS Folding ADC Implementation Using TIQ Based Flash ADC Core”, *12th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, 43-45, 2005
- [85]. Van De Plassche, R.J., Van Der Grift, R.E.J., “A High-Speed 7 Bit A/D Converter”, *IEEE Journal of Solid State Circuits*, Vol.SC-14, No.6, December 1979
- [86]. Li, Y., Sanchez-Sinencio, E., “Current Mirror Based Folding Amplifier”, *Proceedings of the 43rd IEEE Midwest Symposium on Circuits and Systems*, 60-63, 2000
- [87]. Guo, W., Huber, R.J., Smith, K.F., “A Current Steering CMOS Folding Amplifier”, *IEEE International Symposium on Circuits and Systems (ISCAS)*, Vol.3, 141-143, 2002
- [88]. Senger, R.M., Walsh, P.M., Ny, J.L., “A 150Msamples/s Folding and Current Mode Interpolating ADC in 0.35 μ m CMOS”, *EECS 598-02 Analog to Digital Integrated Circuits*, 1-7, 2002
- [89]. Seemi, S., Sulaiman, M.S., Farooqui, A.S., “A 1.3-Gsamples/s Interpolation with flash CMOS ADC Based on Active Interpolation Technique”, *Analog Integrated Circuit Signal Processing*, 47, 273-280, 2006

- [90]. Aytar, O., Tangel, A., “A High Performance Analog Pre-processing Unit For Folding&Interpolation ADC Designs”, *The IEEJ International Workshop on AVLSI*, 145-147, 2008
- [91]. “inst.eecs.berkeley.edu/~n247/matlab_files/inldnl.m” (Ziyaret Tarihi:21 Ekim 2009)
- [92]. Andersen, T.N., Hernes, B., Briskemyr, A., Telstø, F., Bjørnsen, J., Bonnerud, E., Moldsvor, Ø., “A Cost-Efficient High-Speed 12-bit Pipeline ADC in 0.18 μ m Digital CMOS”, *IEEE Journal of Solid State Circuits*, Vol.40, No.7, July 2005
- [93]. Vandebussche, J., Lauwers, E., Uyttenhove, K., Gielen, G., Steyaert, M., “Systematic Design of a 200MS/s 8-bit Interpolating A / D Converter”, *Proceedings of the Design, Automation, and Test in Europe Conference and Exhibition (DATE)*, 357-361, 2002
- [94]. Ferragina, V., Ghittori, N., Maloberti, F., “Low-Power 6-Bit Flash ADC for High-Speed Data Converters Architectures”, *IEEE International Symposium on Circuits and Systems (ISCAS)*, 3930-3933, 2006
- [95]. Jang. Y.C., “Cascaded Voting Process for Flash ADC with Interpolating Scheme”, *Electronic Letters*, Vol.48, No.18, 1047-1048, 2008
- [96]. Chang, C.H., Hsiao, C.Y., Yang, C.Y., “A 1-GS/s CMOS 6-bit Flash ADC with an Offset Calibrating Method”, *IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT)*, 232-235, 2008.
- [97]. Deguchi, K., Suwa, N., Ito, M., Kumamoto, T., Miki, T., “A 6-bit 3.5GS/s 0.9V 98mW Flash ADC in 90-nm CMOS”, *IEEE Journal of Solid State Circuits*, Vol.43, No.10, October 2008
- [98]. Taft, R., Menkus, C., Tursi, M.R., Hidri O., Pons, V., “A 1.8V 1.6GS/s 8b Self-Calibrating Folding ADC with 7.26 ENOB at Nyquist Frequency”, *IEEE International Solid-State Circuits Conference (ISSCC)*, Vol.1, 252-526, 2004
- [99]. Martins, E.M., Ferreira, E.C., “Proposal and Implementation of a New Interpolation Technique for a Double Folding A/D Converter”, *Microelectronics Journal*, Vol.30, 1213-1219, 1999
- [100]. Chu, W.S., Current, K.W., “A CMOS Voltage Comparator with Rail-to-Rail Input-Range”, *Analog Integrated Circuits and Signal Processing*, 19, 145-149, 1999
- [101]. Taft, R., Menkus, C., Tursi, M.R., Hidri O., Pons, V., “A 1.8V 1.6GS/s 8b Self-Calibrating Folding ADC with 7.26 ENOB at Nyquist Frequency”, *IEEE Journal of Solid State Circuits*, Vol.39, No.12, December 2004

- [102]. Geelen, G., Paulus, E., “An 8b 600MS/s 200mW CMOS Folding A/D Converter Using Amplifier Preset Technique”, *IEEE International Solid-State Circuits Conference (ISSCC)*, Vol.1, 254-526, 2004
- [103]. An, W., Salama, C.A.T., “An 8-bit, 1-Gsamples/s Folding-Interpolating Analog-to-Digital Converter”, *Proceedings of the 26th European Solid-State Circuits Conference (ESSCIRC)*, 228–231, 2000
- [104]. Vessal, F., Salama, C.A.T., “An 8-bit, 2-Gsamples/s Folding-Interpolating Analog-to-Digital Converter in SiGe Technology”, *IEEE Journal of Solid State Circuits*, Vol.39, No.1, January 2004

ÖZGEÇMİŞ

1977 yılında Ankara'da doğdu. İlk, orta ve lise öğrenimini Ankara'da tamamladı. 1995 yılında girdiği Kocaeli Üniversitesi Mühendislik Fakültesi Elektronik ve Haberleşme Mühendisliği Bölümünden 2000 yılında mezun oldu. 2000-2003 yılları arasında Kocaeli Üniversitesi Fen Bilimleri Enstitüsü, Elektronik ve Haberleşme Mühendisliği Anabilim Dalı'nda Yüksek Lisans öğrenimini tamamladı. 2000 yılı Kasım ayından beri Kocaeli Üniversitesi Mühendislik Fakültesi Elektronik ve Haberleşme Mühendisliği Bölümü'nde Araştırma Görevlisi olarak görev yapmaktadır, evlidir.