

KOCAELİ ÜNİVERSİTESİ * FEN BİLİMLERİ ENSTİTÜSÜ

**FPGA TABANLI ÇOK FONKSİYONLU ULTRASONİK
TEMİZLEME MAKİNESİ TASARIMI VE PROTOTİP ÜRETİMİ**

YÜKSEK LİSANS

Elektronik ve Haberleşme Müh. Ulvi GÜVENÇ

**Anabilim Dalı: Elektronik ve Haberleşme Mühendisliği
Danışman: Yrd. Doç. Dr. Ali TANGEL**

KOCAELİ, 2011

KOCAELİ ÜNİVERSİTESİ * FEN BİLİMLERİ ENSTİTÜSÜ

**FPGA TABANLI ÇOK FONKSİYONLU ULTRASONİK TEMİZLEME
MAKİNESİ TASARIMI VE PROTOTİP ÜRETİMİ**

YÜKSEK LİSANS TEZİ

Elektronik ve Haberleşme Müh. Ulvi GÜVENÇ

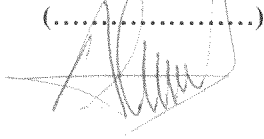
Tezin Enstitüye Verildiği Tarih: 03 Haziran 2011

Tezin Savunulduğu Tarih: 28 Temmuz 2011

Tez Danışmanı

**Yrd. Doç. Dr.
Ali TANGEL**

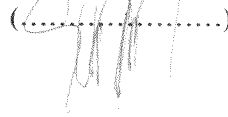
(.....)



Üye

**Yrd. Doç. Dr.
Sıddıka Berna ÖRS YALÇIN**

(.....)



Üye

**Yrd. Doç. Dr.
Anıl CELEBİ**

(.....)



KOCAELİ, 2011

ÖNSÖZ

Bu tez çalışmasında, endüstriyel üretim ve laboratuvar çalışmalarında kullanımı gün geçtikçe yaygınlaşan ultrasonik temizleme sistemlerinin elektronik devrelerinin tasarımında, alan programlanabilir yonga teknolojisinin en popüler ürünü olan FPGA donanımının avantajlarından maksimum oranda faydalanılması düşünüldü. Yapılan piyasa ön araştırmaları sonucunda ülkemizde bu konuda üretim yapan firmaların nerede ise tümünün tamamen eski ve analog tabanlı ultrasonik üreteç devreleri yapısında oldukları, FPGA tabanlı ürünlerin ise yurt içi ve yurt dışı pazarda bulunmadıkları tespit edilmiştir. Ultrasonik temizlik alanında FPGA teknolojisinin yüksek frekanslarda ve paralel çalışabilme özellikleri kullanılarak fark yaratılabileceği düşünülmüştür ve bu amaç doğrultusunda ilgili konu TÜBİTAK 1002 Hızlı Destek başlığı altında projelendirilmiştir. Proje önerisi kabul görek 109E295 başlığında 12 ay süreyle(01.03.2010-01.03.2011) desteklenmiştir.

Tez çalışması ve 109E295 numaralı TÜBİTAK 1002 Hızlı Destek projesi sonucunda ikisi uluslararası olmak üzere toplam üç ayrı konferans bildirisi yayımlanmıştır. Tez çalışması kapsamında geliştirilen çözümler, özgün kazanımlar olarak bu bildiri ve yayımlar aracılığıyla literatüre kazandırılmıştır.

Tez çalışmalarım sırasında karşılaştığım her türlü zorlukta beni sabırla dinleyen ve cesaret veren, değerli bilgi birikimini benimle paylasan kıymetli hocam ve tez danışmanım Sayın Yrd. Doç. Dr. Ali TANGEL'e ne kadar teşekkür etsem azdır. Ayrıca Kulvar ar-ge laboratuvarında çalışan öğrenci arkadaşlarıma ve laboratuvar danışmanlarımız Sayın Yrd. Doç. Dr. Mehmet YAKUT, Yrd. Doç. Dr. Serhat YILMAZ ve Dr. Oktay AYTAR'a şükranlarımı sunarım.

Hayatımın her döneminde olduğu gibi yüksek lisans öğrenimim süresince dostluklarını benden esirgemeyen değerli dostlarım Ali Rıza ŞİMŞEK, Hasan ŞENGÜL, Erdem DANYER ve Onur YEMİŞEN'e benim nazımı çektikleri için minnet borçlu olduğumu belirtmek isterim.

Son olarak, çalışmalarım sırasında bana güvenerek her zaman arkamda duran SVS Telekom ve Asyasat Yönetim Kurulu ve çalışma arkadaşlarıma sonsuz teşekkür eder saygılarımı sunarım.

İÇİNDEKİLER

ÖNSÖZ.....	i
İÇİNDEKİLER.....	ii
ŞEKİLLER DİZİNİ.....	iv
TABLolar DİZİNİ.....	vii
SEMBOLLER VE KISALTMALAR DİZİNİ.....	viii
ÖZET.....	ix
İNGİLİZCE ÖZET.....	x
1. GİRİŞ.....	1
1.1.Ultrasonik ve Ultrasonik Temizlik.....	1
1.2.Ultrasonik Nedir?.....	1
1.3.Ses Dalgalarının Teorisi.....	2
1.3.1. Dalga boyu ve hız.....	3
1.3.2. Ses dalgalarının üretimi.....	3
1.3.3. Ses dalgalarının doğası.....	5
1.4.Ultrasonik Temizliğin Teorisi.....	6
1.4.1. Ultrasonik kavitasyon.....	6
1.4.2. Gazdan arındırma(Degassing) olayı.....	7
1.5.Ultrasonik Temizlik Ekipmanları.....	8
1.5.1. Ultrasonik jeneratör.....	8
1.5.2. Ultrasonik dönüştürücü(Transducer).....	9
1.5.2.1. Manyetik alan dönüştürücüleri(Magnetostrictive Transducers).....	9
1.5.2.2. Piezoelektrik dönüştürücüleri(Piezoelectric Transducers).....	11
1.5.3. Ultrasonik temizlik kazanı.....	13
1.6.Ultrasonik Temizlik İşleminde Verimlilik Artırımı.....	14
1.6.1. Kavitasyon artırımı.....	14
1.6.2. Çözülmüş haldeki gazların minimize edilmesinin önemi.....	15
1.6.3. Ultrasonik temizlik sürecinin genel olarak iyileştirilmesi.....	16
2.GENEL MİMARİ.....	20
2.1.Giriş.....	20
2.2.FPGA Tabanlı Kontrol Paneli.....	21
2.3.İzolasyon Üniteleri.....	22
2.4.Karışık Sinyal Geri Besleme Üniteleri.....	22
2.5.Ultrasonik Dönüştürücü Grupları.....	23
2.6.Ultrasonik Güç Üniteleri.....	23
3.JENERATÖR PROTOTİPİ VE PCB DEVRE TASARIMLARI.....	26
3.1.Giriş.....	26
3.2.Jeneratör Prototipi.....	26
3.3.Kontrol Devreleri.....	28
3.3.1.Sayısal kontrol devresi ve PCB tasarımı.....	28

4.ÇALIŞMA MODLARI.....	39
4.1.Giriş.....	39
4.2.Manuel Çalışma Modu.....	39
4.3.Otomatik çalışma Modu.....	42
5. ALGORİTMALAR.....	45
5.1.Giriş.....	45
5.2.Manuel çalışma Moduna Ait Kodlar.....	45
5.2.1. Frekans ve güç kontrollü PWM üretici modülü algoritması ve kodu.....	45
5.2.2. Buton gürültüsü önleme modülü algoritması ve kodu.....	56
5.2.3. Gösterge modülü algoritması ve kodu.....	64
5.3.Otomatik Çalışma Moduna Ait Kodlar.....	70
5.3.1. Geri besleme modülü algoritması ve kodu.....	70
6. TEMİZLEME PROFİLİNDE HOMOJENLİĞİN ARTIRIMINA DAİR ÖZGÜN ÇALIŞMALAR.....	79
6.1. Giriş.....	79
6.2. Sabit Faz Farklı Çalışma.....	79
6.3. Değişken(Kayma Kipli) Faz Farklı Çalışma.....	82
7.BULGULAR VE TARTIŞMA.....	85
8.SONUÇLAR VE ÖNERİLER.....	91
KAYNAKLAR.....	94
EKLER.....	96
ÖZGEÇMİŞ.....	102

ŞEKİLLER DİZİNİ

Şekil 1.1: Ses sınıflandırma çizelgesi.....	2
Şekil 1.2: Tahta bir kütlelin bir çimento yüzeye düşmesi sonucu ses oluşumu.....	4
Şekil 1.3: Ses dalgasının yayılımı.....	4
Şekil 1.4: Ses dalgalarının davranışı.....	5
Şekil 1.5: Sıkıştırma ve seyreltme oluşumu.....	6
Şekil 1.6: İşaretleşme farkı.....	6
Şekil 1.7: Kabarcıkların oluşumu ve kavitasyon olayı.....	6
Şekil 1.8: Ultrasonik üreteç gösterimi.....	9
Şekil 1.9: Manyetik alan dönüştürücüleri.....	10
Şekil 1.10: Piezoelektrik dönüştürücüler.....	12
Şekil 1.11: Ultrasonik temizlik kazanı(Tankı).....	13
Şekil 1.12: Kavitasyon kabarcığının basınç altında davranışı.....	16
Şekil 1.13: Sıcaklığa altında ultrasonik ve kimyasal etkilerin temizleme süresine etkisi.....	17
Şekil 1.14: Kavitasyon-basınç ilişkisi.....	18
Şekil 2.1: Ultrasonik temizlik sisteminin genel mimarisi.....	20
Şekil 2.2: Kontrol panelini oluşturan sayısal kontrol devresi ve güç devreleri.....	22
Şekil 2.3: Ultrasonik güç ünitesinin genel yapısı.....	24
Şekil 3.1: Jeneratör prototipinin yapısı, güç ve kontrol devreleri(1).....	27
Şekil 3.2: Jeneratör prototipinin yapısı, güç ve kontrol devreleri(2).....	28
Şekil 3.3: Sayısal kontrol kartı.....	29
Şekil 3.4: Sayısal kontrol kartı PCB çizimi.....	29
Şekil 3.5: TOS5161 katalog bilgileri.....	31
Şekil 3.6: Cyclone II ailesi yonga isimlendirme şeması.....	33
Şekil 3.7: EP2C5T144C8 yongasına ait Clock işaret blokları lokasyonu.....	34
Şekil 3.8: EP2C5T144C8 yongasına ait giriş çıkış portları.....	35
Şekil 4.1: Manuel çalışma modu genel mimarisi.....	41
Şekil 4.2: Otomatik çalışma modu genel mimarisi.....	42
Şekil 5.1: PWM üretici modülü blok gösterimi.....	46
Şekil 5.2: PWM üretici modülüne ait giriş çıkış port uçlarının ve genel değişkenlerin tanımlaması.....	47
Şekil 5.3: PWM üretici modülüne ait algoritmanın akış diyagramı.....	48
Şekil 5.4: PWM üretici process bloğu asenkron reset kullanımı.....	49
Şekil 5.5: Manuel güç/frekans kontrolü process bloğu asenkron reset kullanımı.....	49
Şekil 5.6: PWM üretici process bloğu içerisindeki VHDL kodunun açık serimi.....	51

Şekil 5.7: Frekans/güç kontrol butonlarının yükselen kenar tetiklemeşinin algılanabilmesi için gerekli geçiş atamaları.....	51
Şekil 5.8: Temizlik kazanlarının yetkilendirme ve çalışma anı güç/frekans kontrollerinin gerçekleştirildiđi VHDL kod parçacığı.....	53
Şekil 5.9: İşaret doluluk boşluk oranı bilgisinin güncellenmesi dair VHDL kod blođu.....	54
Şekil 5.10: Referans güç seviyelerinin güncellenmesine dair VHDL kod blođu.....	55
Şekil 5.11: İşaret çiftinin güç bilgisinin yedi parçalı gösterge grubuna iletilmesine dair VHDL kod öbeđi.....	56
Şekil 5.12: Buton gürültüsü oluşumu ve buton gürültüsü filtreleme yöntemlerinin gösterimi[15].....	57
Şekil 5.13: Buton gürültüsü önleme modülüne ait durum diyagramı[15].....	58
Şekil 5.14: Buton gürültüsü önleme algoritması program akış diyagramı.....	59
Şekil 5.15: Buton gürültüsü önleme modülü varlık(entity) tanımlaması.....	59
Şekil 5.16: Buton gürültüsü önleme modülü mimari tanımlaması ve sabit, sinyal deklarasyonları.....	60
Şekil 5.17: 10ms'lik doğrulama üretici için geliştirilen sayıcı blođu.....	61
Şekil 5.18: Durum saklayıcısı kod öbeđi.....	62
Şekil 5.19: Sonlu durum makinesi durum belirteçlerinin tanımlanmasına dair VHDL kodu.....	63
Şekil 5.20: Yedi parçalı gösterge grubuna veri basılmasına dair örnek konfigürasyon[15].....	64
Şekil 5.21: Zaman düzlemi çođullama şeması[15].....	65
Şekil 5.22: Zaman düzlemi çođullama devresi blok gösterimi[15].....	66
Şekil 5.23: Gösterge modülü kod akış diyagramı.....	67
Şekil 5.24: Gösterge modülü varlık tanımlaması.....	68
Şekil 5.25: Gösterge modülü mimarisi(1).....	68
Şekil 5.26: Gösterge modülü mimarisi(2).....	69
Şekil 5.27: Geri besleme modülü ADC kontrol ünitesi kod akış diyagramı.....	71
Şekil 5.28: Geri besleme modülü varlık ve mimari tanımlamaları.....	72
Şekil 5.29: Geri besleme modülü ADC kontrol ünitesi.....	74
Şekil 5.30: İki aşamalı yinelemeli rezonans frekansı yakalama algoritması kod akış diyagramı.....	75
Şekil 6.1: Sabit faz farklı çalışma için geliştirilen VHDL kodunun akış diyagramı.....	81
Şekil 6.2: Sabit faz farklı çalışma modelsim simülasyon çıktıları.....	82
Şekil 6.3: Deđişken fazlı(kayma kipli) çalışma kod akış diyagramı.....	83
Şekil 6.4: Deđişken fazlı(kayma kipli) çalışma biçimi modelsim simülasyon çıktıları.....	84
Şekil 7.1: Manuel çalışma modu için geliştirilmiş VHDL kodunun modelsim çıktısı(4 çift çakışmasız PWM işaretleri).....	86
Şekil 7.2: Folyo testi sonucu elde edilen ve homojen olmayan bir temizleme profilinin görüntüsü.....	87
Şekil 7.3: Folyo testi sonucu elde edilen ve nispeten homojen sayılabilecek bir temizleme profilinin görüntüsü.....	88

Şekil 7.4: Sabit faz farklı çalışma modelsim çıktıları.....	88
Şekil 7.5: Değişken faz farklı çalışma için modelsim çıktıları.....	89
Şekil 8.1: Manuel çalışma modu için FPGA kaynak kullanımı.....	92
Şekil 8.2: Otomatik çalışma modu için FPGA kaynak kullanımı.....	92
Şekil 8.3: Prototip ultrasonik temizleme sistemi elektronik donanımına ait fotoğraf.....	93

TABLULAR DİZİNİ

Tablo 3.1: TOS5161 katalog bilgileri.....	32
Tablo 3.2: Cyclone II ailesi yongalarının özellikleri.....	33
Tablo 3.3: Tasarlanan devrenin pin atamaları listesi(1).....	36
Tablo 3.4: Tasarlanan devrenin pin atamaları listesi(2).....	37

SEMBOLLER VE KISALTMALAR DİZİNİ

Semboller

Ω	: Ohm
dB	: Desibel
V	: Volt
A	: Amper
B	: Bel
F	: Fahrenheit

Kısaltmalar

DC	: Direct Current
AC	: Alternative Current
PWM	: Pulse Width Modulation
MOSFET	: Metal Oxide Semiconductor Field Effect Transistor
ADC	: Analog to Digital Converter
FPGA	: Field Programmable Gate Arrays
VHDL	: VHSIC Hardware Description Language
VHSIC	: Very High Speed İntegrated Circuits
PCB	: Printed Circuit Board
GND	: Ground
KHz	: Kilo Hertz
MHz	: Mega Hertz
Hz	: Hertz
nF	: Nano Farad

FPGA TABANLI ÇOK FONKSİYONLU ULTRASONİK TEMİZLEME MAKİNESİ TASARIMI VE PROTOTİP ÜRETİMİ

Ulvi GÜVENÇ

Anahtar Kelimeler: Ultrasonik Dönüştürücüler, Ultrasonik Temizleme, Ultrasonik Jeneratör, Alan Programlanabilir Yongalar(FPGA), Rezonans Frekansı Tarama Teknikleri

Özet: Bu çalışmada, FPGA teknolojisinin değişik tipte ultrasonik temizleme makinelerine uygulanması çalışmaları gerçekleştirilmiştir. Çalışmanın ilk kısmında, FPGA tabanlı çok fonksiyonlu ultrasonik temizleme makinesi tasarımı ve prototip uygulaması sunulmaktadır. Tasarlanan sistem manuel ve otomatik olarak isimlendirilen iki ayrı çalışma moduna sahiptir. Sistemin sayısal tasarım kısmı, frekans ve PWM kontrollü işaret üretici ve dört ayrı bağımsız temizleme kazanının güç seviyelerini göstermek için geliştirilmiş gösterge sürücü modüllerinden oluşmaktadır ve VHDL donanım programlama dilinin component blokları kullanılarak, modüler bir mimaride tek bir FPGA yongası üzerinde gerçekleştirilmiştir. Sonuç olarak, yeni geliştirilen iki aşamalı yinelemeli rezonans frekansı yakalama algoritması kullanılarak, otomatik çalışma modu için rezonans frekansının tespiti daha hızlı ve yüksek başarımda gerçekleştirilmiştir. Diğer yandan, her iki çalışma modunun da sonucu olarak, geliştirilen modüler mimari sayesinde dört ayrı ama birbirine paralel temizleme süreci kontrolü başarılmıştır. Bunlar, geleneksel mikrodenetleyici kontrollü yaklaşımlarla karşılaştırıldığında sunulan FPGA tabanlı çözümün avantajlarıdır. Ayrıca bu modüler tasarım, tasarım karmaşıklığını minimize etmekte ve tasarımcıya yeni uygulamalar için esneklik sağlamaktadır. Geliştirilen sistemin manuel çalışma modu, Altera Cyclone II FPGA donanımı üzerinde %65, otomatik çalışma modu ise aynı donanım üzerinde %98 lojik kapasite kullanımı ile gerçekleştirilmiştir.

Çalışmanın ikinci bölümünde ise, 28 KHz'lik ultrasonik temizleme makineleri için temizleme verimliliğinin geliştirilmesi üzerine araştırmalar gerçekleştirilmiştir. Araştırmalar sırasında tek bir temizleme tankı kullanılmıştır. Temizleme tankının altına konumlandırılmış ultrasonik dönüştürücü gruplarının farklı frekans, genlik ve fazlarda sürülmesine dair yeni yaklaşımlar bu bağlamda geliştirilmiştir. Burada amaç, sıvı içindeki duran dalgaların lokasyonlarını rastgele kaydırmaktır

Bu yüksek lisans tez çalışması, TÜBİTAK tarafından 109E295 numaralı hızlı destek projesi kapsamında desteklenmiştir. Projenin ve tez çalışmasının sonucu olarak, çeşitli akademik yayınlar yapılarak literatüre katkı sağlanmıştır.

DESIGN AND PROTOTYPE IMPLEMENTATION OF AN FPGA BASED MULTI-FUNCTIONAL ULTRASONIC CLEANING MACHINE

Ulvi GUVENC

Keywords: Ultrasonic Transducers, Ultrasonic Cleaning, Ultrasonic Generators, Field Programmable Gate Arrays(FPGA), Resonance Frequency Detecting Techniques

Abstract: In this study, various researches have been realized over implementation of FPGA technology for different type of ultrasonic cleaning systems. First part of the study presents design and prototype implementation of an FPGA-Based multi-functional ultrasonic cleaning machine. The complete design has two operating modes named as manuel and automatic. Digital part of the complete design including an advanced version of frequency and PWM-controlled pulse generator and display driver unit to monitor power levels of four independent ultrasonic cleaning tanks has been implemented as modular structure by using VHDL component blocks to be implemented on a single FPGA core. As a result, determining the resonance frequency for automatic operation mode becomes faster and precise by using double stage iterative resonance frequency detection algorithm. Moreover, as a result of both operation modes, four independent but fully-parallel cleaning process control have been achieved by way of this modular design architecture. These are the advantages of the FPGA based solution when compared to the traditional microcontroller-based counterparts. The new modular design also minimizes the design complexity and provides flexibility to designer in case of new applications. The manuel operating mode of cleaning system is implemented with 65% of logic capacity utilization while automatic operating mode consumes 98% of logic capacity on a single Altera Cyclone-II FPGA device having 5K logic elements (LE).

In the second part of this study, researches over maximizing the cleaning efficiency have been studied for 28 KHz ultrasonic cleaning machines. In this regard, only one ultrasonic cleaning tank was used during the research. New approach is based on driving the transducer groups located under the cleaning tank with different frequencies, phases and powers researched to be able to obtain a randomly distributed standing waves inside the cleaning liquid.

This thesis was also supported by the Scientific and Technological Research Council of Turkey(TUBITAK) within a research project under the contract number of 109E295. As a result of this project, several academic papers have been published.

BÖLÜM 1. GİRİŞ

1.1. Ultrasonik ve Ultrasonik Temizlik

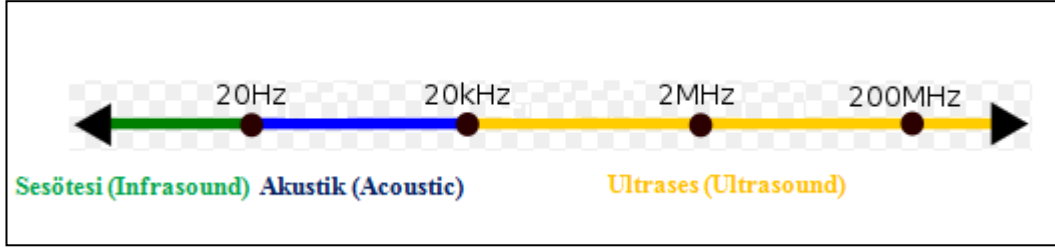
Her alanda hızla gelişen ve yenilenen teknoloji ile birlikte temizlik teknolojisi de günümüzde değişmekte ve gelişmektedir. Uzun zamandır pekçok endüstride standart olarak kullanılan klorlu ve florlu çözücülerle gerçekleştirilen buharlı temizlik, gezegenimizin ekolojik dengesini bozmakta, çevreye telafisi zor zararlar vermektedir. Günümüzde pekçok endüstri alanında temizlik, geçmişte olmadığı kadar önemli bir konuma yükselmiştir. Özellikle elektronik ve nanoteknoloji gibi temizliğin büyük önem arz ettiği endüstri dallarında, gelişen teknolojinin desteğinde yapılan hassas temizleme işlemleri, çok daha kritik bir hal almıştır. Görünen o ki teknolojiye her ilerleme, kendi başarısı ve verimliliği için temizliğe daha fazla ihtiyaç duymaktadır. Temizlik endüstrisi, ihtiyaç duyulan temizlik gereksinimleri doğrultusunda geçmiş birkaç yılda hızlı bir ilerleme kat etmiştir. Bu gelişmelerin pek çoğu ultrasonik temizlik ile ilişkilendirilebilir[1,5].

Temizlik endüstrisi hali hazırda kullanılan çözücü temelli temizliğin yerini doldurabilecek, çevre dostu, alternatif bir temizlik teknolojisi bulma yönünde araştırmalarına devam etmektedir. Sulu, yarı sulu ve petrol tabanlı kimyasallar sıklıkla kullanılmaktadırlar. Fakat bunlar çözücülere göre etkin olmayan temizleyicilerdir. Özellikle bazı uygulamalarda yeterli temizlik seviyelerine ulaşmak için mekaniksel bir enerji artırımı olmadan yeterli olamamaktadırlar. Ultrasonik enerji, yaygın olarak kritik temizleme uygulamalarında hız artışı ve alternatif kimyasalların temizlik etkinliğini geliştirmek amacıyla kullanılmaktadır[1,5].

1.2. Ultrasonik Nedir?

Ses, cisimlerin titreşimi sonucu meydana gelen bir enerji türüdür[2,4]. İşitilebilir seslerin frekansı 20-20000 Hz aralığındadır. 20 Hz ve altındaki sesler infrasound(ses ötesi) olarak adlandırılırken insan kulağının duyma sınırının üzerinde bulunan ve 20 KHz – 100 KHz mertebesindeki ses işaretlerine ise ultrason(ultrasound) denir[1,4]. Şekil 1.1 ses sınıflandırmasını açıklamaktadır.

Ultrasonik, insan kulağının duyabileceği limitin üzerindeki ses dalgalarının bilimidir[8,9,10]. Ses dalgasının frekansı, ses dalgasının tonunu ve etki alanını belirlemektedir. Düşük frekanslar düşük ya da bas tonları, yüksek frekanslar ise yüksek ya da tiz tonları üretir. Ultrasonik temizlik için kullanılan en temel frekanslar ise 20 KHz ve 50 KHz aralığıdır. 50 KHz üzeri frekanslar genellikle kuyumculuk ve dental işlemlerde küçük masaüstü ultrasonik temizleyicilerde kullanılmaktadır[1,5].



Şekil 1.1: Ses sınıflandırma çizelgesi[3,4]

1.3. Ses Dalgalarının Teorisi

Ultrasoniğin mekaniğini anlayabilmek için öncelikle ses dalgalarının nasıl üretildiklerinin ve iletken bir ortamda nasıl hareket ettiklerinin anlaşılması gerekir. Sözlükte ses; katı, sıvı veya gaz elastik ortamların vasıtasıyla titreşimlerin iletilmesi olarak tanımlanır[5].

Ses dalgaları, boyuna dalgalar olarak nitelenen dalga şekillerinin en önemli örneğidir. Bu dalgalar ortamın özelliğine (katı, sıvı ve gaz) bağlı olarak farklı hızlarda yayılırlar. Ses dalgası bir ortamda yayılırken, ortamın parçacıkları, dalganın hareket doğrultusu boyunca yoğunluk ve hacim değişiklikleri yaratarak titreşirler. Bu parçacık hareketleri dalga hareketlerinin yönüne dik olan enine dalga hareketlerindeki durumun tersidir[5].

Ses dalgaları şeklinde ortaya çıkan yer değiştirmeler denge konumundan itibaren her bir molekülün boyuna yer değiştirmesini gerektirir. Bu sıkışma ve genişleme şeklinde yüksek ve alçak basınç bölgelerinin oluşumuna yol açar. Bir mikrofönun diyaframındaki gibi ses dalgası kaynağı sinüsoidal olarak titreşirse basınç değişimleri sinüzoidal olmaz. Harmonik ses dalgalarının matematiksel tanımı, teldeki harmonik dalgaya özdeştir[5].

Gücü bir halden diğere dönüştiren herhangi bir aygıt transducer (dönüştürücü) olarak adlandırılır. Mikrofon ve kuartz kristal gibi seramik ve magnetik fonograf pikaplar ses dönüştürücülere örnektirler. Bazı dönüştürücüler ultrasonik dalgalar yaratabilirler. Böyle aygıtlar ultrasonik temizleme uygulamalarında ve sualtı sistemlerde kullanılır[5].

Ses 0°C'deki havada saniyede 331 m, 20°C derecedeki havada 343 m, 0°C'deki helyum gazı içinde 972 m ve sıfır derecedeki hidrojen gazı içinde 1286 m 25°C'deki suda 1493 m, deniz suyunda 1533 m, alüminyumda 5100 m, bakırda 3560 m ve yapay kauçukta 54 m hızla ilerler[10].

1.3.1. Dalga boyu ve hız

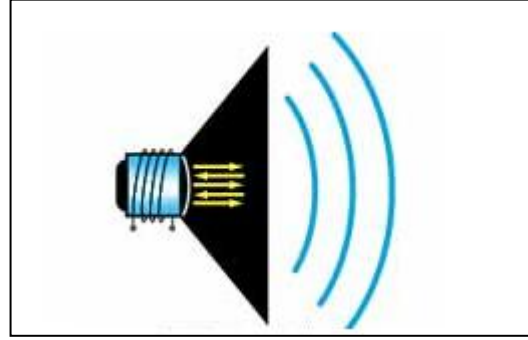
Ultrasonik frekanslarda belli bir ortamdaki ses hızı sabit olduğu için $Hız = Frekans \times Dalga \text{ boyu}$ denkleminde göre frekans artınca sesin dalga boyu kısalmaktadır. Ses şiddeti Watt / cm² birimi ile ölçülür. Pratikte ses şiddeti Bel ile ölçülür (1B = 10 dB)[2].

1.3.2. Ses dalgalarının üretimi

Sıkıştırılmış hava dolu bir balonun patlaması ses dalgası meydana getirmenin basit bir yoludur. Küçük bir balon sıkıştırılmış hava ile doldurulmuştur. Balon patladığı anda, balon içindeki sıkıştırılmış hava bütün istikametlerde basınç darbesi halinde yayılacaktır. İşte bu yayılma esnasında hava veya gaz içindeki partikül veya moleküllerin hareketini temin eden tesirler sesi meydana getirir[6].



Şekil 1.2: Tahta bir kütlelin bir beton yüzeye düşmesi sonucu ses oluşumu[5].

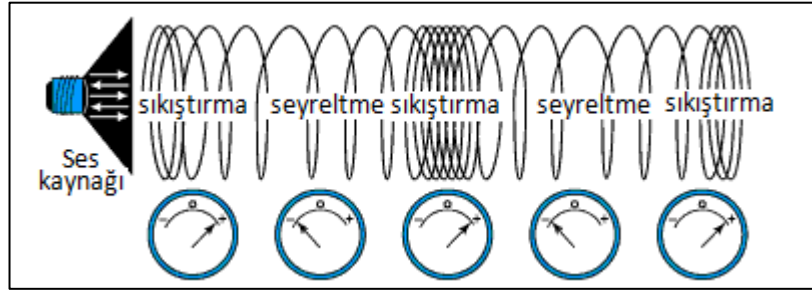


Şekil 1.3: Ses dalgasının yayılımı[5]

Bir ses dalgası şok ya da titreşim hareketi gibi bir ses iletim ortamında münferit ya da tekrar eden hareketler meydana gelmesi ile üretilir. Bir hoparlör hunisi yardımıyla havanın yer değişimi mekanik hareketlenme ile titreşim ses dalgalarının üretiminin iyi bir örneğidir. Hoparlör hunisi ileri ve geri hareket ettikçe huni içerisindeki hava sırasıyla sıkıştırılıp seyreltilerek dağılına kadar hava aracılığıyla hareket edecek olan ses dalgaları üretir. Çoğunlukla değişen mekanik hareketlerle üretilen ses dalgaları bilinmektedir fakat bunun dışında tek bir şok olayı ile üretilen ses dalgaları da vardır. Örnek olarak elektriksel boşalmanın/deşarjın bir sonucu olarak ani hava değişimi olarak oluşan gök gürültüsü verilebilir. Diğer bir örnek olarak da, tahta bir kütlelin bir beton yüzeye düşmesi sonucu oluşan ses verilebilir. Şok olayları, bir merkez kaynaktan yayılan sıkıştırılmış bir ses dalgasının kaynaklarıdır. Şekil 1.2 ve Şekil 1.3 bu örnekleri açıklamaktadır[5].

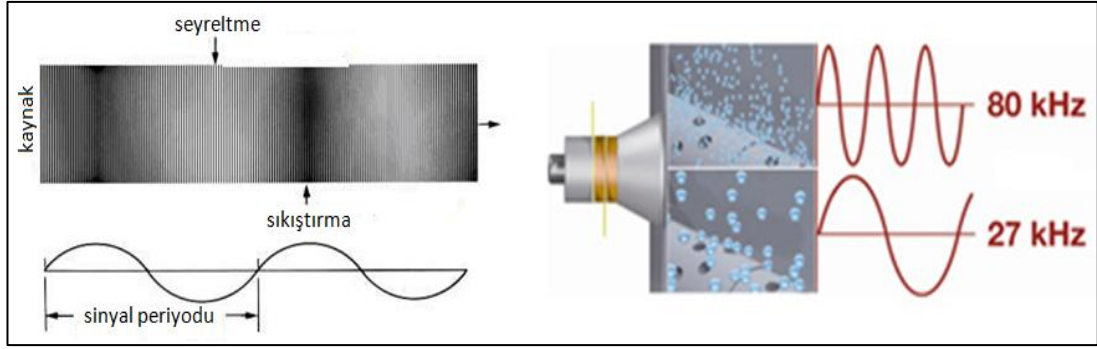
1.3.3.Ses dalgalarının doğası

Aşağıda verilen diyagram, ses iletken bir ortamdaki birbirinden bağımsız molekülleri ve bu moleküller üzerinden ses dalgasının kaynaktan itibaren hareketini betimlemek için basit bir bobin sarımı şeklindeki düzenekten oluşmaktadır. Burada, her bir ayrık molekül ortam içerisinde sesin iletimi sırasında birbirini etkilemektedir. Modelde ses kaynağı en solda verilmiştir. Diyagram üzerinde görülen sıkıştırma etkisi, kaynak tarafından üretildikten sonra her bir komşu molekülün(diyagram üzerinde bobin sarımları ile sembolize edilmiştir) yanındaki komşu molekülü itmesi yoluyla iletilir. Şekil 1.4 üzerinde görüldüğü üzere, burada söylenmesi gereken önemli bir nokta, her bir molekülü sembolize eden sarımların birinin bittiği yerde diğerinin başladığıdır ve bu şekilde iletimin tamamlanmasının ardından her bir sarımın kendine ait ilişkisel pozisyonunu koruduğudur[5].



Şekil 1.4: Ses dalgalarının davranışı[5]

Sonuç olarak, her bir molekülü sembolize eden sarım bir önceki molekülü sembolize eden sarımın etkisiyle sıkıştırma etkisine maruz kalır ve ardından, aldığı bu potansiyeli seyreltme yoluyla komşu sarıma sıkıştırma etkisi olarak iletir. Aynı yönde, ses iletken ortam içerisinde herhangi bir noktada dönüşümlü olarak sıkıştırma ve seyreltme etkisi gözlemlenebilir. Sıkıştırma sırasında ortam içerisinde gözlenen basınç pozitif iken seyreltme sırasında ise negatiftir[5]. Sıkıştırma ve seyreltme oluşumu Şekil 1.5, işaretlenme farkı ise Şekil 1.6'da verildiği gibidir.



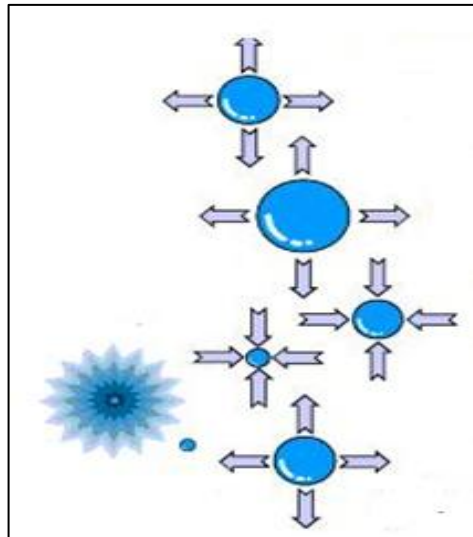
Şekil 1.5: Sıkıştırma ve seyreltme oluşumu[7]

Şekil 1.6: İşaretleme farkı[7]

1.4. Ultrasonik Temizliğin Teorisi

1.4.1. Ultrasonik kavitasyon

Ultrason, insan kulağının duyabileceğinin ötesinde frekanslarda yayılan ses dalgaları olarak tanımlanmaktadır[2]. Ultrasonu temizlik amacıyla kullanmanın altında yatan mantık ise şudur: sıvı içerisinde oluşturulan yüksek frekansta(20KHz – 400KHz) milyonlarca vakum enerjisi içeren mikroskopik hava kabarcığının kirli yüzeylere çarparak patlaması sayesinde yağ, kireç, pas ve istenmeyen dokuların süratle yüzeyden uzaklaştırılması işlemidir [2], [11], [12], [13].



Şekil 1.7: Kabarcıkların oluşumu ve kavitasyon olayı[5]

Şekil 1.7'de verildiği üzere, sıvı içerisindeki hava kabarcıkları(vakum boşluğu ve baloncukları) düşük basınç altında genişleyerek büyürken, yüksek basınç altında ise

şiddetli bir biçimde sönümlenirler ve bir içsel patlama ile yok olurlar. Bu olay sırasında yaklaşık 5000°C 'lik bir sıcaklık artışı meydana gelir. Baloncukların sönümlenmesi ve yok olması sırasında boşalan hacme temizleme sıvısı molekülleri büyük bir hızla hareket eder ve bu olay ultrasonik kavitasyon olarak isimlendirilir[5,11,14].

Kavitasyon sırasında yüksek hızda hareket yeteneği kazanan temizleme sıvısı molekülleri sıvı içerisindeki parçanın yüzeyine şiddetli bir şekilde çarpar. 7000 atmosfer basınca kadar çıkabilen bu yüksek basınç altındaki bombardıman işlemi sonucu parça yüzeyi kir ve pastan temizlenebilmektedir. Ultrasonik yöntemlerle temizleme işleminin temel prensibi budur[5,11,14].

Kavitasyon sırasında baloncukların ne kadar büyük olacağı, ultrasonik dönüştürücülerin girişine uygulanan sinyalin genlik ve frekans bilgisine bağlıdır. 20KHz'den başlayıp 2MHz'e kadar ultrasonik sistemler mevcuttur [11]. Frekans aralığının seçimi, yapılması düşünülen temizlik işleminin seviye ve türüne bağlıdır. Temizleme gücü, istenmeyen etki olan ve kavitasyon erozyonu olarak isimlendirilen noktaya kadar artırılabilir. Bu noktadan sonra, güç daha fazla artırılacak olursa temizlik verimi düşmeye başlar[11].

1.4.2. Gazdan arındırma (Degassing) olayı

Bir ultrasonik temizlik kazanının temizleme gücü kabarcıkların ne kadar şiddetli patladığıyla doğrudan ilişkilidir[11,12]. Eğer temizleme sıvısının içinde herhangi bir çözülmüş halde bulunan gaz varsa bu bölgenin basıncı düşecektir ve baloncukların güçlü bir şekilde patlaması engellenecektir[4]. Bütün sıvılar çözülmüş oksijen içerir. Ultrasonik temizleyicinin iyi bir şekilde çalışabilmesi için bu çözülmüş oksijenin çözültiden dışarı atılması gerekir[11,13]. Bu işlem degassing olayı olarak bilinmektedir.

1.5. Ultrasonik Temizlik Ekipmanları

Bir temizlik sistemi içerisinde ultrasonik enerjiyi oluşturabilmek için ultrasonik dönüştürücü ve ultrasonik güç ünitesi ya da jeneratöre ihtiyaç vardır. Burada jeneratör istenen ultrasonik frekanslarda elektriksel enerjiyi üretirken, ultrasonik dönüştürücü ise jeneratör tarafından üretilen elektriksel enerjiyi mekaniksel titreşimlere dönüştürmektedir.

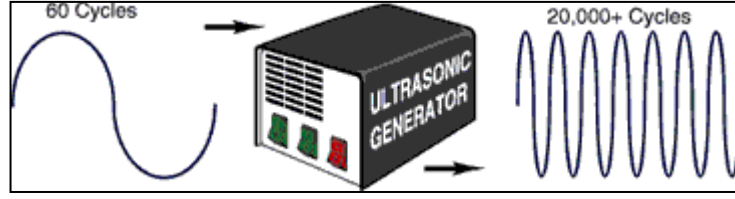
Ultrasonik temizleme düzeneği temel olarak;

- 1.Yüksek genlikli ultrasonik elektrik sinyalleri üreten jeneratör, (ultrasonik frekansları üretir).
- 2.Bu elektrik sinyalini mekanik sinyale çeviren ultrasonik dönüştürücü, (elektrik dalgalarını ultrasonik dalgalara çevirir).
- 3.Ultrasonik dönüştürücülerin tabanına monte edildiği paslanmaz çelikten yapılmış bir temizleme kazanından oluşmaktadır.

1.5.1. Ultrasonik jeneratör

Ultrasonik güç jeneratörü, düşük frekanslı şehir şebeke akımını, yüksek frekanslı elektrik enerjisine çeviren bir elektronik devredir. Şekil 1.8’de de belirtildiği üzere, 50-60Hz seviyesindeki alternatif elektriksel enerjiyi ultrasonik frekanslar seviyesine dönüştürür. Farklı uygulama alanlarında 18KHz-120KHz arasında, özel uygulamalarda ise 400KHz’e kadar ultrasonik jeneratörler kullanılmaktadır[7].

Günümüzde ise teknolojik olarak oldukça ileri seviyede jeneratörler mevcuttur. Yeni tip jeneratörler, belirli bir merkez frekans etrafında ultrasonik dönüştürücüyü çalıştırabilen frekans tarayıcı devre ve kullanılan ultrasonik tank değişken yüklere maruz kaldığında merkez frekansını muhafaza eden otomatik izleme devresine sahiptirler. Bu teknolojiler sayesinde sabit frekans üreten eski tip jeneratörlerin kullanımı sonucu temizlik tankı içerisinde meydana gelen sabit lokasyonlu duran dalgalar bertaraf edilmiş olur[5].



Şekil 1.8: Ultrasonik üreteç gösterimi[5]

Ultrasonik jeneratörler çeşitli ekipman üreticileri tarafından farklı yollarla başarıyla üretilmektedir. Ultrasonik jeneratör teknolojisinde ultrasonik temizlik verimliliğinin artırımı konusunda pekçok ilgili yenilik gerçekleşmektedir. Temel olarak bir ultrasonik jeneratör, merkez çalışma frekansı etrafında frekans taraması yapılabilen kare dalga işareti üretir. Bu jeneratörler, kullanım ihtiyacına uygun birçok farklı ultrasonik enerji çıkışı sunmaktadır[5,7].

1.5.2. Ultrasonik dönüştürücü (Transducer)

Ultrasonik temizlik işleminin en önemli ekipmanı ultrasonik dönüştürücüdür (transducer). Günümüzde, manyetik alan dönüştürücüleri ve piezoelektrik dönüştürücüler olmak üzere iki tip ultrasonik dönüştürücü vardır. Ultrasonik dönüştürücüler için en önemli faktör, dönüştürücünün tipi değil üreteceği kavitasyon şiddetidir. Endüstride her iki tip dönüştürücü türü de farklı uygulama alanlarında kullanılmaktadır[11].

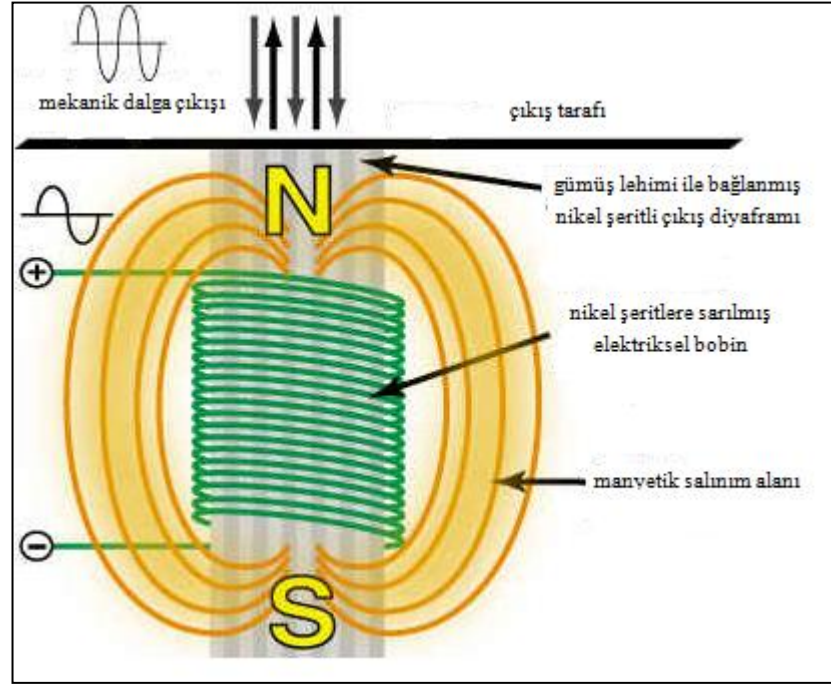
1.5.2.1. Manyetik alan dönüştürücüleri (Magnetostrictive transducers)

Elektromanyetik dönüştürücüler belirli metallerin değişken bir manyetik ortama konulduğunda sıkışması ve gevşemesi prensibini kullanarak elektrik enerjisini mekanik enerjiye dönüştürürler [9]. Elektromanyetik dönüştürücü yapısı Şekil 1.9'da gösterilmiştir.

Nikel veya nikel alaşımından yapılmış, manyetik alanı değişen bir ortamda boyutlarında değişimler gösteren, %20 ile %50 arası verime sahip dönüştürücülerdir. Bunlar, endüstri uygulamalarında dayanıklı fakat karışık yapıları dönüştürücüler olarak bilinmektedirler[5].

Sıfır aralıklı manyetik esaslı dönüştürücüler, nikel bir kütle üzerine yerleştirilen bir elektrik bobini ile beraber sıkıca bağlanmış ince nikel levhalardan meydana

gelmiştir. Bobinden akım geçtiğinde, manyetik bir alan oluşur. Bu, piezoelektrik kristale voltaj uygulandığında nasıl deformasyon oluşuyorsa, manyetik esaslı bir bobine de alternatif akım gönderildiği zaman, nikel kütle de akım frekansında titreşir[5].



Şekil 1.9: Manyetik alan dönüştürücüleri[5]

Ultrasonik jeneratörden gelen alternatif elektrik enerjisi bir bobine uygulandığında bobin etrafında değişken bir manyetik alan oluşturulmuş olur. Oluşan bu manyetik alan daha sonra inceltilmiş tabaka halindeki nikel veya diğer manyetik malzemelerin ultrasonik frekanslarda titreşmesini sağlayarak mekanik enerjiye dönüştürmede kullanılır [10,13].

Manyetik dönüştürücünün nikel kütlesi, direkt olarak rezonans yapacak diyaframa gümüş lehim ile bağlanmıştır. Bunun epoksi bağı kullanımına göre çeşitli avantajları vardır. Gümüş lehim, diyafram ile dönüştürücü arasında asla çözülme metalik bir bağlantı oluşturur. Gümüş lehim aynı zamanda dönüştürücü ve diyafram ile birlikte iyi bir çift oluştururlar. Epoksi bağının oluşturduğu sönümlenme etkisini de bertaraf eder. Dönüştürücülerde nikel kullanımı aşırı çalışma zamanlarında dönüştürücülerin

bozulmasını engeller ve sistemin sabit bir seviyede manyetik özelliğini sürdürmesini sağlar[5].

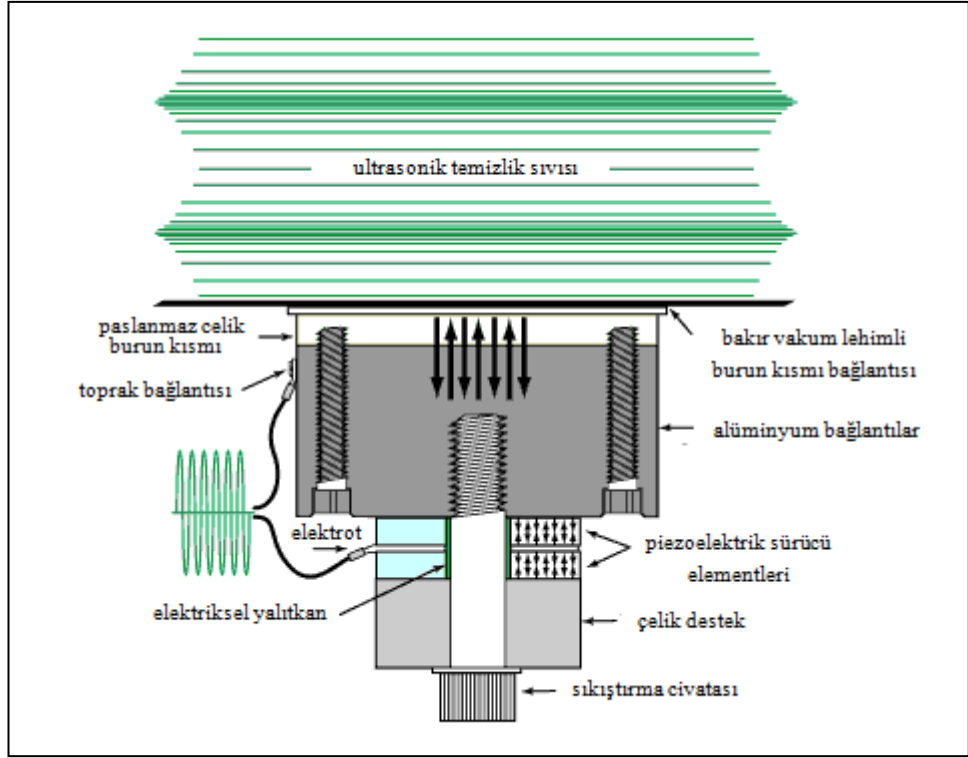
Aynı zamanda manyetik dönüştürücüler daha fazla kütleyle sahiptirler. Bu durum ultrasonik tankta sıvı içine enerji aktarımında çok önemli bir faktördür. Bu da daha fazla güç aktarımı yüklemeye karşı piezoelektrik sistemlerden daha az hassas olmalarını sağlar. Merkezi yayılma yapan bir diyafram sıfır aralıklı manyetik dönüştürücüleri kullanır ve genellikle 5mm ve daha fazla kalınlıktadırlar. Ağır nikel yığını bu kalınlıktaki bir plakayı şiddetle tahrik edebilir ve sulu çözelti içine yüksek verimde dalga aktarımı yapabilir.

Manyetik dönüştürücüler, piezoelektrik dönüştürücüler kadar verimli değildir. Yani piezoelektrik dönüştürücüler, verilen bir voltaj ya da akım sonucu doğan yer değiştirme için manyetik olanlardan daha fazla sapma göstereceklerdir[9].

1.5.2.2. Piezoelektrik dönüştürücüler (Piezoelectric transducers)

Voltajı değişen bir elektrik ortamında bulunduğu fiziksel boyutunda değişimler gösteren, kurşun zirkonyum titanat veya diğer seramiklerden yapılmış, %70 ile %90 arası verime sahip dönüştürücülerdir.

Piezoelektrik dönüştürücüler alternatif elektrik enerjisini direkt olarak mekanik enerjiye dönüştürürler. Bunu yaparken piezoelektrik özelliklerini kullanırlar [10,12,14]. Yani yapılarında bulunan belli bir materyale bir elektrik sinyali uygulandığında bu materyal şeklini değiştirir [8,13]. Bunun tersi de doğrudur. Dönüştürücüye fiziksel bir kuvvet uygulandığında dönüştürücü bu fiziksel kuvvetin büyüklüğü ile orantılı olarak bir gerilim üretir. Piezoelektrik dönüştürücülerin yapısı Şekil 1.10'da gösterildiği gibidir.



Şekil 1.10: Piezoelektrik dönüştürücüler[5]

İki kalay şerit arasında sandwich şekline getirilmiş bir seramik kristalden yapılmışlardır. Şeritler arasına voltaj uygulandığında, kristalde yer değiştirme meydana gelir. Bu piezoelektrik etki olarak bilinir. Bu dönüştürücüler bir diyaframa (temizlik tankının yan veya alt kısmına) monte edilirler. Kristalde meydana gelen yer değiştirme, diyaframın hareket etmesine neden olur ve burada basınç dalgaları oluşur. Bu dalgalar temizlik tankının içine aktarılırlar. Kristalin kütlesi, paslanmaz çelik diyaframın kütlesi ile uyumsuzdur. Diyaframa, titreştirici enerjiyi daha verimli bir şekilde aktarması ve empedans uyumunu iyileştirmek için orta seviyede bir alüminyum blok kullanılır. Piezoelektrik dönüştürücülerin hammaddesi, işçiliği, montajı ucuz olduğundan dolayı ultrasonik temizlemede tercih edilmektedirler. Fakat bu dönüştürücülerin çeşitli kusurları da mevcuttur. En çok karşılaşılan problem, aşırı çalışma sürelerinde performanslarının düşmesidir. Bu birkaç nedenden olabilir. Kristal uzun süre çalıştığında kendi kendisini depolarize edebilir ve bu da, kristalin yer değiştirme özelliğinde oldukça önemli azalmalara neden olur. Kristalin kendisi daha fazla genişleme yaparken, diyafram onun kadar fazla yer değiştiremez[5]. Daha az titreştirici enerji üretilir ve kavitasyondaki azalma, tankta dikkat çekici seviyede olur. İlave olarak piezoelektrik kristaller, sıkça epoksi

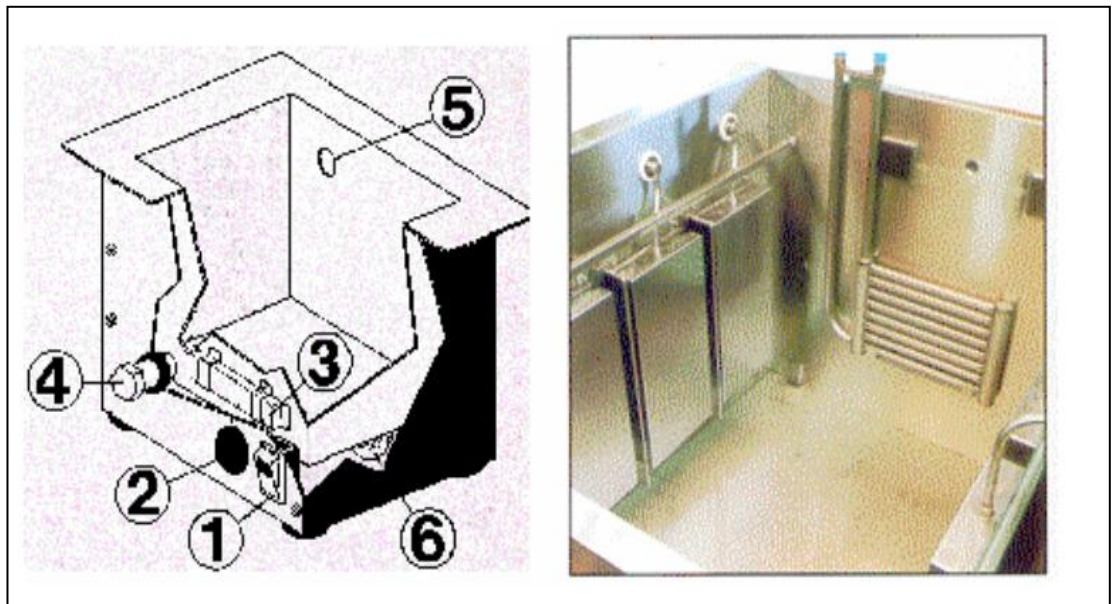
türü bir yapıştırıcı yardımıyla temizlik tankına monte edilirler. Burada, dönüştürücü ve çözelti tarafından üretilen yüksek ısı ve yüksek frekansların yorucu etkisine maruz kalırlar. Sonuçta epoksi band gevşer ve dönüştürücüyü işe yaramaz hale getirir. Aynı zamanda kristalin kapasitansı değişir ve bu durum rezonans frekansını etkiler. Böylece kristal rezonans devresinin jeneratörlerle çalışma uyumu bozulmuş olur[5].

1.5.3. Ultrasonik temizlik kazanı

Bir ultrasonik temizleme sistemi, bir elektriksel sinyal üretici ve bu elektriksel sinyali mekaniksel ses dalgalarına dönüştüren ultrasonik dönüştürücüden oluşur. Ultrasonik temizleme işleminin gerçekleşmesi için, ultrasonik dönüştürücülerin üzerine konumlandırıldığı bir temizlik alanına ihtiyaç vardır. Bu amaçla ultrasonik temizlik kazanları/tankları kullanılır.

Standart tanklar, optimum temizleme yapmak ve sıcaklığı 50°C–70°C arasında tutabilmek için termostat kontrollü ısıtıcılara sahip elemanlardır. Isıtma işlemi, temizlik sıvısının zehirli gazlardan arındırılmasında hızlandırıcı etki yaratır[7].

Temizleme tankının iç yapısı ve ultrasonik dönüştürücülerin yerleşimi Şekil 1.11’de verilmiştir(1.Isıtma açma kapama düğmesi, 2.Termostat, 3.Rezistans, 4.Su boşaltım vanası, 5.Taşma deliği, 6.Piezoelektrik Dönüştürücü).



Şekil 1.11: Ultrasonik temizlik kazanı(Tankı)[7]

Özel dizayn edilmiş sistemlerde veya eski tankların yenilenmesinde, daldırılmalı dönüştürücüler sıkça kullanılan elemanlardır. Ayrıca iç tarafa monte edilmiş piezoelektrik dönüştürücülere sahip, paslanmaz çelikten yapılmış hava geçirmez tanklar da mevcuttur.

Enerji yayan yüzeyler, erozyonu azaltmak için yüksek derecede parlatılmışlardır. Tanklar genellikle dikdörtgen şeklindedir. Dönüştürücüler genellikle temizleme tankının genellikle alt, yan veya hem alt hem yan yüzeylerine monte edilirler[7].

1.6. Ultrasonik Temizlik İşleminde Verimlilik Artırımı

Ultrasonik temizlik işlem sürecinin verimliliğini belirleyen bazı parametreler mevcuttur. Diğer temizlik teknolojilerinde olduğu gibi sıcaklık, zaman ve kimyasallar ultrasonik temizlik için de dikkate alınması gereken parametrelerdir. Bunların yanı sıra, ultrasonik temizlik işleminin verimliliğinin artırılabilmesi için başka faktörler de söz konusudur. Bu faktörler özellikle sıvı içerisindeki ultrasonik kavitasyon şiddetini etkilemektedir[5].

1.6.1. Kavitasyon artırımı:

Temizlik sıvısının kavitasyon miktarının artırılması, ultrasonik temizlik işleminin başarımı için büyük önem taşır. Kavitasyon şiddetini birkaç değişken etkilemektedir. Sıcaklık, kavitasyon şiddetini maksimuma çıkarmak için dikkate alınması gereken önemli bir parametredir. Sıcaklıkla ilgili olarak, temizlik sıvısına ait pekçok özellik kavitasyon şiddetini etkilemektedir. Sıvı içerisindeki gazların çözünürlüğü, çözülmüş gazların difüzyonu ve buhar basıncı temizlik sıvısının sıcaklığına bağlı olarak kavitasyon şiddetini etkilemektedir. Saf suda, kavitasyon etkisi yaklaşık olarak 160°F'da maksimum olmaktadır[5].

Daha etkin bir kavitasyon için, temizlik sıvısı içerisinde bulunan çözülmüş gazlar minimum olmalıdır. Sıvı içerisinde çözülmüş gazlar, kavitasyonun kabarcık büyüme aşamasında serbest kalarak istenilen ultrasonik etki için gerekli olan şiddetli patlamayı engeller[5].

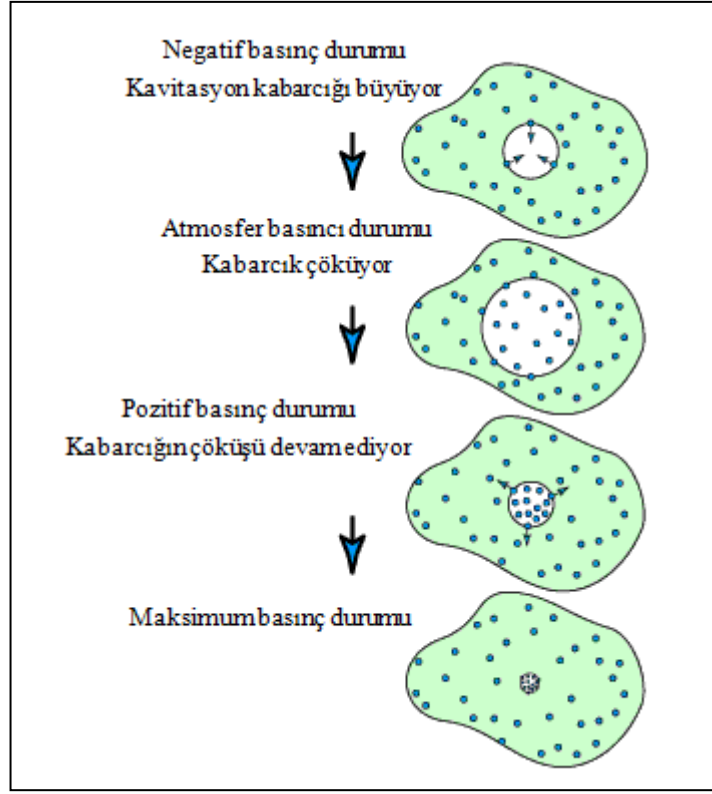
Bir sıvı içerisindeki çözülmüş gazların difüzyon hızı yüksek sıcaklıklarda artar. Bu, sıvıların yüksek sıcaklıkta düşük sıcaklıklara göre çözülmüş gazları serbest bırakma hızının daha fazla olduğu anlamına gelir[5].

Sıvı sıcaklığında meydana gelen ortalama bir artış sıvıya ait buhar basıncını etkileyecektir ve buhar kavitasyonu çok daha kolay gerçekleşebilecektir. Buhar kavitasyonu, kavitasyon baloncuklarını kavitasyon sıvısının buharı ile dolduran, en verimli kavitasyon formudur. Kavitasyon şiddeti, ultrasonik temizlik sistemlerinde genellikle kullanılan ultrasonik güç seviyeleriyle doğrudan ilişkilidir[5].

Kavitasyon şiddeti ultrasonik frekans ile tersine ilişkilidir. Ultrasonik frekans artarken, kavitasyon kabarcıklarının daha küçük oluşu ve sonuç olarak patlama şiddetinin azalması nedeniyle kavitasyon şiddeti azalmaktadır. Yüksek frekanslarda kavitasyon etkisinde meydana gelen azalma, ultrasonik güç artırılarak giderilebilir[5,11].

1.6.2. Çözülmüş haldeki gazların minimize edilmesinin önemi

Ses dalgasının negatif basınç durumu sırasında sıvı moleküler hale gelerek kavitasyon kabarcıkları oluşmaya başlar. Kabarcıklar içinde negatif basınç sürdükçe, kavitasyon sıvısı içerisinde çözülmüş olan gazlar kabarcık yüzey sınırından içeriye doğru difüzyon olmaya başlar. Ses dalgasının seyrelme kısımlarının geçişinden ve atmosfer basıncına ulaşmasından dolayı negatif basıncın indirgenmesiyle, kavitasyon kabarcıkları kendi yüzey gerilimlerinden dolayı çökmeye başlarlar[5,11]. Kavitasyon kabarcığının basınç altında davranışı Şekil 1.12'de gösterildiği gibidir.



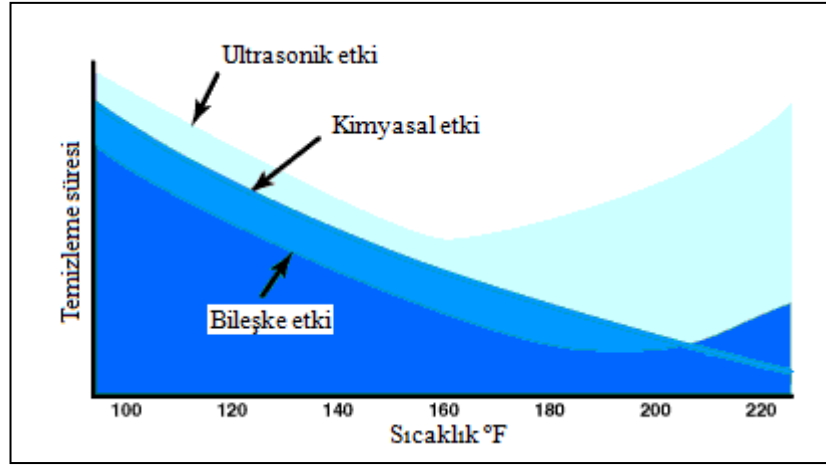
Şekil 1.12: Kavitasyon kabarcığının basınç altında davranışı[5]

Ses dalgasının sıkıştırma etkisi sırasında kabarcık içerisine difüzyon olmuş gazlar, iç basınç nedeniyle sıkıştırılarak bu kez kabarcık yüzeyinden sıvı içerisine doğru difüzyon olurlar. Kabarcık sıkıştırma etkisine maruz kalana kadar kabarcık dışında difüzyon başlamayacağından ve kabarcık içerisinde gaz bulunacağından dolayı bu işlem hiçbir zaman tamamlanamaz. Kabarcık bir kez sıkıştırıldıktan sonra difüzyon için uygun sınır yüzeyi indirgenmiş olur. Sonuç olarak, gaz içeren sıvılar içerisinde oluşan kavitasyon kabarcıkları istenilen verimde bir patlama meydana getirememektedir[5].

1.6.3. Ultrasonik temizleme verimliliğini artırıcı diğer faktörler

Ultrasonik temizlikte, katalizör olarak kullanılan kimyasal maddenin seçimi ultrasonik temizlik işleminin başarımı açısından oldukça önemlidir. Seçilen kimyasalın, temizlenecek olan maddeyle uyumlu ve bu madde üzerindeki kiri sökebilecek kabiliyette olması önemlidir[5].

Temizlik için geliştirilen kimyasalların çoğu ultrasonik temizlikte de yeterli başarıma sahiptir. Bazı kimyasallar ise özel olarak ultrasonik temizlik için geliştirilmiştir. Pekçok petrol ve terpen($C_{10}H_{16}$) tabanlı yarı sulu temizleyiciler ultrasonik temizlik için yüksek verimlidirler. Ultrasonik temizlik verimliliğini artırmak için kullanılan bu formüllerin kullanımı için ayrıca özel ekipmanlar da gerekebilmektedir[5].

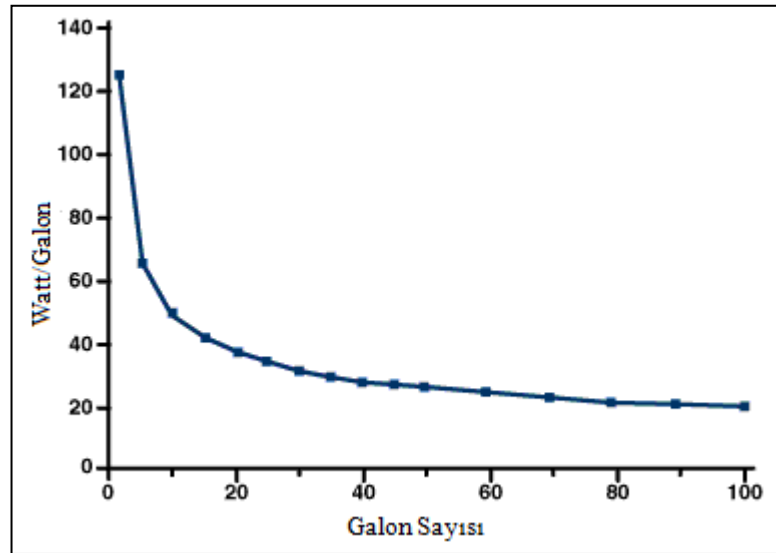


Şekil 1.13: Sıcaklığa bağlı olarak ultrasonik ve kimyasal etkilerin temizleme süresine etkisi[5]

Sıcaklığın temizlik sırasında maksimum kavitasyon başarımına ulaşabilmek için öneminden bahsedilmiştir. Ayrıca Şekil 1.13’de gösterildiği üzere, katalizör olarak kullanılan temizlik kimyasalının verimliliği de sıcaklıkla ilişkilidir. Diğer yandan, saf suda yaklaşık olarak $160^{\circ}F$ ‘da kavitasyon etkisi maksimum olmaktadır [5].

Genel bir kural olarak her bir kimyasal, ultrasonik temizlik sürecinde sıcaklık etkisiyle ilişkilendirilerek, önerilen işlem sıcaklığında en iyi başarımla gerçekleştirilebilmektedir. Örneğin, maksimum ultrasonik temizlik etkisi optimum koşullar altında $160^{\circ}F$ ‘da gözlenmesine karşın pekçok aşındırıcı temizleyici, kendi bünyesindeki kimyasalların etkisini arttırmak amacıyla $180^{\circ}F$ ile $190^{\circ}F$ aralığında kullanılmaktadır. Diğer temizleyiciler ise $140^{\circ}F$ ve daha altındaki sıcaklıklarda kullanıldıklarında etkinliklerini kaybetmektedirler. Bu konuda yapılacak en iyi performans deneyi, kullanılacak kimyasalı $190^{\circ}F$ ‘ı geçmemek şartıyla kendisi için önerilen maksimum sıcaklıkta kullanarak ultrasonik temizlik sürecini gerçekleştirmektir[5].

Diğer yandan, temizleme sıvısını gazdan arındırma işlemi tatmin edici temizlik sonuçlarına ulaşabilmek için oldukça önemlidir. Bu nedenle temizlik sıvısı, temizlik işlemine başlamadan önce bir süre dinlendirilmelidir. Gazdan arındırma işlemi, temizlik sıvısına kimyasallar ve diğer katalizörler eklenip sistem temizlik sıcaklığına getirildikten sonra yapılmalıdır. Gazdan arındırma işleminin ne kadar süre olması gerektiği temizlik tankının kapasitesi, işlem sıcaklığı ve kullanılan katalizörlerin bilgisine göre değişkenlik göstermektedir. Örneğin küçük bir tank için birkaç dakika yeterli olabilirken daha büyük bir tank için bu süre bir saati bulabilir. Eğer yüzeye doğru hava kabarcıkları meydana geldiyse gazdan arındırma işlemi tamamlanmış demektir[5]. Sonuç olarak, gazdan arındırma işlemi aslında temizlik sıvısının temizlik sürecine başlamadan önce bir süre dinlendirilmesidir denebilir.



Şekil 1.14: Kaviteasyon-basınç ilişkisi[5]

Bütün temizlik sıvısı içerisinde kaviteasyon oluşturabilmek için temizlik kazanına yeterli seviyede ultrasonik güç iletilmelidir. Şekil 1.14'te gösterildiği üzere, bir ultrasonik temizlik kazanı/tankı içerisindeki ultrasonik güç seviyesini ölçmek üzere galon başına düşen güç anlamına gelen Watt/Galon birimi kullanılmaktadır. Ultrasonik temizlik sürecinde kullanılan temizlik kazanının hacmi arttıkça, hedeflenen performansın elde edilebilmesi için galon başına gereken güç miktarı azalır. Yüzece büyük cisimler temizlenmek istendiğinde ekstra ultrasonik güç

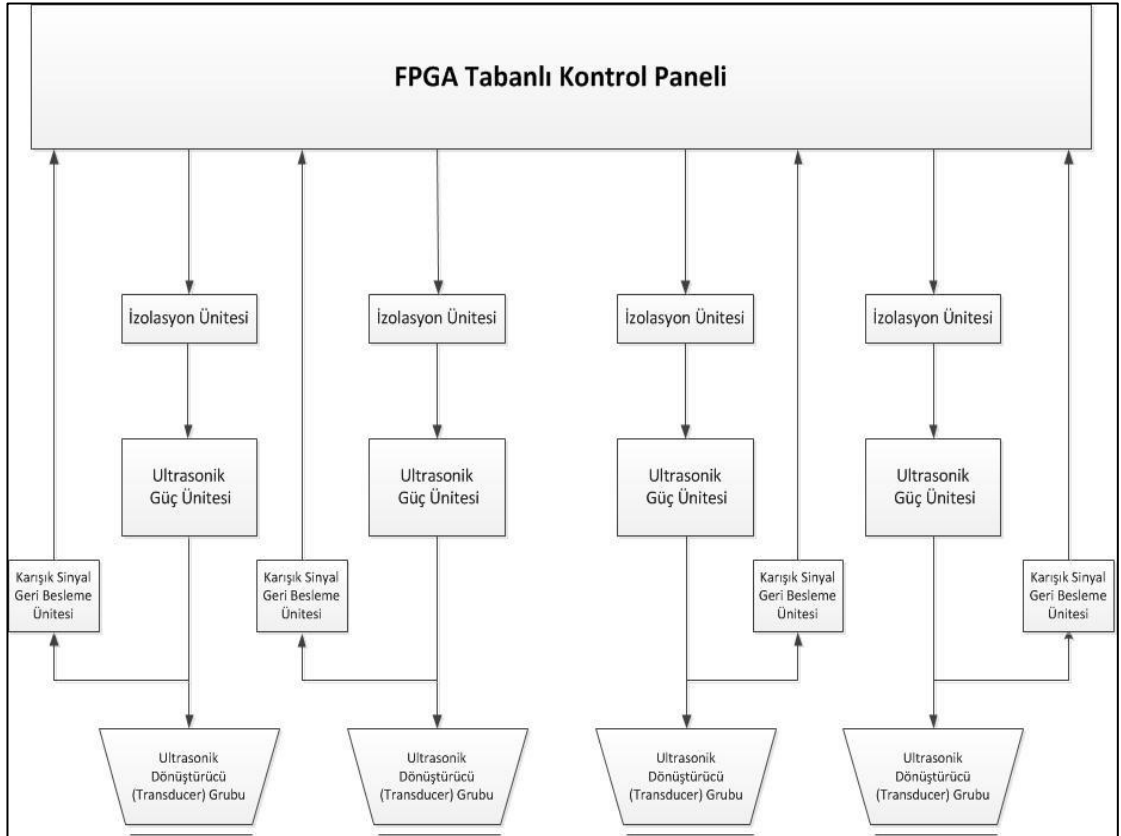
gerekmektedir. Diđer yandan, aşırı ultrasonik güç kullanımı kavitasyon erozyonu dediğimiz olumsuz etkiye neden olabilmektedir[5].

Bunun yanında, eđer tek bir tank içerisinde çeşitli genişliklerde nesnelere temizlenecekse, ihtiyaç duyulan güç seviyelerinin elde edilebilmesi için ultrasonik güç kontrolünün sağlanması önerilir. Her bir parçanın maruz kaldığı kimyasal ve ultrasonik temizlik enerjisi etkisi verimli bir temizlik için önemlidir. Sıvı içerisinde bulunan yüzeyin her bir noktasının aynı düzeyde yıkanmış olmasına dikkat etmek gerekir. Temizlik sisteminin, temizlik sıvısı içerisindeki nesnenin her bir parçasına eşit düzeyde ultrasonik enerji etkileyecek şekilde tasarlanmış olması gerekir. Bu nedenle, eđer ki temizlenecek nesne birden fazla parçadan oluşuyorsa homojen bir temizlik elde edebilmek için, temizlik kazanı içerisindeki bu parçaların sıvı içerisinde hareket ettirilerek pozisyonları değiştirilmelidir[5].

BÖLÜM 2. GENEL MİMARİ

2.1. Giriş

Bu bölümde, tasarımı gerçekleştirilen çok fonksiyonlu ultrasonik temizlik sisteminin genel mimarisi bulunmaktadır. Sistemin genel mimarisi Şekil 2.1’de verildiği gibidir. Şekil üzerinde görülebildiği üzere sistem FPGA tabanlı jeneratör prototipi, izolasyon üniteleri, ultrasonik güç üniteleri, karışık sinyal geri besleme üniteleri ve ultrasonik dönüştürücü gruplarından oluşmaktadır.

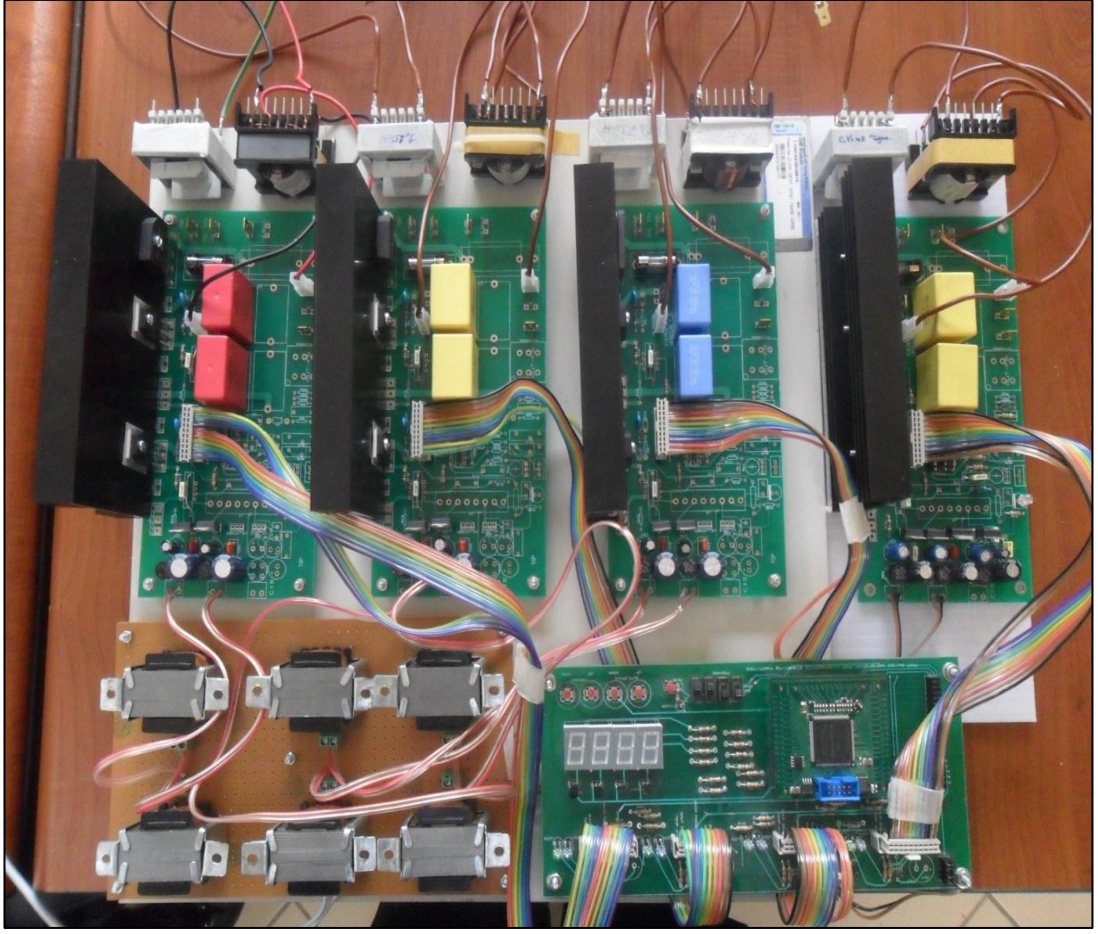


Şekil 2.1: Ultrasonik temizlik sisteminin genel mimarisi

2.2. FPGA Tabanlı Jeneratör Prototipi

Jeneratör prototipi bir bütün olarak ele alındığında Şekil 2.2’de gösterildiği üzere sayısal kontrol devresi ve güç devrelerinden oluşmaktadır. Burada kontrol işlevi sayısal kontrol devresi tarafından sağlandığı için jeneratör prototipi, güç devreleri göz ardı edilerek isimlendirilmiştir.

Diğer yandan, sayısal kontrol devresi temel olarak Altera firmasının Cyclone II ailesine ait EP2C5T144C8 yongası, yedi parçalı gösterge üniteleri, buton ve anahtar grubu ile çevresel birim soketlerinden oluşmaktadır. Burada, FPGA yongası her biri bir temizlik kazanını sürmek için gerek duyulan dört adet PWM işaret çiftinin üretimi ve bu işaret çiftlerine ait frekans ve doluluk/boşluk oranı bilgilerine müdahil olarak temizlik kazanlarının çalışma anı temizlik gücü ve frekansının kontrol edilmesinden sorumludur. Bunlara ek olarak, kazanların çalışma anı temizlik güç seviyelerinin sayısal kontrol devresi üzerinde bulunan yedi parçalı gösterge üniteleri üzerinde gösterilmesi ve karışık sinyal geri besleme ünitelerinin kontrolü de FPGA yongası tarafından gerçekleştirilir. Bütün bu donanım fonksiyonları VHDL donanım programlama dilinde bulunan component blokları kullanılarak modüler bir mimari yapıyla Altera Cyclone-II ailesine ait tek bir EP2C5T144C8 yongası üzerinde gerçekleştirilmiştir.



Şekil 2.2: Jeneratör prototipini oluşturan sayısal kontrol devresi ve güç devreleri

2.3. İzolasyon Üniteleri

Sistem genel mimarisi içerisinde kullanılan izolasyon üniteleri, FPGA tabanlı sayısal kontrol devresi ile ultrasonik güç ünitesi arasında meydana gelebilecek etkileşimi engellemek için gerekli olan izolasyonu sağlamak üzere kullanılan özel optokuplör devrelerinden oluşmaktadır. Bu devreler, FPGA yongası tarafından üretilen PWM işaretlerinin ultrasonik güç ünitesinin DC-AC dönüştürücü kısmına konumlandırılmış güç MOSFET'lerini güvenli olarak sürebilmesini sağlamaktadır.

2.4. Karışık Sinyal Geri Besleme Üniteleri

Karışık sinyal geri besleme ünitesi, temizlik sistemi çalışma anı rezonans frekansının tespit edilmesi ve bu yeni değerler üzerinden sistemin güncellenmesi için gerekli verilerin FPGA yongasına sayısal formda gönderilmesinden sorumludur. Geri besleme üniteleri ADC0804 sayısal/analog dönüştürücü entegrelerinden ve bu

entegrelerin çalışma kontrollerinin FPGA yongası tarafından kontrol edilebilmesi için gerekli kontrol yollarından oluşmaktadır. Sistemin çalışma anı rezonans frekansı temizlik kazanının yük yapısında gözlenen kararsız davranış nedeniyle zaman içerisinde değişkenlik göstermektedir. Bu durum, temizlik sürecinde karışık sinyal geri besleme ünitelerinin kullanımını zorunlu kılmaktadır. Bahsi geçen temizlik verimsizliğini iyileştirmek üzere literatürde mikroişlemci/mikrodenetleyici tabanlı çözümler mevcuttur[11]. Bu tez çalışması kapsamında yapılan araştırmalar neticesinde, sistem çalışma anı rezonans frekansının tespiti noktasında sabit tarama ve iki aşamalı yinelemeli tarama teknikleri geliştirilmiş olup, elde edilen sonuçlar yurt içi ve yurt dışı konferans ve dergi yayınları olarak literatüre kazandırılmış ya da önerilmiştir[12,13,14]. Özellikle FPGA kullanımı ile geliştirilmiş olan iki aşamalı yinelemeli tarama tekniği, tarama sürecini hızlandırması, yüksek başarımda rezonans noktası tespiti, tarama ve çalışma süreçlerini birbirini takip eden sürekli bir döngü haline getirerek verimlilik artırımında verdiği başarımla literatürde yer edinmiştir[12].

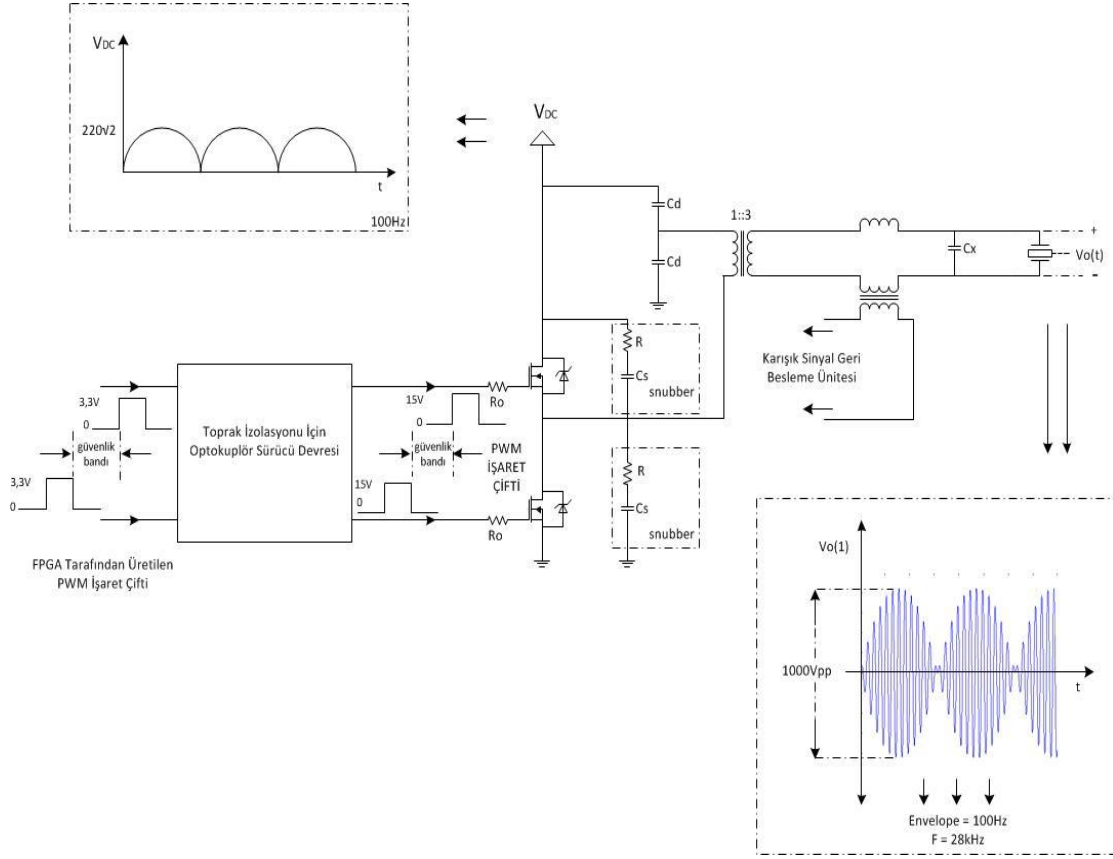
2.5. Ultrasonik Dönüştürücü Grupları

Temizlik tanklarına ait ultrasonik güç dönüştürücü grupları, temizlik tanklarının alt ya da yan yüzeylerine konumlandırılabilir yapıdadır. Testlerde kullanılan tanklara ait ultrasonik dönüştürücü grupları, 35KHz-50KHz aralığında doğal rezonans frekans değerinde ve birbirlerine paralel olarak bağlanmış çoklu ultrasonik dönüştürücülere sahiptir.

2.6. Ultrasonik Güç Üniteleri

Temizlik sistemi içerisinde bulunan ultrasonik güç üniteleri, temizlik tankları altına konumlandırılmış halde bulunan ultrasonik dönüştürücü gruplarına uygulanmak üzere genlik modüleli sinüzoidal işaretin üretilmesi için kullanılırlar. 48KHz 900Vpp bir sinüzoidal işaret, 220V ana hat geriliminin DC tam-dalga doğrultucudan geçirilmesiyle sağlanmaktadır. Ultrasonik güç ünitesinin genel yapısı Şekil 2.3'te gösterildiği gibidir. Şekil 3.3 üzerinde görüldüğü üzere, FPGA yongası üzerinde modüler mimari kullanılarak tasarlanan ve yongaya gömülen PWM üretici modülü tarafından üretilen 0-3.3V PWM işaret çiftleri, optokuplör tabanlı özel sürücü devreleri aracılığıyla 0-15V genlik seviyeleri arasında değişen PWM işaret çiftlerine

dönüştürülürler. Daha önce de belirtildiği gibi, optokuplör katı sistemin analog ve sayısal kısımları arasında izolasyonu sağlamaktadır.



Şekil 2.3: Ultrasonik güç ünitesinin genel yapısı

Diğer yandan, üretilen PWM işaret çiftlerini oluşturan PWM işaretleri arasında bir güvenlik bandının bırakıldığına dikkat ediniz. Bu güvenlik bandı, kullanılan güç mosfetlerinin iletim durumlarında gözlenebilen olası kapasitif gecikme etkileri göz önünde bulundurularak, güç mosfetlerinin aynı anda iletim durumuna anahtarlanmasını engellemek için gereklidir. Elde edilen 0-15V genliğinde PWM işaret çifti, yarı-köprü(half-bridge) DC/AC dönüştürücü içerisindeki güç MOSFET'lerini sürmek için kullanılır. Dönüştürücü devresindeki transformatör ikincil sargısından elde edilen işaret, bozulmuş bir kare dalga işaretidir. Bu nedenle elde edilen işaret basit bir LC filtreden geçirilmektedir. Filtreleme işlemi sonucunda işaret, üzerindeki istenmeyen yüksek frekans bileşenlerinden arındırılır. Sonuç olarak, ultrasonik dönüştürücü grubuna uygulanmak üzere elde edilen 100Hz

modülasyon frekansındaki genlik modüleli ultrasonik frekanslardaki sinüzoidal işaret Şekil 2.3 üzerinde gösterilmiştir.

Bununla beraber, güç ünitesi üzerinde ultrasonik dönüştürücü grubu ile transformatör ikincil sargısı arasında seri olarak bağlanmış bir akım trafosu bulunmaktadır. Bu akım trafosu aracılığıyla örnekleme yapılabilir. Rezonans durumunda, akım trafosu üzerinden maksimum akım sağlanmaktadır. Buna bağlı olarak, akım trafosunun ikincil çıkışı üzerinde karışık sinyal geri besleme ünitesini sürebilecek seviyede bir gerilim elde edilebilmektedir. Bu gerilim, bir zarf dedektörü ve alçak geçiren filtreden geçirilerek DC ortalama değeri elde edilir ve ADC girişine bu gerilim uygulanır.

BÖLÜM 3. JENERATÖR PROTOTİPİ VE PCB DEVRE TASARIMLARI

3.1. Giriş

Bu bölümde, tez çalışmasının konusu olan FPGA tabanlı çok fonksiyonlu ultrasonik temizlik makinesini kontrol etmek amacıyla tasarlanmış olan jeneratör prototipi ve panele ait kontrol devreleri açıklanmaktadır. Bu amaç doğrultusunda, tasarlanan devrelere ait PCB tasarımlar ve devrelerin fotoğrafları anlatım sırasında kullanılmıştır. PCB tasarımlar alt bloklara bölünerek buralarda kullanılan elemanların özellikleri ve alt blokların çalışma mantığı detaylı olarak açıklanmıştır.

Tez çalışması sırasında, temel olarak üç farklı devre grubu geliştirilmiştir. Bunlardan güç ve sürücü devreleri, tezin güç devreleri ana başlığı altında açıklanırken, temizlik makinesinin jeneratör prototipini oluşturan sayısal kontrol devresi ve otomatik temizlik makinesi(rezonans frekansını otomatik olarak belirleyen prototip) için geliştirilen geri besleme modülüne ait analog/sayısal dönüştürücü devresi bu bölümde ele alınmıştır.

Ayrıca, geliştirilen temizlik sisteminin analog ve sayısal kısımlarını olası istenmeyen gürültü etkileşimlerinden korumak için optokuplör devresi kullanılmaktadır. Bu devre, FPGA yongasının bulunduğu jeneratör prototipi üzerindeki sayısal kontrol devresini güç devrelerinin bulunduğu analog kattan yalıtılmaktadır. Bu yalıtımın kullanılmaması durumunda sayısal kontrol devresi üzerindeki başta FPGA yongası olmak üzere çeşitli devre elemanları, güç katından gelebilecek olası yüksek akım ya da gerilim değişimlerinden etkilenecektir. Bu gibi durumlar için kullanılmış olan optokuplör devresine ait bilgiler de tezin güç devreleri ana başlığı altında açıklanmıştır.

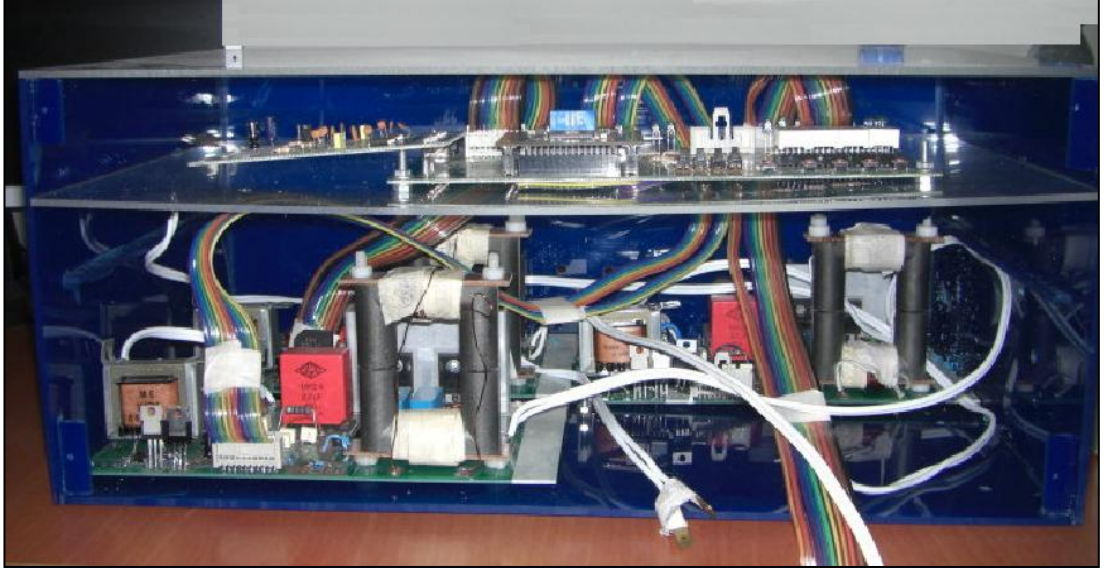
3.2. Jeneratör Prototipi

Geliştirilen manuel ve otomatik çalışma modlarına sahip FPGA tabanlı ultrasonik temizlik makinesinin kontrol devreleri ve güç devreleri, tek bir jeneratör prototipi içerisinde toplanmıştır.

Jeneratör prototipi, flexiglass malzemedan yapılmış olup çift katlı bir yapıya sahiptir. İki kat arasında, saydam bir plaka bulunmaktadır. Jeneratör prototipinin üst kısmında sayısal kontrol devresi ve bu devreye bağlantı blokları aracılığıyla bağlanmış olan analog/sayısal dönüştürücü devresi bulunmaktadır.

Jeneratör prototipinin alt katında ise analog güç devreleri mevcuttur. İki katman arasındaki saydam plaka, jeneratör prototipinin kullanım verimliliğini artırmanın yanı sıra güç devreleri ile sayısal kontrol bloğu arasındaki manyetik etkileşimleri minimize etmektedir.

Jeneratör prototipi içerisindeki iki kat arası geçişler, saydam plaka içerisinde bırakılan boşluktan bağlantı blokları aracılığıyla gerçekleştirilmektedir. Jeneratör prototipinin yapısı ile güç ve kontrol devrelerinin konumu, Şekil 3.1 ve Şekil 3.2 üzerinde gözlemlenebilir.



Şekil 3.1: Jeneratör prototipinin yapısı, güç ve kontrol devreleri(1)

Jeneratör prototipi, Şekil 3.1 ve Şekil 3.2’de görülebildiği üzere ergonomik yapısı ile sanayide ürün olarak kullanılabilir şekilde tasarlanmıştır. Jeneratör prototipinin tespit edilen tek eksiği, üst katmanda bulunan sayısal kontrol devresi üzerindeki push buton ve anahtar grubunun panel içerisinde kontrolünün kullanıcı tarafından sıkıntılı oluşudur. Çözüm olarak, push buton ve anahtar grubunun konumunu yükselterek

panel yüzeyine yaklařtırmak yahut üst katmanın dıřa dođru ıkabilen raylı bir yapıya dönüřtürülmesi öngörülmektedir.



řekil 3.2: Jeneratör prototipinin yapısı, gü ve kontrol devreleri(2)

3.3. Kontrol Devreleri

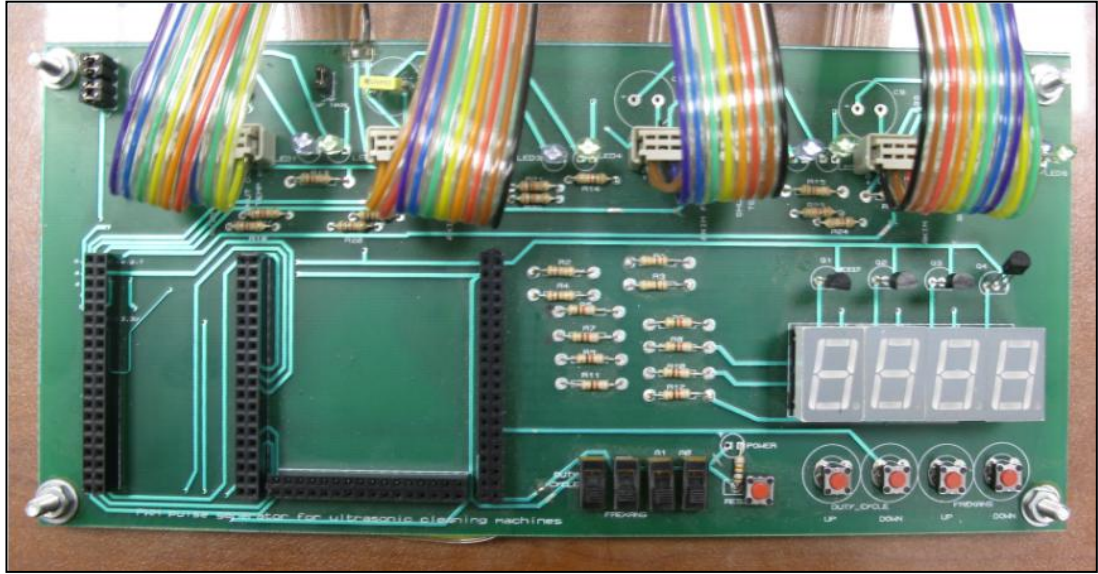
3.3.1. Sayısal kontrol devresi ve PCB tasarımı

Jeneratör prototipi üzerinde, geliştirilen temizlik sisteminin alıřma anı gü ve frekans bilgilerini kontrol etmek ve görüntülemek amacıyla geliştirilen sayısal kontrol devresi bulunmaktadır. Sayısal kontrol devresi řekil 3.3'te gösterilmiřtir.

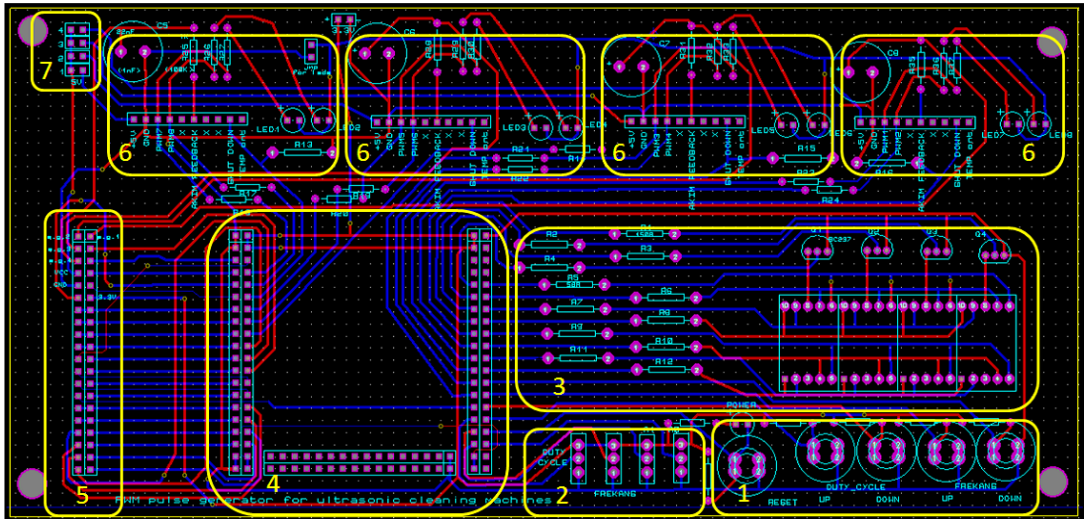
Sayısal kontrol devresi řekil 3.4'den görülebileceđi üzere, anlaşılır bir řekilde açıklanmak amacıyla PCB izim üzerinde bölümlere ayrılıp her bir bölüm ayrı ayrı numaralandırılmıřtır. Bu bölümlerin iřlevleri ve kullanılan devre elemanlarının özellikleri ařađıdaki gibidir;

1)Bu bölümde, FPGA yongası üzerindeki PWM sinyal üretici modülü tarafından üretilen PWM iřaret iftlerinin doluluk boşluk oranlarının ayarlanması suretiyle, yetkili konumdaki temizlik kazanlarının alıřma anı temizleme gücü ve frekansı ayarlanabilmektedir. Bu dođrultuda, sistemin alıřma anı frekansını arttırıp azaltmak

amacıyla PCB üzerindeki yazılardan da anlaşılabilceği üzere bir çift frekans kontrol push butonu bulunmaktadır. Benzer şekilde, sistemin çalışma anı temizleme gücünü kontrol edebilmek için, biri artırım diğeri azaltım yapan duty_cycle isimli için ikinci bir çift push buton daha bulunmaktadır.



Şekil 3.3: Sayısal kontrol kartı



Şekil 3.4: Sayısal kontrol kartı PCB çizimi

Geliştirilen sistemin manuel çalışma modunda frekans kontrol push butonları ile, FPGA yongasına gömülen VHDL kodu tarafından belirlenen aralıkta çalışma anı

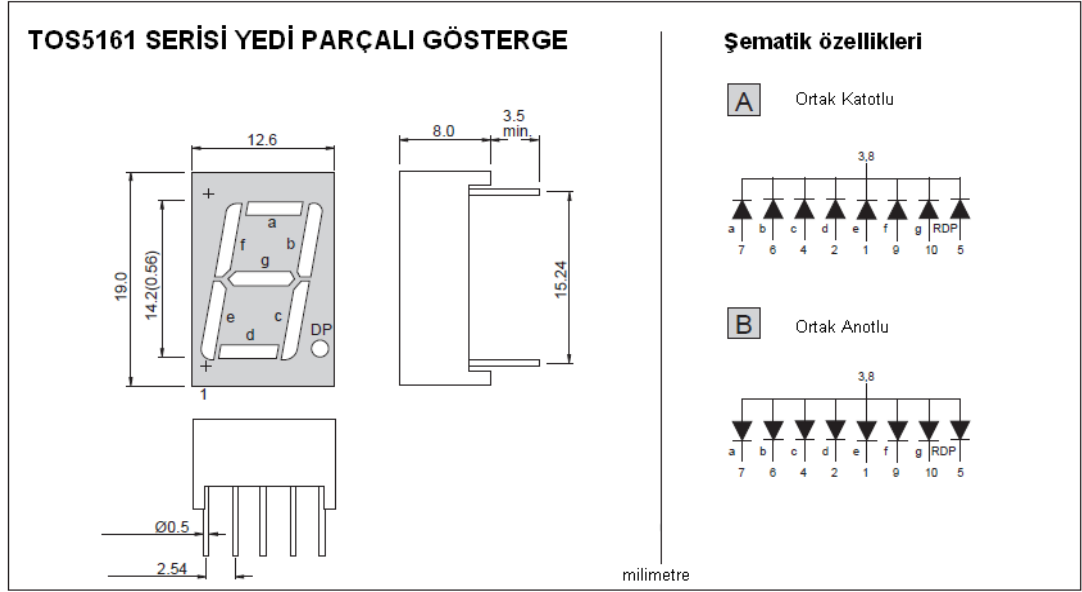
frekansı deęiřtirilebilmektedir. Burada ama, anlık rezonans frekansını yakalayabilmektir. Rezonans frekansı tespiti manüel makinede kullanıcı tarafından push butonlar ile yapılırken, otomatik makinede ise geliştirilmiş olan rezonans frekansı yakalama algoritması ile yazılım tarafından otomatik olarak gerçekleştirilir.

Dięer yandan, güç kontrol push butonları ile, yine FPGA yongasına gömülen VHDL kodunda sabitlenmiş olan güç seviyelerinde alıřma saęlanabilmektedir. Toplamda, 1’den 9’a kadar olmak üzere 9 ayrı güç seviyesi bulunmaktadır.

Son olarak, güç ve frekans kontrolü push butonlarının dışında bir de reset push butonu mevcuttur. Reset push butonu ile devre, istenilen bařlangı kořullarına geri döndürülebilmektedir.

2)Bu bölümde, temizlik sisteminde bulunan dört ayrı temizlik kazanına ait alıřma anı güç ve frekans deęerlerinin kontrol edilebilmesi için dört ayrı yetkilendirme anahtarı(switch) bulunmaktadır. Her bir anahtar, bir temizlik kazanıyla ilişkilendirilmiştir. Bu anahtarlar lojik sıfır seviyesindeyken, kullanıcı frekans ya da güç kontrolü push butonlarından herhangi birine bastığında kazanların alıřma anı frekans ya da güç bilgisi deęiřmemektedir. Bu, bir anlamda koruma kilidi olarak da kabul edilebilir. Eęer herhangi bir kazana ait alıřma anı güç veya frekans bilgisi deęiřtirilmek isteniyorsa o kazana ait yetkilendirme anahtarı lojik “1” seviyesine ekilmelidir. Bu anahtarlama sistemi, kazanların alıřma anı güç ve frekans bilgilerinin birbirinden baęımsız olarak kontrol edilebilmesini saęlamaktadır. Tasarlanan ultrasonik temizlik sisteminin baęımsız güç ve frekans kontrolü özellięi, özellikle geliştirilen prototip ürün olarak piyasaya sunulduğunda uygulamada önemli bir avantaj saęlayacağı düşünölmektedir.

3)Bu bölümde, temizlik kazanlarının alıřma anı temizleme gücünü görüntölemek amacıyla yedi paralı gösterge üniteleri bulunmaktadır. Burada TOS5161 serisinin yedi paralı göstergesi kullanılmıştır. TOS5161 serisi yedi paralı göstergeye ait katalog bilgileri Őekil 3.5 ve Tablo 3.1’de belirtildięi gibidir.



Şekil 3.5: TOS5161 katalog bilgileri

Sayısal kontrol devresi üzerinde, her biri bir yıkama kazanına ait yıkama gücünü görüntülemek üzere yerleştirilmiş toplam dört adet yedi parçalı gösterge mevcuttur. Yedi parçalı gösterge ünitesi, sistemin çalışma süreci boyunca sürekli aktif olup yıkama kazanlarına ait yetkilendirme anahtarlarına bağlı değildir. FPGA yongası üzerinde gömülü olan PWM işaret üretici tarafından üretilen PWM işaret çiftlerinin doluluk/boşluk oranlarını görüntülemektedir. Yazılımsal olarak belirlenmiş olan 9 ayrı güç seviyesini gösterebilmektedir. Buna göre, PWM1 ve PWM2 birinci göstergede, PWM3 ve PWM4 ikinci göstergede, PWM5 ve PWM6 üçüncü göstergede, PWM7 ve PWM8 de dördüncü göstergede gösterilmektedir. Yedi parçalı göstergeler ortak veri yoluna sahip olmalarına karşın, çalışma zamanının bölünmesi yöntemiyle kazanlara ait çalışma anı güç seviyeleri dört gösterge üzerinde aynı anda gözlenebilmektedir.

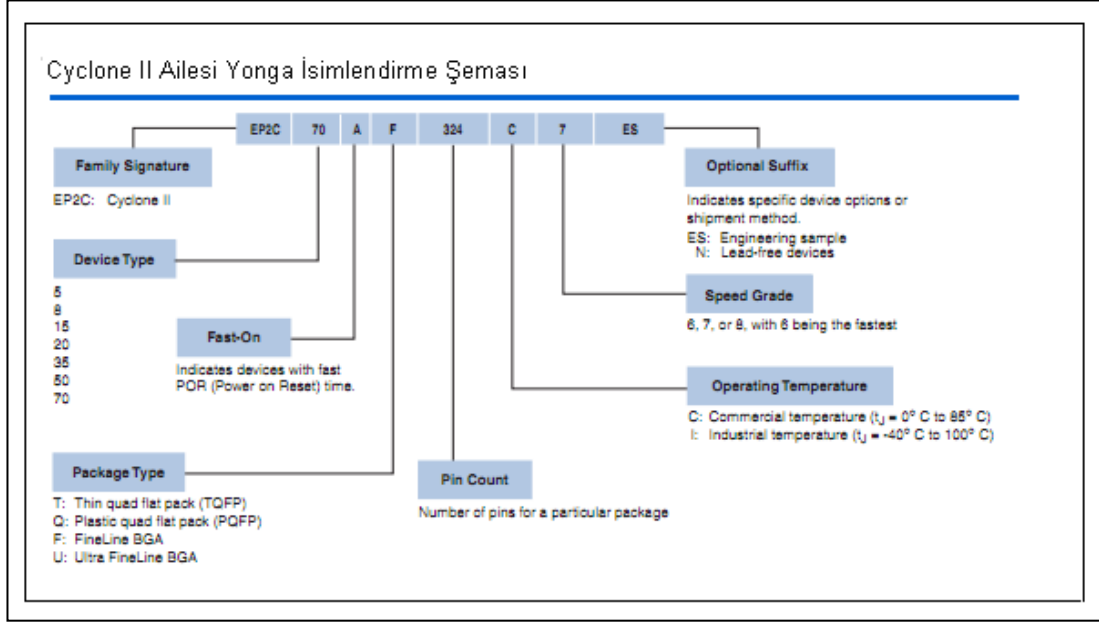
Tablo 3.1: TOS5161 katalog bilgileri

Özellikler						
Colour	Red	Red	Red	Green	Yellow	
Colour Code	R	E [†]	S	G	Y	
Brightness Category	Bright	Extra Bright	Super Bright	Extra Bright	Extra Bright	
Typical Luminous Intensity I _F =10mA	700	3500	17500	4000	3500	μcd
Peak Wavelength I _F =20mA	697	630	660	565	585	nm
Typical Forward Voltage I _F =20mA	2.1	2.1	2.1	2.2	2.1	Volt
Maximum Forward Voltage I _F =20mA	2.8	2.8	2.8	2.8	2.8	Volt
Maximum Reverse Current V _R =5V	100	100	100	100	100	μA

Yedi parçalı gösterge ünitesi ortak katotlu bir yapıya sahiptir. Gösterge ünitesi FPGA yongasının port uçlarından gelen bilgi ve yetkilendirme bilgisine ve transistörlere bağlı olarak çalışmaktadır. Tasarım sırasında transistör olarak toplam dört adet BC237 kullanılmıştır. FPGA yongası tarafından yetkilendirilen yedi parçalı göstergenin noktası(RDP) yetkileneren yanar. Transistörlerin 1 numaralı ucu(emiter) yedi parçalı göstereye, 3 numaralı ucu(kolektör) toprağa bağlanmaktadır. 2 numaralı ucu(base) ise FPGA pinlerine bağlanır ve çalışma anında buradan 5V'luk sinyal ilgili pin ucuna verilmek suretiyle yedi parçalı gösterge yetkilendirilir. Kullanılan yedi parçalı göstergeler 15mA akımla net bir şekilde yanmaktadır. Bu akım değerine göre hesaplar yapılarak transistörlerin base uçlarına 150R'lik, FPGA pin çıkışları ile yedi parçalı gösterge uçları arasında ise 56R'lik dirençler konumlandırılmıştır.

4)Bu bölümde, FPGA yongası bulunmaktadır. Tez çalışması sürecinde, Altera firmasının Cyclone II ailesine ait EP2C5T144C8 yongası kullanılmıştır. EP2C5T144C8 yongası, Xilinx ve Altera üretici firmalarının pek çok ürününün taranması sonucunda tezde kullanılmak üzere belirlenmiştir. Bu yonga, giriş çıkış pin sayısı, lojik kapasite miktarı, işlem hızı gibi özellikler açısından tez çalışması için en uygun özelliklere sahiptir. Altera firmasına ait FPGA donanımlarının isimlendirilmesi Şekil 3.6'de anlatıldığı şekilde yapılmaktadır. İncelenecek olursa, sırasıyla FPGA ailesinin imza belirteci, aygıt türü belirteci, POR(Power on reset) zamanlama hızı belirteci, yonga paketinin tür belirteci, pin sayısı belirteci, operasyon

sıcaklığı belirteci, operasyon hızı belirteci ve ağıta ait özel fonksiyon belirteci isimlendirme sırasında kullanılmaktadır.



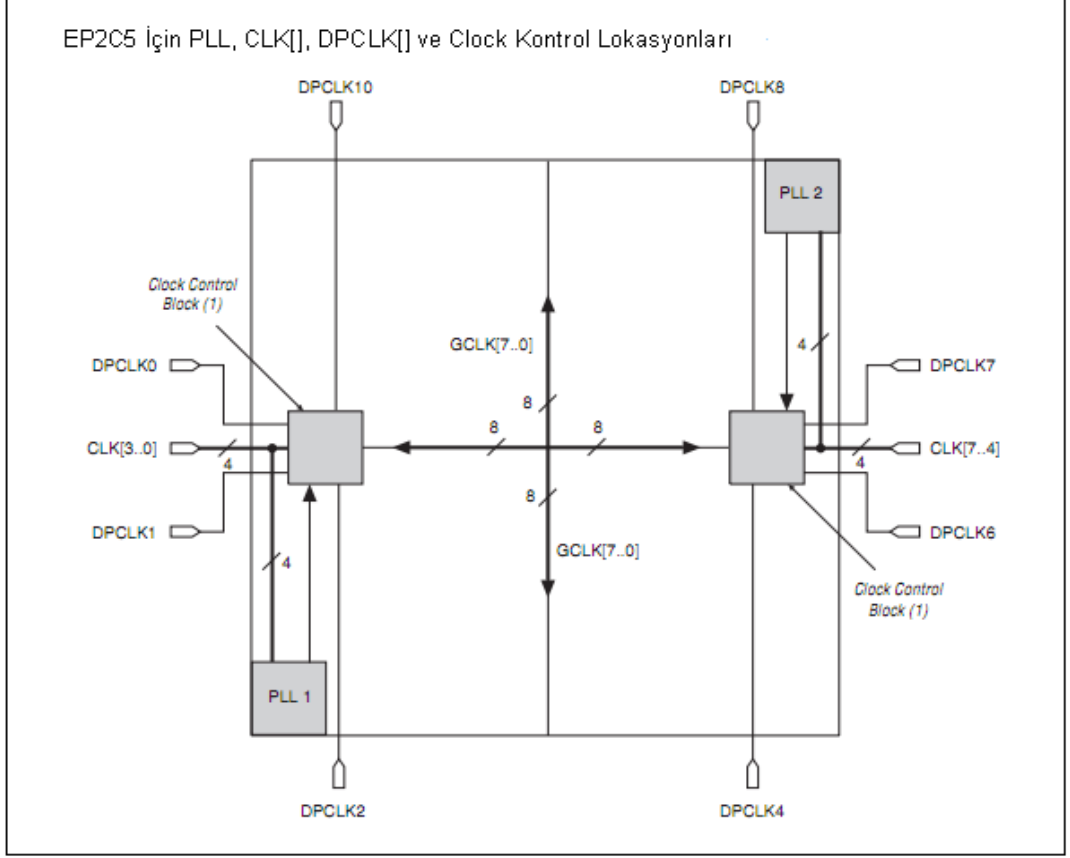
Şekil 3.6: Cyclone II ailesi yonga isimlendirme şeması

Altera firması tarafından üretilen Cyclone II ailesine mensup yongaların özellikleri Tablo 3.2 üzerinde karşılaştırılmıştır.

Tablo 3.2: Cyclone II ailesi yongalarının özellikleri

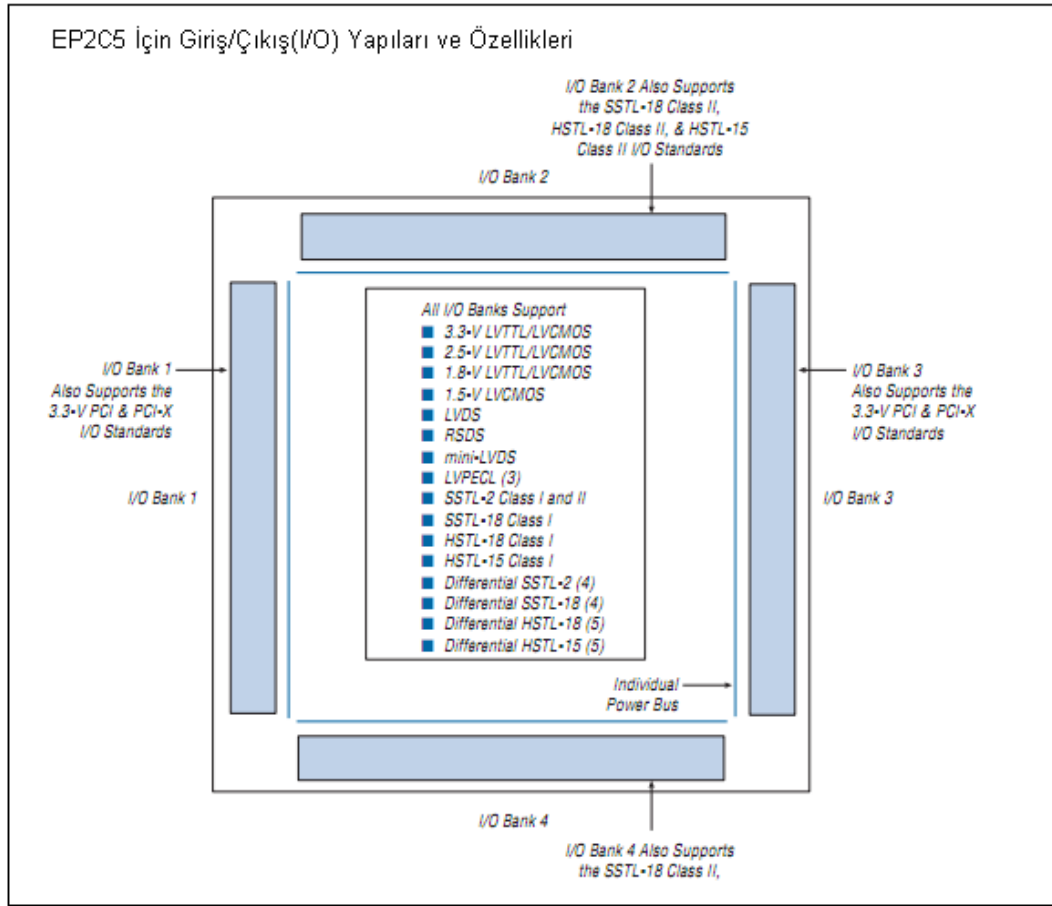
Cyclone II Ailesine Ait Yongaların Karşılaştırması							
Feature	EP2C5 (2)	EP2C8 (2)	EP2C15 (1)	EP2C20 (2)	EP2C35	EP2C50	EP2C70
LEs	4,608	8,256	14,448	18,752	33,216	50,528	68,416
M4K RAM blocks (4 Kbits plus 512 parity bits)	26	36	52	52	105	129	250
Total RAM bits	119,808	165,888	239,616	239,616	483,840	594,432	1,152,000
Embedded multipliers (3)	13	18	26	26	35	86	150
PLLs	2	2	4	4	4	4	4
Maximum user I/O pins	158	182	315	315	475	450	622

EP2C5T144C8 yongasına ait clock terminalleri Şekil 3.7’da açıklanmıştır.



Şekil 3.7: EP2C5T144C8 yongasına ait clock terminalleri

Diğer yandan, kullanılan EP2C5T144C8 yongasına ait giriş çıkış portlarının yapısı Şekil 3.8’da verildiği gibidir.



Şekil 3.8: EP2C5T144C8 yongasına ait giriş çıkış portları

5)Bu bölümde, tez çalışmasında kullanılan analog/sayısal dönüştürücü devresinin sayısal kontrol devresiyle bağlantısını sağlayabilmek amacıyla bağlantı bloğu konumlandırılmıştır.

6)Bu bölümde bağlantı blokları(connectors) bulunmaktadır. Bu bloklar, FPGA yongası içerisinde gömülü olan PWM işaret üretici alt modülü tarafından üretilen PWM işaret çiftlerini, sürücü devrelerine aktarmak için kullanılmaktadır. Her bir bağlantı ucu, ilgili PWM işaret çiftinin yanı sıra +5V besleme, GND, akım feedback, shutdown ve temp counter uçlarını içermektedir. Buradaki shutdown bağlantı ucu, ani akım değişiminde meydana gelebilecek sorunların önüne geçmek için kullanılmaktadır. Tasarlanan sayısal kontrol devresinde, toplam dört adet PWM aktarım bağlantı bloğu bulunmaktadır. Ayrıca her bir bağlantı grubunun yan tarafında, bağlantı bloğunda bulunan PWM işaret çifti çıkışına ait, PWM işaretinin

durumunu gösteren bir çift led mevcuttur. Eğer, bağlantı bloğunun ilgili ucunda PWM işareti gözleniyorsa bu led yanmaktadır.

Tablo 3.3: Tasarlanan devrenin pin atamaları listesi(1)

FPGA Yongası Üzerindeki Pin Atamaları (1)			
Atama Adı	Pin Numarası	Atama Adı	Pin Numarası
PWM Çıkış Pinleri		Yedi Parçalı Gösterge Pin Atamaları	
PWM1	PIN_134	a	PIN_7
PWM2	PIN_136	b	PIN_9
PWM3	PIN_122	c	PIN_137
PWM4	PIN_126	d	PIN_135
PWM5	PIN_41	e	PIN_133
PWM6	PIN_43	f	PIN_3
PWM7	PIN_27	g	PIN_143
PWM8	PIN_30	dp	PIN_141
Switch Atamaları		Yedi Parçalı Gösterge Seçme Pinleri	
Switch1	PIN_118	Display1	PIN_8
Switch2	PIN_114	Display2	PIN_4
Switch3	PIN_112	Display3	PIN_144
Switch4	PIN_113	Display4	PIN_142
Buton Atamaları		Shutdown Atamaları	
Buton0 (reset)	PIN_115	Shutdown1	PIN_139
Buton1	PIN_119	Shutdown2	PIN_132
Buton2	PIN_121	Shutdown3	PIN_45
Buton3	PIN_125	Shutdown4	PIN_32
Buton4	PIN_129	clk	PIN_22

Tablo 3.4: Tasarlanan devrenin pin atamaları listesi(2)

FPGA Yongası Üzerindeki Pin Atamaları (2)			
Atama Adı	Pin Numarası	Atama Adı	Pin Numarası
AD9059 Analog/Sayısal Dönüştürücü Pin Atamaları		MAX1002 Dönüştürücü Pin Atamaları (birinci max1002 için)	
Encode1	PIN_55	DCLK1	PIN_47
Eencode2	PIN_71	DI5	PIN_24
Pwrdrn1	PIN_24	DI4	PIN_55
Pwrdrn2	PIN_72	DI3	PIN_28
D7B	PIN_28	DI2	PIN_40
D6B	PIN_40	DI1	PIN_42
D5B	PIN_42	DI0	PIN_44
D4B	PIN_44	DQ0	PIN_51
D3B	PIN_47	DQ1	PIN_25
D2B	PIN_25	DQ2	PIN_53
D1B	PIN_58	DQ3	PIN_58
D0B	PIN_60	DQ4	PIN_60
MAX1002 Dönüştürücü Pin Atamaları (ikinci max1002 için)		DQ5	PIN_57
DCLK2	PIN_26	ADS7958 Analog/Sayısal Dönüştürücü Pin Atamaları	
DI5	PIN_120	SDO	PIN_40
DI4	PIN_59	SDI	PIN_42
DI3	PIN_63	SCLK	PIN_44
DI2	PIN_65	CS	PIN_47
DI1	PIN_52	AINP	PIN_25
DI0	PIN_64	MXO	PIN_58
DQ0	PIN_67		
DQ1	PIN_48		
DQ2	PIN_70		
DQ3	PIN_72		
DQ4	PIN_71		
DQ5	PIN_69		

7)Bu kısımda, jumper grubu bulunmaktadır. Bu drtl jumper grubu, hangi temizlik kazanına ait bađlantı blođu aktif edilmek isteniyorsa, bu bađlantı blođuna +3,3V beslemeyi vermek iin kullanılır.

BÖLÜM 4. ÇALIŞMA MODLARI

4.1. Giriş

Bu bölümde, tasarımı gerçekleştirilen ultrasonik temizlik sisteminin çalışma modları incelenmektedir. Geliştirilen prototip, manuel ve otomatik olmak üzere iki farklı çalışma moduna sahiptir. FPGA yongası üzerinde bulunan VHDL kodu değiştirilerek, temizlik sisteminin çalışma modu herhangi bir donanımsal değişikliğe gerek duyulmadan değiştirilebilmektedir. Çalışma modları arasındaki temel fark, sistemdeki çalışma anı rezonans frekansının tespit yöntemine dayanmaktadır.

4.2. Manuel Çalışma Modu

Sistem çalışma anı rezonans frekansının elle belirlenebildiği çalışma biçimi, manuel çalışma modu olarak isimlendirilmektedir. Manuel çalışma modunun donanım mimarisi Şekil 4.1’de verilmiştir. Manuel çalışma modu sırasıyla PWM üretici modülü(1), gösterge modülü(2) ve buton gürültüsü önleme modülü(3) olarak isimlendirilmek ve numaralandırılmak üzere üç ayrı modülden oluşmaktadır. Bütün bu modüller, VHDL donanım programlama dilinin sunduğu component yapıları kullanılarak tek bir FPGA yongası üzerinde modüler bir mimari ile gerçekleştirilmektedir. Şekil 4.1’den görüldüğü üzere PWM üretici, gösterge ve buton gürültüsü önleme modülleri manuel çalışma modunda birden fazla kez kullanılmıştır. Bu modüllerin işlevleri aşağıda açıklandığı gibidir:

1) PWM üretici modülü temel olarak PWM işaret çiftlerinin üretimi ve üretilen işaret çiftlerinin işaret doluluk/boşluk oranı ile frekans bilgilerinin kontrolünden sorumlu olan modüldür. Bu modül, ilgili temizlik tanklarına ait ultrasonik güç ünitelerini sürebilmek amacıyla genel tasarım içerisinde toplam dört kez kullanılmıştır. Tasarım sırasında modüler bir mimari tercih edilmesi sayesinde, tasarımda bulunan modüller VHDL donanım programlama dili yardımıyla birer kez component blokları halinde tanımlanıp sonrasında her bir kullanım için bu modüller yeniden yazılmak yerine uygun yazım formatında kod içerisinde çağrılmak suretiyle çoğullanabilmektedir. Şekil 4.1 dikkatlice incelenecek olursa, genel tasarım

içerisinde kullanılan PWM üretici modüllerinin yerel giriş/çıkış uçlarının aynı isimlere sahip olduğu fakat, her bir modüle ait ilgili giriş/çıkış ucunun üst katman tasarımın(top level design) farklı giriş/çıkış port ucuyla yahut diğer modüllerin ilgili giriş/çıkışlarıyla ilişkilendirildiği görülür. Örneğin, her bir PWM üretici modülünün PWM işaret çifti çıkış uçları pwma ve pwmb şeklinde isimlendirilmesine karşın, üst katman tasarımda pwm1, pwm2, pwm3, pwm4, pwm5, pwm6, pwm7, pwm8 çıkış uçlarından kendisiyle ilişkilendirilmiş olan uca atanmıştır.

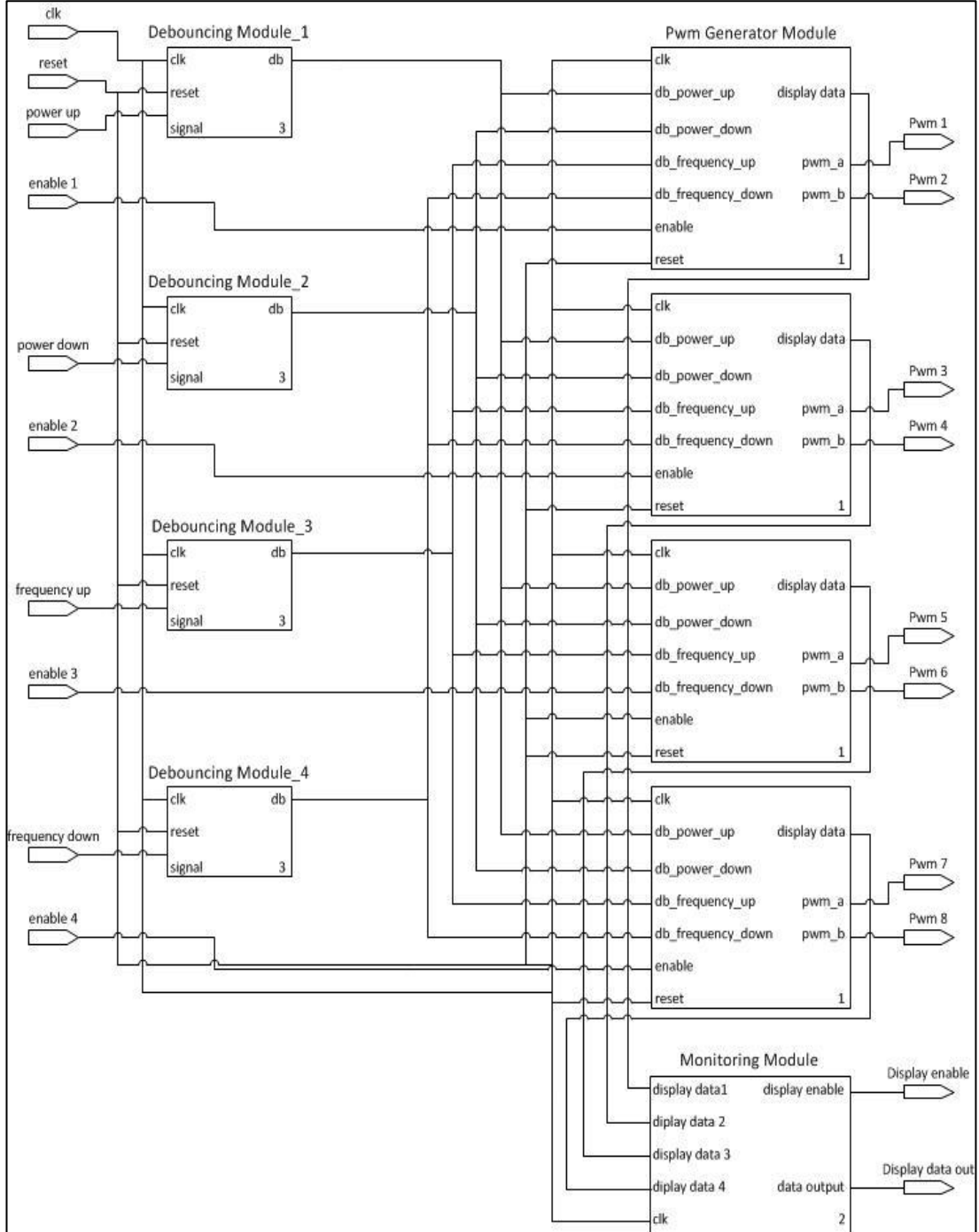
PWM üretici modülü üzerinde clock, reset, frekans artır/azalt, güç artır/azalt port uçları giriş PWM işaret çiftleri ve gösterge bilgisi port uçları ise modüle ait giriş/çıkış üniteleri olarak tanımlanmıştır. PWM işaret çiftlerinin üretimi sırasında VHDL donanım programlama dilinin sunduğu process kod bloklarının duyarlılık listelerinde kullanımına gerek duyulan referans saat işaretinin teminini sağlayan bölücü ünitesi, FPGA yongası üzerinde bulunan yerel osilatörden alınan 50MHz'lik referans saat işareti ile sürülmektedir.

2)Gösterge modülü, ilgili temizlik tankına ait çalışma anı temizleme gücü bilgisini, her bir kazana birer tane temin edilmiş olan yedi parçalı gösterge ünitesi üzerinde göstermek için kullanılmaktadır. Kazanların çalışma anı temizleme gücü artırma/azaltma işlemleri PWM üretici modülü tarafından gerçekleştirildikten sonra, yeni güç seviyesi bilgisi gösterge modülüne gönderilir. Gösterge modülü, gelen güç bilgisini uygun gösterge birimine aktarmak ve sayısal kontrol devresi üzerinde bulunan yedi parçalı gösterge modüllerini belirlenen süre zarfında yetkilendirmekle görevlidir. Sayısal kontrol devresi üzerinde bulunan yedi parçalı gösterge ünitelerinin veri uçları, kullanılan FPGA yongasının giriş/çıkış pin uçlarının sınırlı sayıda olması nedeniyle ortak bir veri yoluna bağlanmıştır.

Yedi parçalı gösterge üniteleri ortak veri yolu kullanımı nedeniyle sıralı olarak sürülmektedirler. İnsan gözünün sıralı olarak sürülen yedi parçalı göstergeleri hepsi aynı anda yanıyormuş gibi görebilmesi için, zaman bölmeli çoğullama yöntemi kullanılmıştır. Bu yöntem ve bu yönteme uygun olarak geliştirilmiş olan algoritma, bütün detaylarıyla birlikte tezin algoritmalar bölümünde açıklanmıştır.

3)Buton gürültüsü önleme modülü, manuel çalışma modunda temizlik tanklarının çalışma anı güç ve frekans kontrollerinin gerçekleştirilebilmesi için sayısal kontrol

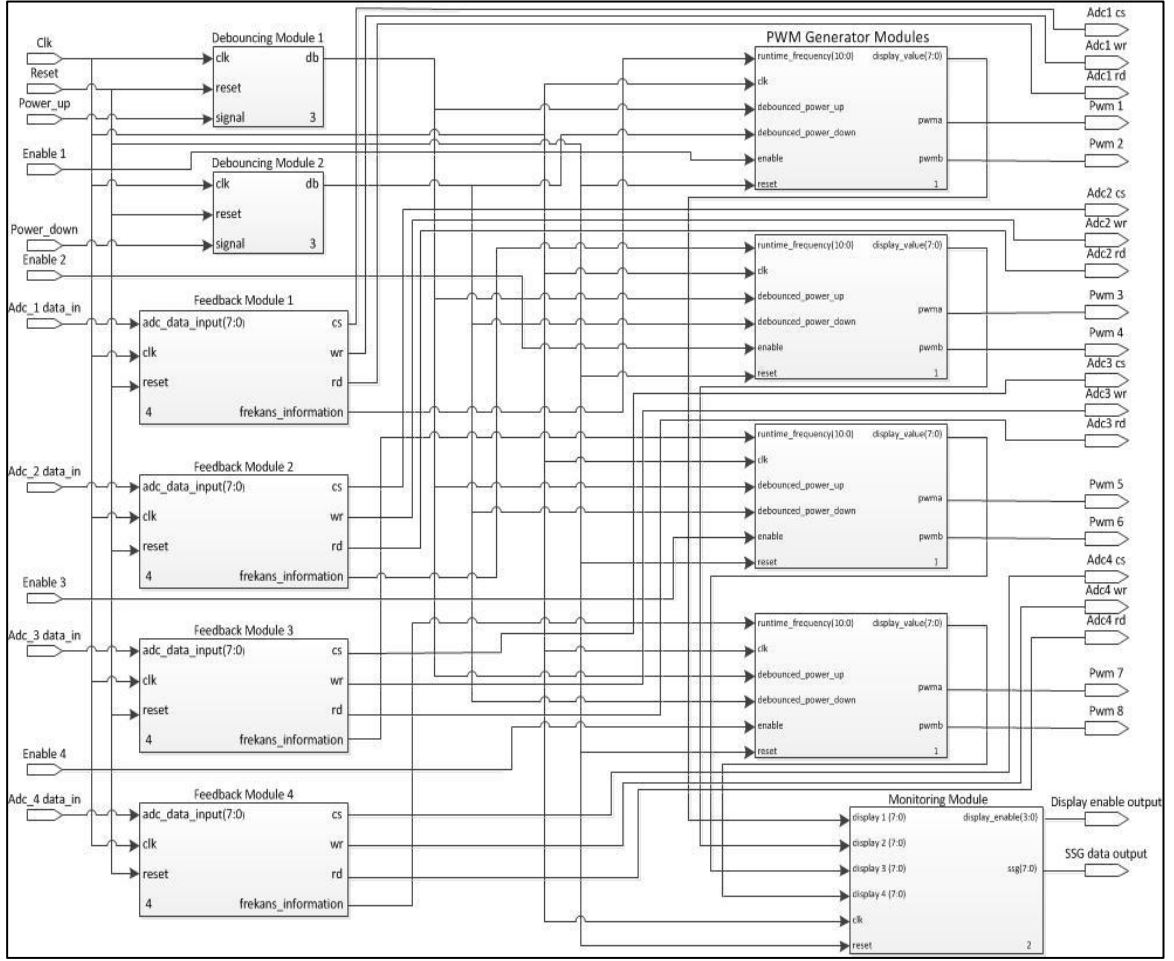
devresi üzerine konumlandırılan buton grubunun kullanılması sırasında gözlenebilen mekanik sıçrama gürültüsünün giderilmesi amacıyla geliştirilmiştir.



Şekil 4.1: Manuel çalışma modu genel mimarisi

4.3. Otomatik Çalışma Modu

Tez çalışması kapsamında geliştirilen ultrasonik temizlik sisteminin diğer bir çalışma modu da otomatik çalışma modudur. Otomatik çalışma modunun donanımsal mimarisi Şekil 4.2’de verildiği gibidir.



Şekil 4.2: Otomatik çalışma modu genel mimarisi

Otomatik çalışma modununun manuel çalışma modundan farkı, çalışma anı rezonans frekansının tespiti noktasındadır. Şöyle ki, manuel çalışma modunda sistem rezonans frekansını kullanıcı tarafından sayısal kontrol devresi üzerinde bulunan frekans artır/azalt butonlarıyla elle kontrol edilerek tespit edilirken, otomatik çalışma modunda ise geliştirilen yazılım tarafından çalışma zamanının belirli dilimlerinde otomatik olarak tespit edilmektedir. Bu bağlamda, tez çalışması ve paralelinde

yürütülen TÜBİTAK destekli 109E295 numaralı araştırma projesi kapsamında, FPGA tabanlı ultrasonik temizlik sistemlerinde sistem rezonans frekansının tespiti için farklı yaklaşımlarla birden fazla algoritma geliştirilmiştir. Bu çözümler, bitirme tezinin algoritmalar bölümünde detaylı olarak ele alınmıştır.

Otomatik çalışma modu, manuel çalışma modunda bulunan PWM üretici, gösterge ve buton gürültüsü önleme modüllerini içermektedir. Manuel çalışma modundan farklı olarak, sistem rezonans frekansının tespiti amacıyla geliştirilen geri besleme modülü otomatik çalışma modu mimarisinde Şekil 4.2'den görüldüğü gibi yer almaktadır. Geliştirilen geri besleme modülü, her bir temizleme kazanına bir tane atanmak üzere genel mimari içerisinde toplan dört kez VHDL component bloğu olarak çağırılmıştır.

İlgili temizlik tankına ait geri besleme modülü, rezonans frekansının tespiti sırasında tezin genel mimari bölümünde bulunan Şekil 3.1'de gösterildiği üzere, mevcut temizlik tankına temin edilen karışık sinyal geri besleme ünitesinin kontrolünü ve bu üniteden gelen örnekleme bilgisinin değerlendirilerek tespit edilen rezonans frekansı değerinin, PWM üretici modülünde PWM işaret çiftlerinin üretimi sürecinde kullanılmak üzere bu modüle gönderilmesinden sorumludur. İlgili temizlik tankına ait karışık sinyal geri besleme ünitesinde bulunan ADC0804 tipi analog/sayısal dönüştürücünün dönüşüm işlemlerini gerçekleştirebilmesi ve bu üniteden dönüşüm sonuçlarının okunabilmesi için gerekli cs, wr, rd zamanlama kontrolleri FPGA yongasında bulunan geri besleme modülü aracılığıyla ADC0804'e ait katalogta bulunan zamanlama diyagramlarına uygun olarak sağlanır. Diğer yandan karışık sinyal geri besleme ünitesinde bulunan analog/sayısal dönüştürücünden okunan örnekleme değerleri, geri besleme modülünce değerlendirilir ve tespit edilen rezonans frekansı değeri PWM üretici modülüne gönderilir. Bu doğrultuda geliştirilen rezonans frekansı tespiti için frekans bandı tarama algoritmaları çeşitli konferans ve dergilere akademik yayınlar olarak gönderilmiştir[12].

Sonuç olarak, rezonans frekansının otomatik olarak tespiti noktasında otomatik çalışma modu manuel çalışma moduna göre daha avantajlı bir çalışma modu olarak ön plana çıkmaktadır. Ayrıca, tarama sırasında frekans buton grubu kullanılmadığı için buton gürültüsü önleme modülü kullanımına da gerek kalmamaktadır. Buna

karşın, güç artırma ve azaltma işlevlerinin gerçekleşmesi için ilgili butonlara ait buton gürültüsü önleme modülleri kullanılmaktadır.

BÖLÜM 5. ALGORİTMALAR

5.1. Giriş

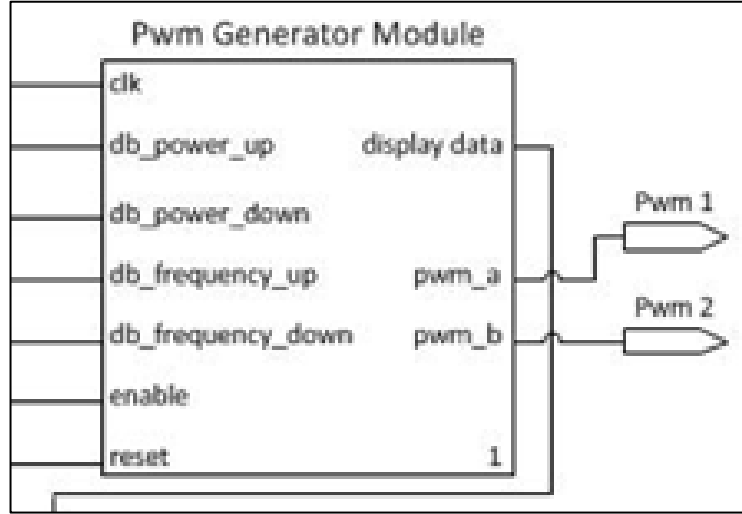
Bitirme tezi çalışmasının bu bölümünde, tasarımı gerçekleştirilen FPGA tabanlı çok fonksiyonlu ultrasonik temizlik makinesinin sayısal kontrol devresi üzerinde koşulan VHDL(VHSIC hardware description language) donanım programlama dili kullanılarak geliştirilmiş olan kodların algoritmaları detaylı olarak açıklanacaktır. Algoritmalar temel olarak manuel çalışma moduna ait kodlar, otomatik çalışma moduna ait kodlar ve temizlik verimliliği artırımına ait kodlar olmak üzere üç ana başlık altında incelenmiştir. Bu başlıklar içerisinde ortak kullanılan kod öbekleri sadece bir kez açıklanmış olup gerektiği yerlerde açıklandığı bölüm referans verilerek tekrardan kaçınılmıştır.

5.2. Manuel Çalışma Moduna Ait Kodlar

Manuel çalışma modu, bir önceki bölüm içerisinde detaylı olarak incelenmiştir. Manuel çalışma modu üç ayrı modülden oluşmaktadır. Bu modüller sırasıyla; PWM üretici modülü(frekans ve güç kontrollü), gösterge modülü, buton gürültüsü önleme modülüdür. Her bir modül, VHDL donanım programlama dilinin component blokları kullanılarak geliştirilmiş olup, geliştirilen modüler tasarım ile lojik kapasite kullanımı azaltılmasının yanı sıra kod okunurluğu ve olası problemler karşısında ya da kodun güncellenmesinin gereksinim olduğu durumlarda koda müdahale kolaylığı sağlanmış olmaktadır.

5.2.1. Frekans ve güç kontrollü PWM üretici modülü algoritması ve kodu

PWM üretici modülü temel olarak PWM işaret çiftlerinin üretimi ve üretilen işaret çiftlerinin işaret doluluk/boşluk oranı ile frekans bilgilerinin kontrolünden sorumlu olan modüldür. PWM üretici modülünün blok gösterimi Şekil 5.1 verilmiştir.



Şekil 5.1: PWM üretici modülü blok gösterim

PWM üretici modülü, Şekil 5.1 üzerinde gösterildiği üzere clk, db_power_up, db_power_down, db_frequency_up, db_frequency_down, enable, reset giriş port uçları ve display_data, pwm_a, pwm_b çıkış port uçlarını içermektedir. Bu port uçlarından db_power_up, db_power_down, db_frequency_up ve db_frequency_down kontrol devresi üzerinde bulunan güç ve frekans kontrolü butonları, üzerindeki gürültü etkisini gidermek üzere geliştirilmiş olan buton gürültüsü önleme modülüne bağlıdır. Clk giriş port ucu aracılığıyla FPGA yongası üzerindeki yerel osilatörden gerekli saat işareti alınmaktadır. Enable ve reset giriş port uçları ise sırasıyla, hangi kazanın yetkilendirilerek güç ve frekans değişiminin sağlanabileceğini ve modülün başlangıç konumuna alınmasını sağlamak amacıyla kullanılmışlardır. Diğer yandan, display_data çıkış port ucu PWM üretici modülünce üretilen işaret çiftlerinin güç bilgilerini gösterge modülüne aktarmak üzere tanımlanmıştır. PWM işaret çiftlerinin çıkışa verilmesi için ise pwm_a ve pwm_b çıkış portları tanımlanmıştır.

PWM üretici modülünün giriş çıkış port uçlarının ve genel değişkenlerinin tanımlandığı kod bölümü Şekil 5.2 üzerinde gösterilmiştir.

```

-----Component pwm_generator.vhd-----
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
-----

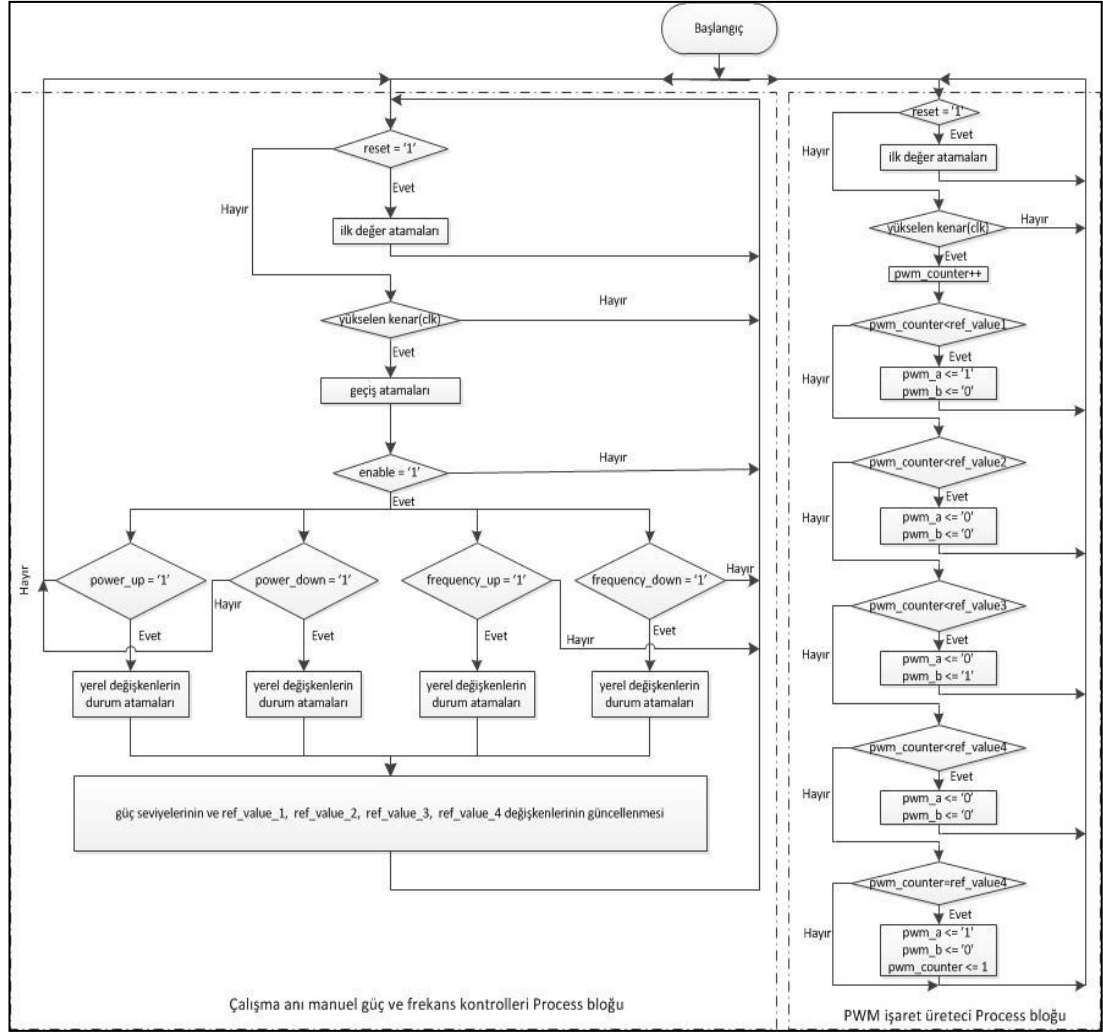
entity alt_module is
  port(
    clk          : in std_logic ;
    enable       : in std_logic;
    reset       : in std_logic ;
    pwma        : out std_logic ;
    pwmb        : out std_logic ;
    debounce_darttir : in std_logic;
    debounce_dazalt  : in std_logic;
    debounce_farttir : in std_logic;
    debounce_fazalt  : in std_logic;
    display_value  : out std_logic_vector(7 downto 0)
  );
end alt_module;
-----

architecture Behavioral of alt_module is
  signal sayac_1          : integer range 0 to 2000 := 0;
  signal pre_enable      : std_logic;
  signal pre_debounce_darttir : std_logic;
  signal pre_debounce_dazalt  : std_logic;
  signal pre_debounce_farttir : std_logic;
  signal pre_debounce_fazalt  : std_logic;
  signal ref_frekans_1      : integer range 686 to 2059;
  signal ref_doluluk_1     : integer range 137 to 823 ;
  signal referans_pwm2     : integer range 412 to 961 ;
  signal ref_doluluk_2     : integer range 824 to 1200;
begin
  -----

```

Şekil 5.2: PWM üretici modülüne ait giriş çıkış port uçlarının ve genel değişkenlerin tanımlanması

PWM üretici modülüne ait VHDL kodunun algoritması Şekil 5.3'da verildiği gibidir. PWM üretici modülü iki ayrı process bloğundan oluşmaktadır. Bunlar PWM işaret üretici ve manuel güç/frekans kontrol process bloklarıdır. VHDL donanım programlama dili ile ardışıl ve bileşimli mantık devreleri geliştirilebilmektedir. VHDL donanım programlama dilinde bulunan process blokları birbirlerine paralel çalışan yapılardır. Buna karşın, her bir process kod bloğu kendi içerisinde ardışıl olarak çalışmaktadır. PWM üretici modülünün iki ayrı process kod bloğu olarak geliştirilmesi sayesinde, PWM işaret çiftlerinin üretimi ve üretilen işaret çiftlerinin çalışma anı frekans ve güç kontrolleri eş zamanlı gerçekleşen süreçler haline getirilmiştir.



Şekil 5.3: PWM üretici modülüne ait algoritmanın akış diyagramı

Algoritma incelenecek olursa, her iki process bloğuna ait kod öbeklerinin paralel işlediği görülebilir. Program akışı Şekil 5.3 üzerinden takip edilecek olursa, her iki process bloğu için de program içerisinde kullanılan genel ve yerel değişkenlerin başlangıç durumlarına geri dönebilmesi için dışsal bir reset kullanıldığı görülebilir. Bu doğrultuda, asenkron reset yapısının kullanımı uygun bulunmuştur. Asenkron reset kullanımı sayesinde, programın çalışma anı sırasında dışsal bir reset gelmesi durumunda referans clk işaretinin durumuna bakmaksızın gerekli kısma dallanması sağlanabilmektedir[16]. Senkron reset yapısı kullanıldığında bu durum referans clk işaretinin durumuna bağlı olmaktadır. Asenkron reset ile yerel ve genel değişkenlerin ilk değer atamalarının gerçekleştirilmesinin yanı sıra, tasarlanan devrenin çalışma anında başlangıç koşullarına geri çekilmesi de sağlanabilmektedir. PWM üretici process bloğu ve manuel güç/frekans kontrolü process bloğu içerisinde asenkron

reset kullanımına dair VHDL kodları sırasıyla Şekil 5.4 ve Şekil 5.5 üzerinde gösterilmiştir.

```
-----  
process (clk, reset)  
begin  
  if(reset = '1') then  
    sayac_1          <= 0;  
    pre_enable      <= '0';  
    pre_debounce_darttir <= '0';  
    pre_debounce_dazalt <= '0';  
    pre_debounce_farttir <= '0';  
    pre_debounce_fazalt <= '0';  
    ref_frekans_1   <= 1428;  
    ref_doluluk_1   <= 428;  
    referans_pwm2   <= 714;  
    ref_doluluk_2   <= 1142;  
  elsif clk'event and clk = '1' then  
    .  
    .  
    <related PWM generator codes>  
    .  
    .  
  end if;  
end process;
```

Şekil 5.4: PWM üretici process bloğu asenkron reset kullanımı

```
-----  
if reset = '1' then  
  D_art := 0;  
  D_az := 0;  
  F_art := 0;  
  F_azalt := 0;  
  FD_art := 0;  
  FD_azalt := 0;  
  doluluk_sayac := 3;  
elsif (clk'event and clk = '1') then  
  .  
  .  
  <related frequency/power control codes>  
  .  
  .  
end if;
```

Şekil 5.5: Manuel güç/frekans kontrolü process bloğu asenkron reset kullanımı

Şekil 5.3 üzerinden de görülebileceği üzere, PWM üretici process bloğu sayıcı mantığı kullanılarak tasarlanmıştır. Akış diyagramında, dışsal bir reset kontrolü gerçekleştirildikten sonra eğer ki reset koşulu sağlanmıyorsa kod referans clk

işaretinin yükselen kenar tetiklenmesi koşuluna sokulur. Bu modül içerisinde, sayıcı içerisinde kullanılmak üzere `ref_value_1`, `ref_value_2`, `ref_value_3`, `ref_value_4` değişkenleri genel değişkenler(sinyaller) olarak tanımlıdır. Bu değişkenler, PWM işaret çiftinin doluluk boşluk oranını ve frekansını belirlemek için tanımlanmışlardır. Referans `clk` işaretinin yükselen kenar tetiklenmesiyle beraber öncelikle sayaç görevi gören `pwm_counter` isimli yerel değişkenin değeri bir artırılır ve `ref_value_1` ile karşılaştırılır. Bu işlem `process` bloğunun her bir çalışma zamanında, sayacın bir artırılması ve `ref_value_1`, `ref_value_2`, `ref_value_3`, `ref_value_4` referans değişkenleriyle sayacın mevcut değerinin karşılaştırılması şeklinde devam eder. Her bir karşılaştırma sonucunda program akışı, ya gerekli PWM durum atamaları kısmına ya da bir sonraki karşılaştırma koşul belirteciye dallanır. Sayacın `ref_value_4` referans değişkeninin tuttuğu değere eşit olması durumunda PWM işaret çiftlerinin ve sayacın değerleri başlangıç konumuna çekilerek aynı işlemler tekrarlanır.

PWM üretici `process` bloğu içerisindeki VHDL kodunun açık serimi Şekil 5.6 üzerinde gösterilmiştir. PWM üretici `process` bloğuna paralel olarak çalışan diğer bir `process` bloğu olan ve manuel olarak PWM işaret çiftinin güç ve frekans kontrollerini sağlayan `process` bloğunda asenkron reset kontrolü ve buna bağlı olarak gerekli ilk değer atamalarının yapılmasına mukabil, referans `clk` işaretinin yükselen kenar tetiklenmesi kontrolü gerçekleştirilir. Referans `clk` işaretinin yükselen kenar tetiklenmesi ile birlikte gerekli geçiş atamaları gerçekleştirilir. VHDL ile sayısal devre tasarımı hiyerarşisinde referans `clk` işareti dışındaki genel değişkenlerin yükselen kenar tetiklenmesinin belirlenebilmesi için `<sinyal_adi'EVENT and sinyal_adi = '1'>` yapısının kullanımı uygun değildir. Yükselen kenar tetiklenmesinin algılanabilmesi için ikinci bir sinyal tanımlaması yapılır ve yeni tanımlanan sinyalin lojik 0, asıl sinyalin ise lojik 1 konumunda olması araştırılır. Geliştirilen kod içerisinde ilgili geçiş atamaları Şekil 5.7'deki gibidir.

```

-----
process (clk, reset)
begin
  if clk'event and clk = '1' then
    sayac_1 <= sayac_1 + 1;
    if sayac_1 < ref_doluluk_1 then
      pwma <= '1';
      pwmb <= '0';
    elsif sayac_1 >= ref_doluluk_1 then
      if sayac_1 < referans_pwm2 then
        pwma <= '0';
        pwmb <= '0';
      elsif sayac_1 >= referans_pwm2 then
        if sayac_1 < ref_doluluk_2 then
          pwma <= '0';
          pwmb <= '1';
        elsif sayac_1 >= ref_doluluk_2 then
          if sayac_1 < ref_frekans_1 then
            pwma <= '0';
            pwmb <= '0';
          elsif sayac_1 = ref_frekans_1 then
            pwma <= '1';
            pwmb <= '0';
            sayac_1 <= 0;
          end if;
        end if;
      end if;
    end if;
  end if;
end if;
end process;
-----

```

Şekil 5.6: PWM üretici process bloğu içerisindeki VHDL kodunun açık serimi

```

-----
pre_debounce_darttir <= debounce_darttir;
pre_debounce_dazalt <= debounce_dazalt;
pre_debounce_farttir <= debounce_farttir;
pre_debounce_fazalt <= debounce_fazalt;
pre_enable <= enable;
-----

```

Şekil 5.7: Frekans/güç kontrol butonlarının yükselen kenar tetiklemesinin algılanabilmesi için gerekli geçiş atamaları

Şekil 5.7 üzerinde gösterilen `debounce_darttir`, `debounce_dazalt`, `debounce_farttir`, `debounce_fazalt` genel değişkenleri(sinyaller), sayısal kontrol devresi üzerinde bulunan ve PWM işaret çiftinin frekans/güç kontrollerini gerçekleştirmeye yarayan buton grubunun, ilgili buton gürültüsü önleme modülünden çıkmış sinyallerinin

PWM üretici modülü tarafından alınabilmesi amacıyla tanımlanmış giriş port uçlarıdır.

Program akış diyagramı takip edildiğinde bir sonraki aşamada enable kontrolü ile karşılaşılır. Burada, enable koşul belirteci sayesinde her bir temizlik kazanının çalışma anı güç ve frekans kontrolünün diğer kazanlardan bağımsız olarak, ortak kontrol butonları aracılığıyla gerçekleştirilebilmesi sağlanır. Bu amaç doğrultusunda, her bir kazan için bir tane olmak üzere toplam dört adet enable anahtarı(switch) sayısal kontrol devresi üzerine yerleştirilmiştir. Örneğin, jeneratör prototipi içerisindeki sayısal kontrol devresi üzerinde bulunan frekans arttır butonuna basıldığında, hangi kazanın yetkilendirme anahtarı lojik 1 konumundaysa bu kazan ya da kazanların çalışma frekansı arttırılır. Yetkilendirme anahtarı sıfır konumunda olan kazan ya da kazanların çalışma frekansında herhangi bir değişiklik olmaz. Bu özellik, güvenlik ve sistem korunumu açısından önem taşımaktadır.

Yetkilendirme durumunu belirleyen enable kontrolü ve güç/frekans değişimi kontrollerinin gerçekleştirilebilmesi amacıyla geliştirilen VHDL kodu Şekil 5.8 üzerinde aşağıdaki gibi gösterilmiştir.

Geliştirilen PWM üretici algoritmasına göre, PWM işaret çifti üzerinde gerçekleştirilen frekans değişiklikleri güç bilgisinden bağımsız olarak gerçekleştirilebilmektedir. Yani, güç seviyesinde meydana gelen bir değişiklik sistem çalışma anı frekansını etkilememektedir. Buna karşın, güç bilgisi frekans üzerindeki değişikliklerden etkilenmektedir. Şöyle ki, işaret çiftinin güç seviyesini belirleyen doluluk boşluk oranı başlangıçta %50 ise, frekans artırımını yada azaltımını meydana geldiğinde, PWM üretici yöntem olarak basit bir sayıcı mantığına dayandığından işaret doluluk boşluk oranı doğrudan değişmektedir. Bu sıkıntıyı aşmak için noktalı sayılarda işlem yapmak ve bölme operatörünü kullanmak icap etmektedir. Ancak VHDL donanım programlama dili ile kod geliştirirken, gerek noktalı sayılarla işlem gerekse bölme operatörü kullanımı sistem karmaşıklığını ve lojik kapasite kullanımını arttırdığı için “ikide bir” adında yeni bir metod geliştirilmiştir. Bu yeni yöntemine göre, frekans değişimi meydana geldiğinde bu değişimin kaç kez olduğunu tutan bir sayaç tanımlanmıştır. Bu sayaç ikiye ulaştığında, yani frekans bilgisinde aynı yönde(artırım yada azaltım) iki kez değişiklik meydana geldiğinde, buna mukabil olarak referans güç belirteçleri(işaret doluluk boşluk oranını belirleyen) ve

sabitleri bir kez değer değiştirmektedir. Böylelikle, güç bilgisinin frekans bilgisine olan bağımlılığı nispeten azaltılmıştır.

```
-----  
if (pre_enable = '1') then  
  if (pre_debounce_darttir = '0' and debounce_darttir = '1') then  
    D_art := 1;  
  else  
    D_art := 0;  
  end if;  
-----  
if (pre_debounce_dazalt = '0' and debounce_dazalt = '1') then  
  D_az := 1;  
else  
  D_az := 0;  
end if;  
-----  
doluluk_sayac := doluluk_sayac + D_art - D_az;  
if (doluluk_sayac >= 9) then  
  doluluk_sayac := 9;  
elsif (doluluk_sayac <= 1) then  
  doluluk_sayac := 1;  
end if;  
-----  
if (pre_debounce_farttir = '0' and debounce_farttir = '1') then  
  F_art := 1;  
  ikidebir_1 := ikidebir_1 + 1;  
  ikidebir_2 := 0;  
  if ikidebir_1 = 2 then  
    FD_art := 1;  
    ikidebir_1 := 0;  
  else  
    ikidebir_1 := ikidebir_1;  
  end if;  
else  
  F_art := 0;  
  FD_art := 0;  
end if;  
-----  
if (pre_debounce_fazalt = '0' and debounce_fazalt = '1') then  
  F_azalt := 1;  
  ikidebir_2 := ikidebir_2 + 1;  
  ikidebir_1 := 0;  
  if ikidebir_2 = 2 then  
    FD_azalt := 1;  
    ikidebir_2 := 0;  
  else  
    ikidebir_2 := ikidebir_2;  
  end if;  
else  
  F_azalt := 0;  
  FD_azalt := 0;  
end if;  
-----
```

Şekil 5.8: Temizlik kazanlarının yetkilendirme ve çalışma anı güç/frekans kontrollerinin gerçekleştirildiği VHDL kod parçası

Kod akış diyagramında enable kontrolünün ardından power_up, power_down, frequency_up, frequency_down kontrolleri ve bunları takiben yerel değişkenler üzerinde gerekli olan güncellemeler için ilgili atamaları yapılır. Gerçekleştirilen atamalar sonucunda sistemin çalışma anı güç ve frekans değerleri değiştiği için, üretilen PWM işaret çiftinin doluluk boşluk oranı ve frekansını belirlemek için kullanılan ref_value_1, ref_value_2, ref_value_3, ref_value_4 referans değişkenleri ve çalışma anı güç seviyesi belirteçleri güncellenir. Bu güncelleştirmelere dair geliştirilen VHDL kodları Şekil 5.9 ve Şekil 5.10 üzerinde gösterilmiştir.

```
-----  
CASE doluluk_sayac IS  
  WHEN 1 => ref_doluluk_1 <= ref_1_level1; ref_doluluk_2 <= ref_2_level1;  
  WHEN 2 => ref_doluluk_1 <= ref_1_level2; ref_doluluk_2 <= ref_2_level2;  
  WHEN 3 => ref_doluluk_1 <= ref_1_level3; ref_doluluk_2 <= ref_2_level3;  
  WHEN 4 => ref_doluluk_1 <= ref_1_level4; ref_doluluk_2 <= ref_2_level4;  
  WHEN 5 => ref_doluluk_1 <= ref_1_level5; ref_doluluk_2 <= ref_2_level5;  
  WHEN 6 => ref_doluluk_1 <= ref_1_level6; ref_doluluk_2 <= ref_2_level6;  
  WHEN 7 => ref_doluluk_1 <= ref_1_level7; ref_doluluk_2 <= ref_2_level7;  
  WHEN 8 => ref_doluluk_1 <= ref_1_level8; ref_doluluk_2 <= ref_2_level8;  
  WHEN 9 => ref_doluluk_1 <= ref_1_level9; ref_doluluk_2 <= ref_2_level9;  
end CASE;  
end if;  
-----
```

Şekil 5.9: İşaret doluluk boşluk oranı bilgisinin güncellenmesi dair VHDL kod bloğu

```

-----
referans_pwm2 <= referans_pwm2 + FD_art - FD_azalt;
ref_frekans_1 <= ref_frekans_1 + F_art - F_azalt;
-----
ref_1_level1 := ref_1_level1 + FD_art - FD_azalt;
ref_1_level2 := ref_1_level2 + FD_art - FD_azalt;
ref_1_level3 := ref_1_level3 + FD_art - FD_azalt;
ref_1_level4 := ref_1_level4 + FD_art - FD_azalt;
ref_1_level5 := ref_1_level5 + FD_art - FD_azalt;
ref_1_level6 := ref_1_level6 + FD_art - FD_azalt;
ref_1_level7 := ref_1_level7 + FD_art - FD_azalt;
ref_1_level8 := ref_1_level8 + FD_art - FD_azalt;
ref_1_level9 := ref_1_level9 + FD_art - FD_azalt;
-----
ref_2_level1 := ref_2_level1 + FD_art - FD_azalt;
ref_2_level2 := ref_2_level2 + FD_art - FD_azalt;
ref_2_level3 := ref_2_level3 + FD_art - FD_azalt;
ref_2_level4 := ref_2_level4 + FD_art - FD_azalt;
ref_2_level5 := ref_2_level5 + FD_art - FD_azalt;
ref_2_level6 := ref_2_level6 + FD_art - FD_azalt;
ref_2_level7 := ref_2_level7 + FD_art - FD_azalt;
ref_2_level8 := ref_2_level8 + FD_art - FD_azalt;
ref_2_level9 := ref_2_level9 + FD_art - FD_azalt;
-----

```

Şekil 5.10: Referans güç seviyelerinin güncellenmesine dair VHDL kod bloğu

PWM işaret çifti üzerinde gerçekleştirilen çalışma anı güç değişimi sonucunda, çalışma kazanlarının yeni temizleme gücü bilgisi, FPGA yongası içerisinde gömülü olan gösterge modülüne gönderilir. Bu modül içerisinde gerekli işlemler yapıldıktan sonra, yeni temizlik gücü bilgisi jeneratör prototipindeki sayısal kontrol devresi üzerinde bulunan yedi parçalı gösterge grubu aracılığıyla dış dünyaya iletilir. İlgili temizlik kazanının güç bilgisini belirlemek amacıyla geliştirilen kod öbeği Şekil 5.11 üzerinde gösterilmiştir.

```

CASE doluluk_sayac IS
  WHEN 1 => display_value <= "10011110";
  WHEN 2 => display_value <= "00100100";
  WHEN 3 => display_value <= "00001100";
  WHEN 4 => display_value <= "10011000";
  WHEN 5 => display_value <= "01001000";
  WHEN 6 => display_value <= "01000000";
  WHEN 7 => display_value <= "00011110";
  WHEN 8 => display_value <= "00000000";
  WHEN 9 => display_value <= "00001000";
end CASE;

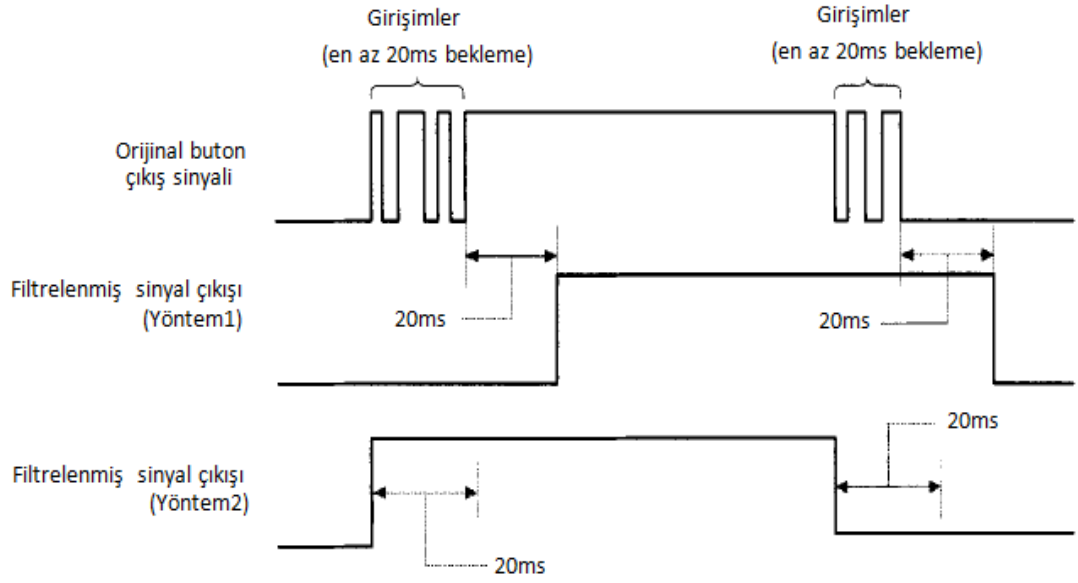
```

Şekil 5.11: İşaret çiftinin güç bilgisinin yedi parçalı gösterge grubuna iletilmesine dair VHDL kod öbeği

Bu işlemler ile birlikte manuel güç/frekans kontrol process bloğunun işlevi sonlanır. Ne zamanki, bu process bloğunun duyarlılık listesinde bulunan clk, reset, debounce_darttir, debounce_dazalt, debounce_farttir, debounce_fazalt sinyallerinin durumunda bir değişiklik meydana gelir, bunu takiben manuel güç/frekans kontrol process bloğu tekrar aynı işlemleri tekrarlayarak işlevini yerine getirir.

5.2.2. Buton gürültüsü önleme modülü algoritması ve kodu

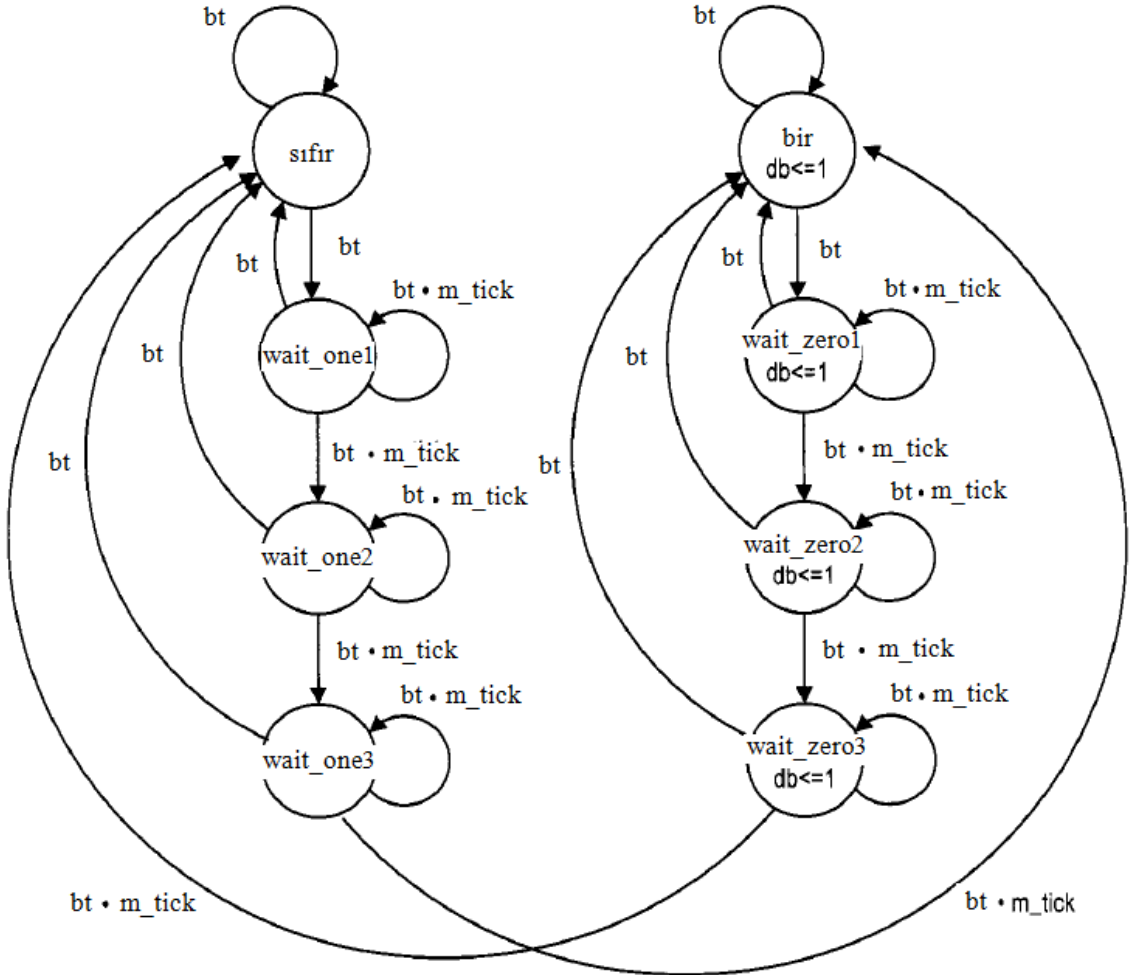
Daha önce bahsedildiği üzere, sayısal kontrol devresi üzerinde temizleme güç ve frekansını kontrol etmek üzere konumlandırılmış fiziksel buton grupları tarafından kaynaklanan istenmeyen gürültü etkilerinin giderilmesi amacıyla bir çeşit buton gürültüsü önleme devresinin kullanımı gereklilik arz etmektedir. Jeneratör prototipi üzerinde bulunan buton grupları mekanik araçlardır. Bu buton gruplarına basılma durumunda, buton kalıcı durumuna ulaşıncaya kadar ileri ve geri yönde pek çok kez mekanik sıçrama(gürültü) meydana gelmektedir. Bu mekanik sıçramalar, kontrol sinyali üzerinde yaklaşık 20ms'lik bir bozunum sürecine neden olmaktadır[3]. Sıçramaların sinyal üzerinde meydana getirdiği bozunumlar ve sonlu durum makinesi temelli iki farklı yöntem kullanılarak elde edilmiş gürültüsüz sinyal çıkışları sırasıyla Şekil 5.12'in üst ve alt kısımlarında gösterilmiştir[15].



Şekil 5.12: Buton gürültüsü oluşumu ve buton gürültüsü filtreleme yöntemlerinin gösterimi[15]

Kullanılan buton gürültüsü önleme VHDL algoritması Moore tipi sonlu durum makinesi ile bir zamanlayıcıdan oluşur. Zamanlayıcı her 10ms'de bir, bir darbe üretir(m_tick sinyali) ve sonlu durum makinesi bunu kullanarak giriş verisinin kararlı duruma gelip gelmediğini test eder. Yöntem1'e göre, sonlu durum makinesi meydana gelen küçük sıçramaları görmezden gelerek filtrelenmiş sinyal çıkışının lojik seviyesini, bu küçük sıçramaların sona ermesinden 20ms sonra değiştirir(lojik 0'dan lojik 1'e değişir). Bu durumu gösteren zamanlama çıkış diyagramı Şekil 5.12'nin orta kısmında verilmiştir. Bununla ilişkili olarak geliştirilen durum diyagramı Şekil 5.13'de verilmiştir. Buradaki sıfır ve bir isimli durumlar, buton giriş sinyalinin(bt) lojik 0 ve 1 değerlerinde sabit bulunduğunu göstermektedir. Sonlu durum makinesinin başlangıç olarak sıfır durumunda olduğu kabul edilir. Buton giriş sinyalinin(bt) lojik 1 değerine geçmesiyle birlikte, sonlu durum makinesi wait_one1 isimli duruma geçiş yapar. Durum makinesi wait_one1 durumundayken, m_tick sinyalinin davranışını gözlemler. Sonlu durum wait_one1 durumundayken eğer bt buton giriş sinyali lojik 0'a değişirse bu, son gelen lojik 1 değerinin yeteri kadar uzun olmadığı olarak anlandırılarak(gerçekten lojik 1 olmadığı sadece buton üzerinde meydana gelen sıçramadan kaynaklandığı anlamında) sonlu durum makinesi sıfır durumuna geri döner. Bu durum benzer şekilde wait_one2 ve

wait_one3 için toplam iki kez daha tekrarlanır. Aynı işlem bir durumu için de, bt buton giriş sinyalinin lojik 0 değerliğinde olması haricinde aynen tekrarlanır[15].

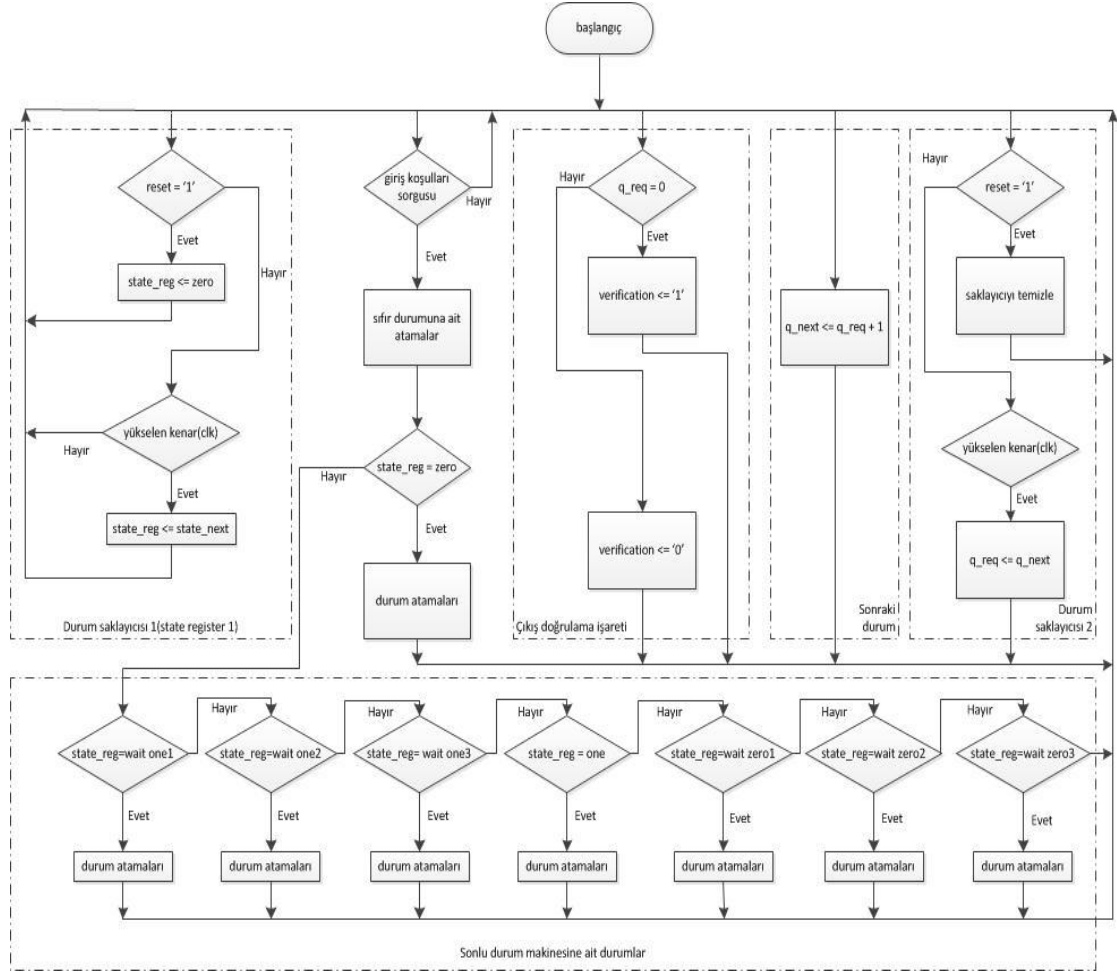


Şekil 5.13: Buton gürültüsü önleme modülüne ait durum diyagramı[15]

Tasarımda bulunan 10ms zamanlayıcı(timer), çalışıyor durumdayken m_tick doğrulama sinyali herhangi bir an ileri sürülebilir durumdadır. Buna bağlı olarak sonlu durum makinesi, bt buton giriş sinyalinin son aldığı değerlikteki durumunun en az 20ms'dir(aslında 20ms-30ms aralığıdır) durağan olup olmadığından emin olmak için, m_tick doğrulama sinyalini toplam üç kez sorgulamaktadır[15].

Diğer yandan, geliştirilen VHDL algoritmasının kod akış diyagramı Şekil 5.14'de verildiği gibidir. Akış diyagramında bulunan "State registers", "output verification mark", "next-state logic" ve "states of finite state machine" isimlendirmeleri, kod akış diyagramının daha rahat okunabilmesi amacıyla alt kod öbeklerine verilen

adlandırmalardır. Diğer yandan, “output verification mark” ve “next-state logic” öbekleri 20ms süreli bekleme süresini üreten sayaç olarak çalışmaktadır[15].



Şekil 5.14: Buton gürültüsü önleme algoritması program akış diyagramı

Şekil 5.14’de algoritma akış diyagramı verilen buton gürültüsü önleme modülü için geliştirilen VHDL kodu aşağıda, şekiller üzerinden detaylı olarak incelenmiştir.

```

-----buton gürültüsü önleme modülü-----
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

-----varlık tanımlaması-----
entity db_fsm is
  port
    ( clk      : in std_logic;
      reset    : in std_logic;
      sw       : in std_logic;
      db       : out std_logic
    );
end db_fsm;

```

Şekil 5.15: Buton gürültüsü önleme modülü varlık(entity) tanımlaması[15]

Buton gürültüsü önleme modülü giriş çıkış port uçlarının tanımlandığı varlık tanımlaması kısmı Şekil 5.15’de verilmiştir. Modül clk(saat işareti), reset, sw(buton girişi) ve db(filtrelenmiş çıkış) giriş çıkış port uçlarından oluşmaktadır.

```

-----mimari-----
architecture Behavioral of db_fsm is
  constant N          : integer := 19 ;           -- 2*N*20ns = 10 ms
  signal q_reg , q_next : std_logic_vector(N-1 downto 0);
  signal m_tick       : std_logic ;
  type eg_state_type is (zero, wait1_1, wait1_2, wait1_3, one, wait0_1, wait0_2, wait0_3);
  signal state_reg, state_next : eg_state_type ;
begin

```

Şekil 5.16: Buton gürültüsü önleme modülü mimari tanımlaması, sabit ve sinyal deklarasyonları[15].

Tanımlanan varlık için geliştirilecek mimarinin sabit ve sinyal bildirimleri, Şekil 5.16’da gösterildiği şekilde yapılmıştır. Mimari deklarasyon kısmında tasarımda kullanılacak genel değişkenler ve sabitler tanımlanmıştır. Ayrıca sonlu durum makinesinde durumları tasvir etmek amacıyla yine mimari deklarasyon kısmında eg_state_type adında yeni bir veri türü tanımlanmıştır.

Şekil 5.17’de 10ms’lik doğrulama üretici için geliştirilen sayıcı bloğu gösterilmektedir. Sayıcı kod öbeği temel olarak “next-state logic” ve “output verification mark” alt kısımlarından oluşmaktadır. Bu alt kod öbekleri sırasıyla sonlu durum makinesi tasarımının çalışması sırasında bir sonraki durumun belirlenmesi ve çıkış yetkilendirme işlemlerini yerine getirmektedir.

```
--counter to generate 10ms tick 2^19*20ns)--  
-----  
process(clk, reset)  
begin  
    if (clk'event and clk = '1') then  
        q_reg <= q_next ;  
    end if ;  
end process ;  
-- next-state logic --  
q_next <= q_reg + 1;  
-- outputtick --  
m_tick <= '1' when q_reg = 0 else  
    '0' ;  
-----
```

Şekil 5.17: 10ms’lik doğrulama üretici için geliştirilen sayıcı bloğu[15]

Şekil 5.17’de clk ve reset ile kontrol edilen ve bir if koşulundan ibaret olan bir process bloğu görülmektedir. Bu process bloğu, sonlu durum makinesinin bir sonraki durumunu saklayıcı(q_reg) genel değişkeni üzerinde tutulmasını sağlamaktadır.

Şekil 5.18’de, sonlu durum makinesinin durum geçiş ve kontrollerini gerçekleştiren kod bloğunun, durum saklayıcısına ait kodlar gösterilmiştir. İncelenecek olursa kod öbeği bir process bloğundan oluşmaktadır. Bu process bloğu içerisinde asenkron reset kalıbı kullanılmıştır. Process duyarlılık listesi ise clk ve reset genel değişkenlerinden(sinyal) oluşmaktadır. Kullanılan asenkron reset kalıbına göre, herhangi bir saat işareti(clk) kenar tetiklemesi beklemeden doğrudan reset’e bağlı olarak, başlangıç durumu olarak sıfır(zero) durumu belirlenir. Diğer yandan eğer ki saat işareti pozitif kenar tetiklemesi gelir ise bir sonraki durum, durum saklayıcısına aktarılır.

```
-----  
-- debouncing FSM --  
-----  
-- state register --  
process (clk, reset)  
begin  
    if (reset = '1') then  
        state_reg <= zero ;  
    elsif (clk'event and clk = '1') then  
        state_reg <= state_next ;  
    end if ;  
end process ;  
-----
```

Şekil 5.18: Durum saklayıcısı kod öbeği[15]

Şekil 5.19’da, buton gürültüsü önleme modülünün sonlu durum makinesi tasarımının durum tanımlamaları ve durum geçiş kontrollerine dair geliştirilen VHDL kodu gösterilmektedir. İncelenecek olursa, kod öbeğinin bir process bloğu ve içerisinde bulunan case yapılarından oluştuğu görülür. Case yapısı içerisinde koşul belirteci olarak state_reg değişkeni belirlenmiştir. Kod akışının devamında bu koşul belirtecinin hangi durum içerisinde olduğu ardışıl olarak kontrol edilmektedir. Hangi durumda olduğunun belirlenmesinin ardından, ilgili durumun içerisinde tanımlı olan atamalar ile bir sonraki çalışma durumunu belirlemek üzere state_next ataması gerçekleştirilmektedir.

```

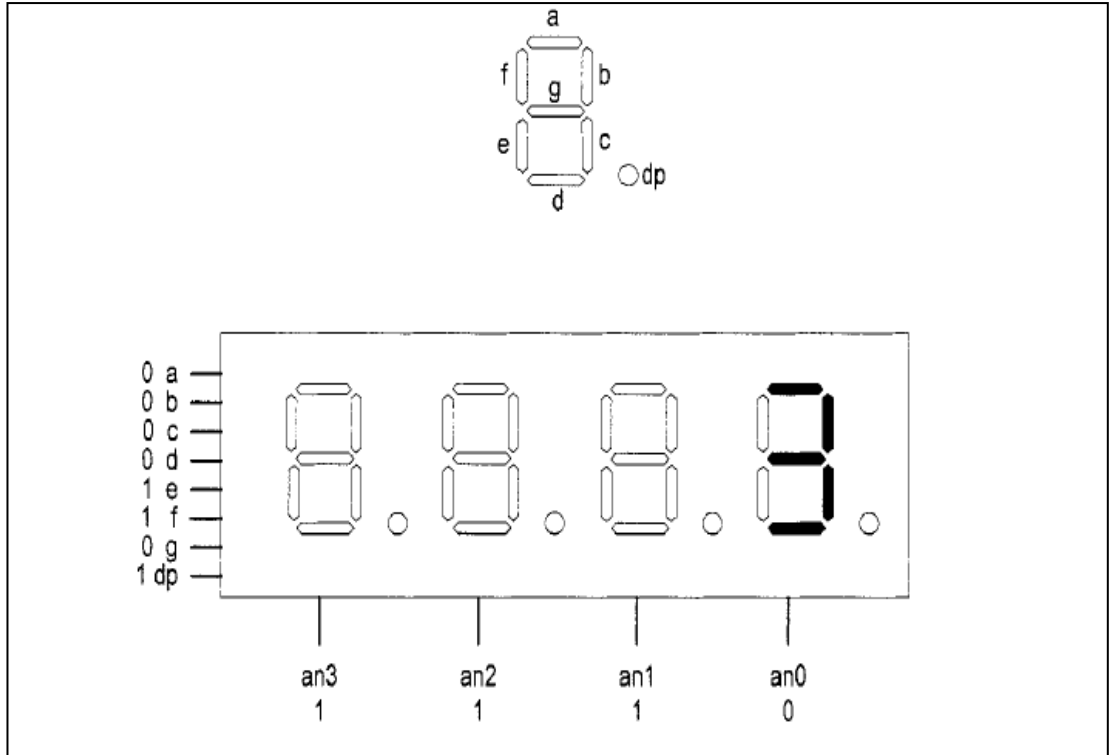
-- next-state / output logic --
process (state_reg, sw, m_tick)
begin
  state_next <= state_reg ; -- default : back to same state
  db <= '0'; -- default 0
  case state_reg is
    when zero =>
      if sw = '1' then
        state_next <= wait1_1 ;
      end if ;
    when wait1_1 =>
      if sw = '0' then
        state_next <= zero ;|
      else
        if m_tick = '1' then
          state_next <= wait1_2 ;
        end if;
    when wait1_2 =>
      if sw = '0' then
        state_next <= zero ;
      else
        if m_tick = '1' then
          state_next <= wait1_3 ;
        end if;
      end if;
    when wait1_3 =>
      if sw = '0' then
        state_next <= zero ;
      else
        if m_tick = '1' then
          state_next <= one ;
        end if;
      end if;
    when one =>
      db <= '1';
      if sw = '0' then
        state_next <= wait0_1 ;
      end if;
    when wait0_1 =>
      db <= '1';
      if sw = '1' then
        state_next <= one ;
      else
    when wait0_2 =>
      db <= '1';
      if sw = '1' then
        state_next <= one ;
      else
        if m_tick = '1' then
          state_next <= wait0_3 ;
        end if;
      end if;
    when wait0_3 =>
      db <= '1';
      if sw = '1' then
        state_next <= one ;
      else
        if m_tick = '1' then
          state_next <= zero ;
        end if;
      end if;
    end case;
  end process;
  -----
end Behavioral;
  -----

```

Şekil 5.19: Sonlu durum makinesi durum belirteçlerinin tanımlanmasına dair VHDL kodu[15]

5.2.3. Gösterge modülü algoritması ve kodu

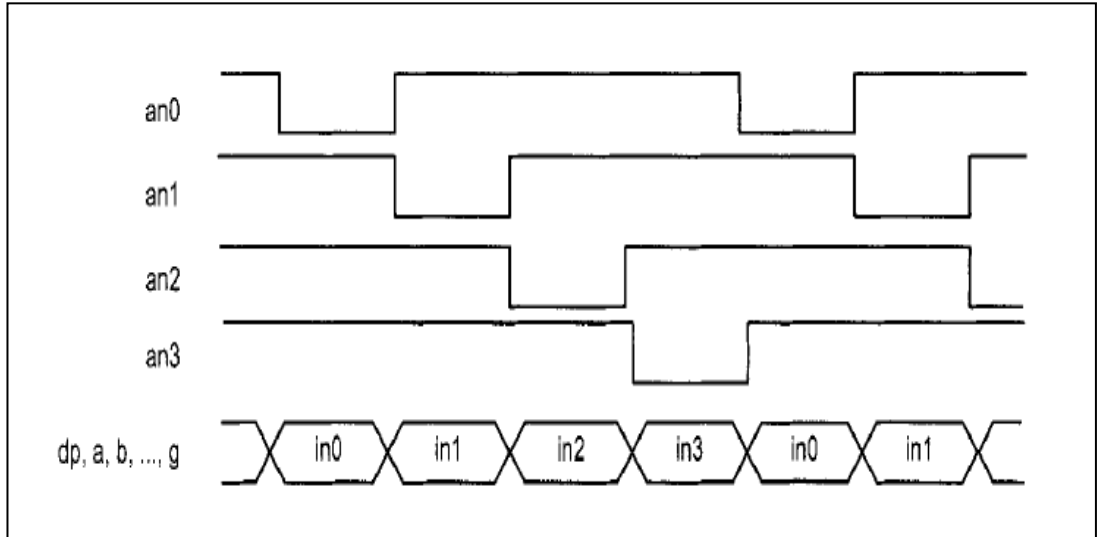
Tez çalışmaları sürecinde geliştirilen VHDL kodları, önce Xilinx firmasının Spartan ailesine ait Spartan3 bordu üzerinde gerçekleştirilerek, geliştirilen tasarımların davranışları gözlemlenmiştir. Spartan3 bordu, her biri yedi gösterge parçasından ve bir nokta ledten oluşan toplam dört adet gösterge ünitesine sahiptir. Spartan3 bordunda, kullanılan toplam FPGA giriş/çıkış pini sayısını azaltmak amacıyla, bord üzerindeki yedi parçalı göstergelere ait ortak bir veri yolu kullanılmaktadır. Ortak bir veri yolu kullanımıyla dört ayrı gösterge ünitesine veri aktarılıyor olması, bu gösterge üniteleri üzerinde aynı anda gözlem yapılması gerektiği durumlarda, zaman bölmeli çoğullamayı zorunlu kılmaktadır. Bu yöntemle göre her bir gösterge ünitesi, kendine ait yetkilendirme sinyaline sahiptir ve göstergelere veri aktarmak için aynı sekiz bitlik ortak bir veri yolunu kullanmaktadır[15].



Şekil 5.20: Yedi parçalı gösterge grubuna veri aktarılmasına dair örnek konfigürasyon[15]

Örnek olarak, en sağdaki yedi parçalı göstergede 3 verisinin gösterilmesi durumu Şekil 5.20 üzerinde verilmiştir. Bu örnek üzerinde, dört bitlik yetkilendirme sinyaline

“1110” basıldığı görülebilir. Bu konfigürasyon ile aynı anda sadece bir tane yedi parçalı gösterge aktif edilebilir. Zaman bölmeli çoğullama yöntemi ile her bir yedi parçalı göstergeye ait yetkilendirme durumu, Şekil 5.21’de gösterildiği gibi sırasıyla periyodik olarak yapılır. Eğer yetkilendirmeler arası geçiş zamanı yeteri kadar hızlı gerçekleştirilebilirse, insan gözü bu geçişleri algılayamaz ve dört gösterge de aynı anda aktif oluyormuş gibi gözlemler. Spartan3 bordunda, zaman çoğullama yöntemi ile ortak veri yolu kullanımı sayesinde pin kullanımı 32’den 12’ye düşürülmüş olmaktadır(sekizi gösterge parçası için ve dördü de yetkilendirmeler için olmak üzere). Bu durum, tasarımda bir zaman bölmeli çoğullama mantığının kullanımını zorunlu kılmaktadır[15].

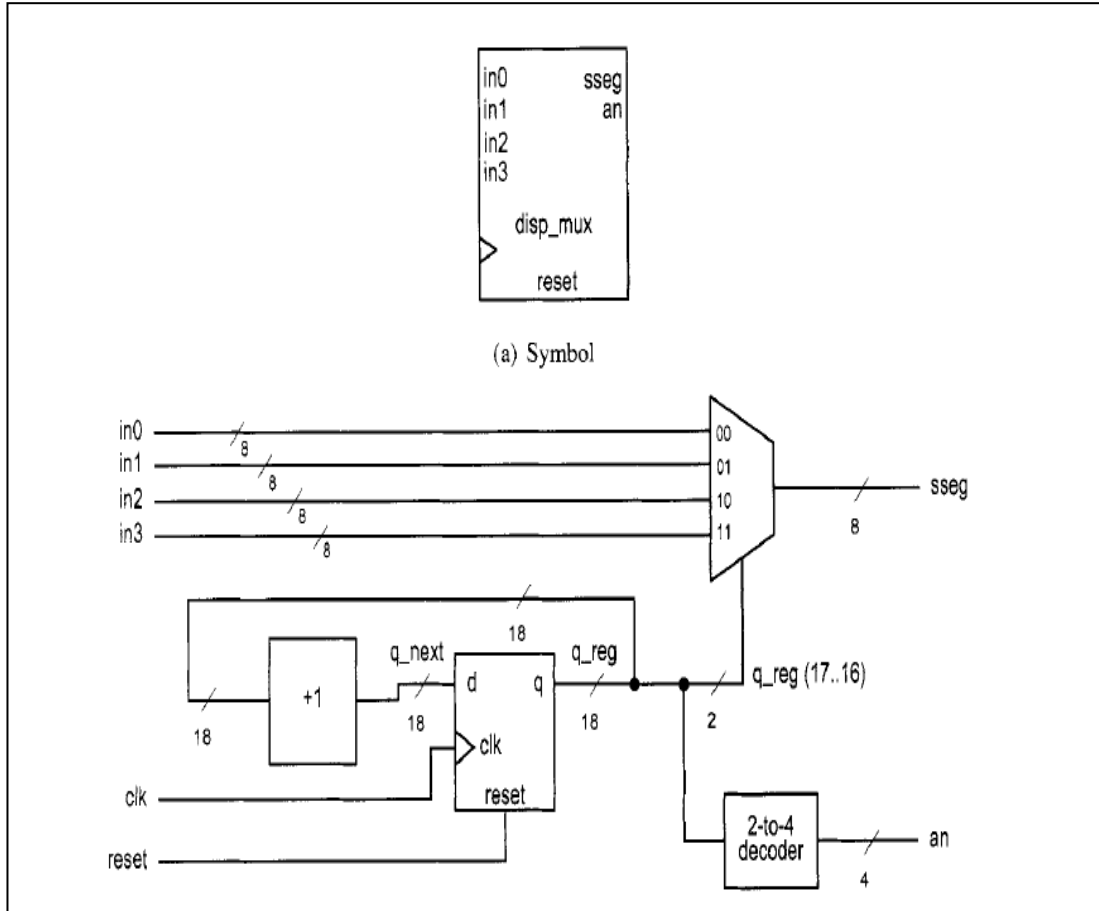


Şekil 5.21: Zaman düzlemi çoğullama şeması[15]

Zaman bölmeli çoğullama devresinin şeması ve blok gösterimi Şekil 5.22’de gösterilmiştir. İncelenecek olursa in3, in2, in1 ve in0 olmak üzere dört adet, her biri bir yedi parçalı göstergeye ait sekizer bitlik veri sinyalleri, yetkilendirme sinyaline bağlı olarak bir çoğullayıcı yardımıyla tek bir sinyale(sseg) indirgenmektedir[15].

Yetkilendirme sinyali anahtarlama hızı, insan gözünün gözlem yeteneğine uygun olarak yeterince hızlı olmasının yanı sıra gösterge bloklarının aç kapat anahtarlama hızının gerçekleştirilebileceği kadar yavaş olması gerekmektedir. Burada, 1000Hz civarındaki bir hız çalışma için yeterlidir. Geliştirilen tasarımda, bu amaç

için 18 bitlik bir ikili toplayıcı kullanılmaktadır. Tanımlanan bu toplayıcının en anlamlı iki biti(yüksek değerlikteki) yetkilendirme belirteci olarak kullanılmaktadır ve çoğullayıcının seçme sinyali olarak görev yapmaktadır. Buna göre her bir bit için anahtarlama hızı $50\text{MHz}/2^{16}$ hesabına göre yaklaşık olarak 800Hz olarak belirlenmektedir[15].

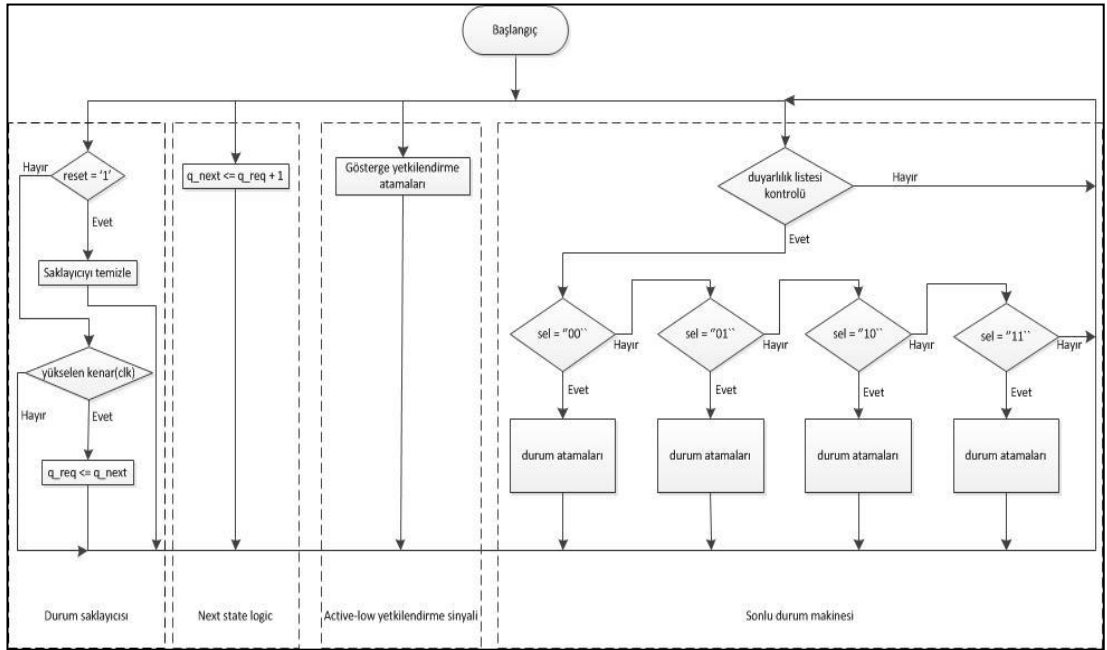


Şekil 5.22: Zaman düzlemi çoğullama devresi blok gösterimi[15]

Yukarıda kullanılan donanım referans alınarak, geliştirilen gösterge modül yazılımı aşağıdaki gibi parçalar halinde detaylı olarak incelenmiştir. Gösterge modülü VHDL tasarımına dair geliştirilen algoritmayı açıklayan kod akış diyagramı Şekil 5.23'de verilmiştir. Gösterge modülü kod akış diyagramı, kolay anlaşılabilir olması için alt bloklara ayrılmıştır. Bu bloklar; şekilde görülebileceği gibi durum saklayıcısı(state register), bir sonraki durum belirteci(next state logic), yetkilendirme sinyali

üretici(to generate active-low enable signal) ve sonlu durum makinesi(finite state machine)'dir[15].

Gösterge modülü tasarımı sırasında sonlu durum makinesi kullanımı tercih edilmiştir. Durum saklayıcısı alt bloğu asenkron reset yapısı içermektedir. Buna göre, dışarıdan bir reset gelmesi durumunda modül içerisinde tanımlanan saklayıcılar temizlenmektedir. Saat işaretinin(clk) gelmesi durumunda ise yükselen kenar tetiklemesi kontrolü ile saklayıcıya bir sonraki durum bilgisi atanır. Sonraki durum belirteci alt bloğunda ise saklayıcının tuttuğu durum bir artırılarak yani bir sonraki durum, sonraki durum saklayıcısına atanmaktadır. Son olarak sonlu durum makinesi alt kısmı, temel bir duyarlılık kontrolü listesi ve belirlenen seçme durumuna göre meydana gelen durum atamalarını içermektedir. Bütün bu alt kısımlar Şekil 5.23'de detaylı olarak görülebilmektedir[15].



Şekil 5.23: Gösterge modülü kod akış diyagramı

Akış diyagramı yukarıda paylaşılan gösterge modülünün VHDL kodları şekiller üzerinden detaylı olarak incelenmiştir. Gösterge modülü varlık tanımlaması Şekil 5.24 üzerinde gösterildiği gibidir. Geliştirilen modül saat işareti(clk), yedi parçalı göstergelere aktarılacak pwm üretici modüllerinden alınan yıkama anı güç bilgilerini

taşıyan bilgi girişleri(display1, display2, display3, display4), yetkilendirme vektörü(display_enable) ve bilgi çıkışı(sseg) port uçlarından oluşmaktadır.

```

-----COMPONENT display module.vhd-----
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity display_module is
  port
    ( clk          : in std_logic;
      display1     : in std_logic_vector(7 downto 0);
      display2     : in std_logic_vector(7 downto 0);
      display3     : in std_logic_vector(7 downto 0);
      display4     : in std_logic_vector(7 downto 0);
      display_enable : out std_logic_vector(3 downto 0);
      sseg         : out std_logic_vector(7 downto 0)
    );
end display_module;

```

Şekil 5.24: Gösterge modülü varlık tanımlaması

```

-----
architecture Behavioral of display_module is
  --800Hz civarında anahtarlama hızı (50Mhz/2^16)--
  constant N          : integer := 18;
  signal q_reg, q_next : std_logic_vector(N-1 downto 0);
  signal sel          : std_logic_vector(1 downto 0);
begin
  --register--
  process(clk)
  begin
    if (clk'event and clk = '1') then
      q_reg <= q_next;
    end if;
  end process;
  -- next-state logic for the counter --
  q_next <= q_reg + 1;
  -- 2 MSBs of counter to control 4 to 1 multiplexing --
  --and to generate active-low enable signal --
  sel <= std_logic_vector(q_reg(N-1 downto N-2));
end architecture Behavioral;

```

Şekil 5.25: Gösterge modülü mimarisi(1)

Mimarinin incelenmesi iki kısma ayrılmıştır. İlk kısmın açık serimi şekil 5.25’de verilmiştir. Buna göre, mimari tanımlaması sırasında 18 bitlik vektör genişliğini N sabiti, saklayıcı ve sonraki durum belirteci olarak q_reg ve q_next sinyalleri ve seçme belirteci olarak da sel sinyali tanımlanmıştır. Saklayıcı bloğu ayrı bir process kod öbeği olarak geliştirilmiştir. Process içerisinde saat işaretinin yükselen kenar

tetiklemesi ile birlikte sonraki durum belirteci saklayıcıya atanır. Benzer şekilde, bu kez özel bir process bloğu tanımlanmadan sayıcı için bir sonraki durum belirtecinin tasarımı gerçekleştirilmiştir. Bu kez, saklayıcının tuttuğu değer bir arttırılarak bir sonraki durum belirteci atanır. Son olarak ise, seçme belirteci görevi gören değişkene ikili sayıcının en anlamlı iki bitinin atanması gerçekleştirilir.

Gösterge modülü mimarisinin ikinci bölümünde sonlu durum makinesi alt bloğunun tasarımı gerçekleştirilmiştir. Bu amaç doğrultusunda bir process bloğu tanımlanmıştır ve ilgili değişkenler process bloğu duyarlılık listesine eklenmiştir. Sonlu durum makinesi, belirteç olarak Şekil 5.22’de gösterilen çoğullayıcının seçme ucu olarak tanımlanan sel değişkenini kullanmaktadır ve buna göre ilgili durumlara dallanmaktadır. Seçme ucunun durumuna göre her bir yedi parçalı gösterge yetkilendirme sinyali sırasıyla aktif edilerek, aktif hale gelen yedi parçalı göstergeye ait bilgi sinyalinin tuttuğu değer sseg değişkenine kopyalanarak bu değişken üzerinden yedi parçalı gösterge veri yoluna aktarılmaktadır. Gösterge modülü mimarisinin ikinci bölümü Şekil 5.26’da gösterilmiştir.

```
process(sel, display1, display2, display3, display4)
begin
case sel is
when "00" =>
display_enable <= "1110";
sseg <= display1;
when "01" =>
display_enable <= "1101";
sseg <= display2;
when "10" =>
display_enable <= "1011";
sseg <= display3;
when others =>
display_enable <= "0111";
sseg <= display4;
end case;
end process;

end Behavioral;
```

Şekil 5.26: Gösterge modülü mimarisi(2)

5.3. Otomatik Çalışma Moduna Ait Kodlar

Tez çalışması kapsamında geliştirilen çok fonksiyonlu ultrasonik temizlik sisteminin ikinci çalışma modu olan otomatik çalışma modunun içerdiği modüllerin algoritmaları ve bu algoritmalara bağlı olarak yazılan VHDL kodlarının açık serimi bu başlık altında ele alınmaktadır. Otomatik çalışma modunun yapısı Bölüm 4'te bulunan Şekil 4.2 üzerinde açıklanmıştır. Burada mimariden ziyade algoritma ve VHDL kodları detaylandırılacaktır.

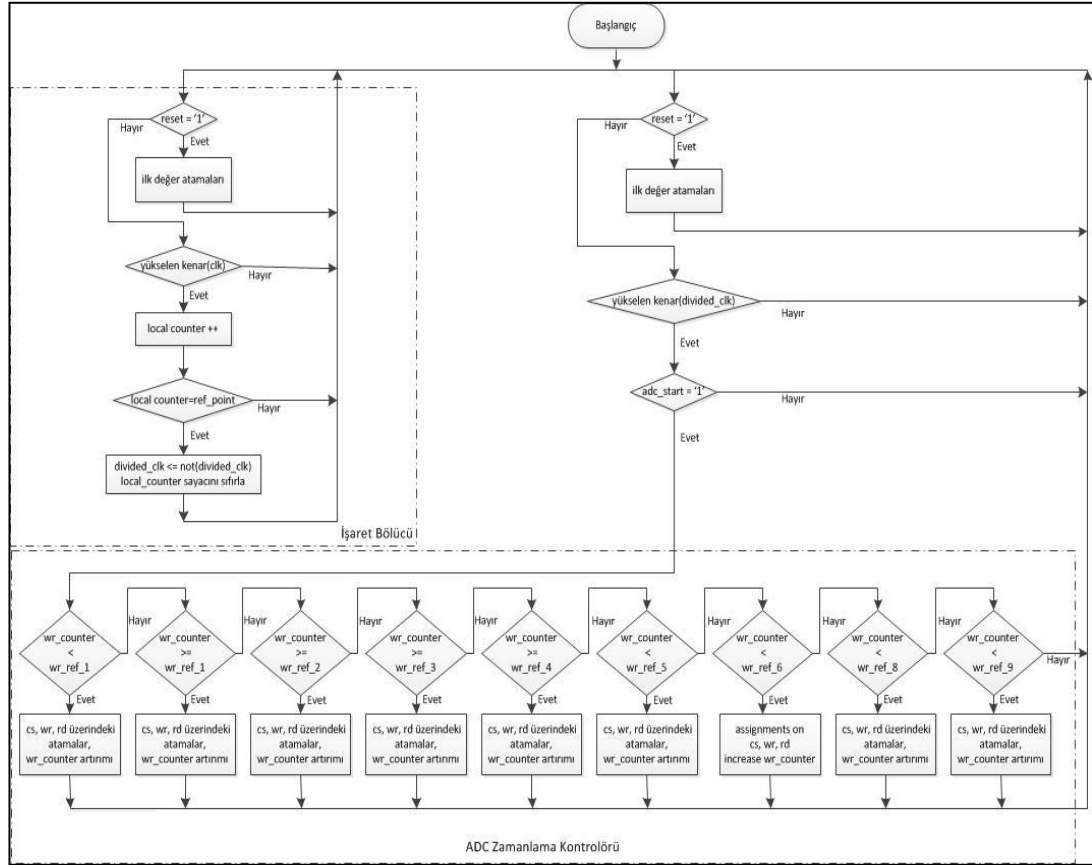
Otomatik çalışma modunun içerdiği modüller incelenecek olursa, frekans ve güç kontrollü PWM üretici, buton gürültüsü önleme ve gösterge modüllerinin manuel çalışma modu ile ortak olduğu görülebilir. Mimarideki tek fark, otomatik çalışma modunda çalışma anı frekans bilgisi kontrollerinin güç kontrollerinden farklı olarak geliştirilen iki aşamalı yinelemeli tarama tekniği sayesinde otomatik hale getirilmesidir. Buna istinaden bord üzerinde bulunan buton gruplarının kullanımı 4'ten ikiye düşmüştür(sadece güç kontrolü için). Sayısal tasarım açısından bunun sonucu, buton gürültüsü önleme modülü sayısının aynı ölçekte düşmesi ve buna karşın tasarıma geri besleme modüllerinin dahil edilmesidir.

Otomatik çalışma modunun manuel çalışma modu ile ortak olan modüllerinin algoritma ve VHDL kodları aynı bilgileri tekrar etmemek için ayrıca ele alınmayacaktır. Geri besleme modülü ele alınarak, bu modül için geliştirilen iki ayrı tarama tekniği çözümü ele alınacaktır.

5.3.1. Geri besleme modülü algoritması ve kodu

Geri besleme modülü, temizlik tanklarına ait çalışma anı frekans bilgisinin otonom olarak kontrolünün sağlanabilmesi için geliştirilmiştir. Otomatik çalışma modu mimarisi içerisinde her biri bir temizlik tankıyla ilişkilendirilmek üzere toplam dört tane geri besleme modülü tanımlanmıştır. Geri besleme modülü, VHDL component bloğu olarak tanımlanarak her bir kazan için ilgili modül en baştan ayrık bir yapıda tasarlanmak yerine bildirim yoluyla aynı modül farklı giriş çıkış port uçları için birden fazla kez çağrılarak mimari içerisine yerleştirilmiştir.

Geri besleme modülü temel olarak iki farklı kısımdan oluşmaktadır. Bunlar; ADC kontrol ünitesi ve rezonans frekansı yakalama üniteleridir. ADC kontrol ünitesi de kendi içerisinde ADC zamanlama kontrolcüsü ve işaret bölücü olarak iki ayrı alt bölüme ayrılmaktadır. Geri besleme modülünün ADC kontrol ünitesine ait algoritma ve kod akış diyagramı Şekil 5.27’de verilmiştir.



Şekil 5.27: Geri besleme modülü ADC kontrol ünitesi kod akış diyagramı

ADC kontrol ünitesinin işaret bölücü(clock divider) kısmı, kullanılan ADC0804’ün çalışma hızına uygun bir kontrol sinyalinin FPGA donanımının üzerinde bulunan yerel osilatör referans alınarak üretilmesinden sorumludur. İşaret bölücü kısmı, akış üzerinden de gözlemlenebileceği üzere basit bir sayıcı yaklaşımı kullanılarak geliştirilmiştir. Üretilen kontrol işareti yardımıyla ADC’nin çalışma zamanlaması kontrolleri gerçekleştirilmektedir. Geri besleme modülünün ADC kontrol ünitesi için geliştirilen VHDL kodları aşağıdaki gibidir.

```

-----COMPONENT feedback_module.vhd-----
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
-----
entity feedback_module is PORT(
    clk          : in    std_logic;
    reset       : in    std_logic;
    wr          : out   std_logic := '1';
    rd          : inout std_logic := '1';
    cs          : out   std_logic := '1';
    adc_data_input : in    std_logic_vector(7 DOWNTO 0) := "00000000";
    frekans_information : out integer range 861 to 1652 := 1551      -- 37 khz den başlıyor
);
end feedback_module;
-----
architecture Behavioral of feedback_module is
    signal clk_main          : std_logic;
    signal rezonans          : std_logic := '0';
    signal fast              : std_logic := '0';
    signal adc_cikisi_saved  : std_logic_vector(7 downto 0) := "00000000";
    signal rezonans_frekuensi : integer range 861 to 1652 := 1551;
    signal max_deger         : std_logic_vector(15 downto 0) := "0000000000000000";
    signal pwm_calisma_frekuensi : integer range 861 to 1652 := 1551;
    signal hassas_tarama_alt_sinir : integer range 961 to 1552;
    signal hassas_tarama_ust_sinir : integer range 961 to 1552;
begin

```

Şekil 5.28: Geri besleme modülü varlık ve mimari tanımlamaları

Geri besleme modülü varlık ve mimari tanımlaması Şekil 5.28’de verilmiştir. Geri besleme modülü giriş/çıkış pinleri olarak saat işareti(clk), reset, ADC kontrol pinleri(wr, rd, cs), ADC bilgi girişi(adc_data_input) ve frekans bilgi çıkışı(frekans_information) belirlenmiştir. Mimari tanımlaması sırasında ise tasarım sırasında kullanılan sinyallerin bildirimini gerçekleştirilmiştir.

ADC kontrol ünitesi Şekil 5.29’da verilmiştir. ADC kontrol ünitesi bir process bloğu içerisinde geliştirilmiştir. Duyarlılık listesinde, lokal osilatörden elde edilen işaret bölücü ile uygun hıza indirgenmiş kontrol sinyali(clk_main) ve veri giriş sinyali(data_input) kullanılmıştır. Kontrol sinyalinin yükselen kenar tetiklemesi ile birlikte öncelikle tasarımda kullanılan yerel değişkenlerin bildirimini gerçekleştirilmiştir. Sonrasında, referans değerlerini tutan yerel değişkenlerin if koşul belirteçleri sorgulanması yoluyla, ADC’nin çalışma zamanlaması, kullanılan ADC0804’e ait zamanlama tablosuna göre kontrol edilmiştir. Çalışma konfigürasyonlarına uygun olarak her bir koşul belirtecinin içerisinde ADC’nin cs, rd, wr kontrol uçlarına uygun değerler atanmaktadır. Her bir koşul belirteci içerisinde tanımlı olan sayac_write isimli değişken bir artırılarak bir sonraki program

döngüsüne geçilmektedir. Son koşul belirtecine girilmesi durumunda wr, rd, cs kontrol uçlarına lojik 1 atanarak tanımlı olan sayaç sıfırlanmaktadır.

Geri besleme modülünün bir diğerk kısmı olan rezonans frekansı yakalama ünitesi, sistem çalışma anı rezonans frekansının otonom olarak belirlenebilmesini sağlayan algoritmadan oluşmaktadır. Sistem rezonans frekansının otonom belirlenebilmesi ve sistemin belirlenen süre boyunca bu rezonans frekans değerinde çalışabilmesi için iki ayrı algoritma geliştirilmiştir. Geliştirilen bu iki algoritma için de rezonans frekansının belirlenmesi ve belirlenen bu frekans değerinde sistemin kod içerisinde belirlenen süre boyunca çalışması birbirini takip eden iki ayrı süreç olarak geliştirilmiştir. Bu iki süreç periyodik olarak tekrar eden sürekli bir yapıya sahiptir.

Geliştirilen rezonans frekansı yakalama algoritmalarından iki aşamalı yinelemeli rezonans frekansı yakalama algoritması, literatürde yer almayan özgün bir çalışma olarak ön plana çıkmaktadır ve bu çalışma GÖMSİS 2010 ulusal konferansında sunulmuştur. Tez kapsamında geliştirilen ultrasonik temizleme sisteminin otomatik çalışma modunda kullanılan rezonans frekansı yakalama algoritması, bu çalışmaya konu olan iki aşamalı yinelemeli tarama algoritmasıdır. Geliştirilen diğerk çözüm ise normal rezonans frekansı yakalama algoritması olarak isimlendirilmiştir.

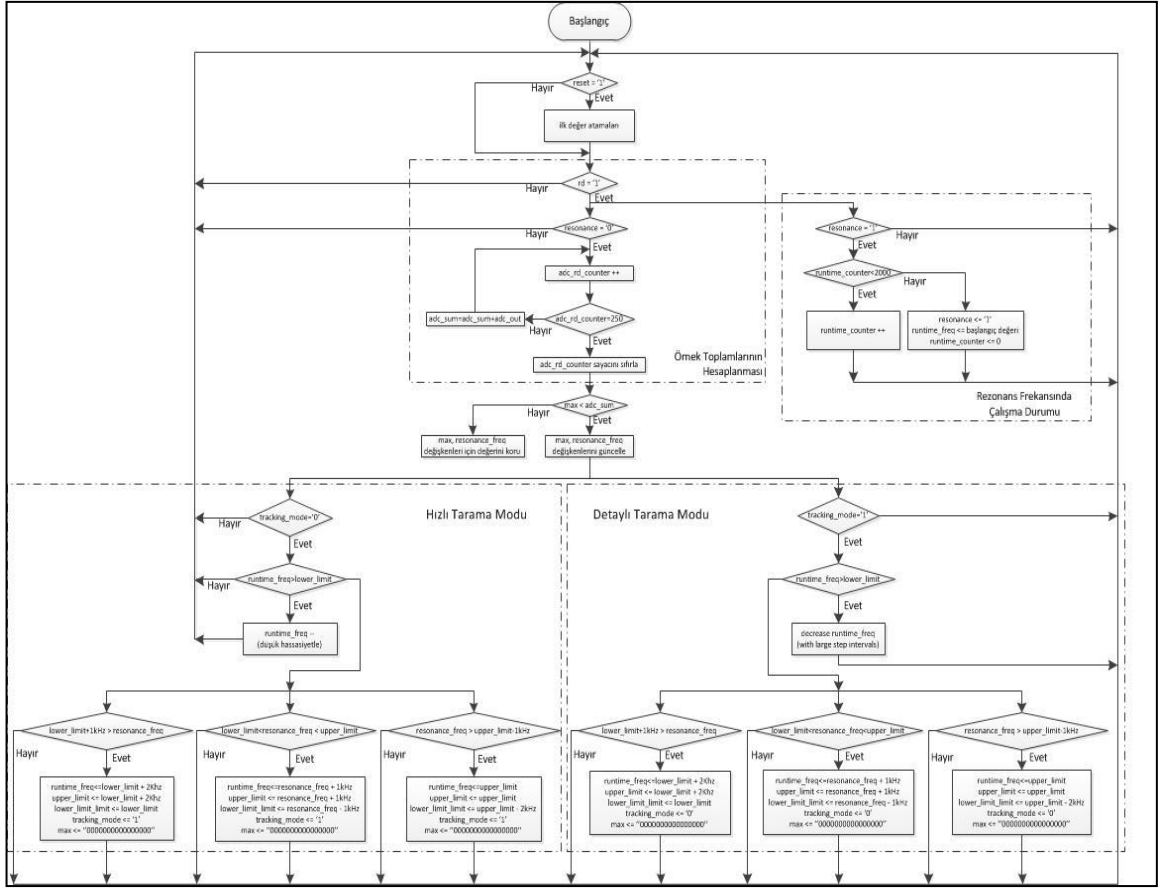
```

----- adc control unit -----
process(clk_main, adc_data_input)
  variable sayac_write      : integer := 0;
  variable write_referans1  : integer ;
  variable write_referans2  : integer ;
  variable write_referans3  : integer ;
  variable write_referans4  : integer ;
  variable write_referans5  : integer ;
  variable write_referans6  : integer ;
  variable write_referans7  : integer ;
  variable write_referans8  : integer ;
  variable write_referans9  : integer ;
  variable write_referans10 : integer ;
begin
  if (clk_main'event and clk_main = '1') then
    write_referans1 := 20;
    write_referans2 := 40;
    write_referans3 := 60;
    write_referans4 := 80;
    write_referans5 := 50;
    write_referans6 := 100;
    write_referans7 := 115;
    write_referans8 := 250;
    write_referans9 := 300;

    if (sayac_write < write_referans1) then
      cs <= '1';
      wr <= '1';
      rd <= '1';
      sayac_write := sayac_write + 1;
    elsif (sayac_write >= write_referans1 and sayac_write < write_referans2) then
      cs <= '0';
      wr <= '1';
      rd <= '1';
      sayac_write := sayac_write + 1;
    elsif (sayac_write >= write_referans2 and sayac_write < write_referans3) then
      cs <= '0';
      wr <= '0';
      rd <= '1';
      sayac_write := sayac_write + 1;
    elsif (sayac_write >= write_referans3 and sayac_write < write_referans4) then
      cs <= '0';
      wr <= '1';
      rd <= '1';
      sayac_write := sayac_write + 1;
    elsif (sayac_write >= write_referans4 and sayac_write < write_referans5) then
      cs <= '1';
      wr <= '1';
      rd <= '1';
      sayac_write := sayac_write + 1;
    elsif (sayac_write >= write_referans5 and sayac_write < write_referans6) then
      cs <= '0';
      wr <= '1';
      rd <= '1';
      sayac_write := sayac_write + 1;
    elsif (sayac_write >= write_referans6 and sayac_write < write_referans7) then
      cs <= '0';
      wr <= '1';
      rd <= '0';
      adc_cikisi_saved <= adc_data_input;
      sayac_write := sayac_write + 1;
    elsif (sayac_write >= write_referans7 and sayac_write < write_referans8) then
      cs <= '0';
      wr <= '1';
      rd <= '1';
      sayac_write := sayac_write + 1;
    elsif (sayac_write >= write_referans8 and sayac_write < write_referans9) then
      cs <= '1';
      wr <= '1';
      rd <= '1';
      sayac_write := sayac_write + 1;
    elsif (sayac_write >= write_referans9) then
      cs <= '1';
      wr <= '1';
      rd <= '1';
      sayac_write := 0;
    end if;
  end if;
end process;
-----

```

Şekil 5.29: Geri besleme modülü ADC kontrol ünitesi



Şekil 5.30: İki aşamalı yinelemeli rezonans frekansı yakalama algoritması kod akış diyagramı

Geri besleme modülü içerisinde bulunan rezonans yakalama ünitesi için geliştirilen ve özgün değeri olan iki aşamalı yinelemeli rezonans frekansı yakalama algoritması kod akış diyagramı Şekil 5.30’da verildiği gibidir. İki aşamalı yinelemeli tarama tekniği, rezonans frekansı yakalama ve rezonans frekansında çalışma şeklinde birbirini takip eden iki ayrı süreçten oluşmaktadır. Geliştirilen ultrasonik temizlik sistemi, ilk kez çalıştırıldığında rezonans frekansı yakalama sürecinden başlamaktadır. Rezonans frekansının bir kez yakalanması ile birlikte, temizlik sistemi geliştirilen VHDL kodundan ilgili değışkenle belirlenen süre boyunca belirlenen rezonans frekansında çalışmaktadır. Rezonans frekansı yakalama ve rezonans frekansında çalışma süreçleri arasındaki anahtarlama tanımlanan “resonance” isimli değışken ile gerçekleştirilmektedir. Rezonans frekansı yakalama sürecinde çalışılırken algoritma öncelikle Şekil 5.30’da görülebileceği üzere örnek toplamlarının hesaplanması alt kısmına dallanmaktadır ve bu alt kısım bir döngü oluşturmaktadır. Burada bu döngünün oluşturulması ise şöyle açıklanabilir.

Rezonans frekansının tespiti normal şartlar altında ADC'den alınan örnek değerlerinden en büyüğünü veren frekans bileşeni seçilerek gerçekleştirilir. Burada, tarama sürecinde bir frekans noktasında yalnızca bir örnek alınarak karşılaştırma yapılması sakıncalıdır. Şöyle ki, ilgili frekans noktasında çevresel etkenlerle(gürültü gibi) anlık pik noktaları oluşabileceğinden değerlendirme sonucu sağlıklı olamamaktadır. Bu nedenlerle, tarama sürecinde her bir frekans noktası için birden fazla(burada 250 olarak belirlendi ama değiştirilebilir) örnek alınarak bu örneklerin toplamının karşılaştırılması ve buna göre bir değerlendirme yapılması daha sağlıklı bulunmuştur. Sonuç olarak tarama sürecinde belirlenen frekans bandı içerisinde her bir frekans noktası için ADC'den 250'şer tane örnek alınır ve bunların toplamları karşılaştırılır. Burada ortalama hesabı yapılması fazladan lojik kapasite kullanımı ve bölme gibi VHDL'de gerçekleşmesi zor ve verimsiz olan bir işlem yükü getirdiğinden toplam üzerinden değerlendirme tercih edilmiştir. Algoritmanın başlangıçta dallandığı ilk alt bölüm olan örnek toplamlarının hesaplanması döngüsü bu mantığa dayanmaktadır. Bu döngü incelenecek olursa, algoritma 250 örnek değerine ulaşıp ulaşılmadığını kontrol eder ve 250 örnek değerine ulaşana kadar sürekli bir toplama işlemini gerçekleştirir. 250 örnek toplamına ulaşılmasının ardından burada elde edilen toplam değeri, rezonans frekansında elde edilen en son örnekler toplamını tutan referans değişkenle karşılaştırılmak suretiyle eğer ki elde edilen yeni toplam, referans değerden büyükse rezonans frekansını tutan değişken ve rezonans frekansındaki örnekler toplamını tutan referans değişkenin değerleri güncellenir. Eğer ki büyük değilse referans değişkenlerin tuttıkları değerler aynen korunup tarama bandında bulunan bir sonraki frekans noktası çalışma frekansı olarak belirlenerek bu frekans noktası için aynı işlemler tekrarlanır. Bu işlemler, belirlenen frekans tarama bandının sonlandırılmasına kadar tekrarlanmaktadır.

Rezonans frekansı yakalama süreci, birbirini takiben gerçekleşen iki ayrı tarama sürecinden oluşmaktadır. Bunlar, Şekil 5.30'da gösterildiği üzere çalışma frekans bandı hızlı tarama ve detaylı tarama süreçleri olarak isimlendirilmektedir. Geliştirilen bu iki aşamalı yinelemeli tarama tekniği, rezonans frekansının daha kısa sürede daha yüksek başarımla/hassasiyet ile belirlenebilmesini sağlamaktadır. Bu tekniğe göre, belirlenen çalışma anı frekans bandı öncelikle büyük adım aralıklarıyla(istenilen değere ayarlanabilir olmakla beraber ilk geliştirilen kod içerisinde 150Hz civarı bir

değer belirlenmiştir) taranarak olası bir rezonans noktası tespit edilmektedir. Ardından tespit edilen bu olası rezonans frekans noktasının $\pm 1\text{KHz}$ etrafından yeni bir frekans bandı belirlenerek, bu yeni frekans bandı öncekine göre çok daha küçük adım aralıklarıyla(46Hz civarı) taranarak kesin rezonans frekansı belirlenmiş olur.

Tarama sürecinde, algoritma öncelikle hızlı tarama sürecine dallanmaktadır. Bu süreçte belirlenen çalışma frekans bandı geniş adım aralıklarıyla hızlıca taranmaktadır. Burada, tarama anı adım hassasiyeti kod içerisinde gerçekleştirilecek değer atama işlemi ile farklı değerlere ayarlanabilmektedir. Adım aralığının belirlenmesinde, kullanılan sistem gereksinimleri belirleyici olmaktadır ve farklı özel uygulama alanlarına göre değişiklik gösterebilmektedir. Tarama süreci belirlenen çalışma frekans bandının en büyük değerinden başlayarak en küçük frekans değerine doğru gerçekleştirilmektedir. Tarama süreci sonucunda belirlenen olası rezonans frekansının, taranan frekans bandının minimum ve maksimum değerliklerine 1KHz'den daha yakın olması durumunda, olası rezonans frekans noktası olarak, frekans tarama bandının minimum ya da maksimum frekans sınırlarının 1KHz ötesi belirlenir. Olası rezonans frekans noktasının belirlenmesi ile son olarak, tarama ve çalışma anı ile ilişkili referans bilgilerini tutan `upper_limit`, `lower_limit`, `fast_tracking` and `max` değişkenleri bir sonraki aşama olan detaylı tarama sürecinde kullanılmak üzere güncellenir.

Çalışma frekans bandı detaylı tarama süreci, taranacak frekans band genişliği ve tarama adım aralığı dışında hızlı tarama süreci ile benzer yapıdadır. 50MHz'lik yerel osilatör için, detaylı tarama süreci tarama adımı yaklaşık olarak 46Hz civarında bir değerdir. Sistemin kesin rezonans noktası, hızlı tarama süreci sonucunda belirlenen olası rezonans noktası çevresinde hassas bir şekilde aranır.

Şekil 5.30'dan görülebildiği üzere, iki aşamalı yinelemeli rezonans frekansı belirleme sürecinin sonucunda kesin rezonans frekansının belirlenmesi ile birlikte sistem, algoritma akışında verildiği gibi rezonans frekansında çalışma sürecine girer. Ultrasonik temizlik sistemi, kod içerisinde belirlenen süre boyunca bu rezonans frekansında çalışır. Rezonans frekansında çalışma süresi, ultrasonik temizlik işleminin gereksinimlerine bağlı olarak, VHDL kodu içerisinde ilgili sabit ve

değişkenlerin değerleri uygun olarak güncellenerek yeniden ayarlanabilir. Benzer şekilde, algoritmanın örnek toplamlarının hesaplanması alt kısmının örnekleme hızı da kod içerisinde ilgili revizyonlar ile ayarlanabilmektedir.

BÖLÜM 6. TEMİZLEME PROFİLİNDE HOMOJENLİĞİN ARTIRIMINA DAİR ÖZGÜN ÇALIŞMALAR

6.1. Giriş

TÜBİTAK 109E295 numaralı proje kapsamında alımı gerçekleştirilen, proje ve bitirme tezi çalışmalarında kullanılan ultrasonik temizlik kazanının altında üç sıra halinde dörderli transducer(ultrasonik dönüştürücü) grupları mevcuttur. Bu bölümde, kazanın altındaki transducer gruplarının farklı genlik, frekans ve faz değerlerinde sürülmesi yoluyla ultrasonik temizlik kazanı içerisinde gözlenen çalışma anı temizleme verimliliği araştırılmıştır. Bu amaç doğrultusunda, mevcut ultrasonik PWM üretici modülüne ek olarak farklı fazlarda çalışma durumunu analiz edebilmek için iki ayrı algoritma ve buna bağlı VHDL(Very high speed integrated circuit description language) donanım programlama dilinde iki ayrı kod öbeği geliştirilmiştir. Bunlar sabit faz farklı çalışma ve değişken(kayma kipli) faz farklı çalışmadır. Mevcut ultrasonik PWM üretici modülü aracılığıyla temizlik kazanının çalışma anı temizleme gücü ve frekansı kontrol edilebilmekteydi. Bu bölümde gerçekleştirilecek, ultrasonik transducer gruplarını farklı frekans ve güç seviyelerinde sürme çalışmaları sırasında bu hazır modül ve içerdiği algoritmalar kullanılacaktır.

Bahsi geçen farklı senaryolara ait algoritma akış diyagramları, modelsim simülasyon çıktıları ve analizleri aşağıdaki gibidir.

6.2. Sabit Faz Farklı Çalışma

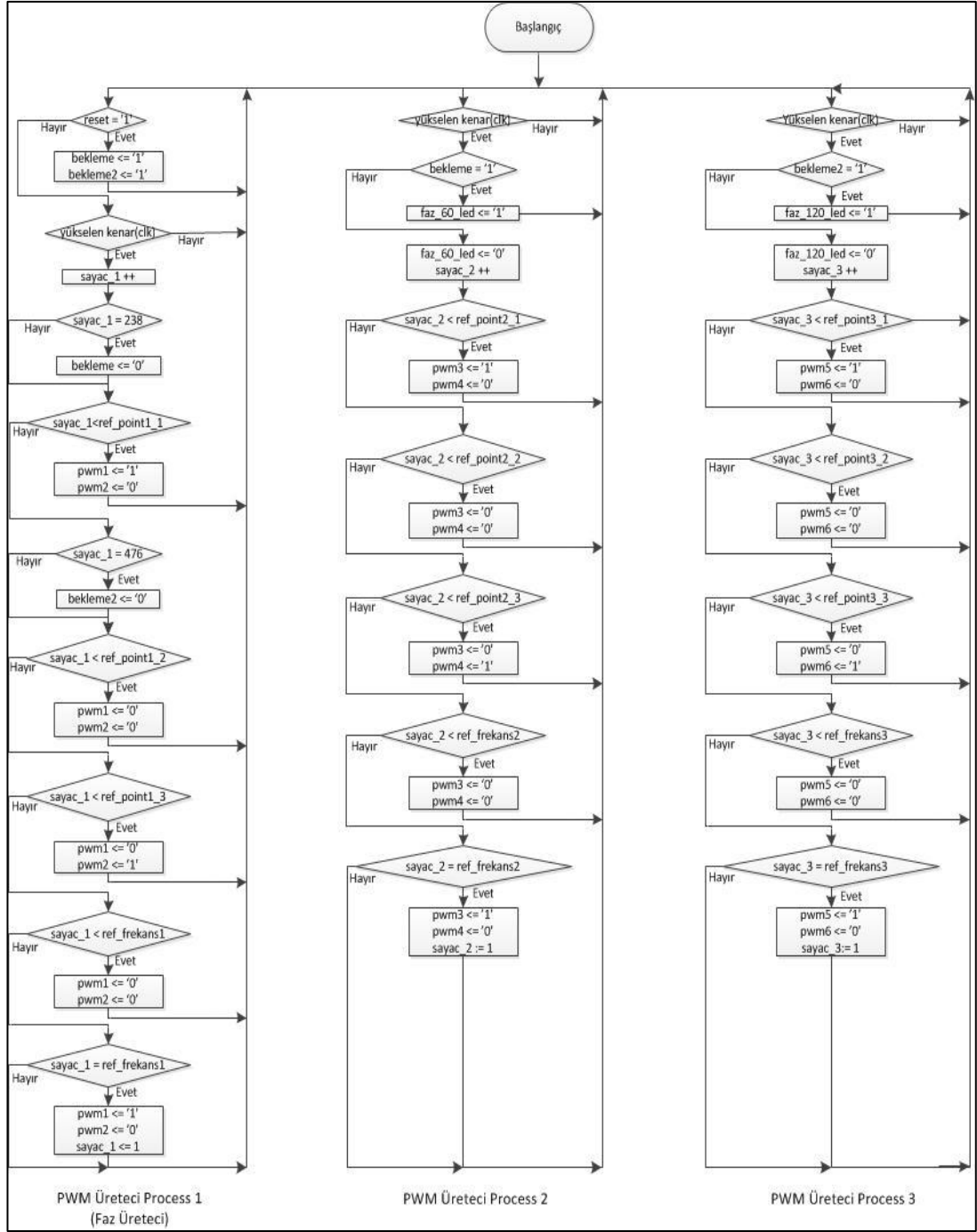
Sabit faz farklı çalışma modunda, PWM üretici modüllerince üretilen PWM işaret çiftleri arasında çalışma anı boyunca sabit kalacak şekilde bir faz farkı bulunmaktadır. Geliştirilen algoritmaya bağlı olarak yazılan VHDL kodunda gerekli değerler değiştirilerek PWM işaret çiftleri arasındaki faz farkı istenilen değere ayarlanabilir durumdadır. Kodun geliştirilme sürecinde, başlangıç faz farkları

60°'lik açılarla verilmiştir. Buna bağlı olarak birinci PWM çifti 0°, ikinci PWM çifti 60° ve üçüncü PWM çifti ise 120° faz farkına sahip olarak üretilmektedir.

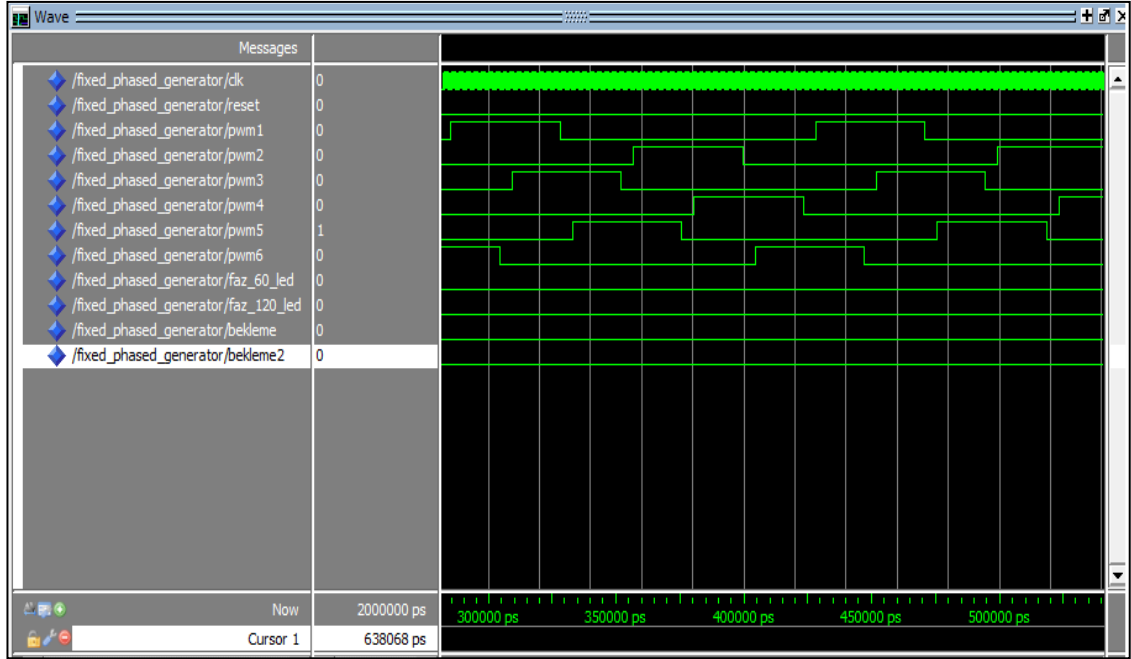
Geliştirilen algoritmaya ait akış diyagramı Şekil6.1'deki gibidir. Akış diyagramı incelenecek olursa, geliştirilen algoritmanın üç ayrı process bloğundan meydana geldiği görülür. Bu process bloklarından process1 PWM1,2 işaret çiftinin, process2 PWM3,4 işaret çiftinin ve process3 de PWM5,6 işaret çiftinin üretilmesinden sorumludur. Diğerlerinden farklı olarak process1, PWM1,2 işaret çiftinin üretimini sağlamanın yanı sıra, diğer faz farklı PWM işaret çifti üreticilerinde kullanılacak faz farkını belirlemektedir. Yani bir faz üretici işlevi de görmektedir. Process2 ve process3 ise process1'de meydana getirilen faz farkı bilgisine bağlı olarak kendi sorumluluğundaki PWM işaret çiftinin üretimini gerçekleştirmektedir.

Akış diyagramı daha detaylı olarak incelenecek olursa, PWM Üretici Modülünde kullanılan sayıcı tabanlı tasarımın tekrar edildiği görülebilir. Buradaki tek fark faz üretimi ve PWM üretimi sırasında bu faz bilgisine göre faz kontrolünün sağlanmasıdır. Ayrıca PWM Üretici Modülünden diğer bir farkı burada üç ayrı PWM çiftinin paralel olarak üretiminin sağlanmasıdır. Geliştirilen PWM Üretici Modülünde sadece bir adet PWM işaret çifti üretilmekteydi.

Geliştirilen VHDL kodunun simülasyonları modelsim simülatörü üzerinde gerçekleştirilmiştir. Simülasyon çıktıları Şekil 6.2'de verilmiştir. Şekil 6.2 incelenecek olursa, üretilen PWM işaret çiftleri arasındaki sabit faz farkı açıkça gözlemlenebilir.



Şekil 6.1: Sabit faz farklı çalışma için geliştirilen VHDL kodunun akış diyagramı

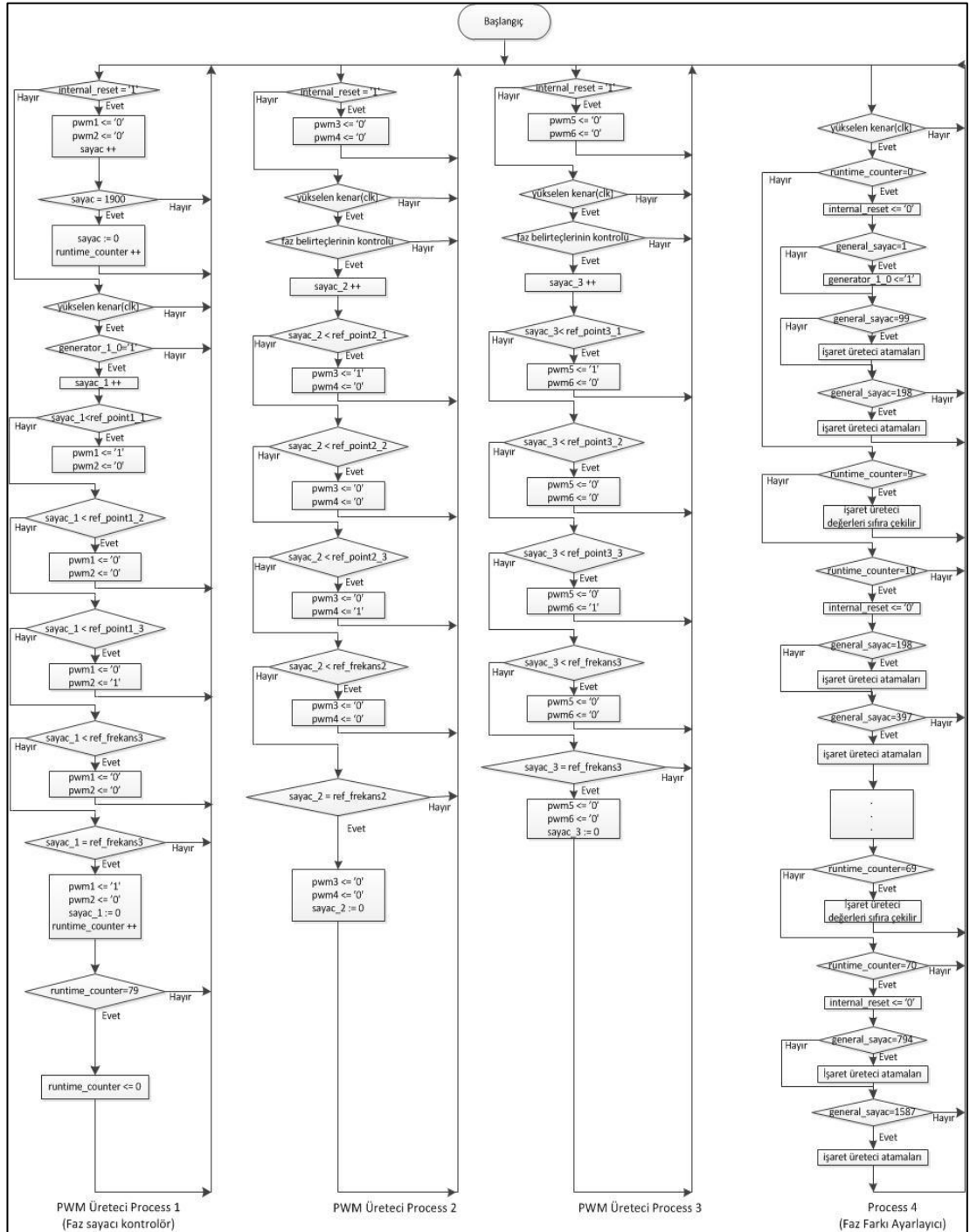


Şekil 6.2: Sabit faz farklı çalışma modelsim simülasyonu çıktıları

6.3. Değişken(Kayma Kipli) Faz Farklı Çalışma

Ultrasonik temizlik sistemi çalışma anı verimliliğinin artırımı konusunda geliştirilen bir diğer yöntem değişken faz farklı çalışma biçimidir. Bu yöntemde göre, temizlik kazanının altında bulunan transducer grupları 0° , 20° ve 40° faz farkları ile çalışma başlamaktadır. Belirli bir süre sonra ise aradaki 20° 'lik faz farkı artırılmaktadır. Bu artırım periyodik olarak tekrarlanmaktadır. 160° ve 320° faz farkına ulaşılmasının ardından tekrar sistem başa dönerek 20° ve 40° faz farkı ile çalışmaya başlamaktadır. Burada faz farkı miktarı ve değişim periyodu geliştirilen VHDL kodunda ilgili değişken ve sabitlerin tuttuğu değerler değiştirilerek istenen değerlere ayarlanabilir.

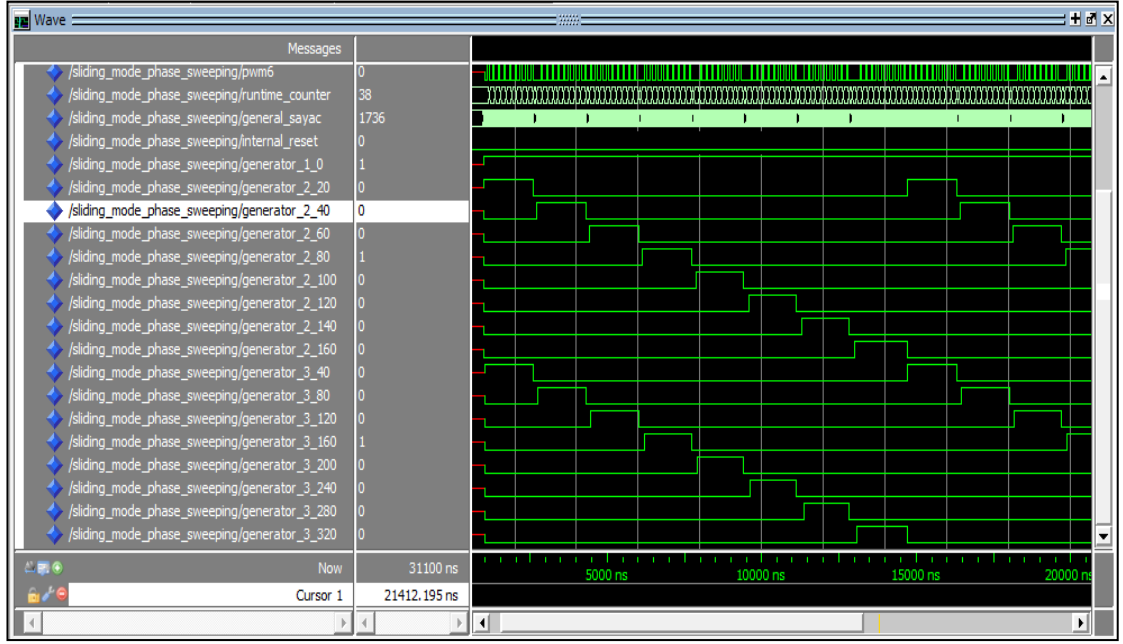
Değişken faz farklı çalışma yöntemine dair geliştirilen algoritmanın akış diyagramı Şekil 6.3 üzerinde verilmiştir. Buna göre, dört ayrı process bloğu geliştirilen kod öbeği içerisinde eş zamanlı olarak koşulmaktadır. Bu process gruplarından process1 PWM1 ve PWM2'nin, process2 PWM3 ve PWM4 'ün, process3 PWM5 ve PWM6'nın üretiminden sorumludur. Process4 ise PWM işaret çiftleri arasındaki faz farkı ayarlayıcısı olarak çalışmaktadır. Ayrıca process1 PWM1 ve PWM2 işaretlerinin üretimini sağladığı gibi belirli bir faz farkında çalışma periyodunu belirleyici olarak da çalışmaktadır.



Şekil 6.3: Değişken fazlı(Kayma kipli) çalışma kod akış diyagramı

Geliştirilen VHDL kodunun simülasyonları modelsim simülatörü üzerinde gerçekleştirilmiştir. Simülasyon çıktıları Şekil4’de verildiği gibidir. Şekil6.4 incelenecek olursa, üretilen PWM işaret çiftleri arasındaki faz farkının referans olan ilk işaret çiftine göre ikinci işaret çiftinde 20° , 40° , 60° ,..., 160° ve üçüncü işaret

çiftinde 40° , 80° , 120° , ..., 320° faz farkı değerleriyle değişiklik gösterdiğini gözlemleyebiliriz. Bu değişim, modelsim çıktısı üzerinden de gözlemlenebildiği üzere küçükten büyüğe doğru değişim gösterirken maksimum faz farkına ulaşmasının ardından tekrar başa dönerek periyodik bir çalışma göstermektedir.

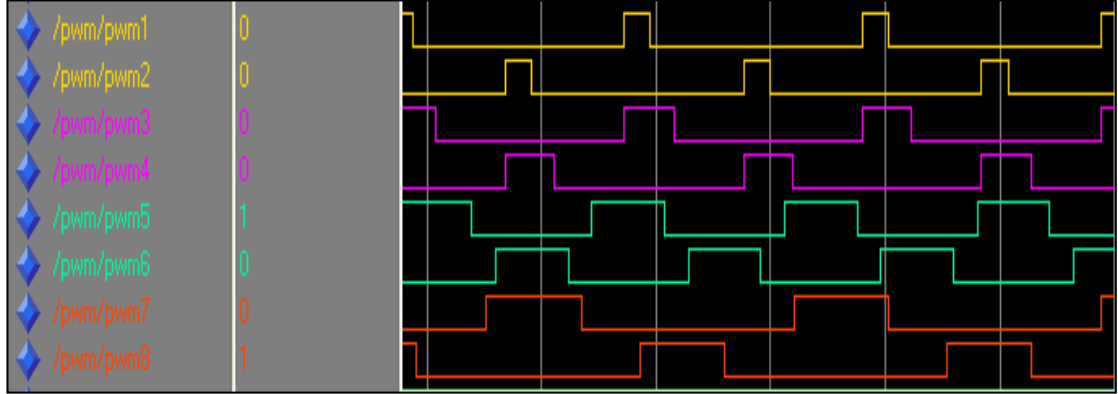


Şekil 6.4: Değişken faz farkı(kayma kipli) çalışma biçimi modelsim simülasyon çıktıları

BÖLÜM 7. BULGULAR VE TARTIŞMA

Tez çalışmasının bu bölümünde, blok diyagramları ve algoritmaları önceki bölümlerde verilen sayısal tasarım bloklarına ait VHDL kodlarının Modelsim benzetim çıktıları ve donanımsal olarak gerçekleştirme sonucu ortaya çıkan bulgular ile donanıma ve sistemin kullanımına yönelik teknik özellikler açıklanmaktadır. Ayrıca tez çalışmasının çıktıları, test sonuçları da dikkate alınarak olumlu ve olumsuz yönleriyle tartışılmaktadır.

Manuel çalışma modunda, her bir tankın güç ve frekans kontrolleri birbirinden bağımsız olarak yapılabilmektedir. Bu kontroller için her bir temizleme tankına atanmış bir kontrol anahtarı mevcuttur. Ayarlama yapılması istenen temizleme tankının anahtarı aktif pozisyona getirilir. Frekans artır veya azalt butonuna her basılışta ayarlamaya açık olan temizleme tankı veya tankları hep birlikte aynı anda en son set edildiği değerden itibaren bir sonraki frekans veya güç değeri basamağına artırılmış veya azaltılmış olur. Burada en son set edilen değerler her bir tank için farklı olabilir. Her reset tuşuna basıldığında, tüm tanklar varsayılan olarak önceden belirlenmiş ortalama bir değere otomatik olarak set edilmiş olur. Yetkilendirilmemiş tanklarda en son set edilen değer saklı tutulur. Ayarlama sırasında bunlar etkilenmez. Güç seviyesi için 9 farklı seviye belirlenmiş olup bunlar her bir kazan için 1 adet olmak üzere atanmış yedi parçalı göstergede görüntülenmektedir. Şekil 7.1 de dört farklı temizleme tankına ait sürücü devrelerine aktarılmak üzere üretilmiş dört çift çakışmasız (non-overlapped) PWM kontrol sinyallerine ait VHDL kodun Modelsim çıktıları gösterilmiştir. Burada PWM çiftleri arasındaki frekans farklı ve güç farklı olma durumları açıkça görülmektedir.



Şekil 7.1: Manuel çalışma modu için geliştirilmiş VHDL kodunun Modelsim çıktısı (4 çift çakışmasız PWM işaretleri)

Otomatik çalışma modunda, tek aşamalı ve iki aşamalı olmak üzere iki farklı otomatik rezonans frekansı yakalama algoritması geliştirilmiştir. Tek adımda tarama yönteminde tarama aralığı geniş olduğundan hassas adımlarla rezonans frekansı tarama işlemi çok uzun sürebilmektedir. İki aşamalı olan algoritma ise daha hassas ve daha hızlı olma özelliğine sahiptir. Proje çalışması çıktılarından olan bu algoritma da literatüre özgün bir bilimsel katkı olarak değerlendirilmektedir. Böylece kullanım sırasında sürekli değişebilecek olan temizleme tankı yük değerlerine bağlı olarak değişen transducer rezonans frekansı kaymaları otomatik olarak algılanarak, sistem yeni frekans değerine set edilmekte ve temizleme verimliliğinin düşmesine engel olunmaktadır.

Folyo testleri sonucunda, uygun olmayan frekans değerlerinde çalışma durumu ile rezonans frekansı tam olarak yakalandığında ortaya çıkan temizleme profillerini gösteren örnek iki adet fotoğraf sırasıyla Şekil 7.2 ve Şekil 7.3'te verilmiştir. Daha homojen bir temizleme profili elde edilebilme ihtimali için farz farklı çalışma konusu tez çalışmaları kapsamında araştırılmak istendi. Bunun için 12 elemanlı büyük temizleme tankı imal ettirilmiştir. Dörderli gruplar halinde 3 adet transducer gurubu farklı faz farkı ve frekans değerlerinde sürülmek istenmiştir.

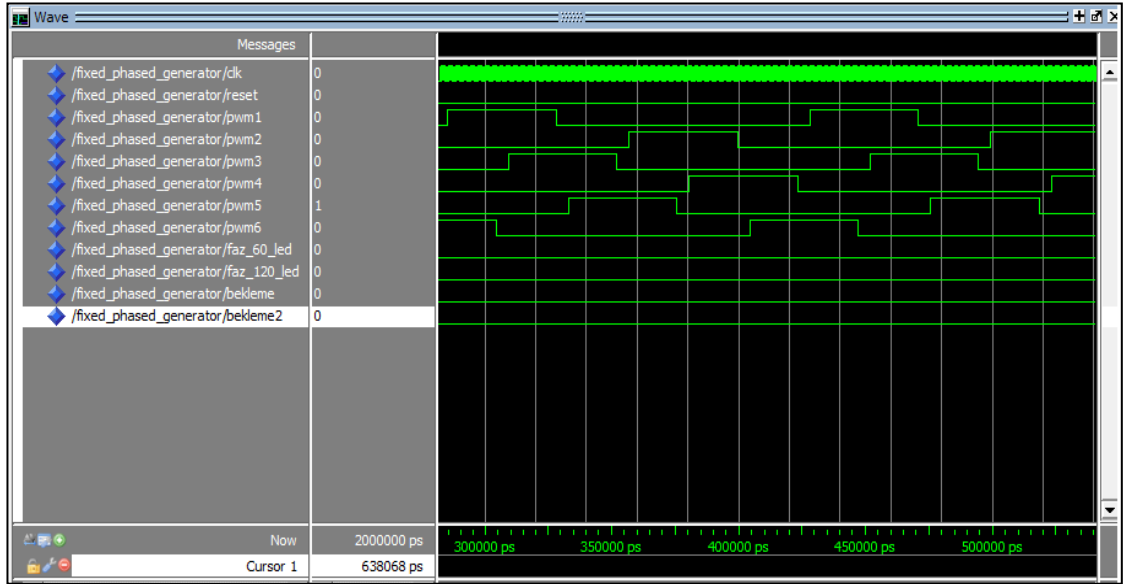


Şekil 7.2: Folyo testi sonucu elde edilen ve homojen olmayan bir temizleme profilinin görüntüsü

Faz farklı çalışma modları için geliştirilen VHDL kodunun benzetimleri Modelim simülatörü üzerinde gerçekleştirilmiştir. Benzetim çıktıları Şekil 7.4 ve Şekil 7.5 'te verilmiştir. Şekil 7.4 incelenecek olursa, her biri dört elemanlı üç ayrı transducer gurubu için üretilen üç çift PWM işaretleri arasındaki sabit faz farkı açıkça gözlemlenebilir.

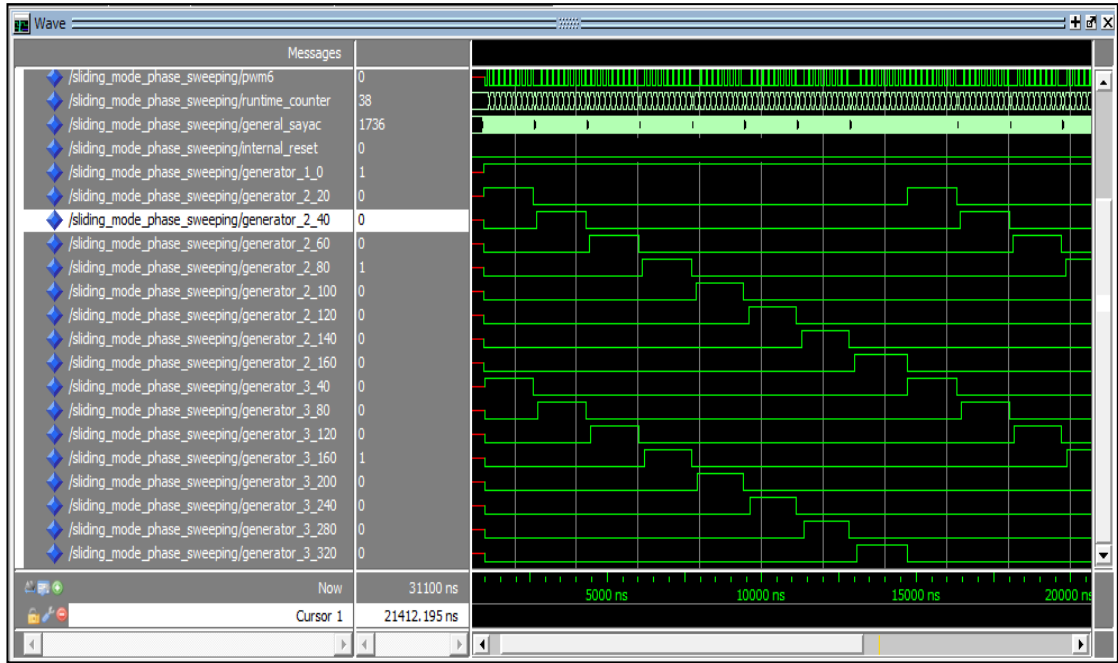


Şekil 7.3: Folyo testi sonucu elde edilen ve nispeten homojen sayılabilecek bir temizleme profilinin görüntüsü



Şekil 7.4: Sabit faz farklı çalışma modelsim çıktıları

Değişken faz kaymalı çalışma için geliştirilen VHDL kodun modelsim çıktıları Şekil 7.5’de verildiği gibidir. Şekil 7.5 incelenecek olursa, üretilen PWM işaret çiftleri arasındaki faz farkının referans olan ilk işaret çiftine göre ikinci işaret çiftinde 20°, 40°, 60°,...,160° ve üçüncü işaret çiftinde 40°, 80°,120°,...,320° faz farkı değerleriyle değişiklik gösterdiği gözlemlenebilir. Bu değişim, modelsim çıktısı üzerinden de gözlemlenebildiği üzere küçükten büyüğe doğru değişim gösterirken maksimum faz farkına ulaşmasının ardından tekrar başa dönerek periyodik bir çalışma göstermektedir.



Şekil 7.5: Değişken faz farklı çalışma için modelsim çıktıları

Aynı kazan altına monte edilmiş transducer guruplarından biri enerjilendirilip diğerleri sessiz kaldığında, sessiz kalanların (PWM sürümü o an için yapılmamış olanlar) metal tabandaki titreşimleri algılayıp bu sefer tersine gerilim üreten birer dönüştürücüler olarak çalışması, o an beklemede olan transducer guruplarının bağlı olduğu güç kartlarına ters yönde beklendiğinden fazla gerilim uygulanmasına sebep olmuştur. Bu gürültü problemi ise güç devrelerinde istenmeyen zamanlarda her iki güç mosfetinin aynı anda anahtarlanmasına sebep olmuştur. Bu nedenle her test sonrasında en az 2 güç kartının sigortasının atması durumuyla karşı karşıya kalınmıştır. Sadece sigorta değil her iki güç mosfeti de maalesef bu problemden

dolayı yanmaktadır. Testler neticesi ortaya çıkan bu istenmeyen durum, tezin desteklendiği TÜBİTAK proje önerisindeki “farklı faz veya frekanslarda çalışan ama aynı kazan altına yerleştirilmiş transducer guruplarının farklı senaryolarla sürülmesi” olan özgün yöntemden şimdilik vazgeçilmesine sebep olmuştur. Ancak daldırmalı tip transducer gurupları aynı kazan içinde kullanıldığı takdirde bu istenmeyen, mekanik enerjiden elektrik enerjisi üretilmesi ve bunun da istenmeyen gürültü işaretleri oluşturarak en az iki güç kartını devre dışı bırakması probleminin yaşanmayacağı tahmin edilmektedir. Çünkü sıvı üzerinden alınan mekanik titreşimin oluşturacağı etki ile metal yüzey üzerinden direkt olarak alınacak olan mekanik titreşimin etki gücünün aynı olmayacağı düşünülmektedir. Tezin desteklendiği TÜBİTAK projesi bu nedenle B planı ile başarılı bir biçimde sonuçlanmıştır denilebilir. Ama test sonuçları şimdilik istenen sonuçları vermese de A planındaki hedeflere yönelik bütün algoritma ve kod çalışmaları başarıyla tamamlanmıştır. Hem Modelsim benzetimlerinde hem de osiloskop görüntülerinde güç mosfet gate'lerine uygulanan işaretlerin çok temiz bir şekilde istenilen faz farklarında ve genlik düzeylerinde üretilebildiği gözlenmiştir. Bu kodlar ileriki çalışmalarda (daldırmalı tip ultrasonik temizleme makinesi tasarımlarında) veya başka PWM uygulama alanlarında kullanılmak üzere literatüre sunulmuş oldu.

BÖLÜM 8. SONUÇLAR VE ÖNERİLER

Sonuç olarak tez çalışmaları sonucunda FPGA tabanlı çok fonksiyonlu bir ultrasonik temizleme makinesinin prototip tasarımı, üretimi ve testleri gerçekleştirilmiş oldu. Bu fonksiyonlar üç ana kategoride listelenebilir:

1. Dört bağımsız ultrasonik temizleme tankını birbirinden farklı frekans ve güç değerlerinde manuel olarak ayarlamak suretiyle çalıştırabilen bir ultrasonik jeneratör prototipi olması,
2. Dört bağımsız ultrasonik temizleme tankının rezonans frekanslarını otomatik olarak algılayarak uygun çalışma frekanslarına set edebilen bir jeneratör prototipi olması,
3. Tek bir temizleme tankı altına yerleştirilmiş transducer gruplarını farklı fazlarda, frekanslarda ve güç değerlerinde sürebilen bir jeneratör olması. Ancak testler sırasında bu tekniğin bulgular ve tartışma bölümünde açıklanan problemler sebebiyle başarılı sonuç vermediği ortaya çıkmıştır. İleriki çalışmalarda aynı kazan içine daldırılmalı tip (immersible type) transducer'lar yerleştirilmesi durumunda bu tekniğin başarılı olacağı tahmin edilmektedir.

Manuel ve Otomatik mode olarak adlandırılan, yukarıda 1, 2 ve 3 numaralı prototiplerin tasarımında bütün sayısal donanım ve kontrol algoritmaları sadece tek bir FPGA yongası üzerinde esnek tasarım yöntemleri kullanılarak gerçekleştirilmiştir. Aynı fiziksel donanım kullanılarak, sadece VHDL kodları değiştirilerek üç farklı prototip elde edilebilmektedir. Bu FPGA teknolojisinin sunduğu bir avantajdır. Bu proje çalışması sonucunda ultrasonik temizleme sistemleri için özgün bir tasarım yöntemi literatüre sunulmuş oldu. Tez çalışmaları sonucu itibariyle, Altera Cyclone II ailesinden bir adet EP2C5T144C8 nolu FPGA yongası, kaynak kapasitesi bakımından sayısal tasarımın gerçekleşmesi için yeterli olmuştur. Ön çalışmalar sırasında ise Altera ve Xilinx firmasının deneme kitleri kullanılmıştır.

Flow Summary	
Flow Status	Successful - Sat Feb 12 13:37:33 2011
Quartus II Version	9.1 Build 350 03/24/2010 SP 2 SJ Web Edition
Revision Name	manuel_machine
Top-level Entity Name	manuel_machine
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	2,989 / 4,608 (65 %)
Total combinational functions	2,985 / 4,608 (65 %)
Dedicated logic registers	771 / 4,608 (17 %)
Total registers	771
Total pins	30 / 89 (34 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

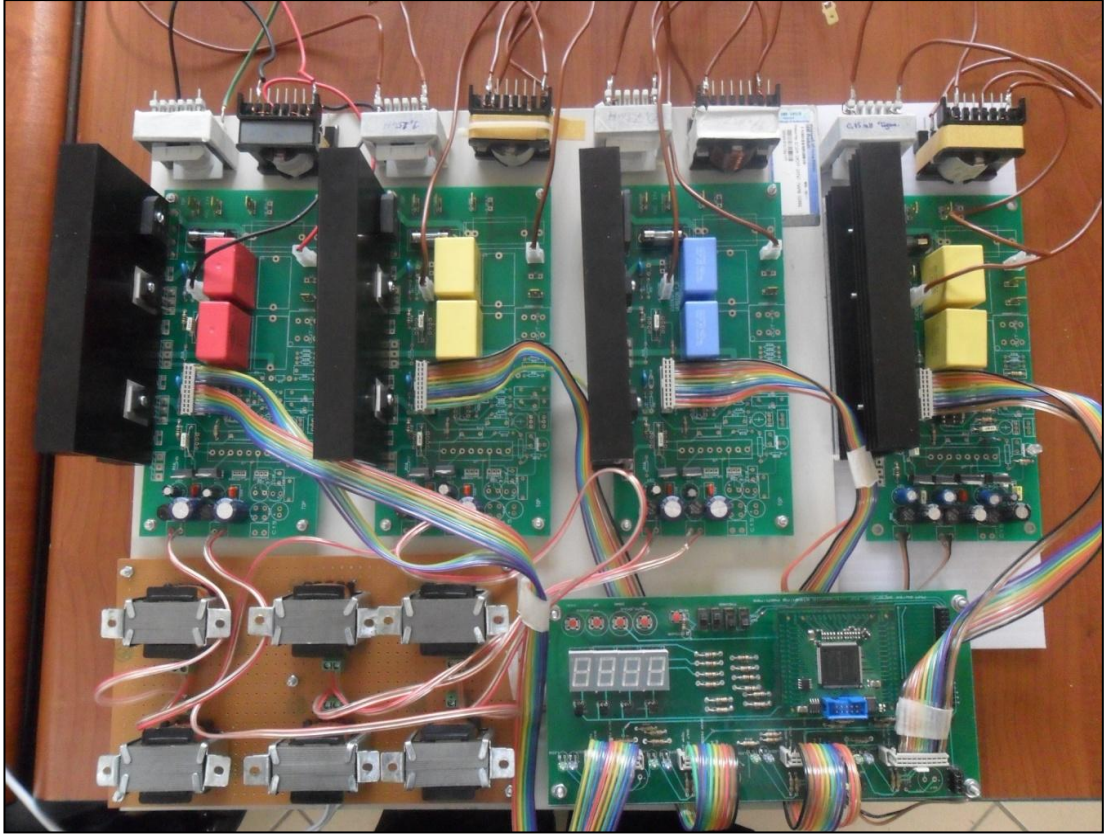
Şekil 8.1: Manuel çalışma modu için FPGA kaynak kullanımı

Manuel çalışma modu için FPGA üzerinde kullanılan kaynak kapasitesi Şekil 8.1 de görüldüğü gibi %65 iken bu oran otomatik çalışma modunda Şekil 8.2 de görüldüğü gibi %98 olmuştur.

Flow Summary	
Flow Status	Successful - Sat Feb 12 13:24:20 2011
Quartus II Version	9.1 Build 350 03/24/2010 SP 2 SJ Web Edition
Revision Name	deneme
Top-level Entity Name	deneme
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	No
Total logic elements	4,288 / 4,608 (93 %)
Total combinational functions	4,242 / 4,608 (92 %)
Dedicated logic registers	1,144 / 4,608 (25 %)
Total registers	1144
Total pins	72 / 89 (81 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

Şekil 8.2: Otomatik çalışma modu için FPGA kaynak kullanımı

Tasarımı ve üretimi tamamlanan prototip temizleme sistemine ait jeneratör donanımının analog ve sayısal tüm birimlerini içeren fotoğrafı Şekil 5.3 de gösterilmiştir. Temizleme kazanı bu fotoğrafta yer almamaktadır. Şekil üzerinde 4 adet sürücü ve güç kartı modülleri, karma sinyal geri besleme ünitesi ve FPGA tabanlı sayısal donanım ve kontrol kartı görülmektedir. Tez çalışmalarında kullanılan temizleme kazanlarının fotoğrafları ise eklerde yer almaktadır.



Şekil 8.3: Prototip ultrasonik temizleme sistemi elektronik donanımına ait fotoğraf

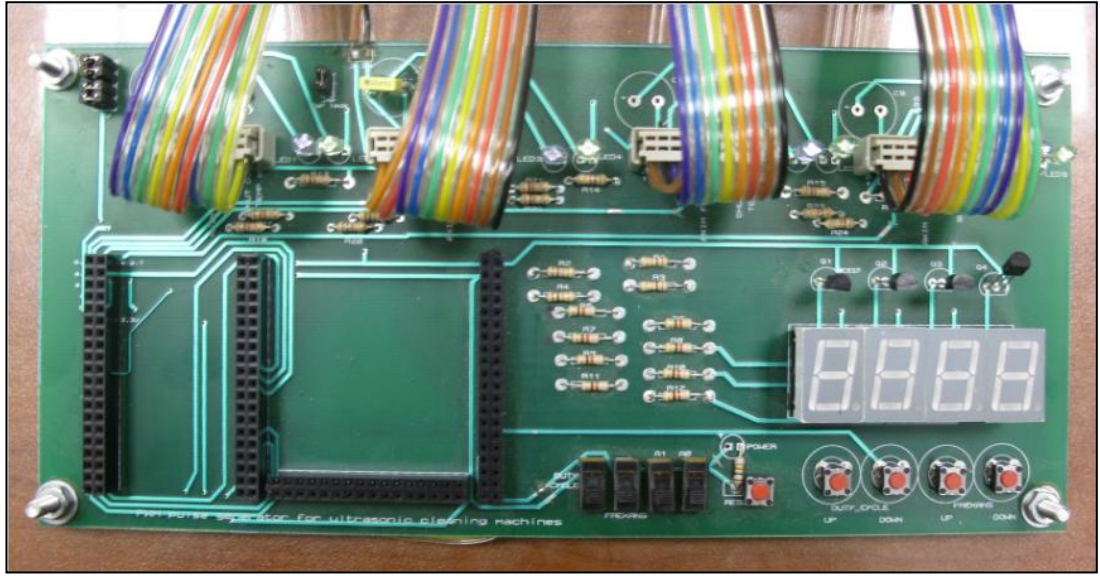
KAYNAKLAR

- [1] www.ctgclean.com/wp-content/uploads/Fundamentals-ofUltrasonics.PDF(**Ziyaret tarihi: 12.03.2011**)
- [2] <http://tr.wikipedia.org/wiki/Ultrason>(**Ziyaret tarihi: 02.03.2011**)
- [3] <http://en.wikipedia.org/wiki/Ultrasound>(**Ziyaret tarihi: 02.03.2011**)
- [4] Novelline, R., (1997). *Squire's Fundamentals of Radiology* (5th ed.). **Harvard University Press**. pp. 34–35.
- [5] *Ultrasonic Cleaning: Fundamental Theory and Application*, **Blackstone Ney Ultrasonics**, By F. John Fuchs.
- [6] http://www.emo.org.tr/ekler/0308d73972d8dd5_ek.pdf?dergi=414(**Ziyaret tarihi: 07.03.2011**)
- [7] Ay, İ., Anaç, N., “Ultrasonik Yöntemle Parça Temizleme” Balıkesir Üniversitesi, **IV. Mühendislik-Mimarlık Sempozyumu**, 229-241, (2002).
- [8] David, J., Cheeke, N., “Fundamentals and Applications of Ultrasonic Waves”, **CRC Press**, (2002).
- [9] Ensminger, D., “Ultrasonics: Fundamentals, Technology, Applications”, Marcel Dekker, (1998).
- [10] Kocis, S., Figura, Z., “Ultrasonic Measurements and Technologies”, **Chapman&Hall Science Limited Translation**, (1996).
- [11] Yakut, M., Tangel, A., Tangel, C., “A microcontroller-based generator design for ultrasonic cleaning machines”, **ISTANBUL UNIVERSITY-Journal of Electrical and Electronics Engineers**, Vol.9 (1), pp. 853-860, 2009.
- [12] Guvenc, U., Yakut, M., Tangel, A., “Ultrasonik temizlik sistemlerinde rezonans frekansı tespiti için yinelemeli frekans bandı tarama tekniği”, **Gömülü Sistemler ve Uygulamaları Sempozyumu - GÖMSİS 2010**, İstanbul Teknik Üniversitesi, 4-5 Kasım 2010, İstanbul, sayfa21.
- [13] Tangel, A., Yakut, M., Afacan, E., Guvenc, U., Sengul, H., **2010 International Conference on Applied Electronics** (September 2010), pg. 1-4, “An FPGA- based multiple-output PWM pulse generator for ultrasonic cleaning machines”,
- [14] Tangel, A., Yakut, M., Guvenc, U., “FPGA based resonance frequency detection algorithm for piezoelectric transducers”, **IWPMA 2010**, Antalya Turkey,

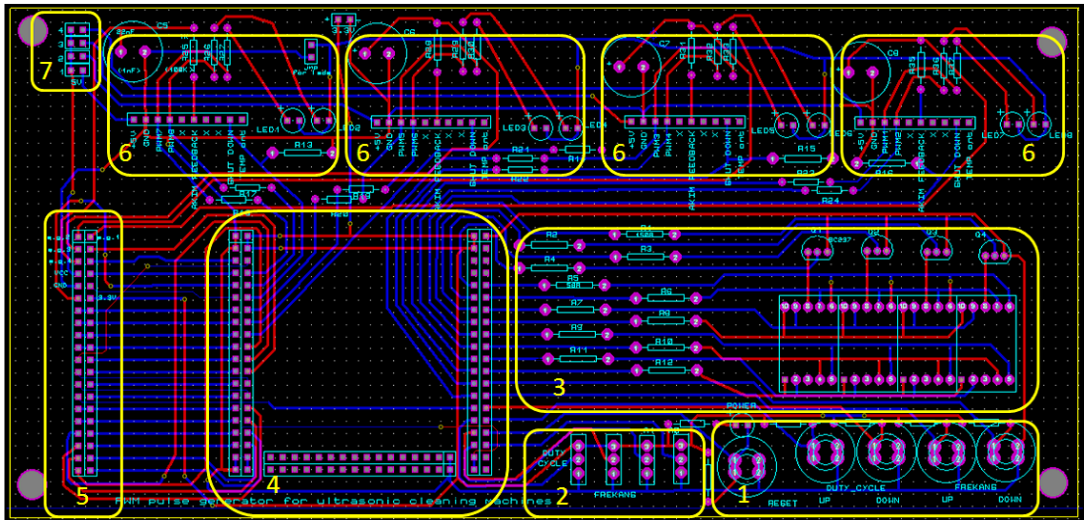
- [9] Hancock, J., (1994) “Ultrasonic Cleaning”, ASM Handbook, Volume 5, **Surface Engineering**, pp. 44-47.
- [10] <http://hyperphysics.phy-astr.gsu.edu/Hbase/tables/soundv.html#c1> (**Ziyaret Tarihi: 20.04.2009**)
- [11] Award, S., PhD;(1996), “Ultrasonic Cavitations and Precision Cleaning”, **Precision Cleaning Magazine**.
- [12] Khmelev, V. N., Barsukov, R. V., Tsyganok, S. N., Slivin, A. N., Levin, S. V., “The Device of Ultrasonic Cleaning of Automobile Injectors”, **4th Siberian Russian Workshop and Tutorials EDM’2003**, III, (2003).
- [13] Papadakis, E. P., “Ultrasonic Instruments and Devices”, **Academic Press**, (2000).
- [14] Arnau, A., “Piezoelectric Transducers and Applications”, **Springer Verlag**, (2008).
- [15] Pong, P., C., “FPGA Prototyping by VHDL Examples”, Xilinx SpartanTM-3 Version, **John Wiley & Sons**, 88-93 ve 118-122, (2008).
- [16] Kilts, S., “Advanced FPGA Design: Architecture, Implementation, and Optimization”, Edition 1, **Wiley-IEEE Press**, 139-149 Reset Circuits, (2007).

EKLER

Bu bölümde, tezin diğer kısımlarında anlatılan konu başlıklarının somut çıktılarını göstermek amacıyla çeşitli şekiller bulunmaktadır.



A1: FPGA tabanlı sayısal donanım kartı üretim ve montaj sonrası fotoğrafı



A2: FPGA tabanlı sayısal donanım kartı PCB serim şeması



A3: 38-48 KHz arası her biri deęişik rezonans frekanslarında alıřan 4 adet temizlik tankı



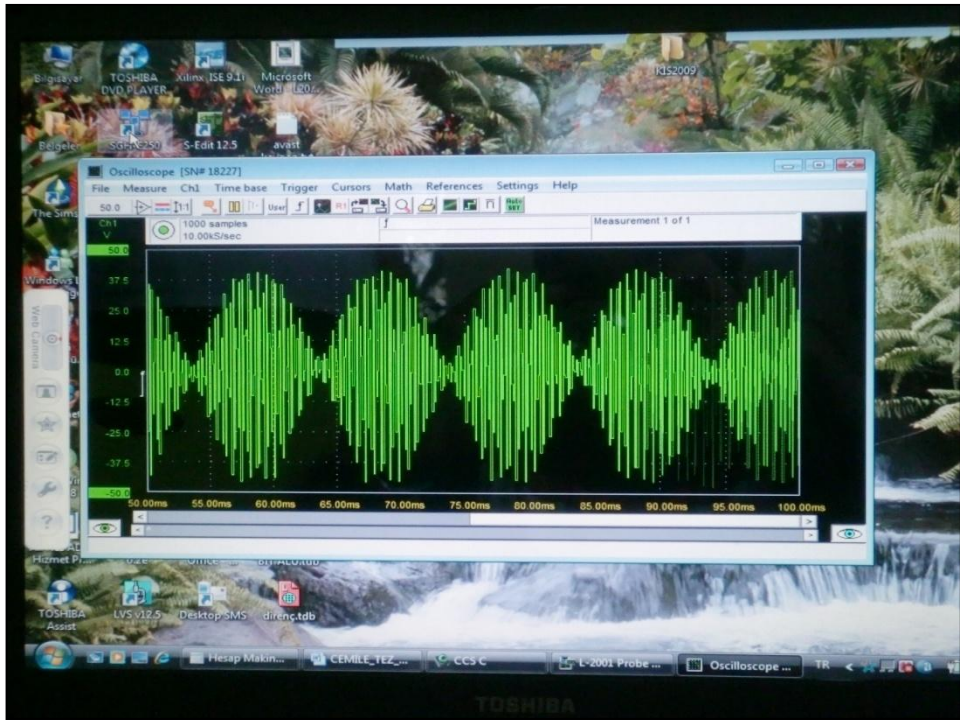
A4: Farz farklı alıřmalar iin yaptırılmıř 12 transducer elemanlı temizlik tankının fotoėrafı



A5: Ultrasonik transducer'ların temizlik kazanı altına monte edilmiş hali



A6: Ölçüm probu test düzeneği



A7: Ölçüm probu yoluyla sıvı üzerinden gözlenen ultrasonik işaret

ÖZGEÇMİŞ

1986 yılında M.K.Paşa Bursa’da doğdu. İlk, orta ve lise öğrenimini Kocaeli’nde tamamladı. 2005 yılında girdiği Kocaeli Üniversitesi Mühendislik Fakültesi Elektronik ve Haberleşme Mühendisliği Bölümü’nden 2009 yılında, Elektronik ve Haberleşme Mühendisi olarak mezun oldu. Aynı yılın Eylül ayında Kocaeli Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Haberleşme Mühendisliği Anabilim Dalında Yüksek Lisans öğrenimine başladı. Yüksek Lisans öğrenimi sırasında 109E295 numaralı TÜBİTAK 1002 Hızlı Destek projesi içerisinde tam zamanlı burslu araştırmacı yüksek lisans öğrencisi olarak çalıştı. Bu süreçte gerçekleştirdiği çalışmaların sonucu olarak çeşitli ulusal ve uluslararası dergi ve konferanslarda makale ve bildirimler yayımladı. Aynı zamanda yüksek lisans tez konusu olan 12 ay süreli bu çalışmanın başarıyla sona ermesinin ardından SVS Telekom bünyesinde Ar-Ge Projeleri Koordinatörü olarak profesyonel meslek kariyerine başladı ve hali hazırda aynı görevini sürdürmektedir. Kocaeli Üniversite Mikroelektronik-VLSI laboratuvarı Ar-Ge çalışmalarında gönüllü olarak yer almakta ve meslek hayatında edindiği tecrübeleri lisans öğrencileri ile paylaşmaktadır.