

KOCAELİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ
ANABİLİM DALI

YÜKSEK LİSANS TEZİ

PASİF AKUSTİK KONUM BELİRLEYİCİ DONANIMI
TASARIMI

Çağın TÜRKÖĞLU

KOCAELİ 2014

**KOCAELİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ
ANABİLİM DALI**

YÜKSEK LİSANS TEZİ

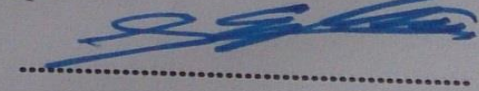
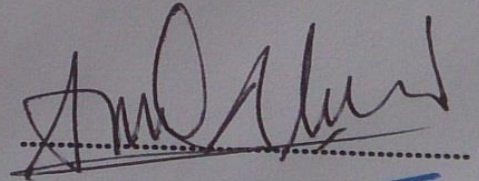
**PASİF AKUSTİK KONUM BELİRLEYİCİ DONANIMI
TASARIMI**

ÇAĞIN TÜRKOĞLU

**Yrd.Doç.Dr. Anıl ÇELEBİ
Danışman, Kocaeli Üniv.**

**Prof.Dr. Sarp ERTÜRK
Jüri Üyesi, Kocaeli Üniv.**

**Doç.Dr. Mürvet KIRCI
Jüri Üyesi, İTÜ**



Tezin Savunulduğu Tarih: 20.01.2014

ÖNSÖZ ve TEŞEKKÜR

Bu tezde bir ses kaynağının konumunu tespit edecek donanımın tasarlanması ile ilgili çalışmamın bu konuda benden sonra çalışacak diğer insanlara faydalı olmasını temenni ederim.

Öncelikle tez konumun belirlenmesinde ve böylesine önemli bir projede bana yer verdiği için Prof. Dr. Sarp Ertürk'e teşekkürü bir borç bilirim.

Başta danışmanım Yard. Doç Dr. Anıl Çelebi olmak üzere Yard. Doç. Dr. Kemal Güllü' ye, tezimin ve projenin her adımında yardımda buldukları için teşekkür ederim. Ayrıca her adımında arkamda olan aileme sonsuz şükranlarımı sunarım.

Ocak - 2014

Çağın TÜRKOĞLU

İÇİNDEKİLER

ÖNSÖZ VE TEŞEKKÜR	i
İÇİNDEKİLER	ii
ŞEKİLLER DİZİNİ.....	iii
TABLolar DİZİNİ	v
SİMGELER DİZİNİ VE KISALTMALAR	vi
ÖZET.....	vii
ABSTRACT.....	viii
GİRİŞ	1
1. SES KAYNAĞI TESPİTİNİN MATEMATİKSEL TEMELİ.....	2
2. DONANIM MİMARİSİ.....	4
2.1. Giriş Katı	5
2.1.1. XLR Bağlantı elemanı	5
2.1.2. Farksal hatlar.....	6
2.1.3. Ön kuvvetlendirici devresi.....	6
2.2. Kuvvetlendirici Katmanı	10
2.3. Analog Sayısal Çevrim.....	14
2.3.1. ADC Yongası ve çevre donanımları.....	14
2.4. FPGA Tabanlı Merkezi İşlem Birimi.....	18
2.4.1. FPGA Mimarisi.....	18
2.4.2. FPGA Çevre birimleri.....	22
2.4.2.1. FPGA Reset devresi ve saat sinyali üretici	22
2.4.2.2. FPGA HSWEN ve M[1:0] Konfigürasyonu.....	23
2.4.2.3. FPGA SPI Flash bağlantısı	24
2.5. Haberleşme Katmanı	26
2.5.1. Ethernet ara yüzü	27
2.5.2. USB Ara yüzü	28
2.6. Güç Katmanı	32
2.6.1. Gerilimler ve güç gereksinimi	32
2.6.2. Giriş devresi.....	33
2.6.3. Gerilim düzenleyiciler	34
3. PCB TASARIMI	38
3.1. Şematik Tasarım İlkeleri	38
3.2. PCB Katman Dizilimleri	39
3.3. Eleman Yerleşimi.....	41
3.4. Kartın Yollandırılması.....	43
4. TASARIM DOĞRULAMA VE GEÇERLEME.....	50
SONUÇLAR VE ÖNERİLER	58
KAYNAKLAR	59
KİŞİSEL YAYINLAR VE ESERLER	61
ÖZGEÇMİŞ	62

ŞEKİLLER DİZİNİ

Şekil 1.1. Ses Kaynağının yönünün saptanması	2
Şekil 2.1. Ses bilgisinin sistem üzerindeki ilerleme yönü ve sıralı işlem katları	4
Şekil 2.2. Tasarlanan sistemin yüksek seviyeli görünümü	5
Şekil 2.3. a) XLR Konnektörün görünümü, b) XLR konektöre ait 3 bağlantı ucunun işlevi.....	6
Şekil 2.4. Mikrofonlar ve kuvvetlendirici arasında bulunacak önkuvvetlendiriciye ait devre şeması	7
Şekil 2.5. Önkuvvetlendirici giriş devresi olarak tasarlanan devrenin benzetim ortamında incelenmesi	8
Şekil 2.6. Kaynak üzerindeki ve DC-Filtreleme işlemi sonrası işaret seviyeleri.....	9
Şekil 2.7. Kaynak üzerindeki ve köprü diyot çıkışındaki işaret seviyeleri.....	10
Şekil 2.8. a) Örnek bir kuvvetlendiricinin devrenin şeması, b) Çıkış işaretinin kırılma durumu	11
Şekil 2.9. PGA2500 içyapısı ve bacak bağlantıları	12
Şekil 2.10. PGA2500 Seri haberleşme zamanlamaları ve ayar bitlerinin gönderiliş sırası.....	13
Şekil 2.11. PGA2500 Zincirleme cihaz programlama için gereken paket yapısı ve işaret zamanlamaları.....	13
Şekil 2.12. PCM4204 içyapısı, bacak isimlendirmeleri ve içyapıya bağlantıları	15
Şekil 2.13. a) İki ADC için Osilatör bağlantıları b) Saat kaynaklarının dağılımı.	16
Şekil 2.14. Dilim yapısı	19
Şekil 2.15. CLB'nin içyapısı.....	20
Şekil 2.16. LX150T FPGA'ya ait 4 adet bankın yerleşimi.....	21
Şekil 2.17. a) Reset devresinin FPGA ile bağlantısı b) 100 MHz Saat üretici devresinin FPGA ile bağlantısı.....	22
Şekil 2.18. a) HSWAPEN bağlantısı b) M0 bağlantısı c) M1 bağlantısı.....	23
Şekil 2.19. Quad SPI özelliğinin ISE arayüzü üzerinden aktif edilmesi	24
Şekil 2.20. SPI Flash devreye bağlantısı.....	25
Şekil 2.21. JTAG Programlama soketi ve bağlantıları	26
Şekil 2.22. DP83865 bağlantı uçları ve FPGA bağlantıları.....	28
Şekil 2.23. a) USB-B tipi bağlantı elemanının görünümü, b) USB uçlarının PHY entegresine bağlantısı.....	29
Şekil 2.24. USB-UART Çevirici devre ve çevre birimleri	30
Şekil 2.25. EEPROM ünitesinin FT232H yongasına bağlantısı	32
Şekil 2.26. Giriş devresi ve koruyucu elemanlar	33
Şekil 2.27. a) Alçak geçiren giriş süzgeci için analiz devresi b) Alçak geçiren süzgeç için AC analiz sonuçları.....	35
Şekil 2.28. Giriş geriliminden üretilecek gerilimler, düzenleyici modelleri ve en yüksek akım değerleri	36

Şekil 3.1.	Tasarlanan sistemin elektronik kartına ait PCB katmanlarının yerleşimi ve katman isimlendirmesi	40
Şekil 3.2.	APPCAD programı ile 50 Ω öz-empedansa sahip olması gereken hatların yol kalınlıklarının hesaplanması.....	41
Şekil 3.3.	Kart üzerindeki farklı donanım bölgelerinin gösterilmesi için oluşturulmuş alanlar.....	42
Şekil 3.4.	Çizilebilecek en düşük mesafeler ile kurallar tablosunun oluşturulması.....	43
Şekil 3.5.	FPGA bacakları için önerilen yüzey genişliği ve bu yüzeylere bağlanması önerilen VIA, lehim maskesi ölçüleri [19].....	44
Şekil 3.6.	Ethernet PHY yongası ve Ethernet konektörü arasında bağlantıyı sağlayan farksal hatlar	45
Şekil 3.7.	Kartın üst yüzey katmanının genel görünümü.....	46
Şekil 3.8.	Kartın toprak katmanı kat-2 nin genel görünümü	46
Şekil 3.9.	Kartın sinyal-1 katmanı kat 3 genel görünümü	47
Şekil 3.10.	Kartın güç-1 katmanı kat 4 genel görünümü	47
Şekil 3.11.	Kartın güç-2 katmanı kat 5 genel görünümü	48
Şekil 3.12.	Kartın sinyal-2 katmanı kat 6 genel görünümü	48
Şekil 3.13.	Kartın toprak-2 katmanı kat 7 genel görünümü.....	49
Şekil 3.14.	Kartın alt yüzey katmanı kat 8 genel görünümü.....	49
Şekil 4.1.	Üretim sonrası kartların dizgi yapılmamış görüntüsü	50
Şekil 4.2.	Üretim sonrası kartların temel bileşenlerinin dizgisinin tamamlanmış haldeki görüntüsü	51
Şekil 4.3.	Dizgisi tamamlanmış kartın görünümü ve mikrofonların, Ethernet kablosunun karta bağlantısı.....	51
Şekil 4.4.	Phantom gerilimi ile beslenmiş DC offsetli mikrofon işaretlerinin DC modda osiloskop ekranında görüntülenmesi.....	52
Şekil 4.5.	1KHz mikrofon işaretlerin AC modda osiloskop ekranında gözlenmesi	53
Şekil 4.6.	PGA çıkışlarındaki 1 Khz frekansındaki işaretlerin farksal olarak osiloskop ekranında görüntülenmesi.	53
Şekil 4.7.	Ses bilgisinin Ethernet üzerinden alındığının Wireshark programı üzerinden doğrulanması.	54
Şekil 4.8.	Dosyaya yazdırılan 1 kHz ses bilgisinin MATLAB ekranında görselleştirilmesi.....	54
Şekil 4.9.	Elde edilen ses işaretinin frekans spektrumunun MATLAB ekranında incelenmesi	55
Şekil 4.10.	Elektronik kartın alüminyum kutu içerisindeki görünümü.....	56
Şekil 4.11.	Donanımın kutu içerisinde önden görünümü	56
Şekil 4.12.	Donanımın kutu içerisinde arka görünümü	56
Şekil 4.13.	Donanımın kutu içerisinde önden görünümü	57

TABLolar DİZİNİ

Tablo 2.1. FS uçlarının deęişimine göre fonksiyonların deęişimi.....	17
Tablo 2.2. Spartan-6 FPGA Başlatma Biçimleri.....	24
Tablo 2.3. FT232H Pin İşlevleri	31
Tablo 2.4. Gerilim – Donanım Dağılımı.....	35
Tablo 2.5. Donanımlara göre güç dağılımı	37

SİMGELER DİZİNİ VE KISALTMALAR

C	: Kondansatör
F	: Farad
H	: Henry
I	: Akım (A)
L	: Bobin
R	: Direnç
U	: Entegre
V	: Volt
W	: Watt (J/s)

Kısaltmalar

AC	: Alternating Current (Alternatif Akım)
ADC	: Analog to Digital Converter (Analog Sayısal Çevirici)
CPLD	: Complex Programmable Devices (Karmaşık Programlanabilir Aygıt)
CS	: Chip Select (Cihaz Seçimi)
DC	: Direct Current (Doğru Akım)
DSP	: Digital Signal Processor (Sayısal İşaret İşlemcisi)
E/D	: Aktif / Pasif
EEPROM	: Electrically Erasable and Programmable Memory (Elektrikle programlanabilir-silinebilir hafıza)
EMI	: Electromagnetic Interference (Elektromanyetik etkileşim)
ESD	: Eletrosatitic Discharge (Elektrostatik boşalma)
FPGA	: Field Programmable Gate Array (Alan Programlanır Kapı dizileri)
G/Ç	: Giriş / Çıkış
PCB	: Printed Circuit Board (Baskılı devre)
PGA	: Programmable Gain Amplifier (Programlanabilir Kazanç Yükseltici)
PHY	: Physical Layer (Fiziksel Katman)
PKK	: Programlanabilir Kazanç Kuvvetlendiricisi
SPI	: Serial Peripheral Interface (Seri donanım arayüzü)
TDOA	: Time Difference Of Arrival (İşaret varış zamanları farkı)
UART	: Universal Asynchronous Receiver Transmitter (Evrensel asenkron alıcı verici)
USB	: Universal Serial Bus (Evrensel Seri Hat)

PASİF AKUSTİK KONUM BELİRLEYİCİ DONANIMI TASARIMI

ÖZET

Bu tez konusunda yedi adet mikrofon kullanarak ses kaynağının 3 boyutlu koordinatlarını tespit edebilen bir sistemin tasarımı gerçekleştirilmiştir. Sistem, işlem birimi olan FPGA yongası ve bu yongaya bağlı çevre donanımlardan oluşur. Ses işaretleri, tasarımı yapılan karta yerleştirilen XLR bağlantılarından alınır. Analog ses işaretlerinin genlikleri programlanabilir kazanç kuvvetlendiricileri ile yükseltilip sayısallaştırıldıktan sonra FPGA birimine aktarılır. Sayısallaştırılmış ses işaretlerinden FPGA içerisinde yürütülen algoritmalar ile ses kaynağının koordinatları gerçek-zamanlı olarak hesaplanır ve alıcı bir bilgisayara iletilir. Sistem tüketici elektroniğinde kullanılabilmeyle birlikte askeri ve savunma alanlarında da yer bulabilir.

Anahtar Kelimeler: Akustik Kaynak Konumu Belirleme, FPGA, Gömülü Sistemler.

HARDWARE DESIGN OF PASSIVE ACOUSTIC SOURCE LOCALIZATION SYSTEM

ABSTRACT

This thesis presents an embedded system that detects the 3-dimensional location of an acoustic source using a seven microphone constellation. The system consists of a field programmable gate array (FPGA) that is used as main processing unit and the necessary peripherals. The sound signals are captured using multiple microphones that are connected to the embedded system using XLR connectors. The analog sound signals are first amplified using programmable gain amplifiers (PGAs) and then digitized before they are provided to the FPGA. The FPGA carries out the computations necessary for the algorithms to detect the acoustic source location in real-time. The system can be used for consumer electronics applications as well as security and defense applications.

Key Words: Acoustic Source Localization, FPGA, Embedded Systems.

GİRİŞ

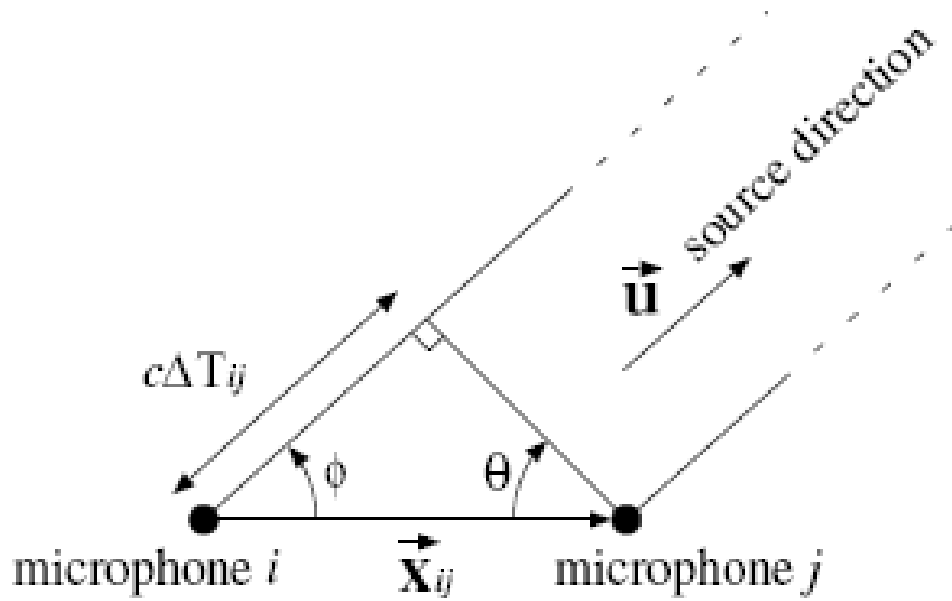
İlerlemeye başladığı ilk andan itibaren teknolojinin temel felsefesi doğayı ve canlıları taklit etmek üzerine yoğunlaşmıştır. Canlıların sahip olduğu duyulardan ve bu duyular ile dış dünyadan gelen mesajlara verdiği tepkilerden esinlenilerek, tasarlanan sistemlerde bu birimler yerini algılayıcılara ve dönüştürücülere bırakmışlardır. Bu anlamda canlı yapılardaki kulak ve işitme sisteminin taklit edilebilmesi için ise mikrofonlar öncelikli algılayıcılar olarak kullanılmıştır.

İnsanın işitme sistemi de dahil olmak üzere bir işaret anlamlandırılırken işaret kaynağının yönünü de tespit etmek isteyen pek çok canlı bu yeteneğe, sahip oldukları en az iki algılayıcı sayesinde kavuşmaktadırlar. Canlıların beyinleri üretilen bir ses işaretinin kaynağını bulmak için ses dalgalarının işitme organlarına geliş süresini ve geldiği anlardaki şiddet farkı bilgisini kullanır. İki algılayıcı kullanarak enerji kaynağının yönünü tespit eden bu canlı sistemler yön bilgisine duyarlı teknolojik sistemlerin temel esin kaynağını oluşturmuştur.

Ses kaynağı tespiti tüketici elektroniği düzeyindeki ses uygulamalarında, kayıt stüdyolarında, çok fazla kişinin konuşmacı olduğu salonlarda, askeri birimlerde ya da güvenlik önleminin alınmasının gerektiği yerlerde kullanılabilir [1]. Tespit işlemi ile birden fazla konuşmacının bulunduğu bir ortamda sadece söz almış kişiye ait sesinin ortama verilmesine ya da kameranin ilgili konuşmacıya doğrultulması sağlanabilir [2]. Yine sesin çok fazla noktadan yansiyarak geldiği ortamlarda yankısız kayıt yapılabilme olanağı sağlanabilir. Güvenlik amaçlı olarak kullanıldığında ise tespit yeteneğine sahip bu cihazlar atış yapan bir silahın nerede olduğunu, patlama noktasının kaynağını bulabilir. Sistem yer kaplamayacak kadar küçültüldüğünde güvenlik amacı ile asker üniformalarına monte edilebilir [3]. Aynı amaçla kullanılan Boomerang isimli tespit cihazı Amerika-Irak ve Pakistan savaşlarında hareketli araçlarda taşınabilir durumda ya da meydanlarda sabit bir şekilde konumlandırılarak kullanılmıştır.

1. SES KAYNAĞI TESPİTİNİN MATEMATİKSEL TEMELİ

Akustik kaynak tespiti ses kaynağından çıkan sesin mikrofonlara farklı zamanlarda ulaşmasını esas alır. Bu mantığı kullanan en yaygın yöntem Sinyal Varış Zamanları Farkıdır (Time Difference of Arrivals-TDOAs).



Şekil 1.1. Ses Kaynağının yönünün saptanması

Sinyal Varış Zamanları Farkı (SVZF) yöntemi kullanıldığında mikrofonlara ulaşan en yüksek genliğe sahip ses işaretleri arasındaki zaman farkı incelenir. Şekil 1.1’de görülen iki mikrofonlu bir sistemde mikrofonlar i ve j ile belirtildiğinde SVZF değerleri ΔT_{ij} şeklinde gösterilebilir. Tasarlanan sistem 7 mikrofonlu olduğundan SVZF değerleri ΔT_{12} den başlayarak ΔT_{18} e kadar sıralanır. Şekil 1.1’de görülen mikrofon sistemine yeterince uzak bir kaynaktan gelen ses dalgaları, ses kaynağı ve mikrofonlar arasındaki açının çok küçük olmasından dolayı birbirine paralel kabul edilebilirler. Bu durumda ses dalgasının izlediği yol farkı ϕ açısından da faydalanılarak Denklem (1.1)’deki gibi olacaktır.

$$\cos\phi = \frac{\vec{u} \cdot \vec{x}_{ij}}{|\vec{u}| |\vec{x}_{ij}|} = \frac{c\Delta T_{ij}}{|\vec{x}_{ij}|} \quad (1.1)$$

olup, buradan;

$$\vec{u} \cdot \vec{x}_{ij} = c\Delta T_{ij} \quad (1.2)$$

elde edilmektedir. Denklem (1.2)'den faydalanarak Denklem (1.3) elde edilebilir.

$$u(x_j - x_i) + v(y_j - y_i) + w(z_j - z_i) = c\Delta T_{ij} \quad (1.3)$$

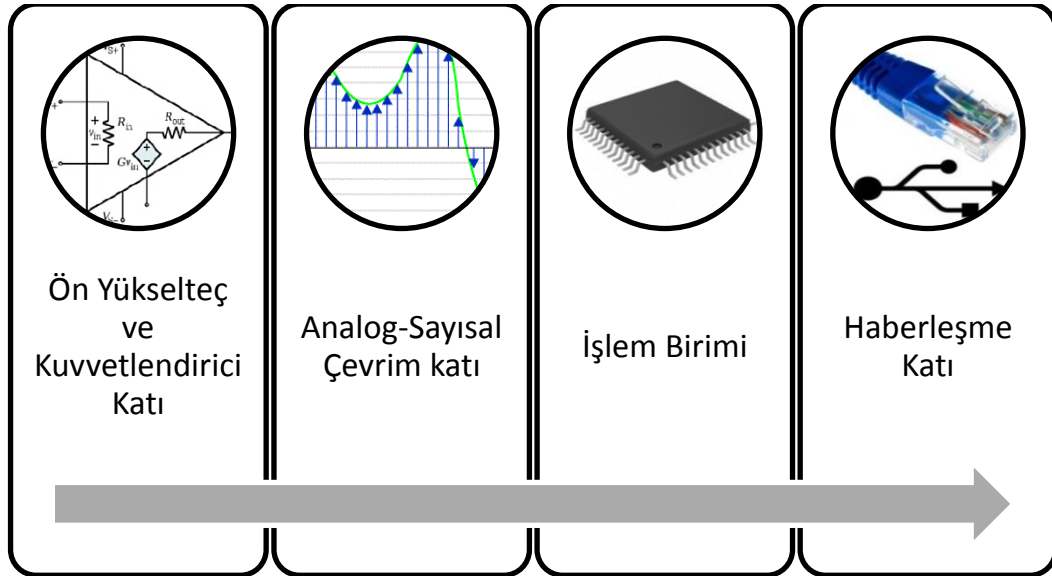
Denklem (1.3)'de u, v, w eksenleri kaynağın vektörlerini gösterirken eşitlik ise mikrofon konumları arasındaki farkı belirtir. Denklem (1.3) 7 mikrofon için düzenlendiğinde Denklem (1.4)'deki matris eşitliği elde edilir.

$$\begin{bmatrix} x_2 - x_1 & y_2 - y_1 & z_2 - z_1 \\ \vdots & \vdots & \vdots \\ x_8 - x_1 & y_8 - y_1 & z_8 - z_1 \end{bmatrix} \begin{bmatrix} u \\ v \\ w \end{bmatrix} = \begin{bmatrix} c\Delta T_{12} \\ \vdots \\ c\Delta T_{18} \end{bmatrix} \quad (1.4)$$

Denklem (1.4)'ün elde edilmesi ile kaynak ve mikrofonlar arasındaki mesafeler tespit edilmiş olur. Elde edilen bu matris eşitliğinde dikkat edilmesi gereken nokta eşitliğin sağ tarafındaki 7 sonuç değerinin hepsinin bir numaralı mikrofonla göre üretilmiş olmasıdır.

2. DONANIM MİMARİSİ

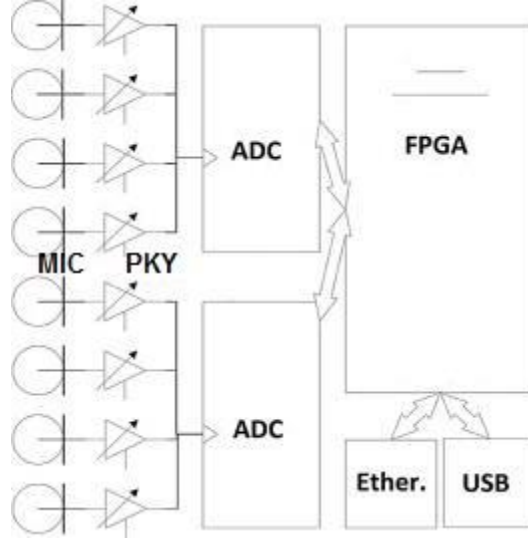
Konum tespit sistemi temel ses işleme sistemlerinde de bulunan dört farklı bölümden oluşmaktadır. Bu bölümlerden birincisi mikrofonlardan alınan ses işaretlerinin genliklerinin yükseltilip ADC'lere (Analog to Digital Converter – Analog Sayısal Dönüştürücü) aktarılacağı bölümdür. Bu kısım ön-kuvvetlendirici ismi ile anılır. Gerilim değerleri belirli bir katsayı ile çarpılan ve yükseltelen işaretler bilginin sayısallaştırılması için ADC yongalarına aktarılmalıdır. Üçüncü aşamada ise sayısal işarete çevrilen analog ses işaretleri konum tespit işleminin yapılması için işlem birimi olarak seçilen FPGA (Field Programable Gate Array - Alan Programlanabilir Kapı Dizileri) yongasına aktarılır. Hesaplamalardan sonra elde edilen konum bilgileri ve ses işaretleri haberleşme katmanı üzerinden kullanıcıya aktarılır. Şekil 2.1'de görüleceği üzere ses işaretleri bu dört aşamayı geçer ve ses işleme süreci tamamlanmış olur.



Şekil 2.1. Ses bilgisinin sistem üzerindeki ilerleme yönü ve sıralı işlem katları

Yedi farklı kanaldan ses bilgilerini toplayacak bir sistem sekiz kanallı tek bir ADC ve yine sekiz kanallı tek bir kuvvetlendirici ile tasarlanabilir. Fakat bu büyüklükte işlemi tek bir birimde yapan yongalar genellikle kanal sayısı çok daha fazla

olan, yüksek performanslı sistemler için uygundur. Bu yüzden bu şekilde bir tasarım maliyet açısından uygun bir tasarım olmayacaktır. Bunun önüne geçebilmek için her kanala bir kuvvetlendirici tahsis edilirken, her dört kanal için ise bir ADC kullanılmıştır. Şekil 2.2’de tasarlanan sisteme ait sekiz mikrofon, sekiz kuvvetlendirici, iki ADC ve ardından bağlanmış FPGA, Ethernet, USB birimleri görülmektedir.



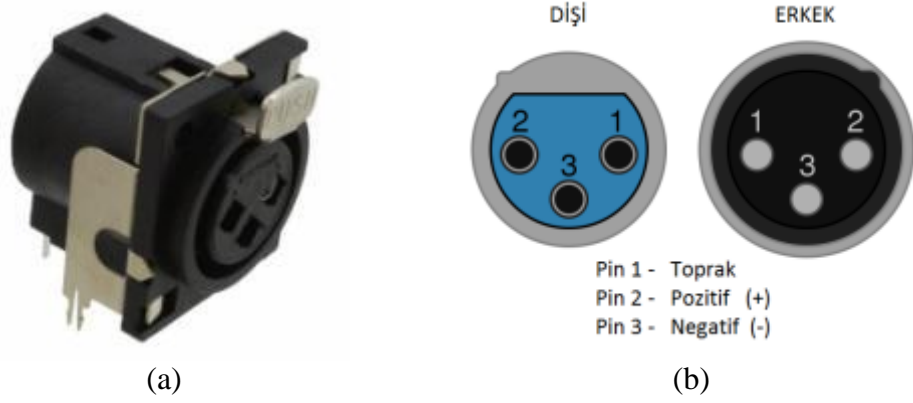
Şekil 2.2. Tasarlanan sistemin yüksek seviyeli görünümü

2.1. Giriş Katı

Donanıma ait giriş katı; mikrofon bağlantıları, ön-kuvvetlendirici devresi ve kuvvetlendirici devrelerinden oluşur.

2.1.1. XLR Bağlantı elemanı

XLR bağlantı elemanları bacak sayısı 3 ile 7 arasında değişen ses, görüntü ve sahne aydınlatması uygulamalarında çok yoğun biçimde kullanılan bir bağlantı elemanıdır. Bacak sayısına göre bağlantı elemanının boyutları IEC 61076-2-103 standartları ile belirlenmiştir. Devre üzerinde kullanılan 3 bacaklı XLR bağlantı elemanının görünümü Şekil 2.3 (a)’da, bacak bağlantısı ise Şekil 2.3 (b)’de gösterilmiştir.



Şekil 2.3. a) XLR Konnektörün görünümü, b) XLR konektöre ait 3 bağlantı ucunun işlevi

2.1.2. Farksal hatlar

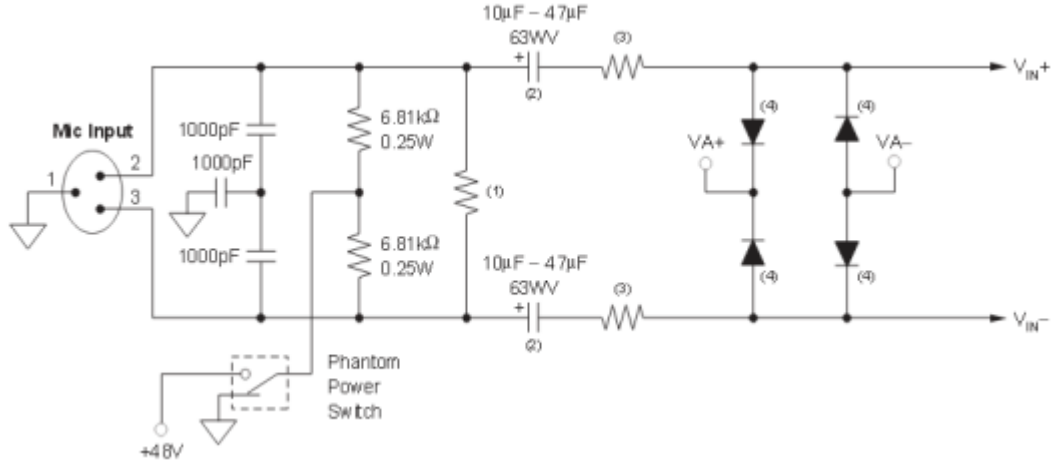
Bilgi sinyallerinin birbirinin toprağa göre tersi olan iki işaret şeklinde gönderilip alıcıda fark alma işleminin uygulanmasıyla bilgi sinyalinin elde edildiği hatlar farksal hatlar olarak tanımlanır. Sinyallerin bu şekilde taşınmasıyla işarete hat üzerinde etki eden gürültü alıcıda azaltılmış olur. Ayrıca alıcı devre gelen işaretlerin toprağa göre olan mutlak gerilim değerleri ile ilgilenmediğinden toprak potansiyelindeki değişimler alıcı devrelerin çalışmasını etkilemez.

Sistem üzerinde farksal hatlar kuvvetlendiriciler ile ADC arasında, Ethernet bağlantı elemanında ve USB bağlantı elemanında kullanılmaktadır.

2.1.3. Ön kuvvetlendirici devresi

Mikrofonlar ve ses kuvvetlendirici devreler arasında besleme, koruma ve filtreleme işlemlerini yapmak üzere bazı ara devreler bulunmalıdır. Bu devre parçaları sistemin güvenilirliği ve çalışma performansı açısından önemlidirler.

Şekil 2.4'de bu tez çalışmasında kullanılan ön-kuvvetlendirici devresi görülmektedir. Devre sol taraftaki girişinden itibaren incelendiğinde öncelikle üç adet kondansatör bulunmaktadır. 1000 pF değerindeki bu kapasiteler EMI (Elektromagnetic Interference, Elektromanyetik Girişim) filtreleme amaçlı kullanılmaktadır. Bu kapasitelerin hemen ardından konulacak filtre devreleri ile gerektiğinde giriş sinyallerindeki düşük ve yüksek frekans bileşenleri uygun biçimde söndürülebilir.



Şekil 2.4. Mikrofonlar ve kuvvetlendirici arasında bulunacak önkuvvetlendiriciye ait devre şeması [6]

Kapasitif mikrofonlar besleme gerilimlerini almak için 48 V DC Phantom gerilimine ihtiyaç duyarlar. 48V luk bu gerilim Şekil 2.4’de 6,81 kΩ değerindeki iki direnç ile farksal hatlara uygulanır. Malzeme seçimi esnasında bu iki direncin gürültü etkisinin en az olması için düşük kaliteli olmamasına dikkat edilmelidir. Kalın film yapılı dirençler yerine ince film kaplamalı dirençler tercih edilmesi işaretlere etki edecek gürültüyü azaltacaktır. Bir diğer dikkat edilmesi gereken unsur ise bu dirençlerin dayanabilecekleri güç miktarıdır.

$$P_{\text{resistor}} = \frac{V^2}{R} \quad (2.1)$$

$$P_{\text{resistor}} = \frac{48^2}{6,81\text{k}\Omega} = 0,338 \text{ W}$$

Denklem (2.1)’de gerilim değeri 48 V ve direnç değeri 6,81 kΩ olarak alındığında dirençler üzerinde harcanacak en yüksek gücün 0,338 W olacağı hesaplanır. Bu devre için 0,25 W bacaklı dirençler ya da 0603 ve üstü boyutta yüzey dizgi dirençler yeterli olacaktır. Direnç toleranslarının %1’i aşmayacak şekilde seçilmesi ile ortak-kip (common-mode) işaretlerinin farksal işaretlere çevrilmesinin önüne geçilmiş olunur [7].

Phantom geriliminin kesilmesi durumunda DC filtre kapasiteleri 6,81 kΩ dirençleri üzerinden boşalır. Bu boşalma süresi Denklem (2.3)’deki gibi kapasite boşalma denklemi kullanılarak;

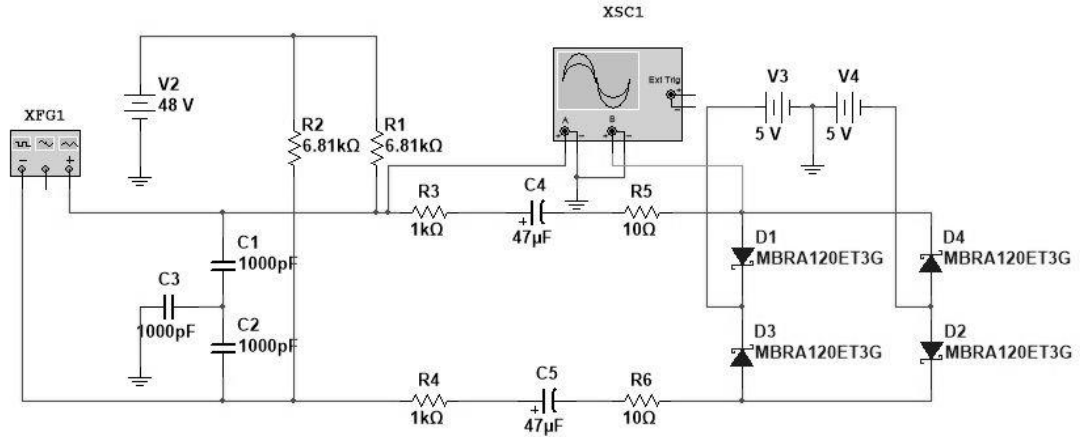
$$t_{\text{boşalma}} = R \times C = 6,81k \times (47 \times 10^{-6}) \quad (2.3)$$

$$t_{\text{boşalma}} = 319,64 \text{ ms}$$

olarak hesaplanır.

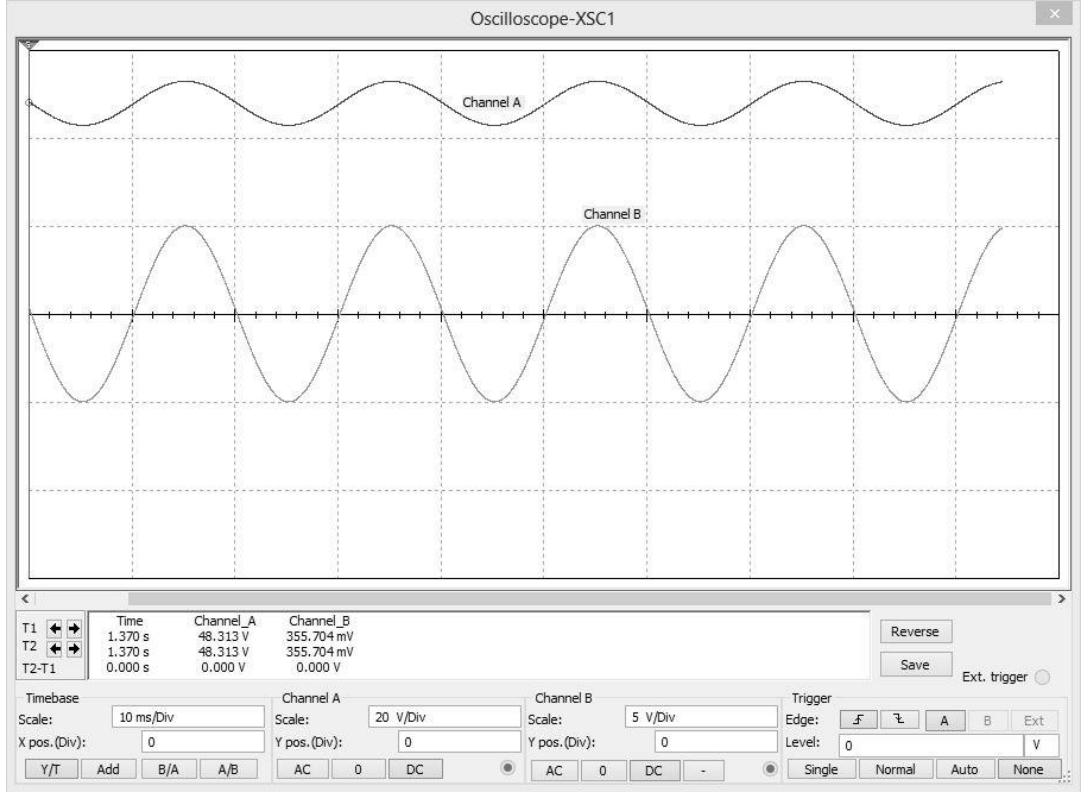
Şekil 2.4'deki giriş devresine gerilim sağlayan phantom gerilimi bir anahtar ile sadece gerektiğinde kullanılır. Harici bir besleme gerilimi isteyen mikrofon tiplerinde bu anahtar kullanılarak phantom gerilimi ile mikrofonlar aktif edilir. Harici bir beslemeye ihtiyaç duymayan mikrofonlara 48 V luk bu gerilimin uygulanması mikrofonlara zarar verebilir.

Phantom gerilimi ile oluşacak bir akımın devrenin kuvvetlendirici yönünde ilerleyip, kuvvetlendirici bacalarına ulaşması da PKK (Programlanabilir kazanç kuvvetlendiricisi) tümdevrelerinde hasara yol açacaktır. Bu nedenle Şekil 2.5'de görülen devre benzetim ortamına aktarılmış ve gerilim koruma devrelerinin çalışması doğrulanmıştır.



Şekil 2.5. Önkuvvetlendirici giriş devresi olarak tasarlanan devrenin benzetim ortamında incelenmesi

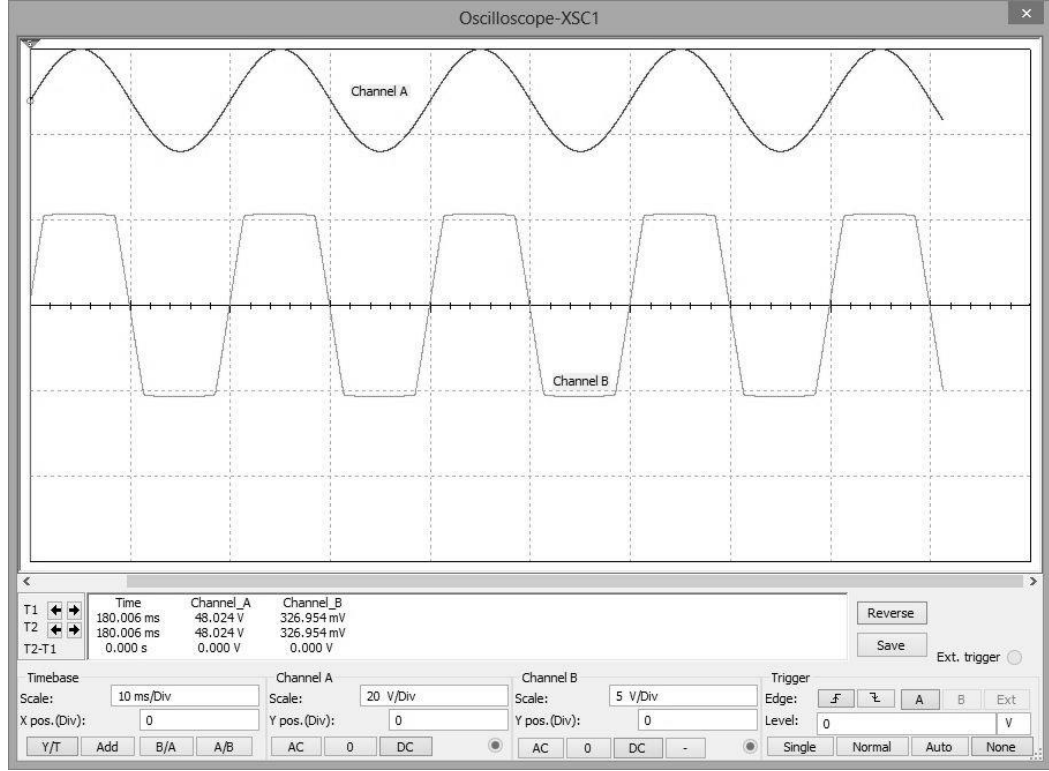
Devre üzerinde bulunan C4 ve C5 kapasiteleri DC-Filtre kapasitelerdir ve işaret bu kapasitelerden geçtikten sonra 48 Vluk DC bileşenini kaybeder ve Şekil 2.6'daki gibi sadece AC bileşenler barındırır.



Şekil 2.6. Kaynak üzerindeki ve DC-Filtreleme işlemi sonrası işaret seviyeleri

Koruma devresi filtreleme işleminden sonra DC bileşenlerini yok etse de zarar verme gücü bulunan AC bileşenli sinyalleri geçirecektir. Bu problem bir köprü diyot yapısı ile engellenebilir. Köprü devresi tasarımı gereği normal seviyeli gerilimlerde diyotları tıkama, yüksek gerilimlerde ise açılma yönünde yüksek akım akıtıp uçlardaki gerilimi düşürmelidir. Tüm bu işlemlerin yanında yüksek frekanslı işaretler karşısında da açılma-kapanma yeteneğine sahip olmalıdır. Bu nedenle diyot seçimi sırasında akım dayanıklılığı ve hızlı tepki süresi en önemli iki etken olarak karşımıza çıkar.

Şekil 2.5’de kullanılan MBRA120 model numaralı D1, D2, D3, D4 schottky kırpıcı diyotlar ile bu yapı kurulabilir. Söz konusu diyotlar 10 ms sinüs ya da 6 ms lik üçgen dalgalar halinde olmak şartıyla 40 amperlik bir akımı üzerinden geçirebilme ve 1000 $\mu\text{s} / \text{V}$ lik gerilim değişim oranına sahiptir [8]. Şekil 2.7’de köprü diyotlardan sonra yüksek gerilimlerin kırıldığı ve devreye aktarılmadığı görülmektedir.



Şekil 2.7. Kaynak üzerindeki ve köprü diyot çıkışındaki işaret seviyeleri

Köprü diyot yapısında + V_a ve - V_a olarak etiketlenmiş düğümlere uygulanan gerilimler kuvvetlendirici katının giriş geriliminin seviyelerini belirler.

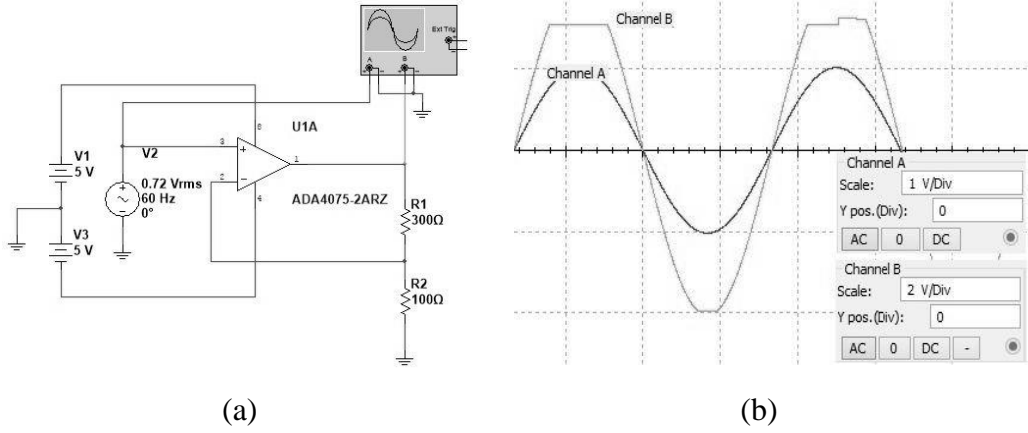
2.2. Kuvvetlendirici Katmanı

Ses sistemlerinde kuvvetlendirici katmanları işlemsel kuvvetlendirici tabanlı yapılardır. Mikrofonlardan gelen işaretlerin örnekleme ve nicemleme öncesinde uygun seviyelere yükseltilmesi işlemi bu yapılar sağlar.

İşlemsel kuvvetlendiriciler, kendilerinin bağlı olduğu besleme hattından güç çekerek girişlerine gelen işaretleri belli bir katsayı oranında yükseltirler. Giriş işaretinin uygulandığı uca bağlı olarak işaretler çıkışta sadece büyütülerek ya da hem büyütülüp hem de evirilerek çıkabilir. Kuvvetlendiricinin sağlayacağı büyütme katsayısı çoğunlukla kuvvetlendirici çıkışındaki işaretin girişe uyguladığı geri besleme ölçüsünde geri besleme dirençleri ile belirlenir.

İşlemsel kuvvetlendiriciler çok yüksek katsayılarla giriş işaretlerini büyütme özelliğine sahip olsalar da çıkışlarında besleme gerilimlerini aşamazlar. Şekil 2.8 (a)'da örnek bir devre şeması gösterilmiş olup bu devrenin giriş işaretini 4 kat

büyüttüğü bilinmektedir. Çıkış işaretinin besleme gerilimini geçtiği durumlardaki işaret şekli ise Şekil 2.8 (b)'de görülmektedir.



Şekil 2.8. a) Örnek bir kuvvetlendiricinin devrenin şeması, b) Çıkış işaretinin kırılma durumu

Tez kapsamında tasarlanan ve akustik kaynak tespiti işlemini yapacak sistemde sabit katsayılı kuvvetlendiriciler kullanılması, giriş işaretinin seviyesinde farklı genlik aralıkları mümkün ise bu duruma uyumlu olmaz. Örneğin ses seviyesinin çok düşük olduğu ortamlar için uygun olarak seçilen sabit katsayılı bir kuvvetlendirici sistemi, ses işaretlerinin çok güçlü olduğu durumlarda çıkış işaretini kırmaya götürür. Bu soruna engel olmak için sabit kazançlı kuvvetlendiriciler yerine, yükseltme katsayısı dışarıdan değiştirilebilen sistemlerin kullanılması daha uygun olacaktır. Bu işlemleri yapan yongalar programlanabilir kazançlı kuvvetlendiricilerdir.

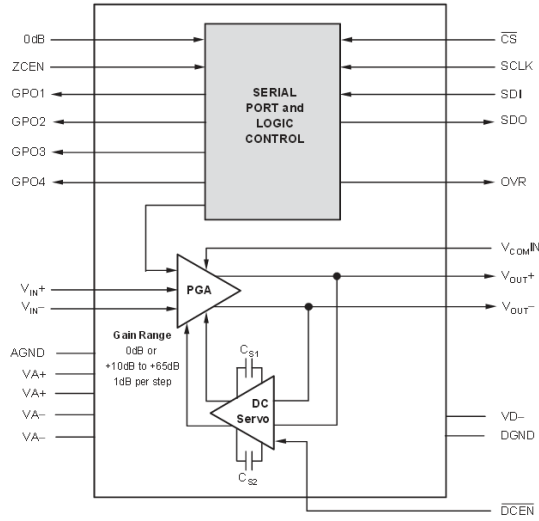
Programlanabilir kazançlı kuvvetlendiriciler, yükseltme katsayısı bir kontrolör tarafından sayısal ya da analog bir işaret ile değiştirebilen kuvvetlendirici tipidir. Sayısal kontrol işlemini sağlayacak bir denetleyici, SPI (Serial Peripheral Interface) veya I2C gibi bir bağlantı ve ilgili protokolleri kullanarak bu kazanç kontrolünü yapabilir.

Gelişen teknoloji ile PKK (Programlanabilir Kazanç kuvvetlendiricileri) yongalarına kazanç işleminin yanında gerilim kırpma, aktif çıkış filtreleme gibi özellikler de eklenmiştir.

Sistem içerisinde kullanılmak üzere tercih edilen PKK, Texas Instruments firmasına ait olan PGA2500 kodlu bir kuvvetlendiricidir. Yüksek performanslı analog-sayısal

çeviriciler için analog mikrofon giriş kuvvetlendiricisi olarak kullanılır. Bu PKK yongasında bilgi, giriş ve çıkış noktalarında farksal olarak taşınır. Bu özellik ile ses bilgisinin dışarıdan gelecek bir elektriksel gürültüye karşı dayanıklılığı artırılır.

Söz konusu PKK 10-65 dB aralığında 1'er dB'lik adımlar halinde programlanabilir geniş bir kazanç aralığına sahiptir. Bu özelliği ile daha fazla sayıda mikrofon çeşidinin sistemde kullanılabilir olmasını sağlar. Entegrenin sahip olduğu DC servo özelliği ile farksal işaret çıkışları içsel olarak sürekli kontrol edilir. Bu özellik ile çıkış işaretindeki DC offset hata işareti olarak geri döndürülür ve çıkışın DC offseti azaltılır.



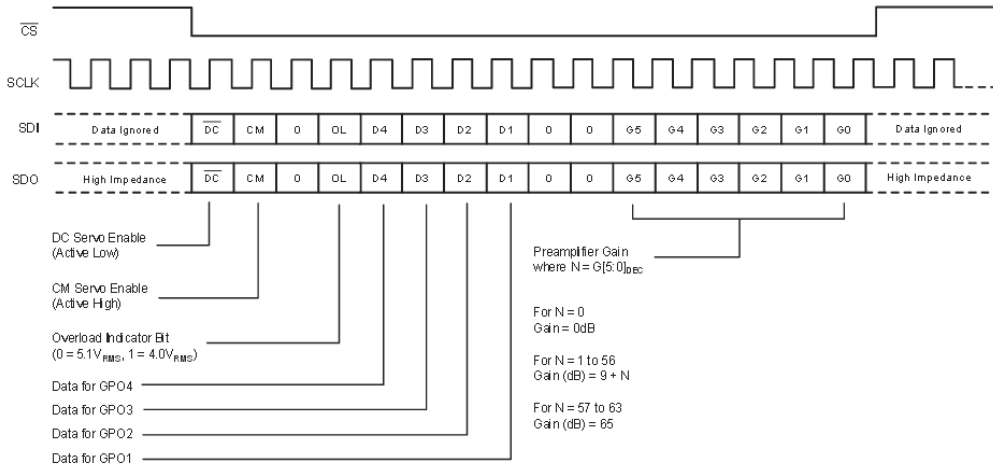
Şekil 2.9. PGA2500 içyapısı ve bacak bağlantıları [6]

Şekil 2.9'da gösterilen 28 bacaklı TSSOP28 pakete sahip PGA2500 yongası iki adet farksal işaret girişi, iki adet işaret çıkışına sahiptir. Programlanması için CS, SCLK, SDI, SDO SPI hatlarını barındırır. Bunun yanında ZCEN (Sıfır geçişi algılama özelliği, Zero Crossing Enable) aktif edilip işaretlerin sıfır geçişlerindeki anahtarlamaya bağlı oluşan gürültülerin yok edilmesi sağlanır. DCEN ucu ise DC servo özelliğini aktif etmek için kullanılır.

PKK yongası çalışma beslemesi olarak +Va ve -Va uçlarından +5 V ve -5 V gerilime ihtiyaç duyar. Yonga üreticisinin verdiği bilgiler incelendiğinde analog giriş uçlarının minimum $VA \pm 1,5$ V, maksimum $VA \pm 2,0$ V gerilim aralığında olması gerektiği görülür. Buna karşın sistemde kullanılan mikrofonlar kapasitif mikrofondur

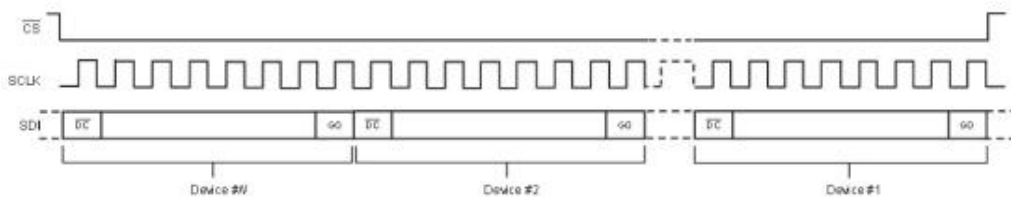
ve 48 V DC Phantom besleme gerilimine ihtiyaç duyarlar. Hatalı bir çalışmada PKK girişlerine ulaşması durumunda bu gerilim, entegrenin çalışmasını doğrudan engelleyecek ölçüde büyüktür. Bundan dolayı kuvvetlendirici öncesindeki giriş devresi sistem gürbüzlüğü açısından büyük önem kazanmaktadır.

Kazanç kuvvetlendiricisinin programlanması SPI protokolü üzerinden yürütülür. SPI protokolü Şekil 2.10'daki gibi 4 hatlı bir ara yüzdür. Bu ara yüzün bilgi zamanlamasını sağlayacak bir saat sinyali (SCLK) ucu, hatta bağlı cihazları aktif etmek için cihaz seçimi (CS) ve son olarak bilginin entegreye giriş (SDI) ve çıkış (SDO) uçları bulunur.



Şekil 2.10. PGA2500 Seri haberleşme zamanlamaları ve ayar bitlerinin gönderiliş sırası

Cihaz ile haberleşebilmek için işaretlerin birbirlerine göre geliş zamanlamaları büyük önem taşır. Pin tanımlamalarında da görüldüğü üzere CS işareti 0'da aktif bir işarettir ve haberleşmeyi başlatmak için ilk adım CS işaretini lojik-0 seviyesine çekmektir. CS işareti aktifleştirildikten sonra saat darbesinin her yükselen kenarında istenen bilgiler gönderilerek cihazın ilgili işlevleri aktif ya da pasif edilir.



Şekil 2.11. PGA2500 Zincirleme cihaz programlama için gereken paket yapısı ve işaret zamanlamaları

Konum tespit sistemi sekiz kanallı bir yapıya sahip olduğundan PKK yongasından sekiz adet kullanılmıştır. Cihazın desteklediği zincirleme programlama (Daisy chaining) özelliği ile tek bir komut yardımıyla tüm cihazların programlanması sağlanır. Bu programlama tipinde her cihazın SDO (Serial Data Out, Seri veri çıkışı) pini diğer cihazın SDI (Serial Data In, Seri veri girişi) ucuna bağlı olduğundan merkezi işlemci üzerindeki pin sayısından tasarruf edilir. Şekil 2.11'deki gibi ardışık gönderilen kanal paketleri tek bir komut dizisi ile programlamayı sağlamış olur.

2.3. Analog Sayısal Çevrim

Bugün geçerli teknolojimizin büyük bir çoğunluğu dış dünyadaki bir enerjiyi belirli gerilim aralığında tanımlamak üzerine kuruludur. Yoğun ve sürekli olan analog bilgiler içerisinden uygun sayıda örnekler alarak sayısal bilgilere çeviren sistemler ADC (Analog to Digital Converter, Analogdan Sayısala çevirici) olarak adlandırılır.

Sayısal ses uygulamalarında ADC'ler mikrofon sinyallerini sayısal ortamlarda işlenecek olan ikili sayılara çevirirler. Seçimleri yapılırken göz önünde bulundurulması gereken ilk önemli nokta giriş işaretini örnekleyebilecek kadar hıza sahip olup olmadıklarıdır. İnsanlar yaklaşık olarak 20 Hz ve 20 kHz frekans aralığındaki sesleri duyabilirler. Bir ADC'nin örnekleme frekansı Nyquist kriterine göre ilgili işaretin maksimum frekansının en az 2 katı (pratikte yaklaşık 2,2 katı) büyüklüğünde olmalıdır. Bunun yanında örneklenen bilginin bit derinliğinin de yüksek olması daha kaliteli örnekler üzerinde çalışmayı mümkün kılar. Bu sayede çıkışta incelenecek sonuçlar çok daha kaliteli ve güvenilir olacaktır.

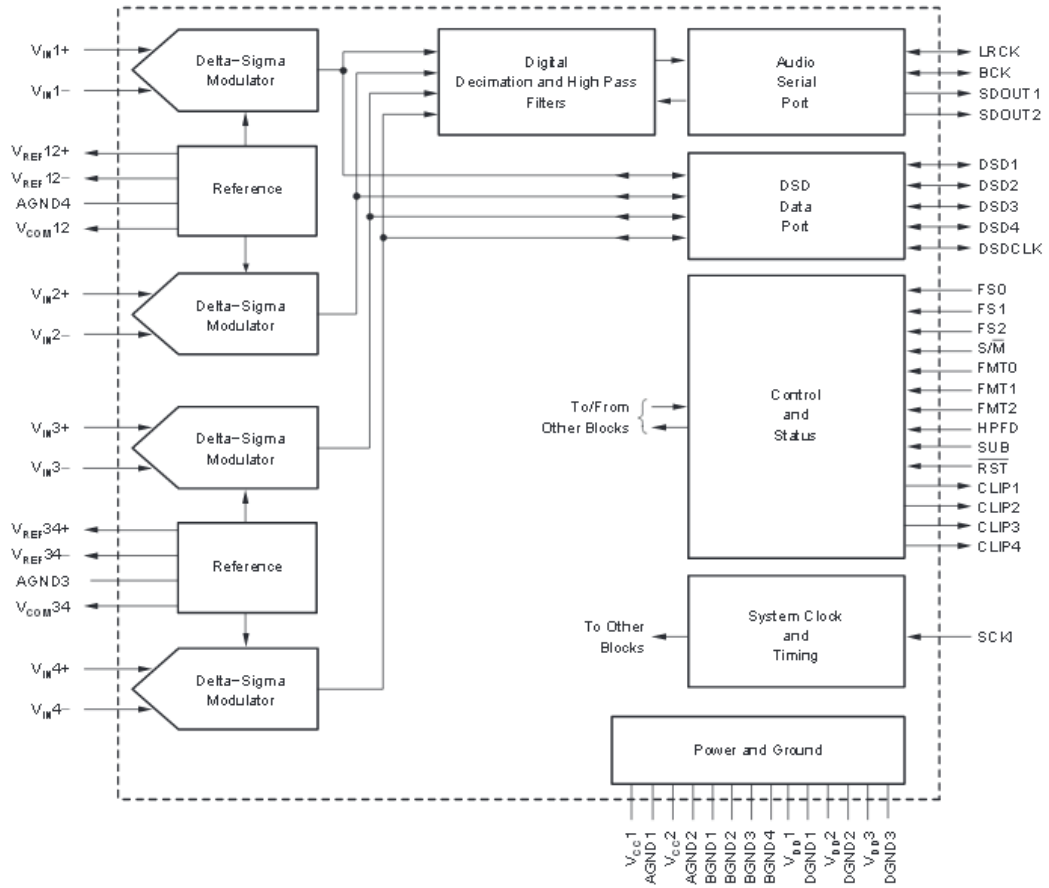
2.3.1. ADC Yongası ve çevre donanımları

ADC Yongaları devrelerde aldıkları görev bakımından kilit noktadadırlar. Doğru örneklenmiş, gürültüden arınmış bilgi üretmeleri bilhassa tanıma, tespit, karşılaştırma işlemlerini içeren sistemlerin düzgün çalışması için önemlidir. Bu nedenle sadece işaret giriş ve çıkış hatları değil, programlama hatları ve özellikle besleme hatları dışarıdan gelebilecek gürültüleri dengeleyebilecek şekilde tasarlanmalıdır. Konum tespit sisteminde yedi mikrofon girişi olmasından dolayı dört kanallı ADC'ler tercih edilmiştir. Farksal işaretleri kabul etmesi, yeterli örnekleme frekansı sağlaması ve

dahili donanımları nedeniyle PCM4204 ADC yongası tercih edilmiştir. Bununla beraber sistem sadece iki adet ADC ile çalışır duruma gelmiştir.

PCM4204 ADC'ler 24 bit yapıda olup 216 kHz'e kadar örnekleme özellikleri vardır. Bu özellikleri, sistemin örnekleme sayısı gereksinimlerini tümüyle karşılar.

Yonga içinde örneklenen verilerin dış ortama aktarılması için farklı bilgi yolu ve protokol mevcuttur. PCM (Pulse Code Modulation – Darbe Kod Modülasyonu) çıkışı, DSD (Digital Serial Data – Sayısal ardışık bilgi) çıkışı ve seri bağlantı noktası çıkışlarından kanal bilgileri kolayca okunabilir.

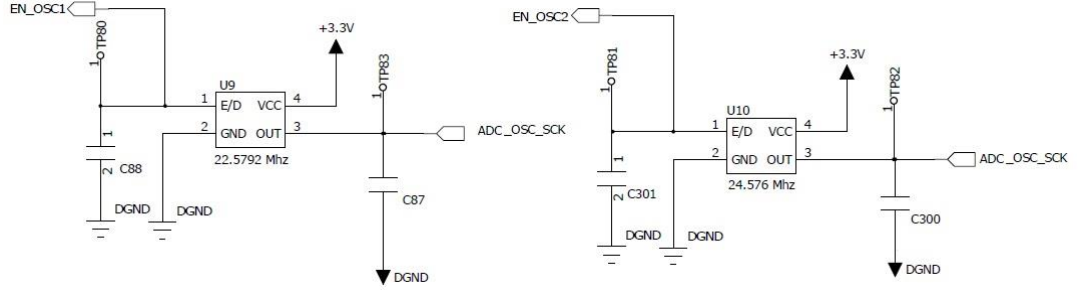


Şekil 2.12. PCM4204 içyapısı, bacak isimlendirmeleri ve içyapıya bağlantıları [9]

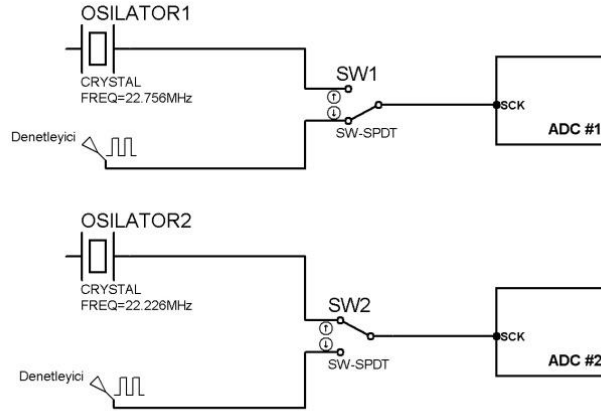
Şekil 2.12'de, devre üzerinde kullanılan ADC'ye ait içyapı görülmektedir. $V_{in}N+$ ve $V_{in}N-$ isimli uçlar ADC'nin analog işaretleri aldığı uçlardır ve içyapıda doğrudan delta-sigma modülatörlere bağlıdır. Delta-sigma modülatörler çok yüksek frekanslarda gelen işaretleri örnekleyerek sayısallaştırma işlemlerini yapar. Aldığı

örneklerin doğruluğunu geri döndürerek en uygun değeri bulana kadar sürdürür. Delta-sigma modülatöründen çıkan bilginin çevrimi yapılır ve veri dışarı aktarılır.

PCM4204 dahili örnekleme yapabilmek ve sonuç bilgilerini gönderebilmek için bir saat darbesine ihtiyaç duyar. Dışarıdan uygulanması gereken bu sinyal SCK (Synchronization Clock – Eşzamanlama sinyali) ucu üzerinden uygulanır.



(a)



(b)

Şekil 2.13. a) İki ADC için Osilatör bağlantıları b) Saat kaynaklarının dağılımı.

Şekil 2.13 (a)'da görüldüğü üzere her iki ADC seçimlik olarak 22,5792 MHz veya 25,226 MHz saat kaynaklarından beslenebilir. Alternatif olarak bu saat işareti denetleyicinin iki ayrı ucundan yongalara uygulanabilir olduğu Şekil 2.13'(b) de görülmektedir.

Kontrol birimi saat işareti ile eşzamanlılığı sağlamanın yanında ADC için gereken sayısal ayarları da gönderir. Bu ayarları gönderdiği ara yüz şu şekildedir;

- FS[2:0] : Kontrol birimi 3 bitlik bu bağlantı üzerinden 8 farklı örnekleme modu arasında geçiş yapabilir. Tablo 2.1’de FS hattındaki işarete göre örnekleme modları arasında yapılacak geçişler görülmektedir.

Tablo 2.1. FS uçlarının değişimine göre fonksiyonların değişimi

FS[2]	FS[1]	FS[0]	Örnekleme Modu
0	0	0	Normal Örnekleme
0	0	1	İki kat yüksek örnekleme
0	1	0	Dört kat yüksek örnekleme
0	1	1	Kullanılmıyor
1	0	0	Kullanılmıyor
1	0	1	Kullanılmıyor
1	1	0	Kullanılmıyor
1	1	1	Kullanılmıyor

FS işaret hattının tümü lojik-0 olduğunda PCM çıkış için ADC standart örnekleme frekansını kullanır. Bu durumda 54 kHz’e kadar olan örnekleme oranları aktif edilir. İstenilen çıkışın 128 katına kadar örnekleme olanağı sağlanır. İki kat örnekleme modu, 54 kHz-108 kHz aralığında 64 kata kadar örnekleme izni verirken dört kat örnekleme modu 108 kHz - 216 kHz aralığı için 32 kat fazla örneklenmiş çıkış verecektir.

- S/M : ADC yongasının yönetici (Master) ya da yönetilen (Slave) durumda olması bu işaret ile belirlenir. Bu işaret ile FMT bitlerinin durumu örnekleme modlarının yanı sıra bilgi çıkış zamanlamalarının şeklini belirler.

- FMT[2:0] : FMT işaretleri SM pini ile birlikte bilgi çıkış formatını belirler. TDM, PCM ve I2S gibi farklı çıkış tiplerini kullanmak için bu bitler aktif edilmeli ya da toprak seviyesine çekilmelidir.

- HPFD (High Pass Filter Disable – Yüksek geçiren süzgeç devre dışı): Dahili yüksek geçiren filtreyi devreye sokmak veya devreden çıkartmak için kullanılır.

- RST: ADC fonksiyonlarını ve dahili devrelerini yeniden başlatmak için kullanılır.

- CLIP[3:0] : Bu 4 bit, 4 kanal için kırpma bayrağını temsil eder. Sayısallaştırıcı birim içerisindeki sayıcılar sınıra ulaştığında ADC tarafından bu bitler aktif edilirler.

2.4. FPGA Tabanlı Merkezi İşlem Birimi

Ses kaynağından gelen ses bilgisi sayısallaştırıldıktan sonra bu bilgilerin tanıma işlemlerinin yapılacağı katmana taşınıp, uygun algoritmalar ile hesaplamaların yapılması gerekmektedir. Bu hesaplamaları yapacak olan işlem birimi mikroişlemci, mikrodenetleyici, FPGA, CPLD vb. farklı tipteki elemanlardan seçilebilir. Bu seçim farklı ölçütler doğrultusunda yapılabilir. Bu ölçütlerin başında maliyet, işlem hızı, tasarım güvenliği, güç tüketimi, giriş/çıkış sayısı gibi durumlar gelir. Tüm bu ölçütler göz önüne alınarak en uygun seçenekleri sunan işlem birimi seçilir.

Günümüz şartlarında mikrodenetleyiciler pek çok projeye uygun çözüm sağlayan, üstüne üstlük maliyeti de düşük olan, seri üretime çok uygun bileşenlerdir. Performansları yüksektir. Buna karşılık FPGA ve CPLD gibi aygıtlarla kıyaslandığında kod güvenilirlikleri düşük olup bu cihazlar kadar esnekliğe ve işlem performansına sahip değildirler. Mikrodenetleyicilerde giriş/çıkış birimlerinin sayısı FPGA'lara göre daha düşüktür.

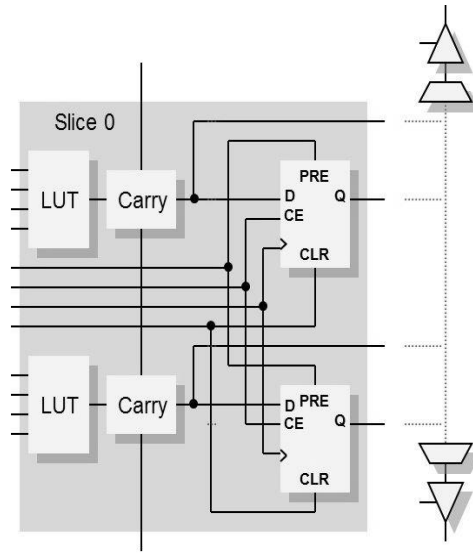
Tez kapsamında tasarlanan akustik konum belirleme sisteminde Xilinx firmasına ait Spartan6 XC6SLX150T-FGG484 model numaralı FPGA kullanılmıştır. Projede FPGA tercih edilmesinin öncelikli sebebi esneklik, işlem performansı ve yazılım güvenliği olmuştur. Ayrıca bir diğer faktör ise aynı işi yapabilecek mikrodenetleyiciler ile arasında fiyat farkının çok fazla olmamasıdır.

Bu projede FPGA kullanılmasının belki de dezavantajı sayılabilecek nokta ise sistemin güç tüketimi konusunda olmuştur. Hali hazırda donanımsal olarak fazla güç tüketimi yükü bulunan bu sistemin FPGA ile güç tüketimi, DSP ya da mikrodenetleyicili bir sisteme oranla biraz daha artmıştır. Güç tüketimi hakkında detaylar ve FPGA yongasının sistem güç tüketimine etkisi güç tüketimi başlığında anlatılacaktır.

2.4.1. FPGA Mimarisi

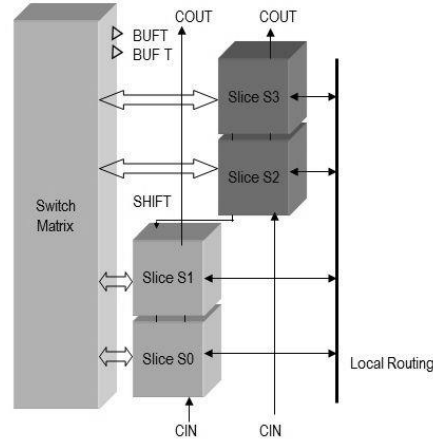
FPGA'lar içerisinde bulundurduğu mantıksal blokların uygun fonksiyonları gerçekleştirecek şekilde düzenlenebildiği ve bu blokların birbirine uygun şekilde bağlanabildiği yongalardır. Mikrodenetleyici, mikroişlemci gibi yapılarda kullanılan

ve sadece tek göreve odaklı aritmetik lojik birim, program sayıcı, özel yazmaçlar gibi blokları içermez. Aksine içerisinde bulunan fonksiyon blokları istenilen herhangi bir mantıksal fonksiyonu gerçekleyebilecek yapıdadır. Blokların bu esnekliğinin yanında bloklar arası bağlantılarında programlanabilir olması tasarıma şekil verecek olan hakimiyetin neredeyse tümünü tasarımcıya bırakır. Esnekliğinin bir diğer avantajı ise sistem düzeyindeki değişikliklere izin vermesidir. Bununla birlikte donanım tamamen problemi çözecek şekilde tasarlanabildiğinden özel amaçlı işlemlerde kullanılması fayda sağlar.



Şekil 2.14. Dilim yapısı [10]

FPGA mimarisinde en alt seviyeli birimler dilimlerdir (Slice). Dilimlerin özellikleri ve sayısı FPGA'nın maliyet, güç tüketimi, programlanabilir alan miktarı gibi özelliklerini artırır. Her dilim temel olarak Şekil 2.14'deki gibi içerisinde bir LUT (Look Up Table, Okuma tablosu), bir elde birimi ve iki D flip-flopdan oluşur. Bu yapılar söz konusu FPGA üreticisine ve modeline göre ufak farklılıklar içerebilirler. LUT'lar Karnaugh haritalarından çıkan sonuçlara göre doldurulur. LUT'lar içerisinde kayıtlı değerler girişin durumuna göre çıkışa gönderilir.



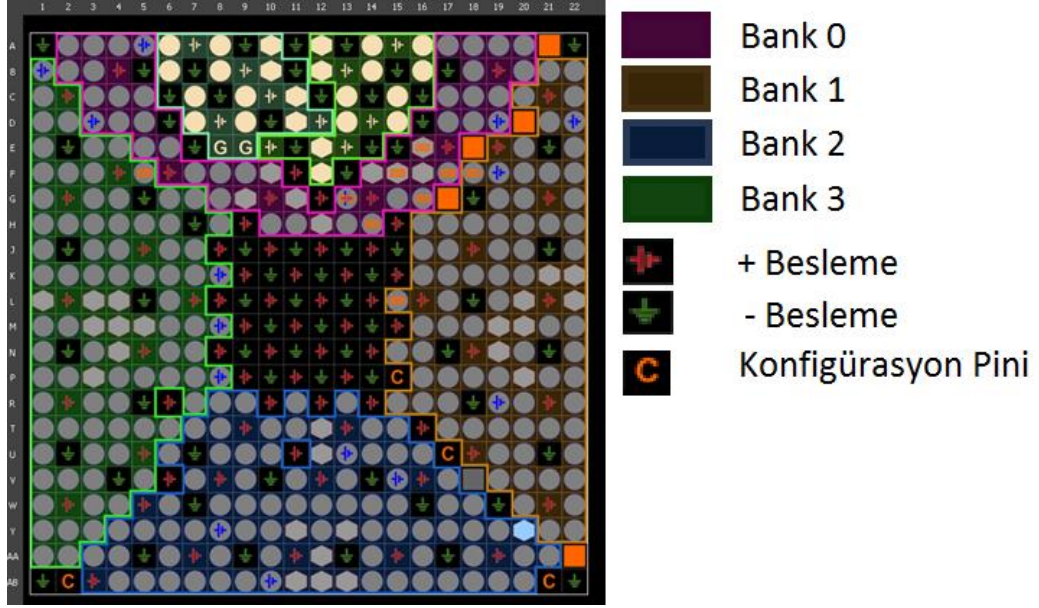
Şekil 2.15. CLB'nin içyapısı

Dilimlerin bir üst hiyerarşisinde Şekil 2.15'deki gibi CLB'ler bulunur. CLB 4 dilim ve 1 anahtarlama matrisinin birleşiminden oluşmaktadır. Programlanabilir arabağlantılar üzerinden gelen bilgiler dilimlere giriş yapar. Bir anahtarlama matrisi ise ana bilgi yollarına erişimi ve bu yollarda denetimi sağlar.

CLB'ler gerektiğinde RAM hafıza olarak da kullanılabilir. Bu yapıların hafıza birimi olarak kullanılması durumunda mantıksal işlemleri gerçekleştirmek için kullanılacak alan miktarı azalır. Çok büyük tasarımlarda CLB'lerin hafıza olarak yoğun kullanımı tasarımın FPGA içerisine sığmamasına ya da sığsa bile derleme süresinin uzamasına neden olur. Bunu engellemek için FPGA içerisine grup halinde bulunan BlockRAM yapıları kullanılmalıdır.

Doğal olarak FPGA yongaları içerisinde üretilen sonuçlar dış ortamdaki donanımlara aktarılmalı ya da başka donanımlardan gelecek sonuçlar FPGA içerisine alınabilmelidir. Bilgi aktarımı FPGA'larda G/Ç (giriş/çıkış) olan SelectIOB'ler ile sağlanır. Bu üniteler içerisinde ikişer adet DDR yazmacı giriş koşullandırması, çıkış koşullandırması ve üç durumlu koşullandırma için kullanılır.

Her G/Ç bloğu kendine has özellikler sunabilir. Bazı G/Ç birimleri diğer birimlere göre daha yüksek hızlarda sinyalleşebilirken, bazı birimler saat senkronizasyonu için özel ayrılmış hatlar şeklindedir.



Şekil 2.16. LX150T FPGA'ya ait 4 adet bankın yerleşimi

LX150T model FPGA üzerinde 296 adet G/Ç birimi bulunur. Tüm bu birimlerin FPGA içerisinde tek bir gerilim ile kontrol edilmesi farklı gerilim seviyesine ihtiyaç donanımların FPGA'ya haberleşmesinde uyumsuzluğa neden olur. Bunu engellemek için her G/Ç birimi FPGA içerisinde bir banka bağlı olup her bank farklı gerilimler ile beslenebilir. Şekil 2.16'da 3 adet bank ve FPGA üzerindeki yerleşimleri görülmektedir.

Şekil 2.16'daki her kare alan FPGA yongasının bir bacağı temsil eder. Bu görüntü bire bir LX150T yongasının alt görüntüsüdür ve BGA (Ball grid array) tipindeki bir FPGA'nın alt görüntüsü ile benzerliği kolayca fark edilebilir. FPGA banklarının konumlarını bilmek PCB tasarımı sırasında diğer donanımların kart üzerindeki konumlarını belirlemede yardımcı olur.

Her donanımı kendisine en yakın FPGA bank'ına bağlamak PCB yollandırma işlemlerini kolaylaştırır. PCB yol uzunluklarının kısılması ile hat dirençleri düşer ve voltaj kayıpları azalır ayrıca sinyal gecikmeleri ve gürültü etkisinin azalması da sağlanır. Bununla birlikte mesafenin yanında bank gerilimi ile bağlanacak donanım arasındaki gerilim uyumunu da göz önünde bulundurmak gerekir.

Uygun bank seçimi PCB tasarımını rahatlatıp donanımsal faydalar sağlasa da FPGA içerisindeki lojik yerleşim oluşmadan atamaların yapılması sakınca yaratabilir.

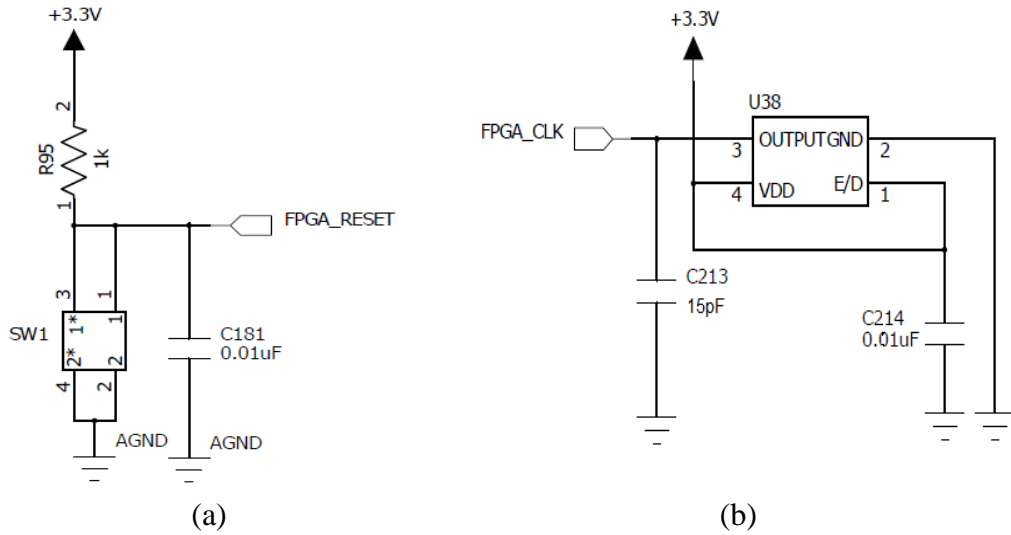
Özellikle büyük tasarımlarda böyle bir durum ara bağlantı yükünü arttırıp yerleşim ve yönlendirme sorunlarına yol açabilir.

2.4.2. FPGA Çevre birimleri

FPGA yongaları çevresel donanımlarının yanında kendi çalışmalarını sürdürmek için bazı donanımlara daha ihtiyaç duyarlar.

2.4.2.1. FPGA Reset devresi ve saat sinyali üretici

Şekil 2.17 (a)'daki reset devresi FPGA'nın içerisindeki modüllerin reset hattını sürekli lojik-1 seviyesinde tutan basit bir anahtar devresidir. C181 kapasitörü bu hattı harici gürültülerden koruyarak olası resetleri engeller. 1 k Ω değerindeki R95 direnci ise hattın 3,3 V seviyesinde kalmasını sağlar.



Şekil 2.17. a) Reset devresinin FPGA ile bağlantısı b) 100 MHz Saat üretici devresinin FPGA ile bağlantısı

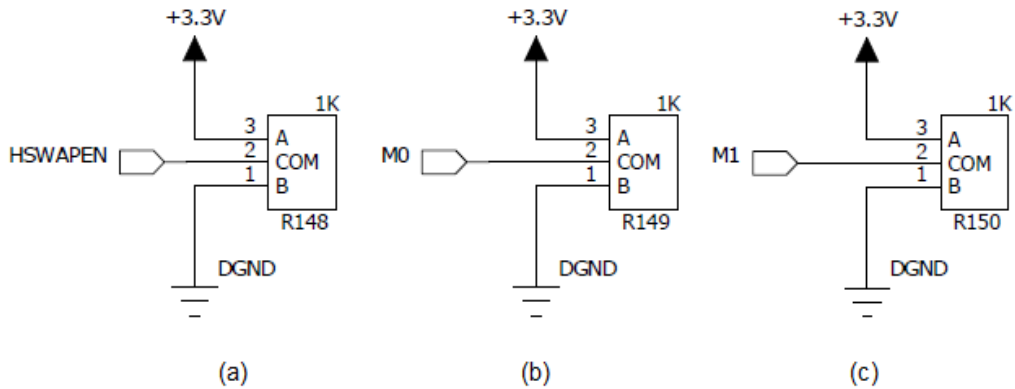
Şekil 2.17 (b)'de FPGA için senkronizasyon sağlayan saat sinyali üretici ve FPGA bağlantısı gösterilmiştir. Üreteç ± 20 ppm hassasiyete sahip 100 MHz frekansında bir kare dalga üreticidir. 3,3 V besleme ve toprak bağlantısının yanında E/D ucu ile üreticinin çalışması kontrol edilir. Bu pin toprak seviyesine çekildiğinde üreteç çıkışı yüksek empedans (HiZ) konumuna geçer. C213 kapasitesi üreteçten çıkan sinyale gürültü filtreleme işlemi sağlarken, C214 kapasitesi üreticinin besleme girişini gürültüden korur.

Çıkış işareti IO_L32N_GCLK28_2 olarak diğer G/Ç birimlerinden farklı isimlendirilmiş bir uca bağlanmıştır. Bu isimlendirme ile ucun ikinci bankta GCLK noktasını kullanıldığı anlaşılmalıdır. GCLK (Global Clock) uçları saat işaretlerinin taşınması için özel ayrılmış uçlardır.

2.4.2.2. FPGA HSPWEN ve M[1:0] Konfigürasyonu

FPGA'lar SRAM tabanlı yongalardır ve lojik üniteler programlanırken SRAM yapılaraya yazma işlemi yapılır. FPGA uçlarında güç bağlantısı kesilmedikçe hafızalar silinmez. Güç kesintisinin olması durumunda ise SRAM yapısında bulunan MOSFET'lerin de gücü kesilir. Böylelikle yapılandırma bilgisi silinir. SRAM yapısı tekrarlı, çok sayıda ve kısa sürede programlamaya izin verse de sürekli gücün açılıp kapandığı devrelerde programlayıcı dosyanın saklanması için ekstra hafıza donanımlarının bulundurulmasını zorunlu kılar.

Şekil 2.18 (b)'de ve (c)'de M0 ve M1 bağlantıları görülmektedir. FPGA yapılandırıcı bellek olarak SPI/BPI bellekler ya da Platform Flash bellekler kullanılır. Kullanılan bellek tipine göre Tablo 2.2'deki gibi M[1:0] uçlarından uygun bağlantıların yapılması gerekir. Projede yapılandırma için 256 Mb SPI Flash hafıza kullanıldığından M0 mantıksal-1 seviyesine, M1 ise mantıksal-0 seviyesine çekilmiştir [11].

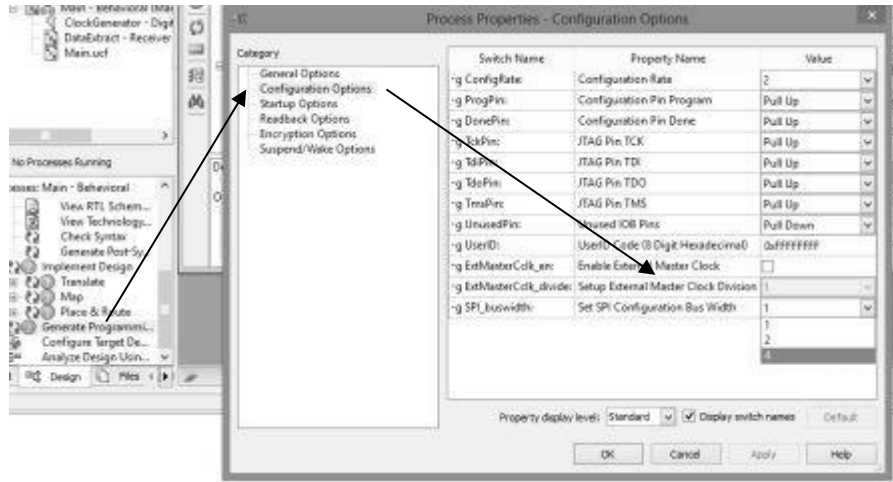


Şekil 2.18. a) HSWAPEN bağlantısı b) M0 bağlantısı c) M1 bağlantısı

Tablo 2.2. Spartan-6 FPGA Başlatma Biçimleri

Başlatma Şekli	M[1:0]	Hat Genişliği	CCLK sinyal yönü
Yönetici Seri/ SPI	01	1, 2, 4	Çıkış
Yönetici SelectMAP/BPI	00	8, 16	Çıkış
JTAG	xx	1	Giriş (TCK)
Yönetilen SelectMAP	10	8, 16	Giriş
Yönetilen Seri	11	1	Giriş

Standart ayarları değiştirilmemiş bir projede .bit dosyasını oluşturacak projeler Xilinx ISE programının Impact arayüzünden 1bit veri yolu olan standart SPI arayüzüne göre derlenir. 4 kat daha hızlı açılma özelliği sağlayan QuadSPI özelliğini aktif edebilmek için proje dosyasının Generate Bitstream ayarlarında Şekil 2.19'da görülen işlem uygulanır ve veri hattı 4 bit olarak seçilir.



Şekil 2.19. Quad SPI özelliğinin ISE arayüzü üzerinden aktif edilmesi

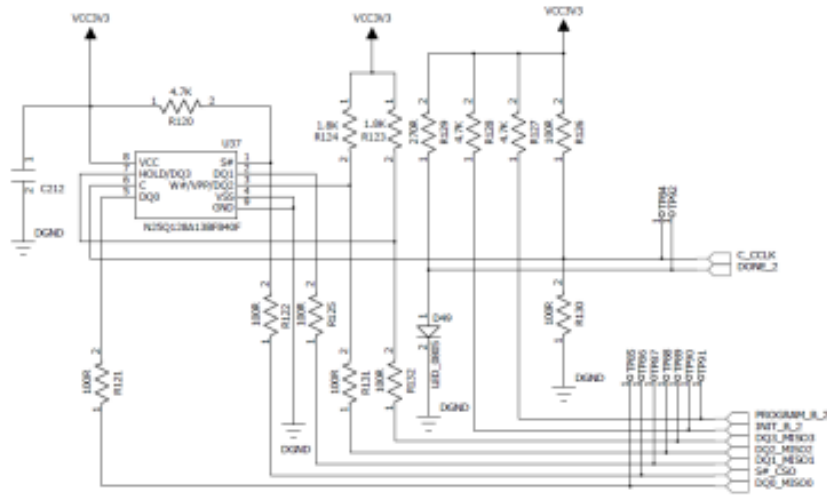
Şekil 2.18. a)'daki HSWAPEN ucu başlatma sırasında aktif olan bir uçtur. Toprak seviyesine çekildiğinde cihazın başlatma anındaki tüm G/Ç uçlarını lojik-1 seviyesine çeken dirençleri aktif eder.

2.4.2.3. FPGA SPI Flash bağlantısı

FPGA'lar ilk enerjilerini aldıklarında kendilerini programlayabilecek yapılara ihtiyaç duyarlar. Harici olarak bağlanmış kalıcı hafızalar, mikroişlemci, DSP gibi yapılar tarafından programlanabilirler. Projede harici programlama belleği için yüksek

maliyetinden dolayı PlatformFlash yerine SPI Flash tercih edilmiştir. Bu hafızaların dört kat daha hızlı çalışma özelliği aktif edilerek programlama süresi 2 sn gibi hızlı sayılabilecek sürelerle düşürülmüştür.

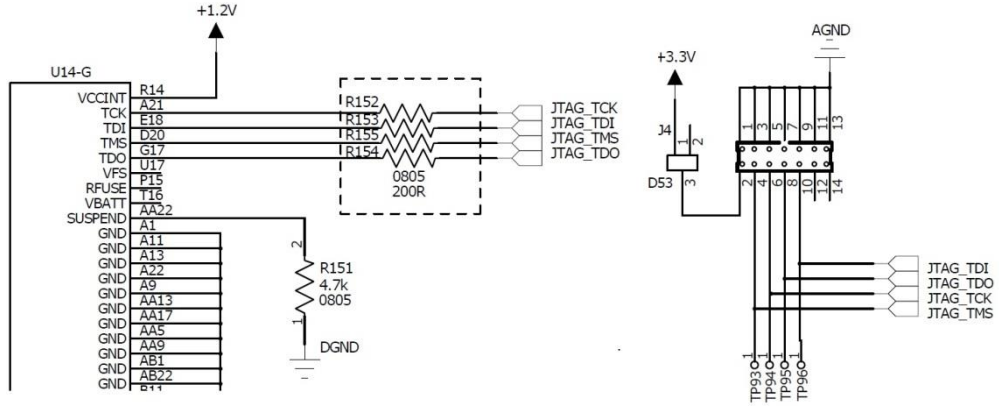
N25Q128A13BF840F kodlu hafıza, SPI üzerinden kontrol edilebilen 8 bacaklı 8VDFPN ayak izine sahip 128 Mb hafızalı bir yongadır [12]. Standart besleme uçlarının haricinde saat girişi, cihaz seçim ucu, data[0] ve data[1] uçları bulunur. Bunların dışında yazma koruması ile data[2] ucu, bekletme ile de data[3] ucu ortak olarak kullanılır. Standart SPI ara yüzünde bir bitlik verici ve bir bitlik alıcı hatları bulunur. 4bit SPI özelliğinde ise 4 hat hem alıcı hem verici olarak kullanılabilir. 4bit SPI özelliğinin kullanılmadığı durumlarda bekletme ve yazma engelleyici uçları Şekil 2.20'deki gibi besleme hattına bağlı dirençler ile uygun gerilimlerde tutularak yonganın sinyalleşmeye hazır kalması sağlanır.



Şekil 2.20. SPI Flash devreye bağlantısı

Şekil 2.20'de SPI Flash yongasına giden bağlantılar gösterilmiştir. Bu uçlar FPGA üzerinde bulunan herhangi bir G/Ç birimine doğrudan bağlanamazlar. Başlatma işlemini yapacak olan dahili FPGA yongasına ait bazı özel uçlar vardır ve uygun bağlantı sadece bu uçlar üzerinden yapılır. Bacaklar arasında dikkat edilmesi gereken bağlantı hafıza üzerindeki C ucu ile FPGA'nın C_CLK ucu arasında bulunan hattır. Bu hat 100 Ω dirençler ile besleme ve toprak hattına bağlanmalıdır. Bununla birlikte PCB tasarımı sırasında bu işaretin kullanacağı yolun karakteristik empedansı 50 Ω olmalıdır.

Yapılandırma bilgisi hafızadan FPGA içerisine yüklendiğinde FPGA DONE_2 isimli bağlantı ucunu toprak seviyesine çeker. Buraya bağlanan D49 LED'inin yükleme işleminin sonunda sönmesi ile işlemin başarılı bir şekilde tamamlandığı gözlemlenebilir.



Şekil 2.21. JTAG Programlama soketi ve bağlantıları

SPI Flash ve benzeri harici bellekler çoğunlukla son ürün konumuna gelen projelerde aktif olarak kullanılır. Geliştirme sürecinde ara yüz üzerinden yapılandırma, hata ayıklama işlemleri için ise JTAG kullanılır. Yine SPI Flash belleğe veri kayıt edilmesi için Şekil 2.21'deki gibi bir JTAG bağlantısına ihtiyaç vardır.

FPGA yongası kendine ait JTAG uçları barındırır. Standart JTAG de bulunan 4 iletişim hattı programlayıcı soketine doğrudan bağlanır. FPGA ile uygun bağlantı sağlandığında ISE programına ek olarak çalışan IMPACT uygulaması cihaz zincirinde bağlı FPGA yongasını görecektir. JTAG ara bağlantılarının yanında programlayıcı üniteye gönderilmek üzere bir 3,3 V gerilim de bulundurulmalıdır. Bu gerilim uygun olarak gönderildiğinde programlayıcı üzerindeki gösterge ışığı yeşile dönecektir.

2.5. Haberleşme Katmanı

FPGA yongası tüm kanallardan aldığı ses bilgilerini ve ürettiği konum sonuçlarını bir kullanıcıya yani bilgisayara aktarmaktadır. Bu gönderim için Ethernet ve USB ara yüzleri kullanılmıştır.

2.5.1. Ethernet ara yüzü

İnternetin yaygın kullanımı ile Ethernet ara yüzü dünya üzerinde belki de en bilinen protokollerden biri haline gelmiştir. Farksal iletim sayesinde gürültüye dayanıklılığı yüksek olan bu iletişimin tek parça kablo ile uzun mesafelere bilgi aktarımı sağlayabilmesi de gelişmesinde önemli bir paya sahiptir.

Ethernet protokolünde iletişim için Manchester kodlama kullanılır. Sadece FPGA yongaları kullanarak bu kodlama ile Ethernet hatlarına çıkmak mümkün değildir. Bunun için sinyal uyumlaştırıcı ara birimlere ihtiyaç vardır. Bu çevrim işlemlerini yapan cihazlar PHY (Physical layer – Fiziksel katman) olarak adlandırılır. Yine USB hatlarına bilgi göndermek için kullanılacak USB-UART entegreside PHY özelliğindedir.

FGPA ile Ethernet protokolü üzerinden bilgi aktarımı gerçekleştirmek için DP83865 yongası kullanılmıştır. Bu yonga farklı protokoller kullanılarak 10/100/1000 Mb hızlarında iletişime olanak sağlar.

Şekil 2.22’de görülen devre 1000 Mb Ethernet iletişimi için kullanılacak yapının temelini oluşturur.

Ethernet paketlerinin alım-gönderiminde yoğun olarak kullanılan uçlar aşağıda verilmiştir[13].

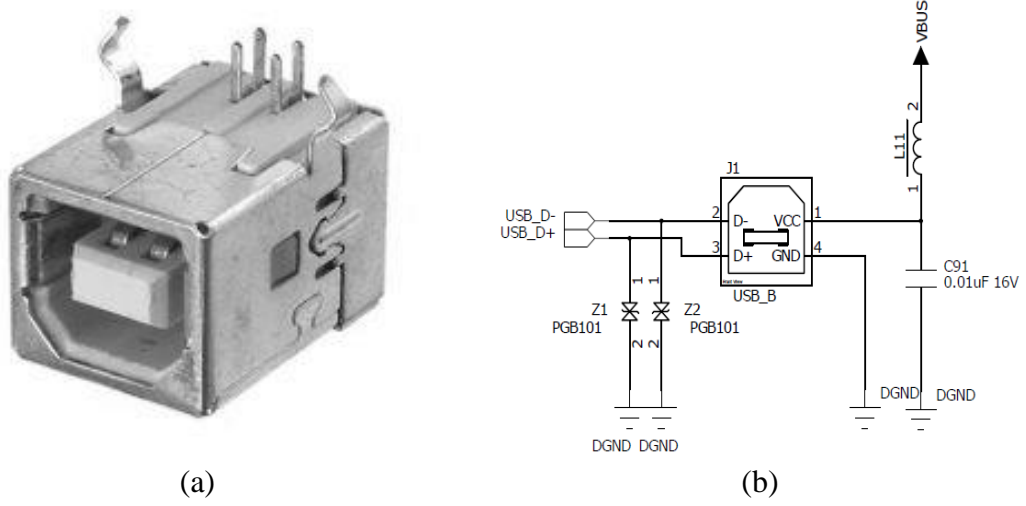
TX_DATA[7:0] : Uygun paketlerin 8’er bitlik paralel gruplar halinde çıktığı bilgi çıkışıdır. PHY yongasına göre giriş birimidir.

RX_DATA[7:0] : Alınan paketlerin 8’er bitlik paralel gruplar halinde çözülüp çıktığı noktalardır. PHY yongasına göre çıkış birimidir.

TX_En, RX_En: Gönderme ve alma işlemleri sırasında bilginin paralel hatta olup olmadığını bildiren sinyallerdir. Gönderme durumunda FPGA TX_EN sinyali üretirken, alım sırasında RX_EN PHY tarafından üretilir.

RX_CLK, GTC_CLK: Bilgi aktarımı sırasında sekiz bitlik dizilerin ve aktivite sinyallerinin eşzamanlı iletimini sağlar. CLK PHY tarafından üretilirken, GTC_CLK

Bu amaçla FT232H yongası USB ara yüzü ile iletişim sağlamak için kullanılmıştır. Entegre farklı protokollerdeki girişleri içerisinde bulunan FIFO belleklerde biriktirip USB hatlarına gönderir. Dışarıdan gelen bilgileri ise çözer ve istenilen protokolde FPGA'ya gönderir.

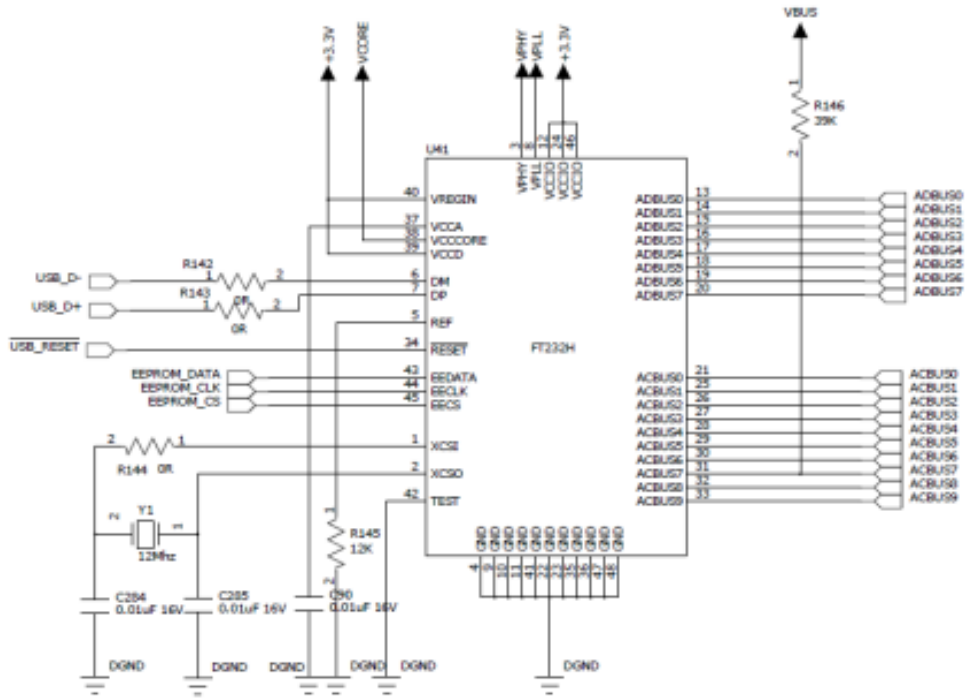


Şekil 2.23. a) USB-B tipi bağlantı elemanının görünümü, b) USB uçlarının PHY entegresine bağlantısı

Devre kartı üzerinde Şekil 2.23'te görüldüğü gibi bir B tipi USB bağlantı elemanı kullanılmıştır. A ve B tipi USB'lerde 4 bağlantı ucu bulunur. Bunlardan ikisi besleme için kullanılan +5 V ve GND uçlarıdır. Kalan diğer iki uç ise bilgi aktarımı için kullanılan farksal sinyal hatlarıdır. Bu farksal hatlar USB-UART çevirici yongaya bağlıdır.

Farksal hatlar üzerine bağlantı ucuna yakın mesafede ESD filtreler koyulmuştur. ESD önleyici bu bileşenler polimer kompozit esaslı ürünler olup sinyal hatlarında bozucu etki yaratmayacak seviyede düşük kapasitansa sahiptir [14].

Şekil 2.24'te görülen devrede USB devresi gücünü ana kart üzerinden alır [15]. Bir USB cihaz bağlandığında bu işlem ACBUS[6] ucundaki gerilim değişiminden otomatik olarak algılanır.



Şekil 2.24. USB-UART Çevirici devre ve çevre birimleri

Sinyalleşme işlemleri ADBUS[7:0] ve ACBUS[9:0] hatları üzerinden yapılmaktadır. Kullanılacak sinyalleşme biçimine göre bu sinyal yolları farklı işlemleri yapacak fonksiyonlara geçerler. Tablo 2.3'te kullanılacak protokole göre uçların fonksiyonları gösterilmiştir.

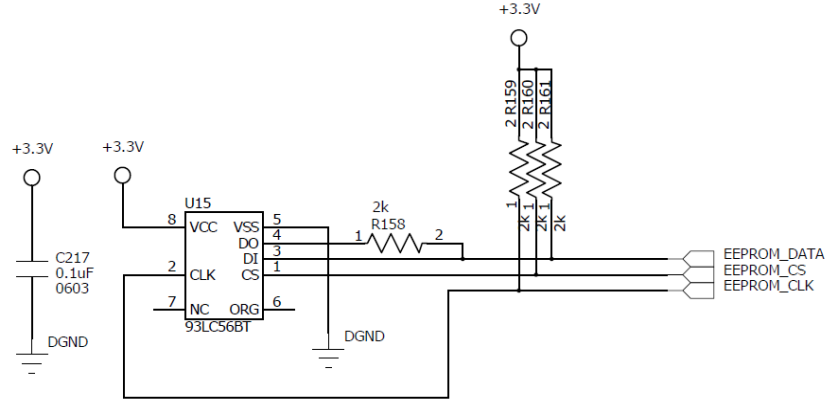
Cihaz USB bağlantı elemanı üzerinden bilgisayara bağlandığında işletim sistemi FT232H yongası için bir sürücü yazılıma ihtiyaç duyar. Bu sürücü yonga üreticisinin internet sayfası üzerinden indirilerek bilgisayara yüklenebilir. Gerekli sürücü yazılım yüklendiğinde FT232 yongası bilgisayar üzerinde bir bağlantı noktası olarak tanımlanır. Bu işlem bilgisayar üzerinde otomatik olarak yapılır ve bağlı cihazlar listesinde bu yonganın bağlı olduğu gözlemlenebilir. Bu noktadan sonra FPGA yongası FT232'ye ait adres ve bilgi hatlarını kullanarak USB protokolünden daha basit olan UART arayüzü ile bilgisayara bilgi gönderip, bilgisayarın gönderdiği bilgileri okuyabilir.

Tablo 2.3. FT232H Pin İşlevleri

Pin		Pin Fonksiyonu	
Pin #	Pin ismi	ASYNCR Seri (Rs232)	SYNC 245 FIFO
13	ADBUS0	TXD	D0
14	ADBUS1	RXD	D1
15	ADBUS2	RST#	D2
16	ADBUS3	CTS#	D3
17	ADBUS4	DTR#	D4
18	ADBUS5	DSR#	D5
19	ADBUS6	DCD#	D6
20	ADBUS7	RI#	D7
21	ACBUS0	TXDEN	RXF#
25	ACBUS1	ACBUS1	TXE#
26	ACBUS2	ACBUS2	RD#
27	ACBUS3	RXLED	WR#
28	ACBUS4	TXLED	SIWU#
29	ACBUS5	ACBUS5	CLKOUT
30	ACBUS6	ACBUS6	OE#
31	ACBUS7	PWRSV	PWRSV
32	ACBUS8	ACBUS8	ACBUS8
33	ACBUS9	ACBUS9	ACBUS9

Cihaz son ürün haline geldiğinde tüm USB arayüzlerde sorunsuz çalışması için harici bir bellek üzerinden başlangıç bilgilerini almak zorundadır. Bu bilgiler USB VID, PID numarası, seri numarası, ürün tanımı and güç tanımı vb. bilgilerdir ve önceden tanımlanıp bu harici hafızaya yazılmalıdır.

Kullanılacak EEPROM FT232 yongasının teknik dökümanlarıda yapılan öneriler doğrultusunda seçilmiştir. Bu yonganın 16 bit genişliğinde bilgi hafızası ve besleme geriliminin +2,97 V ve +3,63 V aralığında olması gerekmektedir. Bu EEPROM hafızanın eklenmesi ile yonga seri UART modunda çalıştırılabilir. Şekil 2.25'te 93LC56BT yongasının bağlantısı görülmektedir.



Şekil 2.25. EEPROM ünitesinin FT232H yongasına bağlantısı

2.6. Güç Katmanı

Donanım mimarisi başlığı altında anlatılan tüm birimler çalışmaya başlamak için kendilerine özel gerilim aralıklarında beslemeye ihtiyaç duyarlar. Örneğin ADC ve PGA yongaları 5 V beslemeye ihtiyaç duyarken, Ethernet PHY yongası 3,3 V ile gerilim beslemesine ihtiyaç duyar.

Bunun yanında bazı yongalar beslemeleri haricinde başka bir noktadan ikinci bir gerilim olarak G/Ç birimlerinin gerilim seviyelerini belirlerler. Bu gerilim seviyelerinin değerleri sinyalleştikleri karşı cihazın gerilim seviyeleri ile ortak belirlenir.

2.6.1. Gerilimler ve güç gereksinimi

Devre üzerinde kullanılacak gerilimlerin sayısı, farklı besleme ihtiyacı olan yongaların sayısı kadardır. İşaretler girişten çıkışa doğru incelenirse gerilim haritası çıkartılabilir.

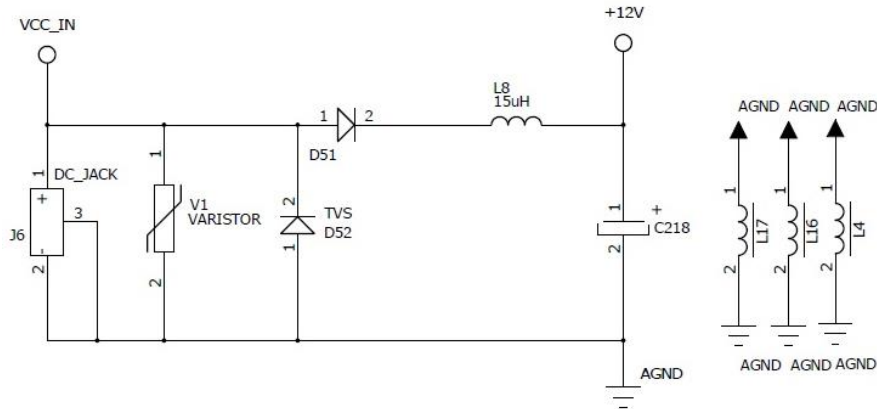
- XLR bağlantı elemanları ve ön-kuvvetlendirici giriş katı için 48 V DC Phantom gerilimi ihtiyacı vardır.
- PKK yongalarının beslemesi için iki besleme gereklidir. Bu beslemeler +5 V ve -5 V'dur.
- Kullanılan iki ADC'nin beslemesi +5 V'dur ve Vcc uçlarından uygulanır. FPGA ile haberleşmede kullanılacak sayısal işaretlerin seviyesinde 3,3 V kullanımı uygundur. Bu gerilim ayrı olarak Vdd uçlarından uygulanmalıdır.

- Bilgi çıkışlarından olan USB PHY devresinde +3,3 V beslemeye ihtiyaç duyulmaktadır.
- Bir diğer iletişim sağlayan arayüz olan Ethernet PHY yongasının ana beslemesi +1,8 V'dur ve Vcore ucundan uygulanır. Sayısal işaretleşme için Vdd uçlarına 3,3 V, Ethernet bağlantı elemanı çıkışlarında kullanmak için ise +2,5 V gerekmektedir.
- Merkezi işlemci olan FPGA'nın çekirdeğinin beslemesi 1,2 V'dur. Sayısal işaretleşmeler için çevre donanımlara göre 3,3 V ya da 2,5 V kullanılabilir.

2.6.2. Giriş devresi

Konum tespit sisteminin gerektiğinde araçlarda da çalıştırması için devre giriş gerilimi akü gerilimi olan 12 V ve üstü gerilimler olarak belirlenmiştir.

Geliştirme ortamlarında kullanılan gerilim kaynakları açılma kapanma eğrileri düzgün ve yumuşak, normal şartlar altında kararlılığı bozulmayan gerilimler üretirler. Buna karşın gerçek dünyadaki gerilim kaynakları yüksek gürültü üretebilmelerinin yanında anlık olarak sisteme zarar verecek genlikte gerilim üretebilirler. Bu anlamda kararlı bir giriş devresi tüm bu filtreleme işlemlerinin yanında yüksek gerilimin vereceği zararlardan koruyabilecek sağlamlıkta olmalıdır.



Şekil 2.26. Giriş devresi ve koruyucu elemanlar

Şekil 2.26'da giriş devresini oluşturmak için kullanılmış elemanlar ve görevleri şu şekildedir;

- DC bağlantı ucu: Güç aktarımı için yüksek akımlara dayanıklı silindirik bağlantı elemanı kullanılmıştır. Eleman üzerinde bulunan üç bağlantı noktasından ikisi pozitif ve negatif gerilimlerin verildiği uçlardır.

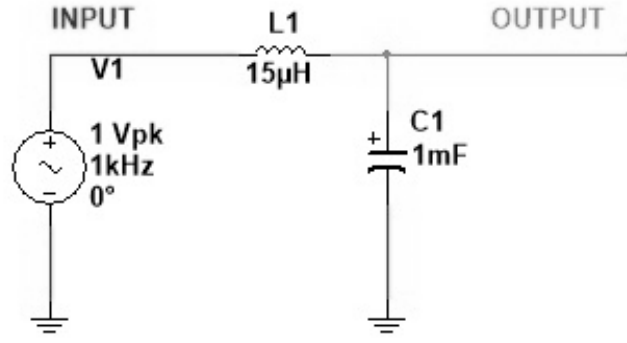
- Varistor: Varistörler uçlarındaki gerilim seviyesine göre direnci değişen malzemelerdir. Giriş geriliminin çok yükseldiği noktalarda iç direnci çok hızlı bir şekilde düşer. Böylelikle oluşacak yüksek akım ana devreler üzerinden gitmek yerine daha düşük dirence sahip olan varistör üzerinden geçmeyi tercih edecektir. Bu sayede devre yüksek gerilimlerden korunmuş olur.
- TVS: TVS (Transient voltage suppressor) elemanlar anlık olarak çok yüksek gerilimleri söndürmek için kullanılırlar. Bu elemanlar yerine zener diyot ya da varistör kullanılabilir de bu elemanlara oranla tepki süresi en yüksek malzemelerdir. Çok kısa süreli yüksek gerilim değişimlerini düzenlerler.
- Diyot: Besleme hattını kapatmayacak yönde ve seri bağlanacak bir diyot devreye ters gerilim verilmesi durumunda devrelerin zarar görmesine engel olur. Giriş gerilimi ile üretilmesi gereken gerilimler arasında büyük fark bulunduğundan diyot üzerinde yaşanacak gerilim düşümü regülatörler açısından önemsizdir.

Giriş devresinin sonuna bir alçak geçiren süzgeç konularak sisteme ulaşmadan yüksek frekans gürültülerinin etkilerinin azaltılması sağlanır. Şekil 2.27'de 15 uH bobin ve 1000 uF kapasite ile benzetim yapıldığında elde edilen sonuçlar görülmektedir.

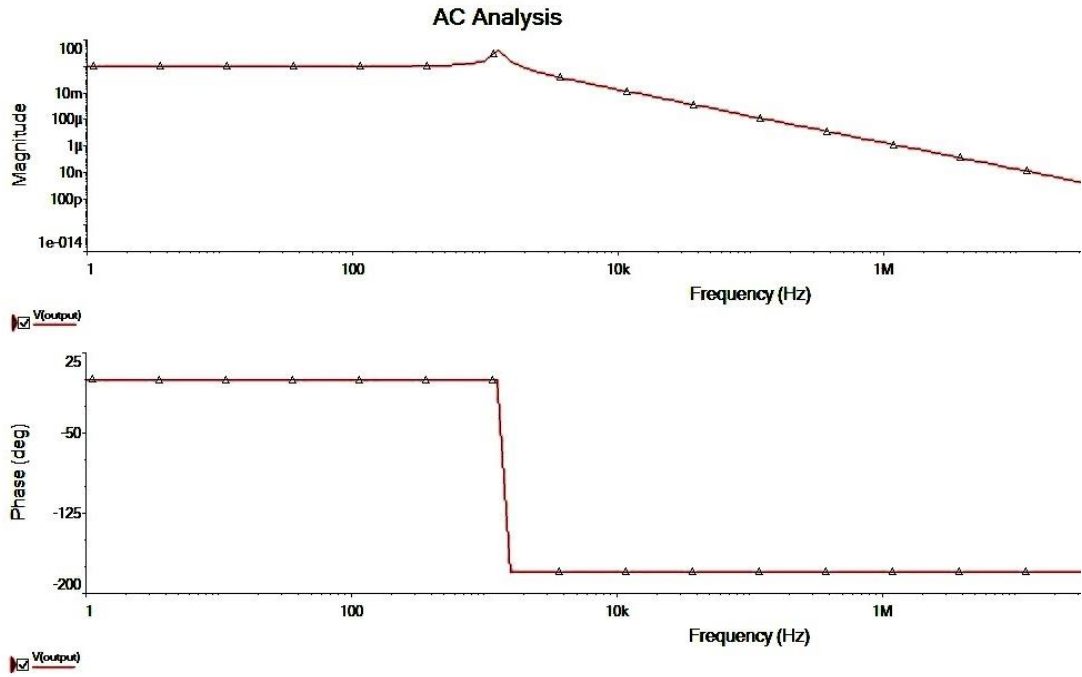
2.6.3. Gerilim düzenleyiciler

Sistemin çalışma gerilimi 12 V ve üzeri gerilimler olmasına rağmen devre üzerinde hiçbir donanım bu gerilime doğrudan ihtiyaç duymaz. Belirlenecek bir güç katında devrenin ihtiyacı olan daha düşük gerilimler düşürücü gerilim düzenleyiciler ile giriş geriliminden yüksek olan gerilimler ise kuvvetlendirici gerilim düzenleyiciler ile üretilir.

Tablo 2.4'de Sistem üzerinde ihtiyaç duyulacak gerilimler listelenmiştir. Phantom gerilimi olarak kullanılacak 48 V DC, giriş geriliminden yükseltilecekken bu gerilim haricindeki tüm gerilimler giriş geriliminden düşürülerek üretilecektir.



(a)



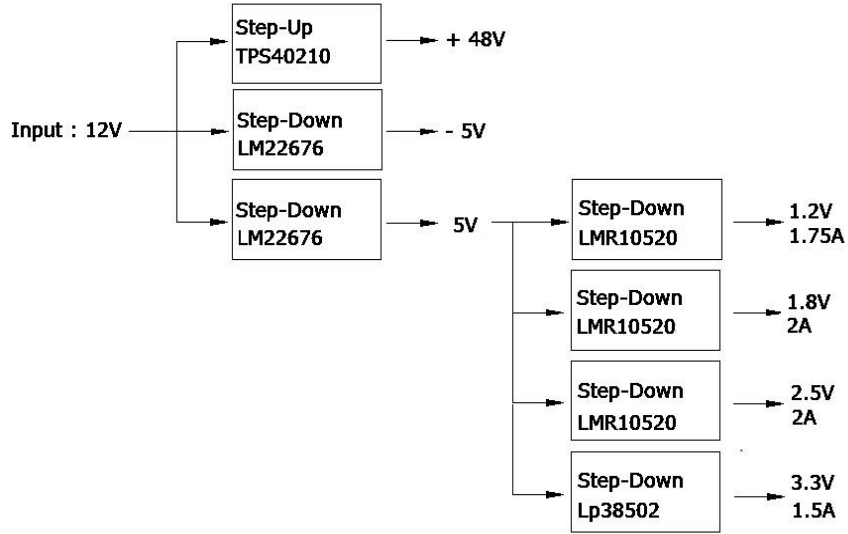
(b)

Şekil 2.27. a) Alçak geçiren giriş süzgeci için analiz devresi b) Alçak geçiren süzgeç için AC analiz sonuçları

Tablo 2.4. Gerilim – Donanım Dağılımı

DC - Gerilim [V]	Donanım
+ 48	Phantom Gerilimi
+ 5	PGA, ADC, Ön-Kuvvetlendirici
- 5	PGA, ADC, Ön-Kuvvetlendirici
+ 3,3	ADC, FPGA, Ethernet PHY, USB PHY, SPI Flash,
+ 2,5	Ethernet PHY
+ 1,8	Ethernet PHY
+ 1,2	FPGA

Gerilim düzenleyici olarak doğrusal ve anahtarlama şeklinde iki temel gerilim düzenleyici tipi vardır. Doğrusal gerilim düzenleyiciler, anahtarlama düzenleyicilere göre daha kararlı olmaları ve daha düşük gürültü üretmelerine rağmen maliyet, boyut, ağırlık, güç kaybı, ısınma gibi sebeplerden anahtarlama düzenleyiciler kadar tercih edilmezler. Bu nedenlerden dolayı sistemin besleme ağacında tamamıyla anahtarlama gerilim düzenleyiciler kullanılmıştır.



Şekil 2.28. Giriş geriliminden üretilecek gerilimler, düzenleyici modelleri ve en yüksek akım değerleri

Şekil 2.28’de giriş geriliminden üretilecek gerilimler ve bu kaynakların sağlayabileceği en yüksek akım değerleri gösterilmiştir. Bu akım sınırları sistemin çalışmaya başladığı anda çektiği akımdan daha düşük olmamalıdır. Bu sınırların aşılması durumunda gerilim düzenleyici gerekli akımı karşılayabilmek için öncelikle gerilimi düşürecektir. Bu sınırın çok fazla aşılması durumunda ise düzenleyici zarar görecektir.

Tablo 2.5’de devre üzerinde bulunan ana bileşenlerin, devrenin girişinden çekeceği toplam güç gösterilmiştir.

Tablo 2.5. Donanımlara göre güç dağılımı

Donanım ismi		Gerilim [Volt]	Akım (Maks) [mA]	Güç [mW]
PGA	8x	5	40	8×20
PGA	8x	-5	40	8×20
ADC – 5V	2	5	130	2×650
ADC – 3,3V	2	3,3	44	2×145,2 .
Ethernet PHY – 1,8V	1	1,8	430	774
Ethernet PHY – 2,5V	1	2,5	190	475
Ethernet PHY – 3,3V	1	3,3	100	3300
USB PHY	1	3,3	60	198
FPGA	1	3,3	347	1145,1
FPGA	1	1,2	363	435,6
			Toplam Güç	7947

3.PCB TASARIMI

PCB'ler elektronik devre elemanlarını monte etmek için yüzeyinde iletken yollar ve adalar, yüzeyler arasında ise içi lehim kaplı delikler içeren değişik yalıtkan materyallerden yapılmış plakalardır [16].Yalıtkan bir malzeme üzerine yerleştirilmiş iletken bir folyoyu uygun biçimlerde aşındırarak yolların ortaya çıkartılmasıyla üretilir. Bu özelliğinden dolayı PCB (Printed Circuit Board) baskılı devre kartı olarak da bilinir.

PCB tasarımı temel olarak şema tasarımı ve yolların serimi aşamalarından oluşur. Şematik düzenleyicide sembolik işaretlerle çizilen ve tasarlanan sistem, kart tasarım programında çizilen bakır yollarla ilişkilendirilir.

3.1.Şematik Tasarım İlkeleri

Kart tasarımı en önemli aşamalardan biri kartın şematik tasarım aşamasıdır. Bu aşamanın hatasız olması kartın çalışması için ilk şarttır.

Şematik tasarım, tasarımda bulunan malzemeleri, bu malzemelerin kart üzerindeki referans numaralarını, değerlerini, model numaralarını, gerekiyorsa toleranslarını bulundurur. Şematik tasarım bunların haricinde çok daha önemli olan elemanlar arası bağlantı listesini (netlist) içerir. Bağlantı listesinde, ara yüzde yapılan bağlantılar kablo isimleri ve malzemelerin bacak numaraları kullanılarak yapılır. Kart çizimine geçildiğinde bağlantı dosyası gerekli programlara aktarılır ve kartın fiziksel tasarımı yapılır.

Bağlantı listesinin yol isimleri ve bacak numaraları şeklinde olması büyük tasarımlarda çok büyük kolaylıklar sağlar. Özellikle bağlantıların karmaşık olduğu ya da farklı sayfalarda bulunan tasarımları birbirine bağlamak için sadece etiketler kullanılarak bağlantılar sağlanabilir. Bu etiketlerin şekillerinin gerilim, toprak, giriş, çıkış, çift yönlü gibi farklı şekillerde olması tasarımın okunurluğunu artırır.

Şematik tasarım aşamasının bitirilmesiyle kart çizim aşaması başlayacaktır. Bu adıma geçmeden önce üretilmesi istenen kartta uyulacak kurallar belirlenmelidir. Kural haritası tamamlandığında yol kalınlıkları için izin verilen kalınlık aralığı, yollar arası bırakılacak en düşük uzaklık, malzemelerin birbirine uzaklığı gibi değerlerin uygun değerlerde olması sağlanır. Aksi değerlerde çizim yapılması program tarafından engellenir.

Kart üzerinde kullanılan malzemelerin kapladığı alan, bacak sayıları, gürültüden etkilenme ve dışarıya çıkacak gürültü miktarı gibi faktörler göz önünde bulundurularak kartın kaç katlı olacağı belirlenmelidir.

3.2. PCB Katman Dizilimleri

Elektronik kartlarda uygun katman dizilimini sağlamak maliyet ve kararlı çalışabilirlik için en önemli ölçüttür. Bu aşamada yapılan seçim üründen alınacak en yüksek çalışma performansını doğrudan etkileyecektir. Katman diziliminin zayıf olduğu tasarımlar devrenin dış gürültülerden kolayca etkilenmesine neden olabilir. Aynı zamanda çalışma esnasında yollar arası sinyal etkileşimlerini azaltamayıp sinyallerin bozulmasına neden olabilir. Böyle bir durumda devrenin çalışmaması, eksik ya da hatalı çalışması durumlarıyla karşılaşılabilmektedir.

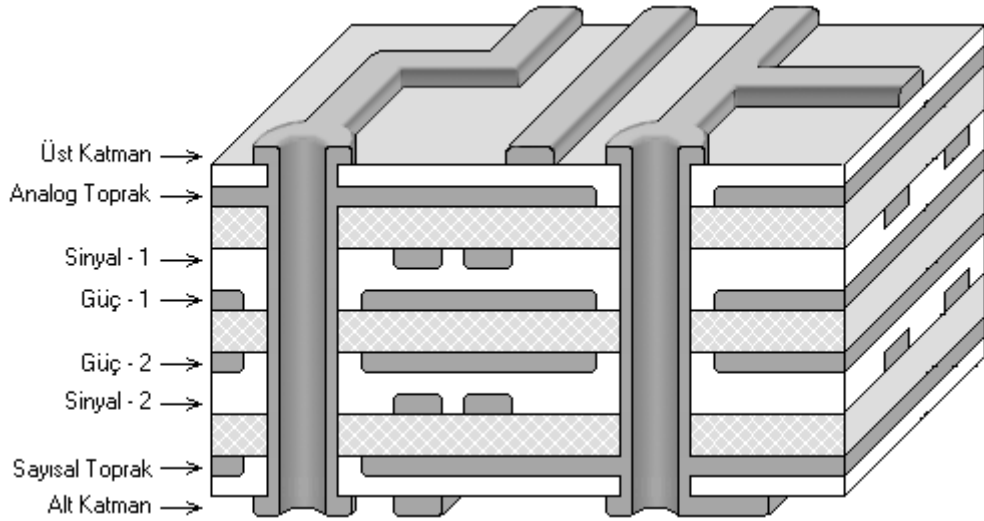
En uygun katman dizilimi belirlenirken göz önünde bulundurulması gereken noktalardan ilki kullanılacak PCB malzemesidir. Malzeme, sahip olduğu dielektrik katsayısı ile kart üzerindeki hatların empedansını doğrudan etkiler. Epoksi, FR4 (Flame retardant-4) gibi bilinen ve sıkça kullanılan malzemelerin seçilmesi maliyet açısından uygunluk sağlayacaktır [17]. Yine aynı şekilde tasarımda kullanılacak bakır folyoların kalınlığı da empedans ve taşınabilecek en yüksek akım şiddeti üzerinde etkili olacağından önceden belirlenmesi zorunludur.

PCB tasarımlarında yüksek katlı tasarımlar çok daha düşük seviyede istenmeyen yayınlar yapar. Örnek olarak 4 katlı bir PCB, 2 katlı bir PCB ye oranla 15 dB daha düşük yayın yapabilir [18]. PCB katmanlarında genellikle her kat belirli bir görev için kullanılır. Bu katmanların sıralaması olası bir emisyonun şiddetini belirler. Bu katmanların doğru dizilimi ile istenmeyen etkiler en aza indirilir.

PCB'ler için tanımlanabilen katmanlar şu şekildedir;

- Toprak katmanı : Analog ya da sayısal toprakların taşınması için tercihen kart boyutunda ve hiç kesintiye uğramayan düzlemler şeklinde yapılır. Bu iletken alan akımın dönüş yolu olarak kullanılır.
- Güç katmanları : Devre üzerindeki elemanları besleyecek besleme hatları için ayrılan katmanlardır. Bir katman içerisinde iletken kısımlar aşındırılarak çok sayıda alan oluşturulup bu alanlarda farklı gerilimlerin taşınması sağlanabilir.
- Sinyal katmanı : Devre üzerinde sinyal yollarının çizildiği katmanlardır. Sadece yollar ve bu yolları çevreleyen toprak hatları bulunur.

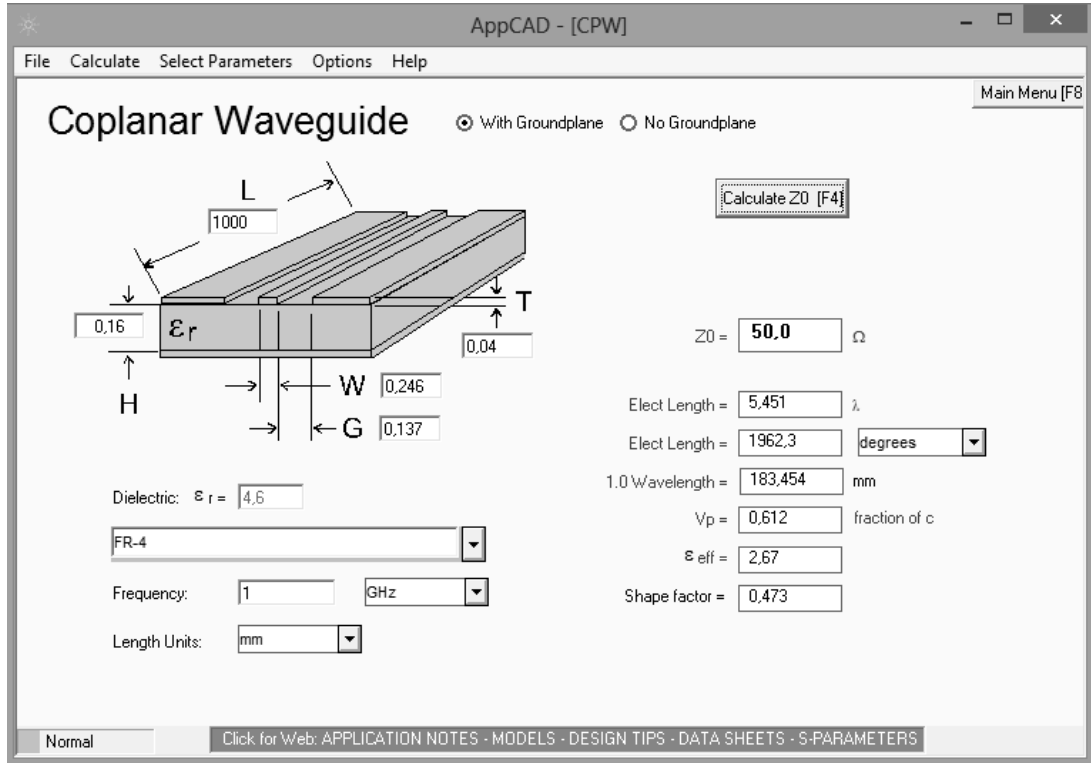
Katmanların sıralamasında dikkat edilmesi gereken ilk kural işaret katmanlarının bir toprak ya da güç düzlemine bitişik olmasının gerektiğidir. Bu işlem ile akım dönüş yolu en kısa hale indirilir ve işaretler arası etkileşimi azaltır. Ayrıca dizilimde işaret hatlarının ardışık olması durumunda bu hatlar farklı katmanlarda üst üste giden yollar arasındaki dielektrik malzemeden dolayı kapasitif etkiye maruz kalacaklardır.



Şekil 3.1. Tasarlanan sistemin elektronik kartına ait PCB katmanlarının yerleşimi ve katman isimlendirmesi

Projede üretilen kartın katman dizilimi Şekil 3.1'deki gibidir. Katman dizilimleri belirlenirken daha önce de belirtildiği gibi işaret hatlarının bakır düzlemlere bitişik durumda olmasına dikkat edilmiştir.

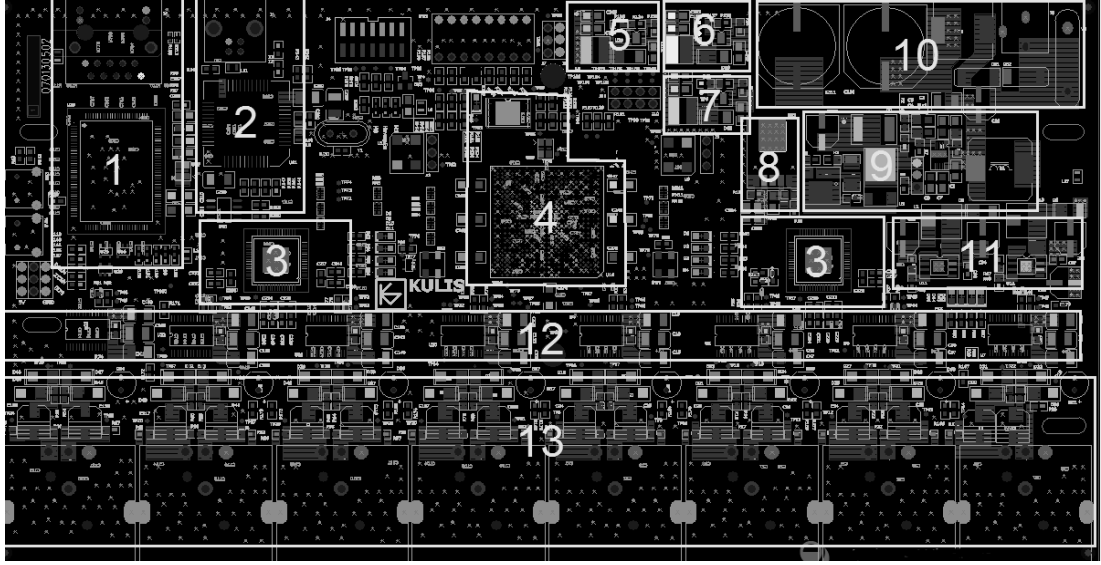
Yine bu aşamada bakır kalınlıkları ve dielektrik malzeme kalınlıkları belirlendiğinden empedans hesabı için yol kalınlıkları belirlenebilir. APPCAD programı kullanılarak Şekil 3.2’de görülen değerler elde edilmiş ve 50 Ω karakteristik empedansa sahip olması gereken hatlar 0,246 mm genişliğinde çizilmiştir.



Şekil 3.2. APPCAD programı ile 50 Ω öz-empedansa sahip olması gereken hatların yol kalınlıklarının hesaplanması

3.3. Eleman Yerleşimi

Elektronik elemanların kart üzerindeki yerleşimi ve birbirlerine göre konumları kart tasarımının temelini oluşturur. İyi yollandırmanın ilk şartı iyi bir eleman yerleşiminden geçer. Bu aşamaya özen gösterilir ve iyi yapılırsa işaretler daha düzgün iletilir, malzemelerin montajları sorunsuz olur böylelikle dizgi maliyeti ve süresi azalır.



Şekil 3.3. Kart üzerindeki farklı donanım bölgelerinin gösterilmesi için oluşturulmuş alanlar

Elemanların yerleşimi için öncelikle kartın boyutları hedeflenen cihaz kutusuna göre belirlenmiştir. Daha sonra ise cihaza bilgi girişin yapıldığı ve bilgi çıkışının yapıldığı devrelerin konumları birbirinden ayrılmıştır. Şekil 3.3'te gösterildiği gibi 13. bölgede gösterilen mikrofon bağlantı elemanları kartın ön tarafına dizilirken 10. bölgedeki güç girişi, 1. bölgedeki Ethernet ve 2. bölgedeki USB bağlantıları şekildeki gibi arka plana yerleştirilmiştir. Böylelikle sinyal akış yönü kart üzerinde önden arkaya doğru olmuştur.

Sinyal ilerleme yönü izlenerek 12 numaralı bölgeye PKK'ler koyulmuştur. Bu sayede mikrofon bağlantı elemanlarından çıkan hatlar en kısa mesafede kuvvetlendiricilere ulaşmıştır.

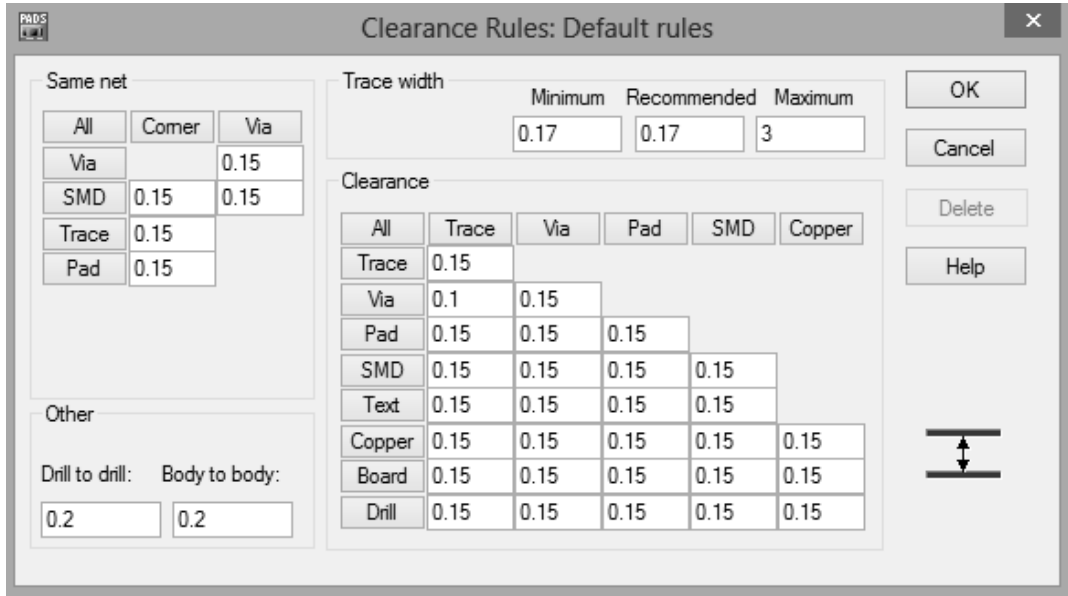
8 adet PKK'den çıkan hatlar 4'erli gruplar halinde iki ADC'ye dağılacığından her 4 PKK'nin bağlanacağı ADC bu PKK'lere yakın olarak, 3 numaralı bölgelerde konumlandırılmıştır. Böylelikle 4 numaralı bölgede FPGA yongası için bir boşluk da oluşmuştur.

Kartın sağ üst köşesi sayısal haberleşmeden uzak ve güç girişinin burada bulunmasından dolayı 10. bölgede konumlanmıştır. Buradan alınan giriş gerilimi phantom gerilimi üretilmesi için 9. bölgeden geçerek 11. bölgeye ulaşır. Burada ise devrenin genelinde çok kullanılan +5 V ve -5 V gerilimleri üretilir. Phantom gerilimi 11. bölgenin sağından kartın ön kısmına yaklaşır ve giriş devrelerine bağlanır.

+5 V dan kaynağını alan 1,8 V, Ethernet devresini beslediğinden bölge 5 de yer alır ve kartın üst yüzünü izleyerek soldaki Ethernet bölgesine geçer. 2,5 V üretilen 6. bölge, 1,2 V üretilen 7. bölge ve 3,3 V üretilen 8. bölgeler ise sayısal birimlere ve özellikle FPGA'ya yakınlığından dolayı tercih edilmiştir.

3.4. Kartın Yollandırılması

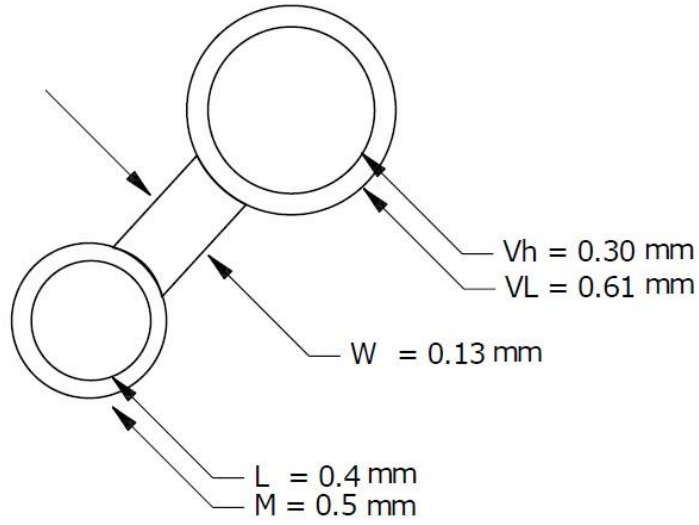
Kartın yollandırılmasında bilinmesi ve kati surette uyulması gereken ilk ölçüt üretimi yapacak olan üreticinin sahip olduğu üretim teknolojisidir. Devre üzerinde çizilebilecek en küçük yol kalınlığı, iki yol arası bırakılabilecek en küçük mesafe, en küçük delik çapı gibi değerler üreticiden üreticiye değişebilir. Bu mesafeler tasarım öncesi ya üreticiden öğrenilmeli ya da her üreticinin üretebileceği sadelikte tasarım ölçütleri belirlenmelidir.



Şekil 3.4. Çizilebilecek en düşük mesafeler ile kurallar tablosunun oluşturulması

Şekil 3.4'te görüldüğü gibi tez kapsamındaki tasarım kapsamında çizimler genel olarak 0,17 mm ile yapılmış; özellikle güç aktarımında kullanılacak ve daha kalın çizilecek yollar için ise 3mm gibi geniş bir üst sınır belirlenmiştir. Yine yolların 0,17 mm altında çizimi kurallar ile yasaklanmıştır.

Yol kalınlıkları kadar önemli bir diğer üretim ölçütleri ise iç katmanlara geçiş sağlayan VIA delik çaplarıdır.



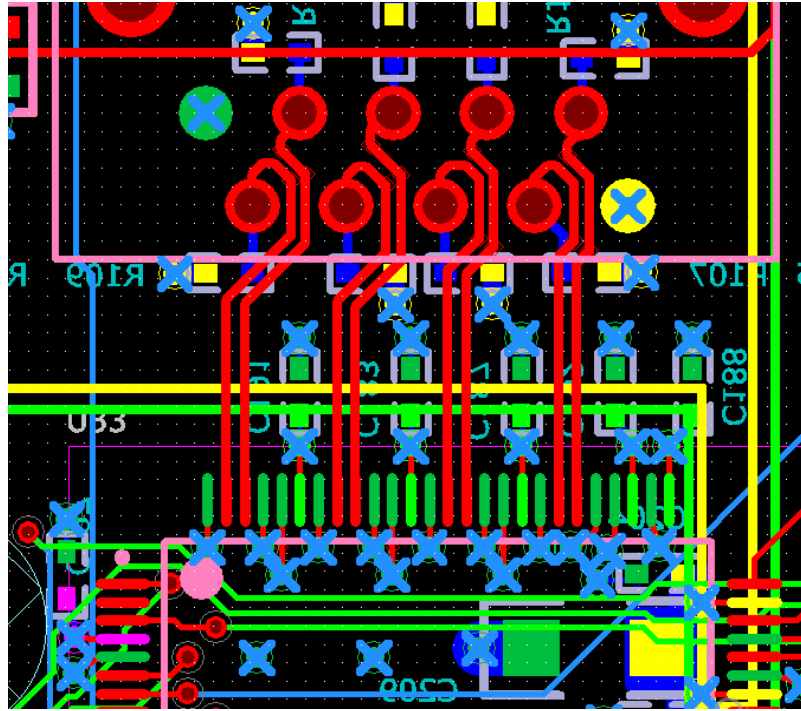
Şekil 3.5. FPGA bacakları için önerilen yüzey genişliği ve bu yüzeylere bağlanması önerilen VIA, lehim maskesi ölçüleri [19]

Şekil 3.5'te Spartan-6 FPGA'ları için önerilen VIA ölçüleri gösterilmiştir. Buna göre FPGA bacaklarının lehimlenebilmesi için 0,4 mm çaplı bakır yüzey, 0,5 mm çaplı lehim maskesi gereklidir. Bunu yanında VIA olarak ise 0,3 mm delik çapı ve 0,31 mm bakır yüzey ölçüsü önerilmiştir. Tasarımda tek tip VIA kullanılarak tasarım maliyeti düşük tutulmuştur.

Tasarım ölçütleri belirlendikten sonra geçilmesi gereken nokta kart üzerindeki yolların oluşturulması işlemidir. Kart üzerinde yolların düzgün ilerleyip, karmaşık olmaması daha önceden de bahsedildiği gibi iyi bir eleman yerleşimine bağlıdır. Üst ve alt yüzeylerdeki yollar genellikle gürültüye çok açık olmayan yollar olmalıdır. Daha hassas, yüksek hızlı işaretler, ara katlardan bakır düzlemlerin korumasında ilerlemelidir.

Yollar oluşturulurken gürültüden etkilenme faktörünün dışında birde güç aktarımının sorunsuz olması gereklidir. Özellikle ince yollar ile gerilim düzlemlerine az sayıda VIA ile inmek yüksek gerilim düşümlerine yol açar. Bu durumda gerilim istenildiği ölçüde iletilemeyeceğinden sistemde çalışmayan noktalar görülecektir. Bunun önüne geçmek için en uygun yöntem yol yerine bakır alanların güç iletiminde kullanılmasıdır.

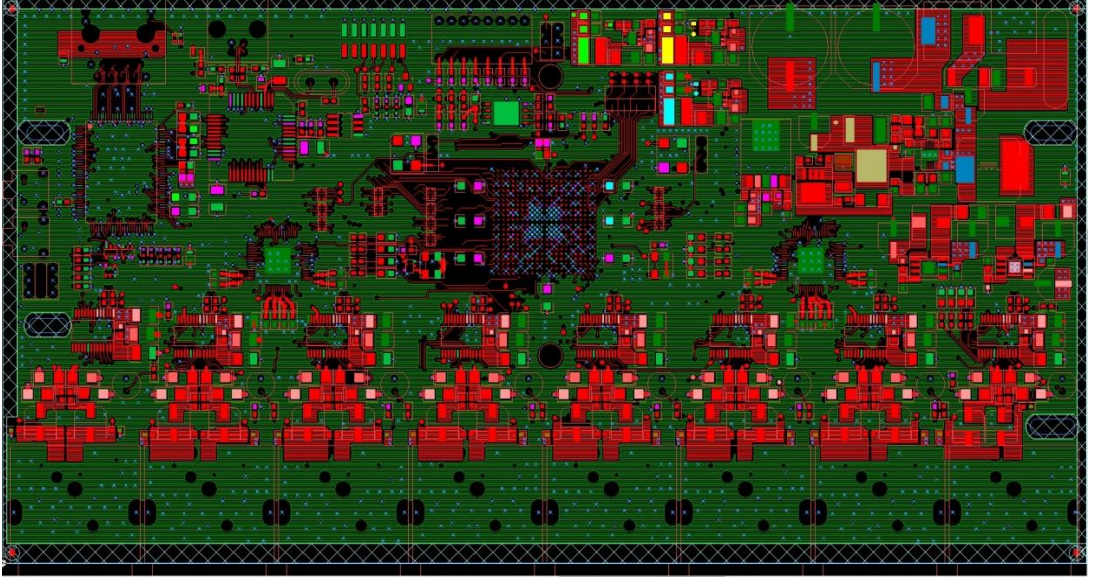
PCB tasarımı sırasında dikkat edilmesi gereken bir diğere önemli konu farksal hatların serimidir. Farksal hatların aynı gürültüye sahip olması için uzunluklarının da eşit olması gereklidir. Devre üzerinde bu farksal hatlar yoğun olarak kullanılmaktadır. Bu hatlar mikrofon-PKK arasında, PKK-ADC arasında, Ethernet PHY-Ethernet konektörü arasında ve USB PHY-USB konektör arasında bulunur. Şekil 3.6'da görülen Ethernet hatları farksal hatlardır ve görüldüğü üzere uzunlukları birbirine eşit sayılabilecek uzunluktadır.



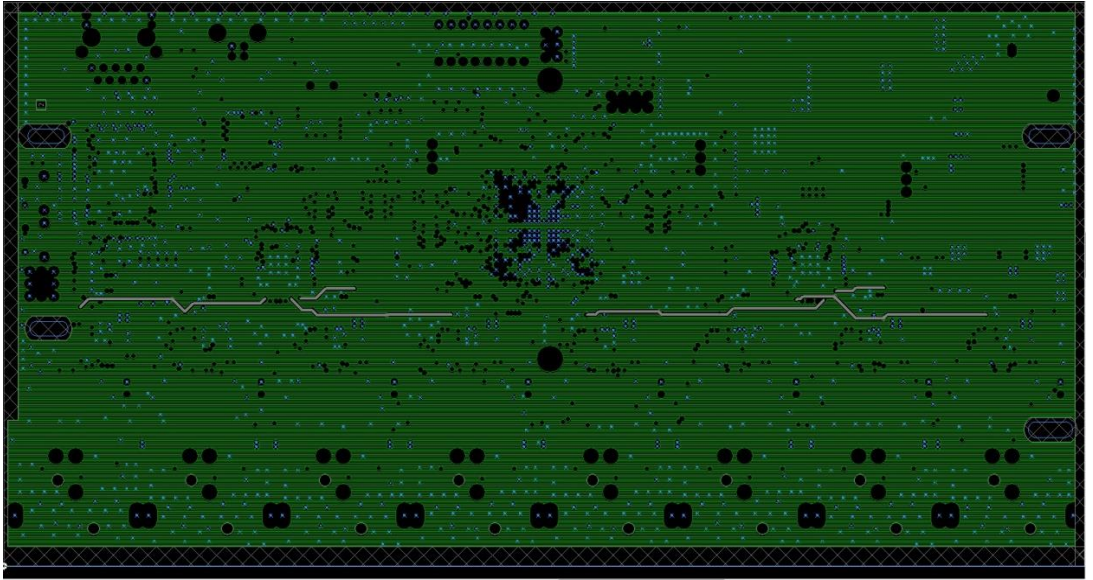
Şekil 3.6. Ethernet PHY yongası ve Ethernet konektörü arasında bağlantıyı sağlayan farksal hatlar

İki adet toprak katmanı ve iki adet güç katmanı yollandırma işlemini kolaylaştırırken bu katmanların olmadığı devrelere göre karmaşıklık ve gürültüden etkilenme özelliği azalır. Özellikle gerilim katmanlarında farklı voltaj seviyelerini aynı katta farklı bakır adalar ile iletirmek tasarımı kolaylaştıran faktörlerdendir. Gerilim katmanlarında ayrı bakır alanlar Şekil 3.8 ve Şekil 3.12'de görülmektedir.

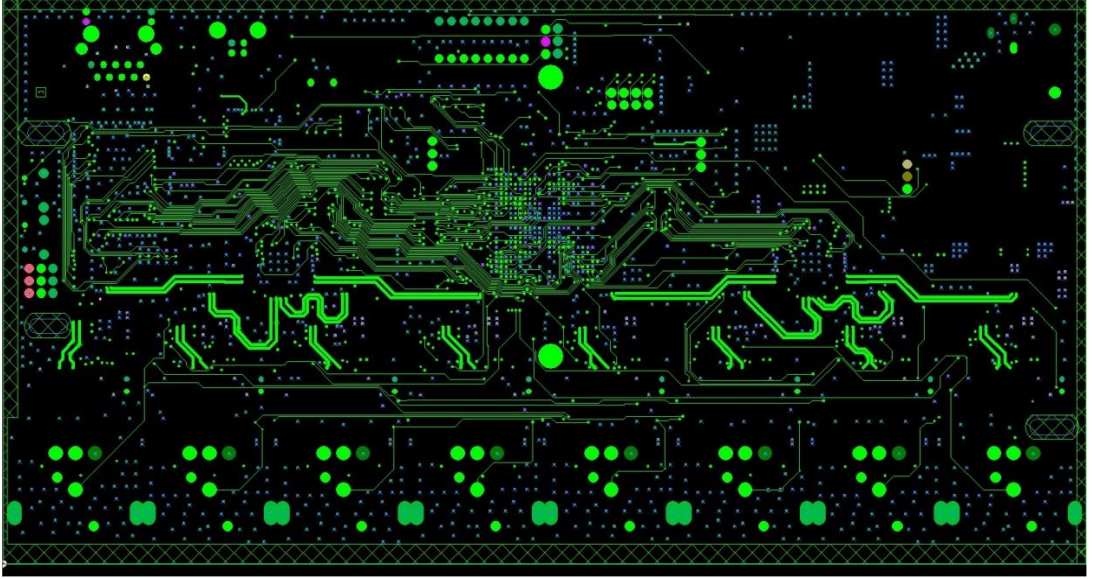
Tasarımı bitirilen PCB ye ait katman görüntüleri üst katmandan alt katmana doğru sırasıyla Şekil 3.7, Şekil 3.8, Şekil 3.9, Şekil 3.10, Şekil 3.11, Şekil 3.12, Şekil 3.13, 3.14'te görülmektedir.



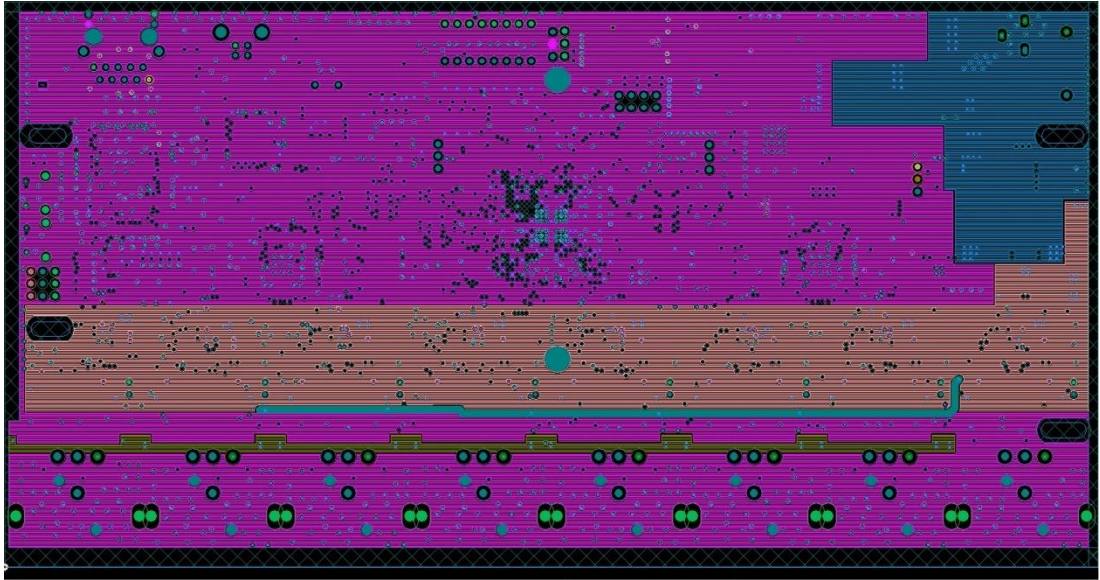
Şekil 3.7. Kartın üst yüzey katmanının genel görünümü



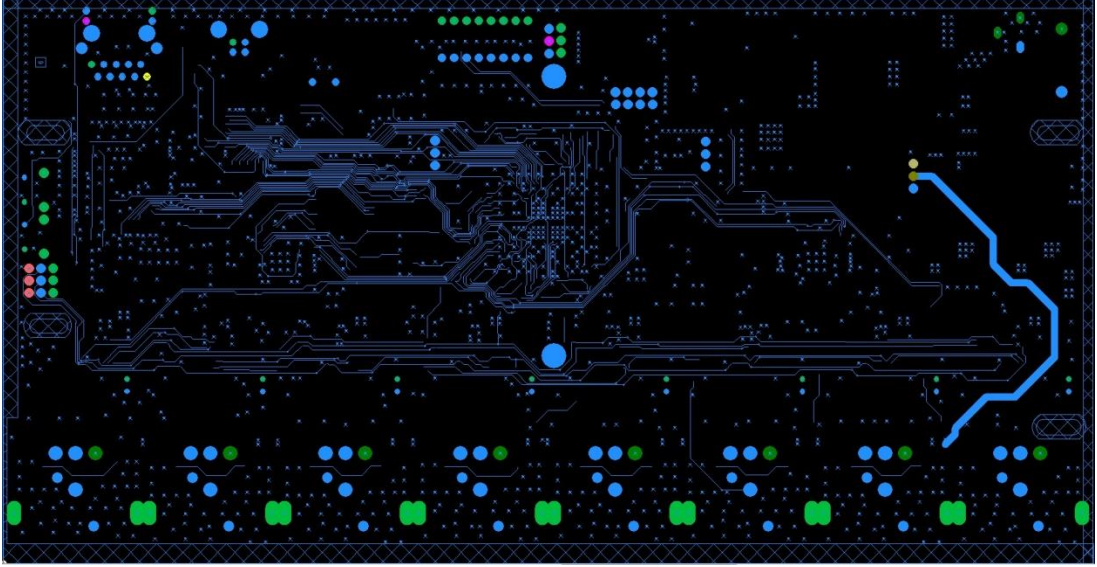
Şekil 3.8. Kartın toprak katmanı kat-2 nin genel görünümü



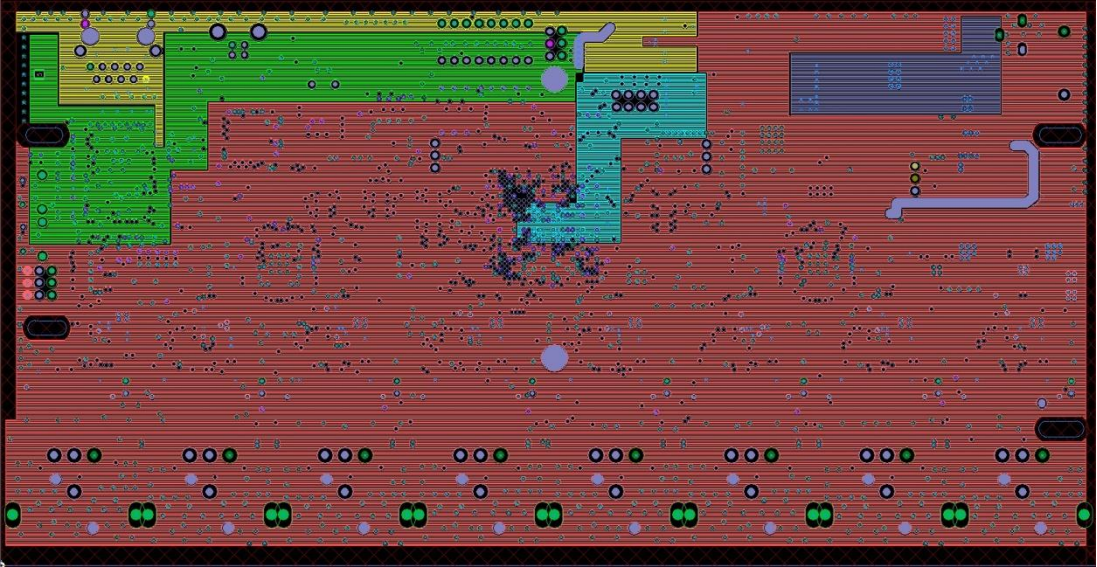
Şekil 3.9. Kartın sinyal-1 katmanı kat 3 genel görünümü



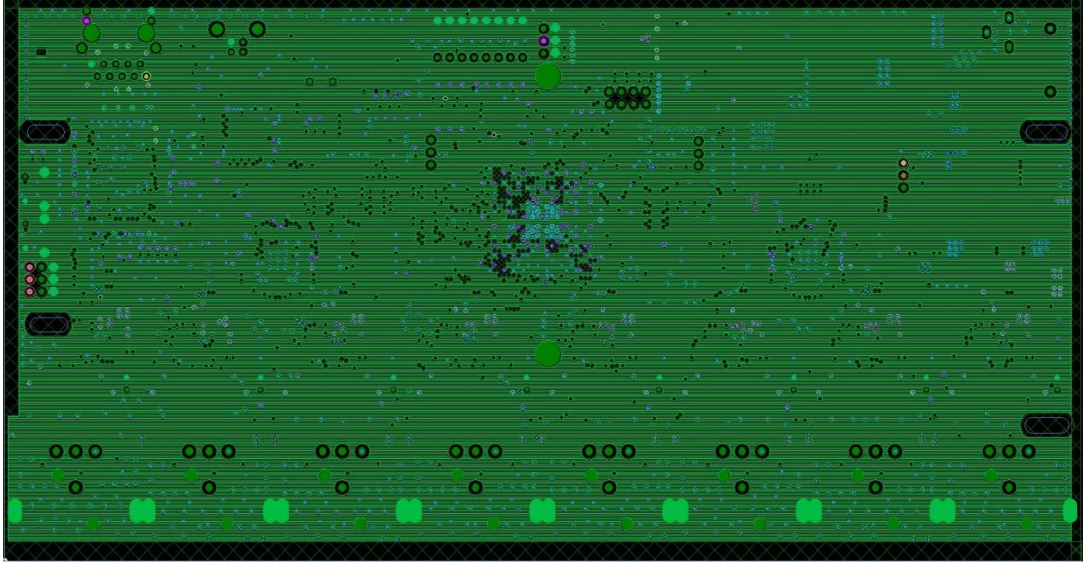
Şekil 3.10. Kartın güç-1 katmanı kat 4 genel görünümü



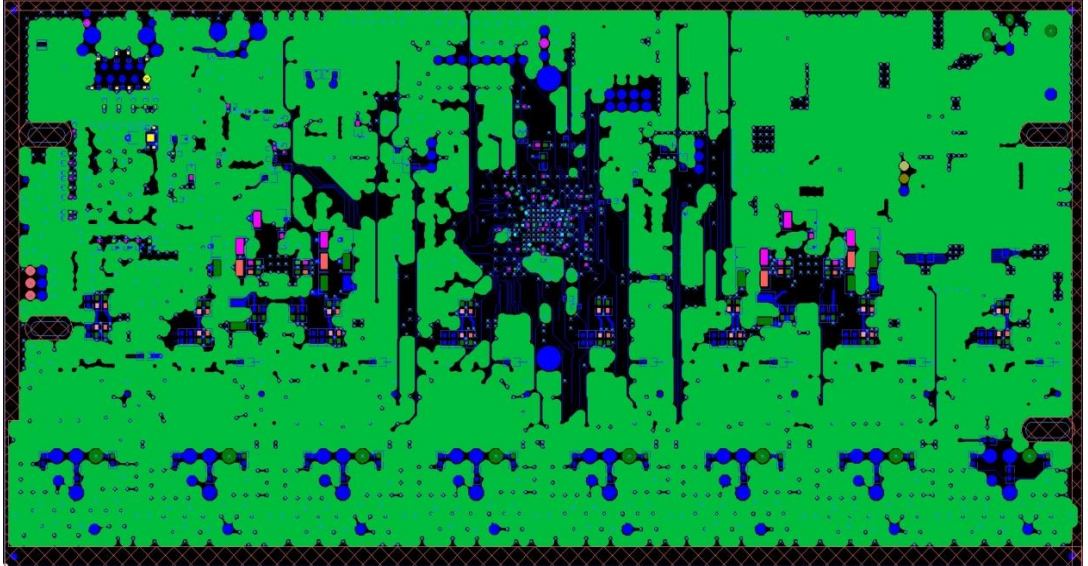
Şekil 3.11. Kartın güç-2 katmanı kat 5 genel görünümü



Şekil 3.12. Kartın sinyal-2 katmanı kat 6 genel görünümü



Şekil 3.13. Kartın toprak-2 katmanı kat 7 genel görünümü

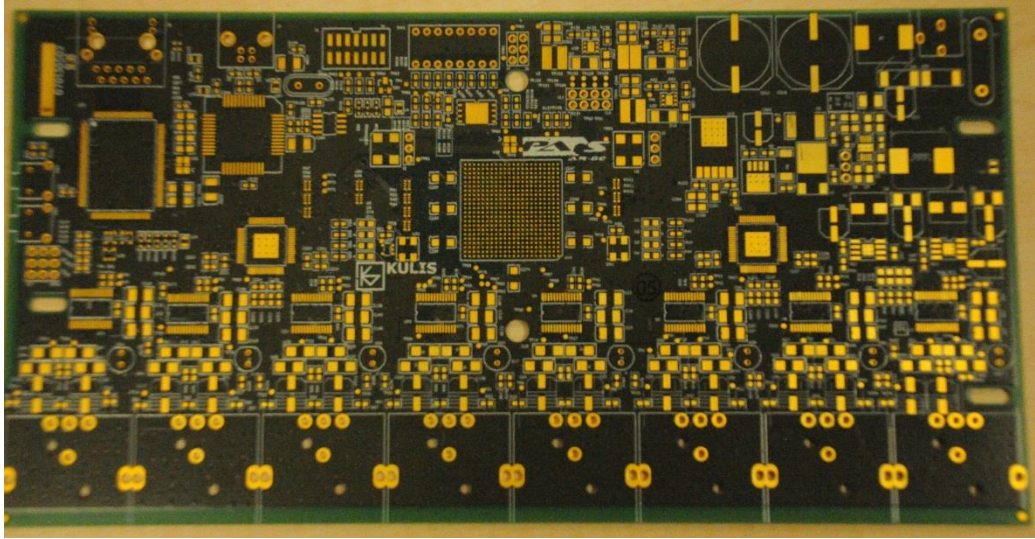


Şekil 3.14. Kartın alt yüzey katmanı kat 8 genel görünümü

4.TASARIM DOĞRULAMA VE GEÇERLEME

Şematik ve PCB çizimi tamamlanan kartlar gerber dosyaları ile ürettirilmiştir. Dizgi işlemleri yapıp elektriksel testleri yapılmıştır.

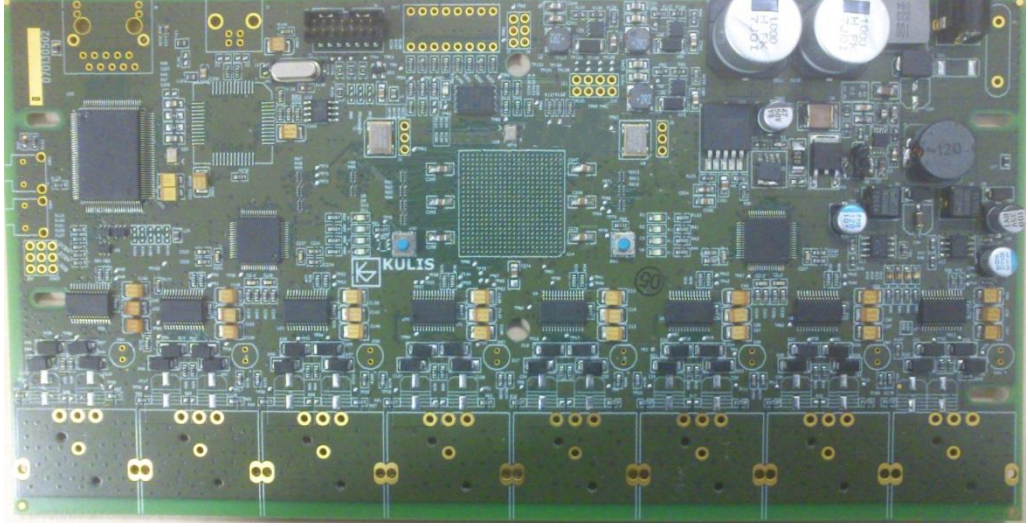
Dizginin yapılmadığı durumda kartın görünümü Şekil 4.1'deki gibidir. Kartın bu görüntüsü Şekil 3.3'deki çizim ile karşılaştırıldığında benzerlik görülecektir.



Şekil 4.1. Üretim sonrası kartların dizgi yapılmamış görüntüsü

Kartların temel bileşenlerinin dizgisi yapıldıktan sonra ise görüntüsü Şekil 4.2'deki gibi olmuştur.

Üretimi tamamlanan kartların dizgi sorunları ve göz kontrolü yapıldıktan sonra 12 V gerilim uygulanmış ve tüm gerilim düzenleyicilerden istenen çıkışlar elde edilmiştir. Gerilim düzenleyici testlerinden sonra IMPACT ara yüzünde FPGA yongası JTAG üzerinden görülmüş ve programlanmıştır. Bu işlemlerin ardından ise SPI Flash programlanmıştır. SPI Flash yongasına program kodlarının yüklenmesinden sonra ilk gerilim geldiğinde FPGA'ya programın yüklendiği görülmüştür.

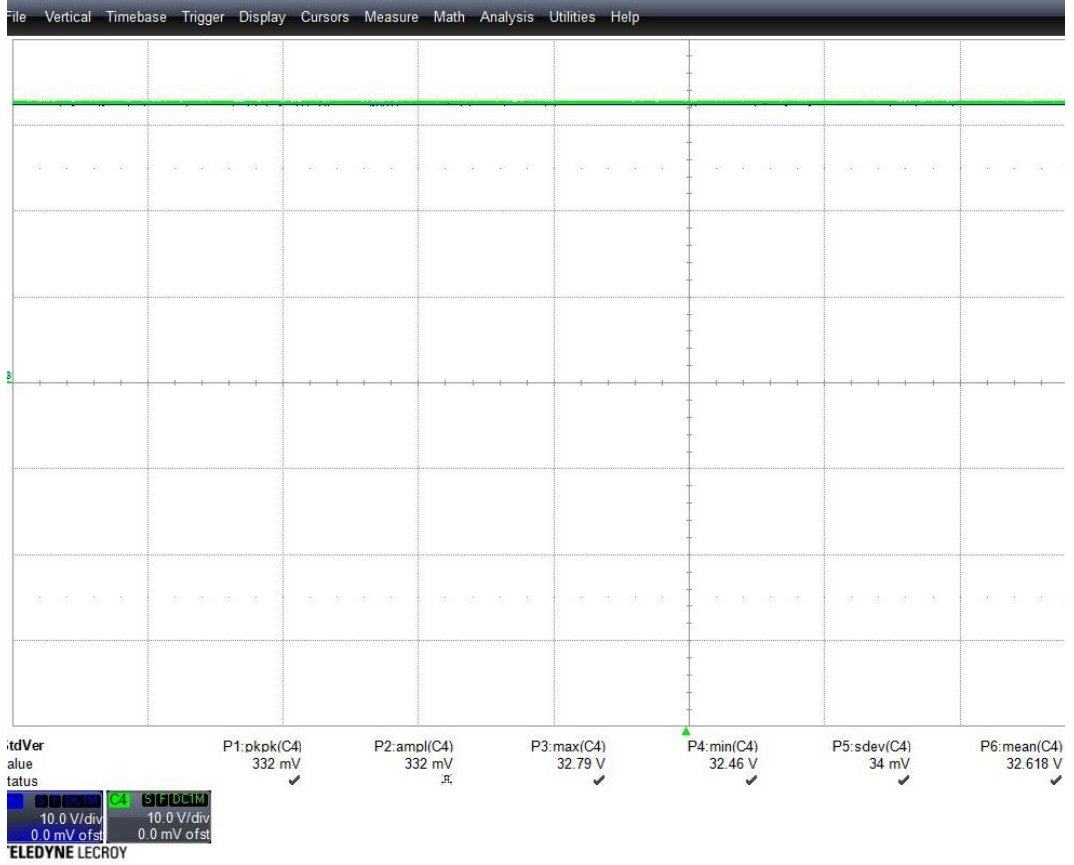


Şekil 4.2. Üretim sonrası kartların temel bileşenlerinin dizgisinin tamamlanmış haldeki görüntüsü

Yazılımı yüklenen donanımın işlevsellik testleri mikrofon girişlerinden verilen çeşitli işaretlerin Ethernet üzerinden geri okunmasıyla denenmiştir. Mikrofon girişlerine takılan mikrofonların XLR bağlantı elemanlarının bacaklarında görülen işaretler Şekil 4.4’de görülmektedir.



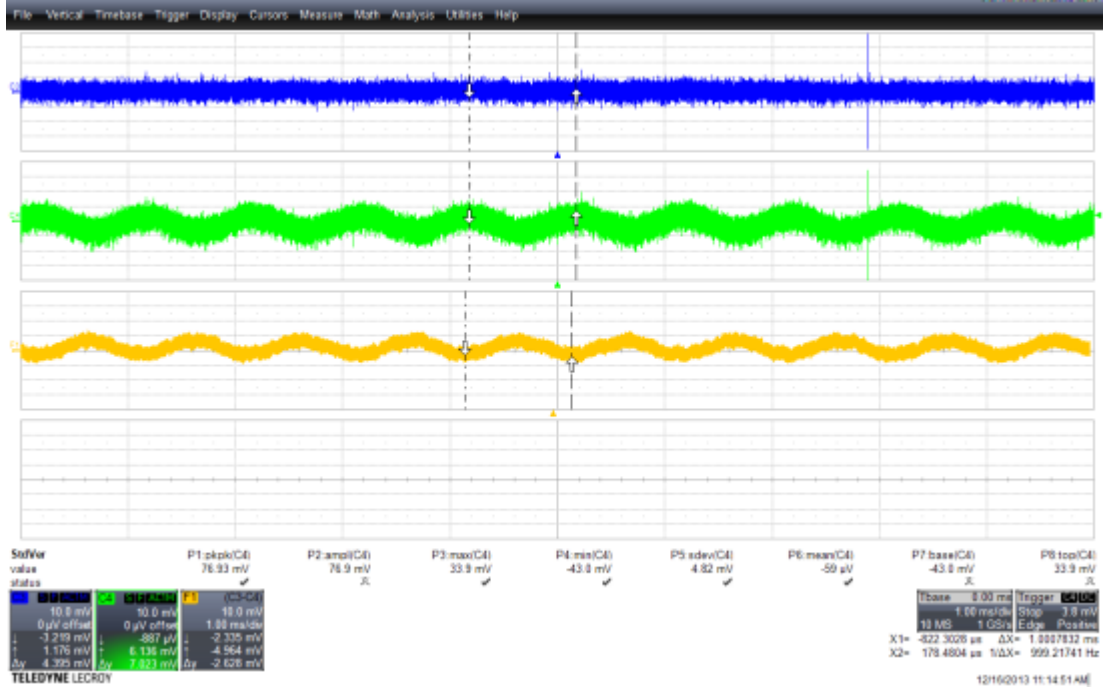
Şekil 4.3. Dizgisi tamamlanmış kartın görünümü ve mikrofonların, Ethernet kablosunun karta bağlantısı



Şekil 4.4. Phantom gerilimi ile beslenmiş DC offsetli mikrofon işaretlerinin DC modda osiloskop ekranında görüntülenmesi

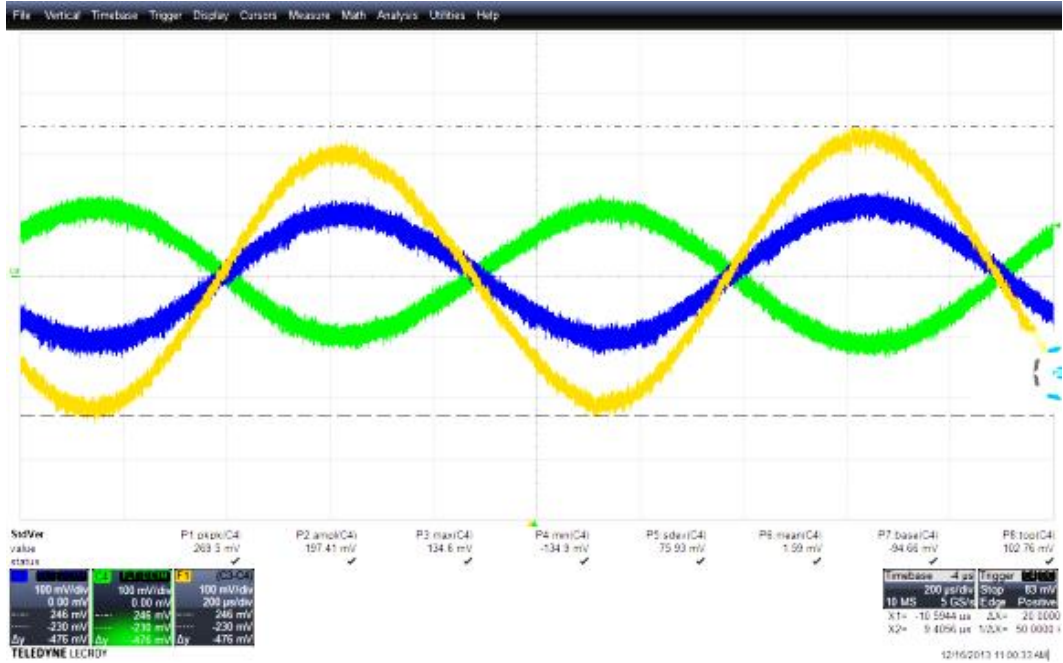
Şekil 4.4'te görülen işaretler mikrofon işaretleridir ve mikrofonlar phantom gerilimi ile beslenmiştir. Mikrofon işareti bu DC gerilim üzerinde salınır. DC gerilim üzerinde salınan işaret çok düşük gerilim değerine sahip olduğunu için bu işareti osiloskop ekranında DC modda gözlemlemek zordur. Bu yüzden ilgili kanallar AC moda geçirildiğinde işareten DC bileşen ayrılır. 10 mV/kare gerilim ölçeğinde işaretlerin değişimi Şekil 4.5'te gösterilmiştir.

Şekil 4.5'de görülen işaretler doğrudan PKK girişlerine ulaşan işaretlerdir ve kazanç etkisi henüz uygulanmamıştır. Şekil 4.5'de işaretler [33,9 mV,-43 mV] aralığında izlenmiştir. PKK çıkışlarında bu işaretler kazanç katsayısı ile çarpılıp ADC ye gönderilecektir.



Şekil 4.5. 1KHz mikrofon işaretlerin AC modda osiloskop ekranında gözlenmesi

Şekil 4.6'da ADC'ye giren PKK çıkış işaretleri görülmektedir. İşaretler farksal iletiliyor olup farklarının değeri osiloskop ekranında fonksiyon olarak çizdirilmiştir.



Şekil 4.6. PGA çıkışlarındaki 1 Khz frekansındaki işaretlerin farksal olarak osiloskop ekranında görüntülenmesi.

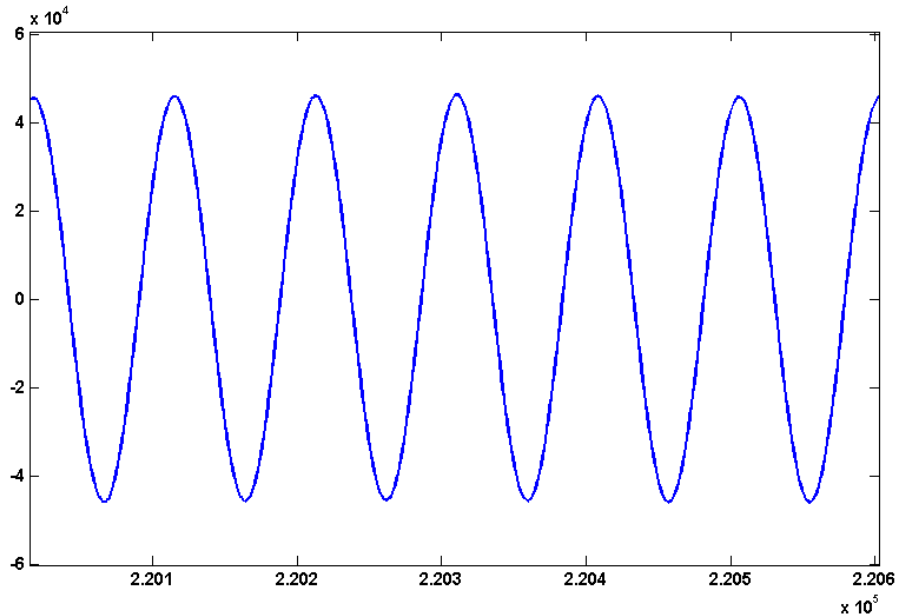
Bu aşamadan sonra ilerleyen 1 kHz frekansındaki işaret ADC yongalarına geçip sayısallaştırılır. FPGA ünitesinden Ethernet yolu ile gönderilen işlenmemiş bilgiler Ethernet soket dinleyici programlarla dinlenebilir. Bunu yapabilecek örnek bir program Wireshark isimli Ethernet dinleyici yazılımdır.

Wireshark ile alınan paketler Şekil 4.7’de görülmekte olup kanal bilgileri sıralı olarak PACK anahtar kelimesi eşliğinde gönderilmektedir.

0000	ff ff ff ff ff ff b0 e6 ba 0a d7 0c 08 00 45 00E.	
0010	04 1c b3 fe 00 00 80 11 58 fe 1e 0a 0b cb ff ffX.	
0020	ff ff 04 01 04 01 04 08 00 00 50 41 43 4b 00 00PACK..	
0030	00 00 00 00 00 03 7e 00 13 67 50 41 43 4b 00 00gPACK..	
0040	00 00 00 00 00 03 9b 00 15 41 50 41 43 4b 00 00APACK..	1. kanal
0050	00 00 00 00 00 02 fd 00 14 fa 50 41 43 4b 00 00PACK..	2. kanal
0060	00 00 00 00 00 03 3b 00 17 d0 50 41 43 4b 00 00PACK..	3. kanal
0070	00 00 00 00 00 04 df 00 13 d5 50 41 43 4b 00 00PACK..	4. kanal
0080	00 00 00 00 00 03 4c 00 11 c0 50 41 43 4b 00 00L. .PACK..	
0090	00 00 00 00 00 04 1d 00 15 10 50 41 43 4b 00 00PACK..	
00a0	00 00 00 00 00 03 63 00 13 fd 50 41 43 4b 00 00C. .PACK..	
00b0	00 00 00 00 00 02 b4 00 13 cf 50 41 43 4b 00 00PACK..	
00c0	00 00 00 00 00 03 57 00 15 20 50 41 43 4b 00 00W. .PACK..	
00d0	00 00 00 00 00 04 73 00 13 e4 50 41 43 4b 00 00S. .PACK..	

Şekil 4.7. Ses bilgisinin Ethernet üzerinden alındığının Wireshark programı üzerinden doğrulanması.

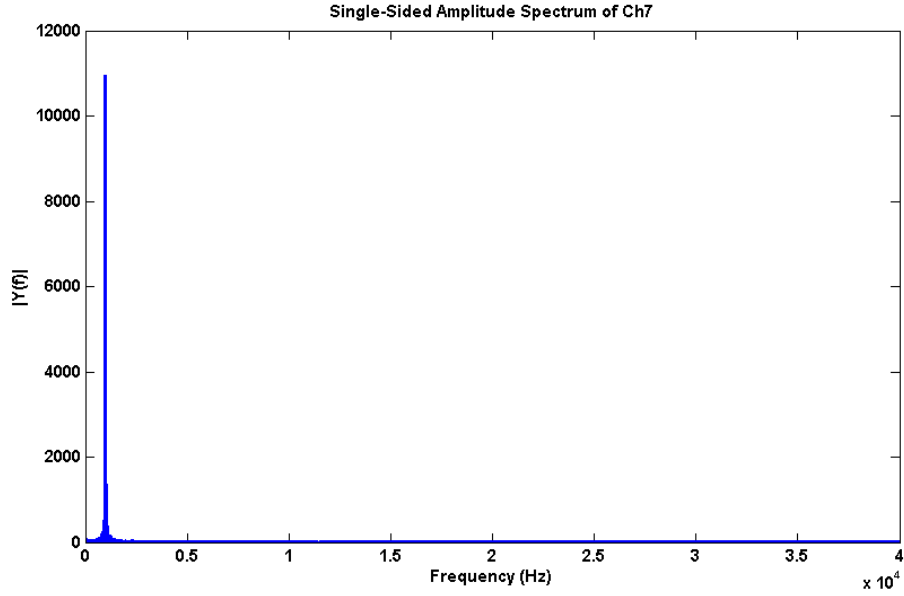
Ethernet üzerinden alınan ses bilgisi bir C++ programı ile bilgisayara formatlı olarak yazdırılmış ardından ise bu dosya MATLAB programına aktarılmıştır.



Şekil 4.8. Dosyaya yazdırılan 1 kHz ses bilgisinin MATLAB ekranında görselleştirilmesi

Bilgi işaretinin zaman düzleminde sorunsuz görüntülenmesi bilgilerin doğru olduğunu garanti etmez. Bunun için aynı işaretin bir de frekans spektrumundaki

bileşenleri incelenmelidir. Mikrofon girişinden 1 kHz frekansında bir işaret verildiği için spektrumda diğer frekans bileşenlerinin ya hiç bulunmaması ya da bu frekansa göre çok düşük seviyede olması gerekir.

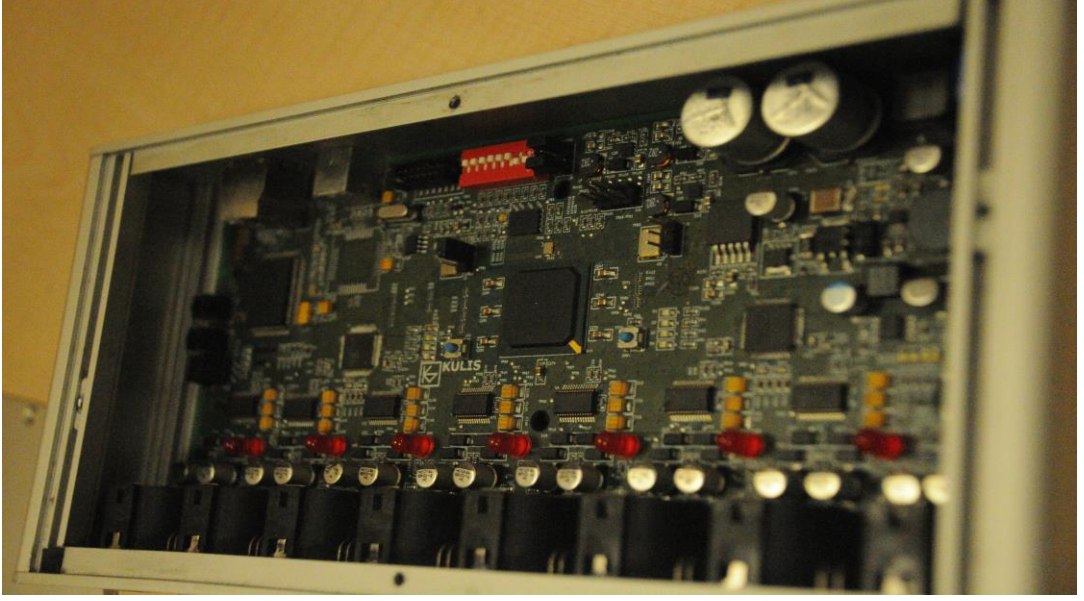


Şekil 4.9. Elde edilen ses işaretinin frekans spektrumunun MATLAB ekranında incelenmesi

Şekil 4.9’da elde edilen spektrumda sadece 1 kHz frekans noktasında yüksek bir genlik gözlemlenmiştir. Bunun yanında diğer frekans bileşenleri spektrumda önemsenecek düzeyde değildir. Spektrumun istenmeyen frekans bileşenlerinden arınmış olması ile işaret taşınması sırasında hatlarda işaretin bozulmadığı ve başka işaretlerden etkilenmediği anlaşılmıştır.

Çalışırlığı test edilen kartların ilk örnek ürün düzeyinden son aşamaya gelmesi için tasarım kutulanmalıdır. Kutu için 4 adet alüminyum profil ve 6 adet alüminyum levha kullanılmış ve Şekil 4.10’daki gibi PCB bu kutu içerisine yerleştirilmiştir.

Yine kutulanmış donanımın genel görünümü Şekil 4.11’de ön yüzden, Şekil 4.12’de arka yüzden, Şekil 4.13’de ise perspektif olarak görünmektedir.



Şekil 4.10. Elektronik kartın alüminyum kutu içerisindeki görünümü



Şekil 4.11. Donanımın kutu içerisinde önden görünümü



Şekil 4.12. Donanımın kutu içerisinde arka görünümü



Şekil 4.13. Donanımın kutu içerisinde önden görünümü

SONUÇLAR VE ÖNERİLER

Bu tez kapsamında 7 adet mikrofona sahip olan ve bir sesin konum bilgisini kendi içerisinde hesaplayabilecek gömülü bir sistemin donanımsal tasarımı gerçekleştirilmiştir. Çalışmanın donanımsal olarak gerçekleşmesi ile sadece teorik olarak yapılabilirliği gösterilmemiş pratik anlamda da yaşanabilecek olası zorluklar ve kısıtlamalar belirlenmiştir.

Ses konum tespiti işlemlerini gerçekleştirecek olan donanımda mikrofonlardan gelen işaretler programlanabilir kuvvetlendiricilere aktarılmış ve belirli bir kazanç katsayısı ile çarpılmıştır. Bundan sonra işaretler 12 bit çözünürlüğe sahip 4 kanallı Analog-Sayısal çeviriciler yardımı ile FPGA merkezine aktarılmış burada ara depolamadan sonra okunacak formatlarda Ethernet ara yüzünden gönderilmiştir. Ethernet protokolünün kullanılması için ise yüksek hız ve basitliğe sahip GMII ara yüzü tercih edilmiştir.

Yerel ağ üzerinden bilgisayara bağlanmış donanımın her mikrofona sabit frekanslı ses işaretleri gönderilmiş ve donanımın döndürdüğü sayısal bilgiler C# tabanlı çalıştırılabilir (.exe) program ile formatlı biçimde bir metin dosyasına yazılmıştır. Son olarak ise bu metin dosyaları MATLAB ara yüzündeki kodlar ile okunmuş ve grafiklerle görselleştirilmiştir. Okunan sayısal işaretler içerisinde gönderilen frekans dışında frekans izlerine rastlanmamış olması ile donanımın çalışırılığı test edilmiştir.

KAYNAKLAR

- [1] Sayoud H., Ouamour S., Khennouf S., Speaker localization using stereo-based sound source localization, *Signal Processing and their Applications (WOSSPA)*, Tipaza, Algeria, 9-11 May 2011.
- [2] Millet J., Balingand B., Latest achievements in gunfire detection systems, *Battlefield Acoustic Sensing for ISR Applications*, 2006, **1**, 26-14.
- [3] Volgyesi P., Balogh G., Nadas A., Nash C., Ledeczki A., Shooter localization and weapon classification with soldier-wearable networked sensors, *Proceedings of the 5th international conference on Mobile systems, applications and services (MobiSys '07)*., New York, USA, 2007.
- [4] Texas Instruments, PGA2500 Digitally Controlled Microphone Preamplifier, <http://www.ti.com/lit/ds/sbos289a/sbos289a.pdf> (Ziyaret tarihi: 11 Mart 2013).
- [5] That corporation, Input and output circuits for That preamplifier ICs, USA, <http://www.thatcorp.com/datashts/dn140.pdf>, (Ziyaret tarihi : 9 Ağustos 2013)
- [6] International Rectifier, MBRA120 Diode datasheet, USA, <http://www.irf.com/product-info/datasheets/data/mbra120.pdf> (Ziyaret tarihi: 11 Kasım 2013).
- [7] Texas Instruments, PCM4204 High Performance 24-Bit, 216kHz Sampling FourChannel Audio Analog-toDigital Converter, USA, <http://www.ti.com/lit/ds/sbas327a/sbas327a.pdf> (Ziyaret tarihi: 12 Ekim 2013).
- [8] Departamento de Tecnología Electrónica, Guidelines for Presentation Template Xilinx University Program, Spain, <http://www.dte.us.es> (Ziyaret tarihi: 8 Mart 2013).
- [9] Xilinx, Spartan-6 FPGA Configuration User Guide UG380 (v2.5) , USA, http://www.xilinx.com/support/documentation/user_guides/ug380.pdf (Ziyaret tarihi: 10 Ekim 2013).
- [10] Micron Technology, N25Q128 Quad SPI Flash Datasheet, USA, www.micron.com/~media/Documents/Products/Data%20Sheet/NOR%20Flash/Serial%20NOR/N25Q/N25Q_128_3_Volt_with_boot_sector.pdf (Ziyaret tarihi: 14 Eylül 2013).
- [11] Texas Instruments, DP83865 PHYTER V Gigabit Ethernet Physical Layer, USA, <http://www.ti.com/lit/ds/snls165b/snls165b.pdf> (Ziyaret tarihi: 9 Ekim 2013).

- [12] PulseGuard, Surface Mount Polymeric ESD Suppressors, USA, http://www.littelfuse.com/data/en/Data_Sheets/Littelfuse_PulseGuard-ESD_PGB1.pdf, (Ziyaret tarihi: 6 Ekim 2013).
- [13] Future Technology Devices International Limited, FT232H single channel hi-speed usb to multipurpose uart/fifo ic datasheet version 1.8, http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT232H.pdf, (Ziyaret tarihi: 15 Kasım 2013).
- [14] http://tr.wikipedia.org/wiki/Bask%C4%B1%C4%B1_devre_kart%C4%B1, (Ziyaret tarihi: 03 Ocak 2014)
- [15] Barry Olney, Multilayer PCB Stackup Planning In-Circuit, Australia, http://www.icd.com.au/articles/Stackup_Planning_AN2011_2.pdf (Ziyaret tarihi: 14 Aralık 2013).
- [16] Intel Corporation, PCB Stack-up Overview for Intel®Architecture Platforms Layout and Signal Integrity Considerations, USA, <http://www.intel.co.kr/content/dam/www/public/us/en/documents/white-papers/ia-pcb-stack-up-overview.pdf> (Ziyaret tarihi: 14 Kasım 2013).
- [17] Xilinx, Spartan-6 PCB Design and Pin Planning Guide UG393 (v1.3) USA, http://www.xilinx.com/support/documentation/user_guides/ug393.pdf (Ziyaret tarihi: 14 Ekim 2013).

KİŞİSEL YAYINLAR ve ESERLER

- [1] Güvenel Ç., Tekyıldız A., **Türkoğlu Ç.**, Yıldız Ç., Çelebi A., Urhan O, Güllü K., Ertürk S., IR Camera System with Embedded Target Tracking, *2nd Annual International Conference on Real-Time and Embedded Systems (RTES)*, Singapur, 2011.
- [2] **Türkoğlu Ç.**, Çağdaş S., Çelebi A., Ertürk S., Hardware Design of an Embedded Real-Time Acoustic Spurge Location Detector, *6th International Conference on New Technologies, Mobility and Security*, 2 April 2014 (Accepted).

ÖZGEÇMİŞ

1988 Kocaeli doğumlu olan Çağın Türkoğlu ilk ve orta öğretimini Kocaeli’de tamamladı. Kocaeli Anadolu Lisesinden mezun oldu. 2007 yılında başladığı Kocaeli Üniversitesi Elektronik ve Haberleşme Mühendisliği Bölümünden 2011 yılında Lisans derecesini aldı.

Haziran 2010 yılında Kocaeli Üniversitesi Görüntü ve Sinyal İşleme Laboratuvarında araştırmacı olarak çalışmaya başladı. 2011 Temmuz ayından beri Pars Ar-Ge firmasında donanım mühendisi olarak FPGA’ların programlanması, PCB Tasarım üzerine çalışmaktadır.