

**KOCAELİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ
ANABİLİM DALI**

YÜKSEK LİSANS TEZİ

**250 NM CMOS TEKNOLOJİSİ İLE SRAM BİRİM HÜCRE
OPTİMİZASYONU VE 2 Kb SRAM TASARIMI**

HASAN KAYDIRMA

KOCAELİ 2019

KOCAELİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ
ANABİLİM DALI

YÜKSEK LİSANS TEZİ

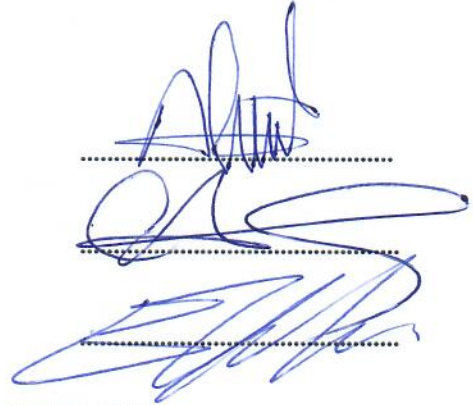
250 NM CMOS TEKNOLOJİSİ İLE SRAM BİRİM HÜCRE
OPTİMİZASYONU VE 2 Kb SRAM TASARIMI

HASAN KAYDIRMA

Prof. Dr. Ali TANGEL
Danışman, Kocaeli Üniv.

Dr. Öğr. Üyesi Oktay AYTAR
Jüri Üyesi, Bolu Abant İzzet Baysal Üniv.

Dr. Öğr. Üyesi Engin AFACAN
Jüri Üyesi, Kocaeli Üniv.



Tezin Savunulduğu Tarih: 29.05.2019

ÖNSÖZ VE TEŞEKKÜR

Bu tez çalışmasında, 6T SRAM birim hücresi alan ve kararlılık açısından incelenerek geliştirilen bir optimizasyon metoduyla 2 Kb CMOS SRAM tümdevre tasarımı gerçekleştirilmiştir.

Tez çalışmamda desteğini esirgemeyen, çalışmalarına yön veren, bana güvenen danışmanım Prof. Dr. Ali TANGEL'e sonsuz teşekkürlerimi sunarım.

Tez çalışmam boyunca bilgi ve destekleriyle bana katkıda bulunan Dr. Ahmet UNUTULMAZ'a sonsuz teşekkür ediyorum. Ayrıca yüksek lisans öğrenimim süresince her konuda yardımcı olan Dr. Harun Mustafa Töle'ye, Enstitü Müdür Yardımcım Dr. Aziz Ulvi ÇALIŞKAN'a ve Birim Amirim Dr. Nurettin Yaman ÖZELÇİ'ye teşekkürü borç bilirim.

Hayatım boyunca bana güç veren en büyük destekçilerim, her aşamada sıkıntılarımı ve mutluluklarımı paylaşan sevgili eşim Zehra KAYDIRMA'ya ve canım oğlum Yaman Çetin KAYDIRMA'ya teşekkürlerimi sunarım.

Nisan – 2019

Hasan KAYDIRMA

İÇİNDEKİLER

ÖNSÖZ VE TEŞEKKÜR	i
İÇİNDEKİLER.....	ii
ŞEKİLLER DİZİNİ	iv
TABLolar DİZİNİ.....	vi
SİMGELER VE KISALTMALAR DİZİNİ.....	vii
ÖZET	ix
ABSTRACT	x
GİRİŞ.....	1
1. 6T SRAM BİRİM HÜCRESİ VE ANALİZLERİ	5
1.1. 6T SRAM Birim Hücre Topolojisi	5
1.2. 6T SRAM Birim Hücre Kararlılık Analizleri	6
1.2.1. Bekleme modu.....	6
1.2.2. Okuma modu ve analizi	6
1.2.3. Yazma modu ve analizi.....	8
1.3. 6T SRAM Birim Hücre Statik Gürültü Toleransı ve Analizleri	10
1.3.1. Statik gürültü toleransı	10
1.3.1.1. Okuma statik gürültü toleransı.....	13
1.3.1.2. Yazma statik gürültü toleransı	14
1.3.1.3. Tutma statik gürültü toleransı	16
1.4. 6T SRAM Birim Hücre Serim Tipleri.....	19
1.5. 6T SRAM Birim Hücre Serim Alanı İçin Boyut Optimizasyonu.....	23
1.6. Kontak Genişliği İçin Üretim Süreci Çalışmaları.....	26
2. SRAM TUMDEVRE TASARIMINI OLUŞTURAN DEVRELER.....	28
2.1. Ön Yükleme Devresi.....	28
2.1.1. 2 NMOS'lu ön yükleme devresi.....	28
2.1.2. 3 PMOS'lu ön yükleme devresi.....	29
2.1.3. 2 PMOS'lu ön yükleme devresi.....	30
2.1.4. Ön yükleme devresi seçimi	30
2.2. Satır Çözücü Devresi.....	32
2.3. Sütun Çözücü Devresi	37
2.4. Yazma Devresi.....	39
2.5. Fark Algılayıcı Devreleri.....	43
2.5.1. Diferansiyel fark algılayıcı devresi.....	43
2.5.2. Mandal temelli fark algılayıcı devresi	44
2.5.3. Geçiş transistörlü mandal temelli fark algılayıcı devresi.....	45
2.5.4. Akım kontrollü mandal tipi fark algılayıcı devresi.....	45
2.5.5. Fark algılayıcı devresi özellikleri	46
2.5.5.1. Giriş gerilimi seviyesi.....	46
2.5.5.2. Statik akım akışı	46
2.5.5.3. Fark algılayıcı devresi seçimi	47
2.6. Tutucu Devresi.....	50
2.7. Kontrol Devresi.....	52

3. 2 Kb SRAM TASARIMI İÇİN GÜÇ, ALAN VE GECİKME BİLGİLERİ İLE BENZETİM SONUÇLARI	53
3.1. 2 Kb SRAM Güç Dağılımları	53
3.2. 2 Kb SRAM Alan Dağılımları	54
3.3. 2 Kb SRAM Gecikme Bilgileri.....	57
3.4. 2 Kb SRAM Genel Benzetim Sonucu	57
4. SONUÇLAR VE ÖNERİLER.....	60
KAYNAKLAR.....	62
EKLER.....	65
KİŞİSEL YAYIN VE ESERLER.....	81
ÖZGEÇMİŞ.....	82



ŞEKİLLER DİZİNİ

Şekil 1.1.	6T SRAM birim hücre yapısı	5
Şekil 1.2.	6T SRAM birim hücre okuma devresi.....	7
Şekil 1.3.	6T SRAM birim hücre yazma devresi	8
Şekil 1.4.	Girişler ve çıkışlar arasına yerleştirilen gürültü kaynakları ile iki eşdeğer evirici olarak sunulan bir SRAM hücre yapısı	11
Şekil 1.5.	Genel SNM grafiği gösterimi	12
Şekil 1.6.	Genel yazma SNM grafiği	13
Şekil 1.7.	Okuma modu için SNM test devresi.....	13
Şekil 1.8.	Okuma modu için tüm verilerin oluşturduğu SNM grafiği.....	14
Şekil 1.9.	En iyi $f(SNM)$ değeri için okuma modu SNM grafiği.....	14
Şekil 1.10.	Yazma modu için SNM test devresi	15
Şekil 1.11.	Yazma modu için tüm verilerin oluşturduğu SNM grafiği	15
Şekil 1.12.	En iyi $f(SNM)$ değeri için yazma modu SNM grafiği	16
Şekil 1.13.	Tutma modu için SNM test devresi	16
Şekil 1.14.	Tutma modu için tüm verilerin oluşturduğu SNM grafiği	17
Şekil 1.15.	En iyi $f(SNM)$ değeri için tutma modu SNM grafiği	17
Şekil 1.16.	Alana karşılık $f(SNM)$ grafiği	18
Şekil 1.17.	6T SRAM birim hücre serimi 1	19
Şekil 1.18.	6T SRAM birim hücre serimi 2.....	19
Şekil 1.19.	6T SRAM birim hücre serimi 3	20
Şekil 1.20.	6T SRAM birim hücre serimi 4.....	20
Şekil 1.21.	6T SRAM birim hücre serimi 5.....	21
Şekil 1.22.	6T SRAM birim hücre serimi 6.....	21
Şekil 1.23.	Serim tiplerinin ene (K) göre gösterimi	22
Şekil 1.24.	Serim tiplerinin boya (H) göre gösterimi	22
Şekil 1.25.	Serim tiplerinin alana (A) göre gösterimi	22
Şekil 1.26.	4x4'lük SRAM birim hücre serimi 1 dizisi.....	23
Şekil 1.27.	0,30 μm / 0,30 μm kontak genişliği ve kontaklar arası boşluk için kesildikten sonraki üstten FIB görüntüsü	26
Şekil 1.28.	0,30 μm / 0,30 μm kontak genişliği ve kontaklar arası boşluk için kesildikten sonraki yandan kesit alınmış FIB görüntüsü ve ölçümleri	26
Şekil 2.1.	2 NMOS'lu ön yükleme devresi.....	29
Şekil 2.2.	3 PMOS'lu ön yükleme devresi	29
Şekil 2.3.	2 PMOS'lu ön yükleme devresi	30
Şekil 2.4.	32 satır içeren satır çözücü devresi.....	34
Şekil 2.5.	32 satır içeren satır çözücü devresi serimi	35
Şekil 2.6.	Satır çözücü devresi benzetim sonucu	35
Şekil 2.7.	Satır çözücü devresi adres sürücülerini.....	36
Şekil 2.8.	Sütun çözücü devresi	37
Şekil 2.9.	8 sütun içeren çözücü devresi serimi	38
Şekil 2.10.	Sütun çözücü devresi benzetim sonucu	38
Şekil 2.11.	Sütun çözücü devresi adres sürücülerini.....	39

Şekil 2.12.	Yazma devresi	40
Şekil 2.13.	Yazma devresi serimi.....	41
Şekil 2.14.	4'lü yazma devresi serimi	41
Şekil 2.15.	Yazma devresi benzetim sonucu	42
Şekil 2.16.	Diferansiyel fark algılayıcı devresi.....	43
Şekil 2.17.	Mandal temelli fark algılayıcı devresi	44
Şekil 2.18.	Geçiş transistörlü mandal temelli fark algılayıcı devresi.....	45
Şekil 2.19.	Akım kontrollü mandal tipi fark algılayıcı devresi	45
Şekil 2.20.	Okuma işlemi için oluşturulan fark algılayıcı devresi	47
Şekil 2.21.	Okuma devresi (fark algılayıcı devresi) benzetim sonucu.....	48
Şekil 2.22.	Okuma devresi serimi	49
Şekil 2.23.	4'lü okuma devresi (fark algılayıcı devresi) serimi.....	50
Şekil 2.24.	Çıkışı tutmak için oluşturulan tutucu devresi.....	51
Şekil 2.25.	Tutucu devresi serimi.....	51
Şekil 2.26.	Yazma ve okuma işlemi için kontrol devresi	52
Şekil 2.27.	Kontrol devresi serimi.....	52
Şekil 3.1.	2 Kb SRAM tümdevresinin güç dağılımları	54
Şekil 3.2.	2 Kb SRAM tümdevresinin alan dağılımları.....	55
Şekil 3.3.	2 Kb SRAM tümdevresi serimi	56
Şekil 3.4.	2 Kb SRAM için yazma ve okuma benzetim sonuçları.....	58
Şekil 3.5.	2 Kb SRAM için sayısal yazma ve okuma benzetim sonuçları	59

TABLolar DİZİNİ

Tablo 1.1.	M1, M3 ve M5 transistörleri için DC analiz sonuçları.....	7
Tablo 1.2.	Tablo 1.1'den elde edilen eşik gerilimi kullanılarak yapılan DC analiz sonuçları.....	7
Tablo 1.3.	M2, M4 ve M6 transistörleri için DC analiz sonuçları.....	9
Tablo 1.4.	Tablo 1.3'den elde edilen eşik gerilimi kullanılarak yapılan DC analiz sonuçları.....	9
Tablo 1.5.	En iyi $f(SNM)$ değeri için o moddaki SNM sonuçları.....	18
Tablo 1.6.	Kontak genişliğinin bellek hücre alanına etkisi	24
Tablo 1.7.	Metal-Metal arası mesafenin bellek hücre alanına etkisi.....	24
Tablo 1.8.	Poli-Aktif arası mesafenin bellek hücre alanına etkisi	24
Tablo 1.9.	Poli-Poli arası mesafenin bellek hücre alanına etkisi	25
Tablo 1.10.	N-Kuyu'nun P-Aktif alanı örtme mesafesinin bellek hücre alanına etkisi.....	25
Tablo 1.11.	N-Kuyu'nun N-Aktif alanı örtme mesafesinin bellek hücre alanına etkisi.....	25
Tablo 2.1.	Ön yükleme devresi transistör boyutları	32
Tablo 2.2.	Satır çözücü devresi doğruluk tablosu	33
Tablo 2.3.	Yazma devresi transistör boyutları	40
Tablo 2.4.	Okuma işlemi için oluşturulan fark algılayıcı devresi transistör boyutları.....	47
Tablo 3.1.	2 Kb SRAM tasarımındaki devrelerin güç tüketimi.....	53
Tablo 3.2.	2 Kb SRAM tasarımındaki devrelerin eni, boyu ve alanları.....	55

SİMGELER VE KISALTMALAR DİZİNİ

ϵ_0	: Dielektrik boşluk katsayısı, ($F.m^{-1}$)
ϵ_r	: Dielektrik yalıtkan katsayısı, ($F.m^{-1}$)
ϕ_0	: Gövde jonksiyonu potansiyeli, (V)
C_{BL}	: Bit hattı kapasitesi, (fF)
C_{BLB}	: Bit değil hattı kapasitesi, (fF)
C_G	: Kapı kapasitesi, (fF)
C_J	: Metrekare başına sıfır kutuplama gövde kapasitesi, (F/m^2)
C_{JSW}	: Metre başına sıfır kutuplama çevre kapasitesi, (F/m)
C_{OX}	: Oksit kapasitesi, (fF)
C_{SK}	: Savak-kaynak kapasitesi, (fF)
C_W	: Yol kapasitesi, (fF)
C_{WL}	: Kelime hattı kapasitesi, (fF)
I_D	: Savak üzerinden geçen akım, (A)
I_{SS}	: Ön gerilim akım kaynağı, (A)
k_n	: N- tipi transistör için iletkenlik, (S)
k_p	: P- tipi transistör için iletkenlik, (S)
L	: Geçit kanal uzunluğu, (μm)
M_J	: Gövde jonksiyonu değer katsayısı
M_{JSW}	: Çevre kapasitesi değer katsayısı
Q	: SRAM Hücresinde Verinin Tutulduğu Yer
$QBAR$: Q'nun Değili
R_{IN}	: Giriş direnci, (Ω)
R_{OUT}	: Çıkış direnci, (Ω)
V_d	: Taban-kaynak arası gerilim, (V)
V_{DD}	: Besleme gerilimi, (V)
V_{DS}	: Savak-kaynak arası gerilim, (V)
V_{GS}	: Kapı-kaynak arası gerilim, (V)
V_{SS}	: Toprak gerilimi, (V)
V_{TH}	: Eşik gerilimi, (V)
V_{TN}	: NMOS eşik gerilimi, (V)
V_{TP}	: PMOS eşik gerilimi, (V)
W	: Kanal genişliği, (μm)

Kısaltmalar

BL	: Bit Line (Bit Hattı)
BLBAR	: Bit Line Bar (Bit Değil Hattı)
CBL	: Capacitor Bit Line (Kapasitör Bit Hattı)
CBLB	: Capacitor Bit Line Bar (Kapasitör Bit Hattı Değili)
CMOS	: Complementary Metal Oxide Semiconductor (Tamamlayıcı Metal Oksit Yarı İletkeni)

CS	: Chip Select (Çip Seçimi)
DC	: Doğru Akım
DRAM	: Dynamic Random Access Memory (Dinamik Rastgele Erişimli Bellek)
FIB	: Focused Ion Beam (Odaklanmış İyon Demeti)
IC	: Integrated Circuit (Tümleşik Devre)
IP	: Intellectual Property (Fikri Mülkiyet)
Kb	: Kilobit (Kilobit)
LPCVD	: Low Pressure Chemical Vapor Deposition (Düşük Basınçta Kimyasal Buhar Biriktirme)
MOSFET	: Metal Oxide Semiconductor Field Effect Transistör (Metal Oksit Yarı İletken Alan Etkili Transistör)
NMOS	: N-Tipi MOSFET
PMOS	: P-Tipi MOSFET
SNM	: Static Noise Margin (Statik Gürültü Toleransı)
SOC	: System On Chip (Çip Üzerindeki Sistem)
SRAM	: Static Random Access Memory (Statik Rastgele Erişimli Bellek)
VLSI	: Very Large Scale Integrated Circuits (Çok Geniş Ölçekli Tümdevre)
VTC	: Voltage Transfer Characteristic (Voltaj Transfer Karakteristiği)
WL	: Word Line (Kelime Hattı)

250 NM CMOS TEKNOLOJİSİ İLE SRAM BİRİM HÜCRE OPTİMİZASYONU VE 2 Kb SRAM TASARIMI

ÖZET

Bu çalışmanın amacı, SRAM birim hücre transistör boyutlarını belirlerken SRAM'in alan ve kararlılık özellikleri dikkate alınarak bir yöntem geliştirmektir. Ayrıca birim hücrelerin alanını en çok etkileyen tasarım kuralını belirlemek ve üretim bölümüne geri bildirim yapmaktır. Son olarak birim hücreleri kullanarak 2 Kb CMOS SRAM tasarımı gerçekleştirmektir. İlk olarak, 6 transistörlü SRAM birim hücrenin bekleme, okuma ve yazma modlarında kararlılıkları analitik olarak analiz edilerek, transistör boyutları için kısıtlar elde edilmiştir. Daha sonra 3 mod için statik gürültü toleransları MATLAB ortamında kodlanan algoritmalar kullanılarak hesaplanmıştır. Daha önce bulunan kısıtlar da hesaba katılarak bir fonksiyon geliştirilmiş ve transistör boyutları belirlenmiştir. Ayrıca 6 transistörlü birim hücre için 6 farklı serim tipi incelenerek en küçük alana sahip serim tipi seçilmiştir. 2 Kb CMOS SRAM tasarımının alt bileşenleri ayrı ayrı belirtilerek devreler ayrıntılı bir biçimde incelenmiştir. İncelenen devrelerin şekilleri, serim görüntüleri ve benzetim sonuçları gösterilmiştir. Ayrıca bu devrelerin nasıl seçildikleri anlatılmıştır. Son olarak da tüm tasarımı oluşturan kısımlar alan ve güç yönünden karşılaştırılmış ve tüm tasarımın alan, güç sonuçları belirtilmiştir.

Anahtar Kelimeler: 6 Transistör, Birim Hücre, Kararlılık, SNM, SRAM.

SRAM UNIT CELL OPTIMIZATION WITH 250 NM CMOS TECHNOLOGY AND 2 Kb SRAM DESIGN

ABSTRACT

The aim of this study is to develop a method to determine the dimensions of SRAM unit cell transistors by considering SRAM area and unit cell stability characteristics. In addition, the most effective design rule on the area of unit cell is determined to give feedback to the production unit. Finally a 2 Kb CMOS SRAM design is made using these unit cells. Initially, constraints for transistor dimensions are obtained by analyzing the stability of the 6 transistor SRAM unit cells in stand-by, read and write modes. Then the static noise margins for the 3 modes are calculated using the algorithms coded in MATLAB. Taking into account the determined constraints, a function is derived and transistor dimensions are chosen. In addition, 6 different layout types for the 6 transistor unit cell are studied and the one with the smallest area is chosen. The sub blocks of the SRAM design are described separately and the circuits were examined in detail. Figures, layouts and simulation results of the examined circuits are shown. Also the reasoning behind the topology selections is described. Finally, the parts that constitute the whole design are compared in terms of area and power dissipation. The area and power consumption of the whole design are listed.

Keywords: 6 Transistor, Unit Cell, Stability, SNM, SRAM.

GİRİŞ

Bellek organizasyonları modern VLSI (Çok Geniş Ölçekli Tümdevre) sistemlerinin ayrılmaz bir parçasıdır [1]. Yarı iletken belleklerin temel depolama elemanları oldukça uzun bir süredir değişmeden kalmıştır. Düşük güç uygulamaları için artan talep nedeniyle düşük gerilim devreleri gittikçe daha önemli hale gelmiştir. IC (Tümleşik Devre) tasarımı, her zaman tek bir yonga üzerinde daha fazla işleve sahip olma talebine dayanıyordu. Günümüzde SOC (Çip Üzerindeki Sistem) tasarımlarında çoklu işlemci çekirdekleri, bellekler, çoklu gerilim düzenleyiciler, çeşitli giriş-çıkış kontrolörleri gibi birçok devre yapısı fonksiyonel olarak bulunur. Bu talebi karşılamak için yarı iletken endüstrisi, Moore Yasasını başarıyla takip etti ve CMOS (Tamamlayıcı Metal Oksit Yarı İletkeni) üretim süreçlerinde muazzam gelişmeler sağlamıştır. Böylece her 18 ayda birim alandaki transistör sayısı 2 katına çıktı [2]. Ayrıca, her bir teknoloji düğümlerinde, çalışma frekansı % 43 civarında arttırılmış ve anahtarlama enerji tüketimi % 65 civarında azaltılmıştır [3]. SRAM (Statik Rastgele Erişimli Bellek) mikroişlemci çekirdeklerinde büyük önbellek olarak kullanılır ve grafik, ses, video ve görüntü işlemcileri gibi çeşitli IP (Intellectual Property)'lerde çip üzerindeki sistemlerde depolama işlevi görür. Yüksek performanslı mikroişlemcilerde ve grafik yongalarında kullanılan SRAM yüksek hız gereksinimlerine sahiptir. Aynı zamanda mobil, el tipi ve tüketici cihazlarına giren uygulama işlemcilerinde SRAM çok düşük güç gereksinimlerine sahiptir [4]. SRAM bu çipler üzerinde geniş depolama alanı sunduğundan, bunlardan maksimum yoğunluk elde etmek çok önemlidir. Herhangi bir elektronik sistemin önemli bir kısmı bellek alt sistemidir. En gelişmiş mikroişlemci tasarımları, yonga alanının büyük bir kısmını bellek yapılarına ayırır. Yüksek performanslı büyük kapasiteli SRAM, modern bilgi işlem sistemlerinin bellek hiyerarşisinde önemli bir bileşendir. Son yıllarda, güç tüketimi birçok VLSI sistemi için kritik bir tasarım kaygısı haline gelmiştir. Bellek erişimleri birçok uygulama için toplam güç bütçesinin önemli bir bölümünü tüketmektedir. Böylece, SRAM güç tüketiminin azaltılması, sistemin güç verimliliğini, performansını, güvenilirliğini ve genel maliyetlerini önemli ölçüde artırabilir. Çok sayıda dijital bilgiyi saklayabilen yarı iletken bellekleri

tüm dijital sistemler için gereklidir. Sayısal mantık sistemi tasarımında yarı iletken bellekler, gömülü mikrodenetleyici veya mikroişlemci gibi en hayati mikroelektronik bileşenlerdir. Büyük miktarda sayısal bilgi depolamak için yarı iletken bellek dizileri tasarlanmıştır. Belirli bir sistemde gereken bellek miktarı uygulamanın türüne bağlıdır [5].

Üstün depolama kapasitesine ve daha yüksek yoğunluğa doğru olan bu eğilim, dijital sistem tasarımının öncülüğünü artırmaya devam edecektir. Modern yarı iletken cihazlar, performans ihtiyaçlarını karşılamak için daha fazla bellek talep etmektedir. Ancak, gerekli tüm belleği çip içine entegre etmek mümkün değildir. Ayrıca, hızlı gömülü belleklerin bit başına maliyeti yüksektir ve diğer belleklere göre daha fazla alan gerektirir. İşlemciler ve bellekler arasındaki hız farkı, bellek hiyerarşisinin işlemci mimarilerine girmesiyle sonuçlandı. Teknoloji nanometre seviyelerinden daha derine ölçeklendiğinde SRAM'in gürültüye ve radyasyona olan kararlılığı azalır [6]. Minimum özellik boyutlarını ve besleme gerilimini ölçeklerken, SRAM için kabul edilebilir bir SNM (Statik Gürültü Toleransı) sürdürmek gittikçe zorlaşmaktadır. Bir okuma işlemi sırasında SRAM'in veri bütünlüğünü karakterize eden SNM bozulması, besleme gerilimi eşik gerilimine yaklaştıkça SRAM hücre tasarımının gelişimini yeni yönere doğru götürmüştür. Ayrıca, transistör boyutlarının daralması radyasyon kaynaklı hataların olasılığını da arttırmıştır. Büyük sistemlerin genel performansını geliştirmek için, minimum boyutlu büyük SRAM dizileri genellikle çipe entegre edilmiştir. Daha büyük bellek tasarımı, küçük SRAM bellek blokları tarafından üretilir [7]. Bir SRAM hücresinin okuma ve bekleme modu kararlılığı, nanometre teknolojilerinde depolanmış bilgilerin saklanabilme yeteneğini belirlediği için önemli bir fonksiyonel kısıtlamadır [8].

Rastgele erişimli bir bellek, saklanan verinin fiziksel konumdan bağımsız olarak herhangi bir sırayla ve tekdüze bir zamanda erişilebildiği bir yarı iletken bellek türüdür. Uçucu bellek, güç uygulandığı sürece verilerini korur, kalıcı bellek ise verileri kesinlikle tutar. Uçucu belleklerde kullanılan bellek hücreleri, statik yapılara veya dinamik yapılara ayrılabilir. Yaygın olarak kullanılan iki uçucu tipteki bellek, SRAM ve DRAM (Dinamik Rastgele Erişim Belleği)'dir. Bu iki bellek türünün avantaj ve dezavantajlarını incelemek ihtiyaca göre hangisinin kullanılması gerektiği hakkında bilgi verecektir. SRAM ve DRAM'in her ikisi de uçucu bellektir. Uçuculuk

ifadesi belleğe giden güç kaynağı sonlandığında, tüm verilerin kaybolması anlamına gelir. Paylaştıkları bir diğer özellik ise, seçtikleri veriyi okuyup yazabilmelerini sağlayan rastgele erişim özelliğidir. İki bellek arasındaki farklar, kendi uygulamalarında onları öne çıkarır.

İki devre arasındaki önemli farklardan biri topolojidir. SRAM hücresi altı transistör içerir: Geçiş transistörleri için 2 N-tipi MOSFET ve iki çapraz bağlı evirici için 2 N-tipi MOSFET ve 2 P-tipi MOSFET içerir. SRAM hücresine ait veriler, geri besleme döngüsünün bir çıkışı yüksek ve diğer bir çıkışı düşük olarak belirlediği çapraz bağlı eviricilerde saklanır. SRAM, bir güç kaynağıyla, SRAM'e statik özellik vererek, yenilenmesi gerekmeden süresiz olarak verilerini tutar. SRAM hücre topolojisinin tersine, DRAM hücresi sadece bir MOSFET transistörü ve kapasitörün verileri tuttuğu bir kapasite içerir. DRAM hücresi SRAM hücresine göre daha küçük mimariye sahiptir. DRAM'in küçük alanı, SRAM'den daha ucuz hale getirir. DRAM'den daha hızlı olan SRAM, daha pahalı olmasına rağmen önbellek olarak sıklıkla kullanılır [9]. Kapasitörlerin kaçak akımları olduğundan, tuttukları gerilim zamanla bozulmakta ve DRAM tipi belleklerin periyodik olarak yenilenmesi gerekmektedir [10]. Tek bir DRAM hücresinin Tutma Süresi, verileri güvenilir bir şekilde tutabileceği süre anlamına gelir. DRAM hücrelerinin verileri güvenilir bir şekilde tutmasını sağlamak için DRAM, en kısa tutma süresi olan DRAM hücresine dayanan 64 ms yenileme aralığını muhafazakar bir şekilde kullanır. Aslında, tipik bir DRAM cihazındaki DRAM hücrelerinin büyük çoğunluğu, çok daha uzun yenileme aralıklarında güvenle çalışabilir [11]. Ayrıca periyodik olarak yenileme ihtiyacı duyduğundan SRAM'e göre daha yavaştır [10].

SRAM'ler çok fazla sayıda hafıza hücresi bulundurmasından dolayı yonga tasarımının en fazla yer kaplayan parçalarından biridir, bu yüzden toplam yonga alanının azaltılabilmesi için SRAM birim hücre alanının optimizasyonu çok önem taşımaktadır. Alan bakımından avantajlı 4 ve 5 transistörlü SRAM bellek hücreleri mevcuttur. Fakat 4 transistörlü yapılar düşük voltajda zayıf kararlılığa sahiptir, 5 transistörlü yapılar ise tek geçiş transistörü olduğu için 1 yazmak zorlaşmaktadır [12]. Bu sebeplerden dolayı SRAM uygulamalarında kullanılan en yaygın yapılarından biri hem kararlı olan hem de alan avantajı sağlayan 6 transistörlü (6T) SRAM hücre yapısıdır. 6T SRAM hücresinin oldukça basit yapıya sahip olması ve az

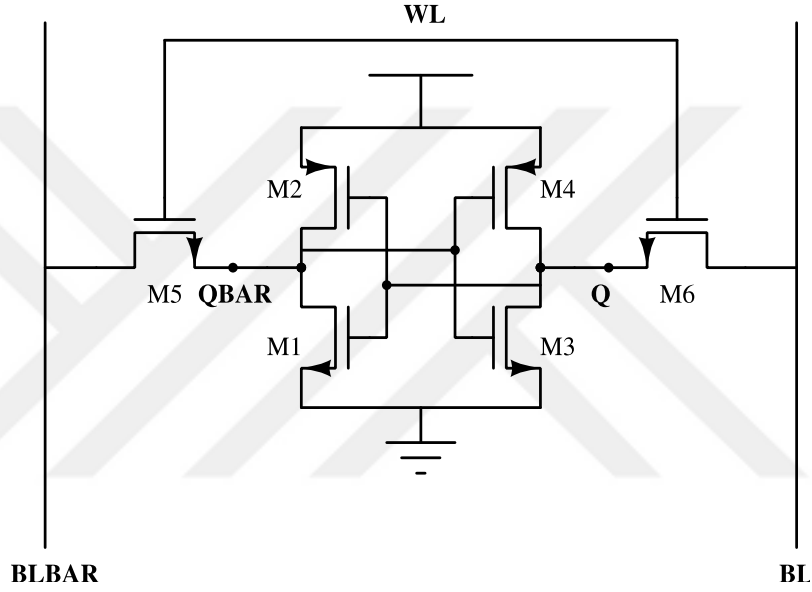
alan kaplaması yüksek yoğunluklu SRAM mimarilerini oluřturmamızı saęlar [13]. Bu yzden tez alıřmasında 6 transistörlü hücre yapısı kullanılmıřtır. alıřma 2,5 V besleme gerilimi ile 250 nm CMOS teknolojisinde yapılmıřtır. Tasarım programında grid 0,04 μm uzunluęa ayarlı olduęundan L (Geit kanal uzunluęu) 240 nm olacak řekilde tasarımlar yapılmıřtır.

Bu tezde Bölüm 1’de, SRAM birim hücresiyle ilgili eřitli analizler yapılarak SRAM birim hücresinin transistör boyutlarına ve serimine karar verilmiřtir. Bölüm 2’de, SRAM’i oluřturan devrelerin seimi ve incelenmesi yapılmıřtır. Ayrıca bu devrelerin izilen serimleri ve řemaları gösterilmiřtir. Bölüm 3 kısmında tüm SRAM devresini oluřturan devrelerin alan ve akımları karřılařtırılmıř, tüm SRAM tasarımının akım, gü ve alanı gösterilmiřtir. Bölüm 4’de ise sonuçlar ve önerilerden bahsedilmiřtir.

1. 6T SRAM BİRİM HÜCRESİ VE ANALİZLERİ

1.1. 6T SRAM Birim Hücre Topolojisi

Şekil 1.1'deki SRAM topolojisi, dört NMOS transistörü ve iki PMOS transistörü olan sık kullanılan bir altı transistörlü bellek modelidir.



Şekil 1.1. 6T SRAM birim hücre yapısı

SRAM birim hücre işlevselliğini anlamak, daha sonraki bölümlerde tartışılan daha ayrıntılı tasarım için önemlidir. Şekil 1.1'de, bir SRAM hücresi ile bağlandığı harici devre arasında veri aktaran iki bit hattı gösterilmiştir. BL ile gösterilen "bit" hattı, BLBAR ile gösterilen ise "bit değil" hattıdır. Bunlar WL olarak gösterilen kelime hattına bağlanır. Aslında iki bit hattına sahip olmak gerekli değildir, ancak hücreye veri yazarken ve okurken her ikisine de sahip olmak, her iki durumda da gürültü toleranslarını iyileştirir. Tamamlayıcı bit hatlarına eklenen M5 ve M6 transistörleri okuma ve yazma sırasında aktif edilen geçiş transistörleridir. Q ve QBAR düğümlerinde 1 bit veri depolanır. Bunlar da birbirinin tamamlayıcısıdır. SRAM hücreleri sayısal olarak zıt değerleri tutar. Yani 0 ve 1 mantık bitlerini depolar [14]. Çünkü (M1, M2) ve (M3, M4) transistörleri iki çapraz bağlı eviricileri oluşturur.

Şekil 1.1’de görüldüğü üzere M1 ve M2’den oluşan yapı bir evirici, M3 ve M4’den oluşan yapı diğer bir eviricidir. Bu evirici çifti iki durumlu kararlı bir mandaldır. Ve de devreye güç sağlandığı sürece veri değişmeden kalır. SRAM yapısı 3 modda çalışır. Bunlar bekleme, okuma ve yazma modlarıdır [15].

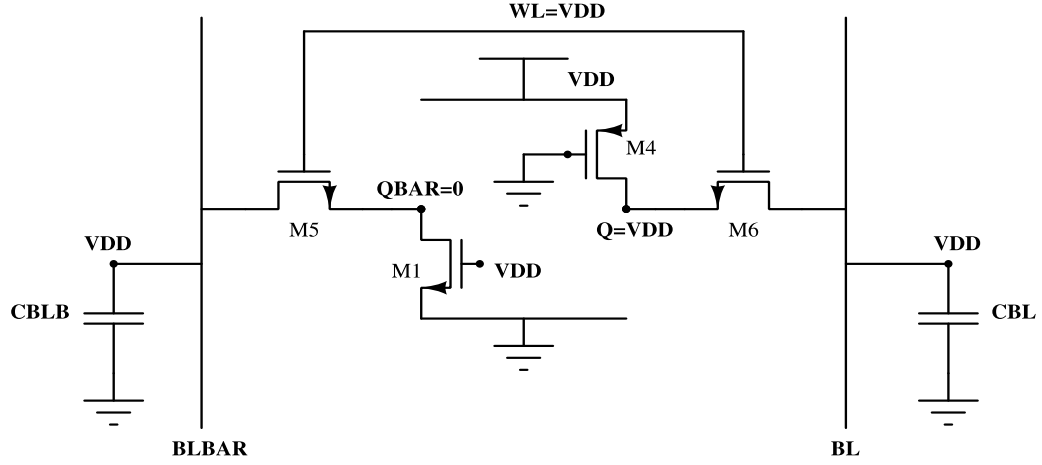
1.2. 6T SRAM Birim Hücresi Kararlılık Analizleri

1.2.1. Bekleme modu

Bu modda SRAM hücrelerine bağlanan kelime hatları seçili değildir. Böylece iki geçiş transistörü de kapalı olduğundan bellek hücresine veri yazılıp okunamaz. Fakat güç uygulandığı sürece hücre içindeki veri korunmaya devam eder [16].

1.2.2. Okuma modu ve analizi

Okuma öncesi $Q = VDD$ ve $QBAR = 0$ olduğunu varsayalım. Bu durumda düğüm isimleri Şekil 1.2’de gösterilmiştir. Okuma sırasında $WL = VDD$ ile yüklenerek geçiş transistörlerini açar. Böylece kelime hatları aktif hale getirilir. Bellek hücresinde okuma gerçekleşmeden hemen önce ön yükleme devresi BL ve BLBAR hatlarındaki kapasiteyi VDD’ye yükler [17]. M6 transistörünün üzerinden kayda değer bir akım akışı olmaz. Diğer taraftan M5 ve M1 transistörleri üzerindeki akım sıfırdan farklıdır. CBLB kapasitesinden başlayarak M5 ve M1 transistörleri üzerinden toprağa doğru bir akım akışı gerçekleşir. Böylece CBLB’nin gerilim seviyesi yavaşça düşer. QBAR düğümündeki gerilim en başta 0’dı. Bunun üzerine QBAR düğümündeki gerilim artmaya başlar. Fakat bu artış sonucundaki QBAR değeri M3 transistörünün eşik gerilimini aşar ise M3 transistörü aktif hale gelir. Bu da saklanan veriyi istenmeyen değişikliklere zorlar. En başta M2 ve M3 transistörlerinin V_{GS} potansiyelleri 0 olduğu için kapalı konumda olurlar. Sonuç olarak SRAM hücresinin doğru olarak okunabilmesi için QBAR düğümünün gerilim değeri V_{TH3} değerinden düşük olmalıdır. Çünkü QBAR düğümünün gerilim değeri V_{TH3} değerini aştığında devrenin sağ kısmındaki evirici aktif hale gelir ve okunan değer değişerek okuma yanlış gerçekleşmiş olur. Sonuç olarak SRAM hücresinin tasarımı okuma kararlılığı gerektirir [18].



Şekil 1.2. 6T SRAM birim hücre okuma devresi

Şekil 1.2'deki devrenin HSpice ile DC çalışma gerilim ve akım benzetimi yapıldığında M1, M3 ve M5 transistörleri için Tablo 1.1'de verilen eşik gerilimleri elde edilmiştir.

Daha sonra M3 transistörünün kapalı konuma gelmesine neden olan $V_{TH3} = 0,477$ değeri QBAR düğümüne uygulanmıştır. Böylece QBAR düğümünün yeni gerilimi ile DC analizi yapılarak M1, M3 ve M5 transistörlerinin Tablo 1.2'deki yeni değerleri elde edilmiştir.

Tablo 1.1. M1, M3 ve M5 transistörleri için DC analiz sonuçları

Transistör	V_{TH}	V_{GS}	V_{DS}	I_D
M1	0,536 V	2,50 V	0 V	0 A
M3	0,477 V	0 V	2,50 V	8,42 pA
M5	0,461 V	2,50 V	2,50 V	0,30 mA

Tablo 1.2. Tablo 1.1'den elde edilen eşik gerilimi kullanılarak yapılan DC analiz sonuçları

Transistör	V_{TH}	V_{GS}	V_{DS}	I_D
M1	0,525 V	2,50 V	0,477 V	0,267 mA
M3	0,477 V	0,477 V	2,50 V	2,043 μ A
M5	0,549 V	2,022 V	2,022 V	0,206 mA

Bu durumda transistörlerin çalışma bölgeleri şöyledir: M1 ve M4 transistörleri lineer bölgede çalışmaktadır, M2, M3 ve M6 transistörleri kesimdedir, M5 transistörü ise saturasyon bölgesinde çalışmaktadır.

1 ve 5 numaralı transistörlerin boyutları arasındaki ilişki Denklem (1.1) ile Denklem (1.4) arasındaki denklemler [19] kullanılarak elde edilmiştir.

$$I_{M5} \leq I_{M1} \quad (1.1)$$

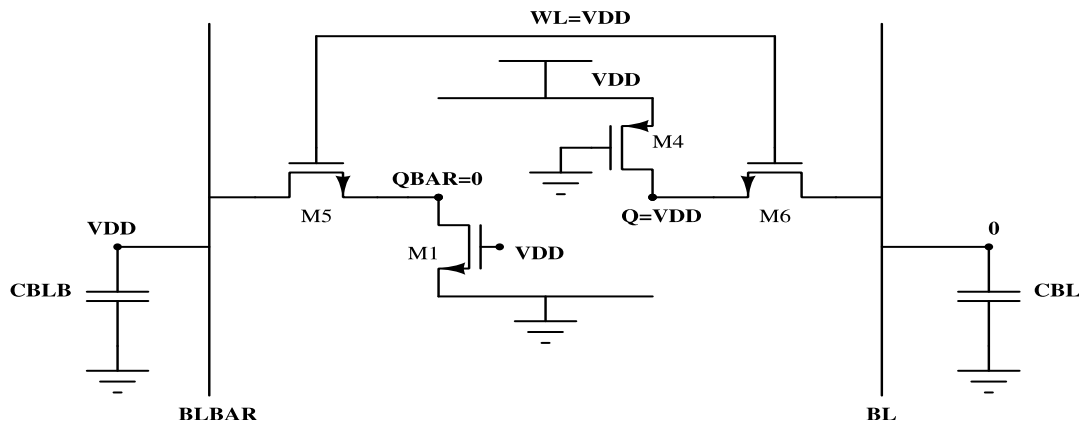
$$\frac{1}{2} \times k_n \times \left(\frac{W}{L}\right)_5 \times [(V_{GS5} - V_{TN5})^2] \leq k_n \times \left(\frac{W}{L}\right)_1 \times \left[(V_{GS1} - V_{TN1}) \times V_{DS1} - \frac{V_{DS1}^2}{2} \right] \quad (1.2)$$

$$\frac{1}{2} \times k_n \times \left(\frac{W}{L}\right)_5 \times [(2,022 - 0,549)^2] \leq k_n \times \left(\frac{W}{L}\right)_1 \times \left[(2,5 - 0,525) \times 0,477 - \frac{0,477^2}{2} \right] \quad (1.3)$$

$$\frac{W_5}{W_1} \leq 0,76 \quad (1.4)$$

1.2.3. Yazma modu ve analizi

Yazma öncesi $Q = VDD$ ve $QBAR = 0$ olduğunu varsayalım. Bu durumda düğüm isimleri Şekil 1.3’de gösterilmiştir. Yazma sırasında $WL = VDD$ ile yüklenerek geçiş transistörlerini açar. Böylece kelime hatları aktif hale getirilir. Bellek hücresinde yazma gerçekleşmeden hemen önce ön yükleme devresi BL ve BLBAR hatlarındaki kapasiteyi VDD’ye yükler. Fakat burada yazma devresi hatlardan birini gerilim 0’a çeker.



Şekil 1.3. 6T SRAM birim hücre yazma devresi

Bu yüzden Şekil 1.3’de BLBAR gerilim olarak VDD seviyesindeyken BL gerilim olarak mantıksal olarak 0 seviyesindedir. En başta M2 ve M3 transistörlerinin VGS potansiyeli 0 olduğu için kapalı konumda olurlar. Yazma modunda VDD güç kaynağından başlayarak M4 ve M6 transistörleri üzerinden toprağa doğru bir akım akışı gerçekleşir. Bunun sonucunda Q düğümündeki gerilim azalmaya başlar. Şayet bu azalma miktarı M2 transistörünün eşik gerilimini aşarsa M2 transistörü aktif hale gelir. Bu da saklanan veriyi istenmeyen değişikliklere zorlar. Sonuç olarak SRAM hücresinin doğru olarak yazılabilmesi için Q düğümünün gerilim düşümü V_{TH2} değerinden düşük olmalıdır. Çünkü Q düğümünün gerilim düşümü V_{TH2} değerini aştığında devrenin sol kısmındaki evirici aktif hale gelir ve yazılan değer değişerek yazma yanlış gerçekleşmiş olur. Şekil 1.3’deki devrenin HSpice ile DC çalışma gerilim ve akım benzetimi yapıldığında M2, M4 ve M6 transistörleri için Tablo 1.3’de verilen eşik gerilimleri elde edilmiştir. Daha sonra M2 transistörünün kapalı konuma gelmesine neden olan $V_{TH2} = (2,5-0,407)$ değeri Q düğümüne uygulanmıştır. Böylece Q düğümünün yeni geriliminde DC analizi yapılarak M2, M4, M6 transistörlerinin Tablo 1.4’deki yeni değerleri elde edilmiştir.

Tablo 1.3. M2, M4 ve M6 transistörleri için DC analiz sonuçları

Transistör	V_{TH}	V_{GS}	V_{DS}	I_D
M2	-0,407 V	0 V	-2,50 V	19,80 pA
M4	-0,478 V	-2,50 V	0 V	0 A
M6	0,461 V	0 V	-2,50 V	-0,31 mA

Tablo 1.4. Tablo 1.3’den elde edilen eşik gerilimi kullanılarak yapılan DC analiz sonuçları

Transistör	V_{TH}	V_{GS}	V_{DS}	I_D
M2	-0,407 V	-0,41 V	-2,09 V	0,23 μ A
M4	-0,467 V	-2,50 V	-0,41 V	-37,39 μ A
M6	0,470 V	2,50 V	2,09 V	-0,30 mA

Bu durumda transistörlerin çalışma bölgeleri şöyledir: M1 ve M4 transistörleri lineer bölgede çalışmaktadır, M2 ve M3 transistörleri kesimdedir, M5 ve M6 transistörleri saturasyon bölgesinde çalışmaktadır.

Transistörlerin SRAM hücresindeki dikkatli bir şekilde boyutlandırılması, düzgün çalışmasını sağlamak için gereklidir [20]. 4 ve 6 numaralı transistörlerin boyutları arasındaki ilişki Denklem (1.5) ile Denklem (1.11) arasındaki denklemler [19] kullanılarak elde edilmiştir.

M1-M5 ve M4-M6 transistörleri arasındaki boyut (W) oranlarını bulurken akım-gerilim ilişkisi yönünden düşük seviyeli MOSFET modeli kullanıldığı için yüksek seviyeli transistör modellerinin kullanıldığı benzetimlerde elde edilen transistör boyut oranları farklı çıkabilir.

$$I_{M4} \leq I_{M6} \quad (1.5)$$

$$\mu_n = 3,11 \times \mu_p \quad (1.6)$$

$$k_n = 0,5 \times C_{OX} \times \mu_n \quad (1.7)$$

$$k_p = 0,5 \times C_{OX} \times \mu_p \quad (1.8)$$

$$k_p \times \left(\frac{W}{L}\right)_4 \times \left[(V_{GS4} - V_{TP4}) \times V_{DS4} - \frac{V_{DS4}^2}{2} \right] \leq \frac{1}{2} \times k_n \times \left(\frac{W}{L}\right)_6 \times (V_{GS6} - V_{TN6})^2 \quad (1.9)$$

$$k_p \times \left(\frac{W}{L}\right)_4 \times \left[(-2,5 - -0,46) \times (-0,407) - \frac{(-0,407)^2}{2} \right] \leq \frac{1}{2} \times 3,11 \times \left(\frac{W}{L}\right)_6 \times (2,5 - 0,47)^2 \quad (1.10)$$

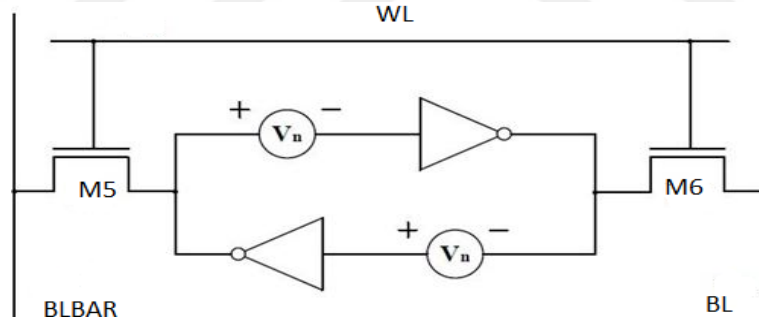
$$\frac{W_6}{W_4} \geq 0,125 \quad (1.11)$$

1.3. 6T SRAM Birim Hücresi Statik Gürültü Toleransı Ve Analizleri

1.3.1. Statik gürültü toleransı

SRAM'in kararlılığı ve sağlamlığı saklanan verinin tutulabilme yeteneğiyle karakterize edilir [21]. Bellek hücrelerinin kararlılığı okuma, yazma ve bekleme modu sırasında etkilenebilir. Bekleme modunda, SRAM'in kararlılığı en çok radyasyon kaynaklı hatalardan etkilenir [21]. Yüklü parçacıklar, hafıza hücrelerinin tuttuğu değeri değiştirebilir. Yüklü parçacıklar uzay ortamında kozmik ışınlar ve ayrıca çip içinde alfa parçacıkları olarak bulunur. Alfa parçacıkları, yonga ve paketleme malzemelerinde bulunan uranyum ve toryum kirliliğinin radyoaktif bozunmasından kaynaklanmaktadır.

Bir SRAM hücresinin kararlılığı nanometre teknolojilerinde depolanmış bilgilerin korunabilme yeteneğini belirlediği için kritik bir fonksiyonel kısıtlamadır. Statik gürültü toleransı (SNM), SRAM kararlılığının bir ölçüsüdür ve saklanan bilgiyi kaybetmeden SRAM tarafından tolere edilebilecek maksimum statik gürültü gerilimi olarak tanımlanır [21]. Statik gürültü toleransı, bir okuma erişimi, yazma ve bekleme modu sırasında hücre verisini ters çevirmek için gerekli olan V_n gerilim miktarını belirtir.

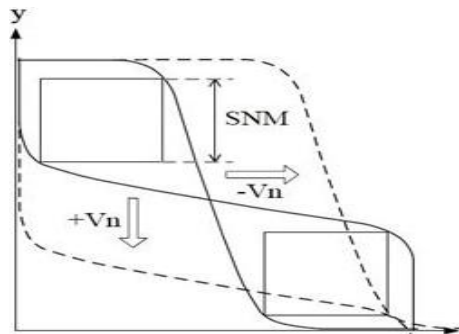


Şekil 1.4. Girişler ve çıkışlar arasına yerleştirilen kaynakları ile iki eşdeğer evirici olarak sunulan bir SRAM hücre yapısı [21]

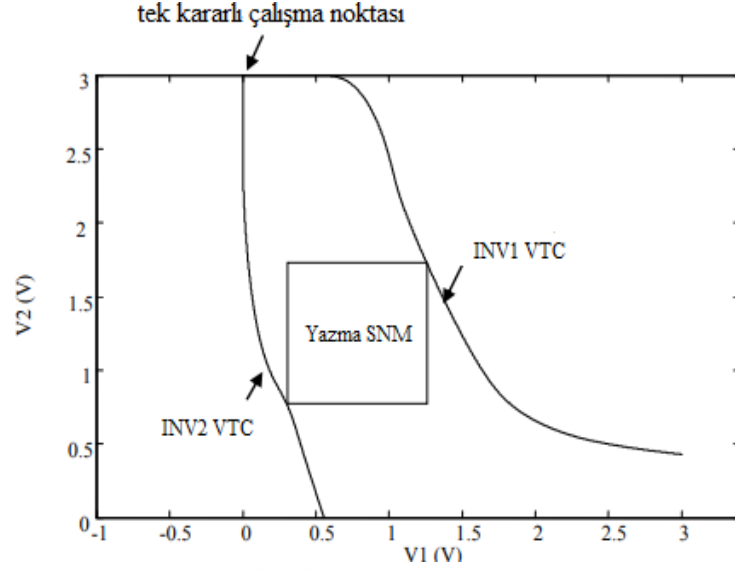
Şekil 1.4'de her iki seri gerilim gürültü kaynağı (V_n) aynı değere sahiptir ve hücrenin durumunu bozmak için birlikte hareket eder. Bir SRAM hücresinin statik gürültü toleransı, SRAM'in VTC (Voltaj Transfer Karakteristiği)'nden grafiksel olarak ölçülmesi olarak ortaya konmuştur. Bu yöntemle üretilen iki kanatlı eğri genel olarak kelebek eğrisi olarak adlandırılır ve eğriler arasındaki gözlerin boyutu SNM'nin bir ölçüsüdür [21].

Şekil 1.5'deki egride kalın çizgiler, gürültünün olmadığı zaman hücrenin DC karakteristiklerini belirtir ($V_n = 0$). Eksenlerin yakınındaki iki geçiş noktası sabitken,

merkez geçişi yarı-kararlı bir noktadır. Gürültü kaynaklarının etkisiyle, evirici 1'in VTC'sinin sağa ve evirici 2'nin VTC'sinin aşağı doğru hareket etmesine neden olur. Hücre eğri içinde iki lob olduğu sürece verileri tutabilir. VTC'ler, sadece iki noktaya değecek şekilde uzaklaştıklarında, bir lob kaybolur ve V_n 'deki daha fazla artış, veri tutma yeteneğinin kaybıyla sonuçlanacaktır. Bu V_n değeri statik gürültü toleransıdır. Çizimde bulunan kesik çizgiler, bu durumdaki VTC'leri göstermektedir. Tutma ve okuma modunda kalın çizgiler orijinal kelebek eğrisi lobundaki en büyük gömülü karenin köşesine dokunmaktadır. SNM, kelebek çiziminin içindeki en büyük gömülü karenin kenarının uzunluğu olarak tanımlanmaktadır. Şekil 1.6'da aynı eksenlerde çizilen iki eviricinin VTC'leri görülmektedir. Başarılı bir yazma işlemi için VTC eğrileri sadece bir noktada kesişmelidir. Böyle bir durumda hücre tek noktada kararlıdır. Ve istenilen durumla sonuçlanır [21]. Yazma statik gürültü toleransı; INV1 VTC'sini aşağıya ve INV2 VTC'sini sağa koordineli şekilde hareket ettirerek ikinci bir kararlı çalışma oluşmasına neden olan minimum gürültü gerilimidir. Bu durumda yazma SNM, sağ alttan başlayarak yukarı doğru 45° bir çizgiyi kaydırarak ilk yerel minimuma ulaştığı yerde çizilen karenin kenar boyutudur [22]. İdeal bir SRAM hücresinde, her iki eviricinin VTC'si simetrik olacaktır. Bununla birlikte, transistör özelliklerindeki (uzunluk, genişlik, oksit kalınlığı, hareketlilik vb.) süreç değişikliklerinden dolayı hücre dengesizliğine neden olabilir. Proses değişimleri sebebiyle eviriciler genellikle aynı değildir. Hücrenin eviricileri eş değilse, bir lob diğerinden daha küçüktür. Bu durumda, hücrenin SNM'i, iki lobun en küçüğünün içinde bulunan en büyük karenin kenarının uzunluğu olarak tanımlanır. Bu, bit hücresinin belirli bir veri değerini kaybetmeye daha duyarlı olduğunu gösterir. Grafiksnel metot sadece yüksek giriş empedanslı ($R_{IN} \gg R_{OUT}$) devreler ve CMOS SRAM devreleri için uygulanabilir [21].



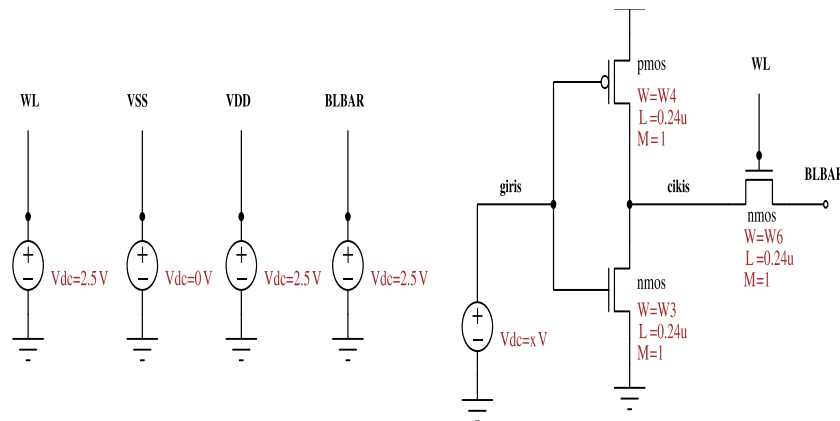
Şekil 1.5. Genel SNM grafiği gösterimi [21]



Şekil 1.6. Genel yazma SNM grafiği

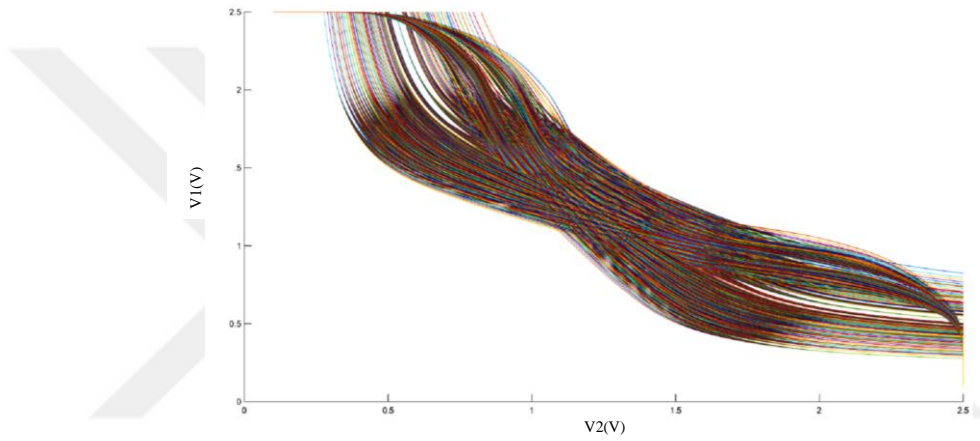
1.3.1.1. Okuma statik gürültü toleransı

Okuma modu kararlılık analizleri sonucu elde edilen transistör boyut kısıtlarını göz önünde bulundurarak 6T SRAM birim hücresi için W3, W4, W6 transistör boyutları $0,36 \mu\text{m} - 0,8 \mu\text{m}$ arasında olacak şekilde $0,04 \mu\text{m}$ aralıklarla 1728 noktada parametrik analiz yapılarak girişe karşılık çıkış gerilimleri Ek-A bölümündeki MATLAB kodunda kullanılmak üzere veri olarak elde edilmiştir. Şekil 1.7'de gösterildiği gibi x giriş kaynağı 0 V – 2,5 V arasında 20 noktada keserek şekilde doğrusal olarak devreye uygulanmıştır. SRAM birim hücre yapısı simetrik yapıda olduğundan dolayı bu test devresi için sadece 6T birim hücrenin sağ tarafı kullanılmıştır. BLBAR 2,5 V, VDD güç kaynağı 2,5 V, VSS 0 V ve WL ise 2,5 V olarak devreye uygulanmıştır.

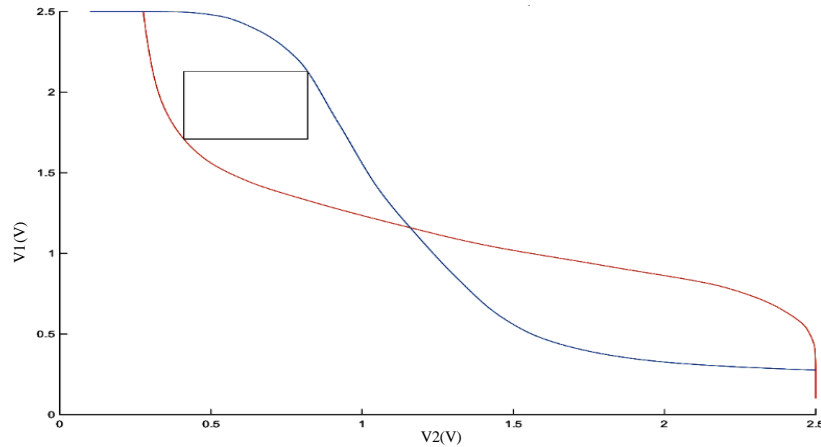


Şekil 1.7. Okuma modu için SNM test devresi

Test devresi benzetimi sonucunda elde edilen çıkış verileri Ek-A'da belirtilen MATLAB kodu kullanılarak işlenmiş ve okuma modu için SNM grafikleri elde edilmiştir. Şekil 1.8'de okuma modu için tüm verilerin oluşturduğu SNM grafiği görülmektedir. Şekil 1.9'da ise en iyi $f(SNM)$ değeri için okuma modu SNM grafiği görülmektedir. Şekil 1.7'deki test devresinde tek bir çıkış olmasına rağmen Şekil 1.9'daki grafikte iki eğri bulunmaktadır. Bu iki eğri de çıkış eğrisidir. Çıkış eğrilerinden diğeri bulunan çıkış eğrisinin x ve y eksenini yer değiştirilerek elde edilmiştir. Böylece iki çıkış eğrisi arasındaki eğrilere dokunan en büyük karenin kenarı o devrenin SNM'ini oluşturmuştur.



Şekil 1.8. Okuma modu için tüm verilerin oluşturduğu SNM grafiği

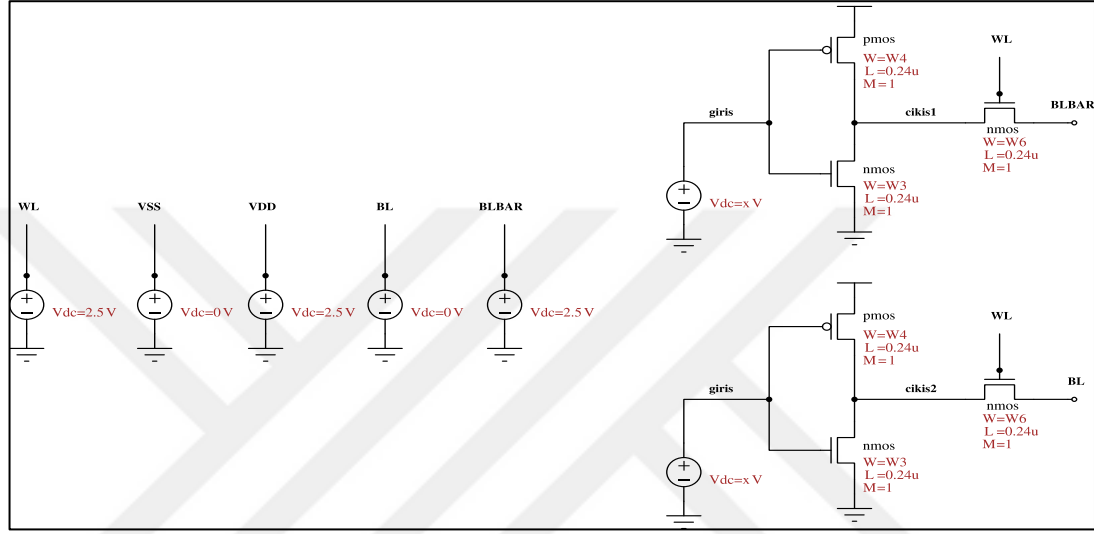


Şekil 1.9. En iyi $f(SNM)$ değeri için okuma modu SNM grafiği

1.3.1.2. Yazma statik gürültü toleransı

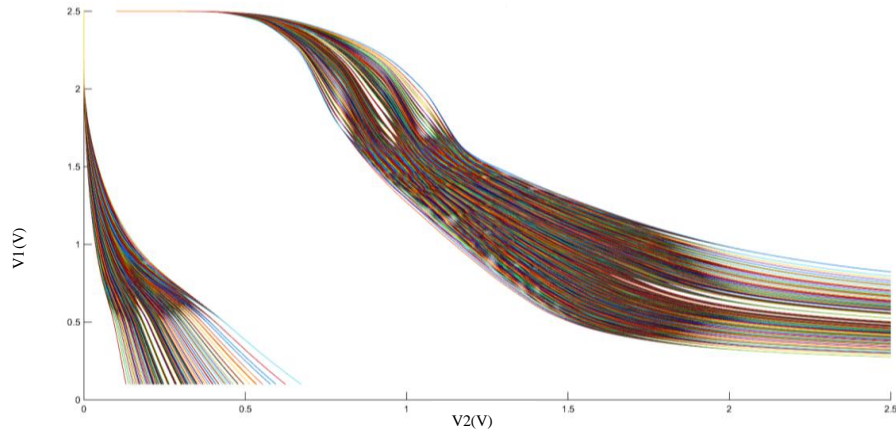
Yazma kararlılık analizleri sonucunda bulunan transistör boyut kısıtlarını göz önünde bulundurarak 6T SRAM hücresi için W3, W4, W6 boyutları $0,36 \mu\text{m} - 0,8 \mu\text{m}$

arasında olacak şekilde 0,04 μm aralıklarla 1728 noktada parametrik analiz yapılarak girişe karşılık çıkış1 ve çıkış2 gerilimleri Ek-A'da belirtilen MATLAB kodunda kullanılmak üzere veri olarak elde edilmiştir. Şekil 1.10'da gösterildiği gibi x giriş kaynağı 0 V – 2,5 V arasında 20 noktada kesecek şekilde doğrusal olarak devreye uygulanmıştır. BL 0 V, BLBAR 2,5 V, VDD güç kaynağı 2,5 V, VSS 0 V ve WL ise 2,5 V olarak devreye uygulanmıştır.

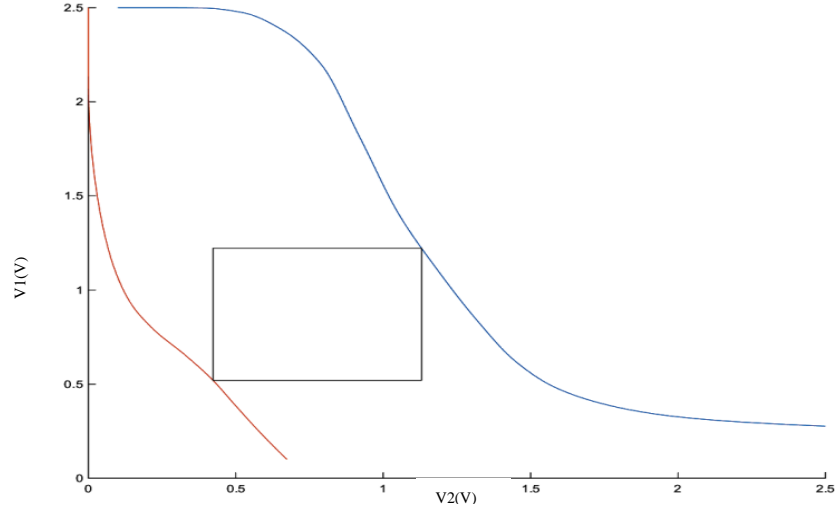


Şekil 1.10. Yazma modu için SNM test devresi

Bunun sonucunda elde edilen çıkış1 ve çıkış2 verileri Ek-A'da belirtilen MATLAB kodu kullanılarak işlenmiş ve yazma modu için SNM grafikleri elde edilmiştir. Şekil 1.11'de yazma modu için tüm verilerin oluşturduğu SNM grafiği görülmektedir. Şekil 1.12'de ise en iyi $f(\text{SNM})$ değerine sahip yazma modu SNM grafiği görülmektedir.



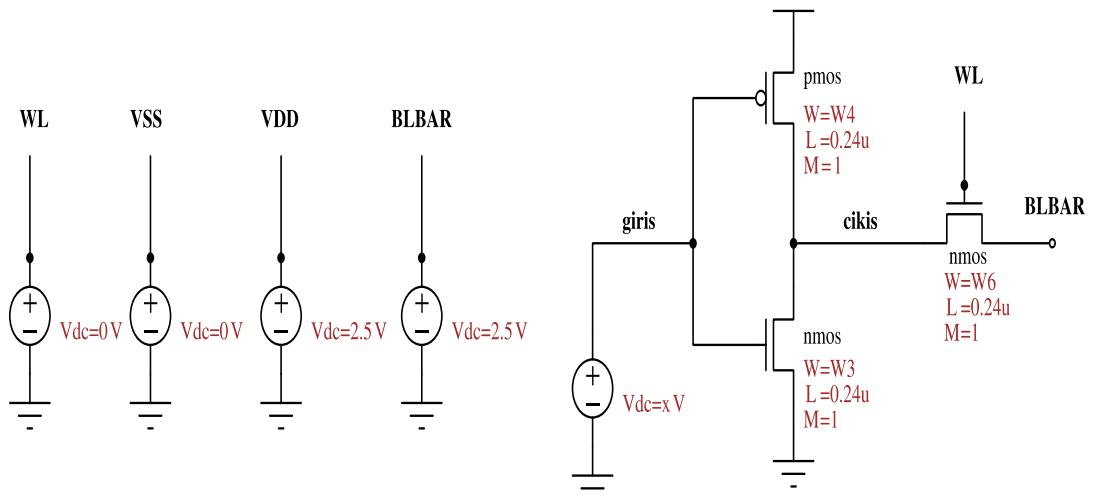
Şekil 1.11. Yazma modu için tüm verilerin oluşturduğu SNM grafiği



Şekil 1.12. En iyi $f(SNM)$ değeri için yazma modu SNM grafiği

1.3.1.3 Tutma statik gürültü toleransı

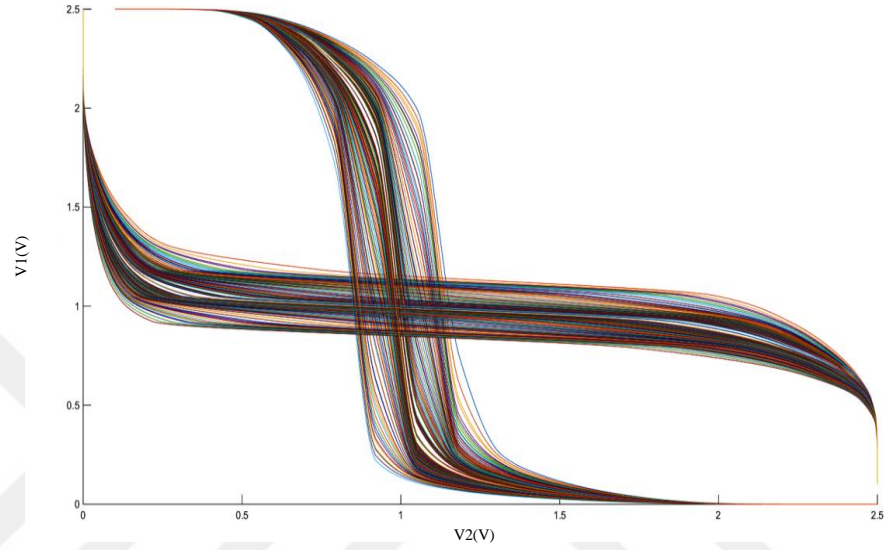
6T SRAM birim hücresi için W3, W4, W6 transistör boyutları $0,36 \mu\text{m} - 0,8 \mu\text{m}$ arasında olacak şekilde $0,04 \mu\text{m}$ aralıklarla 1728 noktada parametrik analiz yapılarak girişe karşılık çıkış gerilimleri Ek-A'daki MATLAB kodunda kullanılmak üzere veri olarak elde edilmiştir. Şekil 1.13'de gösterildiği gibi x giriş kaynağı $0 \text{ V} - 2,5 \text{ V}$ arasında 20 noktada kesecek şekilde doğrusal olarak devreye uygulanmıştır. BL 0 V , BLBAR $2,5 \text{ V}$, VDD güç kaynağı $2,5 \text{ V}$, VSS 0 V ve WL ise 0 V olarak devreye uygulanmıştır.



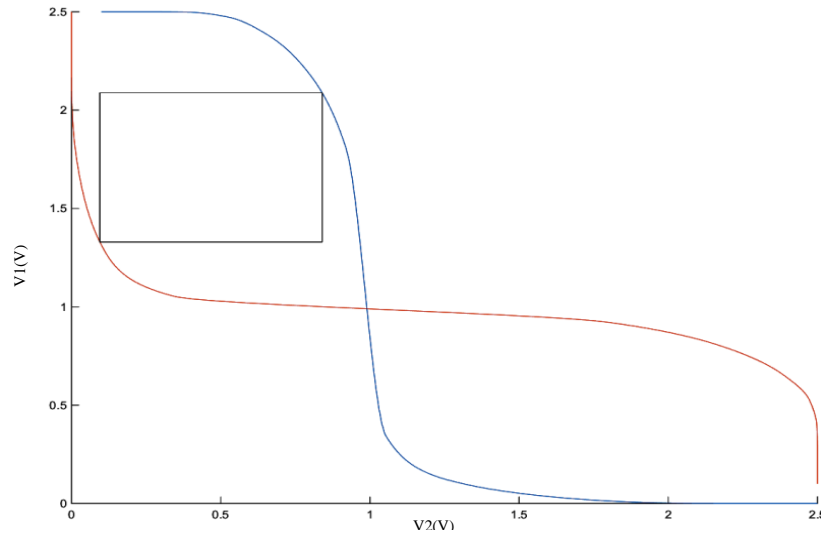
Şekil 1.13. Tutma modu için SNM test devresi

Sonuçta elde edilen çıkış verileri Ek-A'da belirtilen MATLAB kodu kullanılarak işlenmiş ve tutma modu için SNM grafikleri elde edilmiştir. Şekil 1.14'de tutma

modu için tüm verilerin oluşturduğu SNM grafiği görülmektedir. Şekil 1.15’de ise en iyi $f(SNM)$ değerine sahip tutma modu SNM grafiği görülmektedir. Şekil 1.13’deki test devresinde tek bir çıkış olmasına rağmen Şekil 1.15’deki grafikte iki eğri bulunmaktadır. Bu iki eğri de çıkış eğrisidir. Çıkış eğrilerinden diğeri bulunan çıkış eğrisinin x ve y eksenini yer değiştirilerek elde edilmiştir. Böylece iki çıkış eğrisi arasındaki eğrilere dokunan en büyük karenin kenarı o devrenin SNM’i olmuştur.



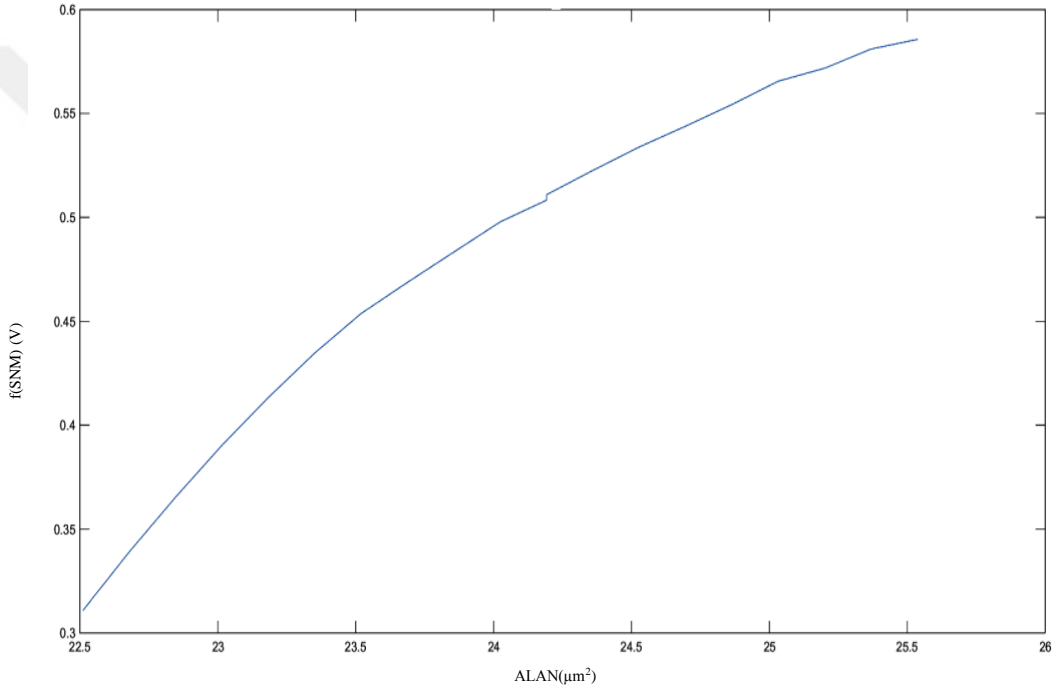
Şekil 1.14. Tutma modu için tüm verilerin oluşturduğu SNM grafiği



Şekil 1.15. En iyi $f(SNM)$ değerine sahip tutma modu SNM grafiği

Her mod için farklı transistör boyutları o mod için en iyi SNM’i oluşturmaktadır. Bu sebeple 6T SRAM birim hücresi boyutuna karar vermek için 3 farklı modun tüm verileri içinde en iyi SNM değerlerinin minimum değeri fonksiyon $f(SNM)$ olarak belirlenmiştir. Çünkü SNM, 0 ya da 1 verisinin o modla ilgili işlem yapılırken

verinin terslenmesini engelleyen gürültü gerilimini ifade etmektedir. Böylece fonksiyon sonucu elde edilen gerilim değeri 3 modun minimumunu ifade ettiğinden diğer 2 modu olumsuz etkilemeyecektir. Buradaki diğer önemli nokta ise alandır. Sadece $f(\text{SNM})$ değerini sağlayan transistör grubunu seçmek alan faktörünü göz ardı etmemize sebep olacaktı. O yüzden bu durumu optimize etmek adına farklı alan değerlerine karşılık gelen $f(\text{SNM})$ grafiği çizdirilmiştir. Şekil 1.16'deki grafik incelendiğinde alan ile $f(\text{SNM})$ değerinin doğru orantılı olarak arttığı görülmüştür. Bu yüzden en küçük alana sahip, $f(\text{SNM})$ değerini sağlayan, analitik olarak elde ettiğimiz transistör kısıtlarına uyan 3 transistör boyutu belirlenmiştir.



Şekil 1.16. Alana karşılık $f(\text{SNM})$ grafiği

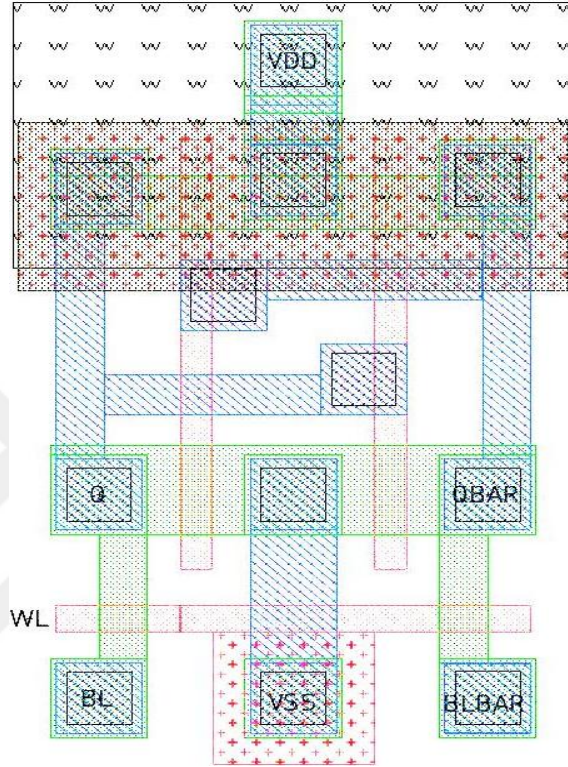
Belirlenen transistör boyutları $W3=0,48$, $W4=0,48$ ve $W6=0,36$ 'dır. Aşağıdaki Tablo 1.5'de Şekil 1.9, Şekil 1.12 ve Şekil 1.15'deki grafiklerde elde edilen karelerin bir kenar uzunlukları görülmektedir. Yani en iyi $f(\text{SNM})$ değeri için ilgili modlardaki SNM sonuçları gösterilmiştir.

Tablo 1.5. En iyi $f(\text{SNM})$ değeri için o moddaki SNM sonuçları

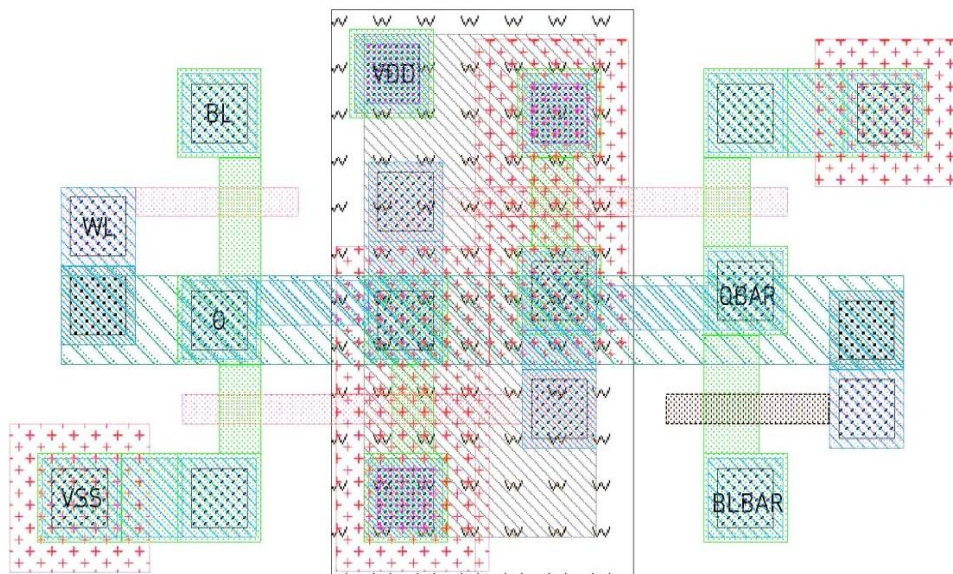
Mod	SNM
Yazma	0,9964 V
Okuma	0,5857 V
Tutma	1,0633 V

1.4. 6T SRAM Birim Hücre Serim Tipleri

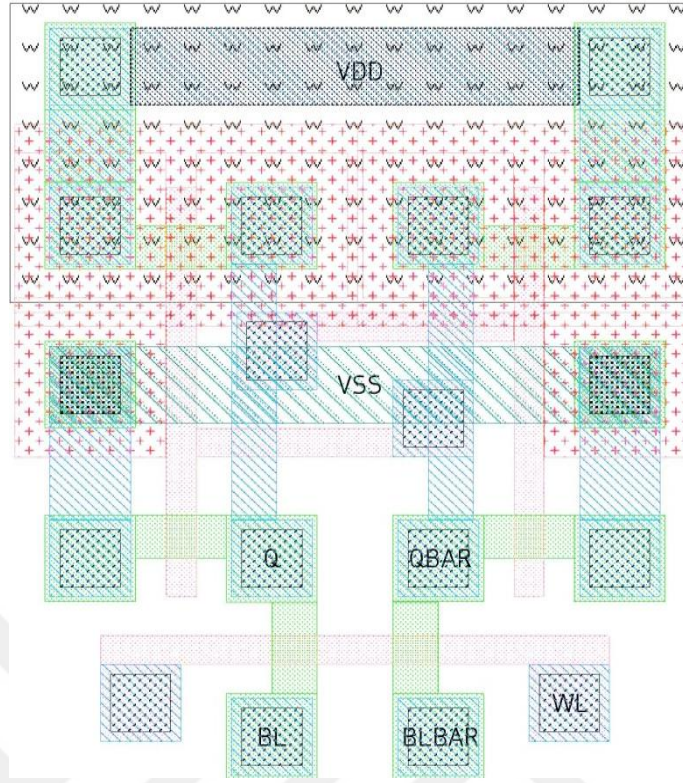
Belirlenen farklı transistör boyutlarından sonra en küçük alana sahip serimi belirlemek için 6T SRAM birim hücreleri eviricilerin farklı konumlarına göre aşağıda görüldükleri üzere 6 farklı şekilde çizilmiştir [23].



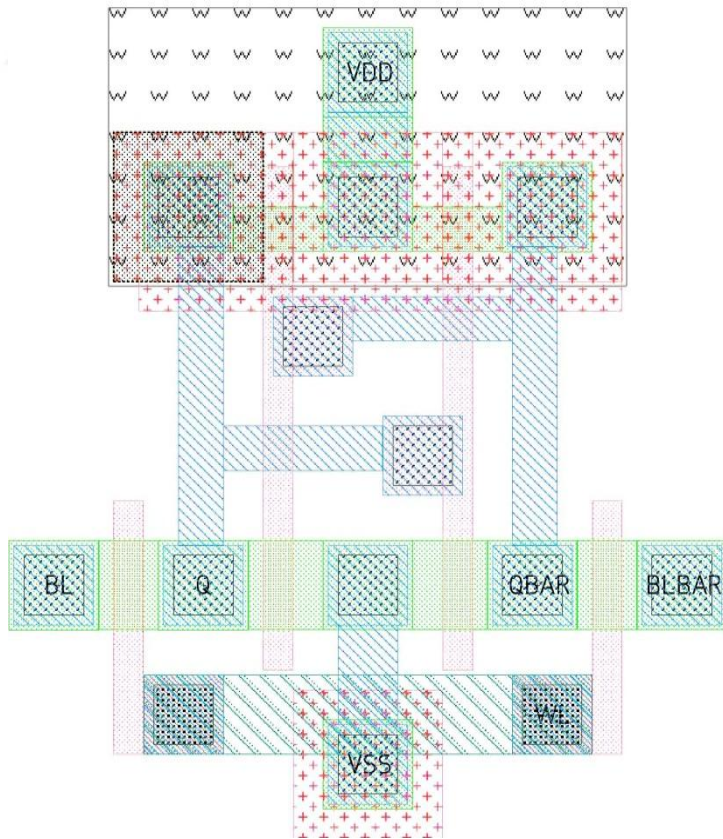
Şekil 1.17. 6T SRAM birim hücre serimi 1



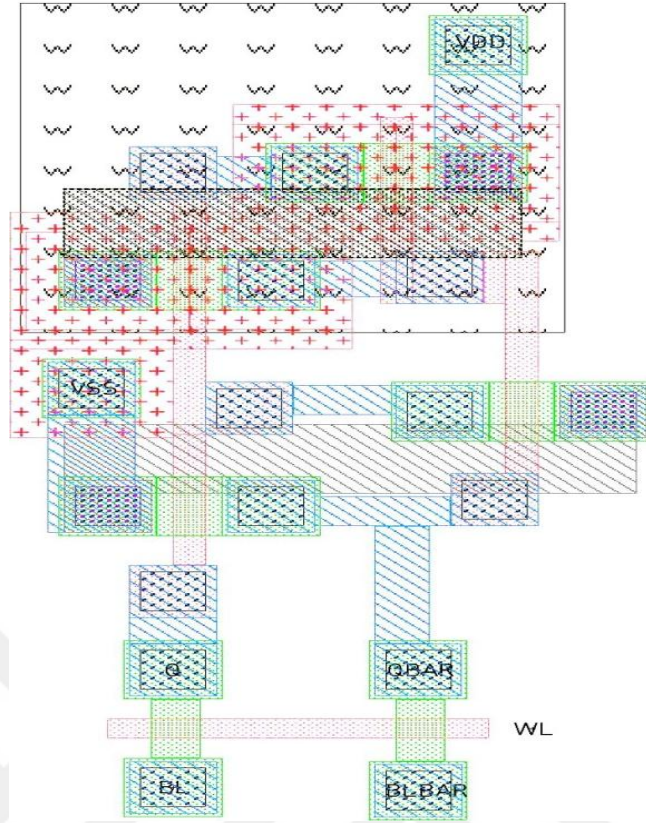
Şekil 1.18. 6T SRAM birim hücre serimi 2



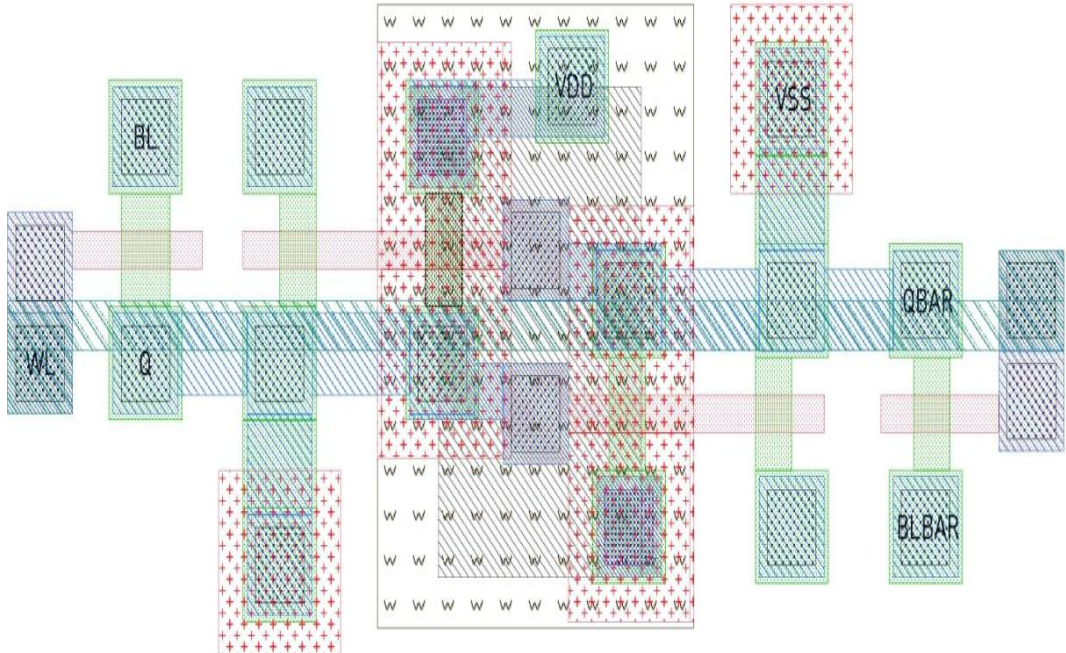
Şekil 1.19. 6T SRAM birim hücre serimi 3



Şekil 1.20. 6T SRAM birim hücre serimi 4

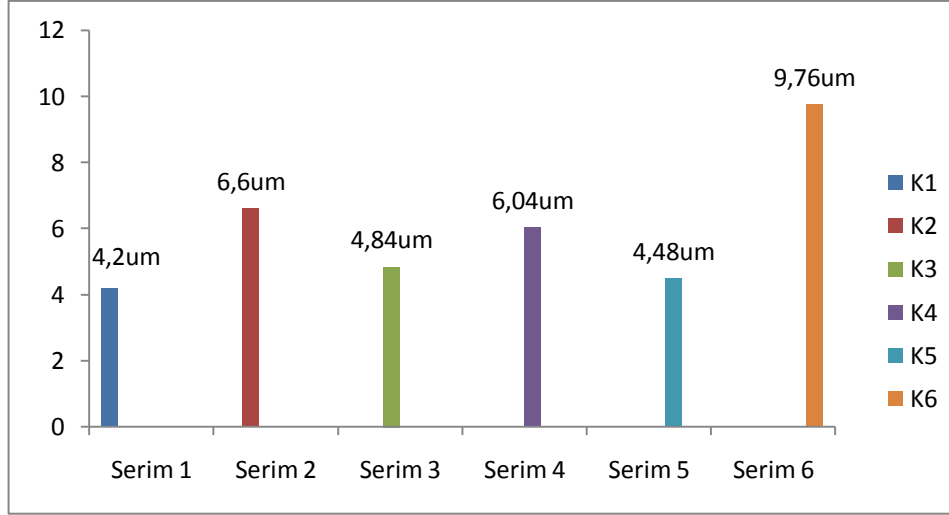


Şekil 1.21. 6T SRAM birim hücre serimi 5

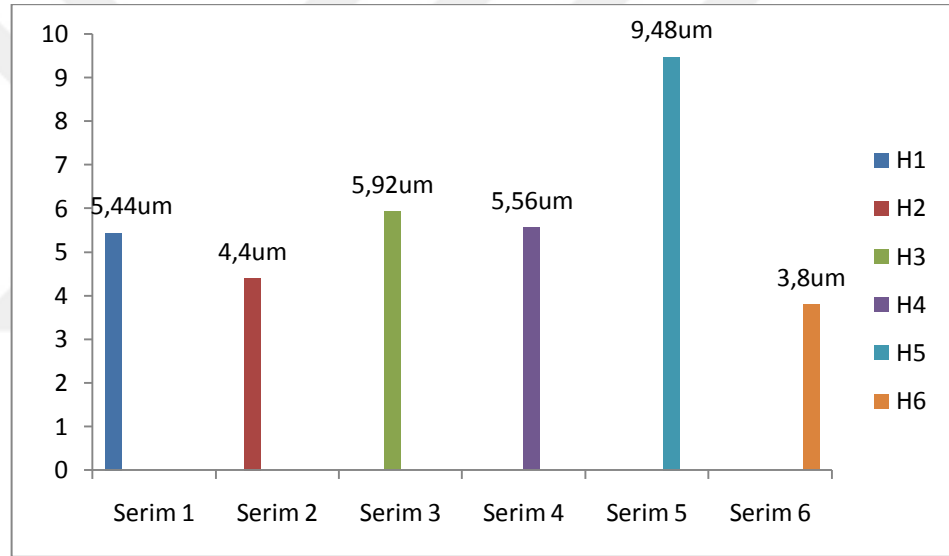


Şekil 1.22. 6T SRAM birim hücre serimi 6

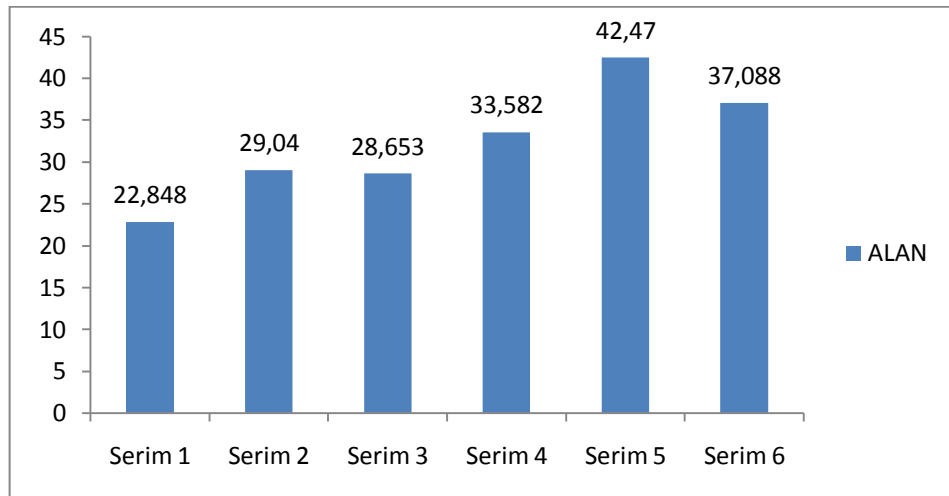
Serimlerin eni K ve boyu H olarak isimlendirilmiştir. Buna göre Şekil 1.23'de serimlerin enleri, Şekil 1.24'de ise serimlerin boyları gösterilmiştir.



Şekil 1.23. Serim tiplerinin ene (K) göre gösterimi



Şekil 1.24. Serim tiplerinin boya (H) göre gösterimi



Şekil 1.25. Serim tiplerinin alana (A) göre gösterimi

Şekil 1.25'deki serim alanları her serim bir dizi oluşturacak şekilde çoğullandıktan sonra hesaplanmıştır. Şekil 1.25'deki sonuçlar incelendiğinde en düşük alan Serim 1'in alanıdır. Şekil 1.26'da serim 1'in 4x4'lük bir serim dizisi görülmektedir. Serim dizisinde görüldüğü gibi serimin 2.satırı 1.satırına terslenmiş şekilde eklenmiştir.



Şekil 1.26. 4x4'lük SRAM birim hücre serimi 1 dizisi

K ve H ifadeleri birim hücre transistör boyutları cinsinden aşağıdaki formülle ifade edilmiştir. Denklem (1.12) ile Denklem (1.14) arasındaki denklemler Serim 1 alanını elde etmek için kullanılmıştır.

$$H = \max(0,48, W4) + \max(0,4, W3) + 4,48 \quad (1.12)$$

$$K = \max(1,44, 2W6) + 2,76 \quad (1.13)$$

$$A = H \times K \quad (1.14)$$

A ise Alanı ifade etmektedir.

1.5. 6T SRAM Birim Hücresi Serim Alanı İçin Boyut Optimizasyonu

6 farklı şekilde serimi çizilen SRAM hücresi için serim alanları hesaplandıktan sonra belirlenen en küçük alana sahip SRAM hücresi için süreç optimizasyonu yapılmıştır.

Yukarıda gösterilen serimler aşağıda açıklanan tasarım kurallarına uygun olarak oluşturulmuştur. Aşağıdaki tablolar oluşturulurken en küçük alana sahip Serim 1 kullanılarak hesaplamalar yapılmıştır.

Başlangıçta belirlenen tasarım kuralları şöyledir:

- Kontak genişliği: 0,48 μm
- Metal-metal arası mesafe: 0,40 μm
- Poli-aktif arası mesafe: 0,24 μm
- Poli-poli arası mesafe: 0,32 μm
- N-kuyunun P-aktif alanı örtme mesafesi: 0,28 μm
- N-kuyunun N-aktif alanı örtme mesafesi: 0,16 μm

Yukarıda belirtilen tasarım kurallarıyla Serim 1 için boyut optimizasyonu yapılarak aşağıdaki tablolar oluşturulmuş, alanları hesaplanmıştır.

Tablo 1.6. Kontak genişliğinin bellek hücre alanına etkisi

Kontak genişliği (μm)	W (μm)	H (μm)	A (μm^2)
0,48	4,2	5,44	22,848
0,40	3,96	5,04	19,958
0,36	3,84	4,88	18,739
0,32	3,72	4,76	17,707

Tablo 1.7. Metal-Metal arası mesafenin bellek hücre alanına etkisi

Metal-metal arası mesafe (μm)	W (μm)	H (μm)	A (μm^2)
0,40	4,2	5,44	22,848
0,36	4,2	5,28	22,176
0,32	4,2	5,16	21,672
0,28	4,2	5,12	21,504

Tablo 1.8. Poli-Aktif arası mesafenin bellek hücre alanına etkisi

Poli-aktif arası mesafe (μm)	W (μm)	H (μm)	A (μm^2)
0,24	4,2	5,44	22,848
0,20	4,04	5,4	21,816
0,16	3,96	5,36	21,225
0,12	3,96	5,36	21,225

Tablo 1.9. Poli-poli arası mesafenin bellek hücre alanına etkisi

Poli-poli arası mesafe (μm)	W (μm)	H (μm)	A (μm^2)
0,32	4,2	5,44	22,848
0,28	4,2	5,4	22,68
0,24	4,2	5,36	22,512
0,20	4,2	5,36	22,512

Tablo 1.10. N - Kuyu'nun P - aktif alanı örtme mesafesinin bellek hücre alanına etkisi

N- Kuyu'nun P- Aktif alanı örtme mesafesi (μm)	W (μm)	H (μm)	A (μm^2)
0,28	4,2	5,44	22,848
0,24	4,12	5,44	22,413
0,20	4,12	5,44	22,413
0,16	4,12	5,44	22,413

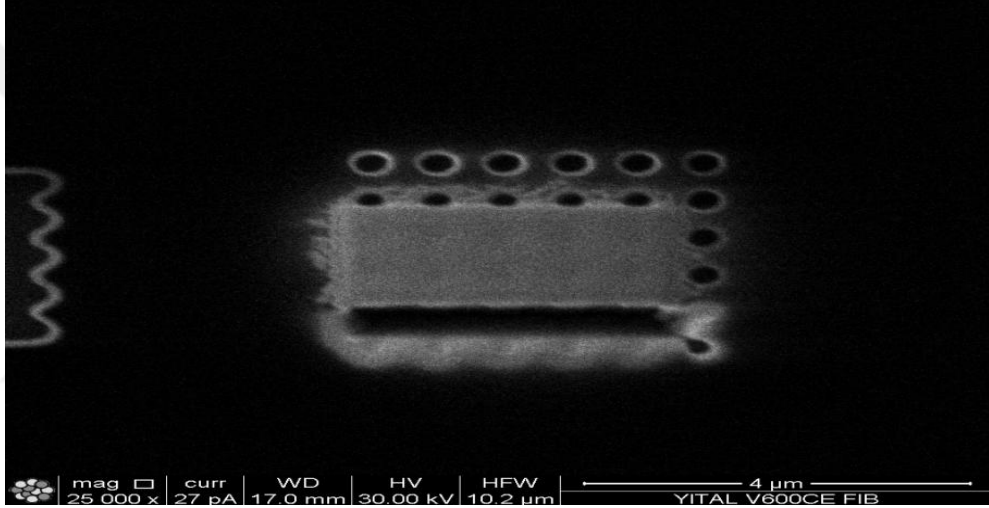
Tablo 1.11. N - Kuyu'nun N-Aktif alanı örtme mesafesinin bellek hücre alanına etkisi

N-Kuyu'nun N-aktif alanı örtme mesafesi (μm)	W (μm)	H (μm)	A (μm^2)
0,16	4,2	5,44	22,848
0,12	4,2	5,4	22,68
0,08	4,2	5,36	22,512
0,04	4,2	5,32	22,344

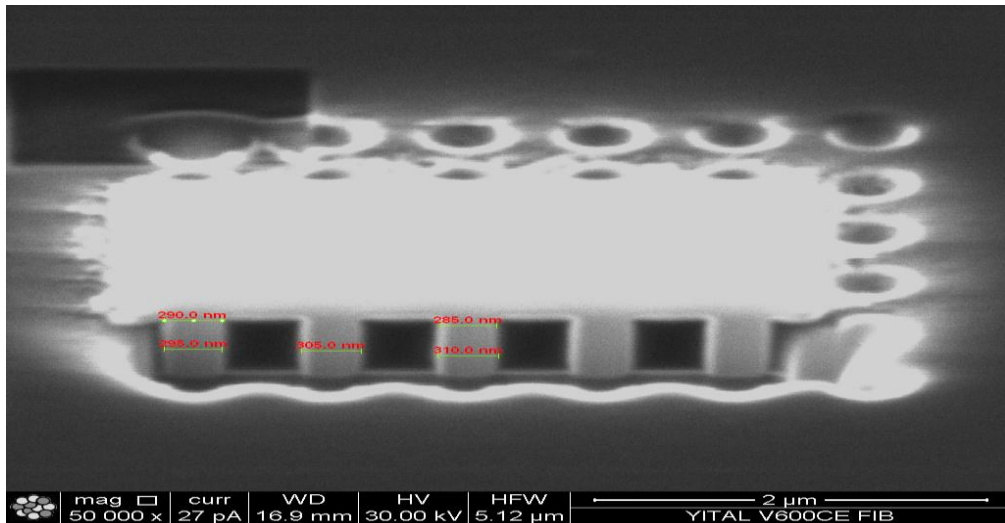
Tablolar incelendiğinde bellek hücre serim alanına en çok etki eden tasarım kuralının kontak genişliği olduğu görülmüştür. Kontak genişliğinin düşürülmesinin serim alanının küçültülmesinde oldukça avantaj sağlayacağı görülmüştür. İncelenen bellek hücrelerinde kontak genişliğinin 0,16 μm azaltılması ile serim alanının %22,5 (5,141 μm^2) azaldığı gözlemlenmiştir. 2 Kb SRAM belleğinin 2^{11} SRAM hücresinden oluşacağı düşünüldüğünde devre alanından 10528 μm^2 tasarruf edilmiş olacaktır ki bu da yonga alanında (dolayısı üretim maliyetinde) önemli bir azalmaya sebep olacaktır. Böylece üretim sürecinde kontak genişliği üzerinde çalışma yapılmasının yüksek yoğunluklu SRAM üretilmesi için önem arz ettiği görülmüştür.

1.6. Kontak Geniřlięi İin Üretim Süreci alıřmaları

0,48 μm kontak geniřlięi / 0,48 μm kontaklar arası bořluk ile bařlayarak 0,30 μm kontak geniřlięi / 0,30 μm kontaklar arası bořluk olacak řekilde 0,02 μm aralıklarla farklı tasarım boyutları ve tasarımlar arası mesafeler iin matris oluřturularak maske verisi hazırlanmıřtır. Bu hazırlanan maske verisi maske yazma cihazında yazılmıř ve maske stepper (řekillendirme) cihazıyla pula aktarılarak řekillendirilmiřtir. Üretim blm tarafından yapılan alıřma 6000Å LPCVD oksit zerine gerekleřtirilmiřtir. Ařındırma ve rezist silme iřlemleri sonrasında FIB cihazında, Tungsten depolanarak řekil 1.27 ve řekil 1.28'deki grntler elde edilmiřtir.



řekil 1.27. 0,30 μm / 0,30 μm kontak geniřlięi ve kontaklar arası bořluk iin kesildikten sonraki stten FIB grnts



řekil 1.28. 0,30 μm / 0,30 μm kontak geniřlięi ve kontaklar arası bořluk iin kesildikten sonraki yandan kesit alınmıř FIB grnts ve lmleri

Şekil 1.28'deki görüntüye bakıldığında kontakın üst kısmının 285 nm, alt kısmının 310 nm olduğu görülmüştür. Kontak şeklinin oldukça düzgün olduğu görülmektedir. Şekil 1.28'deki boyutun ölçüldüğü kontak kısımları Tungsten ile depolanmış, siyah pencere şeklindeki kare kısımlar ise oksit ile depolanmıştır.



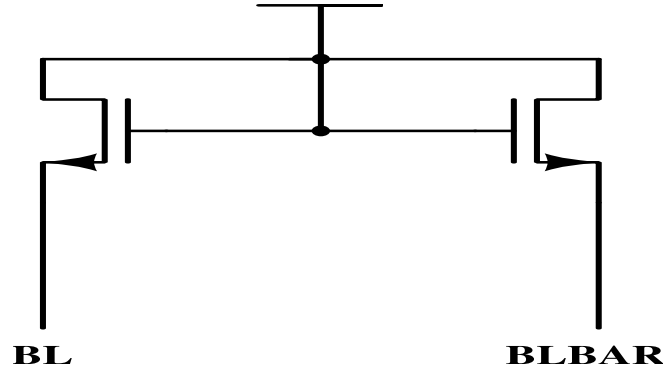
2. SRAM TMDEVRE TASARIMINI OLUŐTURAN DEVRELER

2.1. n Ykleme Devresi

n ykleme devresi, bir SRAM'in okuma ve yazma iŐlemine geliŐtiren ok nemli bir devredir [24]. zellikle okuma iŐleminden hemen nce BL ve BLBAR hatlarını mantıksal 1 seviyesine ykseltir. Ardından bu hatlarda oluŐabilecek kk bir gerilim farkının okuma sırasında duyu ykselteci tarafından algılanması daha hızlı olacaktır. Okuma sırasında bit hatlarından biri mantıksal 0 seviyesine dŐrlmek istenirken diŐer bit hattı ise mantıksal 1 seviyesinde kalacaktır. Yazma iŐleminden hemen nce de n ykleme devresi aktifleŐtirilip BL ve BLBAR hatları mantıksal 1 seviyesine ekilir. Bunun avantajı hem okuma sırasında hem de yazma sırasında hatların gerilim seviyesini eŐitleyerek okuma ve yazma devresinin daha gvenli ve daha doŐru iŐlem yapmasını saŐlamaktır. Sonu olarak devreler alıŐmaya baŐlamadan nce mmkn olduĐunca bit hatlarının aynı gerilim seviyesinde olmasını saŐlamaktır.

2.1.1. 2 NMOS'lu n ykleme devresi

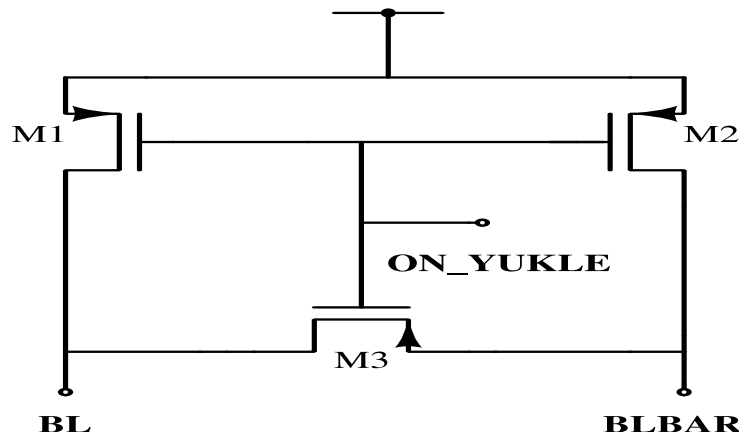
2 NMOS'lu n ykleme devresi Őekil 2.1'de gsterilmiŐtir. Őekil 2.1'de kapıları VDD'ye baĐlanmış iki NMOS transistr grlmektedir. Bu devrede, ON_YUKLE sinyali olmadıĐından NMOS transistrleri her zaman aıktır ve bu devre her iki bit hattını maksimum $(VDD - V_{TN})$ 'ye kadar ykseltebilir. Bunun sonucunda BL ve BLBAR hatları gerilim olarak VDD'nin altında kalır. Belirtilen devrede ON_YUKLE sinyalinin olmaması devrede bazı sıkıntılara yol aabilir, Bunlardan ilki ON_YUKLE sinyali olmadıĐından devre her zaman alıŐacaktır. Bu da devrenin ihtiya olmadıĐı zamanda da alıŐmasına sebep olacak, ekstra g tketimine yol aacaktır. İkincisi ise okuma iŐlemi sırasında n ykleme devresi BL ve BLBAR hatlarını $VDD - V_{TN}$ 'ye ekmek isterken hcre iinde daha nceden yazılmıŐ olan 0 deĐeri ise ilgili bit hatlarından birini mantıksal 0 deĐerine dŐrmeye alıŐacaktır. Bu durum devrede istenmeyen sonulara yol aabilir. Bunun iin bu devre tipinde NMOS transistrlerinin transistr boyutları (W/L) olduka doŐru belirlenmelidir [24].



Şekil 2.1. 2 NMOS'lu ön yükleme devresi

2.1.2. 3 PMOS'lu ön yükleme devresi

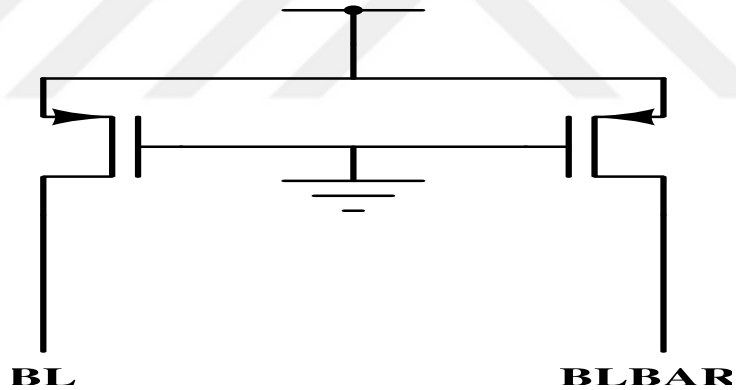
3 PMOS'lu ön yükleme devresi Şekil 2.2'de gösterilmiştir. Şekil 2.2'deki devre kapıları ON_YUKLE sinyali ile birbirine bağlanmış 3 PMOS transistörü içerir. ON_YUKLE sinyali okuma sırasında mantıksal 1 seviyesine yükseltilerek devre dışı bırakılır, böylece ekstra güç tüketimi önlenmiş olur. Bu devre PMOS transistörleri içerdiğinden BL ve BLBAR hatlarının tam bir VDD'ye kadar yükseltilmesine olanak sağlar [24]. 3 PMOS'lu ön yükleme devresindeki ON_YUKLE sinyali 3.PMOS transistörünü (Şekil 2.2'de ortadaki PMOS transistör) aktif ederek ön yükleme işlemi sırasında BL ve BLBAR hatlarının gerilimlerini eşitler [25]. Bit hatlarının gerilimlerinin eşit olması duyu yükseltecinin daha etkili çalışmasını sağlamaktadır. Çünkü duyu yükselteci okuma işlemi sırasında çalışmaya başlarken başlangıçta eşit olan bit hatlarının birinin azalmasını daha hızlı algılayarak 0 veya 1 okuma işleminin sonucunu hemen çıkışa verecektir [24].



Şekil 2.2. 3 PMOS'lu ön yükleme devresi

2.1.3. 2 PMOS'lu ön yükleme devresi

2 PMOS'lu ön yükleme devresi Şekil 2.3'de gösterilmiştir. Şekil 2.3'deki ön yükleme devresinde kapıları toprağa bağlanmış iki PMOS transistörü görülmektedir. Bu devrede, ON_YUKLE sinyali olmadığından PMOS transistörleri her zaman açıktır ve bu devre her iki bit hattını maksimum VDD'ye kadar yükseltebilir. Belirtilen devrede ON_YUKLE sinyalinin olmaması devrede bazı sıkıntılara yol açabilir, Bunlardan ilki ON_YUKLE sinyali olmadığından devre her zaman çalışacaktır. Bu da devrenin ihtiyaç olmadığı zamanda da çalışmasına sebep olacak, ekstra güç tüketimine yol açacaktır. İkincisi ise okuma işlemi sırasında ön yükleme devresi BL ve BLBAR hatlarını VDD'ye yükseltmek isterken hücre içinde daha önceden yazılmış olan 0 değeri ise ilgili bit hatlarından birini mantıksal 0 değerine düşürmeye çalışacaktır. Bu durum devrede istenmeyen sonuçlara yol açabilir. Bunun için bu devre tipinde PMOS transistörlerinin transistör boyutları (W/L) oldukça doğru belirlenmelidir [24].



Şekil 2.3. 2 PMOS'lu ön yükleme devresi

2.1.4. Ön yükleme devresi seçimi

SRAM tasarımında 3 PMOS'lu ön yükleme devresi 2 NMOS'lu ve 2 PMOS'lu ön yükleme devrelerine göre transistör sayısı fazla olduğundan daha fazla alan kaplamaktadır. Fakat yapılan SRAM tasarımında konum olarak ön yükleme devresi SRAM birim hücre dizisinin üstünde yer alacaktır. Tüm SRAM seriminin enini belirleyen SRAM hücre dizisidir. Bu yüzden alan bakımından avantaj SRAM birim hücre boyutunun minimize edilmesiyle sağlanacak olmasından dolayı bu üç devre çeşidinden birine karar verilirken güç tüketiminin daha az olmasını sağlayacak

ON_YUKLE sinyali içeren 3 PMOS'lu ön yükleme devre tipinin kullanılmasına karar verilmiştir.

Bit hattı boyunca oluşan toplam kapasite, ön yükleme devrelerinin transistör boyutlarını belirlerken kullandığımız bir parametredir. Toplam kapasite Denklem (2.1) ile Denklem (2.12) arasındaki denklemler kullanılarak hesaplanmıştır.

$$C_{OX} = \frac{\epsilon_0 \times \epsilon_r}{t_{ox}} \quad (2.1)$$

$$C_{OX} = \frac{8,85 \times 10^{-12} \times 4,1}{5,7 \times 10^{-9}} = 6,3658 \times 10^{-3} \text{ F} \quad (2.2)$$

$$C_{BL} = (\text{kaynak/savak kapasitesi} + \text{yol kapasitesi}) \times \text{bir sütundaki hücrelerin toplam sayısı} \quad (2.3)$$

$$C_{SK} = \frac{C_{JSW} \times \text{çevre}}{\left[1 - \frac{V_d}{\phi_0}\right]^{M_{JSW}}} + \frac{C_j \times \text{alan}}{\left[1 - \frac{V_d}{\phi_0}\right]^{M_j}} \quad (2.4)$$

$$C_{SK} = C_{JSW} \times \text{çevre} + C_j \times \text{alan} \quad (2.5)$$

$$C_{SK} = 2,2432 \times 10^{-11} \times 2,4 \times 10^{-6} + 0,0015775 \times 0,3024 \times 10^{-12} \quad (2.6)$$

$$C_{SK} = 0,53087 \text{ fF} \quad (2.7)$$

$$C_w = \frac{\epsilon_0 \times \epsilon_r \times A}{L} = \frac{8,85 \times 10^{-12} \times 4,1 \times 0,36 \times 10^{-6} \times 5,44 \times 10^{-6}}{0,9 \times 10^{-6}} \quad (2.8)$$

$$C_w = 0,07895 \text{ fF} \quad (2.9)$$

$$C_{BL} = (0,53087 + 0,07895) \times 64 \quad (2.10)$$

$$C_{BL} = 39,0284 \text{ fF} \quad (2.11)$$

$$C_{BL} = C_{BLBAR} \quad (2.12)$$

Seçilen 3 PMOS'lu ön yükleme devresinin transistör boyutları Tablo 2.1'de gösterilmiştir.

Tablo 2.1. Ön yükleme devresi transistör boyutları

Transistör	W/L (μm)
M1	0,72/0,24
M2	0,72/0,24
M3	0,72/0,24

2.2. Satır Çözücü Devresi

Bir SRAM dizisi, binlerce satır ve daha fazlasını içerebilir. Adres kod çözücüsü olmayan bir diziyi okumak ve yazmak, istenen kelime satırlarını açmak ve kapatmak için aynı sayıda seçme bitine sahip olmak anlamına gelir. Bir adres kod çözücüsü, rastgele erişimli bellekler için gerekli olmasına rağmen iki ana yarar sağlar: adresleme sinyallerinin sayısını 2^n satırlar için n'e düşürmek ve bir seferde yalnızca bir satıra erişilmesini sağlamaktır. İlk durumda belleğe erişmek için gereken bit sayısını azaltır, ikinci durumda ise yalnızca istenen verilere erişildiğinden emin olur.

2 Kb SRAM tasarımında 32 kelime satırı kullanılmıştır. Bu devre Şekil 2.4'de gösterilmiştir. Bu devrede her bir kelime satırını çözmek için 2 tane 3 girişli VE-DEĞİL, 1 tane 3 girişli VEYA-DEĞİL ve 4 tane evirici devresi kullanılmıştır. Ard arda kullanılan eviriciler uzun kelime satırlarının sürülmesine katkı sağlar. Çünkü uzun kelime hatlarında büyük kapasiteler oluşur. A0, A1, A2, A3, A4 adres bitleri düşük anlamlı bittten yüksek anlamlı bite doğru sıralanmıştır. _SUR ile belirtilen ifadeler ilgili adreslerin sürücü devrelerinden geçtikten sonraki güçlenmiş halleridir. _d_SUR ile belirtilen ifadeler ise ilgili adreslerin evrilip sürücü devreleriyle güçlenmesiyle oluşur. Aşağıdaki Tablo 2.2'de satır çözücü devresinin doğruluk tablosu görülmektedir. Doğruluk tablosunda görüldüğü üzere bu devreyle 32 farklı kombinasyon oluşturulmuştur. CS (Chip Select) pini çipin aktif olma durumunu göstermektedir. Ve mantıksal 0 ile çipi aktifleştirir. SAAT pini ise mantıksal 0

boyunca satır çözücü devresinin ilgili kelime hattını belirlemesini sağlamaktadır. Aşağıdaki denklemler ile bir kelime hattı boyunca ortaya çıkan toplam kapasite hesaplanmıştır. Sürücü devrelerinin transistör boyutlarını belirlerken kullandığımız bir parametredir. Toplam kapasite Denklem (2.13) ile Denklem (2.21) arasındaki denklemler kullanılarak hesaplanmıştır. Şekil 2.5’de ise 32 satır içeren satır çözücü devresinin serimi verilmiştir.

$$C_{OX} = \frac{\epsilon_0 \times \epsilon_r}{t_{ox}} \quad (2.13)$$

$$C_{OX} = \frac{8,85 \times 10^{-12} \times 4,1}{5,7 \times 10^{-9}} = 6,3658 \times 10^{-3} \quad (2.14)$$

$$C_{WL} = (2 \times C_G + C_W) \times \text{bir satırdaki hücrelerin toplam sayısı} \quad (2.15)$$

$$C_G = W_6 \times L \times C_{OX} = 0,36 \times 10^{-6} \times 0,24 \times 10^{-6} \times 6,3658 \times 10^{-3} \quad (2.16)$$

$$C_G = 0,55 \times 10^{-15} = 0,55 \text{ fF} \quad (2.17)$$

$$C_W = \frac{\epsilon_0 \times \epsilon_r \times A}{L} = \frac{8,85 \times 10^{-12} \times 4,1 \times 0,36 \times 10^{-6} \times 4,2 \times 10^{-6}}{0,9 \times 10^{-6}} \quad (2.18)$$

$$C_W = 0,061 \text{ fF} \quad (2.19)$$

$$C_{WL} = (2 \times 0,55 + 0,061) \times 6 \quad (2.20)$$

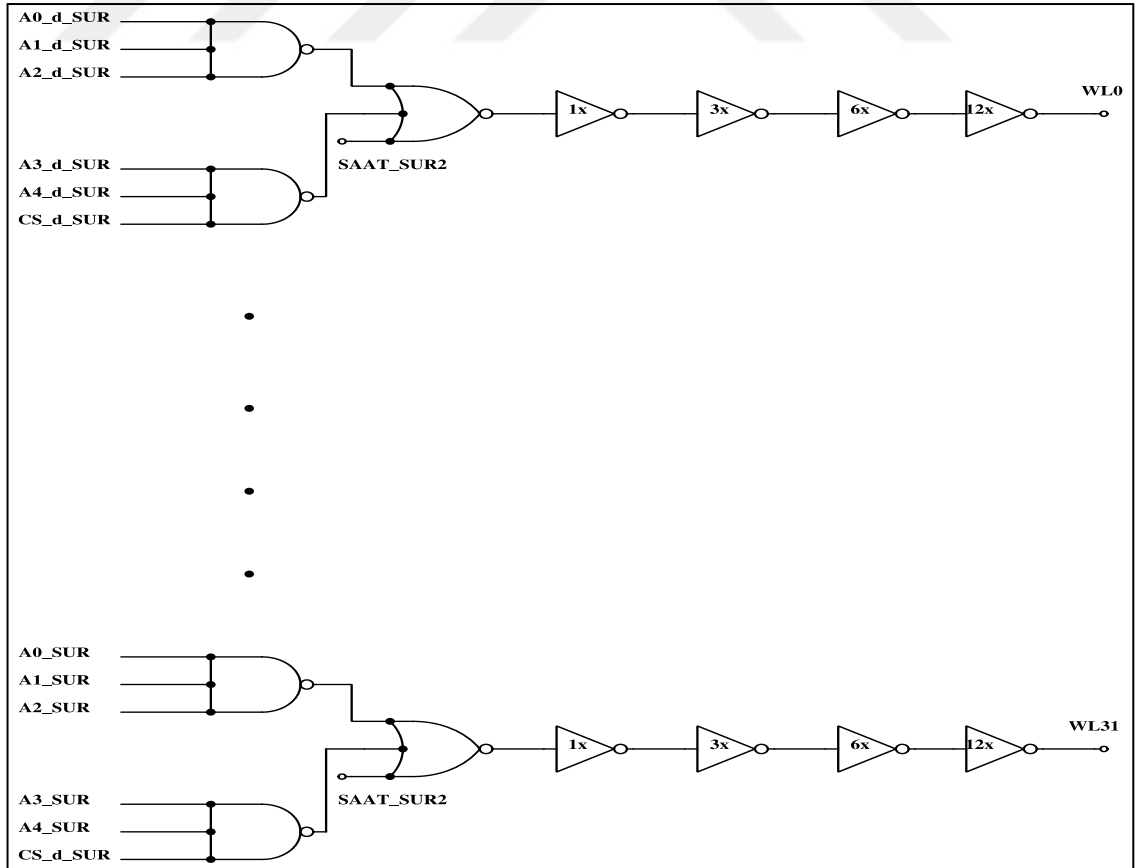
$$C_{WL} = 74,301 \text{ fF} \quad (2.21)$$

Tablo 2.2. Satır çözücü devresi doğruluk tablosu

A4_SUR	A3_SUR	A2_SUR	A1_SUR	A0_SUR	CS_SUR	SAAT_SUR2	WL
0	0	0	0	0	0	0	WL0
0	0	0	0	1	0	0	WL1
0	0	0	1	0	0	0	WL2
0	0	0	1	1	0	0	WL3
0	0	1	0	0	0	0	WL4
0	0	1	0	1	0	0	WL5
0	0	1	1	0	0	0	WL6
0	0	1	1	1	0	0	WL7
0	1	0	0	0	0	0	WL8
0	1	0	0	1	0	0	WL9

Tablo 2.2. (Devam) Satır çözücü devresi doğruluk tablosu

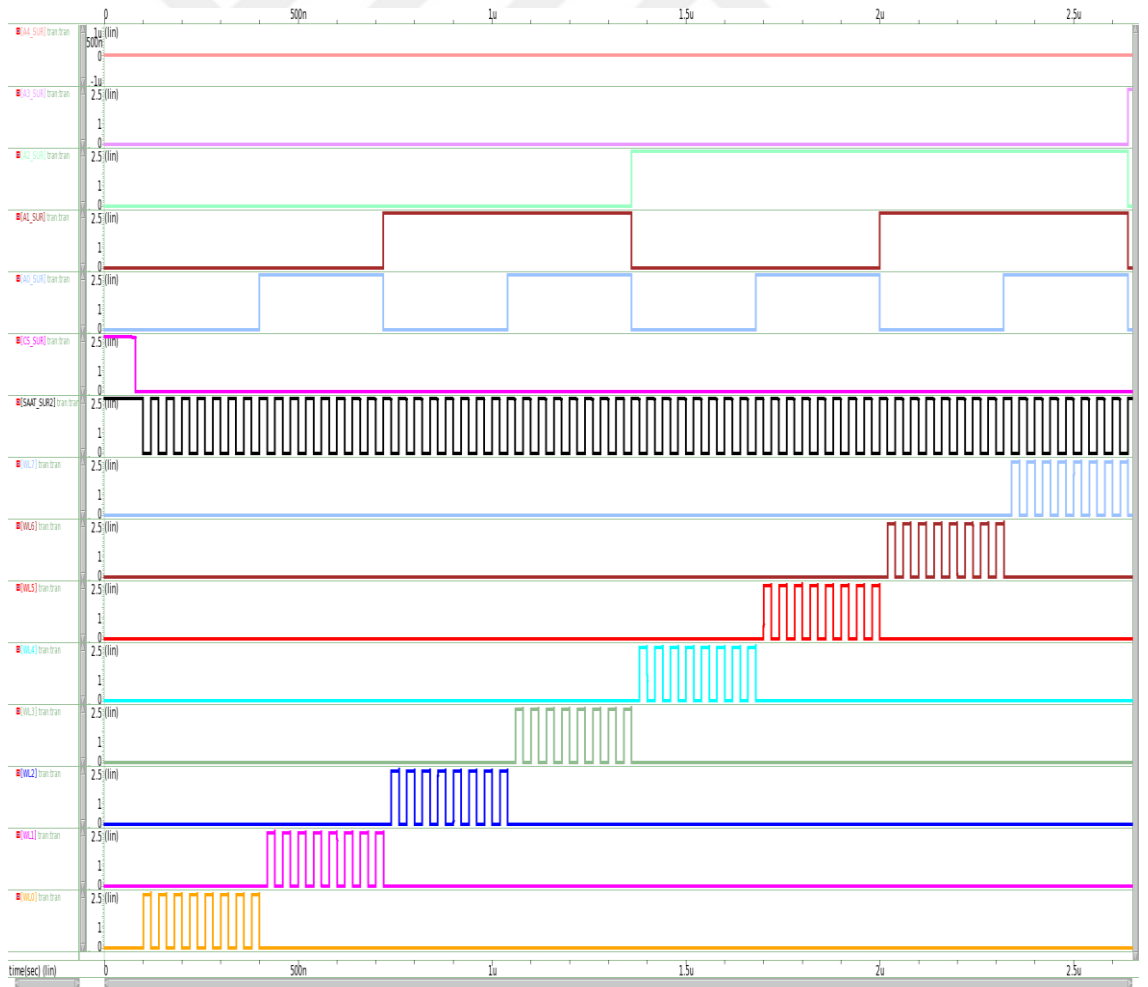
A4_SUR	A3_SUR	A2_SUR	A1_SUR	A0_SUR	CS_SUR	SAAT_SUR2	WL
0	1	0	1	0	0	0	WL10
0	1	0	1	1	0	0	WL11
0	1	1	0	0	0	0	WL12
0	1	1	0	1	0	0	WL13
0	1	1	1	0	0	0	WL14
0	1	1	1	1	0	0	WL15
1	0	0	0	0	0	0	WL16
1	0	0	0	1	0	0	WL17
1	0	0	1	0	0	0	WL18
1	0	0	1	1	0	0	WL19
1	0	1	0	0	0	0	WL20
1	0	1	0	1	0	0	WL21
1	0	1	1	0	0	0	WL22
1	0	1	1	1	0	0	WL23
1	1	0	0	0	0	0	WL24
1	1	0	0	1	0	0	WL25
1	1	0	1	0	0	0	WL26
1	1	0	1	1	0	0	WL27
1	1	1	0	0	0	0	WL28
1	1	1	0	1	0	0	WL29
1	1	1	1	0	0	0	WL30
1	1	1	1	1	0	0	WL31



Şekil 2.4. 32 Satır içeren satır çözücü

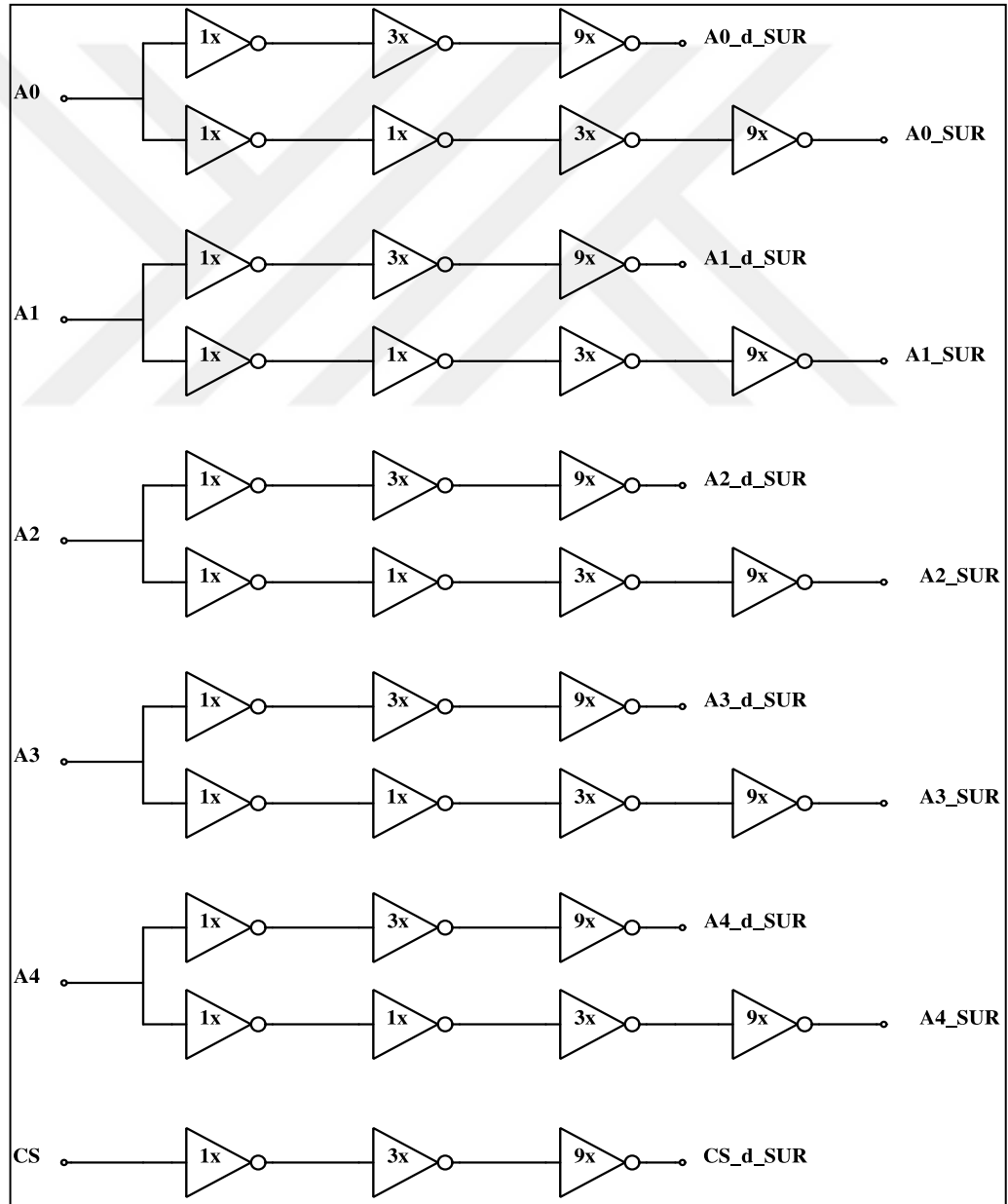


Şekil 2.5. 32 satır içeren satır çözücü devresi serimi



Şekil 2.6. Satır çözücü devresi benzetim sonucu

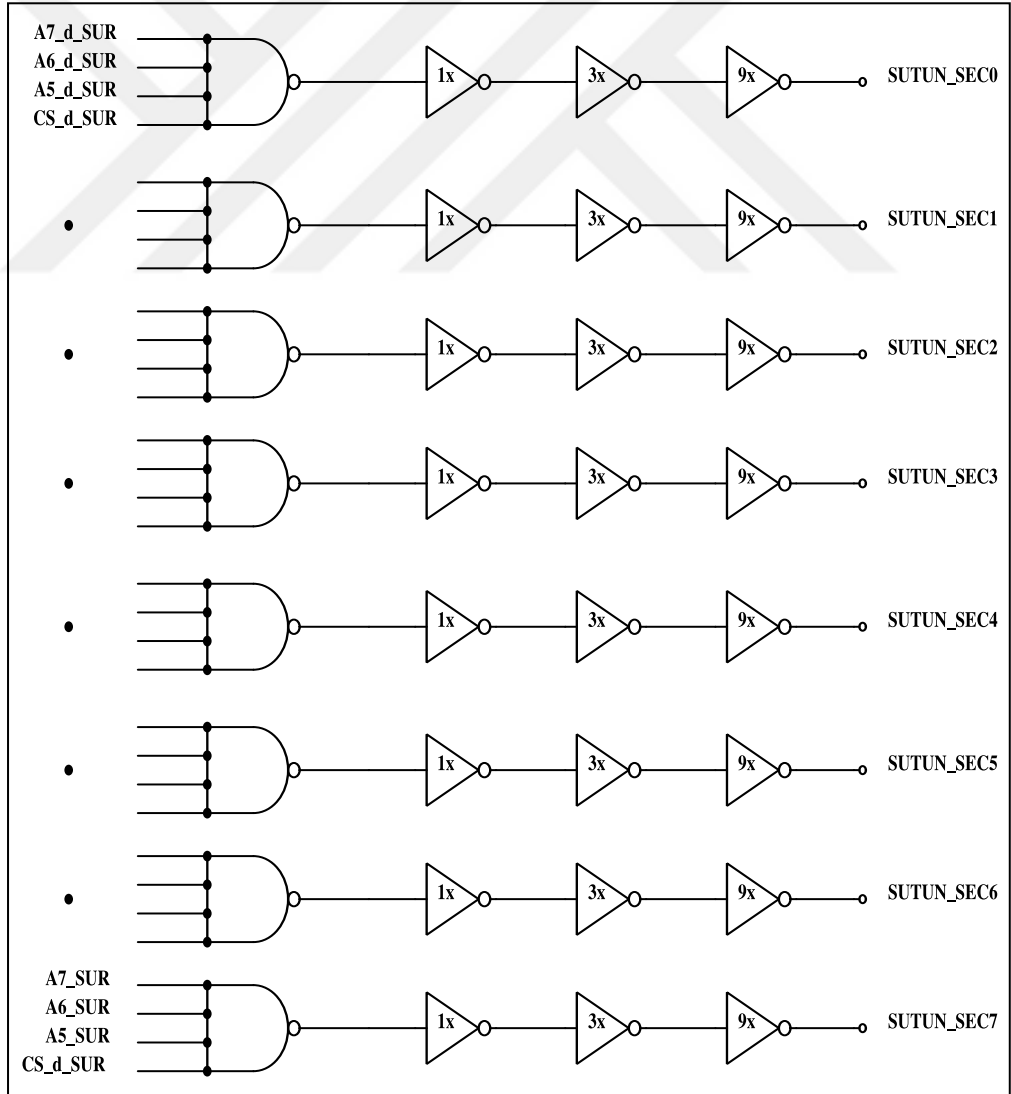
Şekil 2.6'daki benzetim 2,65 μ s yapılmıştır. Benzetim sonucuna göre adresler A4A3A2A1A0 00000'dan başlayarak 00111'e kadar değiştirilerek farklı zamanlarda 8 adet kelime hattı seçilmiştir. Benzetim sonucunda görüldüğü üzere CS_SUR pini ilk 80 ns mantıksal olarak 1 seviyesindeyken devrede herhangi bir satır hattı çözülmemiştir. Şekil 2.7'de adres sürücüleri gösterilmiştir. Adres sürücüleri, adreslerin uzun bir hat boyunca birçok satır çözücü devresine girmesinden dolayı kullanılması gereken bir devre yapısıdır. Adres sürücüleri sıralı eviricilerden oluşturulmuştur. Şekil 2.7'de 1x, 3x, 9x ile gösterilen ifadeler transistör boyutlarının katlarıdır.



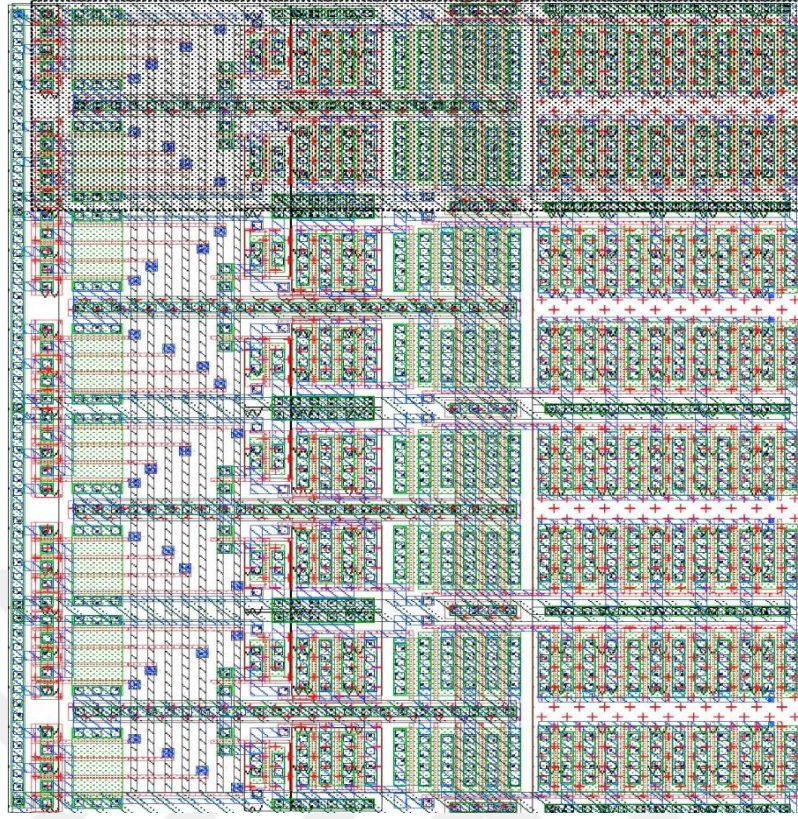
Şekil 2.7. Satır çözücü devresi adres sürücüleri

2.3. Sütun Çözücü Devresi

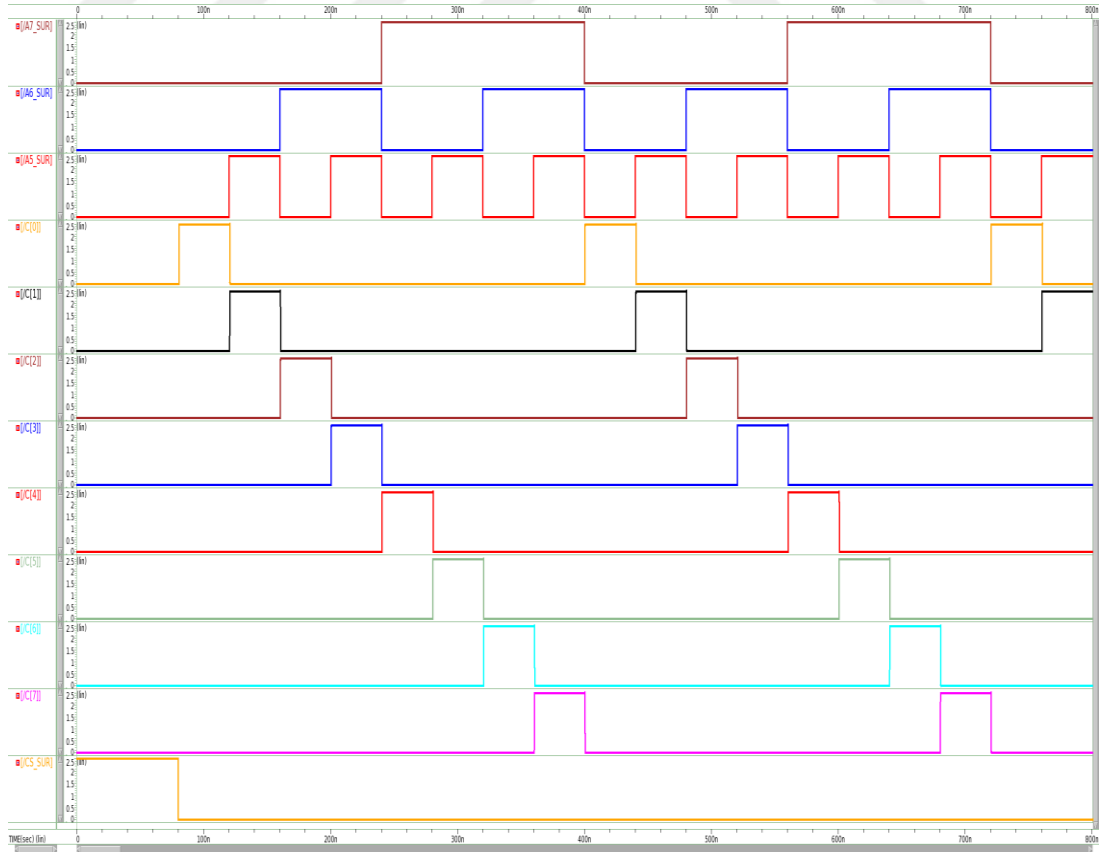
2 Kb SRAM tasarımında 64 sütun vardır. Fakat yazma ve okuma devrelerinde giriş ve çıkışlar her 8'li grup için kısa devre yapılarak 8 çıkış elde edilmiştir. Ve böylece çoğullayıcı(mux) devresinin kullanılmasına gerek görülmemiştir. Sütun çözücü devresinin 8 bit çıkış vermesi sağlanmıştır. Sütun çözücü devresi Şekil 2.8'de gösterilmiştir. Bu devrede her bir 8'li sütunu çözmek için 1 tane 4 girişli VE-DEĞİL ve 3 tane evirici devresi kullanılmıştır. Ard arda kullanılan eviriciler devrenin çıkışının kuvvetlenmesini sağlar. A5, A6, A7 adres bitleri düşük anlamlı bitten yüksek anlamlı bite doğru sıralanmıştır. _SUR ile belirtilen ifadeler ilgili adreslerin sürücü devrelerinden geçtikten sonraki güçlenmiş halleridir. _d_SUR ile belirtilen ifadeler ise ilgili adreslerin evrilip sürücü devreleriyle güçlenmesinden oluşur.



Şekil 2.8. Sütun çözücü devresi

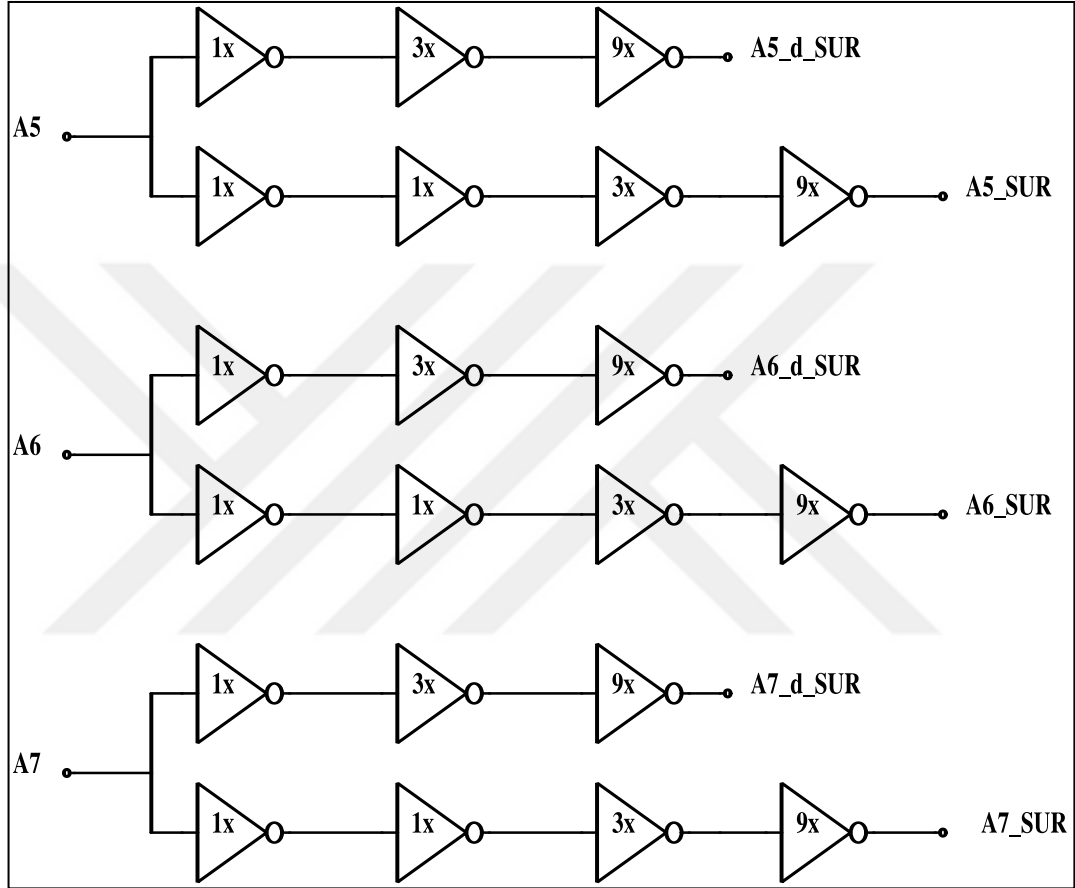


Şekil 2.9. 8 Sütun içeren çözücü devresi serimi



Şekil 2.10. Sütun çözücü devresi benzetim sonucu

Şekil 2.10'daki benzetim 800 ns yapılmıştır. Benzetim sonucuna göre adresler A7A6A5 000'dan başlayarak 111'e kadar değiştirilerek farklı zamanlarda 8 adet sütun hattı seçilmiştir. Benzetim sonucunda görüldüğü üzere CS_SUR pini ilk 80 ns mantıksal olarak 1 seviyesindeyken devrede herhangi bir sütun hattı çözülmemiştir. Şekil 2.11'de ise sütun çözümlere giren adres sürücüleri görülmektedir.

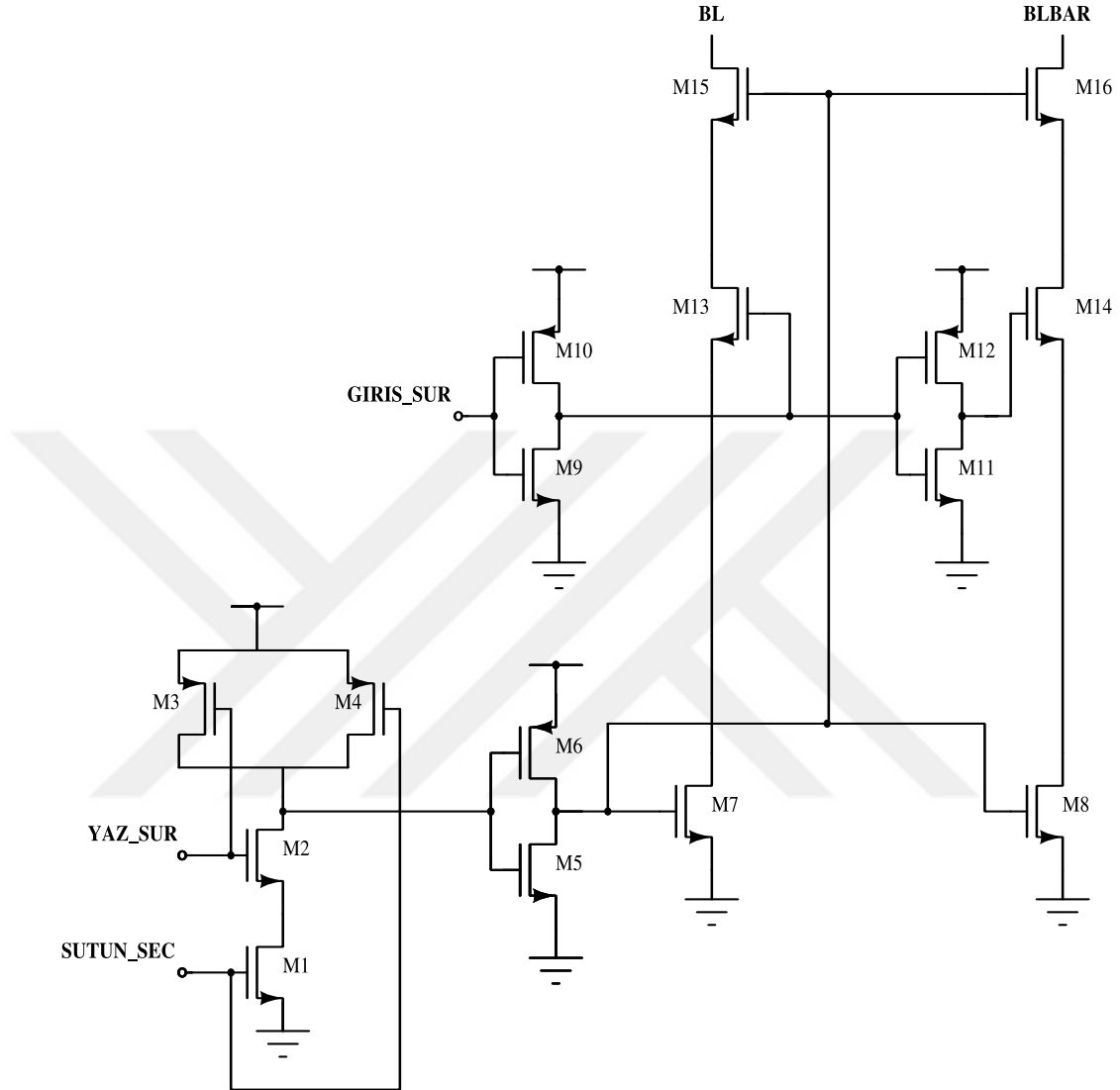


Şekil 2.11. Sütun çözümlere giren adres sürücüleri

2.4. Yazma Devresi

Şekil 2.12'de yazma devresi görülmektedir. Bu devrede YAZ_SUR ve SUTUN_SEC pinlerinin devreye uygulandığı yerde bir VE-DEĞİL devresi görülmektedir. İki pin de mantıksal 1 seviyesinde devreye uygulandığında devre yazma işlemi için aktifleşecektir. İki pinden herhangi birinin mantıksal 0 olması durumunda devre yazma işlemini doğru gerçekleştiremeyecektir. Çünkü buradaki amaç VE-DEĞİL devresinden sonra gelen eviricinin çıkışının mantıksal 1 olması ve de toprağa çeken 2 NMOS transistörün (M7 ve M8) açık kalmasını sağlamaktır. Buna göre GIRIS_SUR pininin mantıksal 0 ve mantıksal 1 olması durumuna göre BL ve BLBAR hatlarından

biri toprağa çekilecek diğeri ise mantıksal 1 seviyesinde kalacaktır. Böylece GIRIS_SUR pininin değeri ne mantıksal 0 veya 1 yazılmış olacaktır.

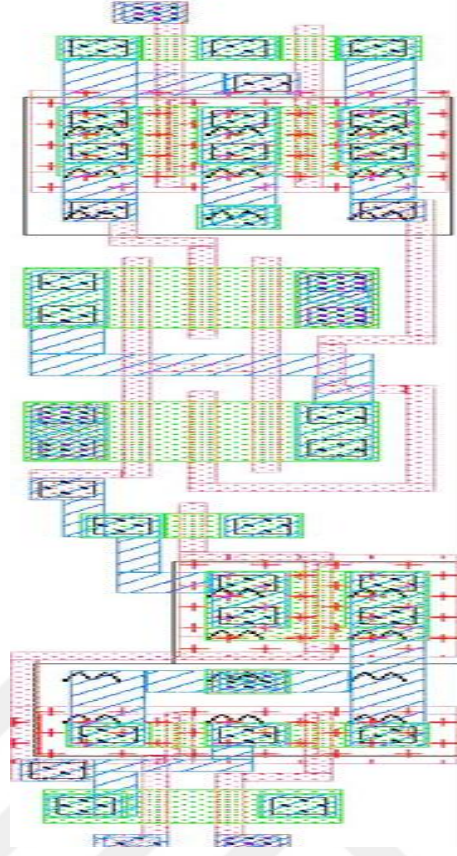


Şekil 2.12. Yazma devresi

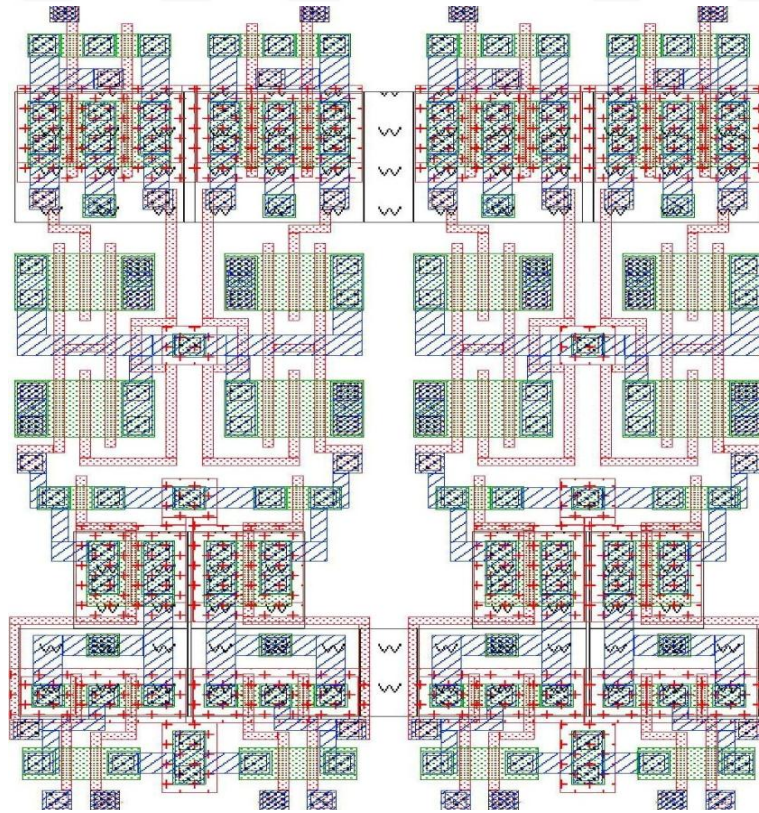
Yazma devresi transistörleri boyutları Tablo 2.3’de gösterilmiştir.

Tablo 2.3. Yazma devresi transistör boyutları

Transistör	W/L (μm)	Transistör	W/L (μm)
W1	2/0,24	W9	0,72/0,24
W2	2/0,24	W10	2/0,24
W3	0,72/0,24	W11	0,72/0,24
W4	0,72/0,24	W12	2/0,24
W5	0,72/0,24	W13	1,44/0,24
W6	2/0,24	W14	1,44/0,24
W7	1,44/0,24	W15	1,44/0,24
W8	1,44/0,24	W16	1,44/0,24

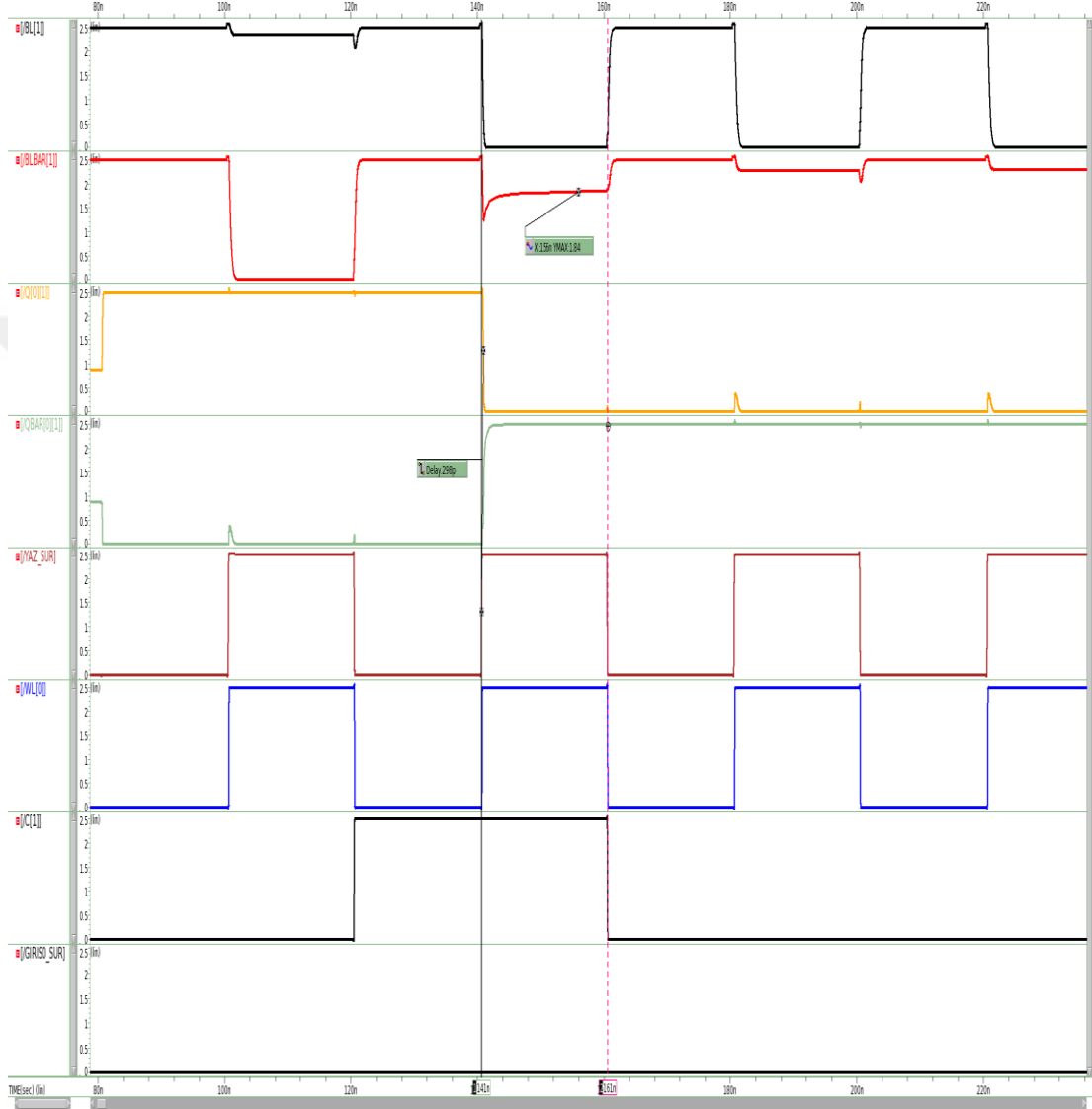


Şekil 2.13. Yazma devresi serimi



Şekil 2.14. 4'lü yazma devresi serimi

Şekil 2.13’de yazma devresi serimi gösterilmiştir. Şekil 2.14’de ise serimler birleştirilirken iki yazma devresi serimi VSS (toprak) pinleri çıkarılacak şekilde birleştirilmiştir. 4’lü gruplar yapılarak birim hücrelerin enine göre yazma devresi serimi ayarlanmıştır.



Şekil 2.15. Yazma devresi benzetim sonucu

Şekil 2.15’deki benzetim 240 ns yapılmıştır. 120 - 140 ns arasında ön yükleme işlemi yapılarak BL[1] ve BLBAR[1] hatları mantıksal 1 seviyesine çekilmiştir. Benzetim sonucunda 140 - 160 ns arası incelendiğinde YAZ_SUR sinyali ve WL[0] kelime hattı sinyalinin mantıksal 1, ayrıca sütun çözücü çıkışı olan C[1] sinyalinin de mantıksal 1 seviyesinde olduğu görülmektedir. Bu benzetim sonucunda ise GIRISO_SUR sinyali mantıksal 0 seviyesindedir. Böylece hücre içine Q[0][1]

sinyalinde görüldüğü üzere mantıksal 0 yazılmıştır. QBAR[0][1] sinyali ise Q[0][1] sinyalinin evriği olarak görülmektedir. BL[1] sinyali mantıksal 0 seviyesine düşerken BLBAR[1] sinyali ise bir miktar gerilim düşümünden sonra 1,84 V seviyesinde yani mantıksal 1 seviyesinde kalır. Q[0][1] sinyali ile YAZ_SUR sinyali arasında 298 ps gecikme vardır.

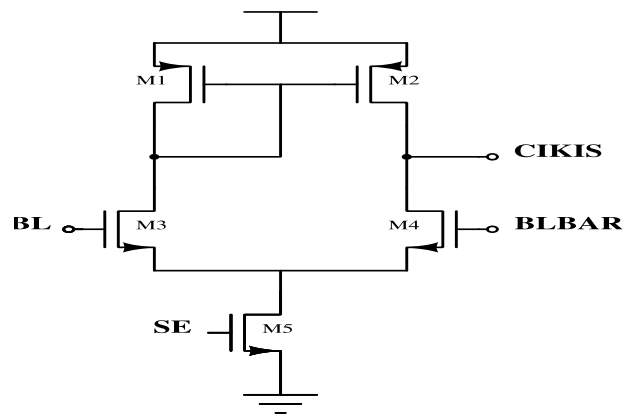
2.5. Fark Algılayıcı Devreleri

Fark algılayıcı devrelerinin dört tipinden bahsedilmiştir. İlki gerilim modlu mandal temelli fark algılayıcı devresi ikinci ise akım modlu mandal temelli fark algılayıcı devresidir [26]. Üçüncü devre ise diferansiyel fark algılayıcı devresidir. Son devre ise geçiş transistörlü gerilim modlu mandal temelli fark algılayıcı devresidir.

Gerilim modlu fark algılayıcı devreleri doğrudan bit hatlarına bağlanır. Bir okuma döngüsünün başında, bit hatları önceden yüklenir. Bir bit hattı deşarj olmaya başladığında, bit hatları arasındaki gerilim farkı, çıkışta görülen mantık değerini belirler. Gerilim modlu fark algılayıcı devrelerinin performansı, bit hattı kapasitelerine bağlıdır. Bit hattı kapasitesi ne kadar büyük olursa, fark algılayıcı devresinin de bit hatları arasındaki farkı algılama süresi uzar [27].

2.5.1. Diferansiyel fark algılayıcı devresi

Şekil 2.16'da diferansiyel fark algılayıcı devresi görülmektedir. Fark algılayıcı devresi, 2 PMOS transistörden (M1 ve M2), bir ön gerilim akım kaynağından (M5) ve giriş transistörlerinden (M3 ve M4) oluşur. Bit hatları giriş transistörlerine bağlanır ve çıkış BLBAR tarafından alınır.

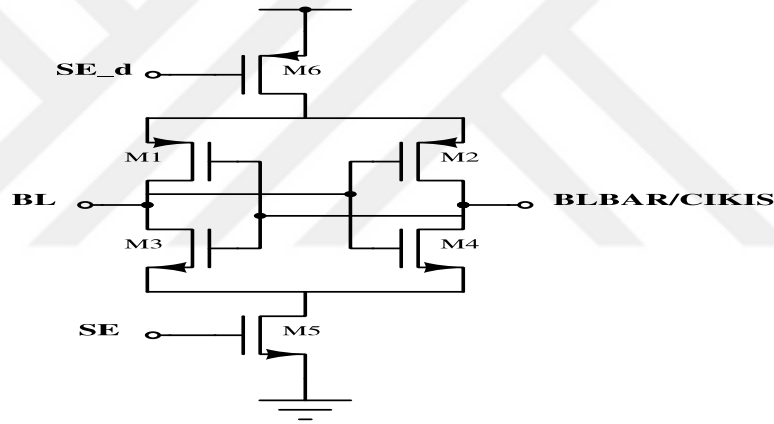


Şekil 2.16. Diferansiyel fark algılayıcı devresi

Sinyal SE mantıksal olarak 1 olduğunda bir okuma döngüsü başlar. M5 transistörü açılır ve üzerinden akım akmaya başlar. Okuma öncesi BL ve BLBAR ön yükleme yapıldığı için giriş gerilimleri yaklaşık olarak eşittir. SRAM hücreleri aktif olduktan sonra içerideki 0 ve 1'in konumuna göre bit hatlarından biri deşarj olmaya başlar. Böylece M3 ya da M4 transistörlerinden birinin kapısına uygulanan gerilim azalır. Bu gerilim azalması savak akımının azalmasına neden olur. Akım kaynağındaki toplam akım değişmediğinden bir taraftaki akımın azalması diğer taraftaki akımı artırır [27]. Sonuç olarak BL'nin durumuna göre ÇIKIŞ'a akım basılır veya ÇIKIŞ'tan akım çekilir.

2.5.2. Mandal temelli fark algılayıcı devresi

Mandal temelli fark algılayıcı devresi şekil 2.17'de gösterilmiştir.



2.17. Mandal temelli fark algılayıcı devresi

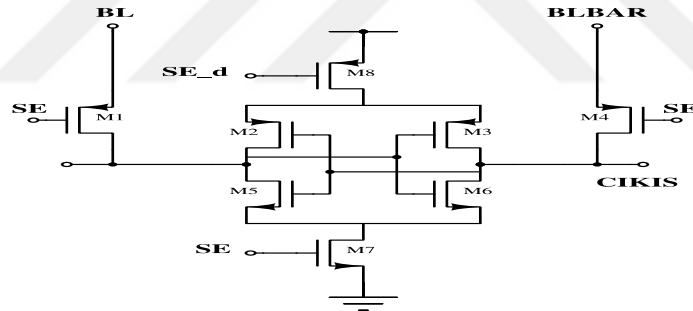
Mandal temelli fark algılayıcı devresinin birden fazla türü bulunmaktadır. Bu türler içerisinde olan Şekil 2.17'deki devre oldukça yaygın kullanılır [27].

Şekil 2.17'de görüldüğü üzere birbirine çapraz bağlı evirici (M1-M3 ve M2-M4) bulunur. Bu iki evirici çifti verileri tutarak mandallanmasını sağlar. Okuma öncesi BL ve BLBAR ön yükleme yapıldığı için besleme gerilimine yüklenir. SRAM hücresinde depolanan 0 ve 1'in konumuna göre BL ya da BLBAR'dan biri deşarj olmaya başlar. BL ve BLBAR fark algılayıcı devresinin evirici girişlerine bağlanır. Aralarında yeterince gerilim farkı oluşturmak için hatlardan birinin yeterince deşarj edilmesi beklenir. Daha sonra SE=1 yapılır. M5 ve M6 transistörleri açılarak eviriciler aktifleştirilir. Eviriciler kararlı bir mandal yapısını oluşturduğundan bir bit

hattındaki azalma diğer bit hattının gerilimini artırır. Böylece BLBAR'ın değeri ÇIKIŞ değeri olur.

2.5.3. Geçiş transistörlü mandal temelli fark algılayıcı devresi

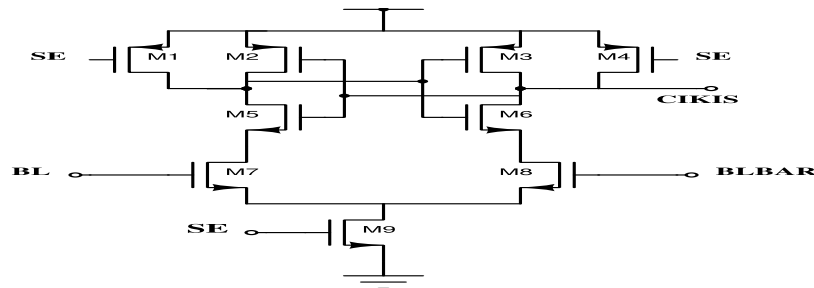
Mandal temelli fark algılayıcı devresinin bir başka türü, devreye 2 geçiş transistörlerinin eklenmesiyle oluşan devredir. Şekil 2.18'de görüldüğü üzere bu geçiş transistörleri fark algılayıcı devresinin giriş ve çıkışlarını birbirinden ayırır. Çünkü bir önceki devrenin fark algılayıcı devresinin giriş ve çıkışları aynı fiziksel düğüm noktasındadır. Bu yüzden SRAM hücresinde depolanan değerler okunurken bit hatlarını boşaltmak için fark algılayıcı devresi daha fazla güç harcayacaktır. M1 ve M4 PMOS geçiş transistörleri Fark algılayıcı devresinin giriş ve çıkışlarını ayırır. SE=0 iken M1 ve M4 açılır. SE=1 iken ise M1 ve M4 kapanır. Böylece bit hatları Fark algılayıcı devresinin girişlerinden ayrılır. Bit hatları artık boşalamaz. M1 ve M4 transistörleri zayıf bir boyutlandırma hatasıyla üretildiklerinde fark algılayıcı devresini farklı mantık değerine yönlendirebilir [27].



Şekil 2.18. Geçiş transistörlü mandal temelli fark algılayıcı devresi

2.5.4. Akım kontrollü mandal tipi fark algılayıcı devresi

Şekil 2.19'da akım kontrollü mandal tipi fark algılayıcı devresi gösterilmiştir.



Şekil 2.19. Akım kontrollü mandal tipi fark algılayıcı devresi

Bu devre aslında 1 ve 2 nolu devrenin bir karışımıdır. $SE=0$ iken M1 ve M4 transistörleri açılır. Mandalın önceki durumunu temizler. Ve kararlı noktada tutar. Bit hattı girişleri M7 ve M8 kapılarına bağlanır. $SE=1$ yapıldığında M1 ve M4 transistörleri kapanır. M9 transistörü açılır. Boşaltılan bit hattı tarafındaki kapı gerilimi azalır. Aynı zamanda akım azalırken ÇIKIŞ geriliminin değişmesine sebep olur. Fark algılayıcı devresi statik akım akışını durduracak ve çıkışta geçerli bir değer tutacaktır [27].

2.5.5. Fark algılayıcı devresi özellikleri

Aşağıda çeşitli fark algılayıcı devrelerinin farklı özellikleri belirtilmiştir.

2.5.5.1. Giriş gerilimi seviyesi

Fark algılayıcı devrelerinin girişlerinde mümkün olan maksimum gerilim bulunmalıdır. Bu, bir okuma döngüsü sırasında erişim süresini azaltarak fark algılayıcı devresi tarafından bit hatları arasında daha küçük bir farkın algılanmasına izin verecektir. Diferansiyel fark algılayıcı devresinin maksimum giriş gerilimi, mandal temelli fark algılayıcı devresi ve akım kontrollü mandal tipi fark algılayıcı devresinin besleme gerilimi ile aynıdır. Geçiş transistörlü mandal temelli fark algılayıcı devresinin maksimum giriş gerilimi, besleme geriliminden PMOS geçiş transistörleri üzerindeki gerilim düşüşünün farkıdır. Bu gerilim farkı, geçiş transistörlü fark algılayıcı devresinin dezavantajlarından biridir. Gerilim aralığındaki bu azalmanın etkisi küçük görünebilir, ancak fark algılayıcı devresinin gürültü toleransını etkili bir şekilde azaltır ve yanlış okumaya yol açabilir. Besleme gerilimindeki küçük bir azalma, evirici transistörlerinin okuma döngüsü sırasında uygun çalışma bölgesinde kalmaları için yeterli bir gerilime sahip olmamasına yol açabilir. Ayrıca, PMOS transistörleri az farklı boyutlarda üretilirse, gerilim düşüşünde oluşabilecek fark, fark algılayıcı devresini bir değerde kitleyebilir [27].

2.5.5.2. Statik akım akışı

Statik akım akışı olmayan bir fark algılayıcı devresi, okuma döngüsü sırasında önemli ölçüde daha az güç tüketir. Diferansiyel fark algılayıcı devresi tüm okuma döngüsü boyunca statik bir akım akışı gerektirir. Akım bağlantısı kesilecek olursa,

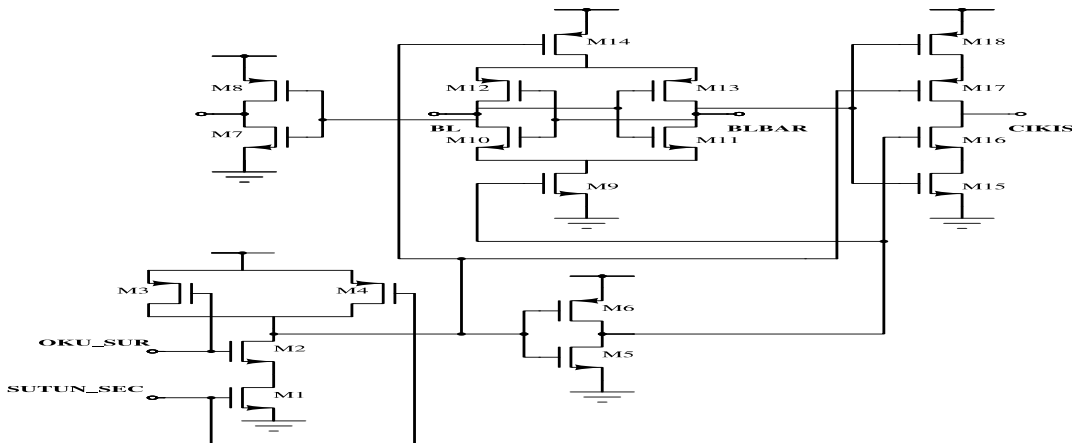
fark algılayıcı devresi artık geçerli bir çıktı üretmeyecektir. Üç mandal temelli tasarımda, fark algılayıcı devresi mandallandığında statik akım akışı olmayacaktır, çünkü bunlar besleme gerilimi ve toprak arasında doğrudan bir yola sahip değildir. Güç tüketimindeki bu düşüş, mandal temelli fark algılayıcı devresi tasarımlarının en önemli faydalarından biridir [27].

2.5.5.3. Fark algılayıcı devresi seçimi

Fark algılayıcı devresi mandallandıktan sonra statik akım akışı olmadığından dolayı mandal temelli fark algılayıcı devresi seçmek mantıklıdır. Çünkü güç tüketiminin azalmasını sağlayacaktır. Serim çizimi sırasında fark algılayıcı devresinin, fark algılayıcı devresinin girişlerinde yüksek bir empedans üretmek için yazma devresine yakın konumlandırılması, geçiş transistörlerinin kullanılmasıyla bit hatlarını girişlerden ayırmak gerekliliğini ortadan kaldırmaktadır. Hem bu yüzden hem de gerilim düşümü sebebiyle yapılan tasarımda geçiş transistörlerine yer verilmemiştir [27]. Temel olarak bir fark algılayıcı devresi tipi seçildikten sonra belirlenen devreye ek transistörler eklenerek Şekil 2.20'deki devre ortaya çıkarılmıştır.

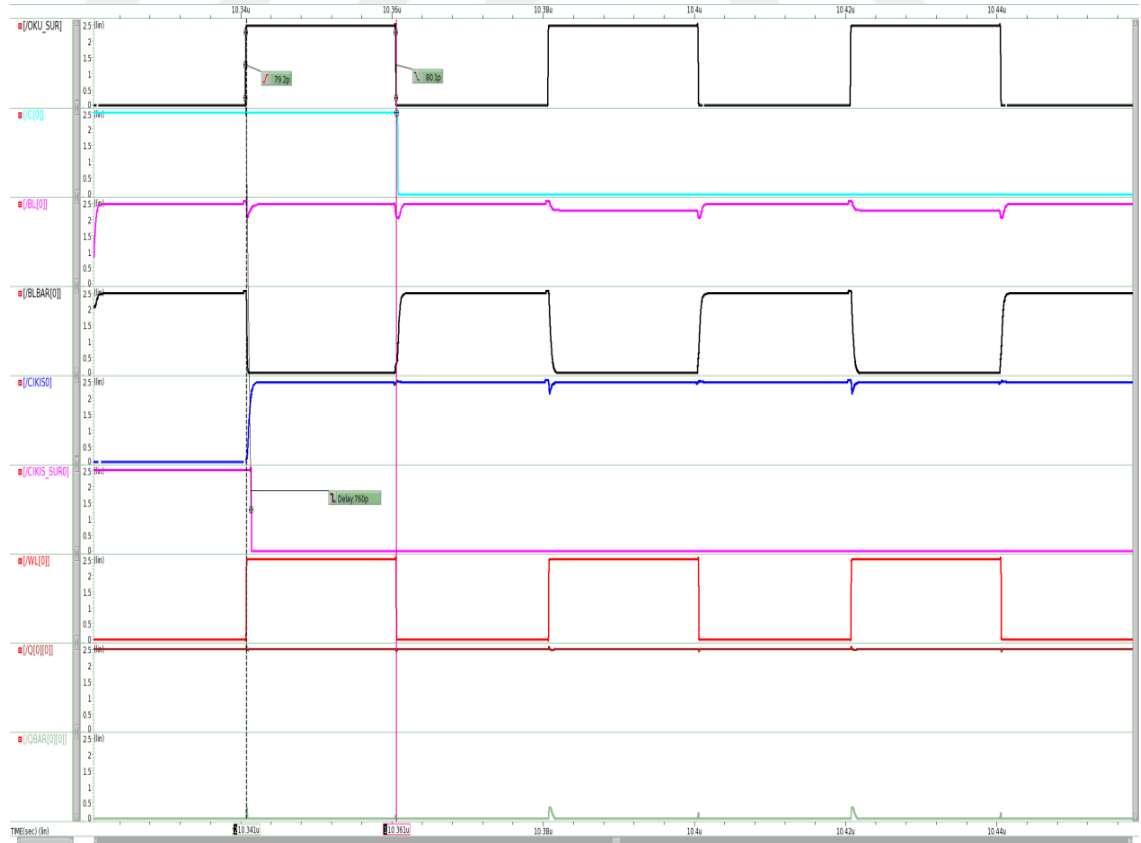
Tablo 2.4. Okuma işlemi için oluşturulan fark algılayıcı devresi transistör boyutları

Transistör	W/L (µm)	Transistör	W/L (µm)
W1	2/0,24	W10	1,56/0,24
W2	2/0,24	W11	1,56/0,24
W3	0,72/0,24	W12	0,72/0,24
W4	0,72/0,24	W13	0,72/0,24
W5	0,72/0,24	W14	0,72/0,24
W6	2/0,24	W15	0,72/0,24
W7	0,72/0,24	W16	0,72/0,24
W8	2/0,24	W17	2/0,24
W9	1,56/0,24	W18	2/0,24



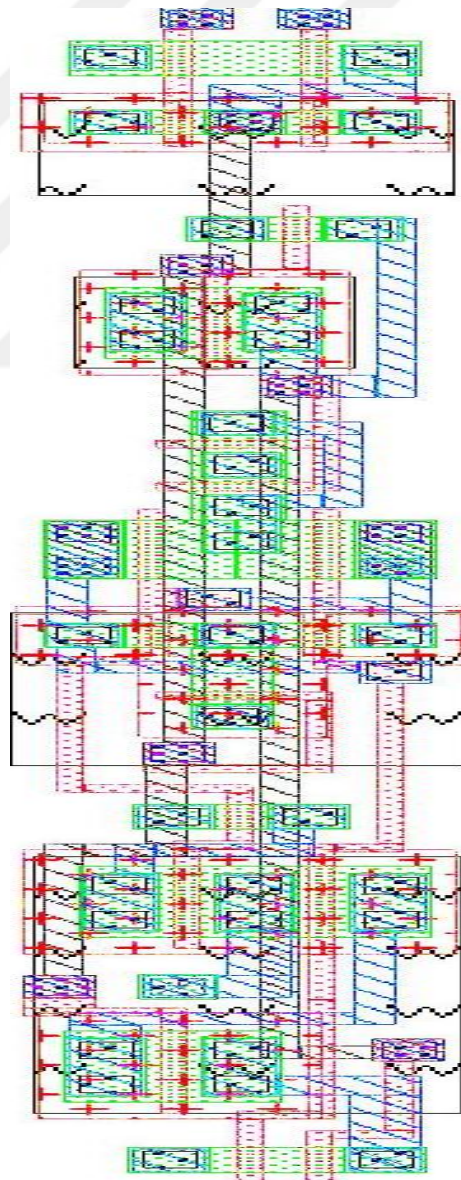
Şekil 2.20. Okuma işlemi için oluşturulan fark algılayıcı devresi

Şekil 2.20’de okuma işlemi için oluşturulan fark algılayıcı devresi görülmektedir. Bu devrede OKU_SUR ve SUTUN_SEC pinlerinin devreye uygulandığı yerde bir VE-DEĞİL devresi görülmektedir. İki sinyal mantıksal 1 seviyesinde devreye uygulandığında devre okuma işlemi için aktifleşecektir. İki sinyalden herhangi birinin mantıksal 0 olması durumunda devre okuma işlemini doğru gerçekleştiremeyecektir. Buradaki amaç VE-DEĞİL devresinden sonra gelen eviricinin çıkışının mantıksal 1 olmasıyla M14 PMOS transistorünün kapısına mantıksal 0, M9 NMOS transistorünün kapısına mantıksal 1 uygulanmıştır. Böylece M14 ve M9 transistörleri açık kalır. Böylece birbirine çapraz bağlı evirici yapıları (M12 - M10) ve (M13 - M11) çalışmaya başlayacaktır. Okuma işlemi yapılmadan önce birim hücrede 0 ve 1 yazılmış durumdadır. Okuma işleminden hemen önce BL ve BLBAR ön yükleme ile mantıksal 1 seviyesine çekilir. Böylece BL ve BLBAR hatlarının birinden birim hücrede 0 yazılmış olan tarafa doğru akım akmaya başlar. Ve ilgili hattaki gerilim düşmeye başlar. Fark algılayıcı devresindeki çapraz eviricilerde BL ve BLBAR arası gerilim farkı algılanıp bu fark artırılır ve çıkışta BLBAR’ın evriği ortaya çıkar.

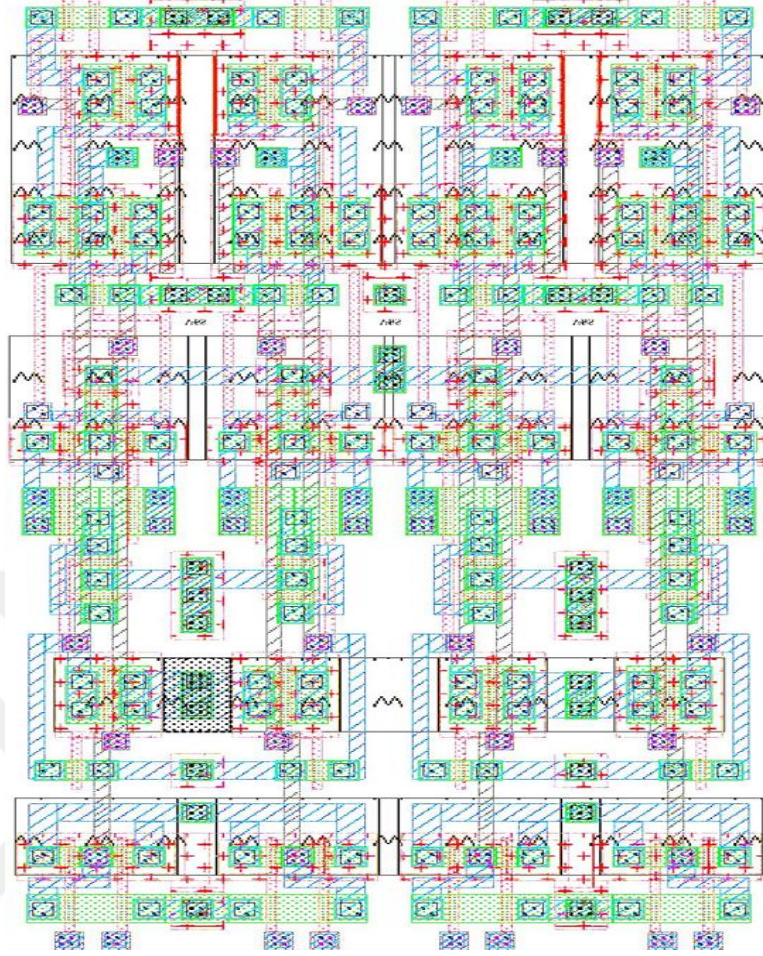


Şekil 2.21. Okuma devresi (Fark algılayıcı devresi) benzetim sonucu

Şekil 2.21'deki benzetim 100 ns yapılmıştır. 10,32 - 10,34 μ s arasında ön yükleme işlemi yapılarak BL[0] ve BLBAR[0] hatları mantıksal 1 seviyesine çekilmiştir. Benzetim sonucunda 10,34 - 10,36 μ s arası incelendiğinde OKU_SUR sinyali ve WL[0] kelime hattı sinyalinin mantıksal 1, ayrıca sütun çözücü çıkışı olan C[0] sinyalinin de mantıksal 1 seviyesinde olduğu görülür. BL[0] sinyali mantıksal 1 seviyesinde kalırken BLBAR[0] sinyali ise mantıksal 0 seviyesine düşer. OKU_SUR sinyalinin yükselme zamanı 79,2 ps iken düşme zamanı 80,1 ps'dir. Ayrıca CIKIS_SUR0 sinyali ile OKU_SUR sinyalleri arasında 760 ps gecikme vardır. Şekil 2.22'de okuma işlemi için kullanılan fark algılayıcı devresinin serimi görülmektedir. Şekil 2.23'de ise 4'lü bir biçimde birleştirilmiş fark algılayıcı devresi gösterilmiştir.



Şekil 2.22. Okuma devresi serimi

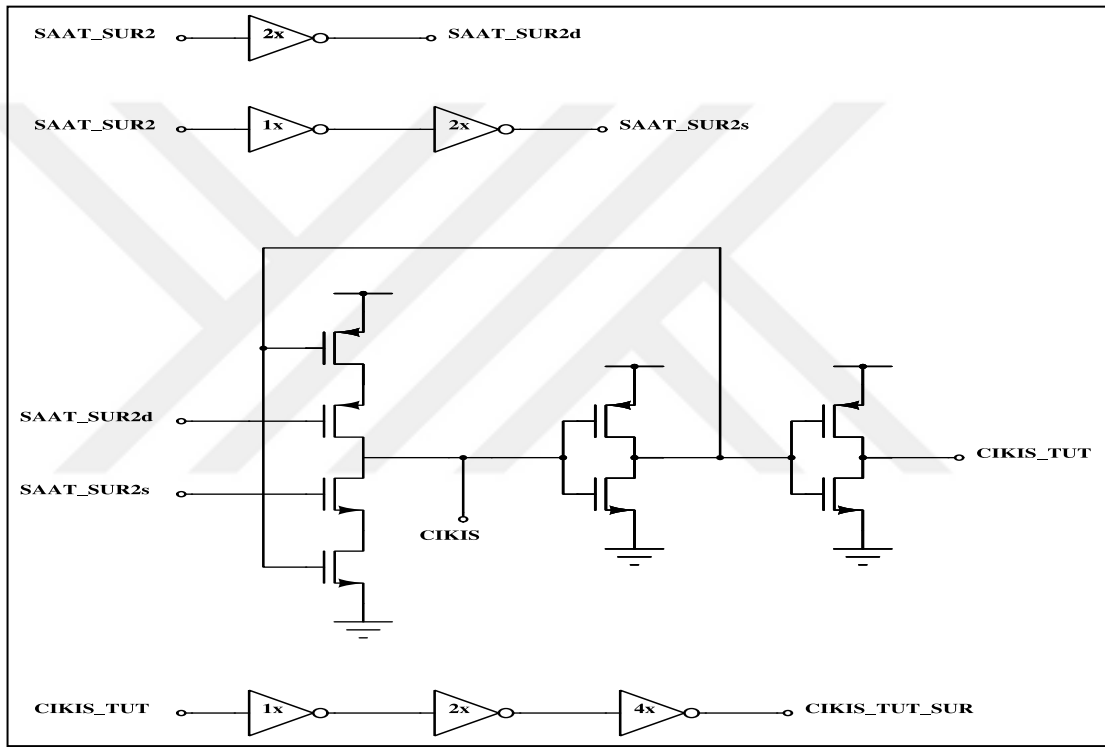


Şekil 2.23. 4'lü okuma devresi serimi

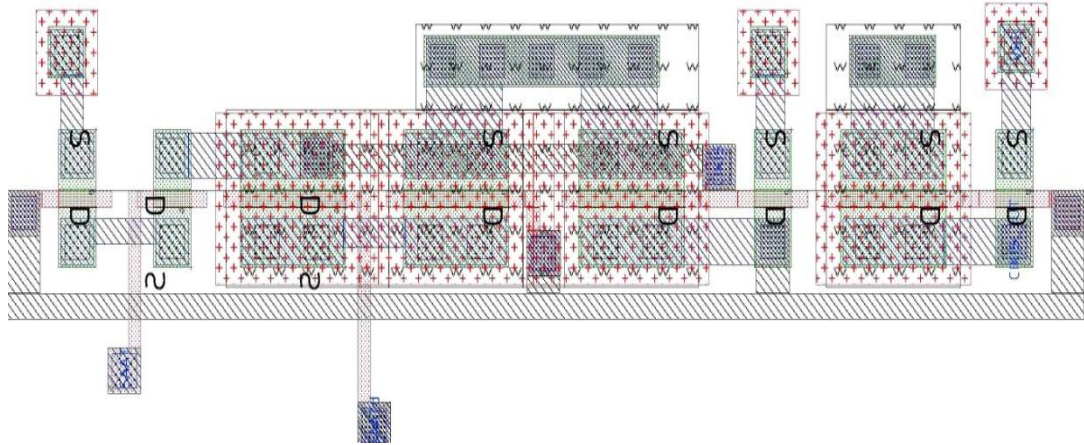
2.6. Tutucu Devresi

Şekil 2.24 ile gösterilen devrede ilk olarak SAAT_SUR2 sinyalinin evriği ve güçlendirilmiş hali oluşturulmuştur. Ardından SAAT_SUR2 sinyalinin evriği ve güçlendirilmiş hali sırasıyla PMOS ve NMOS transistörlere bağlantı yapılarak ÇIKIŞ ve ÇIKIŞ_TUT pinleri gösterilmiştir. Burada SAAT_SUR2 pini mantıksal 1 iken SAAT_SUR2d mantıksal 0, SAAT_SUR2s ise mantıksal 1 seviyesindedir. Devreye bu şekilde uygulandıklarında ÇIKIŞ pininin evriği tekrar PMOS ve NMOS transistörlerine bağlantı yapar. ÇIKIŞ pini mantıksal 1 seviyesindeyken evriği mantıksal 0 seviyesine çekilir. Böylece PMOS transistörü aktif hale gelir. Böylece ÇIKIŞ sinyali SAAT_SUR2 mantıksal 1 seviyesinde olduğu sürece o devrede sürekli döngü içinde kalıp mantıksal 1 olarak tutulacaktır. ÇIKIŞ pini mantıksal 0 olduğunda ise evriği mantıksal 1 seviyesine çekilir. Böylece NMOS transistörü aktif hale gelir. Böylece ÇIKIŞ sinyali SAAT_SUR2 mantıksal 1 seviyesinde olduğu sürece o

devrede sürekli döngü içinde kalıp mantıksal 0 olarak ÇIKIŞ_TUT pini ismiyle tutulacaktır. SAAT_SUR2 pini mantıksal 0 seviyesindeyken SAAT_SUR2d mantıksal 1, SAAT_SUR2s ise mantıksal 0 seviyesindedir. Bu şekilde devreye uygulandıklarında bağlantı yaptıkları PMOS ve NMOS transistörleri kapalı olacaktır. Böylece bir önceki SAAT_SUR2 durumundaki ÇIKIŞ değeri ÇIKIŞ_TUT pini ismiyle tutulmuş olacaktır. En son ÇIKIŞ_TUT sinyali sürücülerden geçirilerek ÇIKIŞ_TUT_SUR sinyali olarak sonuçlanmıştır. Şekil 2.25’de tutucu devresinin serimi gösterilmiştir.



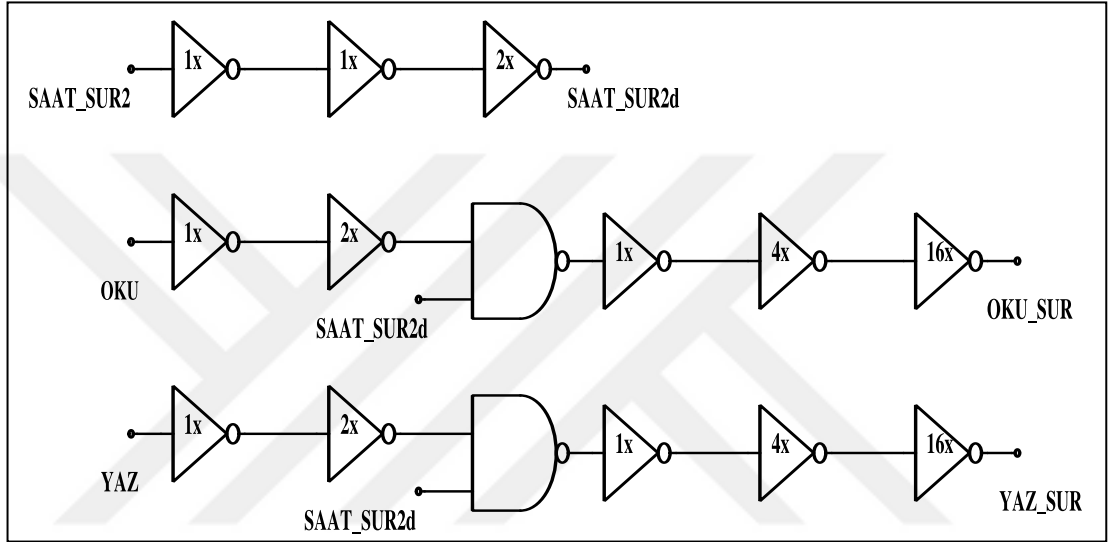
Şekil 2.24. Çıkışı tutmak için oluşturulan tutucu devresi



Şekil 2.25. Tutucu devresi serimi

2.7. Kontrol Devresi

Şekil 2.26'da gösterilen devrede OKU ve YAZMA pinleri SAAT sinyalinin güçlenmiş hali olan SAAT_SUR2d ile VE-DEĞİL devresine uygulanmış ve ardından daha da güçlendirilerek OKU_SUR ve YAZ_SUR sinyalleri oluşturulmuştur. Bu kontrol devresinin amacı okuma ve yazma işlemleri sırasında OKU ve YAZMA sinyallerinin SAAT sinyaliyle senkronize bir şekilde çalışmasını sağlamaktır. Şekil 2.27'de kontrol devresinin serimi gösterilmiştir.



Şekil 2.26. Yazma ve okuma işlemi için kontrol devresi



Şekil 2.27. Kontrol devresi serimi

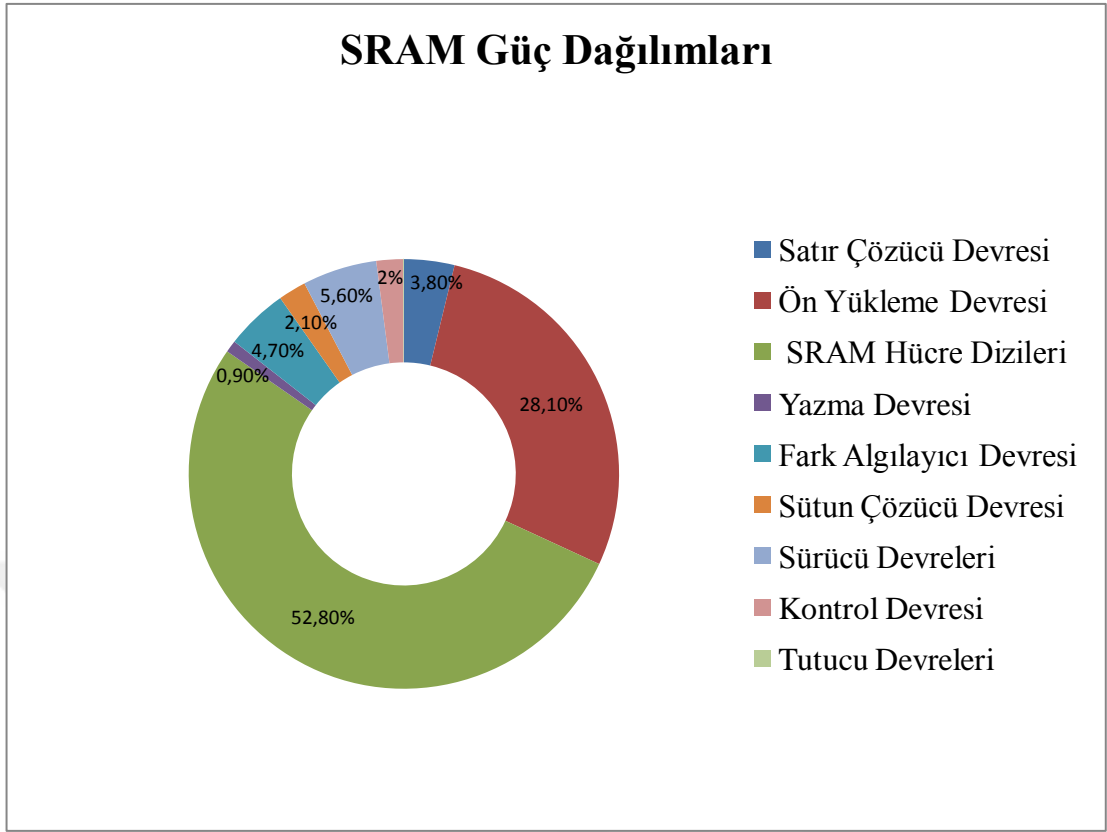
3. 2 Kb SRAM TASARIMI İÇİN GÜÇ, ALAN VE GECİKME BİLGİLERİ İLE BENZETİM SONUÇLARI

3.1. 2 Kb SRAM Güç Dağılımları

Aşağıda Tablo 3.1’de SRAM’i oluşturan devrelerin tükettiği ortalama güç bilgileri, Şekil 3.1’de ise SRAM içindeki güç dağılımları gösterilmiştir. Gösterilen ortalama güç bilgileri parazitik çıkarım yapıldıktan sonra elde edilmiştir. Parazitik çıkarım; serimi tamamlanan hücrelerde serimden kaynaklanan etkilerin görülmesi için uygulanır. Parazitik çıkartımda serimde çizilen hatların parazitik direnç ve kapasiteleri hesaplanır. Şekil 3.1’deki grafikte gösterildiği gibi en çok güç tüketimini SRAM birim hücre dizilerinin tükettiği görülmektedir. Daha sonra 2. en fazla güç harcayan devrenin ön yükleme devresi olduğu görülmektedir. Ön yükleme devresi bit hatlarını sürmektedir. Bit hatlarının kapasitesine göre ön yükleme devresi transistör boyutları optimizasyon yapıp güç tüketimi azaltılabilir.

Tablo 3.1. 2 Kb SRAM tasarımındaki devrelerin güç tüketimi

Devre Tipi	Güç Tüketimi(μm^2)
Tümdevre	3240
Satır Çözücü Devresi	121
Ön Yükleme Devresi	912
SRAM Hücre Dizileri	1712
Yazma Devresi	28,8
Fark Algılayıcı Devresi	151,68
Sütun Çözücü Devresi	67,2
Sürücü Devreleri	181,62
Kontrol Devresi	65,5
Tutucu Devresi	0,2



Şekil 3.1. 2 Kb SRAM tümdevresinin güç dağılımları

3.2. 2 Kb SRAM Alan Dağılımları

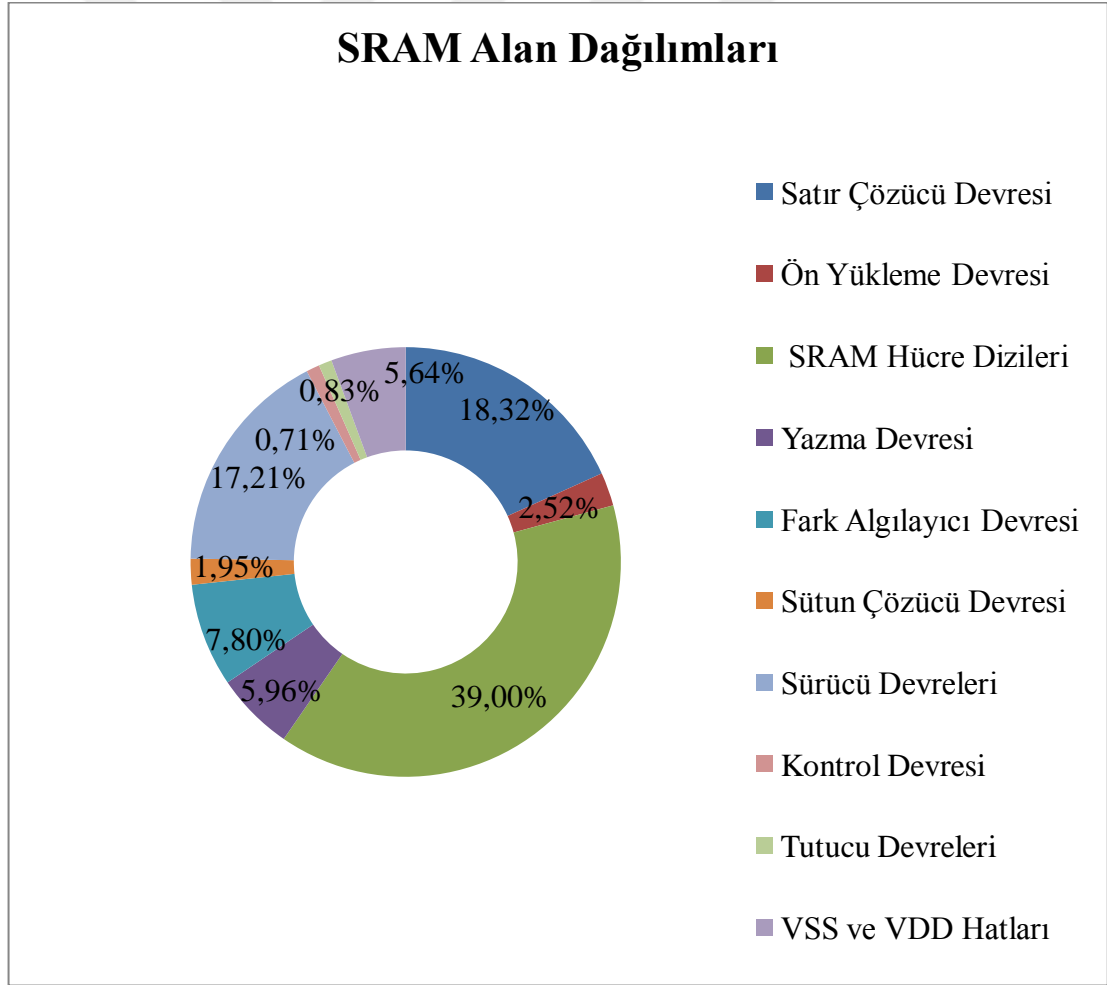
2 Kb SRAM tasarımının ve tasarımı meydana getiren devrelerin kapladıkları alan Denklem (3.1) kullanılarak hesaplanmıştır. Şekil 3.2 incelendiğinde en çok alana sahip yapının SRAM hücre dizileri olduğu görülmektedir. SRAM toplam alanını etkileyen en önemli devrenin birim hücre dizileri olduğu ortaya çıkarılmıştır. Bu durum SRAM birim hücrelerinin alan optimizasyonu ile ilgili çalışmalarımızın haklılığını göstermektedir. Şekil 3.3'deki tüm SRAM serimi incelendiğinde tüm serimin dikdörtgen bir yapıda olduğu görülmektedir. Kelime hatlarının yatay ekseninde hücre dizisine paylaştırılması ve bit hatlarının dikey ekseninde yazma ve okuma devrelerine paylaştırılması için serim yerleşim planı önem arz etmektedir.

Şekil 3.3'deki serim incelendiğinde alt devrelerin hangi bölgelerde olduğu gösterilmiştir. İstenen belleğin büyüklüğüne, satır ve sütun sayısına göre belleğin eni ve boyu değişecektir. Bu da belleğin alanını değiştirecektir.

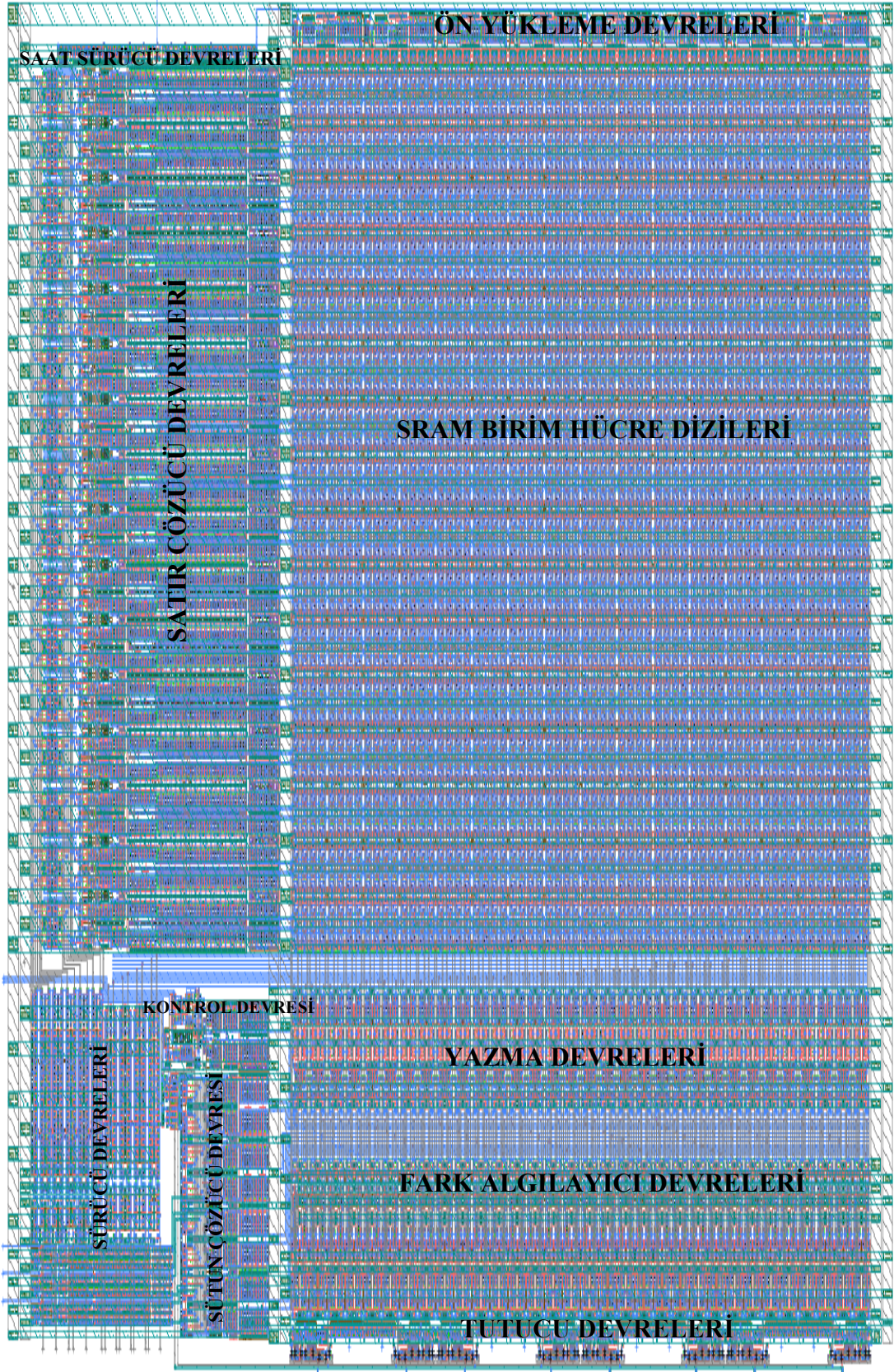
$$\text{Alan} = \text{En} \times \text{Boy} \quad (3.1)$$

Tablo 3.2. 2 Kb SRAM tümdevre tasarımındaki devrelerin eni, boyu ve alanları

Devre Tipi	En(μm)	Boy(μm)	Alan(μm^2)
Toplam Alan	425	285	121125
Satır Çözücü Devresi	120	185	22200
Ön Yükleme Devresi	278	11	3058
SRAM Hücre Dizileri	278	170	47260
Yazma Devresi	278	26	7228
Fark Algılayıcı Devresi	278	34	9452
Sütun Çözücü Devresi	43	55	2365
Kontrol Devresi	51	17	867
Tutucu Devresi	48	21	1008
Toprak Ve Besleme Hatları	570	12	6840
Sürücü Devreleri	-	-	20847



Şekil 3.2. 2 Kb SRAM tümdevresinin alan dağılımları



Şekil 3.3. 2 Kb SRAM tümdevresi serimi

3.3. 2 Kb SRAM Gecikme Bilgileri

Aşağıda okuma ve yazma sırasındaki gecikmeler gösterilmiştir. Bu sonuçlara göre WL sinyalinin SAAT, OKU_SUR ve YAZ_SUR sinyallerinden gecikmeli geldiği görülmüştür. Çünkü okuma ve yazma boyunca SRAM birim hücrenin geçiş transistörlerinin açık halde kaldığından emin olmalıyız. ÇIKIŞ_SUR sinyallerinin Q sinyaline göre gecikmesinin fazla olmasının sebebi fark algılayıcı devresinden çıkan değerlerin eviricilerden geçtikten sonra tersinin alınmasından ve tutucu devresiyle verinin tutulmasından kaynaklanmaktadır.

0 Okuma:

729 ps -95,8 ps 763 ps
SAAT : → WL → OKU_SUR → ÇIKIŞ_SUR

1 Okuma:

729 ps -89,4 ps 713 ps
SAAT : → WL → OKU_SUR → ÇIKIŞ_SUR

0 Yazma:

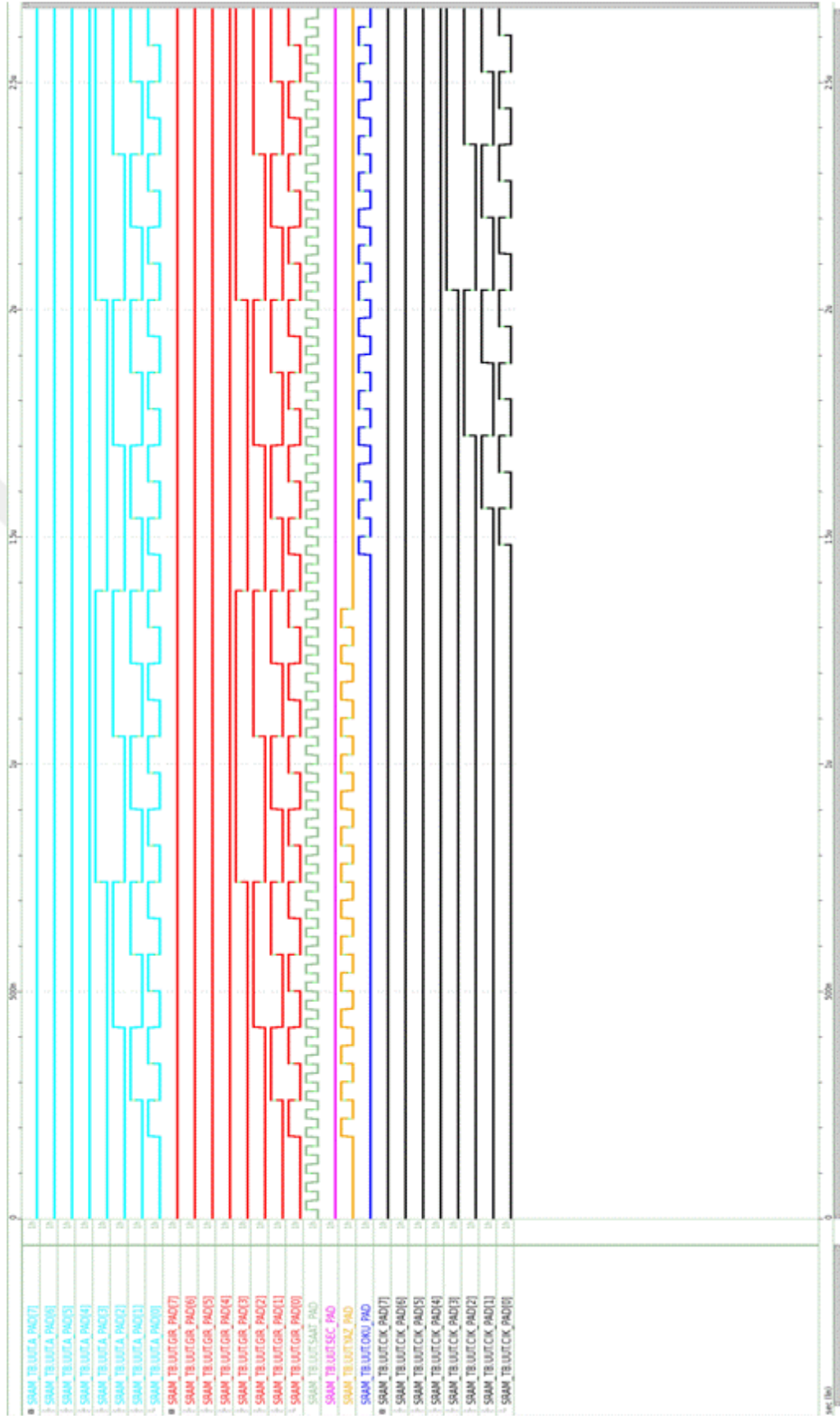
729 ps -89,7 ps 294 ps
SAAT : → WL → YAZ_SUR → Q

1 Yazma:

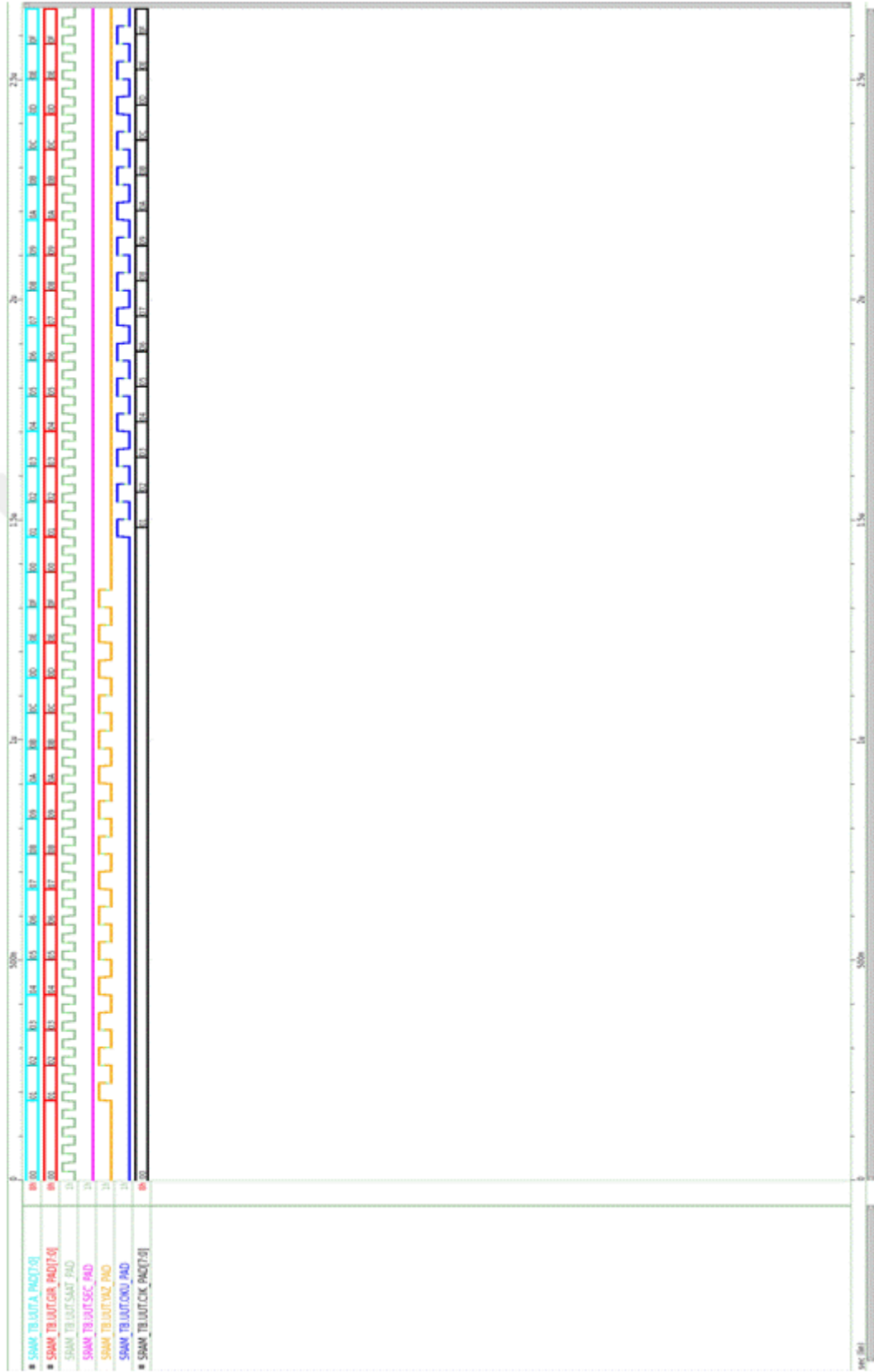
729 ps -88,2 ps 347 ps
SAAT : → WL → YAZ_SUR → Q

3.4. 2 Kb SRAM Genel Benzetim Sonucu

Şekil 3.5'deki benzetimi incelediğimizde 1,35 µs yazma ve 1,35 µs boyunca okuma yapılmıştır. Benzetim boyunca adresler ve girişler aynı şekilde uygulanmış 1,35 µs sonrasında giriş sinyallerinin aynısı çıkış sinyallerinde görülmektedir. Bu da devremizin doğru çalıştığını göstermektedir. Şekil 3.6'da doğru sonucu elde ettiğimizi daha net görmek adına benzetim sonucu sayısal (dijital) olarak gösterilmiştir. Tasarım 25 MHz frekansta çalışacak şekilde oluşturulmuştur.



Şekil 3.4. 2 Kb SRAM için yazma ve okuma benzetim sonuçları



Şekil 3.5. 2 Kb SRAM için sayısal yazma ve okuma benzetim sonuçları

4. SONUÇLAR VE ÖNERİLER

Yapılan çalışmada, öncelikle SRAM birim hücresi için yazma ve okuma işlemlerinin doğru yapılabilmesi adına ilgili transistörlerin boyutları arasında ilişkiler analitik yöntemle elde edilmiştir. Daha sonra 3 farklı mod için okuma, yazma ve tutma statik gürültü toleransları açıklanarak test devreleri hazırlanmıştır. Test devreleriyle 3 mod için ayrı ayrı statik gürültü tolerans grafikleri elde edilmiştir. Bu grafikler ayrıntılı incelenerek SRAM birim hücresinin hem kararlı olması hem de alan bakımından düşük yer kaplaması için bir fonksiyon türetilmiştir. Bu fonksiyon elde edilirken tüm modlarda doğru çalışması göz önünde bulundurulmuştur. Böylece 3 modun minimumu alınmıştır. Geliştirilen fonksiyon ve MATLAB kodu kullanılarak istediğimiz kadar transistör boyutu analiz edilerek statik gürültü toleransları ve birim hücrelerin alanları hesaplanabilmiştir. Bu yönüyle de konuyla ilgili literatüre katkı yapılmıştır. Ardından SRAM birim hücrelerini oluşturan eviricilerin farklı konumlarına göre 6 farklı serim tipi 250 nm CMOS teknolojisine göre çizilerek en küçük alana sahip serim elde edilmiştir. Toplam yonga alanının azaltılabilmesi adına en küçük alana sahip serim kullanılarak SRAM birim hücre alanı optimizasyonu yapılmıştır. Bu optimizasyonun yapılması ile birim hücre alanına en çok etki eden tasarım kuralının kontak genişliği olduğu tespit edilmiştir. Böylece yüksek yoğunluklu SRAM üretmek için kontak genişliği ile ilgili üretim bölümü tarafından çalışma yapılması sonucu ortaya çıkmıştır. Üretim bölümü tarafından kontak genişliği için başlatılan üretim sürecinde şekillendirme ve aşındırma adımları sonucunda başarılı sonuçlar elde edilmiştir. Devam eden süreçte 0,30 µm kontak genişliğinde çalışan MOS transistör üretilerek ve sonrasında test edilerek kontak direnci ve transistörün performansı detaylı gözlemlenmelidir.

Tüm SRAM içinde birim hücreler belleğin sadece bir kısmını oluşturur. Belleğin diğer kısımlarını oluşturan devreler için de literatür taranarak istenilen özelliklere göre uygun olan devreler seçilmiştir. Seçilen devrelerde bazı modifikasyonlar yapılarak tüm belleğin kontrol edilebilir ve düşük güçte çalışması amaçlanmıştır. SRAM'i oluşturan devreler alan ve güç bakımından karşılaştırılarak yeni SRAM

tasarlanırken daha düşük alan ve daha düşük güç için hangi devrelerin üzerinde daha fazla çalışma yapılması gerekliliđi adına önemli bilgiler vermiştir. Sonuç olarak 250 nm CMOS teknolojisiyle 2 Kb hafızaya sahip düşük güçlü, kararlı ve düşük alana sahip bir SRAM ortaya çıkarılmıştır.



KAYNAKLAR

- [1] Rukkumani V., Saravanakumar M., Srinivasan K., Design and Analysis of SRAM Cells for Power Reduction Using Low Power Techniques, *2016 IEEE Region 10 International Conference*, DOI: 10.1109/TENCON.2016.7848609.
- [2] Rath S., Panda S. K., Analysis of 6T SRAM Cell in Different Technologies, *Circulation in Computer Science*, DOI: 10.22632/ccs-2017-mcsp026.
- [3] Borkar S., Design Challenges of Technology Scaling, *IEEE Micro*, DOI: 10.1109/40.782564.
- [4] Tonk A., Garg M. R., Study of SRAM and Its Low Power Techniques, *International Journal of Electronics and Communication Engineering & Technology (IJECECT)*, 2015, **6**(2), 35.
- [5] Singh L., Somkuwar A., 4T DRAM Based on Self-Controllable Voltage Level Technique for Low Leakage Power in VLSI, *International Journal of Emerging Technologies in Computational and Applied Sciences*, 2013, **3**(3), 233.
- [6] Rajendran A., Shiyanovskii Y., Wolff F., Papachristou C., Noise Margin, Critical Charge and Power-Delay Tradeoffs for SRAM Design, *IEEE 17th International On-Line Testing Symposium*, DOI: 10.1109/IOLTS.2011.5993828.
- [7] Reddy A.P., Sreenivasulu G., Design and Implementation of High Speed Sense Amplifier for Sram, *American-Eurasian Journal of Scientific Research*, DOI: 10.5829/idosi.aejsr.2017.320.326.
- [8] Grossar E., Stucchi M., Maex K., Dehaene W., Read Stability and Write-Ability Analysis of SRAM Cells for Nanometer Technologies, *IEEE Journal of Solid-State Circuits*, DOI: 10.1109/JSSC.2006.883344.
- [9] Ganssle J., Noergaard T., Eady F., Edwards L., Katz D., Gentile R., Arnold K., Hyder K., Perrin B., *Embedded Hardware: Know It All*, 2nd ed., Newnes, United Kingdom, 2008.
- [10] Hamsa S., Natarajan T., Ananth A. G., A Study of Semiconductor Memory Technology by Comparing Volatile and Non-Volatile Memories, *Journal of Advanced Research in Dynamical and Control Systems*, 2018, **10**(4), 1252-1254.

- [11] Qureshi M. K., Kim D. H., Khan S., Nair P. J., Mutlu O., AVATAR: A Variable-Retention-Time (VRT) Aware Refresh for DRAM Systems, *45th Annual IEEE/IFIP International Conference on Dependable Systems and Networks*, DOI: 10.1109/DSN.2015.58.
- [12] Singh W., Kumar G. A., Design of 6T, 5T and 4T SRAM Cell on Various Performance Metrics, *2nd International Conference on Computing for Sustainable Global Development*, New Delhi, India, 11-13 March 2015.
- [13] Singh V., Shrivastava M., Analysis of Low power (SRAM) Static Random Access Memory Design, *International Journal of LNCT*, 2009, **2**(4), 42.
- [14] Zhu J., Bai N., Wu J., A Review of Sense Amplifiers for Static Random Access Memory, *International Journal of Advanced Research in Computer and Communication Engineering*, DOI: 10.17148/IJARCCCE.2015.4291.
- [15] Sharma R., Chopade S., Stability Analysis of 6T SRAM at 32 Nm Technology, *International Journal of Innovative Research in Science, Engineering and Technology*, 2014, **3**(5), 12950.
- [16] Shivaprakash G., Suresh D. S., Design of Low Power 6T-SRAM Cell and Analysis for High Speed Application, *Indian Journal of Science and Technology*, DOI: 10.17485/ijst/2016/v9i46/106144.
- [17] Birla S., Singh R. K., Pattnaik M., Static Noise Margin Analysis of Various SRAM Topologies, *IACSIT*, 2011, **3**(3), 305.
- [18] Agal A., Pardeep, Krishan B., 6T SRAM Cell: Design And Analysis, *Int. Journal of Engineering Research and Applications*, 2014, **4**(3), 574.
- [19] Sharma A. K., Saxena N., Analysis of Read-Stability and Write-Ability FinFET SRAM Cells, *International Journal of Engineering Trends and Technology (IJETT)*, 2017, **44**(1), 51-53.
- [20] Yagain D., Parakh A., Kedia A., Gupta G. K., Design and Implementation of High Speed, Low Area Multiported Loadless 4T Memory Cell, *Fourth International Conference on Emerging Trends in Engineering & Technology*, DOI: 10.1109/ICETET.2011.23.
- [21] Rajendran A., Noise Margin, Critical Charge and Power-Delay Tradeoffs for SRAM Design Space Exploration, Case Western Reserve University, https://etd.ohiolink.edu/!etd.send_file?accession=case1307667225&disposition=inline, (Ziyaret tarihi: 03 Şubat 2019).
- [22] Tanvir T., Design and Stability Analysis of a High-Temperature SRAM, The University Akron, https://etd.ohiolink.edu/!etd.send_file?accession=akron1355516028&disposition=inline, (Ziyaret tarihi: 26 Ocak 2019).

- [23] Balobas D., Konofaos N., Design and Evaluation of 6T SRAM Layout Designs at Modern Nanoscale CMOS Processes, *4th International Conference on Modern Circuits and Systems Technologies*, Thessaloniki, Greece, 14-15 May 2015.
- [24] Hilgers B., SRAM Compiler for Automated Memory Layout Supporting Multiple Transistor Process Technologies, California Polytechnic State University, <https://pdfs.semanticscholar.org/1aaf/4a42b18d475e959e9c7277f705fc38a824c8.pdf>, (Ziyaret tarihi: 16 Şubat 2019).
- [25] Praveen K. N, Shivaleelavathi B. G., SRAM Memory Layout Design in 180nm Technology, *International Journal of Engineering and Technical Research*, DOI: 10.17577/IJERTV4IS080677.
- [26] Mohammad B., Dadabhoy P., Lin K., Bassett P., Comparative Study of Current Mode and Voltage Mode Sense Amplifier Used for 28nm SRAM, *24th International Conference on Microelectronics (ICM)*, DOI: 10.1109/ICM.2012.6471396.
- [27] Brooks S., Cicchetti A., Design of a Low Power Latch Based SRAM Sense Amplifier, Worcester Polytechnic Institute, https://web.wpi.edu/Pubs/E-project/Available/E-project-032714-144117/unrestricted/Demonstration_of_SRAM_Design_with_LED_Cube_Display.pdf, (Ziyaret tarihi: 11 Mart 2019).



EKLER

Ek-A

%% Bu bolumdeki kod degiskenlere ilk degerlerini yukler

% Eski verileri sil, konsolu temizle

clc;

clear;

% giris gerilimlerini yukle

load x;

% okuma sirasinda cikis gerilimi

load y;

% yazma sirasinda cikis1 gerilimi

load y1;

% yazma sirasinda cikis2 gerilimi

load y2;

% tutma sirasinda cikis gerilimi

load yt;

% transistor boyut tablosu

load tb;

% en buyuk SNM degerini tutan degisken

dmaxmax = -inf;

% okuma egrileri arasina cizilecek

% dikdortgenin koordinatlarini tutan degisken

rmx1o = 0;

rmx2o = 0;

rmy1o = 0;

```

rmy2o = 0;
% yazma egrileri arasina cizilecek
% dikdortgenin koordinatlarini tutan degisken
rmx1y = 0;
rmx2y = 0;
rmy1y = 0;
rmy2y = 0;
% tutma egrileri arasina cizilecek
% dikdortgenin koordinatlarini tutan degisken
rmx1t = 0;
rmx2t = 0;
rmy1t = 0;
rmy2t = 0;
% her transistor boyutu icin tutma
% SNM degerini tutan degisken
ta = zeros(size(y1,2),1);
% her transistor boyutu icin okuma
% SNM degerini tutan degisken
oa = zeros(size(y1,2),1);
% her transistor boyutu icin yazma
% SNM degerini tutan degisken
ya = zeros(size(y1,2),1);
% her transistor boyutu icin toplam alan
% SNM degerini tutan degisken
aa = zeros(size(y1,2),1);
% transistor boyutlarini tutan degisken
w3a = zeros(size(y1,2),1);

```

```

w4a = zeros(size(y1,2),1);
w6a = zeros(size(y1,2),1);
% en iyi SNM degerine sahip sonucun indeksi
imax = 0;
%% Bu bolumdeki kod Yazma/Okuma/Tutma egrilerini cizdirir
% Yazma egrilerini cizdir
figure;
title('Yazma Egrileri');
for i = 1:size(y1,2)
% giris gerilimleri
xx= 0.1:0.01:2.5;
% Piecewise Cubic Hermite interpolasyon ile
% ara cikis gerilim degerler hesaplanir
% yazma SNM icin cikis1 gerilimleri
yy1=pchip(x,y1(:,i),xx);
% yazma SNM icin cikis2 gerilimleri
yy2=pchip(x,y2(:,i),xx);
hold on;
% grafikleri cizdir
plot(xx, yy1);
plot(yy2, xx);
end
% Okuma egrilerini cizdir
figure;
title('Okuma Egrileri');
for i = 1:size(y1,2)
% giris gerilimleri

```



```

xx= 0.1:0.01:2.5;
% Piecewise Cubic Hermite interpolasyon ile
% ara cikis gerilim degerleri hesaplanir
% okuma SNM icin cikis gerilimleri
yy=pchip(x,y(:,i),xx);
hold on;
% grafikleri cizdir
plot(xx,yy);
plot(yy,xx);
end
% Tutma egrilerini cizdir
figure;
title('Tutma Egrileri');
for i = 1:size(y1,2)
% giris gerilimleri
xx= 0.1:0.01:2.5;
% Piecewise Cubic Hermite interpolasyon ile
% ara cikis gerilim degerleri hesaplanir
% tutma SNM icin cikis gerilimleri
yyt=pchip(x,yt(:,i),xx);
hold on;
% grafikleri cizdir
plot(xx,yyt);
plot(yyt,xx);
end
%% Bu bolumdeki kod her transistor boyutu icin
% 'SNM'leri ve toplan alani hesaplar

```

```

% butun transistor boyutlari icin hesapla
for i = 1:size(y1,2)
% giris gerilim vekturu
xx= 0.1:0.01:2.5;
% i'inci transistor degerleri (w3/w4/w6) icin
% okuma cikis gerilim vekturu
yy=pchip(x,y(:,i),xx);
% tutma cikis gerilim vekturu
yyt=pchip(x,yt(:,i),xx);
% yazma cikis1 gerilim vekturu
yy1=pchip(x,y1(:,i),xx);
% yazma cikis2 gerilim vekturu
yy2=pchip(x,y2(:,i),xx);
% en kucuk yazma SNM karesinin kenar uzunlugunu tutan degisken
dminy = inf;
% yazma SNM karesinin kose koordinatlari
rx1y = 0;
rx2y = 0;
ry1y = 0;
ry2y = 0;
% yazma islemi icin SNM karesini hesapla
for n=0.1:0.01:2.5
% egimi 1 olan ve y eksenini n'de kesen
% dogru ile yy1'in kesisim indeksini bul
m = abs(yy1-(xx+n)) < 1e-2;
% kesisim yoksa sonraki n degerini dene
if (isempty(xx(m)))

```

```

continue;

end

% kesisim noktasi x1 -> tx1, y1 ->ty1

tx1 = xx(m);

ty1 = yy1(m);

% egimi 1 olan ve y eksenini n'de kesen

% dogru ile xx'in kesisim indeksini bul

% ikinci egrinin x=y dogrusuna gore simetrigi alindi

m = abs(xx-(yy2+n)) < 1e-2;

% kesisim yoksa sonraki n degerini dene

if (isempty(xx(m)))

continue;

end

% kesisim noktasi x2 -> ty2, y2 ->tx2

tx2 = yy2(m);

ty2 = xx(m);

% karenin kenar boyunu hesapla

d = sqrt((tx2(1)-tx1(1))^2+(ty2(1)-ty1(1))^2) / sqrt(2) ;

% en kucuk SNM degerini tut

if (d < dminy)

% SMM degeri

dminy = d;

% karenin koordinatlari

rx1y = tx1;

rx2y = tx2;

ry1y = ty1;

ry2y = ty2;

```

```

% SNM'in yükselmeye başladığı yerde donguden cik
elseif (d > dminy)
break;
end
end

% i'ninci transistor boyut seti için yazma SNM değerini kaydet
ya(i) = dminy;

% en büyük okuma SNM karesinin kenar uzunluğunu tutan değişken
dmaxo = 0;

% okuma SNM karesinin köşe koordinatları
rx1o = 0;
rx2o = 0;
ry1o = 0;
ry2o = 0;

% okuma işlemi için SNM karesini hesapla
for n=0.1:0.01:2.5
% eğimi 1 olan ve y eksenini n'de kesen
% doğru ile yy'nin kesişim indeksini bul
m = abs(yy-(xx+n)) < 1e-2;
if (isempty(xx(m)))
continue;
end
% kesişim noktası x1 -> tx1, y1 -> ty1
tx1 = xx(m);
ty1 = yy(m);
% eğimi 1 olan ve y eksenini n'de kesen
% doğru ile xx'in kesişim indeksini bul

```

```

% ikinci egrinin x=y dogrusuna gore simetrigi alindi
m = abs(xx-(yy+n)) < 1e-2;
if (isempty(xx(m)))
continue;
end
% kesisim noktasi x2 -> ty2, y2 ->tx2
tx2 = yy(m);
ty2 = xx(m);
% karenin kenar boyunu hesapla
d = sqrt((tx2(1)-tx1(1))^2+(ty2(1)-ty1(1))^2) / sqrt(2);
% en buyuk SNM degerini tut
if (d > dmaxo)
% SNM degeri
dmaxo = d;
% karenin koordinat degerleri
rx1o = tx1;
rx2o = tx2;
ry1o = ty1;
ry2o = ty2;
end
end
% i'ninci transistor boyut seti icin okuma SNM degerini kaydet
oa(i) = dmaxo;
% en buyuk tutma SNM karesinin kenar uzunlugunu tutan degisken
dmaxt = 0;
% tutma SNM karesinin kose koordinatlari
rx1t = 0;

```

```

rx2t = 0;
ry1t = 0;
ry2t = 0;
% tutma islemi icin SNM karesini hesapla
for n=0.1:0.01:2.5
% egimi 1 olan ve y eksenini n'de kesen
% dogru ile yyt'nin kesisim indeksini bul
m = abs(yyt-(xx+n)) < 1e-2;
if (isempty(xx(m)))
continue;
end
% kesisim noktasi x1 -> tx1, y1 ->ty1
tx1 = xx(m);
ty1 = yyt(m);
% egimi 1 olan ve y eksenini n'de kesen
% dogru ile xx'in kesisim indeksini bul
% ikinci egrinin x=y dogrusuna gore simetrigi alindi
m = abs(xx-(yyt+n)) < 1e-2;
if (isempty(xx(m)))
continue;
end
% kesisim noktasi x2 -> ty2, y2 ->tx2
tx2 = yyt(m);
ty2 = xx(m);
% karenin kenar boyunu hesapla
d = sqrt((tx2(1)-tx1(1))^2+(ty2(1)-ty1(1))^2) / sqrt(2);
% en buyuk SNM degerini tut

```

```

if (d > dmaxt)
% SNM degeri
dmaxt = d;
% karenin koordinat degerleri
rx1t = tx1;
rx2t = tx2;
ry1t = ty1;
ry2t = ty2;
end
end
% i'inci transistor boyut seti icin tutma SNM degerini kaydet
ta(i) = dmaxt;
% i'inci transistor boyut seti icin
% transistor degerlerini w3/w4/w6 degiskenlerine kaydet [um].
w3 = str2double(tb{i}{2})*1e6;
w4 = str2double(tb{i}{4})*1e6;
w6 = str2double(tb{i}{6})*1e6;
% i'inci kumedeki transistor degerlerini kaydet
w3a(i) = w3;
w4a(i) = w4;
w6a(i) = w6;
% i'inci kombinasyon icin toplam SRAM birim hucre genisligini hesapla
w = max(1.44, 2*w6) + 2.76;
% i'inci kombinasyon icin toplam SRAM birim hucre yuksekligini hesapla
h = max(0.48, w4) + max(0.4, w3) + 4.48;
% i'inci kombinasyon icin SRAM birim hucre alanini hesapla
a = w*h;

```

```

% i'inci kumedeki transistor ile olusacak
% SRAM birim hucresinin alanini kaydet
aa(i) = a;
% f_SNM hesapla, yazma/okuma/tutma SNM degerlerinin en kucugu
dtemp = min([dmaxo dmaxt dminy]);
% butun transistor kombinasyonlari icinde en buyuk SNM degerini tut
if (dtemp > dmaxmax)
% SNM degeri
dmaxmax = dtemp;
% giris gerilim degeri vektoru
xxmax = xx;
% okuma gerilim degeri vektoru
yymax = yy;
% yazma cikis1 gerilim degeri vektoru
yy1max = yy1;
% yazma cikis2 gerilim degeri vektoru
yy2max = yy2;
% tutma cikis gerilim degeri vektoru
yytmax = yyt;
% okuma SNM karesinin koseleri
rmx1o = rx1o;
rmx2o = rx2o;
rmy1o = ry1o;
rmy2o = ry2o;
% yazma SNM karesinin koseleri
rmx1y = rx1y;
rmx2y = rx2y;

```



```

rmy1y = ry1y;
rmy2y = ry2y;
% tutma SNM karesinin koseleri
rmx1t = rx1t;
rmx2t = rx2t;
rmy1t = ry1t;
rmy2t = ry2t;
% secilen indeks
imax = i;
end
end
%% Bu bolumdeki kod en iyi f_SNM degeri icin
% yazma/okuma/tutma egrilerini ve karelerini cizdirir
% en iyi f_SNM'i veren transistor boyutlari
% icin yazma SNM egrisi ve karesi
figure;
hold on;
% yazma egrilerini ciz
plot(xxmax,yy1max);
plot(yy2max,xxmax);
% grafik icine SNM karesini ciz
rectangle('Position', [min(rmx1y(1),rmx2y(1)),min(rmy1y(1),rmy2y(1)),...
abs(rmx2y(1)-rmx1y(1)),abs(rmy2y(1)-rmy1y(1))]);
title('Yazma');
% en iyi f_SNM'i veren transistor boyutlari
% icin okuma SNM egrisi ve karesi
figure;

```

```

hold on;

% okuma egrisini ciz

plot(xxmax,ymax);

plot(yymax,xxmax);

% grafik icine SNM karesini ciz

rectangle('Position', [min(rmx1o(1),rmx2o(1)),min(rmy1o(1),rmy2o(1)),...
abs(rmx2o(1)-rmx1o(1)),abs(rmy2o(1)-rmy1o(1))]);

title('Okuma');

% en iyi f_SNM'i veren transistor boyutlari
% icin tutma SNM egrisi ve karesi

figure;

hold on;

% tutma egrisini ciz

plot(xxmax,yytmax);

plot(yytmax,xxmax);

% grafik icine SNM karesini ciz

rectangle('Position', [min(rmx1t(1),rmx2t(1)),min(rmy1t(1),rmy2t(1)),abs(rmx2t(1)-
rmx1t(1)),abs(rmy2t(1)-rmy1t(1))]);

title('Tutma');

%% Bu bolumdeki kod en iyi f_SNM icin sonuclari raporlar

% en iyi f_SNM'i veren transistor boyutlarinin indeksini yaz

disp(['en iyi fSNM'in indeksi:' num2str(imax)]);

% en iyi f_SNM degerini yaz

disp(['en iyi fSNM degeri:' num2str(dmaxmax)]);

% en iyi f_SNM'i veren transistor boyutlarini

% w3/w4/w6 degiskenlerine yukle

w3 = str2double(tb{imax}{2})*1e6;

```

```

w4 = str2double(tb{imax}{4})*1e6;
w6 = str2double(tb{imax}{6})*1e6;
% en iyi f_SNM'i veren transistor boyutlari icin
% hucre genisligini, yuksekligini ve alanini yaz
disp(['w = ' num2str(max(1.6, 2*w6) + 2.6)]);
disp(['h = ' num2str(max(0.48, w4) + max(0.8,w3) + 4.48)]);
disp(['a = ' num2str(w*h)]);
% en iyi f_SNM'i veren transistor boyutlari icin SNM degerleri
disp(['yazma_SNM = ' num2str(ya(imax))]);
disp(['okuma_SNM = ' num2str(oa(imax))]);
disp(['tutma_SNM = ' num2str(ta(imax))]);
%% Bu bolum alana gore f_SNM grafigini cizdirir
% transistor kombinasyonlari icin f_SNM ayri ayri hesaplanir
ma = min(['oa'; ta'; ya']);
% transistor kombinasyonlarinin alanlarini gruplandir
[ua,ia,ic]=unique(aa);
% gruplar icin f_SNM degerlerini tutacak vector
um = size(ia);
% herbir grup (alan) icin en iyi f_SNM'e sahip transistor degerlerini bul
for i = 1:max(ic)
% i'inci grup (alan'a gore) icin en buyuk f_SNM degerini bul
um(i) = max(ma(ic==i));
% bulunan sonuca karsilik gelen indeks numarasini bul
im = (aa==ua(i)).*(ma==um(i));
% Alan ve boyutlari yazdir
disp(['Alan:' num2str(ua(i)) ' ', w3=' num2str(w3a(im==1)) ' ', w4='
num2str(w4a(im==1)) ', w6=' num2str(w6a(im==1))]);

```

```
end
% verilen alandaki en buyuk f_SNM'e gore Alan grafigini cizdir
figure;
plot(ua, um);
title('Alan vs f_{SNM}');
```



KİŞİSEL YAYIN VE ESERLER

- [1] **Kaydırma H.**, Tangel A., 250nm CMOS 6 Transistörlü Statik Rastgele Erişimli Bellek Hücresi için Serim Alanı Optimizasyonu, *ELECO 2018*, Bursa, Türkiye, 30 Kasım - 1 Aralık 2018.



ÖZGEÇMİŞ

Hasan Kaydırma 18 Eylül 1991’de Denizli’de doğdu. Lise öğrenimini Denizli Erbakır Fen Lisesi’nde tamamladı. 2010 yılında girdiği Hacettepe Üniversitesi Elektrik-Elektronik Mühendisliği Bölümü’nden 2015 yılında mezun oldu. 2016 yılında Kocaeli Üniversitesi Fen Bilimleri Enstitüsü, Elektronik ve Haberleşme Mühendisliği Anabilim Dalı’nda Yüksek Lisans eğitime başladı. Yüksek Lisans eğitiminde 250nm CMOS 6 Transistörlü Statik Rastgele Erişimli Bellek Hücresi için Serim Alanı Optimizasyonu konusunda bir bildirisini bulunmaktadır. Ve de 2016 yılından beri TÜBİTAK YİTAL’de araştırmacı olarak görev yapmaktadır.

