

KOCAELİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ
ANABİLİM DALI

YÜKSEK LİSANS TEZİ

MEDİKAL GÖRÜNTÜLEME CİHAZLARINDA KULLANILAN
TDC MİMARİSİNİN VLSİ GERÇEKLENMESİ

MEHMET AKİF ÖZDEMİR

KOCAELİ 2019

KOCAELİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ
ANABİLİM DALI

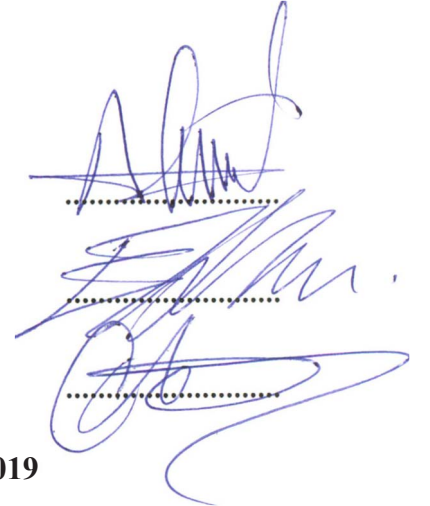
YÜKSEK LİSANS TEZİ

MEDİKAL GÖRÜNTÜLEME CİHAZLARINDA KULLANILAN
TDC MİMARİSİNİN VLSİ GERÇEKLENMESİ

MEHMET AKİF ÖZDEMİR

Prof. Dr. Ali TANGEL
Danışman, Kocaeli Üniversitesi
Dr. Öğr. Üyesi Engin AFACAN
Jüri Üyesi, Kocaeli Üniversitesi
Dr. Öğr. Üyesi Oktay AYTAR
Jüri Üyesi, Bolu Abant İzzet Baysal Üniversitesi

Tezin Savunulduğu Tarih: 29.05.2019



ÖNSÖZ VE TEŞEKKÜR

Bu tez çalışmasında PET tıbbi görüntüleme sistemlerinde kullanılması amacıyla TDC mimarilerinin VLSI benzetimleri gerçekleştirilmiştir. Tasarlanan TDC mimarileri ile PET görüntülerine daha iyi çözünürlük sağlayarak kanserli dokuların sağlıklı dokulardan daha belirgin bir şekilde ayırt edilebilmesine katkı sağlamak amaçlanmaktadır.

Tez çalışmamın oluşumunda ve yürütülmesinde desteğini esirgemeyen ve çalışmalarına yön veren danışmanım Prof. Dr. Ali TANGEL'e teşekkürlerimi sunarım.

Tez çalışmamda gösterdiği anlayış ve destek için değerli hocam Prof. Dr. Aydın AKAN'a teşekkürlerimi sunarım.

Çalışmamın tüm aşamalarında her türlü bilgi ve destekleriyle katkıda bulunan değerli çalışma arkadaşım Arş. Gör. Gizem Dilara EKİMCİ'ye teşekkürlerimi sunarım.

Bu çalışmayı, beni yetiştiren ve bu günlere getiren, tüm başarılarımın kaynağı olan aileme ithaf ediyorum. Onların sevgisi, desteği ve emeği benim için en büyük gayret ve başarı nedenidir.

Mayıs – 2019

Mehmet Akif ÖZDEMİR

İÇİNDEKİLER

ÖNSÖZ VE TEŞEKKÜR	i
İÇİNDEKİLER	ii
ŞEKİLLER DİZİNİ.....	iv
TABLolar DİZİNİ	vi
SİMGELER VE KISALTMALAR DİZİNİ	vii
ÖZET.....	ix
ABSTRACT.....	x
GİRİŞ	1
1. GENEL BİLGİLER.....	3
1.1. PET Cihazları	3
1.1.1. PET cihazı sistem bileşenleri.....	5
1.1.1.1. Sintilasyon kristali.....	6
1.1.1.2. Foton çoğaltıcı tüpler	6
1.1.1.3. Sinyal kuvvetlendirici devreleri	7
1.1.1.4. Sinyal yükseklik analizör devreleri.....	8
1.1.1.5. Sayısallaştırma devreleri	8
1.2. PET Fiziki	9
1.2.1. Pozitron emisyonu.....	9
1.2.2. Anihilasyon olayı.....	11
1.3. PET’de Görüntü Oluşumu.....	11
1.4. PET’de Zaman Kavramı ve ToF PET Sistemi	14
2. TDC MİMARİSİ	19
2.1. TDC Yaklaşımları	20
2.1.1. Analog TDC	20
2.1.2. Sayaç tabanlı TDC.....	21
2.1.3. Çok fazlı örnekleme tabanlı TDC.....	23
2.1.4. Vernier gecikme hattı kullanan TDC	24
2.1.5. DLL tabanlı TDC	25
2.1.6. Halka osilatör tabanlı TDC.....	26
2.1.7. Anahtarlamalı halka osilatör tabanlı TDC.....	27
2.1.8. Darbe daraltma gecikme hattı TDC.....	28
2.1.9. Zaman yükselticisi tabanlı TDC.....	29
2.2. TDC Performans Ölçütleri	30
2.2.1. Çözünürlük	31
2.2.2. Dinamik aralık.....	31
2.2.3. Dönüşüm hızı.....	31
2.2.4. Doğruluk oranı.....	31
2.2.5. Doğrusal olmama.....	32
2.2.6. Güç tüketimi	32
2.2.7. FoM	33
2.3. Önceki Çalışmalar	33
3. TDC TASARIM VE BENZETİMLERİ.....	36
3.1. Sayıcı Tabanlı TDC.....	37

3.2. Flaş TDC	40
3.2.1. Tampon gecikme hattı	45
3.2.2. Evirici gecikme hattı.....	46
3.3. VDL Tabanlı TDC	47
3.4. GRO Tabanlı TDC	49
3.5. Hibrit TDC	51
3.6. VGRO Tabanlı TDC	53
4. SİMÜLASYON ÇIKTILARI.....	56
5. SONUÇLAR VE ÖNERİLER	67
KAYNAKLAR	72
EKLER.....	85
KİŞİSEL YAYIN VE ESERLER	88
ÖZGEÇMİŞ	89



ŞEKİLLER DİZİNİ

Şekil 1.1.	Karşıt gama ışınlarının tespitinin gösterimi	4
Şekil 1.2.	PET sistemi	6
Şekil 1.3.	PET’de kullanılan PMT yapısı	7
Şekil 1.4.	Foton-madde etkileşimi	10
Şekil 1.5.	Üç radyasyon etkileşmesinin etkin olduğu bölgeler	10
Şekil 1.6.	Anhilasyon olayının şematik gösterimi	11
Şekil 1.7.	Cevap hattı	12
Şekil 1.8.	Dedektör uyarılma durumları	12
Şekil 1.9.	Projeksiyon oluşumu	13
Şekil 1.10.	Sinogram ve görüntü oluşumu	14
Şekil 1.11.	Geleneksel PET ve ToF PET LoR	15
Şekil 1.12.	PET’te zaman tespitinin gösterimi	15
Şekil 1.13.	¹⁸ F-FDG çalışmasının yeniden yapılandırılmış enine dilimleri	18
Şekil 2.1.	Zaman-sayısal dönüşümünün temeli	19
Şekil 2.2.	Analog TDC mimarisi	20
Şekil 2.3.	Sayaç tabanlı TDC mimarisi	21
Şekil 2.4.	İkili sayaç kullanan TDC	22
Şekil 2.5.	Çok fazlı flaş örnekleme uygulaması	23
Şekil 2.6.	Vernier gecikme hattı tabanlı TDC mimarisi	25
Şekil 2.7.	Tek bir DLL tabanlı TDC	25
Şekil 2.8.	RO tabanlı TDC	26
Şekil 2.9.	GRO TDC blok diyagramı ve zaman diyagramı	27
Şekil 2.10.	PS TDC mimarisi ve çalışma prensibi	28
Şekil 2.11.	TA tabanlı TDC mimarisi	29
Şekil 3.1.	Sayıcı tabanlı TDC blok diyagramı	37
Şekil 3.2.	S-R flip flop mimarisi	38
Şekil 3.3.	2 girişli evirici çıkışlı VE kapısı	38
Şekil 3.4.	Asenkron 4 bitlik darbe sayıcı	39
Şekil 3.5.	D flip flop mimarisi	39
Şekil 3.6.	NOR kapısı CMOS tasarımı	40
Şekil 3.7.	Sayıcı tabanlı TDC zaman diyagramı	40
Şekil 3.8.	Flaş TDC blok diyagramı	41
Şekil 3.9.	3 bitlik termometre kod dönüştürücü	42
Şekil 3.10.	Temel evirici yapısı	43
Şekil 3.11.	3 Bitlik PLA-ROM tabanlı öncelikli kodlayıcı	44
Şekil 3.12.	Flaş TDC zaman grafiği	45
Şekil 3.13.	Temel tampon yapısı	46
Şekil 3.14.	Vernier gecikme hattı tabanlı TDC blok diyagramı	47
Şekil 3.15.	a) durdurma sinyal geciktirici b) başlangıç sinyal geciktirici	48
Şekil 3.16.	Vernier TDC zaman diyagramı	48
Şekil 3.17.	GRO TDC blok diyagramı	49
Şekil 3.18.	VCDL yapısı	50
Şekil 3.19.	Osilatör durumları a) kararlı osilatör b) etkin osilatör	51

Şekil 3.20. GRO + sayıcı tabanlı hibrit TDC blok diyagramı.....	52
Şekil 3.21. VGRO TDC blok diyagramı	54
Şekil 3.22. VGRO TDC zaman diyagramı.....	55
Şekil 4.1. Gecikme elementleri simülasyonu	57
Şekil 4.2. Evirici gecikmelerine teknoloji boyutu etkisi	58
Şekil 4.3. Sayıcı tabanlı TDC simülasyon grafiği	59
Şekil 4.4. Flaş TDC transient analiz sonucu.....	60
Şekil 4.5. Vernier TDC simülasyon grafiği.....	60
Şekil 4.6. VDL TDC gecikme süreleri	61
Şekil 4.7. GRO örnekleyci transient analizi.....	62
Şekil 4.8. GRO sayıcı transient analizi.....	63
Şekil 4.9. VGRO transient analizi	64
Şekil 4.10. VGRO gecikme süreleri	65
Şekil 4.11. VGRO zamana bağlı güç tüketimi	65
Şekil 4.12. VGRO TDC giriş çıkış grafiği	66

TABLULAR DİZİNİ

Tablo 1.1. Zamansal çözünürlüğün SNR ve NEC ile ilişkisi	17
Tablo 2.1. Literatürdeki farklı TDC mimarilerinin karşılaştırması	34
Tablo 2.1. (Devam) Literatürdeki farklı TDC mimarilerinin karşılaştırması.....	35
Tablo 3.1. Zaman aralığı sinyali doğruluk tablosu	37
Tablo 3.2. D flip flop doğruluk tablosu	42
Tablo 3.3. Öncelikli kodlayıcı doğruluk tablosu	43
Tablo 5.1. Tasarlanan TDC mimarilerinin karşılaştırması	68
Tablo 5.2. VGRO TDC mimarilerinin karşılaştırması	69
Tablo 5.3. TDC mimarilerinin karşılaştırması.....	70

SİMGELER VE KISALTMALAR DİZİNİ

^{11}C	: Karbon radyoizotopu
^{13}N	: Azot radyoizotopu
^{15}O	: Oksijen radyoizotopu
^{18}F	: Florin radyoizotopu
β^+	: Pozitron parçacığı
C_c	: Yüklü kapasitans, (mF)
D_k	: TDC sayısal çıkışı
f	: Saat sinyalinin frekansı, (Hz)
F_s	: Örnekleme frekansı, (Hz)
I_{cp}	: Kapasitör şarj akımı, (mA)
I_{statik}	: Toplam statik akım, (mA)
K_{TA}	: TA'nın kazancı
N	: Gecikme hücrelerinin sayısı
n^0	: Nötrino parçacığı
n	: Sayısal çıkışların bit sayısı
N_{bit}	: Toplam bitlerin sayısı
$N_{Doğrusal}$: Doğrusal bitlerin sayısı
P	: TDC güç tüketimi, (mW)
P^+	: Radyoizotop
$P_{dinamik}$: Dinamik güç tüketimi, (mW)
P_{statik}	: Statik güç tüketimi, (mW)
P_{toplam}	: Toplam güç tüketimi, (mW)
S_n	: Hızlı gecikme elementi sayısı
T_1	: Gecikme hücresinin gecikme süresi, (ps)
T_{clk}	: Saat sinyalinin periyodu, (ns)
T_i	: İdeal transfer eğrisindeki adımların genişliği, (ps)
T_{in}	: Başlat ve durdur sinyalleri arasında ölçülen zaman aralığı, (ns)
T_{LSB}	: TDC zamansal çözünürlük boyutu, (ps)
T_n	: Yavaş gecikme elementi sayısı
T_{out}	: Çıkış zaman aralığı, (ns)
T_{start}	: Başlangıç zaman aralığı, (ns)
T_{stop}	: Bitiş zaman aralığı, (ns)
V_{DD}	: Sistem besleme gerilimi, (V)
V_{LSB}	: Minimum gerilimli voltaj, (mV)

Kısaltmalar

ADC	: Analog to Digital Converter (Analog Sayısal Dönüştürücü)
ADPLL	: All-Digital Phase-Locked Loop (Tüm Sayısal Evre Kenetleme Döngüsü)
BT	: Bilgisayarlı Tomografi
CMOS	: Complementary Metal Oxide Semiconductor (Tamamlayıcı Metal Oksit Yarı İletkeni)

DLL	: Delay Locked Loop (Gecikme Kilitlemeli Döngü)
DNL	: Differential Non-Linearity (Diferensiyel Doğrusal Olmama)
DR	: Dinamic Range (Dinamik Aralık)
FBP	: Filtered Back Projection (Filtreli Geri Projeksiyon)
FDG	: Fluorodeoxyglucose (Fluoro-deoksi-glikoz)
FLIM	: Fluorescence-Lifetime Imaging Microscopy (Floresans Ömrü Görüntüleme Mikroskopisi)
FoM	: Figure of Merit (Başarım Ölçüsü)
FoV	: Field of View (Görüş Alanı)
FPGA	: Field Programmable Gate Array (Alan Programlanabilir Kapı Dizileri)
GRO	: Gated Ring Oscillator (Geçit Halkalı Osilatör)
INL	: Integral Non-Linearity (Bütünleşik Doğrusal Olmama)
L	: Length (Uzunluk)
LIDAR	: Laser Imaging Detection and Ranging (Lazer Tarayıcı Tabanlı Algılama Sistemleri)
LoR	: Line of Response (Cevap Hattı)
LSB	: Least Significant Bit (En Küçük Değerli Bit)
LSO	: Lutetium Oxyorthosilicate (Lutesyum Oksi-Ortosilikat)
MOSFET	: Metal Oxide Semiconductor Field Effect Transistor (Metal Oksit Yarı İletken Alan Etkili Transistör)
MSB	: Most Significant Bit (En Büyük Değerli Bit)
NaI(Tl)	: Sodium Iodide Crystals Doped with Thallium (Talyum ile Aktive Edilmiş Sodyum İyodür)
NEC	: Noise Equivalent Count (Gürültü Eşdeğer Sayımı)
nMOS	: N Channel MOSFET (N Kanallı MOSFET)
PET	: Positron Emission Tomography (Pozitron Emisyon Tomografisi)
PLA-ROM	: Programmable Logic Array Read-Only Memory (Programlanabilir Mantık Dizisi Salt Okunur Bellek)
pMOS	: P Channel MOSFET (P Kanallı MOSFET)
PMT	: Foto-Çoğaltıcı Tüpler (Photomultiplier Tubes)
PS	: Pulse Shrinking (Darbe Daraltma)
RO	: Ring Oscillator (Halka Osilatör)
SCA	: Signal Coincidence Analyzer (Sinyal Yükseklik Analizörleri)
SNR	: Signal to Noise Ratio (Sinyal Gürültü Oranı)
TA	: Time Amplifier (Zaman Yükseltici)
TAC	: Time-to-Amplitude Converter (Zaman-Genlik Dönüştürücü)
TDC	: Time to Digital Converter (Sayısal Zaman Dönüştürücüsü)
ToF	: Time of Flight (Uçuş Süresi)
VCDL	: Voltage Controlled Delay Line (Voltaj Kontrollü Gecikme Hattı)
VDL	: Vernier Delay Line (Vernier Gecikme Hattı)
VGRO	: Vernier Gated Ring Oscillator (Vernier Anahtarlamalı Halka Osilatör)
VLSI	: Very Large Scale Integration (Çok Geniş Ölçekli Tümlleşim)
W	: Width (Genişlik)

MEDİKAL GÖRÜNTÜLEME CİHAZLARINDA KULLANILAN TDC MİMARİSİNİN VLSİ GERÇEKLENMESİ

ÖZET

PET, canlı bir vücut içindeki pozitron yayan radyonüklidlerin konsantrasyonlarının ölçülmesine dayanan tıbbi bir görüntüleme yöntemidir. PET görüntüleme sisteminde glikoz, pozitron yayan bir radyonüklid ile işaretlenip hastaya intravenöz olarak enjekte edilir. Pozitronlar doku içerisinde ilerleyip etkileştiği hücrelerin elektronları ile çarpışırlar. Bu etkileşim sonucu birbirine zıt yönde yayılan iki adet gama ışını oluşur. Radyoaktif glikozu tutmuş olan kanserli dokudan yayılan ışınlar halka şeklinde sıralanmış dedektörler aracılığı ile tespit edilir. Gama ışınları karşıt konumlandırılmış dedektörlere eşit sürede ulaşmıyor olabilir. ToF özelliğine sahip olan PET'lerde tespit edilen ışınlar, iki fotonun dedektörlere ulaşma zamanı arasındaki farkın ölçülmesi prensibine dayanan bir yöntem ile daha iyi bir konumlama bilgisi elde etmeyi hedefler. Uçuş zamanının ölçülmesi işlemi TDC yapıları ile gerçekleştirilir. Ps mertebesindeki bu zaman farkının ölçülme kabiliyeti PET sisteminin uzaysal çözünürlüğü ile doğrudan ilgilidir. Bu çalışmada PET sistemlerinde kullanım için çeşitli mimari yaklaşımına sahip TDC yapılarının 45nm CMOS VLSİ benzetimleri gerçekleştirilmiştir. Tasarlanan TDC mimarileriyle iki gama fotonunun dedektörlere ulaşma zamanı simülasyonu gerçekleştirilmiş ve zaman farkı başarılı bir şekilde sayısallaştırılmıştır. Ayrıca TDC mimarilerinin giriş çıkış gerilimleri, zamansal çözünürlükleri, ölçüm aralıkları ve güç analizleri gibi çeşitli performans ölçütleri belirlenmiştir. Bununla birlikte, farklı CMOS teknoloji boyutlarındaki TDC benzetimlerinin zamansal çözünürlük değişimleri de incelenmiştir. Tasarımı yapılan Vernier anahtarlamalı halka osilatör tabanlı TDC mimarisi ile 1V besleme geriliminde 5,23-mW gibi çok düşük güç tüketiminde 3,8 ps mertebesinde zamansal çözünürlüklere ulaşılmıştır.

Anahtar Kelimeler: 45nm, Pozitron Emisyon Tomografi (PET), Uçuş Zamanı (ToF), Vernier Anahtarlamalı Halka Osilatör (VGRO), Zaman-Sayısal Dönüştürücü (TDC).

VLSI IMPLEMENTATION OF TDC ARCHITECTURE USING IN MEDICAL IMAGING DEVICES

ABSTRACT

PET is a medical imaging method based on the measurement of concentrations of positron emitting radionuclides in living body. In PET, glucose is labeled with a positron emitting radionuclide and injected intravenously. Then, positrons move through tissue and collide with electrons of cells in which they interact. As a result of this interaction, two gamma rays are emitted in opposite direction. Gamma rays emitted from cancerous tissue that have retained radioactive glucose are detected through ring-shaped detectors. Gamma rays may not reach detectors located in opposite position in equal time. In PETs having ToF characteristics, it is aimed to obtain better positioning information by a method based on principle of measuring difference between reach time of two photons to detectors. Measurement of ToF is carried out with TDC structures. Measurement of this time difference at ps level is directly related to spatial resolution of PET. In this study, 45nm CMOS VLSI simulations of TDC structures which have various architectural approaches were performed for using in PET. With designed TDC architectures, two gamma photons reach time to detectors have been simulated and time difference has been successfully digitized. In addition, various performance metrics such as input and output voltages, time resolutions, measurement ranges and power analysis of TDC architectures have been determined. Further, time resolution changes of TDC implementations which have different CMOS technology parameters were also examined. The proposed Vernier-ring-oscillator-based TDC architecture has been reached 3.8-ps time resolution at very low power consumption of 5.23-mW in 1V supply voltage.

Keywords: 45nm, Positron Emission Tomography (PET), Time of Flight (ToF), Vernier Gated Ring Oscillator (VGRO), Time-to-Digital Converter (TDC).

GİRİŞ

İki fiziksel olay arasındaki zamanın kesin olarak elektronik ölçümü, birçok deneysel ve uygulamalı sistemde önemli ve esastır. TDC (Time to Digital Converter), iki rastgele olay arasındaki zaman farkını ölçebilen bir elektronik enstrümantasyon sistemidir [1-23]. Sayısal zaman dönüştürücüler, çok sayıda zaman ölçüm sistemlerinde yer edinmiştir ve endüstriyel, medikal, araştırma gibi çeşitli uygulama alanlarına sahiptir [24]. Mesafe ölçümlerinin gerekli olduğu lazer radar sistemleri [9, 25], sayısal depolama osiloskopları [26], mantık analizörleri ve çeşitli yüksek enerjili fizik deneyleri [27-29], ADPLL (All-Digital Phase-Locked Loop) uygulamaları [30-35], ADC (Analog to Digital Converter) [36, 37] gibi enstrümantasyon ve elektronik test ekipmanları ile, LIDAR (Laser Imaging Detection and Ranging) sistemleri [38-41], 2D-3D görüntü sensörleri [42], ToF (Time of Flight) uzay uygulamaları [43, 44], ToF konumlandırıcılar [40, 45], GSM, Bluetooth ve ZigBee uygulamaları [30, 46, 47], hassas ve akıllı sıcaklık sensörleri [12, 48, 49], elektronik filtre tasarımları [50], sayısal frekans sentezleyiciler [51], kütle spektrometresi [52], manyetik rezonans görüntüleme sistemleri [53], FLIM (Fluorescence-Lifetime Imaging Microscopy) [54, 55] ve PET (Positron Emission Tomography) tıbbi görüntüleme sistemleri [56-70] gibi bir çok karışık sinyal devre uygulaması alanında [10, 11, 71, 72] TDC mimarisi yer bulur. Bu çalışmada açıklanan TDC mimarileri, PET tıbbi görüntüleme sistemlerinde kullanım içindir.

Bir PET tıbbi görüntüleme sistemi, insan vücuduna enjekte edilen radyonüklid madde sayesinde oluşan yüksek enerjili ışınların halka şeklinde sıralanmış algılayıcılar ile tespiti prensibi temeline dayanır. Algılayıcılarda tespit edilen yüksek enerjili ışınlar sayesinde ışımının gerçekleştiği vücut dokusunun konumu tespit edilebilir ve pozisyonlanabilir. Kansersiz bir dokuda meydana gelecek ışımaların tespiti ile bu dokunun sağlıklı dokulardan ayırt edilebilmesi sağlanabilir. Bir PET tarayıcısından elde edilen görüntülerde, normal olmayan dokunun sağlıklı dokudan ayırt edilebilme kabiliyeti PET tarayıcısının görüntüleme kabiliyetini belirler. ToF PET sistemi yüksek enerjili ışınların karşılıklı sıralanmış halka şeklindeki algılayıcılara ulaşma süreleri

arasındaki farktan daha iyi bir konumlama bilgisi çıkartmayı hedefler. Yüksek enerjili ışınların algılayıcılara ulaşma süreleri arasındaki farklar pikosaniyeler mertebesinde. ToF PET sistemindeki bu zaman farkının hassas elektronik ölçümleri TDC'ler aracılığı ile yapılır. ToF PET sisteminde kullanılan TDC yapılarının zaman farkı ölçüm kabiliyetleri doğrudan görüntü çözünürlüğüne etki etmektedir.

Bu çalışmada PET tıbbi görüntüleme sistemlerinde kullanım için TDC mimarilerinin VLSI (Very Large Scale Integration) benzetimleri gerçekleştirilmiştir. Tasarlanan TDC mimarileri ile PET görüntülerine daha iyi çözünürlük sağlayarak kanserli dokuların sağlıklı dokulardan daha belirgin bir şekilde ayırt edilebilmesi amaçlanmaktadır. Ayrıca bu çalışmada TDC mimarileri detaylı bir şekilde ele alınarak, sonraki çalışmalara kaynak olması hedeflenmektedir. Bunun yanında tasarlanan TDC mimarilerin literatürde yer alan diğer tasarımlara göre daha iyi zamansal çözünürlük, düşük hata oranı ve düşük güç tüketimi sağlaması hedeflenmektedir. Bölüm 1'de PET görüntüleme sisteminin çalışma prensibi ve ToF PET sistemi, Bölüm 2'de ise farklı TDC mimarilerinin çalışma prensipleri ve performans ölçütleri açıklanmıştır. Bölüm 2.3'te literatürde yer alan farklı TDC yaklaşımlarının karşılaştırılması verilmiştir. Bölüm 3'te VLSI benzetimleri gerçekleştirilen TDC mimarilerinin tasarım aşamaları açıklanmıştır. Bölüm 4'te tasarlanan TDC mimarilerinin zamansal çözünürlük analizleri ve güç tüketim simülasyon çıktıları verilmiştir. Bölüm 5'te ise tasarımı yapılan mimarilerin karşılaştırması yapılmış ve elde edilen sonuçlar yorumlanmıştır.

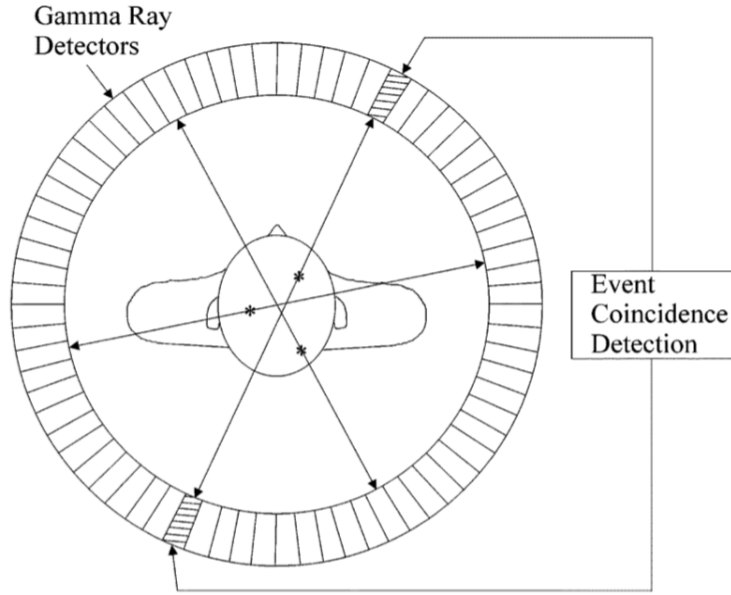
1. GENEL BİLGİLER

Medikal görüntüleme sistemlerinin birçoğunda görüntü oluşumu yüksek enerjili ışınların tespiti ile gerçekleşir. PET sistemlerinde yüksek enerjili ışınların algılayıcılara ulaşma süreleri arasındaki farktan ışınların konumlarını tespit etmeyi sağlayan yöntemler geliştirilmiştir. Bu bölümde PET cihazlarının çalışma prensibi ve PET sistemleri için zaman farkı ölçümünün önemi açıklanmıştır.

1.1. PET Cihazları

PET, canlı bir vücut içindeki pozitron yayan radyoizotopların konsantrasyonlarının ölçülmesine dayanan tıbbi bir görüntüleme metodolojisidir [57]. PET, anormal görünen bir dokuda kanser olup olmadığını söylemede oldukça etkili bir yumuşak doku görüntüleme yöntemidir [73]. Kanser hücreleri büyümek ve çoğalmak için ihtiyaç duydukları enerjiyi glikozdan karşılar [74]. PET görüntüleme sisteminde glikoz, pozitron yayan bir radyonüklid ile işaretlenip hastaya intravenöz olarak enjekte edilir [75]. Sonrasında radyoaktif glikozu tutmuş olan kanserli dokudan yayılan ışınlar dedektörler aracılığı ile yakalanır [57].

Bir pozitron vücutta bir elektronla temas ettiğinde, iki parçacık yok olur ve 180 derece aralıklarla yayılan iki adet 511 KeV enerjili gama ışını üretir [75]. Bir PET görüntüsü, bir pozitron ve elektronun yok edilmesinden ortaya çıkan kolinear 511 KeV enerjili gama ışını fotonlarının tespiti ile oluşturulur [76]. PET tarayıcısında, birçok gama ışını dedektörü, Şekil 1.1'de gösterildiği gibi, görüntülenecek hastayı çevreleyen halkalar halinde konumlandırılmıştır. Pozitron elektron yok edilmelerinden oluşan karşıt gama ışınları dedektörler aracılığı ile algılanır ve algılanan sinyaller elektriksel bir tepkiye dönüştürülür. Sonrasında bu tepkiler elektronik devreler ile örneklenir ve görüntü kümesi oluşturmak için histogram (sinogram) matrisleri şeklinde kaydedilir [57]. Son kısımda bilgisayar sisteminde görüntü işleme teknikleri kullanılarak bu sayısal değerler ile anlamlı bir 3 boyutlu görüntü oluşturulur.



Şekil 1.1. Karşıt gama ışınlarının tespitiinin gösterimi [57]

Yaklaşık 40 yıl önce ilk halka sistemlerinin piyasaya sürülmesinden bu yana, PET için enstrümantasyon alanında ve görüntü üretimi için kullanılan algoritmalarda önemli gelişmeler kaydedilmiştir. Yeni sintilasyon dedektörlerinin geliştirilmesi ve kullanımındaki gelişmeler, sistemin uzamsal çözünürlüğü ile hassasiyetinin iyileştirilmesine yol açmıştır [76]. Ek olarak, geliştirilmiş dedektör performansı, yeni ve daha verimli görüntü yeniden yapılandırma algoritmalarının geliştirilmesi ile daha iyi hesaplama sağlayan, 2 boyutlu sistemlerden 3 boyutlu sistemlere ve daha büyük eksenel görüş alanlarına geçişi mümkün kılmıştır. Bu yüzden sistem hassasiyetinde daha fazla iyileştirme sağlamıştır [77]. Günümüzde bilinen PET prensiplerinin temeli 1974'lerin sonlarında insan çalışmaları için 24-NaI(Tl) (Sodium Iodide Crystals Doped with Thallium) dedektörden oluşan PET'i geliştirmeleri ile başlar [78].

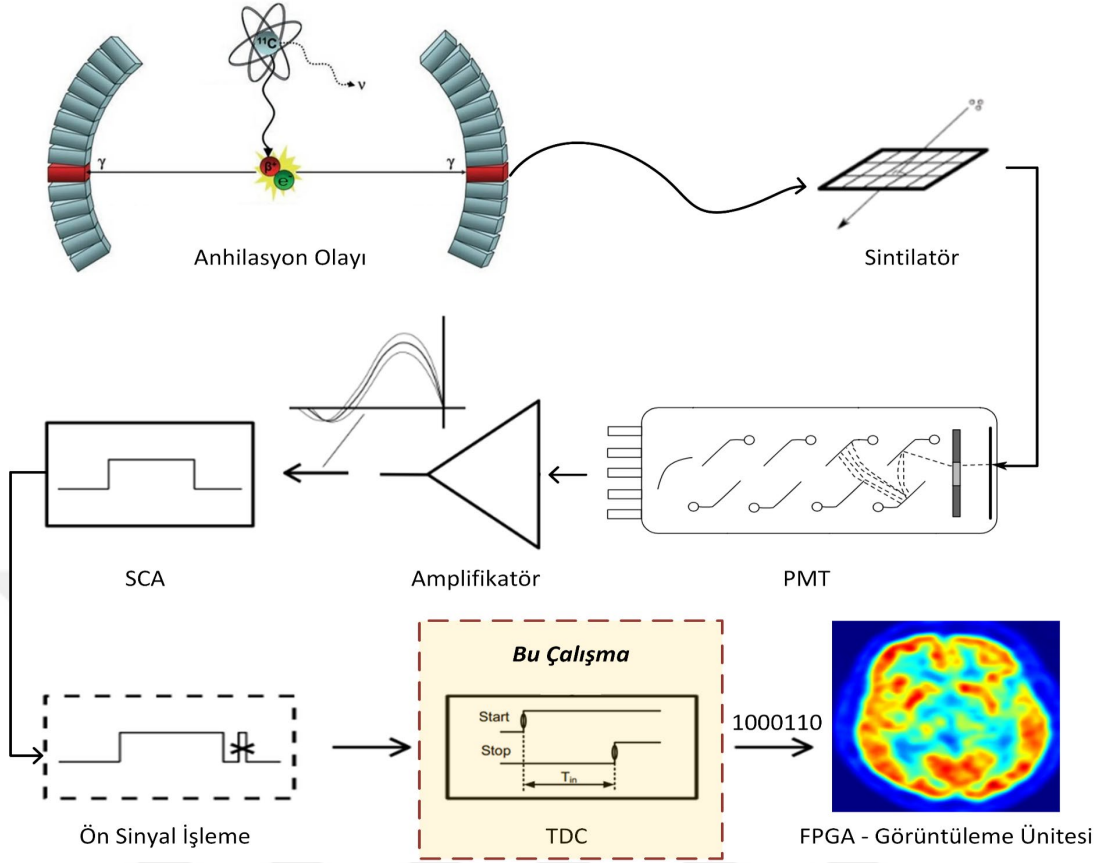
LSO (Lutetium Oxyorthosilicate veya Lu_2SiO_5) 1990'lı yılların ortalarına kadar ilk PET sintilatörü olarak kullanılmaya başlanmış, daha hızlı bozunma ve daha yüksek ışık çıktısı sağlamıştır [79]. LSO ilk önce küçük bir hayvan PET tarayıcısında (Mikro-PET) [80] kullanılmış ve daha sonra bir beyin tarayıcısına [81] ve son olarak bir tüm vücut PET tarayıcısına [82] dahil edilmiştir. LSO'nun gelişmiş özellikleri daha fazla hassasiyet, geliştirilmiş uzamsal çözünürlük, azaltılmış ölü zaman, rastlantısal tesadüfler sağlamış ve aynı zamanda modern PET sistemleri için standart tasarım olarak 3D PET'in kullanımını kolaylaştırmıştır. Kısa zamanda, LSO ve diğer benzer sintilatörlerin çok iyi zamanlama çözünürlüğünün, ToF PET sistemlerinin

geliştirilmesinde kullanılabileceği kabul edilmiştir. 2005 yılında PMT (Photomultiplier Tubes) ve ToF dışı uygulamalar için tasarlanmış elektronikler kullanarak 1,2 ns sistem zamanlama çözünürlüğü elde edilmiştir. Sonrasında, LSO kullanılan ilk ticari ToF PET/ BT (Bilgisayarlı Tomografi) sistemi 585 ps'lik bir sistem zamanlama çözünürlüğü ile tanıtılmıştır [83]. Halen literatürde ticari sistemler için zamanlama çözünürlüğü, 20-25 mm uzunluğunda kristaller kullanarak 400-550 ps aralığındadır [84]. İlk nesil ToF PET tarayıcılarında benzer zamanlama çözünürlüğü elde edilirken, mevcut ToF PET tarayıcılarının bu performansının yanında, uzaysal çözünürlük ve hassasiyetin daha iyi bir kombinasyonuna ulaşmıştır. Ek olarak, yeni ticari ToF sistemleri sabit kalibrasyonlara sahiptir ve güvenilir performans göstermiştir [77].

Özellikle fotosensör teknolojisi alanındaki yeni donanım gelişmeleri, bu performans ölçütlerini hızlı bir şekilde iyileştirmekte ve elektronik gürültüyü azaltarak ToF çözünürlüğünde daha gelişmiş olan yeni sistem tasarımları rapor edilmektedir [85]. Son olarak, BT tarayıcısının hem zayıflama düzeltilmesi hem de anatomik korelasyon için PET aletiyle birlikte kullanılması PET/BT'nin klinikte yaygın şekilde uygulanmasına neden olmuştur [77].

1.1.1. PET cihazı sistem bileşenleri

PET, halka şeklinde dizilmiş bir seri sintilasyon kristali ve bu kristallere birleştirilmiş PMT'den oluşmuştur. PMT'den çıkan sinyali yükseltmek için kullanılan sinyal kuvvetlendirici devreler ve anihilasyon darbelerinin yakalanması için kullanılan SCA (Signal Coincidence Analyzer) PET sisteminin temel bileşenlerindedir. Ayrıca pozisyonlama için TDC-FPGA (Field Programmable Gate Array) sisteminden oluşan sayısallaştırma devreleri ve nihai görüntüyü elde etmek ve düzenlemek için kullanılan bilgisayar ünitesi ve görüntüleme sistemi PET sistemlerinde kullanılmaktadır [86]. Şekil 1.2'de PET cihazında anihilasyon olayının tespitinden, görüntü oluşumuna kadar olan aşamalar verilmiştir.



Şekil 1.2. PET sistemi

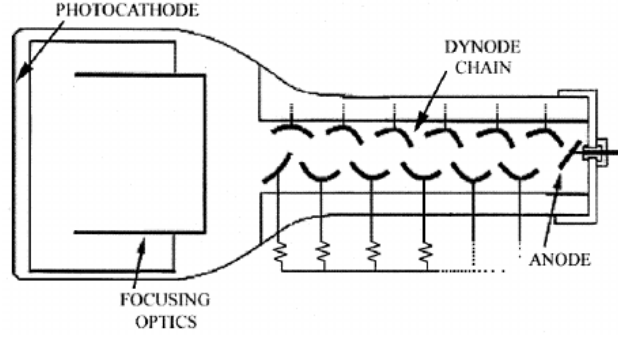
1.1.1.1. Sintilasyon kristali

Üzerine düşen gama ışınlarını, radyasyon enerjisi ile orantılı olarak görünür ışığa dönüştüren kristal yapılar sintilatör olarak adlandırılır. Sintilatörde oluşan görünür ışığa sintilasyon denir. Sintilasyonlar, sintilasyon kristalindeki oluşum sayılarına göre değerlendirilir. Kristaller dikdörtgen ya da daire şeklindedir. Kristal çapı 30-50 cm, kalınlığı ise 1,25 cm veya 6-8 mm'dir [87]. İnce kristaller genellikle radyonüklidlerin oluşturduğu düşük enerjili darbeleri algılamak amacıyla geliştirilmiştir. Nükleer tıpta en yaygın kullanılan sintilasyon kristalinin dedektör materyali NaI(Tl)'dir.

1.1.1.2. Foton çoğaltıcı tüpler

Sintilasyon fotonları ışık yönlendirici tabaka tarafından odaklanıp PMT'lerin girişindeki fotokatoda çarptırılarak buradan elektron kopmasına sebep olur. Bu elektronlar PMT içindeki elektron çoğaltıcı elemanlar ile yüksek voltajın da etkisiyle hızlandırılır ve giderek sayıları artar. Elektronlar bu şekilde PMT çıkışındaki anotta toplanırlar. Böylece radyonüklid kaynaklı organ üzerinden yayılan gama fotonları NaI

(TI) kristalinden sintilasyon fotonlarına, oradan da PMT içinden geçerek elektrik sinyallerine dönüştürülmüş olur [87]. Şekil 1.3'te PET cihazlarında kullanılan PMT yapısı gösterilmiştir.



Şekil 1.3. PET’de kullanılan PMT yapısı [88]

PMT’ler kristale optik jel ile bağlanmıştır. Bu jelin özelliği ışık Emilimi olmamasıdır. PMT’ler genelde altıgen şeklinde dizilmişlerdir. Sayıları 16 ile 144 arasında farklılık gösterebilmektedir [89]. 7,5 cm uzunluğunda olanları en yaygın olarak kullanılmaktadır. Ayrıca PMT sayısını artırmak görüntünün uzaysal çözünürlüğü doğrudan artırmaktadır. PMT’lerde elektron kazancı yüksek voltaj altında 10^7 - 10^{10} arasında değişebilmektedir [87]. Son yıllarda PMT’lerin yerini Geiger modunda çalışan silikon tabanlı PMT’ler almaya başlamıştır [90, 91].

1.1.1.3. Sinyal kuvvetlendirici devreleri

PET sistemlerinde ön yükseltici ve lineer yükseltici devreler sinyal kuvvetlendirici devreler olarak kullanılır. PMT’lerde oluşturulan elektrik sinyali yükselticilerde 10-100 kat yükseltilir ve SCA’ya gönderilir [92].

PMT’den μV genlik düzeyinde gelen sinyallerin işlenebilmesi için, bu sinyallerin genlik değerlerinin mV seviyelerine çekilmesi gerekir. Ön yükselticinin kullanılma sebeplerinden birisi, PMT’den gelen μV seviyesindeki sinyallerin genliklerini artırmaktır. PMT’nin diğer elektronik ünitelerle empedans uyumunu sağlaması ön yükselticinin bir diğer işlevidir. Lineer yükseltici, ön yükselticiden çıkan sinyallerin genliklerinin daha da yükseltilmesini sağlar. Bu esnada küçük genlikli gürültü sinyallerinin de genlikleri artırılmış ve algılanabilir hale gelmiş olur. Gürültü genliklerinin artması sebebiyle görüntü kalitesini ifade eden faktörlerden biri olan SNR (Signal to Noise Ratio) azalmış olur. Bu durumu düzeltmek için lineer yükseltici

darbelerin çakışmalarını azaltır ve SNR'ı yükseltir. Ön yükselticiden çıkan darbelerin düşen kenarları yeni bir darbe ile çakışıp üst üste binebilir. Lineer yükseltici darbelerin oluşum sürelerini kısaltır ve tabanlarını aynı seviyeye çeker. Böylece algılama duyarlılığını artırmış olur [92].

1.1.1.4. Sinyal yükseklik analizör devreleri

Yükseltici devrelerden gelen darbelerin genlikleri farklıdır. Sintilasyon kristali üzerine düşen farklı genlikli bütün darbeler kuvvetlendirilerek SCA'ya gönderilir. Bu darbelerin bir kısmı gürültü sinyalleri, bir kısmı izotopun farklı enerji seviyelerinin neden olduğu sinyaller ve bir kısmı da Compton saçılmasından kaynaklı sinyallerin oluşturduğu darbelerdir. Algılama sistemi maksimum verimle radyonüklidden gelen darbeleri tespit etmek ister. Algılama sistemine ulaşan darbeler, $511 \text{ KeV} \pm \%25$ (380-640 KeV) karar penceresi ile gürültü sinyallerinden ve Compton saçılmasından arındırılır. SCA'lar sadece anihilasyon sonucu oluşan gama ışınlarını algılamayı sağlayan bir filtre görevi görmektedirler. PET görüntüleme sistemi özel bir enerji aralığından görüntü oluşturmaya odaklandığı için, gama kameralarda kullanılan kolimatörlere ihtiyaç duymamaktadır [93].

SCA'da sinyaller belli bir zaman aralığında (8-12ns) karşılaştırma devresine gelmiş ve belirlenmiş olan enerji aralığında iseler, sistem bu iki sinyali geçerli olarak algılar. Algılama sisteminde pencere genişliği, genlik ve zaman eksenini mertebesinde ayarlanabilmektedir [92].

1.1.1.5. Sayısallaştırma devreleri

Darbe yükseklik analizöründen çıkan sinyallerin darbe sayısını ve darbelerin dedektöre ulaşma zamanlarını saymak için sayısal sayıcılar kullanılır. Sayısallaştırma devreleri entegre devre şeklinde TDC bloklarından ve TDC çıkışlarını işleyen FPGA'lardan oluşur. TDC blokları, karşılıklı sıralanmış dedektörlere ulaşan anlamlı iki gama fotonunun dedektörlere ulaşma zamanları arasındaki farkı sayısallaştırmaya yarar [2, 65]. Aynı zamanda PMT'lerde üretilen darbelerin sayısını saymak içinde sayıcı tabanlı yapılar kullanılır. FPGA yapıları ise PMT'lerde sayılan darbelerin adetlerine ve genliklerine göre görüntü matrislerini oluştururlar. Ayrıca TDC'den aldıkları sayısal zaman farkları ile görüntü matrislerini optimize ederler [67].

1.2. PET Fiziği

PET hastaya enjekte edilmiş radyonüklidin oluşturduğu 511 KeV enerjili fotonların tespitine dayan bir görüntüleme yöntemidir [76]. PET radyoizotop görüntüleme tekniği olarak adlandırılır ve insan vücudundaki organlar ile metabolizmaların görüntülenmesini sağlar. PET, pozitron emisyonu sonucu bozunmuş olan radyoizotoplardan yayılan pozitronun, ortamda mevcut bir elektronla çarpışması sonucu oluşan iki adet 511 KeV enerjili anihilasyon (yok olma) fotonlarının eş zamanlı algılanması prensibine dayanan görüntüleme yöntemidir. PET uygulamasında ^{11}C , ^{13}N , ^{15}O , ^{18}F gibi izotopların, glikoz molekülü ile sentezlenmesi sonrası elde edilen radyonüklid (örnek; [^{18}F]- FDG (Fluorodeoxyglucose)) kan yolu ile hastaya enjekte edilir. Vücutta normal doku özelliğini kaybetmiş yapılarda bu radyoizotoplar daha çok birikir. Radyoizotopların bu yapılarda daha fazla birikmesi nedeniyle bu bölgede diğer hücrelere göre daha fazla ışınım gerçekleşir. Gerçekleşen yok olma ışınları PET cihazı tarafından tespit edilerek, vücudun üç boyutlu görüntüsü elde edilir [94]. Vücuda enjekte edilmiş radyonüklid anlamlı ışınımalar oluşturmak için önce pozitron emisyonu ile bozunur ve sonrasında hücre içinde yol alarak gerçekleştirdiği anihilasyon olayı ile gama fotonlarına dönüşür.

1.2.1. Pozitron emisyonu

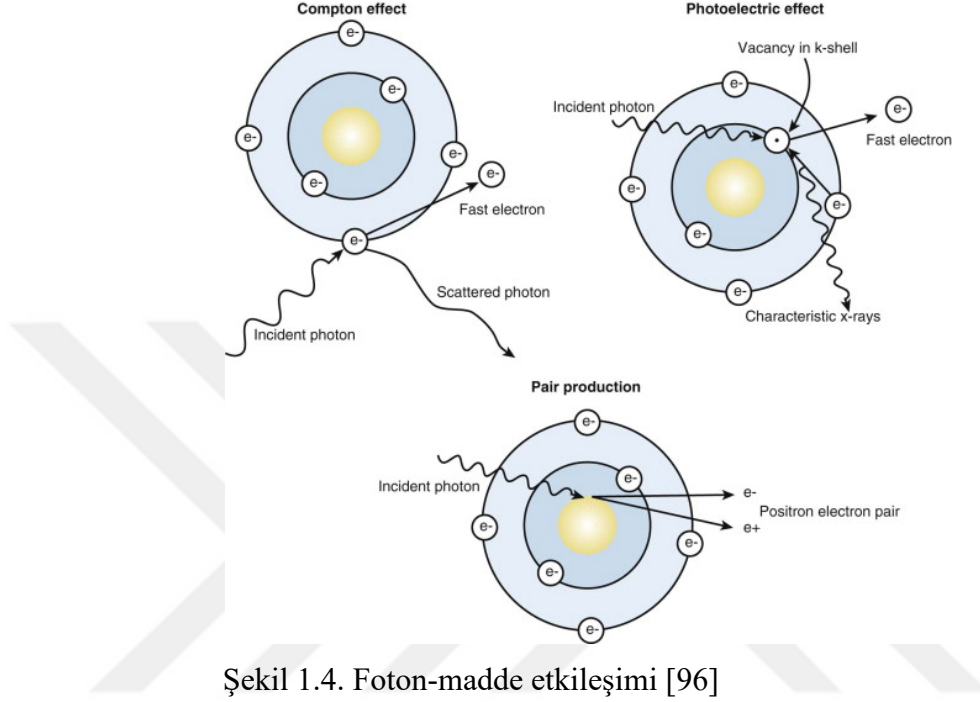
Kütle numarası 20 civarında olan radyoizotoplar, proton fazlalığı bulunan çekirdeklerdir. Bu çekirdekler protonlarının fazla olmasından dolayı bir protonunu nötrona dönüştürerek kurtulmaya çalışır. Bu sırada bir pozitron (β^+) ve yanında bir de nötrino (ν) yayınlanır. Denklem (1.1)'de gösterildiği gibi pozitron emisyonu eşitliği;



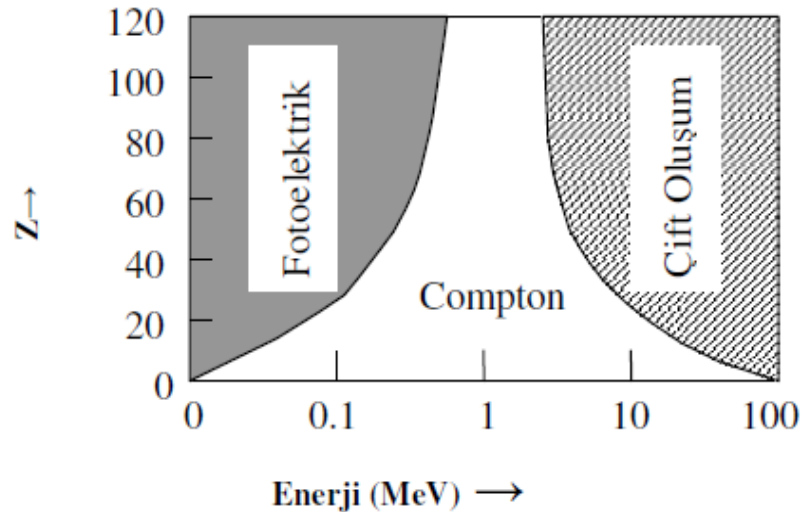
şeklinindedir. İzotopların çekirdekte bulunan bir protonunu nötrino ve pozitrona indirgendiği bu olaya pozitron emisyonu denir. PET görüntüleme amacıyla hastaya uygulanan radyonüklid atomlarının parçalanması sonucu pozitron radyasyonu açığa çıkar [95].

β^+ 'lar, atomdan belli bir enerji ile yayılırlar. Örneğin; F-18 radyoizotopu enerjisi 695 KeV olan β^+ 'lar yayar. Yayılan β^+ 'ların yükü ve kütlesi vardır ayrıca bunun yanında

yayıldıkları anda bir enerjisi de mevcuttur. Bu enerji ile F-18'den salınan β^+ 'lar, doku içinde 2-3 mm yol alabilirler. Radyoizotoplarda meydana gelen ışımlar foton enerjisi düzeyine göre tesadüfî biçimde meydana gelir [95]. Şekil 1.4'te gelen fotonun enerji düzeyine göre oluşan rastlantısal olayların grafiksel biçimi gösterilmiştir.

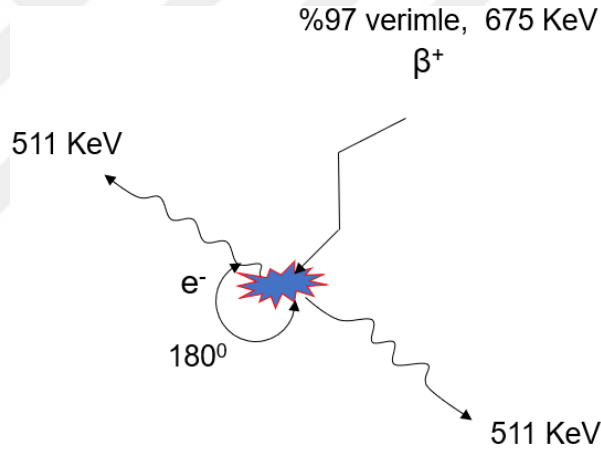


Çift-oluşum etkileşmesinin gerçekleşmesi için gelen foton enerjisi 1,022 MeV'den büyük olmalıdır. Foton enerji seviyesine göre gerçekleşen radyasyon etkileşimi grafiği Şekil 1.5'te gösterilmiştir.



1.2.2. Anhilasyon olayı

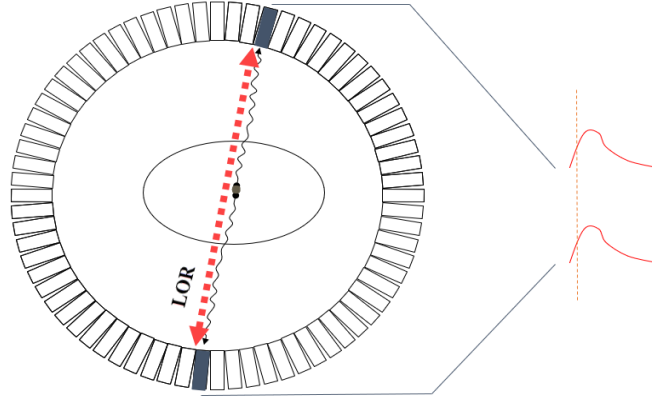
Pozitron emisyonu sonucu oluşan pozitronlar, doku içine girip, çarptığı hücrelerin elektronları ile etkileşirler. Pozitron artı yüklü, çarptığı elektron ise eksi yüklü bir parçacık olduğu için, zıt kuvvetlerin birbirini çekmesinden ötürü etkileşim (çarpışma) sağlanır. Çarpışan beta partiküllerinin belli bir kütlesi olduğu için, çarpışma sonucu kütlelerin enerjiye dönüşüm ilkesi gerçekleşir. Einstein'ın açıkladığı kuramına göre, yüksek hıza sahip iki kütle birbiriyle çarpıştıklarında, 180 derece açı ile birbirine zıt doğrultuda yayılan iki ışına (anihilasyon fotonuna) dönüşürler. Anihilasyon olayının şematik gösterimi Şekil 1.6'da verilmiştir. Pozitron madde içinde yol aldıktan sonra ortamdaki elektronla etkileşerek birbirine zıt yönde hareket eden 511 KeV enerjili iki gama fotonuna dönüşür. Anihilasyon fotonlarının yayılma doğrultusuna yerleştirilmiş olan PET dedektörleri ile fotonların tespiti ve görüntüleme sağlanır [93].



Şekil 1.6. Anihilasyon olayının şematik gösterimi

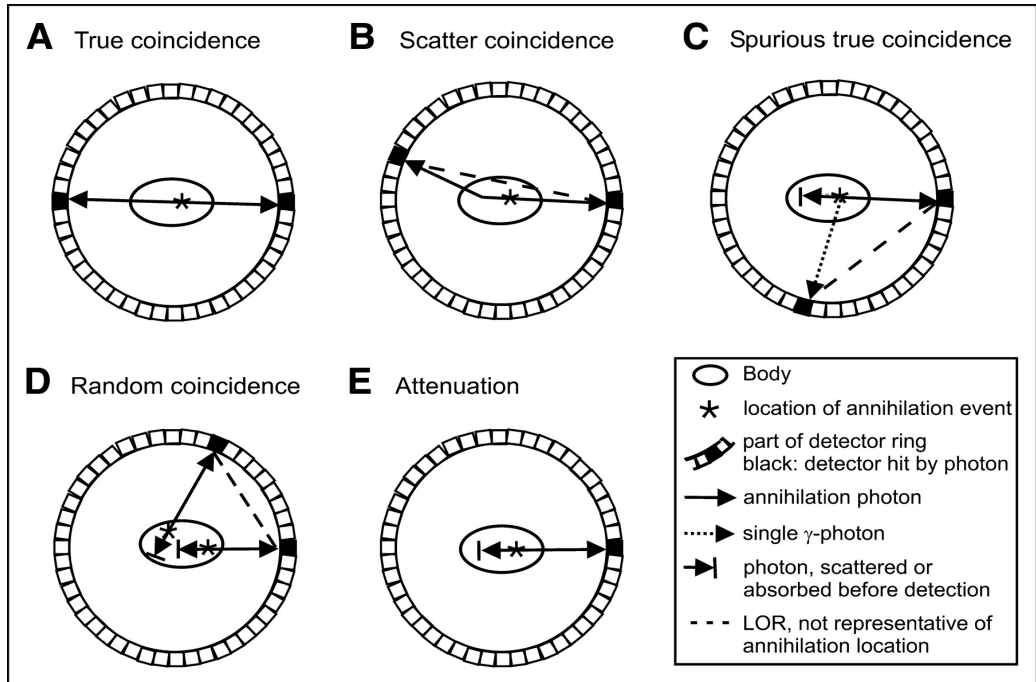
1.3. PET'de Görüntü Oluşumu

PET görüntüleme hasta görünür lazer ile 3 veya 4 sıra şeklinde yerleştirilmiş dedektörlerin yer aldığı 60-70 cm çaplı tünelin ortasına pozisyonlanır. Dedektörler FoV (Field of View) olarak adlandırılan 15-20 cm'lik bir alanda yer alırlar ve bu alan üzerine düşen ışınları yakalayabilmektedirler. PET çekim süresi her bir bölge için 1-3 dakika sürmektedir. PET'de dedektörler halka şeklinde sıralandığı için annihilasyon fotonları çok yüksek başarı ile FoV içerisine düşer [97].



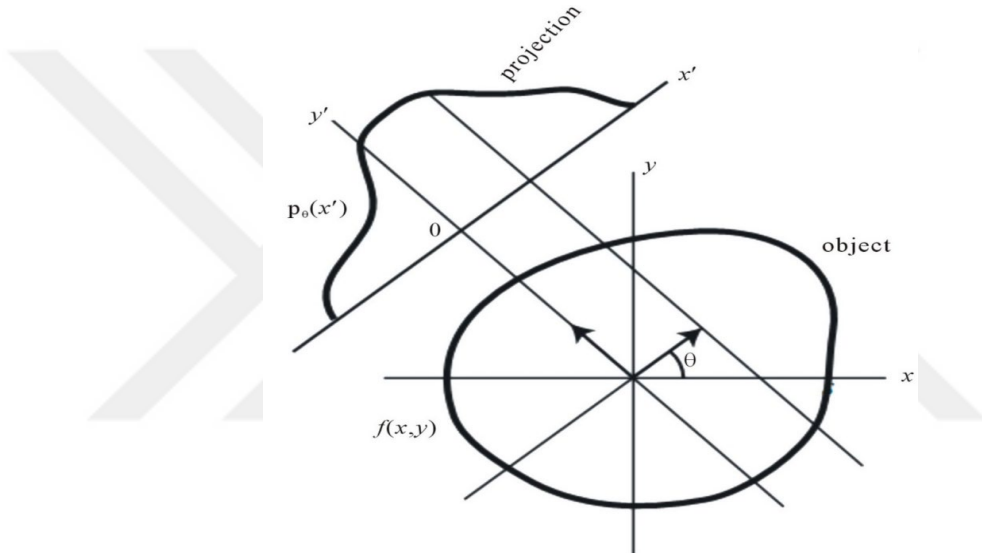
Şekil 1.7. Cevap hattı

FoV içinde karşılıklı dizilmiş dedektörler arasında SCA'daki pencereye göre eş zamanlı ve anlamlı genlikli bir algılama olursa, karşılıklı dedektör arasında sanal bir LoR (Line of Response) çizilir. LoR çizgisinin bir örneği Şekil 1.7'de gösterilmiştir. LoR sayesinde anihilasyon fotonları hariç diğer radyasyon ışınlarından kaynaklı dedektör uyarılmaları en aza indirilmiş olur. Farklı uyarılma durumları Şekil 1.8'de gösterilmiştir. Ayrıca LoR karşılıklı iki dedektör uyarılmasını kontrol ettiği için, diğer dedektör uygulamaları rastlantısal olarak algılanır ve foton sayımına etki etmezler bu sayede pozisyonlamanın doğruluğunun artırılması sağlanır ve hücrese düzeyde görüntülemenin çözünürlüğü artırılmış olur [98].



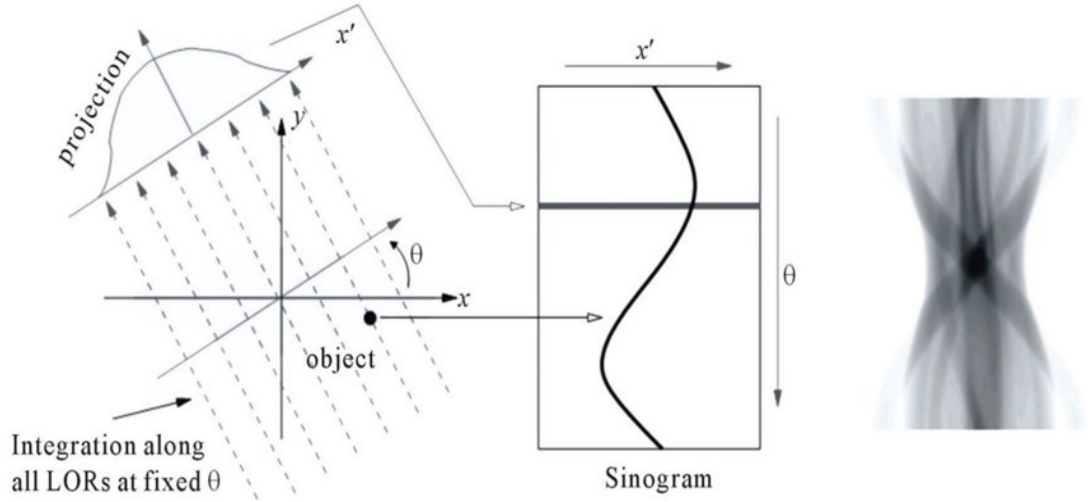
Şekil 1.8. Dedektör uyarılma durumları [99]

FoV içinde eş zamanlı çalışan dedektörlerinden elde edilen anlamlı sinyaller sayısallaştırıldıktan sonra projeksiyon matrisleri şeklinde kaydedilir. Projeksiyon matrisleri her bir dedektörde anlamlı uyarılma sonucu oluşan algılama sayılarının tutulduğu matrislerdir. Projeksiyon matrisi FoV içerisinde o anda LoR'da meydana gelen uyarılma sayıları ile ifade edilen sayısal görüntü matrisleridir. Yani FoV içerisindeki iki boyutlu görüntünün ifadesidir. Projeksiyon matrisleri sintilasyon sayılarını tuttuğu için FoV içerisinde kalan alanda bu matrisler ile 2 boyutlu görüntüye geçilebilir [100]. Şekil 1.9'da projeksiyon matrisinin oluşum prensibi verilmiştir. Projeksiyon matrislerinin ifade edildiği görüntüler histogramlar şeklindedir.



Şekil 1.9. Projeksiyon oluşumu [100]

Tek foton emisyon bilgisayarlı tomografide hareketli kameralar histogram matrislerini her bir açıda kaydeder. PET'de ise dönen kameralar yoktur. Ancak histogram matrisleri aynı şekilde oluşturulur. Işımanın gerçekleştiği hedef doku farklı LoR oluşturacaktır. Tam halka PET'de farklı zamanlarda oluşan her LoR projeksiyon matrisi şeklinde kaydedilir. Oluşturulan matrislerin her bir LoR'da histogramdaki konumunu belirtmek için bir açı ve uzaklık değeri bulunur [100]. Projeksiyon verilerinden elde edilen 2 boyutlu görüntü oluşumu Şekil 1.10'da gösterilmiştir.

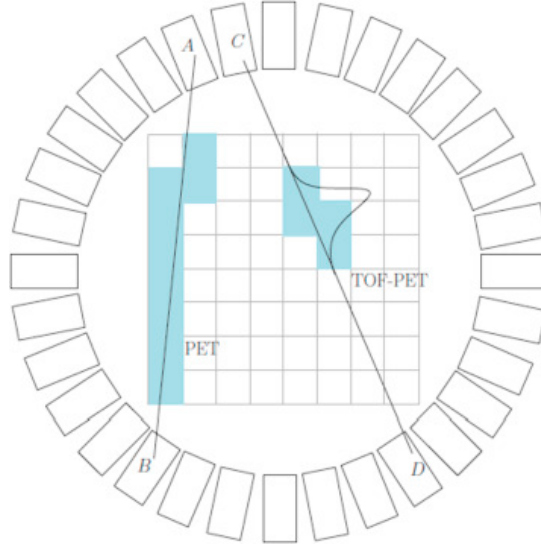


Şekil 1.10. Sinogram ve görüntü oluşumu [100]

Oluşturulan histogram matrisleri sayısal olarak depolanır sonrasında 2 boyutlu histogram verileri bilgisayarda Fourier dönüşüm yöntemi ve FBP (Filtered Back Projection) yöntemi gibi histogram birleştirme algoritmaları ile kesit görüntülerine dönüştürülür ve FoV içindeki ışınlar 3 boyutlu bir görüntü şeklinde ifade edilmiş olur [101].

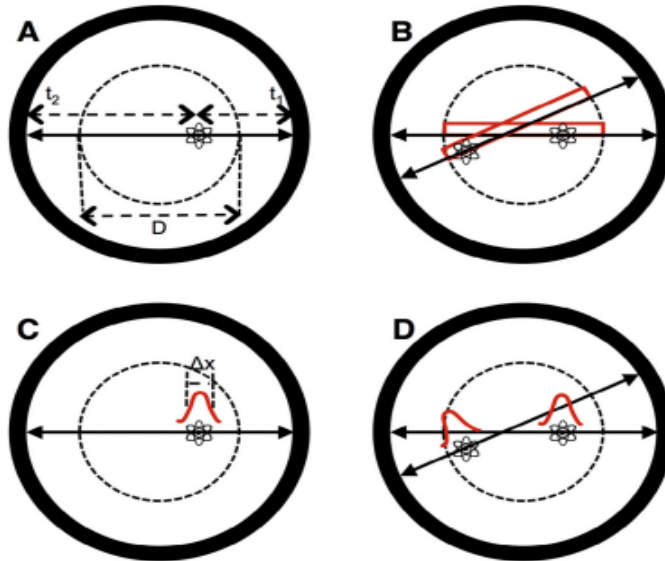
1.4. PET’de Zaman Kavramı ve ToF PET Sistemi

FoV içerisinde gerçekleşen anihilasyon olayı karşılıklı sıralanmış halka dedektörlerine eşit mesafede gerçekleşmiyor olabilir. Bu nedenle anihilasyon olayı sonucu ortaya çıkan anihilasyon fotonları karşılıklı LoR üzerindeki dedektörlere farklı zaman aralığında ulaşır. ToF PET teknolojisi, anihilasyon fotonlarının dedektörlere çarpma süreleri arasındaki farktan anihilasyon olayının meydana geldiği konumu geleneksel PET sistemine göre daha hassas saptamayı amaçlar. Bu teknolojiye görüntü oluşumu öncelikle yeniden inşa mimarisini kullanmak yerine histogram imajlarının oluşmasını sağlamaya yöneliktir. ToF PET sisteminde pozisyonlama işlemi geleneksel PET sistemine göre daha hassas yapılmaktadır [102]. Geleneksel PET ve ToF PET sistemine ait FoV içerisindeki uyarılma durumu Şekil 1.11’de gösterilmiştir.



Şekil 1.11. Geleneksel PET ve ToF PET LoR [103]

Geleneksel PET’de, sistem zamanlama çözünürlüğünde (Δt) fotonların algılayıcılara varış zamanı ölçümü, LoR üzerindeki anihilasyon noktasının doğru bir şekilde lokalizasyonunu sağlamaz ve bu nedenle görüntü oluşturma sırasında bu amaç için kullanılmaz. ToF PET’de LoR üzerindeki anihilasyon noktasının yeri yaklaşık olarak iki fotonun varış zamanlarındaki ($t_2 - t_1$) farkla belirlenir. Bu durum Şekil 1.12A’da grafiksel olarak gösterilmiştir. Ayrıca tam bir LoR uzunluğu boyunca tek bir anihilasyon yeri olasılığının varsayılması, birden fazla LoR’dan (Şekil 1.12B) örtüşen görüntü hatlarında gürültü korelasyonlarına yol açar ve bu nedenle görüntünün SNR’ını etkiler [77].



Şekil 1.12. PET’te zaman tespitinin gösterimi [104]

Anhilasyon fotonlarının dedektörlere ulaşma zamanları arasındaki fark Denklem (1.2)'de;

$$\Delta t = t_2 - t_1 \quad (1.2)$$

şeklinde ifade edilirse ve anhilasyon fotonlarının dedektörlere olan mesafe farkı (Δd);

$$\Delta d = c \frac{\Delta t}{2} \quad (1.3)$$

eşitliği ile tanımlanabilir. Denklem (1.3)'te anhilasyon fotonlarının 1 saniyede aldıkları yol ışık hızıdır ($c=3 \times 10^8$ cm/sn).

Denklem (1.3)'e göre 1 cm uzaysal çözünürlüğe ulaşmak için 66 ps zamansal çözünürlük gereklidir. Zamansal çözünürlük, anhilasyon noktasını bulmak için yeniden yapılandırma algoritması tarafından kullanılır. ToF PET sisteminde 400-500 ps ($\Delta d= 6,0-7,5$ cm) aralığındaki sistem zamanlama çözünürlüğünde bile, görüntü yeniden yapılandırması sırasında gürültü korelasyonları (Şekil 1.12D) LoR'dan daha küçük olduğundan SNR iyileşmesi sağlanmış olur [77].

Homojen bir anhilasyon olayı grubunda ToF PET'in Denklem (1.4)'te;

$$\text{SNR} \approx \sqrt{\frac{D}{\Delta x}} \quad (1.4)$$

göreceli duyarlılık kazancına yol açtığı gösterilmiştir, burada D görüntülenen nesnenin çap uzunluğudur. Duyarlılık kazancının türetilmesi, analitik bir görüntü yeniden yapılandırma algoritması için geçerlidir. Denklem (1.4)'te tanımlandığı gibi ToF'dan kaynaklanan duyarlılık kazancının, ToF görüntülerinde rastgele çakışmaların azaltılmış etkisine bağlı olarak aktivite seviyesinin bir fonksiyonu olarak arttığını göstermiştir. 3D PET için NEC (Noise Equivalent Count);

$$\text{NEC} \approx \frac{D}{\Delta x} \quad (1.5)$$

şeklinde tanımlanır.

Denklem (1.5)'te NEC anihilasyon olaylarındaki çakışma kazancı dolayısıyla hassasiyet kazancını ifade eder [77]. Tablo 1.1'de ToF PET'de zamansal çözünürlük değişiminin SNR ve NEC'e katkısı gösterilmiştir.

Tablo 1.1. Zamansal çözünürlüğün SNR ve NEC ile ilişkisi

Δt (ps)	Δx (cm)	NEC (D=40cm)	SNR (D=40cm)
300	4,5	8,9	3,0
400	6,0	6,7	2,6
500	7,5	5,3	2,3
600	9,0	4,4	2,1

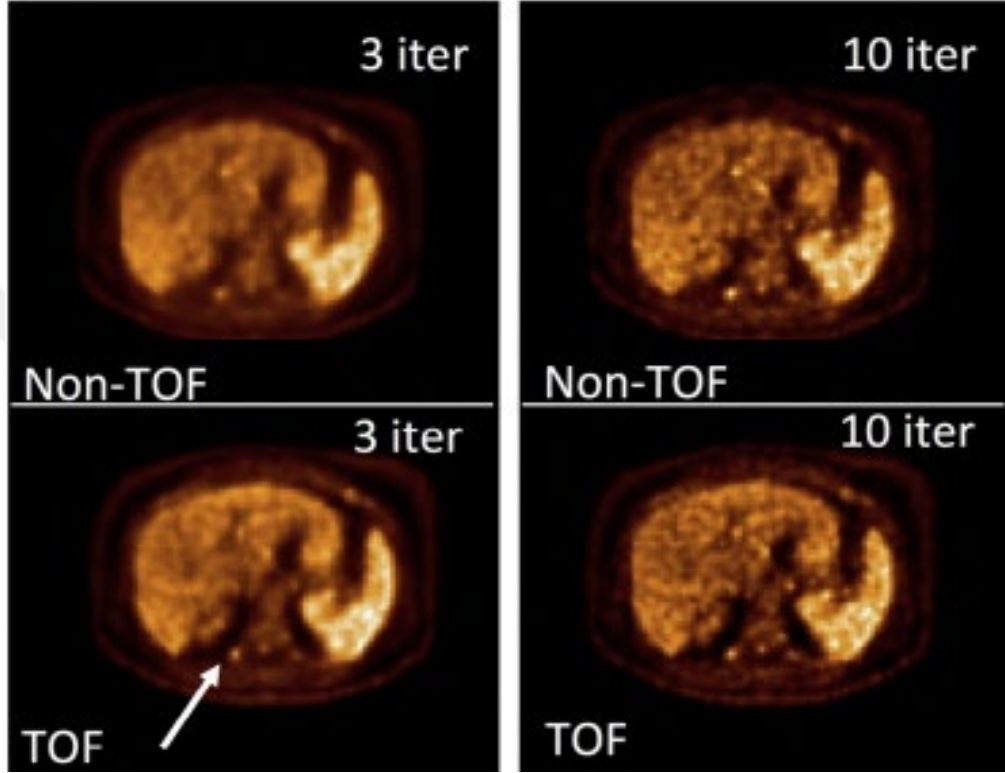
ToF sistemi dahil tüm modern PET tarayıcıları, fiziksel etkilerin sistem modellemesi ile yinelemeli yeniden yapılandırma algoritmaları kullanır [105]. SNR ve NEC, ToF PET'in analitik yeniden yapılandırma algoritmalarıyla (örnek; FBP) görüntü kalitesini iyileştirir. Görüntünün yeniden yapılandırılması için kullanılan yineleme sayısının seçimi ve ayrıca farklı veri düzeltme şemalarının etkisi, NEC gibi etkenler tarafından tam olarak temsil edilmemektedir. Kısaca, ToF bilgisi ile lezyonların kontrast ölçümünün hem fantom çalışmalarında hem de hasta değerlendirmelerinde daha hızlı yakınsadığı gösterilmiştir. Yeniden yapılanma algoritmasının daha az yinelemesi, düşük görüntü gürültüsü ile de ilişkili olduğu için, daha hızlı kontrast yakınsama, lezyon kontrastı, görüntü gürültüsü ve yeniden oluşturulan görüntülerin kalitesini ve nicel doğruluğunu etkileyen tarama süresi açısından kazanç sağlamaktadır [106].

Araştırmalar ToF PET'in;

- Tarama süresini sabit tutarken lezyonun saptana bilirliliğini arttırmasına,
- Aynı lezyonun saptana bilirliliği için tarama süresini azaltmasına,
- Tüm hasta boyutlarında daha düzgün bir lezyon saptana bilirlilik performansına,
- Daha fazla homojen lezyon saptana bilirlilik performansına,
- Farklı kopyalar, farklı organlar ve farklı hastalar üzerinde lezyon alım ölçümünün değişkenliğini azaltmasına katkı sağladığını göstermiştir [107].

Şekil 1.13'te, bir klinik ^{18}F -FDG hasta çalışmasından yeniden inşa edilmiş enine dilimler gösterilmektedir. Aynı veri seti ToF ve ToF olmayan algoritmalar ile yeniden oluşturulmuştur. 3 yinelemeden sonra, ToF yeniden yapılanma algoritması doğru bir çözünürlük sağlamıştır. ToF olmayan yeniden yapılandırma algoritması ise, doğru

özünürlük saęlamak için 10 yineleme gerektirmiştir. Bununla birlikte hem ToF hem de ToF olmayan görüntüler aynı zamanda 10 yineleme için görüntülerdeki gürültüyü artırır. Özet olarak, ToF görüntüsü, ToF olmayana kıyasla, yüksek lezyon kontrastlı düşük gürültüye ulaşabilir; bu durum, SNR’da etkili bir kazanç olarak yorumlanabilir [77].



Şekil 1.13. ¹⁸F-FDG çalışmasının yeniden yapılandırılmış enine dilimleri [77]

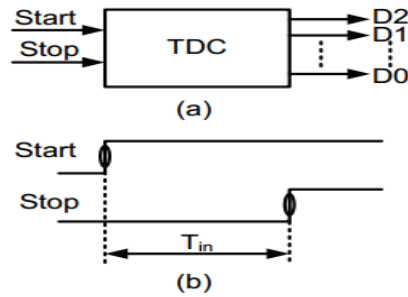
ToF PET’te belli zaman penceresinde gelen anhilasyon olayı sonucu oluşan gama fotonlarının, karşılıklı detektörlere ulaşma zaman farkı ölçümleri TDC’ler aracılığı ile yapılabilmektedir [61, 62, 69, 108].

2. TDC MİMARİSİ

Bu bölümün amacı, TDC tekniklerini gözden geçirmek ve PET görüntüleme sistemleri için uygun mimariyi seçmektir. Bu bölümde hem geleneksel TDC'ler hem de son dönemde üzerinde çalışılan yeni mimari yaklaşımına sahip TDC'ler sunulmuştur. TDC mimarilerinin karşılaştırması da anlatılmıştır.

ToF özelliğine sahip olan PET'in, geleneksel pozitron tomografisine kıyasla daha iyi bir yeniden yapılandırılmış görüntü sağladığı bilinmektedir [83]. SNR'deki artış esas olarak görüntülenen hastanın boyutuna, dedektörün gerçek çözünürlüğüne ve ToF'un çözünürlüğüne bağlıdır. ToF PET yaklaşımında, tespit edilen her olay için, iki 511 KeV foton arasındaki uçuş farkının zamanının ölçülmesi, anihilasyon olayının pozisyonu için yaklaşık bir sonuç sağlar. Bu yaklaşım doğrudan iki fotonun varış zamanını ölçme kabiliyeti ile sınırlıdır [56, 61, 65].

TDC, iki sinyal arasındaki ("Başlat" ve "Durdur") zaman farklarını ölçen ve bu zaman aralığının sayısal gösterimlerini sağlayan bir elektronik entegre devredir. TDC'nin temel blok diyagramı Şekil 2.1(a)'da gösterilmiştir. Bir TDC'nin işlevi ADC ile aynıdır. TDC, ADC'lerdeki voltaj veya akım farkları yerine zaman farkıyla ilgilenir. Şekil 2.1(b)'de görüldüğü gibi ölçülen süre, başlat ve durdurun pozitif kenarları arasındaki faz farkı olarak tanımlanır [109-111]. Giriş sürekli zaman sinyalleridir. Çıkışlar sayısal kodlardır. Uyumsuzlukların ve gürültünün etkisinden dolayı, TDC'nin transfer eğrisi ideal eğriyi saptırır ve nicemleme hataları oluşturur [64].



Şekil 2.1. Zaman-sayısal dönüşümünün temeli [64]

TDC’de ölçülen süre ve çıkış sayısal kodları arasındaki genel ilişki Denklem (2.1)’de verilmiştir;

$$T_{in} = T_{LSB} \cdot \sum_{k=0}^{n-1} D_k \cdot 2^k \quad (2.1)$$

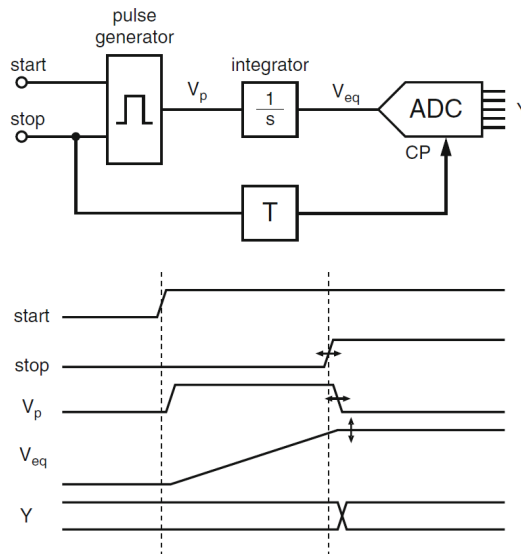
Burada T_{in} başlat ve durdur arasında ölçülen zaman aralığıdır. T_{LSB} , minimum zaman ölçüm birimidir. n ve D , sırasıyla TDC çıkışlarının bit sayısı ve sayısal kodlarıdır.

2.1. TDC Yaklaşımları

Bu bölümde literatürde çalışılmış TDC mimarileri genel özellikleriyle açıklanmıştır. Ayrıca zaman sayısal dönüşümünün temel anlayışını sağlamak için TDC mimarilerinin karşılaştırılması ve performans ölçütlerinin açıklanması da amaçlanmaktadır.

2.1.1. Analog TDC

Analog TDC, bir TAC (Time-to-Amplitude Converter) ve yüksek çözünürlüklü bir ADC’den oluşur. Analog TDC mimarisi ve zaman grafiği Şekil 2.2’de gösterilmiştir. TAC genellikle kapasitörden oluşan akım entegrasyon devresi tarafından uygulanır. Sabit bir voltaj sinyali sağlamak için bir örnekleme ve tutma devresi gereklidir. Yüksek çözünürlüklü bir ADC, örneklenen voltaj sinyalini TDC için ikilik kodlara dönüştürür [112].



Şekil 2.2. Analog TDC mimarisi [2]

Analog TDC’de, kapasitör şarj akımı (I_{cp}) sabit tutulup devrede meydana gelen nicemleme hatası, devre hatası ve gürültü hatası gibi hataları ihmal ederek, giriş zaman aralığı ile sayısal çıkış arasındaki ilişki;

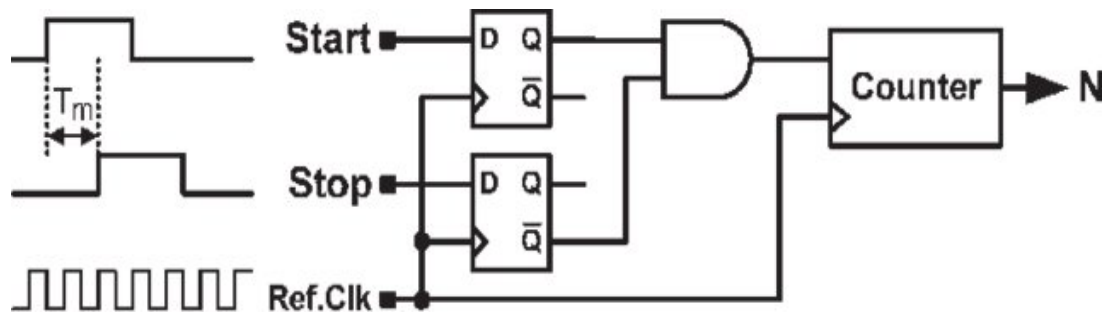
$$T_{in} \approx \frac{C_c \cdot V_{LSB}}{I_{cp}} \sum_{k=0}^{n-1} D_k \cdot 2^k \quad (2.2)$$

şeklinde ifade edilebilir. Denklem (2.2)’de C_c yüklü kapasitanstır. T_{in} başlat ve durdur sinyalinden oluşturulan giriş zaman aralığıdır. V_{LSB} , minimum gerilimli voltajdır. D_0 ’dan D_{n-1} ’e kadar olan değerler ADC’nin sayısal çıkışlarıdır.

Denklem (2.2)’de, ADC kullanan TDC performanslarının hem entegre hassasiyetine hem de ADC’nin çözünürlüğüne bağlı olduğu anlamına gelir. Bununla birlikte, TAC ve ADC temel olarak teknoloji ölçeklendirmesi için uygun olmayan analog devreler kullanır. Yüksek performanslı analog ve karışık sinyal devrelerinin tasarımı oldukça karmaşıktır. Dahası, analog devre büyük statik güç tüketimine neden olur [113].

2.1.2. Sayaç tabanlı TDC

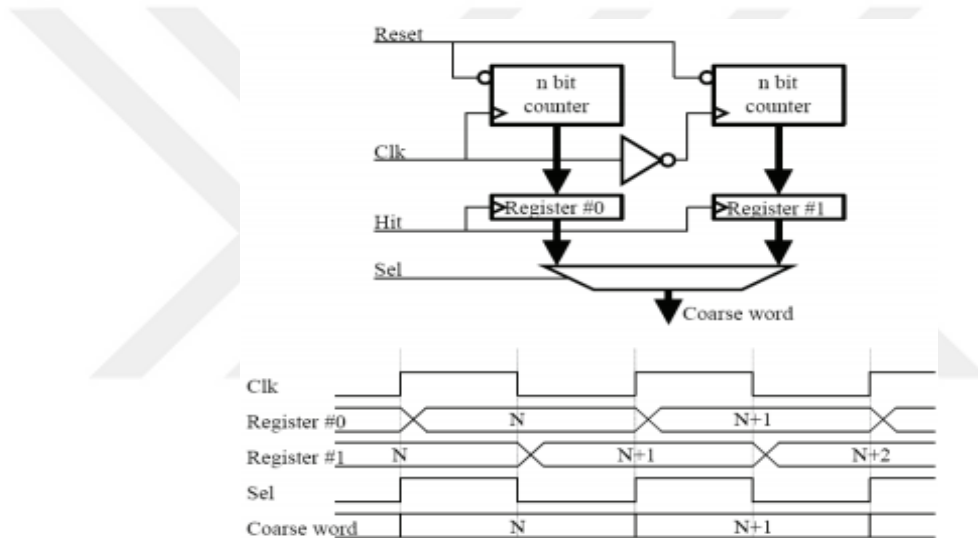
Sayaç tabanlı TDC zaman sayısal dönüşümleri için kullanılan ilk sayısal yapılarıdır. Mimariye ait genel blok diyagram Şekil 2.3’te gösterilmiştir. Ölçülen süre, saat süresi ile çarpılan sayıya eşittir. CMOS (Complementary Metal Oxide Semiconductor) ve FPGA tabanlı çeşitli teknolojilerde geniş kapsamlı ölçüm ve daha kolay tasarım konusunda avantajlara sahiptir [64, 114].



Şekil 2.3. Sayaç tabanlı TDC mimarisi [115]

Sayaç tabanlı TDC mimarisinde, başlat ve durdur sinyalleri, bir etkinleştirme sinyali üretmek için flip flop tarafından işlenir. Bu etkinleştirme sinyali sayacı çalıştıran saatin genişliğini kontrol eder. Etkinleştirme sinyali lojik-1 olarak ayarlandığında sayaç

saymaya başlar. Sayacın çıkışı başlat ve durdur arasındaki zaman farkını ifade eden sayısal çıkıştır. Bu mimarideki sayaç yalnızca saat girişi dalgalandığında çalışır. Böylece, düşük güç tüketimi elde edilebilir. Bununla birlikte, flip flop ve VE kapısı, zaman bilgisine gecikme gürültüsü ekleyebildiğinden, özellikle yüksek hızlı saat sinyallerinde etkilenir [64]. Saat sinyalinin sadece yükselen kenarında sayım yapılması durdur sinyali geldiğinde saat darbelerinin kaçırılmasına sebep olabilir. Kaçırılan saat darbelerini azaltmak için ikili sayaç tabanlı TDC mimarisi kullanılabilir. İkili sayaç tabanlı TDC mimarisinin blok diyagramı ve zaman diyagramı Şekil 2.4'te gösterilmiştir. Bu mimaride, iki sayaç aynı anda referans saatin hem pozitif hem de negatif kenarlarını kullanarak çalışır [116].



Şekil 2.4. İkili sayaç kullanan TDC [64]

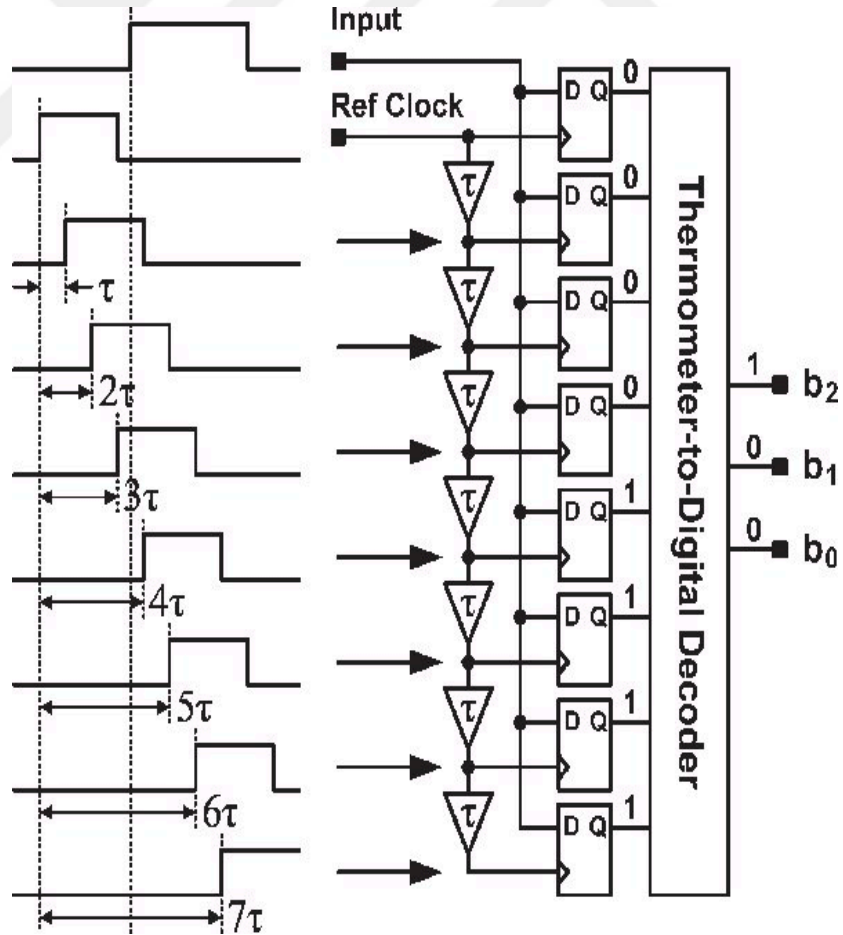
Sayaç tabanlı TDC mimarisinde ölçülen zaman, sayısal çıkış, zaman farkı ve referans saat arasındaki ilişki;

$$T_{in} = T_{clk} \cdot \sum_{k=0}^{n-1} 2^{D_k} \quad (2.3)$$

şeklindedir. Denklem (2.3)'te T_{in} ölçülen zamandır, T_{clk} saat sinyalinin periyodudur, n sayaç bit sayısıdır, D_k TDC'nin sayısal çıkışıdır. Bu denkleme göre, sayaç tabanlı TDC'nin zaman aralığı sayaç bit sayısı ile belirlenir. Sayısal çıkışın doğrusallığı, bit sayısından etkilenmediğinden sayaç bazlı TDC'ler geniş bir ölçüm aralığı elde edebilir. Ancak, çözünürlük referans saatinin frekansı ile sınırlıdır. Bu dezavantaj, yüksek hassasiyetli zaman aralığı ölçümünü sınırlar [117].

2.1.3. Çok fazlı örnekleme tabanlı TDC

Çok fazlı örnekleme kullanan bir TDC mimarisi ya da flaş TDC, Başlat sinyalinin veya referans saat sinyalinin geciktirilip, geciktirilen sinyallerin örneklenmesi mantığına dayanan bir yapıdır. Başlat sinyali veya referans saat geciktirme yapıları MOSFET (Metal Oxide Semiconductor Field Effect Transistor) Gate gecikmesinden yararlanılarak zamanda geciktirme yapan yapılardır. Bu mimaride özdeş gecikme yapılarıyla sabit gecikme sinyalleri üretilir. Üretilen gecikmeli sinyallerin referans saatin darbelerine göre mevcut durumları ortak bir Durdurma sinyali ile örneklenir. Elde edilen veriler ikili kodlara dönüştürülebilen termometre kodlarıdır. Flaş örnekleme şematik gösterimi Şekil 2.5'te gösterilmektedir. Flaş TDC mimarisinin de zamansal çözünürlük, T gecikme yapısının gecikme miktarına göre belirlenir [4]. Bu örnekleme yönteminde, n-bit ikili kodunu üretmek için 2^n adet gecikme yapısı gereklidir [118].



Şekil 2.5. Çok fazlı flaş örnekleme uygulaması [115]

Zaman ölçümünün çözünürlüğü;

$$T_1 = \frac{T_{clk}}{2^n} \quad (2.4)$$

ile gösterilir. Denklem (2.4)'te T_1 her bir gecikme hücresinin gecikme süresi, T_{clk} referans saatinin periyodu ve n sayısal çıkışlar için bit sayısıdır. Flaş TDC mimarisinde ölçülen süre, gecikme hücresinin gecikme süresi ile sayısal çıkışların çarpımına eşittir. Bu eşitlik;

$$T_{in} = T_1 \cdot \sum_{k=0}^{n-1} 2^{D_k} \quad (2.5)$$

denklemleri ile ifade edilir. Denklem (2.5)'te T_{in} ölçülen zamandır, D_k sayısal çıkışların k 'nıncı bitidir.

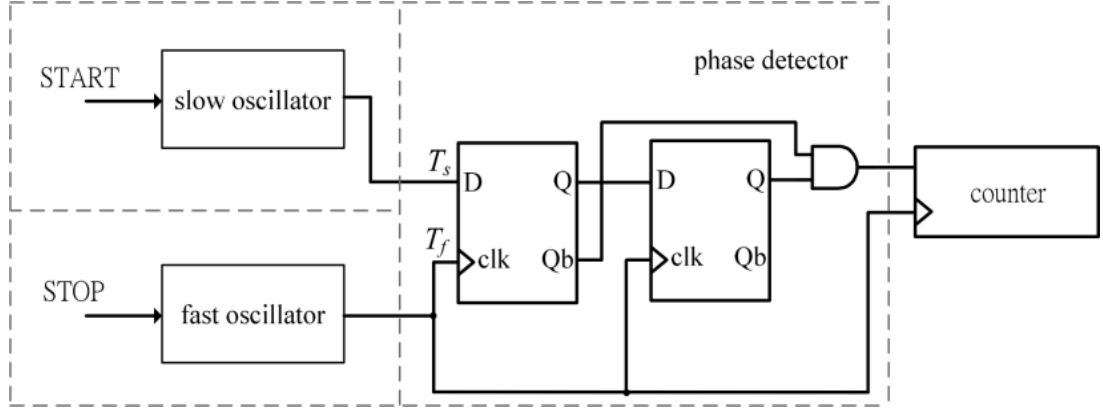
2.1.4. Vernier gecikme hattı kullanan TDC

VDL (Vernier Delay Line) tabanlı TDC mimarisinin şematik gösterimi Şekil 2.6'da gösterilmiştir. Ölçümler Vernier cetveli ölçüm prensibine dayanmaktadır. Gecikme süreleri farklı iki gecikme hücresi, iki farklı gecikme hattına yerleştirilir. Vernier yöntemi kullanılarak iki gecikme hücresinin gecikme süreleri arasındaki fark ölçülebilir. Geciken sinyallerin hangisinin devreye daha erken geldiği karar verici devreler aracılığı ile kaydedilir ve örneklenir [119].

Vernier örnekleme zaman çözünürlüğü;

$$T_{LSB} = T_1 - T_2 \quad (2.6)$$

denklemleri ile ifade edilebilir. Denklem (2.6)'da T_1 ve T_2 , iki gecikme hattındaki gecikme hücrelerinin gecikme süreleridir.

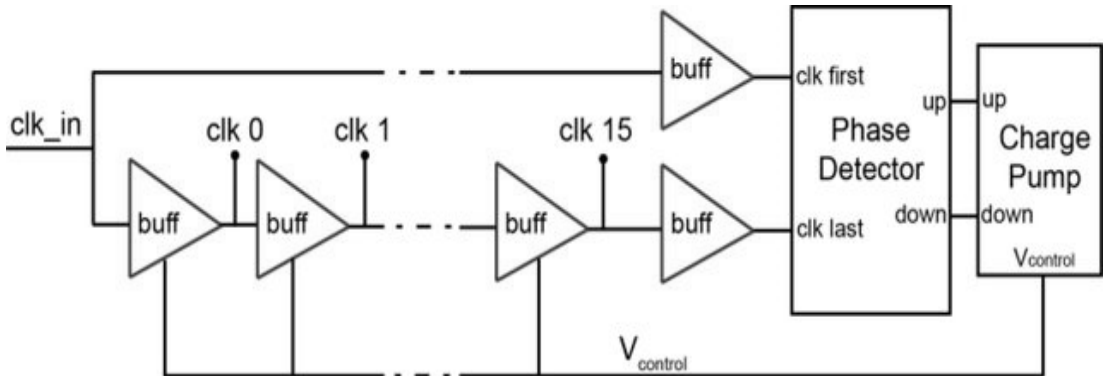


Şekil 2.6. Vernier gecikme hattı tabanlı TDC mimarisi [120]

2.1.5. DLL tabanlı TDC

Sayısal elemanların kullanıldığı gecikme zinciri, sadece üretilen teknoloji ile sınırlanan Gate gecikmesinin çözünürlüğüne erişebilir. DLL (Delay Locked Loop) içinde analog gecikme hücreleri kullanılarak Gate gecikme süresinin altında çözünürlükler elde edilebilir [121]. Bununla birlikte DLL dizisi, VDL ve çoklu vuruş örnekleme gibi zaman eklemeli devreler, daha küçük zaman aralıklarını elde etmek için kullanılabilir [122].

DLL tabanlı VCDL (Voltage Controlled Delay Line), bir saat periyodunda kolayca çok fazlı gecikmeli saat sinyalleri üretebilir. Şekil 2.7’de tampon DLL tabanlı gecikme hücresi bir şarj pompasına gömülmüştür. Örnekleme saati olarak bir referans saat sinyali kullanılır. Saat sinyalinin pozitif bir kenarı geldiğinde, gecikme yapılarının o anki durumu faz algılayıcıyı ile örneklenir ve örneklenen veriler ikili kodlara dönüştürülür [123].



Şekil 2.7. Tek bir DLL tabanlı TDC [123]

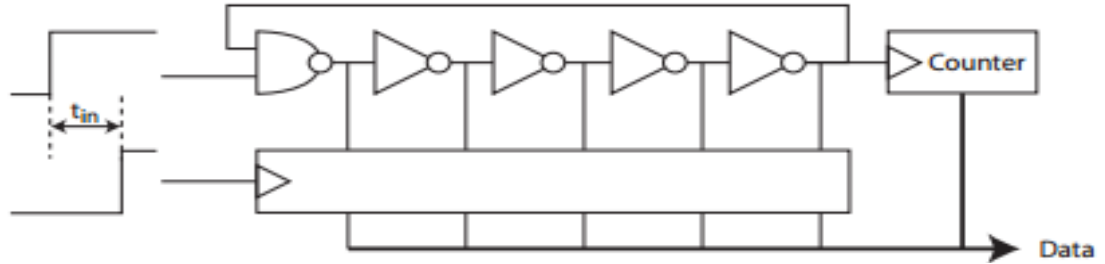
Tek bir DLL hattı kullanan TDC'nin çözünürlüğü;

$$T_{\text{LSB}} = \frac{T_{\text{clk}}}{N} \quad (2.7)$$

eşitliği ile ifade edilir. Denklem (2.7)'de T_{LSB} TDC'nin zamansal çözünürlük boyutunu belirtir. T_{clk} saatin periyodudur. N DLL'deki gecikme hücrelerinin sayısıdır. T_{clk} kullanılan teknoloji ile sınırlandırıldığından, gecikme yapısı sayısını artırmak çözünürlüğü artırır ancak gecikme hücresinin minimum gecikme süresi de kullanılan teknoloji tarafından sınırlandırılır. Ayrıca, gecikme hücrelerinin uyumsuzluğu, çok sayıda gecikme hücresinin devreye eklenmesine izin vermez [124].

2.1.6. Halka osilatör tabanlı TDC

Çok fazlı örnekleme kullanan yüksek çözünürlüklü TDC'ler için çözünürlük gecikme hücrelerinin gecikme süreleri ile belirlenir. Bu sorun RO (Ring Oscillator) TDC mimarisi kullanılarak üstesinden gelinebilir ve ps düzeyinde hassasiyet elde edebilir. RO TDC mimarisine ait blok diyagram Şekil 2.8'de gösterilmiştir. RO TDC mimarisinde Başlat sinyali bir halka osilatörünü tetikler. Bir sayaç osilatör salınımlarının sayısını takip eder. Durdurma sinyali aktif olduğunda osilatörlerin o anki durumlarının bir anlık görüntüsü alınır [125].



Şekil 2.8. RO tabanlı TDC [126]

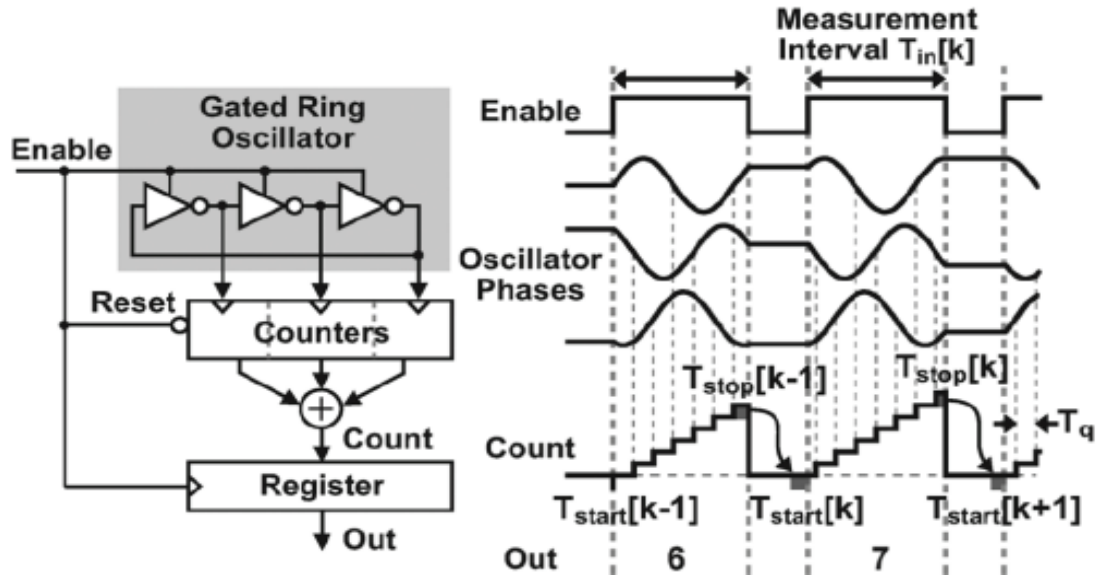
Serbest çalışan osilatörler başlat ve durdur sinyalinin aktif olduğu iki farklı anda önceki pozisyonlarına göre farklı konumda olurlar. Bu durum bir nicemleme hatası şeklinde;

$$T_{\text{in}}[k] = T_{\text{stop}}[k] - T_{\text{start}}[k] \quad (2.8)$$

ifade edilebilir. Her yeniden ölçümde başlat sinyali nicemleme hatasına katkı sağlar.

2.1.7. Anahtarlama tabanlı halka osilatör tabanlı TDC

RO tabanlı TDC mimarisinde osilatörler, belli bir sınırlandırıcı etken olmadan sürekli olarak salınım yaparlar. Bu durum güç tüketimini çok fazla artırır [127]. Anahtarlama GRO (Gated Ring Oscillator) TDC mimarisinde osilatörler etkinleştir sinyalinin aktif olduğu aralıkta osilasyon yaparlar. GRO TDC'nin mimarisi ve prensibi Şekil 2.9'da gösterilmektedir. GRO TDC, faz ölçümleri için osilatörün çoklu çıkışlarını kullanan osilatör bazlı TDC'ye benzer. Bununla birlikte, GRO TDC sadece osilatörün belirli bir aralık ölçümü sırasında faz geçişine sahip olmasını sağlar. GRO çıkışları sayacı yönlendiren saatler olarak kullanılabilir. Etkinleştir sinyali düşük seviyede olduğunda osilatörler donma konumuna geçer. Bu anda, tüm sayıcıların toplam sayıları ikili toplayıcı tarafından toplanır. Sayılan sayının toplamı ölçülen zaman aralığı ile orantılıdır [128].



Şekil 2.9. GRO TDC blok diyagramı ve zaman diyagramı [128]

GRO TDC mimarisinde başlat sinyali bir önceki osilatörün çıkış sinyali şeklinde;

$$T_{start}[k] = T_{stop}[k-1] \quad (2.9)$$

ifade edilir. Bu özellik zaman aralığı ölçümünün genel nicemleme hatası olarak ifade edilebilmesi demektir. Burada T_{start} ve T_{stop} , sırasıyla başlangıç zaman aralığı ve bitiş zaman aralığıdır, k ölçümlerin sıra sayısıdır. Denklem (2.8)'de T_{start} yerine Denklem (2.9) yazılırsa nicemleme hatası;

$$T_{in} [k] = T_{stop} [k] - T_{start} [k] = T_{stop} [k] - T_{stop} [k-1] \quad (2.10)$$

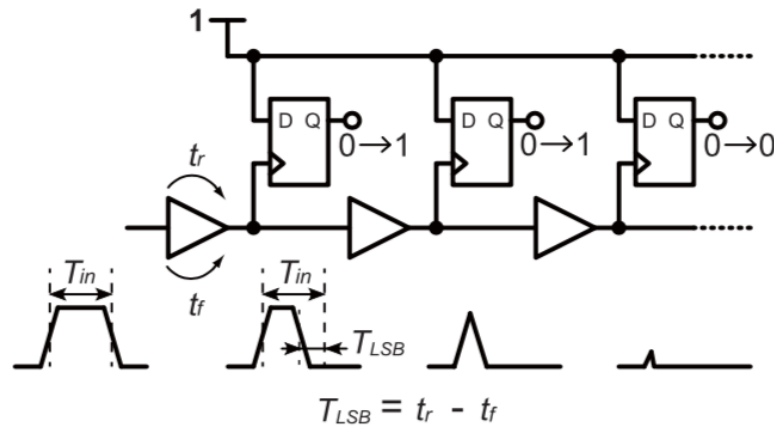
şeklinde elde edilir. Denklem (2.10) düzenlenirse nicemleme hatası;

$$T_{in} [k] = (1 - z^{-1}) T_{stop} [k] \quad (2.11)$$

eşitliği ile gösterilebilir. Bir sonraki nicemleme hatası öncekinden çıkarıldığı için, Denklem (2.11) frekans alanındaki nicemleme hatasının birinci dereceli bir gürültü şekillendirmesine karşılık gelir [128]. Ayrıca RO yapısı ve GRO yapısı Vernier prensibine uyarlanabilir. VGRO (Vernier Gated Ring Oscillator) mimarisi GRO yapısında olduğu gibi birinci dereceli gürültü şekillendirmesi sağlamaktadır.

2.1.8. Darbe daraltma gecikme hattı TDC

PS (Pulse Shrinking) gecikme hattını kullanan TDC mimarisi, ps seviyesinde zaman çözünürlüklerine ulaşabilen düşük güç tüketimine sahip bir TDC mimarisidir. Mimari ve çalışma prensibi Şekil 2.10'da gösterilmiştir. Bu mimaride Başlat sinyali ile Durdur sinyali arası zaman farkı bir gecikme hattı üzerinden örneklenir. Gecikme yapılarının giriş sinyalinin, yükselen kenarının lojik-0 seviyeden lojik-1 seviyesine yükselme süresi (t_r) ile düşen kenarının lojik-1 seviyesinden lojik-0 seviyesine düşme süresi (t_f) farklıdır. Bu farklılıktan dolayı giriş sinyali gecikme çizgisinde sabit genişlikte daraltılır. Giriş sinyalinin gecikmiş yükselen kenarları düşme kenarı süresine yaklaştıkça giriş sinyali daraltılır ve en sonunda ortadan kalkar. Sonrasında gecikme çizgisinin çıktıları Durdur sinyali gelinceye kadar örneklenir [129].



Şekil 2.10. PS TDC mimarisi ve çalışma prensibi [129]

PS hattında iki farklı evirici yapısı kullanılması gerekmektedir. İlki kazançsız standart evirici yapısı olabilir. Diğeri ise kazanç sağlayan evirici yapısıdır. Transistörlerin giriş kapasitansı nedeniyle darbe sabit bir zaman aralığında küçülecektir. Bu daralmış gecikme aralığı, transistörlerin boyutuna, eşik voltajına, güç kaynağına, sıcaklığa ve diğeri parametrelere bağlıdır [129].

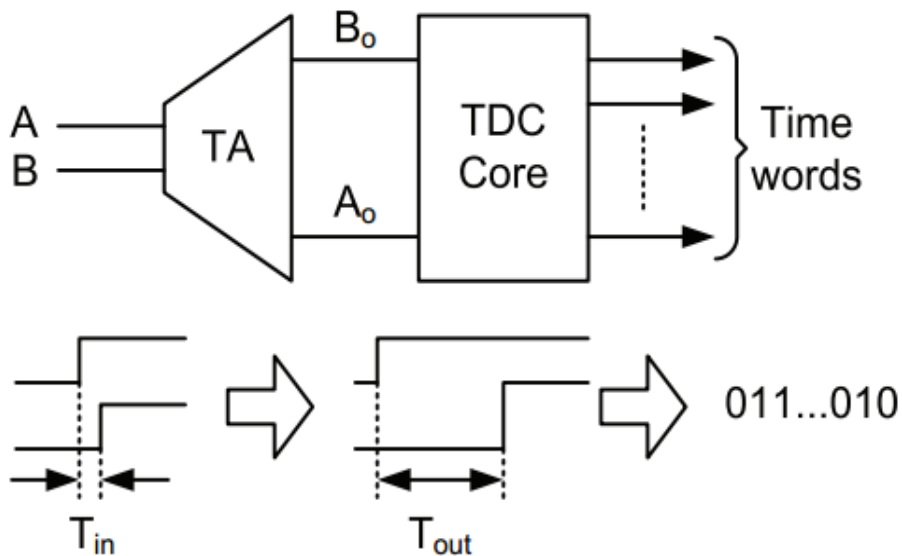
PS gecikme hattı kullanan TDC mimarisinde TDC çözünürlüğü;

$$T_{LSB} = t_r - t_f \quad (2.12)$$

eşitliği ile ifade edilebilir.

2.1.9. Zaman yükselticisi tabanlı TDC

Bir zaman aralığının doğrusal olarak yükseltilmesi TA (Time Amplifier) ile yapılabilir. TA bir voltaj yükselticisine benzemekle beraber TA çok küçük bir zaman farkını işleyebilir. Bununla birlikte TA'nın transfer özellikleri doğrusal değildir. TA tabanlı bir TDC'nin mimarisi Şekil 2.11'de gösterilmektedir. TA tabanlı mimaride kullanılan TDC, bir TAC ve ADC kullanan bir yaklaşım, DLL tabanlı TDC veya VDL TDC olabilir. Bu mimaride giriş zaman aralığı TA tarafından yükseltilip TDC bloğu ile sayısallaştırılır. Giriş zaman aralığı TA bloğu çıkışında zaman ekseninde genişletilmiş olur [130].



Şekil 2.11. TA tabanlı TDC mimarisi [64]

TA tabanlı mimaride TA'nın davranışı;

$$T_{out} = K_{TA} \cdot T_{in} \quad (2.13)$$

eşitliği ile ifade edilebilir. Denklem (2.13)'te T_{in} ve T_{out} giriş ve çıkış zaman aralığıdır. K_{TA} , TA'nın kazancıdır. K_{TA} doğrusal olmadığından, TA tabanlı TDC mimarisinde bir kalibrasyon devresi gereklidir. TDC bloğunun sayısal çıkışları ile TA çıkışı arasındaki ilişki;

$$T_{out} = T_{LSB} \cdot \sum_{k=0}^{n-1} D_k 2^k \quad (2.14)$$

şeklinde ifade edilebilir. Denklem (2.14)'te T_{LSB} TDC'nin zamansal çözünürlüğüdür. D_k sayısal bit sayısıdır. Denklem (2.13) ve Denklem (2.14) birleştirilirse;

$$T_{out} = \frac{T_{LSB}}{K_{TA}} \cdot \sum_{k=0}^{n-1} D_k 2^k \quad (2.15)$$

eşitliği elde edilir. Denklem (2.15), TA tabanlı TDC'nin performansının hem TA'nın kazanç durumuna hem de TDC bloğunun hassasiyetine bağlı olduğu anlamına gelir.

2.2. TDC Performans Ölçütleri

Bir TDC'nin çalışması ADC'nin çalışmasına benzerdir. Bu nedenle ADC'nin performans değerleri doğrudan TDC devrelerine uygulanabilir [126]. Çözünürlük, DR (Dinamic Range), dönüşüm hızı, doğruluk oranı ve doğrusal olmama bir TDC'yi değerlendirmek için önemli özelliklerdir. Ayrıca, TDC tasarımı için güç tüketimi, çok kanallılık, FoM (Figure of Merit), çip alanı, kalibrasyon gerekliliği ve tek atış hassasiyeti dikkate alınmalıdır. TDC tasarımında beklenen performans ölçütleri, maksimum dönüşüm hızı ve maksimum doğruluk oranı ile minimum güç tüketimi ve minimum alan tüketimine sahipken yüksek çözünürlükte geniş dinamik aralığa sahip olmaktır. Bu bölümde, TDC'lerin performans ölçümünde kullanılabilecek parametreler açıklanmıştır.

2.2.1. Çözünürlük

TDC’de zaman aralıklarını ölçmek önemli bir parametredir. Bir TDC’nin çözünürlüğü, zaman ölçümlerinin minimum birimi olarak tanımlanabilir. Çözünürlük devre özellikleri ve gürültü performanslarına bağlıdır [2]. Ölçülen zaman aralığının T_{in} olduğu varsayılırsa, çözünürlük;

$$T_{LSB} = \frac{T_{in}}{2^N} \quad (2.16)$$

Şeklinde ifade edilebilir. (2.16)’da N TDC çıkışının bit sayısıdır, T_{LSB} TDC’nin zamansal çözünürlüğüdür.

2.2.2. Dinamik aralık

DR, TDC’nin performansını tahmin etmek için başka bir parametredir. DR, TDC kullanılarak ölçülen toplam aralıktır. TDC’nin çözünürlüğü biliniyorsa;

$$DR = 2^N \cdot T_{LSB} \quad (2.17)$$

eşitliği ile ifade edilebilir.

2.2.3. Dönüşüm hızı

Dönüşüm hızı, bir TDC’deki her dönüşüm penceresinde sayısal sinyal işleme hızını ve cihaz gecikmesini değerlendiren bir performans parametresidir. TDC’nin bir sayısal kodu hazırlarken yeni bir olay meydana geldiğinde bu yeni olayı kaçırmadan ölçebilme kabiliyeti olarak tanımlanabilir. Bu parametre yüksek hızlı uygulamalar için çok önemlidir [56].

2.2.4. Doğruluk oranı

TDC’lerde ölçüm sürecinde zaman farkının sayısallaştırılmasına etki eden hata kaynakları vardır. TDC’nin ölçüm sonuçlarına belirsizlik katan bu hata kaynakları, nicemeleme hatası, zamanlama titreşimi ve doğrusal olmama durumlarını içerir. Ölçüm doğruluğu, bu hataların toplamı olarak tanımlanabilir.

2.2.5. Doğrusal olmama

Doğrusal olmama performansları DNL (Differential Non-Linearity) ve INL (Integral Non-Linearity) şeklinde ifade edilebilir. DNL, TDC'nin giriş çıkış transfer fonksiyonunda her adımının ideal değerinden (T_{LSB} 'den) sapması olarak tanımlanır. Böylece;

$$DNL = T_i - T_{LSB} \quad (2.18)$$

şeklinde ifade edilir. Denklem (2.18)'de DNL diferansiyel doğrusal olmamanın ifadesidir. T_i , ideal transfer eğrisindeki i 'ninci adımın genişliğidir.

INL, tüm ölçümler için her bir adımda meydana gelen sapmanın toplam değeridir [2]. INL'nin hesaplanması;

$$INL_i = \sum_{i=0}^{n-1} DNL_i \quad (2.19)$$

şeklinde ifade edilebilir.

2.2.6. Güç tüketimi

Güç tüketimi hem statik güç tüketiminin hem de dinamik güç tüketiminin ifadesidir. Statik güç tüketimi, güç kaynağı gerilimine ve devre akımına bağlıdır. Statik güç tüketimi;

$$P_{statik} = V_{DD} I_{statik} \quad (2.20)$$

eşitliği ile tanımlanabilir. Denklem (2.20)'de V_{DD} güç kaynağı voltajıdır, I_{statik} toplam statik akımdır. Dinamik güç tüketimi yük kapasitansı, güç kaynağı gerilimi ve giriş sinyalinin saat frekansı ile belirlenir [131]. Dinamik güç tüketimi;

$$P_{dinamik} = CV_{DD}^2 \frac{f}{2} \quad (2.21)$$

eşitliği ile ifade edilir. Denklem (2.21)'de C devrenin toplam yük kapasitansıdır, f saat frekansıdır.

TDC'nin toplam güç tüketimi;

$$P_{\text{toplam}} = P_{\text{statik}} + P_{\text{dinamik}} \quad (2.22)$$

şeklinde statik ve dinamik güç tüketiminin toplamı olarak ifade edilir.

2.2.7. FoM

FoM değeri son dönemde TDC mimarilerinde performans karşılaştırma ölçütü olarak kullanılmaya başlamıştır. FoM, zaman veya genlikte bir seviye hesaplamak için gereken ortalama enerji miktarı olarak ifade edilebilir. Bir TDC tasarımı için FoM değeri TDC'nin güç tüketiminin çıkış bitleri, INL ve örnekleme frekansı ile olan ilişkisi olarak tanımlanmıştır.

Doğrusal bitlerin sayısı;

$$N_{\text{doğrusal}} = N_{\text{bit}} - \log_2(\text{INL} + 1) \quad (2.23)$$

şeklinde tanımlanırsa FoM değeri;

$$\text{FOM} = \frac{P}{2^{N_{\text{Doğrusal}}} \cdot F_s} \quad (2.24)$$

denklemleri ile ifade edilebilir. Denklem (2.24)'te P değeri TDC mimarisinin güç tüketiminin ifadesidir, F_s ise örnekleme frekansıdır.

2.3. Önceki Çalışmalar

Tablo 2.1 ve Tablo 2.2 (Devam)'de son yıllarda literatürde açıklanmış farklı TDC mimarilerine ait çeşitli tasarımların performans çıktıları verilmiştir. Bazı performans ölçütleri tasarlanan TDC mimarisine göre özgünlüğe sahip ölçütlerdir. Bu nedenle genel bir performans ayırımı yapmak zordur. Ancak, zaman çözünürlüğü, DR ve güç tüketimi gibi temel parametre karşılaştırmaları yapılabilir.

Tablo 2.1. Literatürdeki farklı TDC mimarilerinin karşılaştırması

Kaynak	[70]	[34]	[118]	[65]	[4]	[132]	[133]
Yayın Tarihi	2016	2012	2014	2017	2018	2019	2019
Mimari	VGRO	RO	RO	VDL	Flaş	Sayıcı	$\Delta\Sigma$
Tasarım Teknolojisi (nm)	130	90	90	180	130	180	130
Çözünürlük (ps)	7,3	13,58	0,315	400	105	416,7	1,87
DR (ns)	9	111,24	2-840	5	26,38	-	3,5
Besleme Gerilimi (V)	1,2	1,2	1	1,8	1,2	1,8	1,2
Güç Tüketimi (mW)	1,2	18	1,5	180	2	0,744	4,9
INL (LSB)	1,2	-	1,26	-0,5/+1,3	-0,19/+0,5	-0,53/+0,7	-
DNL (LSB)	3,2	-	-	-0,5/+0,3	-0,47/+0,53	-0,88/+0,38	-
Çip Alanı (mm²)	0,03	0,021	0,02	1,76	-	0,035	0,048
Saat Hızı (MHz)	2,4	3,9	80	25	9	-	10,73
Bit Sayısı	7	13	5	6	-	12	7
Tek Atış Hassasiyeti (LSB)	1	-	-	-	100 ps	-	-
Örnekleme Hızı (MS/s)	2,5	-	500	-	10000	-	42,8
FoM (pJ/conv)	-	-	-	-	0,48	-	-
Kanal Sayısı	-	-	-	-	1	8	-
Bant Genişliği (MHz)	-	-	1	-	0,03	-	0,2
Kalibrasyon Gerekliliği	Evet	-	Hayır	-	Hayır	-	Hayır
Kullanım Alanı	Medikal Görüntüleme	-	-	PET	ToF Sensör	Derinlik Sensörü	Haberleşme

Tablo 2.1. (Devam) Literatürdeki farklı TDC mimarilerinin karşılaştırması

Kaynak	[134]	[129]	[60]	[135]	[136]	[128]	[137]
Yayın Tarihi	2015	2018	2015	2017	2011	2009	2018
Mimari	TA	PS	Sayıcı+DLL	VDL	Analog	GRO	Hibrit
Tasarım Teknolojisi (nm)	65	180	65	FPGA	350	130	65
Çözünürlük (ps)	0,9	2	102	2,5	357	6	0,45
DR (ns)	0,016	129,5	418	2-16,5	1460	95 dB	0,2
Besleme Gerilimi (V)	1	1,8	2,4	-	2,5	1,5	1
Güç Tüketimi (mW)	0,2	18	230	212	1,22	31,5	3,9
INL (LSB)	0,25	4,2	-	-2,98/+3,23	0,79	-	1,25
DNL (LSB)	0,2	1,5	0,04	-0,56/+0,46	0,68	-	0,65
Çip Alanı (mm ²)	0,045	0,08	0,3	-	0,126	1	0,089
Saat Hızı (MHz)	50	-	2450	800	175	0,026	17000
Bit Sayısı	4	16	-	10	12	11	8
Tek Atış Hassasiyeti (LSB)	-	1,44 ps	-	-	-	-	1,7
Örnekleme Hızı (MS/s)	50	3,3	-	50	0,4	50	50-200
FoM (pJ/conv)	0,31	0,43	-	-	-	0,23	0,167
Kanal Sayısı	-	-	8	5	-	-	1
Bant Genişliği (MHz)	3	-	-	-	-	1	-
Kalibrasyon Gerekliliği	Otomatik	Otomatik	Evet	Hayır	-	Hayır	Otomatik
Kullanım Alanı	ADPLL	-	PET	-	-	ADPLL	ADPLL

3. TDC TASARIM VE BENZETİMLERİ

Bu bölümde biyomedikal görüntüleme cihazlarında kullanılması için zaman aralığının sayısal bir koda dönüştürülmesi amacıyla TDC mimarileri tasarlanmış ve tasarım aşamaları transistör düzeyinde açıklanmıştır. Ayrıca tasarımı yapılan TDC mimarilerinin birbirleriyle olan ilişkileri incelenmiş ve tasarımda yer alan MOSFET W (Width) ve L (Length) değerleri optimize edilmeye çalışılmıştır.

VLSI tasarım sürecinde, transistör düzeyinde elektronik çizim gerçekleştirilmiştir. Elektronik çizimlerin gerçekleştirilmesinde Mentor Graphics firmasına ait Tanner Tools EDA v16.3 ortamı kullanılmıştır. Tanner Tools EDA yüksek hassasiyete sahip analog/karışık sinyal destekli tasarım ortamıdır.

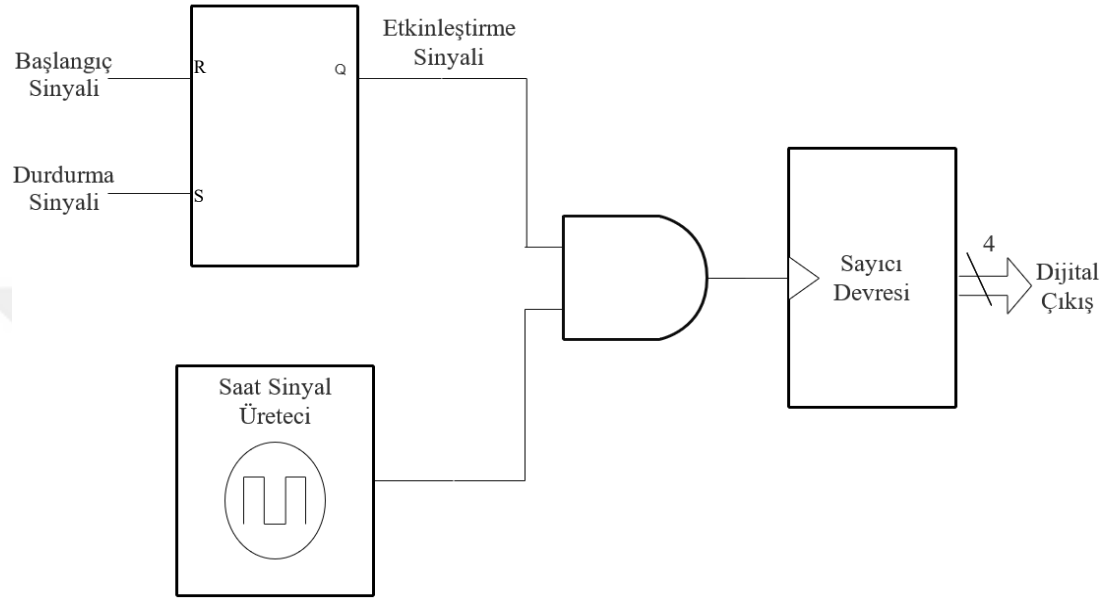
Öncelikle tasarlanacak TDC mimarileri genel bir blok diyagram şeklinde ifade edilmiştir. Sonrasında blok diyagramda yer alan her bir elektronik elemanın Tanner S-Edit şematik çizim ortamında transistör seviyesinde şematik çizimleri gerçekleştirilmiştir. Bu seviyede transistörlerin birbirleriyle olan bağlantı şemaları çıkartılmış ve transistör fiziksel boyutları ayarlanmıştır.

Tasarlanan TDC mimarilerinde; anihilasyon olayı sonucu oluşan gama fotonlarının karşılıklı simetrik PET dedektörlerinden yakın olanına çarptığı ve eşik değeri geçtiği anlamlı sintilasyon sinyali “Başlangıç Sinyali” olarak nitelendirilmiştir. Karşılıklı simetrik PET dedektörlerinden uzak olanına çarpan gama fotonunun oluşturduğu anlamlı sintilasyon sinyali ise “Durdurma Sinyali” olarak nitelendirilmiştir. Ayrıca lojik-1 seviyesi sistem besleme seviyesi (V_{DD}), lojik-0 seviyesi sistem referans seviyesi (GND) olarak ifade edilmiştir.

Analog jenerasyon TDC’lerde dinamik aralık arttıkça güç tüketimi artışı için [138] analog jenerasyon TDC tasarımlarına bu çalışmada yer verilmemiştir. Tasarımı yapılan TDC’ler tamamen sayısal mimari üzerine kurulmuştur.

3.1. Sayıcı Tabanlı TDC

Sayıcı tabanlı zaman sayısal dönüştürücü mimarisinde zaman aralığının sayısallaştırılması 3 aşamada gerçekleşmektedir. Şekil 3.1’de tasarlanan sayıcı tabanlı TDC mimarisinin blok diyagramı gösterilmiştir.



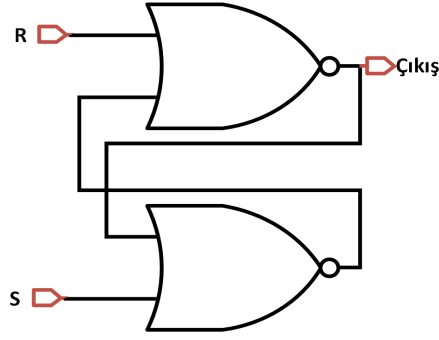
Şekil 3.1. Sayıcı tabanlı TDC blok diyagramı

İlk aşamada başlangıç sinyalinin ve durdurma sinyalinin zaman aralığı olarak temsil edilmesidir. Bu işlem için Tablo 3.1’de gösterilen doğruluk tablosu çıkartılmış ve devrenin elektronik çizimi için S-R flip flop tabanlı bir yapı tasarlanmıştır.

Tablo 3.1. Zaman aralığı sinyali doğruluk tablosu

Başlangıç Sinyali	Durdurma Sinyali	Zaman Aralığı
0	0	Kararsız (0/1)
1	0	1
0	1	0
1	1	0

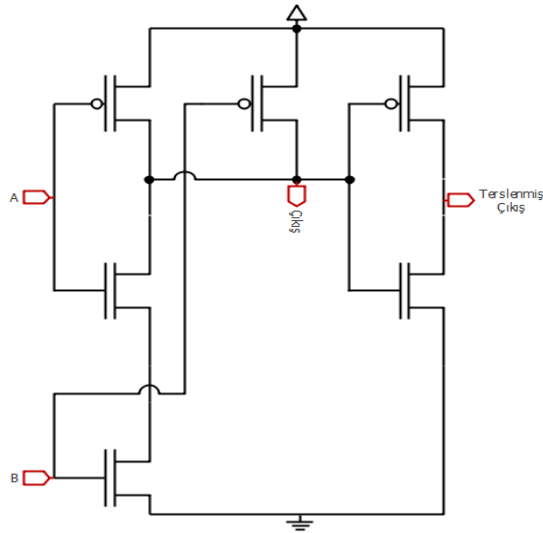
Ancak bu yapının kararlılığı başlangıç ve durdurma sinyalinin lojik-0 olduğu anda sağlanması gerekmektedir. Bu nedenle başlangıç sinyaline lojik-0, durdurma sinyaline de lojik-1 bilgisi atanarak ve zaman aralığının lojik-0 seviyesinde kalması sağlanarak, sistemin kalibrasyonu yapılmıştır. Bu sayede zaman aralığı ilk durumda kararsız halden çıkmış olacaktır.



Şekil 3.2. S-R flip flop mimarisi

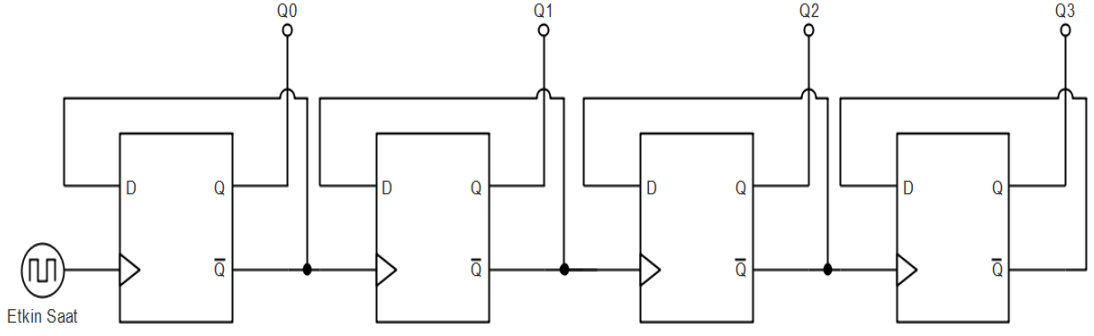
Şekil 3.2’de gösterilen S-R flip flop tabanlı bu yapı geçen zaman aralığını, başlangıç sinyali gelmeye başladığı zaman ile durdurma sinyali gelmeye başladığı zaman arasında bir etkinleştirme sinyali olarak temsil eder.

İkinci aşamada saat sinyaline kazanç sağlanması için, saat sinyali evirici tabanlı tampon yapısından geçirilmiştir. Ardından elde edilen temsili zaman aralığı sinyali ile saat sinyali Şekil 3.3’te gösterilen CMOS tabanlı bir VE kapısından geçirilmiştir. VE kapısı, zaman aralığının lojik-1 olarak temsil edildiği anda, saat sinyalinin çıkışa aktarıldığı; zaman aralığının lojik-0 olarak temsil edildiği anlarda ise saat sinyalinin lojik-0 seviyesine çekildiği bir bant geçiren filtre gibi işlem gerçekleştirmektedir.



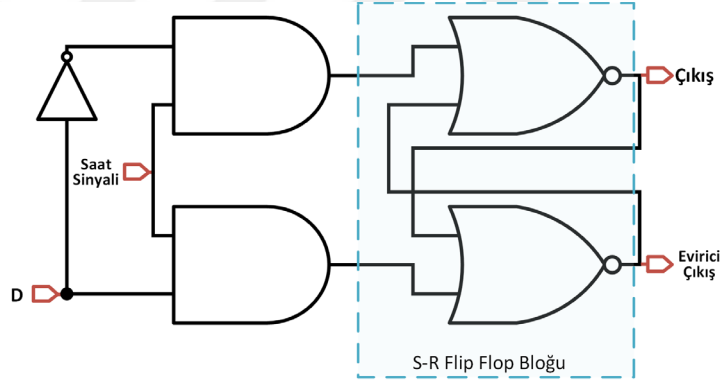
Şekil 3.3. 2 girişli evirici çıkışlı VE kapısı

Devrenin son aşamasında ise belli zaman aralığında elde edilen saat sinyalinin darbe adedi sayıcı yapısı ile sayılarak sayısal bir sonuç elde edilmiştir. Tasarlanan D flip flop tabanlı saat sinyalinin yükselen kenarında tetiklenen ikilik tabanlı sayıcı devresi Şekil 3.4’te gösterilmiştir.



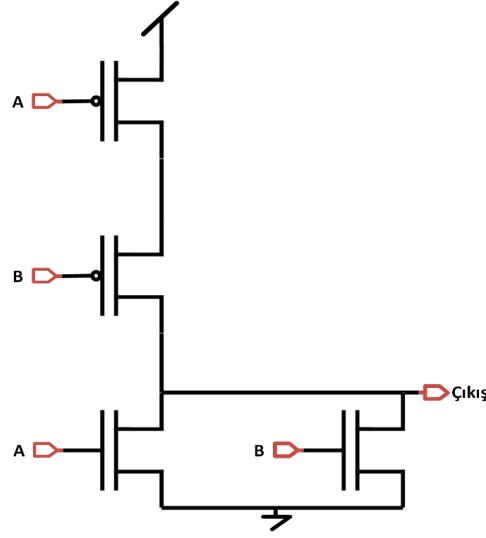
Şekil 3.4. Asenkron 4 bitlik darbe sayıcı

D flip flop mimarisi D girişi ile saat sinyalinin bir VE kapısından geçirilmesi ile D girişinin evirici çıkışının elde edilmesi sonrasında ikinci bir VE kapısından geçirilip, elde edilen çıkışların S-R flip flop tabanlı temel bir flip flop yapısından geçirilmesiyle oluşturulabilir. Şekil 3.5'te asenkron sayıcı yapısında kullanılan D flip flop mimarisinin blok diyagramı gösterilmiştir.



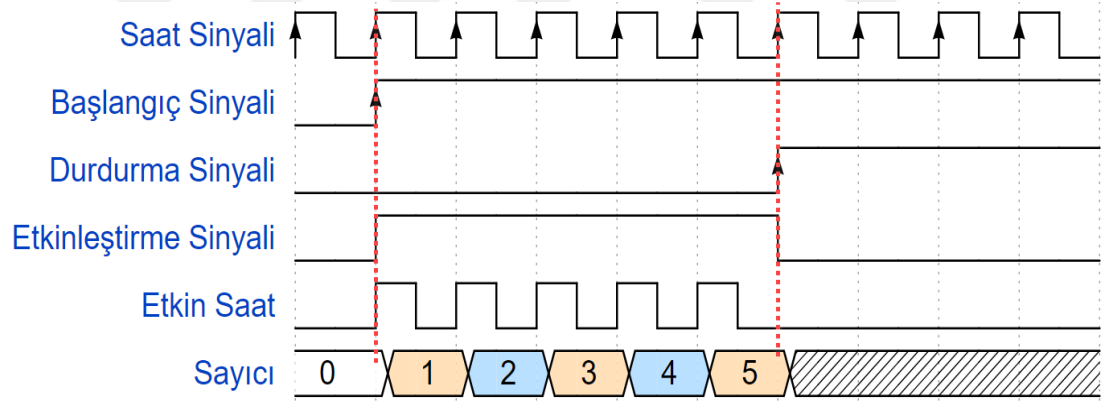
Şekil 3.5. D flip flop mimarisi

S-R tabanlı temel flip flop yapısı 2 adet NOR kapısından oluşmaktadır. S-R girişleri ile zamanın bir sonraki andaki çıkışlarını giriş olarak alır ve tekrar zamana göre çıkış üretir. Tasarlanan S-R flip flop yapısına ait NOR kapılarının CMOS çizimleri Şekil 3.6'da gösterilmiştir. NOR kapısında 2 adet nMOS (n Channel MOSFET) ve 2 adet pMOS (p Channel MOSFET) kullanılmıştır. NOR kapısı giriş sinyallerinin toplamlarının evrilmiş halini çıkışa gönderir.



Şekil 3.6. NOR kapısı CMOS tasarımı

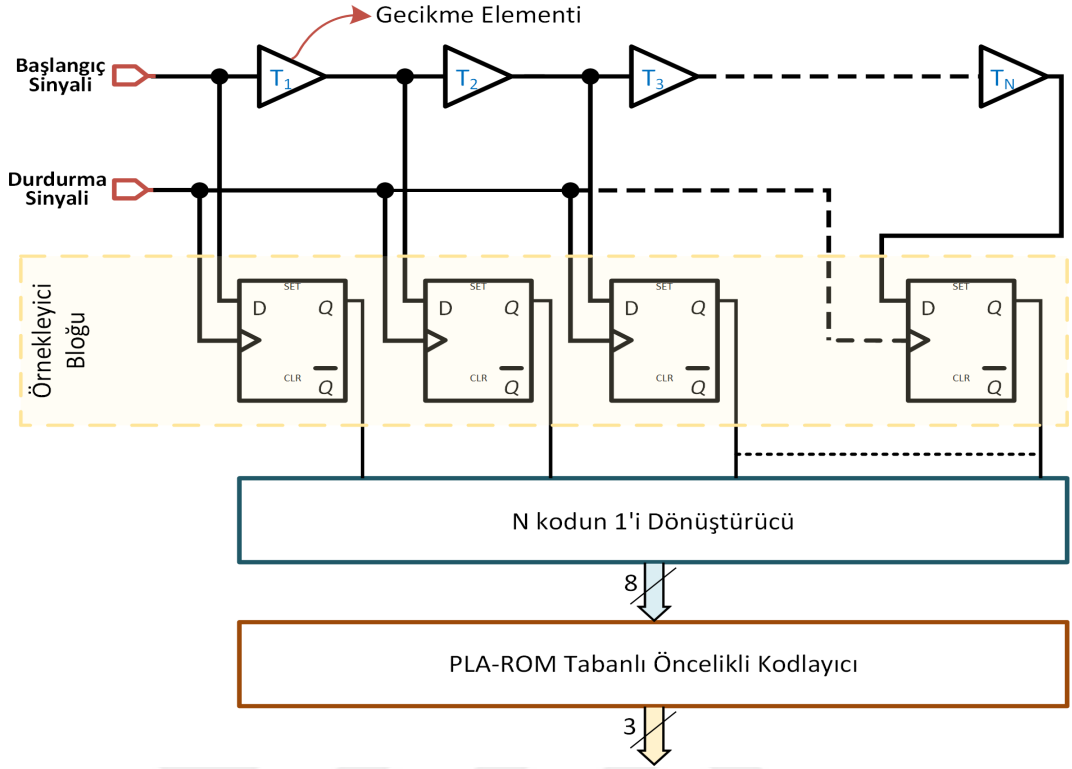
Şekil 3.7’de başlangıç sinyali ve durdurma sinyali arasında geçen zaman farkının sayısal bir çıkış şeklinde ifade edilmesi zaman diyagramı olarak gösterilmiştir. Sayıcı etkinleştirme sinyalinin aktif olduğu süre içerisinde 5 adet saat darbesini ikilik tabanda sayabilmiştir.



Şekil 3.7. Sayıcı tabanlı TDC zaman diyagramı

3.2. Flaş TDC

Çok fazlı flaş zaman sayısal dönüştürücü mimarisi ya da diğer adıyla flaş TDC mimarisinde zaman aralığının sayısallaştırılması 4 aşamada gerçekleştirilmiştir. Flaş TDC yapısına ait genel blok diyagram Şekil 3.8’de gösterilmiştir.



Şekil 3.8. Flaş TDC blok diyagramı

Tasarımın ilk aşamasında başlangıç sinyali gecikme yapısı olarak adlandırılan özdeş yapılardan sabit gecikme aralıklı olarak bekletilerek gecikmiş başlangıç sinyali elde edilmiştir. Bu aşamada gecikme olayı giriş sinyalinin çıkışa aktarılırken elektrik sinyalinin transistörler üzerinden geçerken, transistörlerin anahtarlama hızından kaynaklanan gecikme sayesinde meydana gelmektedir. Gecikme miktarı, gecikme yapılarında bulunan transistör bağlantıları ve transistör boyutlarıyla ilgilidir. Bu bölümde farklı gecikme yapılarına bağlı olarak gerçekleşen gecikme miktarının TDC çözünürlüğüne etkisi de incelenmiştir. Flaş TDC mimarisinin kalan aşamaları farklı gecikme yapılarına göre tasarlanan flaş TDC mimarilerinde ortak olarak kullanılmıştır.

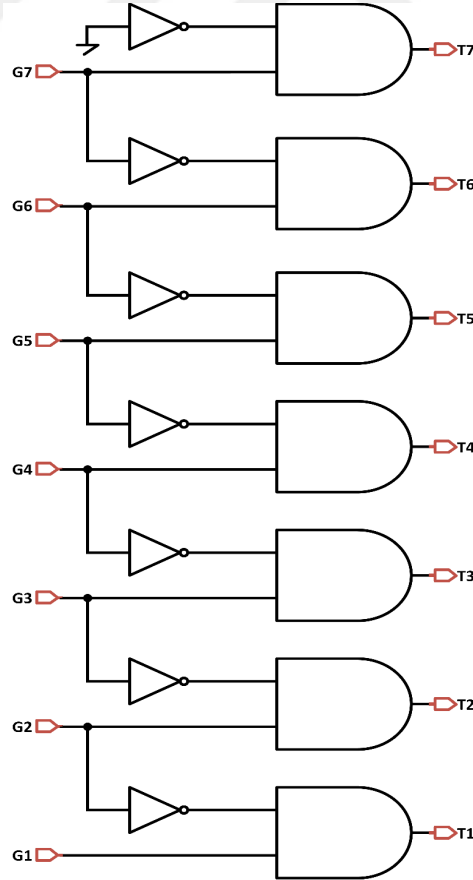
Tasarımın ikinci aşamasında başlangıç sinyali ile durdurma sinyalinin bir örnekleyci mantığıyla birleştirilmesi D flip flop yapısıyla gerçekleştirilmiştir. D flip flop yapısında Şekil 3.5'teki tasarım kullanılmıştır. Örnekleyci bloğu başlangıç sinyalinden türetilen geciktirilmiş sinyaller ile durdurma sinyalinin kesiştiği lojik-1 noktalarını lojik-1, diğer durumları lojik-0 seviyesinde çıkışa aktarır. Başlangıç sinyalinin gelmeye başladığı andan itibaren durdurma sinyalinin lojik-1 seviyesine gelinceye kadar geçen zaman aralığı içerisinde yer alan gecikmiş sinyaller çıkışta lojik-1 olarak etiketlenir. Etiketlenme işlemine LSB'den (Least Significant Bit)

başlanır. Durdurma sinyali gelmeye başladıktan sonra hala gecikmeye devam eden geciktirilmiş başlangıç sinyalleri var ise bu sinyaller lojik-0 olarak etiketlenir. Etiketlenen son sinyal örnekleyicinin MSB'sidir (Most Significant Bit). Örnekleyici bloğunun kullandığı D flip flop yapısına ait doğruluk tablosu Tablo 3.2'de verilmiştir.

Tablo 3.2. D flip flop doğruluk tablosu

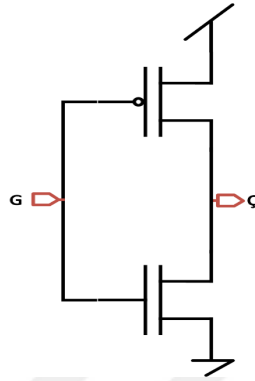
Saat Sinyali	D	Q	\bar{Q}
0	0	Q	\bar{Q}
0	1	Q	\bar{Q}
1	0	0	1
1	1	1	0

Tasarımın üçüncü aşamasında örnekleyici çıkışından elde edilen termometre kodunun öncelikli kodlayıcıda anlamlandırılması gerekmektedir. Bu nedenle termometre kodu ilk önce N kodun 1'i kod çözücü yapısından geçirilmiştir. 3 bitlik termometre kod dönüştürücü yapısı Şekil 3.9'da gösterilmiştir.



Şekil 3.9. 3 bitlik termometre kod dönüştürücü

Örnekleyici yapısının çıkışı bir baloncuk kod şeklinde ifade edilen termometre kodu şeklindedir. N kodun 1'i dönüştürücü bu termometre kodunun lojik-1 olan en yüksek değerlikli bitini lojik-1 olarak ifade edip kalan bitlerin tümünü lojik-0 olarak çıkışa aktarır. Bu yapıda Şekil 3.3'teki VE kapısı ile Şekil 3.10'daki evirici yapısı kullanılmıştır.

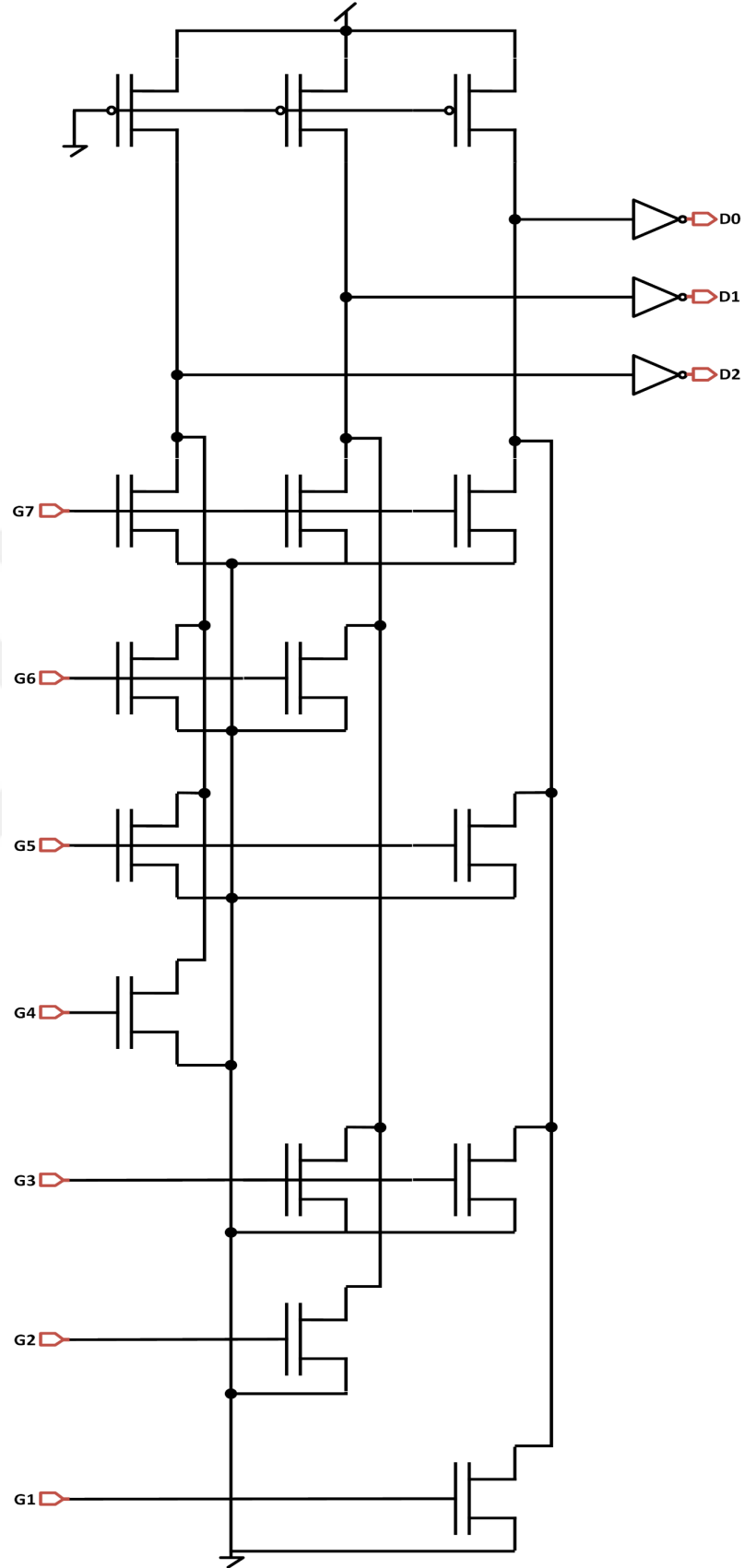


Şekil 3.10. Temel evirici yapısı

Flaş TDC tasarımının son aşamasında termometre kodunun sayısal olarak ifade edilmesi için PLA-ROM (Programmable Logic Array Read-Only Memory) tabanlı öncelikli kodlayıcı tasarlanmıştır. Tasarlanan yapı Şekil 3.11'de gösterilmiştir. Öncelikli kodlayıcı girişine aktarılan lojik-1 seviyesindeki en yüksek değerlikli biti çıkışında sayısal bir kod şeklinde ifade eder. Öncelikli kodlayıcı yapısına ait doğruluk tablosu Tablo 3.3'te verilmiştir. Öncelikli kodlayıcı lojik-1 seviyesindeki en yüksek değerlikli bit haricindeki diğer girişleri önemsiz kılar.

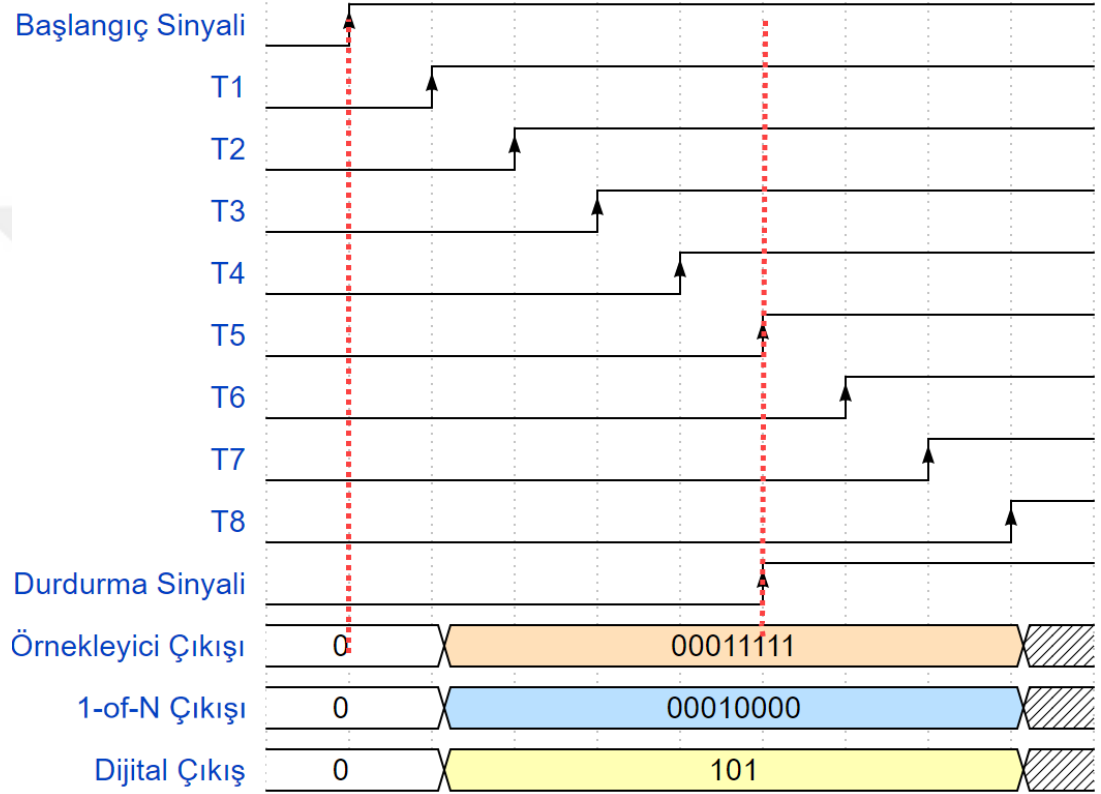
Tablo 3.3. Öncelikli kodlayıcı doğruluk tablosu

N kodun 1'i Girişi								İkilik Çıkış		
T7	T6	T5	T4	T3	T2	T1	T0	D2	D1	D0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	X	0	0	1
0	0	0	0	0	1	X	X	0	1	0
0	0	0	0	1	X	X	X	0	1	1
0	0	0	1	X	X	X	X	1	0	0
0	0	1	X	X	X	X	X	1	0	1
0	1	X	X	X	X	X	X	1	1	0
1	X	X	X	X	X	X	X	1	1	1



Şekil 3.11. 3 Bitlik PLA-ROM tabanlı öncelikli kodlayıcı

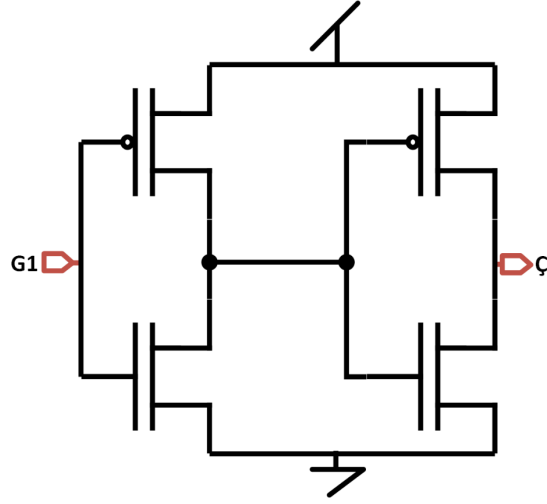
Tasarımı yapılan flaş TDC mimarisine ait zaman diyagramı Şekil 3.12’de gösterilmiştir. Geciken başlangıç sinyali ‘T’ harfi ile etiketlenmiştir. Örnekleyici çıkışı zaman aralığı içerisinde kalan gecikmiş sinyallerin bir termometre kod olarak ifadesidir. Tasarlanan yapı sürekli zaman olarak ifade edilen başlangıç sinyali ile durdurma sinyali arasında geçen zaman farkını bir gecikme hattı üzerinde öteleyip sayısal bir sonuç elde etmeyi sağlamıştır.



Şekil 3.12. Flaş TDC zaman grafiği

3.2.1. Tampon gecikme hattı

Tasarlanan TDC mimarilerinde kullanılan tampon yapısı Şekil 3.13’te gösterilmiştir. Tasarlanan yapıda pMOS boyutları nMOS’lara göre kazanç sağlanması için daha büyük tutulmuştur. Tasarımı yapılan tampon gecikme hattı TDC mimarilerinde giriş sinyalleri tampon yapısı ile çıkışa aktarıldığı için tasarımın diğer bloklarında fazladan bir evirici kullanılmasına gerek kalmamıştır.



Şekil 3.13. Temel tampon yapısı

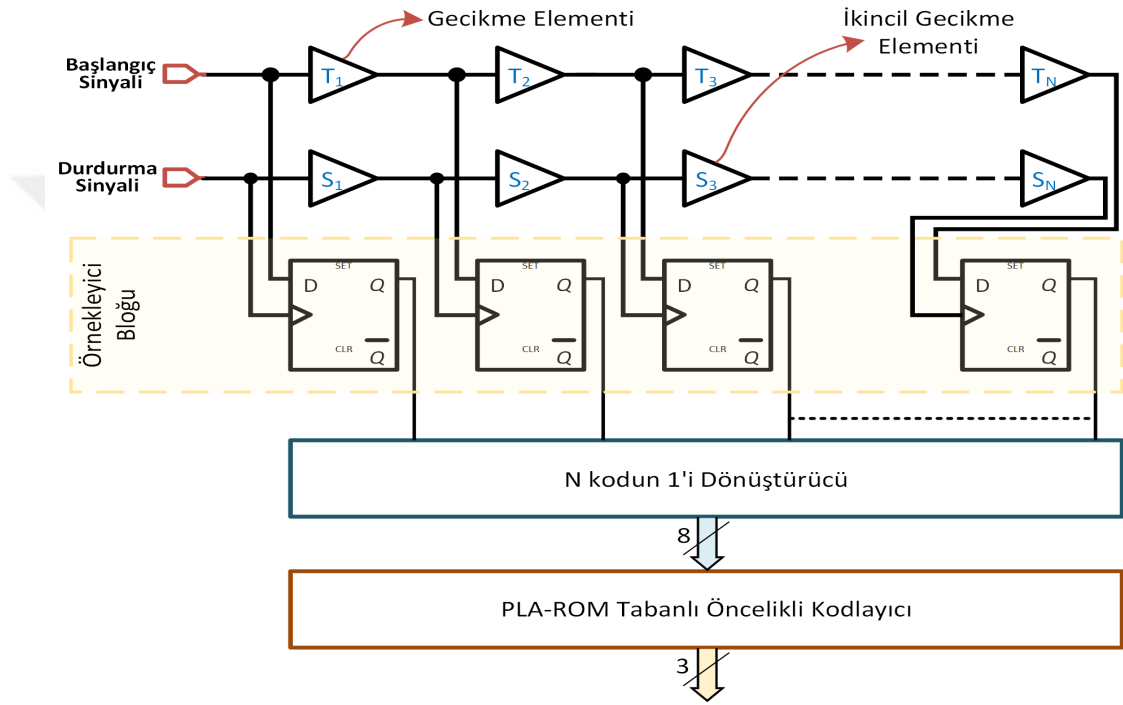
3.2.2. Evirici gecikme hattı

Gecikme yapıları Şekil 3.10’da verilen temel evirici yapısından seçilebilir. Evirici gecikme hattı TDC yapılarında giriş sinyalleri tampon gecikme hattı tabanlı TDC’lere göre daha az MOSFET üzerinden yol kat edeceği için daha az gecikme miktarı elde edilebilir. Bu durumda bir gecikme yapısı üzerinden geciktirilen sinyalin zamansal çözünürlüğü artmış olacaktır.

Tasarlanan mimaride ise başlangıç ve durdurma sinyallerinin eş zamanlı lojik-1 olma durumu evirici hattında farklılık göstermektedir. İlk ve sonraki tek sayıdaki eviriciler (T1-T3...) başlangıç sinyalini mantıksal olarak tersini alır. Bu nedenle gecikmiş başlangıç sinyali ile durdurma sinyali örnekleyici bloğunda da farklı bir evirici yapısı ile değillenmesi gerekmektedir. İkinci ve sonraki eviriciler (T2-T4...) değillenmiş başlangıç sinyalinin mantıksal olarak tersini aldığı ve tekrar referans lojik seviyesinde bir gecikmiş sinyal elde edileceği için bu sinyallerinin örnekleyici bloğunda değillenmesine gerek yoktur. Örnekleyici bloğuna fazladan evirici eklenmesi D flip flop çıkışlarında zamansal gecikme yaşattığından dolayı, öncelikli kodlayıcı bloğunun çıkışında sayısal verinin değişimi kararlı durum haline göre değerlendirilmelidir. Evirici tabanlı tek bir DLL gecikme hattına sahip mimarilerde hat üzerinde eşit miktarda gecikme olabilmesi için MOSFET boyutlarının sabit tutulmuştur. Vernier gecikme hattı tabanlı TDC mimarilerinde ise farklı gecikme miktarları MOSFET boyutlarındaki değişim ile sağlanmıştır.

3.3. VDL Tabanlı TDC

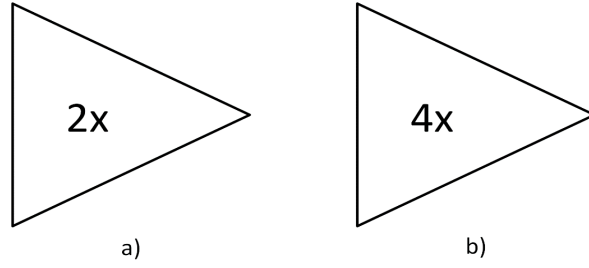
VDL tabanlı zaman sayısal dönüştürücü mimarisinde zaman aralığının sayısallaştırılması 5 aşamada gerçekleştirilmiştir. Bu yapı flaş TDC yapısına benzemekle birlikte flaş TDC yapısına göre daha fazla çözünürlük sunar [139]. Flaş TDC yapısından tasarım farkı başlangıç sinyalinin yanında durdurma sinyalinin de geciktirilmesidir. Tasarıma ait genel blok diyagram Şekil 3.14'te gösterilmiştir.



Şekil 3.14. Vernier gecikme hattı tabanlı TDC blok diyagramı

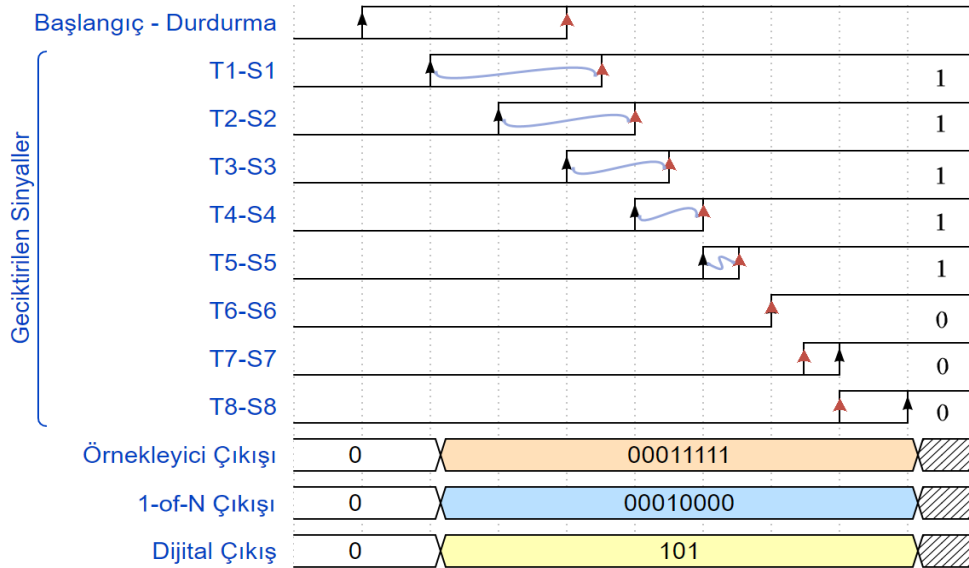
VDL tabanlı TDC tasarımı flaş TDC tasarımına çok benzemektedir. Tasarımın ilk aşamasında flaş TDC yapısında olduğu gibi başlangıç sinyalleri geciktirilmiştir. Başlangıç sinyallerinin geciktirilmesinde 4 katlı sabit kazançlı evirici yapısı kullanılmıştır. Başlangıç sinyalini geciktiren bu yapılar Şekil 3.14'te 'T' harfiyle sembolize edilmiştir.

Tasarımın ikinci aşaması flaş TDC yapısının VDL tabanlı TDC'den ayrılmasını sağlar. Bu aşamada başlangıç sinyalinin yanında eş zamanlı olarak durdurma sinyali de geciktirilmiştir. Durdurma sinyallerinin geciktirilmesinde ikincil geciktirme yapısı olarak adlandırılan 2 katlı sabit kazançlı evirici yapısı kullanılmıştır. Tasarlanan yapıda kullanılan geciktirme yapıları Şekil 3.15'te gösterilmiştir.



Şekil 3.15. a) durdurma sinyal geciktirici b) başlangıç sinyal geciktirici

Bu mimaride tampon yapıları geciktirme yapıları kullanılmıştır. Vernier gecikme hattı tabanlı TDC mimarisinde başlangıç ve durdurma sinyallerinin geciktirilmeleri miktarları farklı olmalıdır [33, 139-143]. Bu nedenle geciktirme yapılarında kullanılan tampon yapıları farklı katman sayısında seçilmiştir. Başlangıç sinyali durdurma sinyaline göre daha fazla transistör düzeyinde işlem göreceği için daha fazla gecikecektir. Tasarımın kalan aşamaları flaş TDC de olduğu gibi örnekleyici bloğu tasarımı, N kodun 1'i dönüştürücü tasarımı ve öncelikli kodlayıcı tasarımı şeklindedir. Örnekleyici bloğu tasarımı D flip flop tabanlı bir yapı ile, N kodun 1'i kod çözücü tasarımı NOR yapısı ile ve öncelikli kodlayıcı tasarımı PLA-ROM tabanlı bir yapıyla gerçekleştirilmiştir. Bu yapıların tasarımı Bölüm 3.2'de açıklanmıştır.



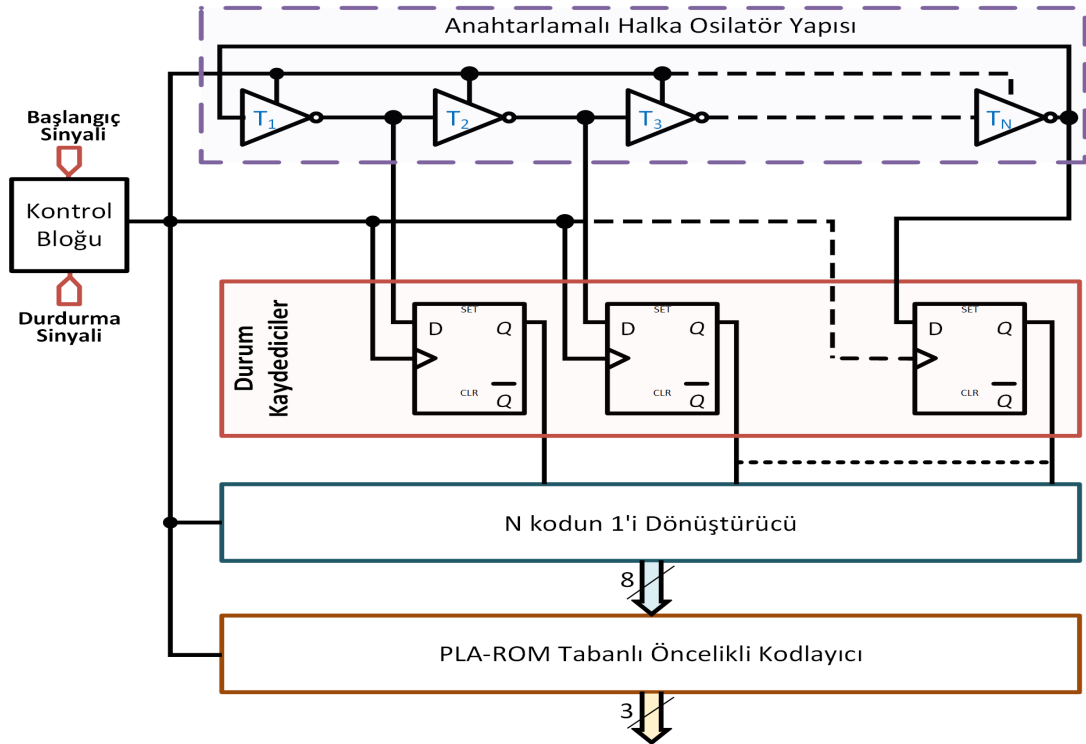
Şekil 3.16. Vernier TDC zaman diyagramı

Tasarımı yapılan mimarinin zaman diyagramı Şekil 3.16'da gösterilmiştir. Geciken başlangıç sinyali 'T' harfi ile, geciken durdurma sinyalleri 'S' harfi ile etiketlenmiştir. Örnekleyici çıkışı zaman aralığı içerisinde kalan gecikmiş sinyallerin bir termometre

kod olarak ifadesidir. Bu mimaride örnekleyici yapısı başlangıç ve durdurma sinyalleri arasında geçen zaman farkının hangi yönde olduğunu kontrol eder. Gecikmiş başlangıç sinyali ile aynı seviyedeki gecikmiş durdurma sinyali arasındaki zaman farkı (örneğin; T1-S1) pozitif yönlüyse, çıkış bitini LSB'den başlamak üzere lojik-1 seviyesine çeker. Gecikmiş başlangıç sinyali durdurma sinyalinden daha ileri bir zaman konumundaysa (örneğin; T7-S7), zaman farkı negatif olacağı için örnekleyici çıkışına lojik-0 değerini aktarır. Sonuç olarak örnekleyici çıkışında bir hattaki gecikme yapısı sayısı kadar termometre kodu oluşur. Tasarlanan yapı sürekli zaman olarak ifade edilen başlangıç sinyali ile durdurma sinyali arasında geçen zaman farkını iki gecikme hattı üzerinde öteleyip sayısal bir sonuç elde etmeyi sağlamıştır.

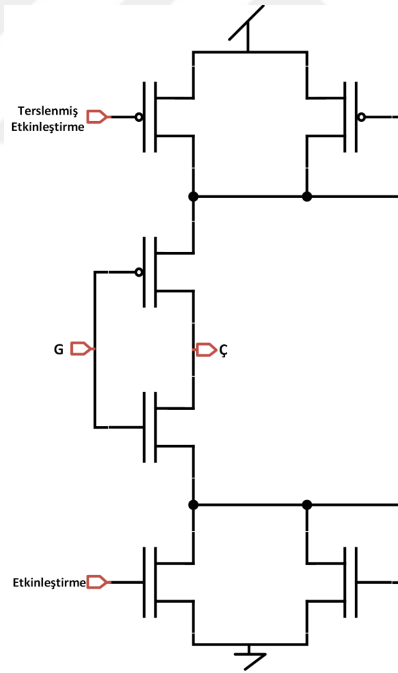
3.4. GRO Tabanlı TDC

Tasarlanan GRO tabanlı TDC mimarisi flaş TDC mimarisi gibi tek bir gecikme hattından oluşturulmuştur. Flaş TDC mimarisinde gecikme başlangıç sinyalinin geciktirilmesi ile gerçekleştirilirken, GRO TDC mimarisinde başlangıç sinyali etkinleştirme sinyali görevi görmektedir. Geciktirme ise gecikme yapılarının kendi içerisinde halka şeklinde bağlanması sonucu MOSFET Gate gecikmesinden kaynaklı osilasyonlar ile sağlanır. Tasarlanan yapının blok diyagramı Şekil 3.17'de verilmiştir.



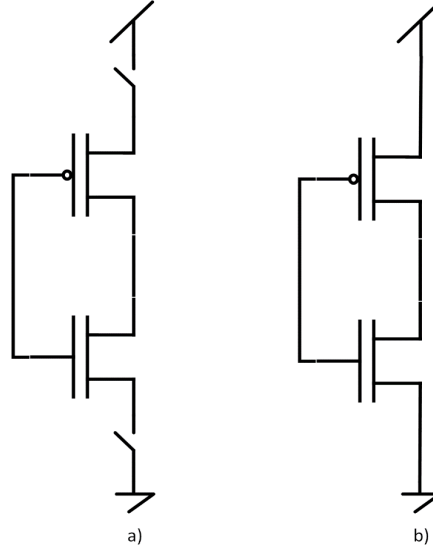
Şekil 3.17. GRO TDC blok diyagramı

GRO TDC mimarisinde başlangıç ve durdurma sinyali bir etkinleştirme sinyali üretmek için flip flop tabanlı bir kontrol bloğuna gönderilmiştir. Osilasyonları sağlayan yapılar ise temel evirici yapılarıdır. Fakat bu tasarımda temel evirici yapılarının etkinleştirme sinyali aktif değilken osilasyon yapmaması için Şekil 3.18’de gösterilen voltaj kontrollü evirici yapısı kullanılmıştır. Etkinleştirme sinyali lojik-1 seviyesinde olduğu anda voltaj kontrollü evirici yapısında yer alan kontrolcü MOSFET’ler saturasyon durumuna geçer ve MOSFET’in Drain ve Source kanalları arasında akım akmaya başlar. Bu durumda kontrolcü MOSFET’ler anahtar kapalı pozisyonunda yer alır ve osilasyonu sağlayan evirici yapısının osilasyonuna izin verirler. Etkinleştirme sinyali lojik-0 olduğu anda kontrolcü MOSFET’ler kesim bölgesinde çalışmaya başlar ve Drain ve Source arasında herhangi bir akım akmaz. Bu durumda kontrolcü MOSFET’ler anahtar açık pozisyonunda olduğu için evirici yapısı osilasyon yapamaz ve etkinleştirme sinyali aktif iken sağladıkları son osilasyon pozisyonlarını korurlar.



Şekil 3.18. VCDL yapısı

Osilasyon için anahtarlamanın sağlanması etkinleştirme sinyalinin kontrolcü pMOS'lara terslenerek verilmesi, nMOS'lara ise doğrudan verilmesi ile sağlanır. Osilasyonun gerçekleşebilmesi için osilatör sayısı en az 3 tane olmak şartıyla tek sayılar şeklinde (3,5,7...) artırılabilir. Osilatör durumlarının etkinleştirme sinyaline göre davranış durumu Şekil 3.19'da gösterilmiştir.



Şekil 3.19. Osilatör durumları a) kararlı osilatör b) etkin osilatör

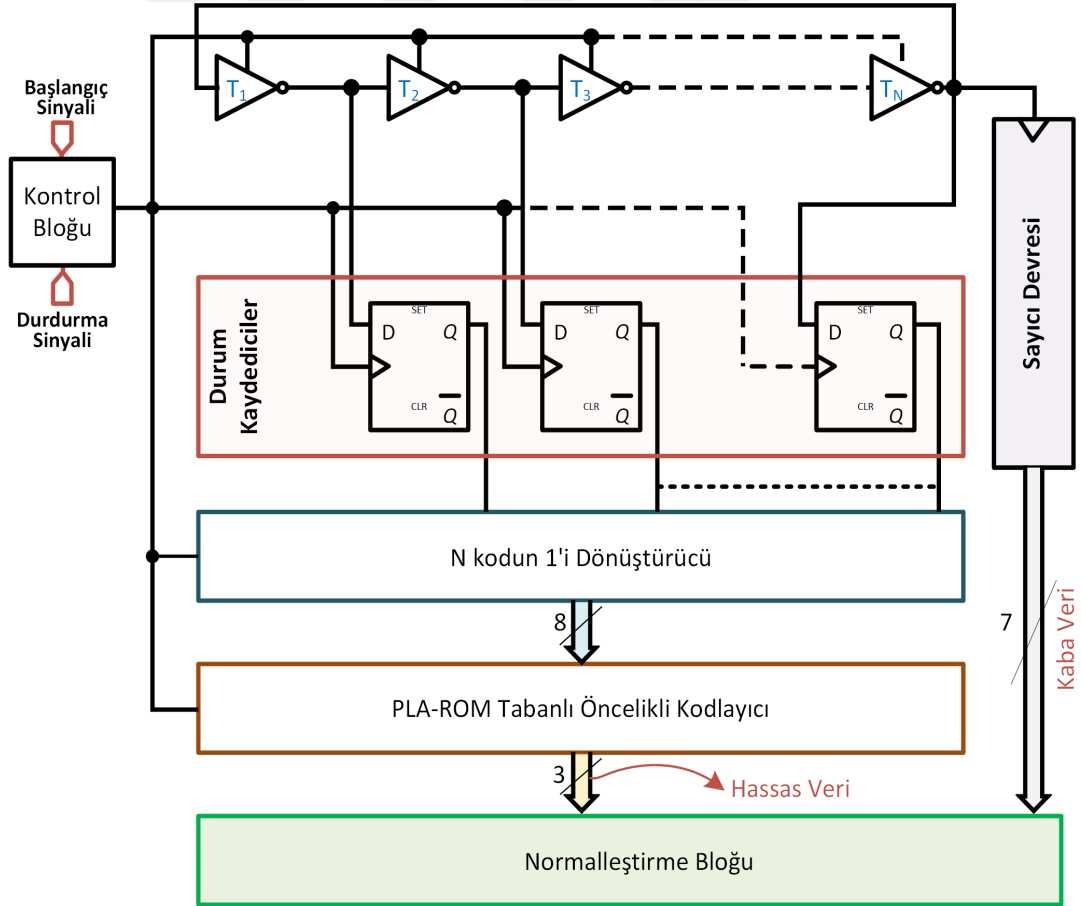
Etkinleştirme sinyali ilk aktif olduğu andan durdurma sinyali gelene kadar geçen süreçte eviriciler osilasyon yapmaya ve bu kendi içiresinde bu osilasyon sinyallerini geciktirmeye devam ederler. Durdurma sinyali geldiği anda osilatörler donma duruma geçerler. Donma halindeki osilatörlerin durumları flip flop tabanlı bir durum kaydedici yapısıyla kaydedilir. Kaydedilen osilatör durumları sonrasında termometre kodunun ikilik koda dönüştürülmesiyle sayısallaştırılmış olur. İkinci bir etkinleştirme sinyali geldiği anda osilatörler osilasyona ilk hallerinden başlamazlar. Önceki ölçümden kalan bir zaman farkı sonraki ölçümün zaman farkına aktarılır. Önceki sonuçları bir sonraki seferde nicemlemeye devam eden bu özellik, her dönüşümün kalıntısı üzerinde diferansiyel işlem ortaya koyar; bu, frekans alanındaki niceme hatasının birinci dereceli bir gürültü şekillendirmesine karşılık gelir [118, 128, 144].

3.5. Hibrit TDC

Çeşitli TDC mimarilerininin birleştirilmesi ile farklı zamansal çözünürlük ve hasiyetlerde zaman farkı ölçümleri yapılmıştır [145]. Bu bölümde zamansal çözünürlüğü ve hassasiyeti artırmak için GRO TDC tabanlı iki yaklaşımın birlikte kullanılması amaçlanmıştır.

Tasarımı yapılan mimariye ait genel blok diyagramı Şekil 3.20’de verilmiştir. Tasarlanan mimari de zaman aralığının ölçümü eş zamanlı farklı iki yapıyla ölçümü sağlanıp sonrasında sayısallaştırılmış kodlar bir normalleştirme devresi ile

birleştirilmiştir. Hibrit TDC yapısında zaman ölçümü GRO tabanlı bir yapıyla gerçekleşen osilasyonların sayımına ve durumunun kaydedilmesine dayanmaktadır. Bölüm 3.4’de açıklanan GRO Tabanlı TDC mimarisi hibrit TDC mimarisinin hassas zaman aralığı ölçümünde kullanılmaktadır. Hassas veri aralığının ölçümü, durdurma ve başlangıç sinyallerinin kontrol bloğunda zaman aralığı oluşturduğu ve etkinleştirme sinyali şeklinde ifade edildiği etkin aralıkta gecikme yapısı olarak görev yapan voltaj kontrollü evirici yapıların birbiri ardına osilasyon yapması sonrasında etkinleştirme sinyalinin etkin olmadığı anda her bir evirici yapısının durumlarının donması ve o anki durumlarının kaydedilmesine dayanmaktadır. Osilasyonlar etkinleştirme sinyali lojik-0 seviyesinde olduğunda durumlarını stabil bir şekilde korumaktadır. Durum kaydedici ünitesi etkinleştirme sinyali ile osilasyonların durumlarını kaydeder. Termometre kod dönüştürücü yapıları ise bu kararlı durumları sayısal çıkış olarak aktarır.

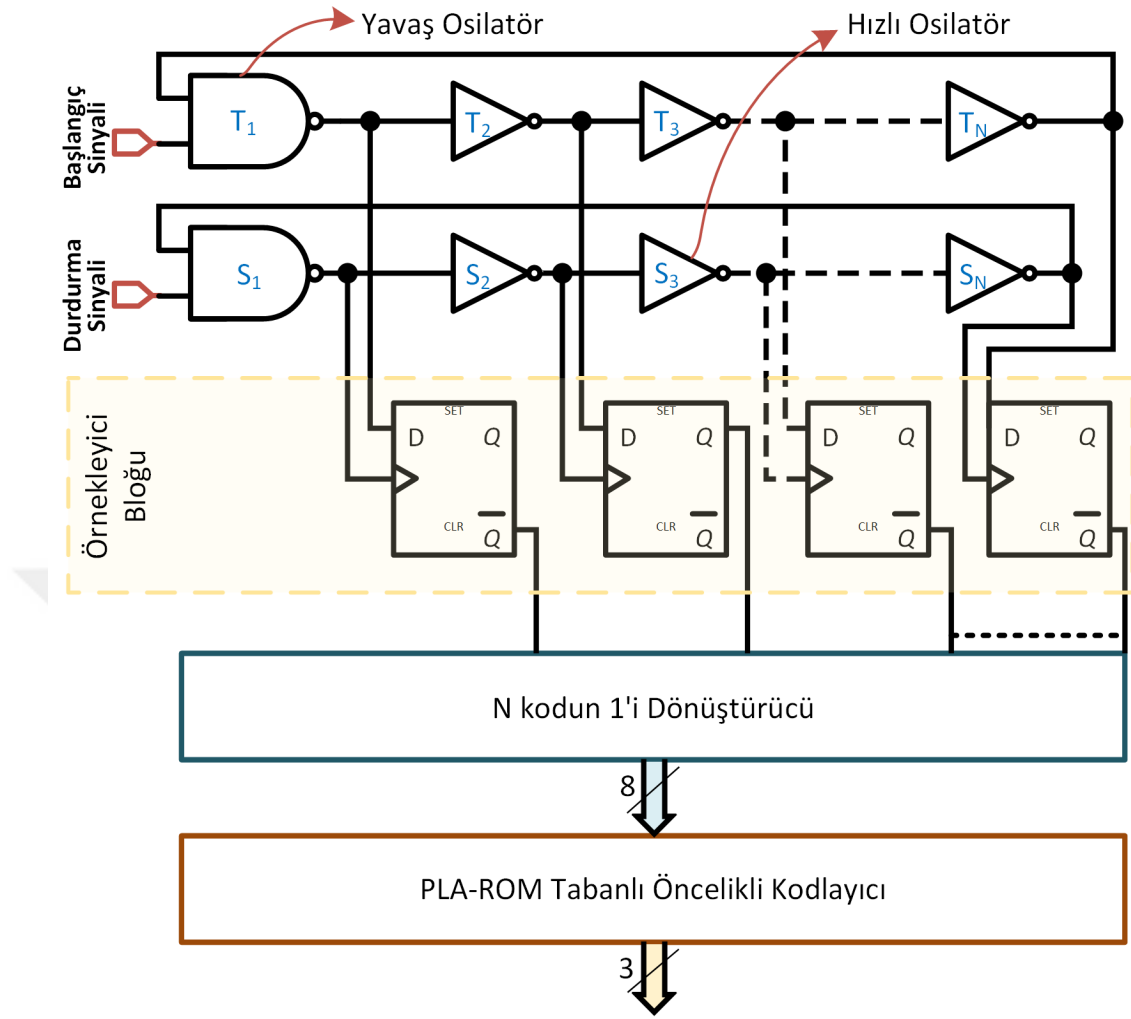


Şekil 3.20. GRO + sayıcı tabanlı hibrit TDC blok diyagramı

Hibrit TDC mimarisinde hassas olmayan zaman aralığının ölçümü (kaba zaman) Bölüm 3.1’de açıklanan sayıcı tabanlı benzeri bir yapıyla gerçekleştirilmiştir. Voltaj kontrollü evirici yapıları, başlangıç sinyalinin lojik-1 durdurma sinyalinin lojik-0 seviyesinde olduğu sistemin etkin olduğu anlarda osilasyonlarına başlarlar. Zaman geciktirici yapısının son elemanının çıkışı halka yapısından dolayı aynı zamanda osilasyon girişini temsil eder. Bu çıkış bir sayıcı devresi ile osilasyonların adedini saymak için birleştirilmiştir. Bu mimaride sayıcı devresi flip floplardan oluşan 7 bitlik ikili asenkron sayıcı şeklindedir. Sayıcı devresi her bir etkinleştirme sinyalinde oluşan osilasyon adedini sayar ve osilasyon adedini kaba veri olarak normalleştirme bloğuna aktarır.

3.6. VGRO Tabanlı TDC

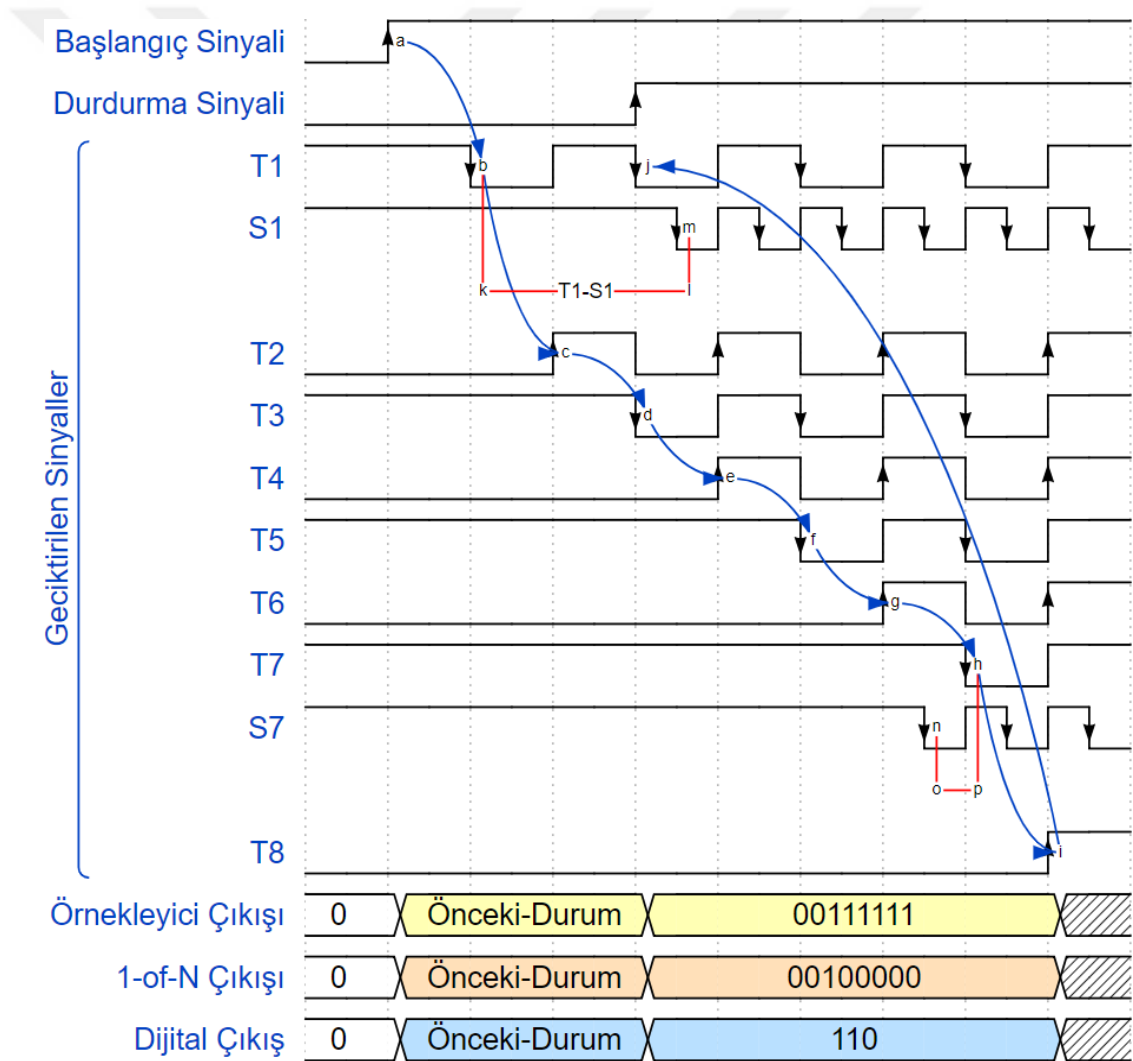
GRO tabanlı TDC mimarisi tek bir osilasyon hattında kendi kendine gecikme sinyali üretmesi prensibine dayanır. Vernier prensibinde ise iki farklı gecikme süresine sahip gecikme hattında geciktirilen sinyallerin birbirlerine göre konumları değerlendirilir. VGRO TDC mimarisi GRO TDC mimarisinin Vernier prensibine uyarlanmış halidir. Bu mimaride iki adet farklı frekanslarda salınım yapan GRO hattı Vernier prensibiyle örneklenir. Tasarımı yapılan VGRO TDC mimarisinin blok diyagramı Şekil 3.21’de gösterilmiştir. Bu mimaride başlangıç sinyalinin aktif olduğu anda yavaş osilatör yapısı olarak adlandırılan yüksek gecikme süresine sahip özdeş osilatörler salınım yapmaya başlar. Osilatör salınımları T_n osilatörü ile başlangıç sinyalinin bir NAND kapısı ile çarpılması ile kontrol edilir. NAND kapısı osilasyonlara başlangıç sinyali aktif olduğunda izin verir. VGRO yapısında GRO yapısında olduğu gibi osilasyonların durumlarının dondurulmasına gerek olmadığı için NAND kapısı voltaj kontrollü evirici yapılarının gerçekleştirdiği işlemi tek bir kapıyla gerçekleştirmeyi sağlamıştır. Aynı şekilde durdurma sinyalinin aktif olduğu anda hızlı osilatör olarak adlandırılan daha düşük gecikme süresine sahip osilatörler salınım yapmaya başlar. Tasarımı yapılan VGRO mimarisinde hızlı osilatör yapısı olarak Şekil 3.10’da gösterilen temel eviriciler kullanılmıştır. Yavaş osilatör mimarisinde ise tampon yapısının ardına bir evirici yapısı eklenerek giriş sinyali değillenirken daha çok geciktirilmesi sağlanmıştır. Tasarımın kalan aşamaları VDL TDC mimarisinde olduğu gibidir.



Şekil 3.21. VGRO TDC blok diyagramı

VDL TDC mimarisinde TDC çözünürlüğü gecikme yapılarının gecikme miktarları arasındaki fark ile belirlenir. Bu nedenle zamansal çözünürlük bir gecikme hattında meydana gelen gecikmeye bağlıdır. VGRO mimarisinde ise gecikme sinyalleri GRO yapısında olduğu gibi gecikme sinyaline ihtiyaç duymadan meydana gelir. Bu mimaride başlangıç ve durdurma sinyali aktif olduğu anda T_n ve S_n osilatörlerinden tetiklenen osilasyonlar meydana gelir. Hızlı osilasyonlar daha yüksek frekanslarda daha az gecikmeyle ilerlemeye başlar. Aynı anda yavaş osilasyonlar daha düşük frekanslarda daha yüksek gecikme süreleriyle hızlı osilasyonları yakalamaya çalışır. Örnekleyici bloğu ise flip floplara hangi sinyalin daha önce ulaştığı kararını vermeyi sağlar. Örnekleyici bloğuna T sinyalleri daha önce ulaşmışsa flip flop çıkış değeri lojik-1 seviyesine ayarlanır, S sinyalleri daha önce ulaşmışsa lojik-0 seviyesine ayarlanır. Sonrasında örnekleyici bloğu çıkışları VDL tabanlı mimaride olduğu gibi öncelikli kodlayıcı aracılığı ile termometre kodundan dijital kodlara dönüştürülür.

VGRO TDC mimarisine ait zaman diyagramı Şekil 3.22’de gösterilmiştir. T sinyalleri yavaş osilasyonları temsil ederken T sinyallerinden iki kat hızlı olan S sinyalleri hızlı osilatörlerin oluşturduğu osilasyonlardır. Gecikme osilasyonları GRO hattında meydana gelen gecikmenin birleşimi şeklindedir. Şekil 3.22’de gösterildiği gibi T1 osilasyonu oluşmaya başladıktan sonra tüm gecikme yapılarında geciktirilirken, kendi üzerine tekrar bir osilasyon oluşmaya başlar. Şekil 3.22’de ‘a’ düğümünden gecikmeye başlayan sinyalin ‘j’ düğümüne kadar izlediği yol gösterilmiştir. Yine zaman diyagramında görüldüğü gibi T1-S1 aralığında oluşan zaman farkı (k-l) pozitif yönlü olup lojik-1 seviyesinde çıkışa aktarılmıştır. T7-S7 aralığında oluşan zaman farkı (o-p) negatif yönlü olup çıkışa lojik-0 olarak aktarılmıştır.



Şekil 3.22. VGRO TDC zaman diyagramı

4. SİMÜLASYON ÇIKTILARI

Bu bölümde şematik tasarımı gerçekleştirilen TDC mimarilerinin simülasyonlarından elde edilen sonuçlar açıklanmıştır. Ayrıca tasarımı yapılan TDC mimarilerinin performans ölçütleri hesaplanmıştır.

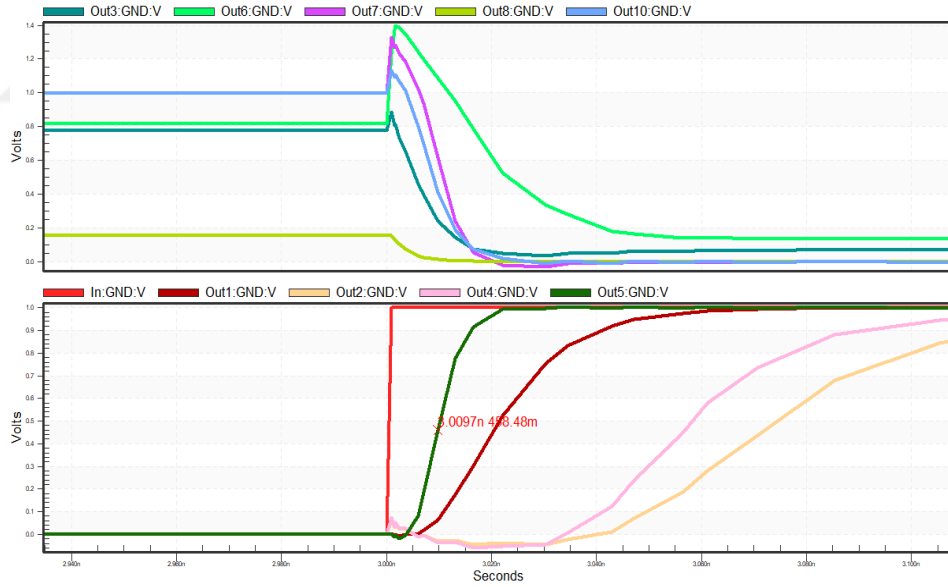
Öncelikle S-Edit ortamında şematik çizim ile ifade edilen her bir tasarım, tüm elamanların fiziksel ve elektronik özelliklerinin ifade edildiği Tanner T-Spice ortamına aktarılmıştır. Tanner T-Spice ortamı elektronik tasarımı; pMOS ve nMOS'ların fiziksel özelliklerini ve birbirleriyle olan bağlantı ilişkilerini bir kod dizisi şeklinde ifade eder. Ayrıca bu ortamda tasarımın giriş ve çıkış parametreleri, devre besleme gerilimleri, simülasyon parametreleri ile simülasyonu gerçekleştirmeyi sağlayan MOSFET model parametrelerinin yer aldığı teknoloji dosyaları kod dizisi olarak tanımlanır. Sonrasında ise Tanner T-Spice ortamında tanımlanan simülasyon parametrelerine göre tasarlanan devrenin giriş çıkış gerilimlerinin ve güç analizlerinin simülasyon sonuçları Tanner W-Edit ortamında gözlemlenmiştir.

Bu çalışmada CMOS teknoloji dosyası olarak TSMC firmasına ait MOSFET L değeri minimum 180 nm olan teknoloji dosyası ve Kaliforniya Üniversitesi BSIM araştırma grubunun geliştirdiği 45 nm ve 130 nm teknoloji dosyası [146, 147] kullanılmış ve MOSFET boyutlarındaki değişimin ns altı hızlara etkisi de incelenmiştir. 45 nm nMOS model parametreleri Ek-A'da, pMOS model parametreleri Ek-B'de verilmiştir.

Bu bölümde öncelikle tasarımı yapılan mimarilerin giriş çıkış gerilimlerine göre transient analizlerinin çıktıları verilmiş sonrasında bu simülasyon çıktılarından TDC mimarilerinin zamansal çözünürlükler hesaplanmıştır. Ayrıca her bir mimari için devrede tüketilen ortalama güç değerleri hesaplanmıştır. Bu çalışmada zaman ölçümleri ps mertebesinde gerçekleştirildiği için zaman ölçümleri yapılırken giriş ve çıkış darbelerinin lojik-0 ve lojik-1 arasındaki geçiş süreleri de zaman ölçümüne etki etmektedir. Bu nedenle zaman ölçümleri için referans nokta olarak iniş-çıkış eğrilerinin orta noktaları referans alınmıştır. Tasarımlarda kullanılan MOSFET'lerde standart olarak W değeri 1,5 μm olarak belirlenmiştir. L değerleri ise MOSFET boyut

karşılaştırma uygulamaları hariç olmak üzere 45 nm olarak belirlenmiştir. Bununla birlikte 45 nm’de simülasyonu gerçekleştirilen tasarımlarda besleme gerilimi ve lojik-1 seviyesi 1V olarak belirlenmiştir. Ayrıca sayıcı tabanlı TDC mimarisi haricindeki tasarlanan diğer mimarilerde başlangıç ve durdurma sinyalleri darbe genişlikleri 1 ns ($f=1$ GHz), lojik-1 seviyesinden lojik-0 seviyesine ve lojik-0 seviyesinden lojik-1 seviyesine geçiş süreleri 1 ps olarak alınmıştır. Bununla birlikte simülasyonlarda devre sıcaklığı 25°C olarak sabit tutulmuştur.

Gecikme elementi kullanılan mimarilerde zamansal çözünürlük gecikme elementinin gecikme süresiyle doğrudan ilgilidir. Bu nedenle gecikme sürelerinin karşılaştırılması için farklı yaklaşımlarla gecikme elementleri tasarlanmıştır. Tasarlanan gecikme elementlerine ait simülasyon grafiği Şekil 4.1’de verilmiştir. Şekil 4.1’de üst tarafta yer alan grafik Schmitt tetikleyicisi tabanlı gecikme yapılarına aittir. Aynı şekilde alt tarafta yer alan grafikte farklı tampon yapılarının oluşturduğu gecikme durumları gösterilmiştir.

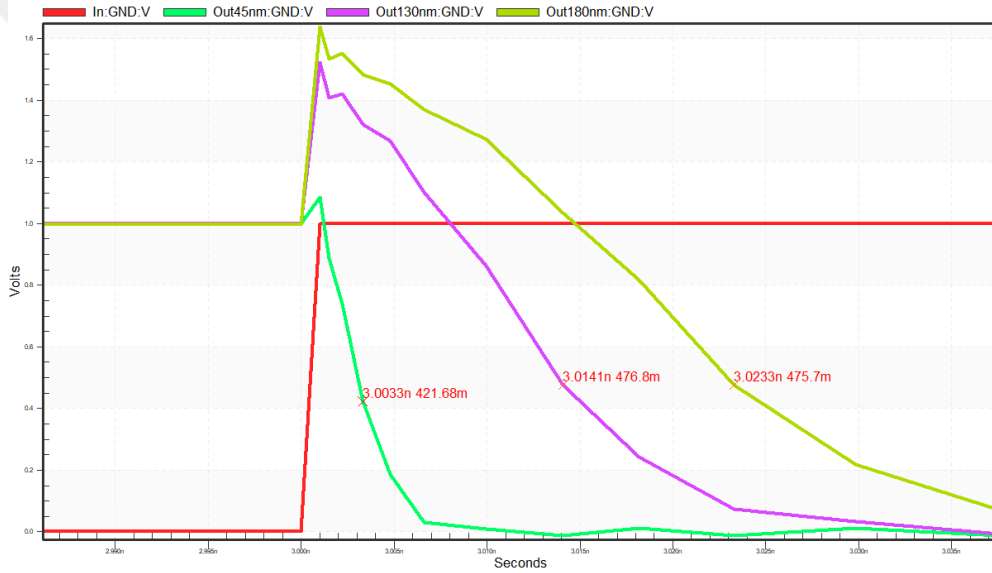


Şekil 4.1. Gecikme elementleri simülasyonu

Tasarlanan Schmitt tetikleyicisi yapılarında şekilde görüldüğü gibi lojik seviyeler arasındaki iniş çıkış sürelerinin idealden çok fazla sapma göstermesi ve histerezis döngü gecikmesine maruz kalabileceklerinden dolayı gecikme elementi olarak kullanılmalarının uygun olmadığı anlaşılmıştır. Yine Şekil 4.1’de görüldüğü gibi ‘Out5’ olarak isimlendirilen temel tampon yapısı 9,7 ps gecikme süresiyle en az

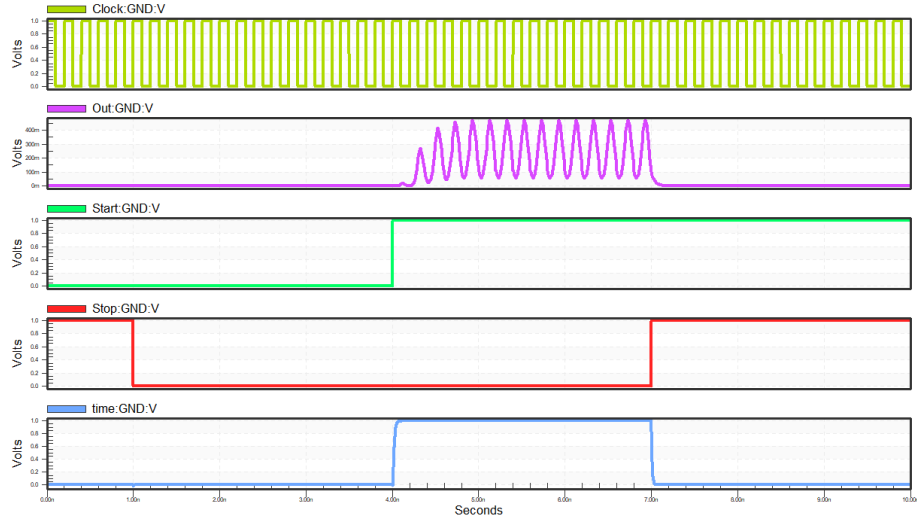
gecikme oluşturan gecikme elementi olmuştur. Bu nedenle tasarlanan mimarilerde daha iyi zamansal çözünürlüğe ulaşmak için temel evirici ve tampon yapıları kullanılmıştır.

Şekil 4.2’de sabit besleme geriliminde 3 farklı teknoloji boyutlarında tasarlanan evirici yapılarının giriş çıkış grafiği verilmiştir. Bu grafikte 45 nm’de tasarlanan evirici yapısı 3,3 ps, 130 nm’de tasarlanan evirici yapısı 14,1 ps ve 180 nm’de tasarlanan evirici yapısı 23,3 ps gecikme oluşturmuştur. Gecikme elementi kullanan mimarilerde zamansal çözünürlük gecikme elementinin gecikme süresine bağlı olduğundan tasarımı yapılan mimarilerde daha iyi çözünürlük elde etmek için yapıların 45 nm tasarımları gerçekleştirilmiştir.



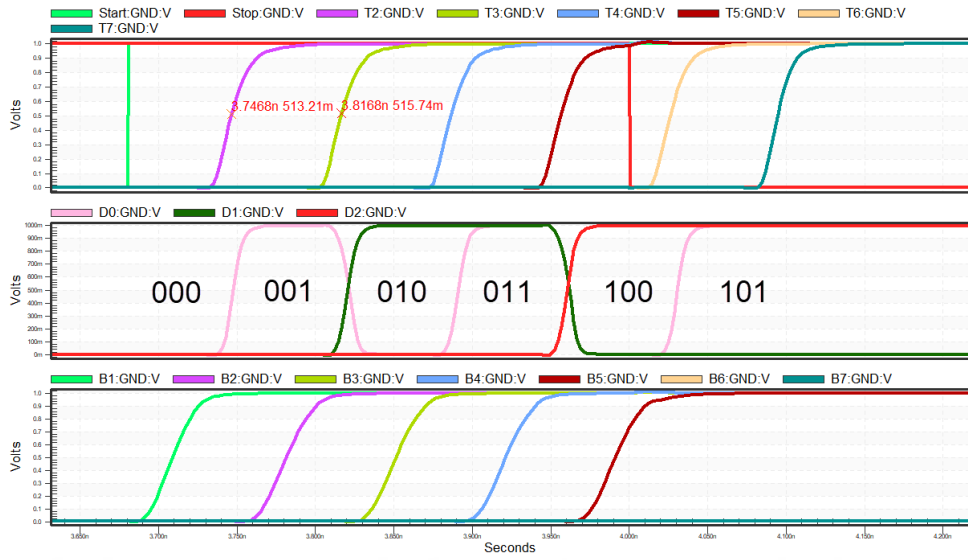
Şekil 4.2. Evirici gecikmelerine teknoloji boyutu etkisi

Sayıcı tabanlı TDC tasarımında tüm transistör boyutları minimum çip alanı ve MOSFET anahtarlama hızının maksimum olması için minimum tutulmuştur. 45 nm MOSFET L değerinde tasarlanan sayıcı tabanlı TDC’ye ait simülasyon grafiği Şekil 4.3’te verilmiştir. Saat sinyalinin bir periyodu 0,2 ns olarak seçilmiştir. Başlangıç sinyali ile durdurma sinyali arasındaki zaman farkı 3 ns olarak gerçekleştirilen simülasyonda 14 adet saat darbesi başarılı bir şekilde sayılmış ve zamansal çözünürlük 214,28 ps olarak gerçekleşmiştir. Devrede tüketilen ortalama güç 0,0411 mW değerinde gerçekleşmiştir.



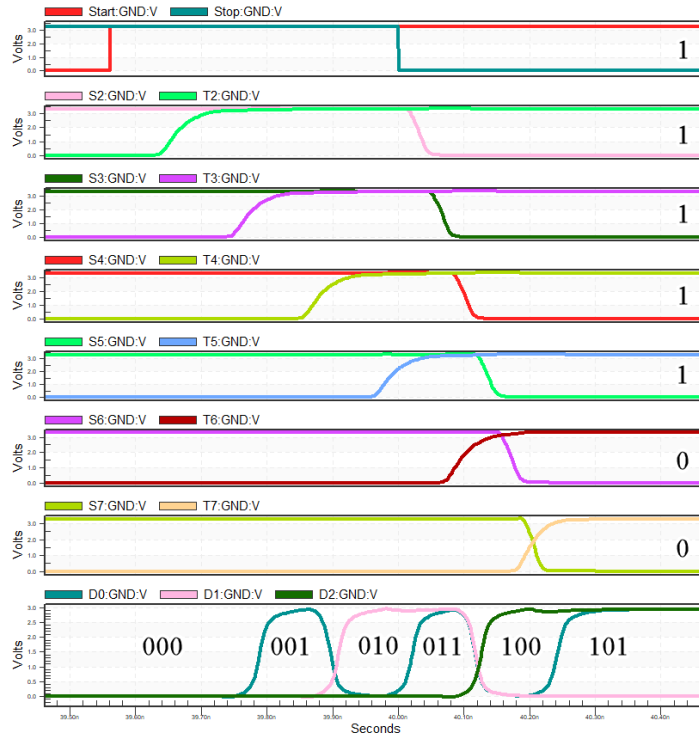
Şekil 4.3. Sayıcı tabanlı TDC simülasyon grafiği

Flaş TDC mimarinin 45 nm teknoloji parametreleriyle gerçekleştiren transient simülasyon grafiği Şekil 4.4'te verilmiştir. En üsteki grafikte başlangıç sinyali ve geciktirilmiş sinyaller ile durdurma sinyali 0V ile 1V arasında gösterilmiştir. Gerçekleştirilen simülasyonda başlangıç sinyali T1 sinyali olarak ifade edilmiştir. Başlangıç sinyali ile durdurma sinyali arasında T1, T2, T3, T4 ve T5 sinyalleri lojik-1 kalan sinyaller lojik-0 olarak etiketlenmiştir. Bu etiketlenme işlemi örnekleyici bloğuyla yapılmıştır. Örnekleyici bloğunun çıkış grafiği 'B' harfiyle gösterilen grafiğin en altındaki şekildir. 'D' harfiyle etiketlenen grafiğin orta bölümünde yer alan şekil ise flaş TDC yapısının sayısal kod kısmıdır. Bu grafikte ilk zaman aralığında, başlangıç sinyali henüz başlamamışken TDC çıkışı lojik-0 seviyesindedir. Başlangıç sinyali gelmeye başladığı anda geciktirme işlemi de başlamıştır. Geciktirilen sinyaller durdurma sinyali gelene kadar sayısal bir çıkış olarak ifade edilmiştir. Flaş mimaride TDC çözünürlüğü gecikme hücrelerinin gecikme miktarlarına bağlıdır. Şekil 4.4'te görüldüğü gibi 45 nm model parametrelerinde tasarlanan tampon gecikme hattı tabanlı flaş TDC mimarisinin zamansal çözünürlüğü ~ 70 ps olmuştur. Güç tüketimi ise 2,0578 mW seviyesindedir. Evirici tabanlı gecikme hattını kullanan flaş TDC mimarisinde ise zamansal çözünürlük $\sim 29,85$ ps, güç tüketimi ise 0,6105 mW olarak gerçekleşmiştir.



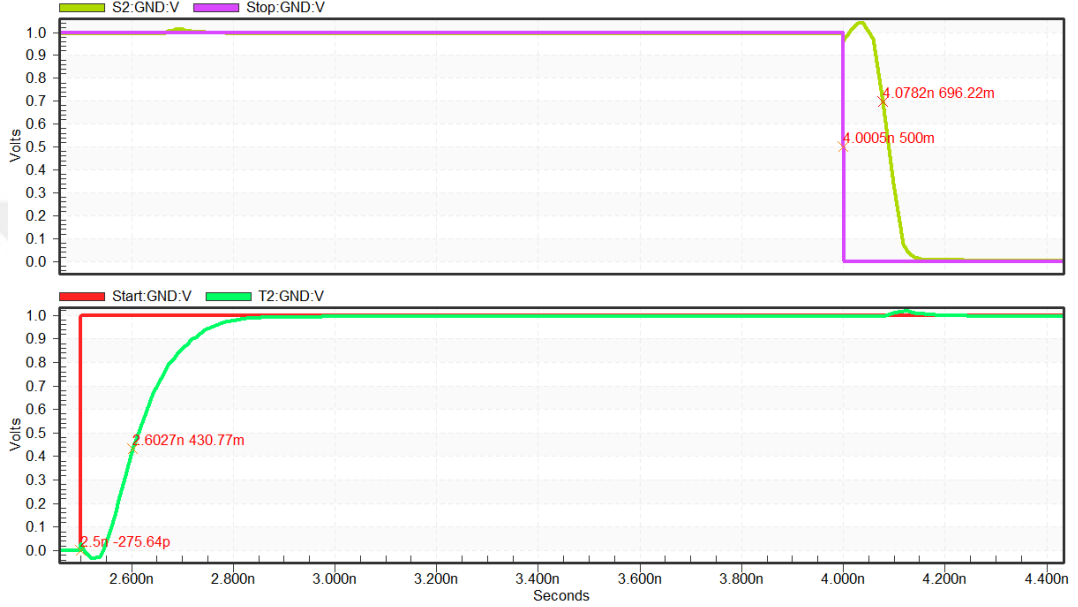
Şekil 4.4. Flaş TDC transient analiz sonucu

VDL TDC mimarisinin transient analiz sonucu Şekil 4.5'te gösterilmiştir. Tasarımı gerçekleştirilen mimaride geciktirilen başlangıç sinyalleri beşinci seviyeye kadar geciktirilen durdurma sinyallerinden önce gelmiştir. Bundan dolayı örnekleyici bloğu beşinci seviyeye kadar lojik-1 sonrasında kalan seviyelerde ise lojik-0 olarak çıkış üretmiştir. Grafiğin en alt kısmında ise kod çözücü yapısının ikilik dijital çıkışları gösterilmiştir.



Şekil 4.5. Vernier TDC simülasyon grafiği

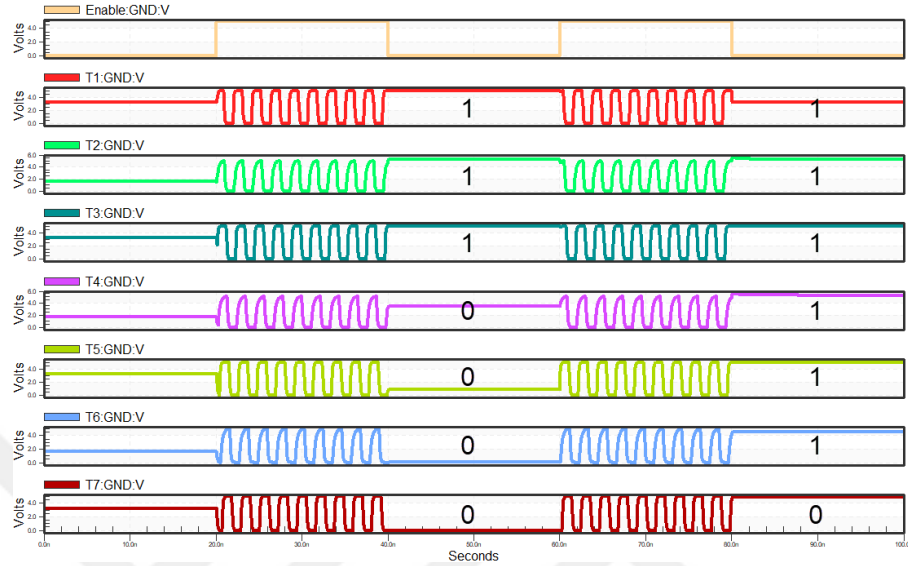
VDL TDC mimarisinde zamansal çözünürlük iki farklı gecikme hücresinde meydana gelen gecikme sürelerinin farkına eşittir. Şekil 4.6’da görüldüğü gibi başlangıç sinyali ~102,7 ps geciktirilmiş, durdurma sinyali ~78,2 ps geciktirilmiştir. Bu durumda zamansal çözünürlük ~24,5 ps seviyesinde olmuştur. VDL TDC mimarisinde tüketilen ortalama güç miktarı ise gerçekleştirilen simülasyon sonucu 1,6268 mW olarak bulunmuştur.



Şekil 4.6. VDL TDC gecikme süreleri

GRO TDC mimarisine ait transient simülasyon analizi Şekil 4.7’de verilmiştir. Şekilde en üstte yer alan etkinleştirme sinyali başlangıç ve durdurma sinyali arasındaki zaman farkının temsilidir. Gerçekleşen osilasyonlar ise ‘T’ harfiyle gösterilmiştir. Etkinleştirme sinyalinin lojik-1 olduğu anda osilatörler osilasyona başlamış ve ilk etkin oldukları anda 9,5 adet dalga formunda osilasyon gerçekleşmiştir. Durdurma sinyalinin gelmeye başladığı etkinleştirme sinyalinin lojik-0 seviyesine indiği anda osilatörler donma konuma geçmiş ve o anki durumlarını korumuşlardır. Etkinleştirme sinyali lojik-0 seviyesindeyken örnekleyici bloğu osilatör durumlarını örneklemiş ve öncelikli kodlayıcı aracılığı ile sayısal çıkışları oluşturmuştur. Şekilde görüldüğü gibi ilk üç osilasyon örnekleyici bloğunda yüksek seviyeli olarak kalanlar ise düşük seviyeli olarak örneklenmiştir. İkinci kez etkinleştirme sinyalinin aktif olduğu anda osilatörler girişleri kararsız bir durumdan osilasyona başlamak yerine önceki osilasyon sonuçlarını giriş olarak kullanmışlardır. Bu durum devrenin birinci dereceden gürültü

şekillendirme özelliğine sahip olduğunun göstergesidir. Sonrasında tekrar osilatörler 9,5 adet dalga formunda osilasyon gerçekleşmiş ve etkinleştirme sinyali lojik-0 seviyesine geçince mevcut durumlarını korumuşlardır.

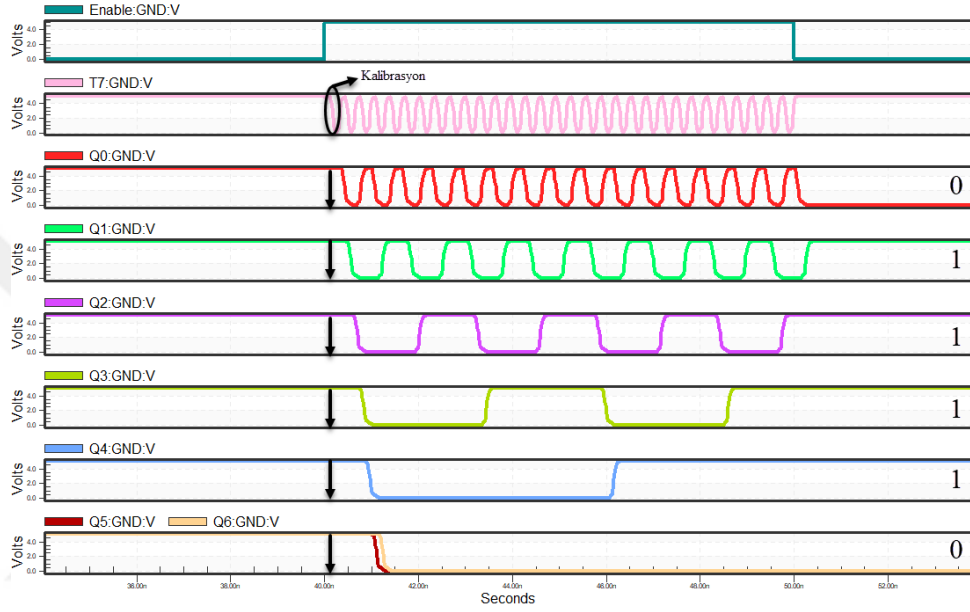


Şekil 4.7. GRO örnekleyici transient analizi

GRO TDC mimarisinde etkinleştirme sinyalinin etkin olduğu anda gerçekleşen osilasyon sayısı mimaride kullanılan VCDL yapısında yer alan MOSFET'lerin W parametreleriyle doğrudan ilgilidir. W değeri 1,5 μm alındığında gerçekleşen osilasyon sayısı 6, 3,5 μm alındığında 12 ve 5 μm alındığında 14 adet olmuştur. Devrede tüketilen güç, çip alanı ve zamansal çözünürlük parametreleri dikkate alındığında tasarlanan mimaride L değerleri 45 nm ve VCDL yapısındaki transistörlerin W değeri 3,5 μm seçilmiş ve 2 ns zaman farkını 9,5 osilasyon ile temsil edip 8,0382 mW güç tüketiminde $\sim 210,5$ ps zamansal çözünürlük elde edilmiştir.

Hibrit TDC mimarisi GRO bloğunun oluşturduğu osilasyonların örneklenmesi ve osilasyon adetlerin sayılması şeklinde iki seviyeli bir TDC mimarisi olarak tasarlanmıştır. Örnekleyici bloğu GRO TDC mimarisinde olduğu gibi çalışmaktadır. Sayıcı devresinin transient analiz sonucu ise Şekil 4.8'de gösterilmiştir. Etkinleştirme sinyalinin aktif olduğu anda sayıcı devresinde ilk gelen lojik-0 seviyesindeki osilasyon durumu sayıcı devresinin çıkışlarının lojik-0 seviyesine çekilmesini ve kalibre edilmesini sağlar. Kalibrasyon işlemi tamamlandıktan sonra her bir osilasyon periyodunda sayıcı devresi sayaçlarını bir artırır. Durdurma sinyali geldikten sonra etkinleştirme sinyali pasif konuma geçer ve sayıcı etkinleştirme sinyali boyunca

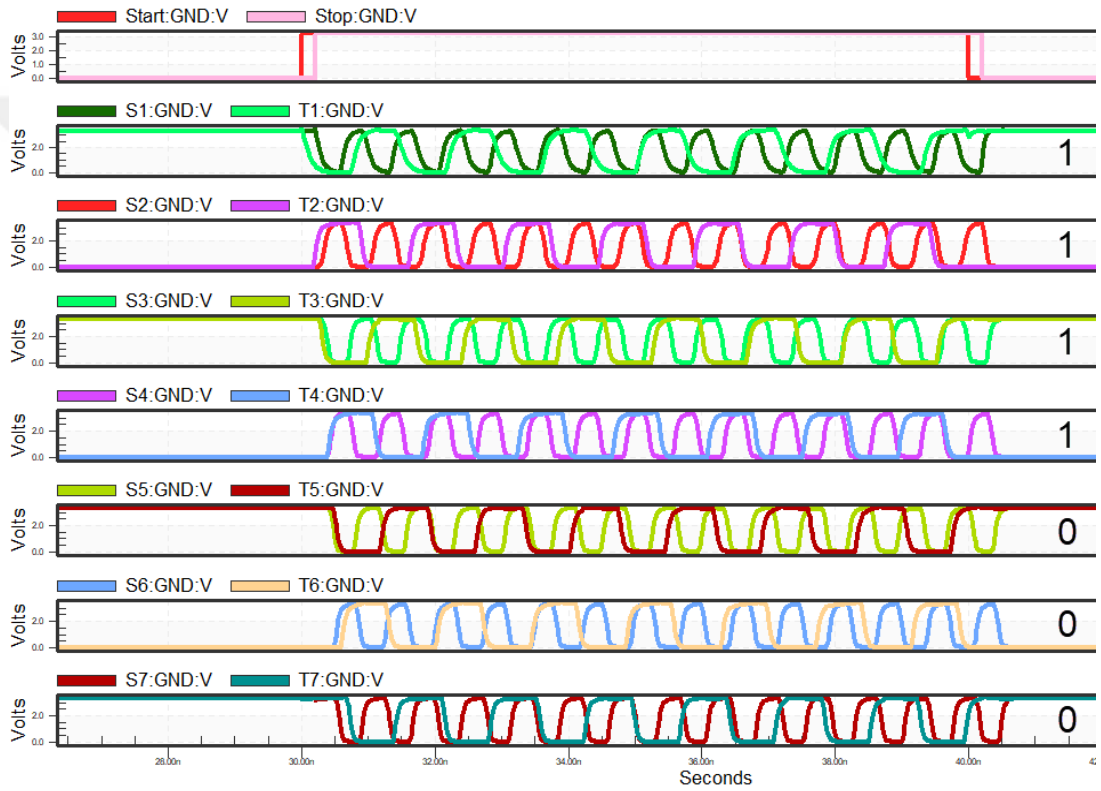
saydığı osilasyonları çıkışında tutar. Normalleştirme bloğu ise hassas veri ve kaba veriyi bit düzeyinde toplayarak sayısal zaman aralığı verisinin birleştirme işlemini gerçekleştirir. Şekil 4.8’de görüldüğü gibi bir etkinleştirme periyodunda 30 adet osilasyon gerçekleşmiştir. Gerçekleşen bu osilasyonlar ikilik tabanda MSB olan Q7 çıkışı ile LSB olan Q0 arasında ‘0011110’ şeklinde sayılar olarak durdurma sinyali geldiği anda sayısal çıkış olarak normalleştirme bloğuna aktarılmıştır.



Şekil 4.8. GRO sayıcı transient analizi

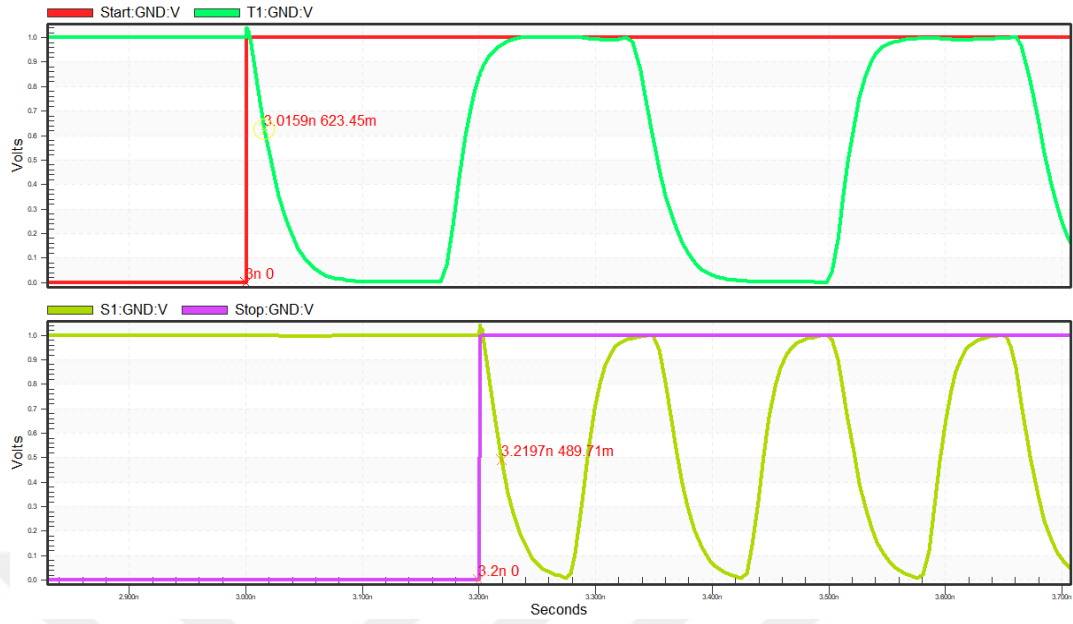
Osilasyon sayma işlemi osilatörlerin durumunun kaydedilmesi göre daha az hassasiyete sahip olduğu için 7 bitlik kaba veri olarak etiketlenmiştir. Bu zaman aralığının hassasiyeti her bir osilatörün gecikme süresiyle doğrudan ilgilidir. Aynı zamanda tasarlanan hibrit TDC mimarisinde yeni bir etkinleştirme sinyali oluştuğu anda osilatörler kararsız durumdan osilasyona başlamak yerine önceki etkinleştirme sinyalinin bittiği ve önceki durdurma sinyalinin geldiği andaki kararlı durum hallerini koruyarak osilasyona bu voltaj seviyesinden başlarlar. Bu durum tasarlanan mimarinin birinci derece gürültü şekillendirmeye sahip olduğunu göstermektedir. Hibrit TDC mimarisi 45 nm model parametrelerinde iki seviyeli TDC mimarisi şeklinde GRO sayıcı ve GRO örnekleyici olarak tasarlanmıştır. GRO örnekleyici bloğu 2 ns zaman farkını 9,5 osilasyon ile temsil etmiş ve zamansal çözünürlük $\sim 210,5$ ps olarak hesaplanmıştır. GRO Sayıcı ise aynı şekilde 2 ns zaman farkında 8 osilasyon sayılmış ve zamansal çözünürlük ~ 250 ps olarak gerçekleşmiştir. Devrede tüketilen toplam güç miktarı 9,1253 mW olarak bulunmuştur.

VGRO TDC mimarisine ait transient analiz sonucu Şekil 4.9’da verilmiştir. VGRO mimarisinde yer alan örnekleyici bloğu yavaş ve hızlı osilasyonlardan hangisinin örnekleyicilere daha önce ulaştığının karar verildiği kontrol üniteleridir. Şekilde görüldüğü gibi ilk dört durumda yavaş osilasyonu temsil eden ‘T’ sinyalleri hızlı osilasyonu temsil eden ‘S’ sinyallerinden daha önce örnekleyicilere ulaştığı için çıkışa lojik-1 seviyesinde aktarılmışlardır. Kalan durumlarda ise hızlı osilasyonlar yavaş osilasyonlardan daha önce örnekleyicilere ulaştığı için örnekleyici çıkışına lojik-0 seviyesinde aktarılmışlardır.



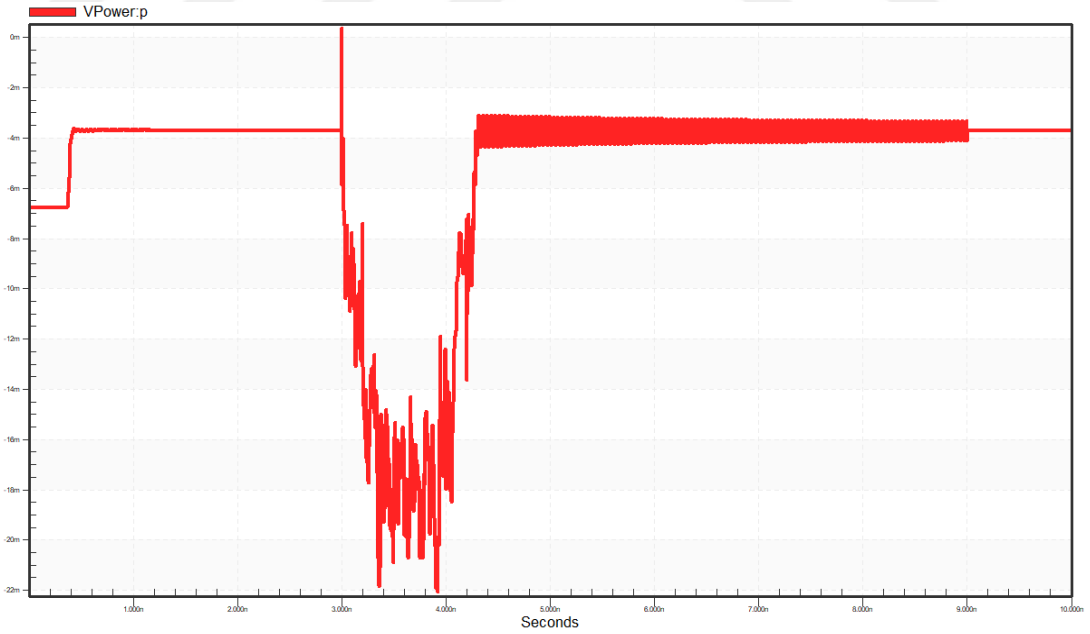
Şekil 4.9. VGRO transient analizi

VGRO TDC mimarisinde zamansal çözünürlük iki farklı osilasyon hattında meydana gelen gecikme sürelerinin farkına eşittir. Şekil 4.10’da 45 nm model parametrelerinde tasarımı gerçekleştirilen mimarinin osilasyon hızları gösterilmiştir. Şekilde görüldüğü gibi başlangıç sinyali ~15,9 ps geciktirilmiş, durdurma sinyali ~19,7 ps geciktirilmiştir. Bu durumda zamansal çözünürlük ~3,8 ps seviyesinde olmuştur. VGRO TDC mimarisinde tüketilen ortalama güç miktarı ise gerçekleştirilen simülasyon sonucu 5,2303 mW olarak bulunmuştur.



Şekil 4.10.VGRO gecikme süreleri

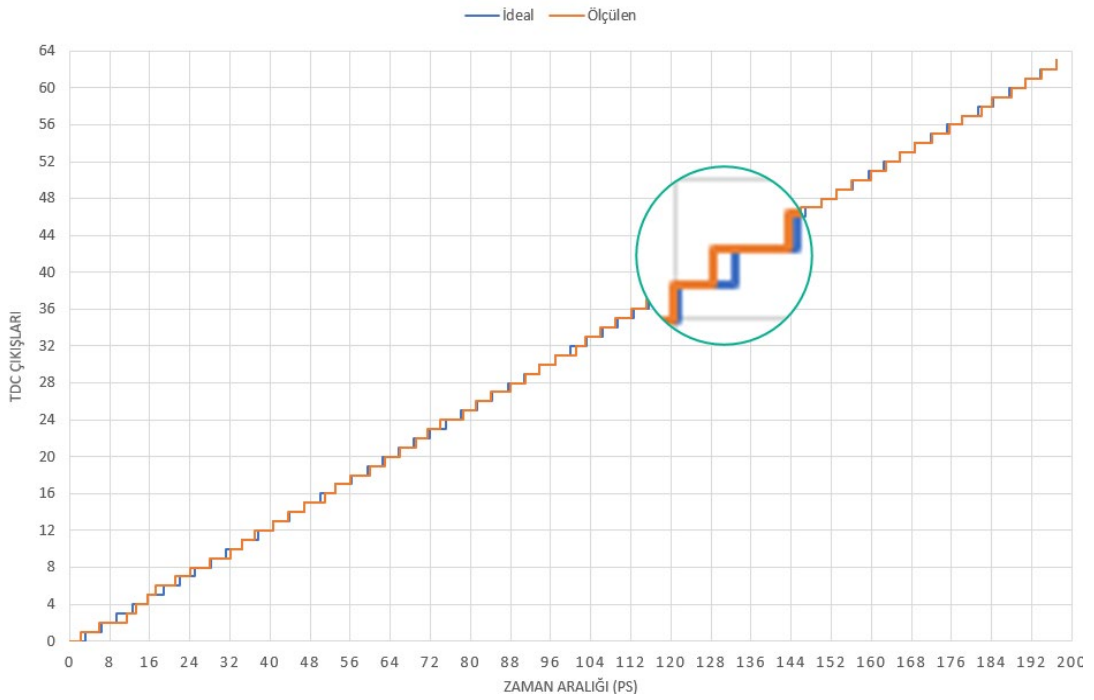
Şekil 4.11’de VGRO TDC mimarisine ait zamana bağlı güç tüketim grafiği verilmiştir. Mimariye güç tüketim dalgalanmaları başlangıç sinyalinin etkin olduğu anda meydana gelen osilasyonlardan kaynaklıdır.



Şekil 4.11. VGRO zamana bağlı güç tüketimi

Şekil 4.12’de 45 nm model parametrelerinde tasarımı yapılan 6 bit VGRO TDC mimarisine ait giriş çıkış zaman grafiği verilmiştir. Giriş zaman aralığı 0,2 ns ideal olarak $2^6=64$ parçaya bölüldüğünde 3,125 ps’lik adımlar oluşmaktadır. Bu çözünürlük

VGRO TDC'nin teorik çözünürlüğü (1 LSB) olarak kabul edilebilir. Bunun yanında ölçülen adımların ideal eğriden sapma miktarları pozitif yönde maksimum 0,63 LSB ve negatif yönde maksimum 0,52 LSB olarak gerçekleşmiştir. Bu değerler tasarımı gerçekleştirilen yapının DNL değerlerinin ifadesidir. TDC çıkışlarında o anki adıma kadar oluşan tüm DNL'lerin toplam değerlerinin maksimumu pozitif yönde 0,79 LSB negatif yönde ise 0,35 LSB olarak gerçekleşmiştir. Bu değerler tasarlanan mimarinin INL değerlerinin ifadesidir.



Şekil 4.12. VGRO TDC giriş çıkış grafiği

5. SONUÇLAR VE ÖNERİLER

Bu çalışmada ToF PET tıbbi görüntüleme sistemlerde kullanılması amacıyla ilk defa farklı tasarım yaklaşımlarına sahip TDC mimarilerinin 45 nm model parametrelerinde VLSI benzetimleri gerçekleştirilmiş ve zamansal çözünürlükleri ile güç tüketimleri karşılaştırılmıştır.

Bu çalışmada öncelikle farklı model parametrelerinin gecikme elemanlarının gecikme süreleri üzerine etkisi incelenmiş ve evirici yapısında en düşük gecikme gerçekleşmiş ve evirici yapısı tasarlanan mimarilerde gecikme elementi olarak kullanılmıştır. Sonrasında farklı model parametrelerinin evirici yapısı üzerindeki gecikme miktarları incelenmiş ve 45 nm model parametresinde en düşük gecikme gerçekleşmiş ve tasarımlarda 45 nm model parametresi kullanılmıştır.

45 nm model parametrelerinde benzetimleri gerçekleştirilen mimarilerin karşılaştırması Tablo 5.1’de verilmiştir. Sayıcı tabanlı TDC mimarisinde düşük güç tüketiminde ortalama bir zamansal çözünürlük elde edilmiştir. Bununla birlikte zamansal çözünürlük referans saat darbesinin frekansına bağlı olarak sınırlanmıştır. Flaş TDC mimarisi sayıcı mimarisine göre düşük güç tüketiminde daha iyi zamansal çözünürlük sunmuştur fakat yine zamansal çözünürlük gecikme elemanlarının gecikme süreleri ile sınırlandırılmıştır. Ayrıca flaş mimari yaklaşımıyla iki farklı gecikme elementinin çözünürlüğe etkisi incelenmiş ve daha az gecikme oluşturan evirici yapısı ile tampon tabanlı yapıya göre daha yüksek zaman çözünürlüğü elde edilmiştir. VDL tabanlı TDC mimarisinde ise iki farklı gecikme elemanı kullanılmış ve zaman çözünürlüğü düşük güç tüketiminde daha yüksek çözünürlük seviyelerinde gerçekleşmiştir. Fakat VDL TDC mimarisinde de zaman çözünürlüğü yine gecikme yapılarının gecikme süreleri ile sınırlandırılmıştır. GRO tabanlı mimaride gecikmeler birbirini tetikleyen osilasyonlar şeklinde oluşmuştur. Bu mimari ile gecikme miktarları gecikme elemanı yapılardan bağımsız fakat teknoloji boyutlarına bağımlı şekilde oluşmuştur. Bu mimaride yüksek osilasyon frekanslarına çıkamadığı için zaman çözünürlüğü ortalama seviyelerde gerçekleşmiştir. Ayrıca osilasyonlardan kaynaklı güç tüketiminin fazla olması diğer mimarilere göre tüketilen ortalama gücü artırmıştır.

Hibrit mimaride GRO hattının örnekleme ve osilasyonlarının sayılması temeline sahip yaklaşımla iki seviyeli mimari oluşturulmuş fakat bağımsız ölçümler nedeniyle istenilen yüksek zaman çözünürlüklerine ulaşılamamıştır. Ayrıca tasarlanan mimariler arasında en yüksek güç tüketimi hibrit yapıda gerçekleşmiştir. VGRO mimarisi en yüksek zaman çözünürlüğüne ulaşılan mimari olmuştur. Vernier prensibinin GRO hattına uygulanması ile iki farklı gecikme miktarına sahip geciktirme hattının örnekleme sonucu düşük güç tüketiminde yüksek çözünürlükler elde edilmiştir. Ayrıca tasarımları gerçekleştirilen mimarilerde kullanılan MOSFET boyutları sabit tutulduğu için, tasarlanan mimarilerin çip alanı ve karmaşıklığı ile ilgili bilgi vermesi amacıyla transistör sayıları da Tablo 5.1’de verilmiştir.

Tablo 5.1. Tasarlanan TDC mimarilerinin karşılaştırması

Mimari	Sayıcı	Flaş		VDL	GRO	Hibrit	VGRO
		Evirici	Tampon				
Çözünürlük (ps)	214,28	29,85	70	24,5	210,5	210~250	3,8
Güç Tüketimi (mW)	0,041	0,611	2,058	1,627	8,038	9,1253	5,230
Transistör Sayısı	14	335	381	429	377	482	345

Benzetimi gerçekleştirilen VGRO yapısının literatürdeki diğer çalışmalarla karşılaştırması Tablo 5.2’de verilmiştir. Önerilen VGRO TDC mimarisi MOSFET gecikmesinden bağımsız yapıda 1V besleme geriliminde 5,23 mW gibi düşük güç tüketiminde 3,8 ps değerinde çok iyi bir zaman çözünürlüğüne ulaşmıştır. Elde edilen bu zaman çözünürlüğü ile PET tarayıcılarında teorik olarak 0,57 mm uzaysal çözünürlüğe erişilebilir. Bununla birlikte tasarlanan devrede DNL değeri -0,52/+0,63 LSB, INL değeri ise -0,35/+0,79 LSB olarak gerçekleşmiştir. Tasarlanan VGRO mimarisinde örnekleyici girişlerine uygulanan en yüksek frekanslı sinyalin (durdurma sinyali) frekansı 6,25 GHz’dir. Mimaride kullanılan doğrusal bitlerin sayısı 5,04 olarak gerçekleşmiştir. Bu değerler ile 6 bit VGRO TDC’nin FoM değeri hesaplandığında 0,269 pJ/conv elde edilmiştir. Ayrıca tasarlanan VGRO TDC mimarisi, nicemleme hatasının birinci dereceli gürültü şekillendirmesini sağlamaktadır.

Elde edilen simülasyon sonuçlarına dayanarak, tasarımı gerçekleştirilen mimariler arasında PET görüntüleme için çok düşük güç tüketimine sahip, yüksek zaman çözünürlüklü ve düşük hata oranlı VGRO mimarisinin kullanımının en uygun olacağı

düşünülmektedir. Bununla birlikte VGRO mimarisiyle birlikte kullanılacak daha düşük gecikme süresine sahip sintilasyon kristalleri ile PET sisteminin çözünürlüğü çok yüksek seviyelere çıkartılabilir. Ayrıca VGRO mimarisinde daha düşük gecikme sürelerine sahip gecikme elementleri kullanılarak sistemin çözünürlüğü artırılabilir. Bununla birlikte tasarlanan yapı çok kanallı yapılar şeklinde paralel işlem gerçekleştiren TDC mimarilerine kaynak olabilir. Tasarlanan mimari ileriki çalışmalarda tam bir çip dizaynı şeklinde üretimi gerçekleştirildiği takdirde bu çalışmada elde edilen benzetim sonuçlarıyla ölçüm sonuçlarının tutarlılığı karşılaştırılabilir.

Tablo 5.2. VGRO TDC mimarilerinin karşılaştırması

Kaynak	[Bu Çalışma]	[70]	[72]	[148]
Yayın Tarihi	2019	2016	2018	2010
Mimari	VGRO	VGRO	VGRO	VGRO
Tasarım Teknolojisi (nm)	45	130	180	130
Çözünürlük (ps)	3,8	7,3	14,33	8
DR (ns)	0,2	9	3,6	2,05
Besleme Gerilimi (V)	1	1,2	1,8	1,5
Güç Tüketimi (mW)	5,2	1,2	1,76	7,5
INL (LSB)	-0,35/+0,79	1,2	-	-
DNL (LSB)	-0,52/+0,63	3,2	-	-
Bit Sayısı	6	7	8	12
FoM (pJ/conv)	0,269	-	-	-
Kullanım Alanı	ToF PET	Medikal Görüntüleme	ToF PET	ADPLL

Bu çalışmada gerçekleştirilen simülasyonlar sonucu ve literatürde çalışılmış tasarımlardan faydalanarak Tablo 5.3’de temel TDC mimarilerinin performanslarının yaklaşık olarak karşılaştırılması gösterilmiştir. Ayrıca temel performans ölçütlerinin yanında tasarımın karmaşıklığı, sayısal çıkışların şekli, tasarım teknolojisi ve kanal sayısı durumları da karşılaştırılmıştır.

Tablo 5.3. TDC mimarilerinin karşılaştırması

Mimari	Sayaç	DLL	DLL Dizisi	RO	GRO	VGRO
Çözünürlük	ps ~ ns	~100 ps	~50 ps	~50 ps	~10 ps	~1 ps
DR	Çok İyi	Orta	İyi	Orta	Orta	İyi
Dönüşüm Hızı	Orta	Çok İyi	Çok İyi	Orta	Orta	Orta
Doğrusal Olmama	İyi	İyi	İyi	Çok İyi	Çok İyi	İyi
Güç Tüketimi	Orta	Orta	İyi	İyi	Orta	Orta
Karmaşıklık	Orta	İyi	İyi	Orta	İyi	Çok İyi
Çok Kanallık	Çok İyi	Çok İyi	İyi	Orta	Orta	İyi
Sayısal Çıktı	İkili	İkili	Sözde-Kod	İkili	İkili	İkili
Mimari	Hibrit	PS	Flaş	VDL	TA	TAC+ADC
Çözünürlük	ps ~ ns	~10 ps	~90 ps	~30 ps	~1 ps	~50 ps
DR	İyi	İyi	Orta	İyi	Orta	Çok İyi
Dönüşüm Hızı	İyi	Orta	Çok İyi	İyi	İyi	İyi
Doğrusal Olmama	Orta	Orta	İyi	İyi	Orta	Orta
Güç Tüketimi	İyi	Orta	Orta	İyi	Orta	Çok İyi
Karmaşıklık	Çok İyi	İyi	Orta	İyi	İyi	İyi
Çok Kanallık	İyi	Orta	İyi	İyi	İyi	İyi
Sayısal Çıktı	-	İkili	İkili	İkili	Sözde-Kod	İkili

Tablo 5.3’de dönüşüm hızları karşılaştırıldığında; sayaç tabanlı TDC’ler ve DLL tabanlı TDC’ler, flaş örnekleme mekanizmaları nedeniyle yüksek dönüşüm hızına sahiptirler. GRO TDC’ler de ise dönüşüm süresi saat süresine bağlıdır. ADC tabanlı TDC’ler de dönüşüm hızı ADC’nin örnekleme hızı ile belirlenir.

Güç tüketimleri karşılaştırıldığında; sayıcı TDC’ler az sayıda sayıcı devrelerinden oluştuğundan küçük statik güç tüketimine sahiptir. GRO ve VGRO TDC’ler daha fazla sayıcı içerdiği için kısmen de olsa daha fazla güç harcarlar. RO mimarisi sürekli osilasyon salınımı gerçekleştirdiği için GRO TDC’ye göre daha fazla güç harcar. DLL tabanlı TDC’ler orta düzeyde güç tüketimine sahiptir. DLL dizisine sahip TDC mimarisi birçok DLL’den meydana geldiği için çok yüksek güç tüketir. ADC tabanlı TDC mimarilerinde tüketilen güç büyük oranda, ADC’nin harcadığı güce bağlıdır.

Doğrusallık karşılaştırıldığında; VGRO, RO ve GRO TDC’ler doğrusallık üzerinde iyi performanslar elde edebilirler çünkü ölçüm uyumsuzluklarından bağımsızdırlar. DLL tabanlı TDC’ler ise uyumsuzluk nedeniyle titremeye maruz kalmaktadır.

Tasarım karmaşıklığı karşılaştırıldığında; Sayaç tabanlı TDC’ler CMOS teknolojilerinde kolayca gerçekleştirilebilir. Bununla birlikte, düşük titreşimli DLL teknikleri gerektiren DLL dizisi tabanlı TDC’ler karışık mimariye sahip devrelerdir. Aynı şekilde TA tabanlı mimarilerde uygulanabilirlik daha zordur.

Çok kanallığa uygulanabilirlik durumları karşılaştırıldığında; sayaç tabanlı TDC’ler ve DLL tabanlı TDC’ler kolayca fazla kanala genişletilebilir. Ancak, GRO ve VGRO TDC’ler çok kanallı mimari oluşturmak için yeniden yapılandırılmalıdırlar. PS tabanlı mimarilerde farklı zaman aralığında düşen kenar ve yükselen kenar elde edilmesi zor olduğundan çok kanallı yapıya uyarlanabilirlikleri daha zordur.

Hibrit TDC’ler, belirli uygulamalara göre özelleştirilebilir. Örneğin, bir DLL içeren sayaç tabanlı TDC mimarisinde hem yüksek çözünürlük hem de geniş DR elde edilebilir.

KAYNAKLAR

- [1] Dudek P., Szczepanski S., and Hatfield J. V., A High-Resolution CMOS Time-to-Digital Converter Utilizing a Vernier Delay Line, *IEEE Journal of Solid-State Circuits*, 2000, **35**(2), 240-247.
- [2] Henzler S., *Time-to-Digital Converters*, 1st ed., Springer Science & Business Media, Berlin, Germany, 2010.
- [3] Sawant S., Time-to-Digital Converter for an All-Digital Phase-Locked Loop, Master Thesis, California State University, Sacramento, Sacramento State, California, USA, 2017.
- [4] Al Abbas T., Dutton N. A. W., Almer O., Finlayson N., Della Rocca F. M., and Henderson R., A CMOS SPAD Sensor With a Multi-Event Folded Flash Time-to-Digital Converter for Ultra-Fast Optical Transient Capture, *IEEE Sensors Journal*, 2018, **18**(8), 3163-3173.
- [5] Wang H., Dai F. F., and Wang H., A Reconfigurable Vernier Time-to-Digital Converter With 2-D Spiral Comparator Array and Second-Order $\Delta\Sigma$ Linearization, *IEEE Journal of Solid-State Circuits*, 2018, **53**(3), 738-749.
- [6] Veerappan C., Richardson J., Walker R., Li D.-U., Fishburn M. W., Maruyama Y., Stoppa D., Borghetti F., Gersbach M., and Henderson R. K., A 160×128 Single-Photon Image Sensor With on-Pixel 55ps 10b Time-to-Digital Converter, *2011 IEEE International Solid-State Circuits Conference*, San Francisco, California, USA, 20-24 February 2011.
- [7] Raisanen-Ruotsalainen E., Rahkonen T., and Kostamovaara J., A Low-Power CMOS Time-to-Digital Converter, *IEEE Journal of Solid-State Circuits*, 1995, **30**(9), 984-990.
- [8] Song J., An Q., and Liu S., A High-Resolution Time-to-Digital Converter Implemented in Field-Programmable-Gate-Arrays, *IEEE Transactions on Nuclear Science*, 2006, **53**(1), 236-241.
- [9] Jansson J.-P., Mantyniemi A., and Kostamovaara J., A CMOS Time-to-Digital Converter With Better Than 10 ps Single-Shot Precision, *IEEE Journal of Solid-State Circuits*, 2006, **41**(6), 1286-1296.
- [10] Lee M. and Abidi A. A., A 9 b, 1.25 ps Resolution Coarse-Fine Time-to-Digital Converter in 90 nm CMOS that Amplifies a Time Residue, *IEEE Journal of Solid-State Circuits*, 2008, **43**(4), 769-777.

- [11] Staszewski R. B., Vemulapalli S., Vallur P., Wallberg J., and Balsara P. T., 1.3 V 20 ps Time-to-Digital Converter for Frequency Synthesis in 90-nm CMOS, *IEEE Transactions on Circuits Systems II: Express Briefs*, 2006, **53**(3), 220-224.
- [12] Poki C., Chun-Chi C., Chin-Chung T., and Wen-Fu L., A Time-to-Digital-Converter-Based CMOS Smart Temperature Sensor, *IEEE Journal of Solid-State Circuits*, 2005, **40**(8), 1642-1648.
- [13] Cao Y., Leroux P., and Steyaert M., *Radiation-Tolerant Delta-Sigma Time-to-Digital Converters*, 1st ed., Springer International Publishing, Gewerbestrasse, Switzerland, 2015.
- [14] Kamat R. K., Shinde S. A., Gaikwad P. K., and Guhilot H., *Harnessing VLSI System Design With EDA Tools*, 1st ed., Springer Netherlands, Dordrecht, Hollanda, 2011.
- [15] Henzler S., Köppe S., and Lorenz D., Time Delay Circuit and Time to Digital Converter, 2009, U. S. Patent 7564284B2, *U.S. Patent and Trademark Office*.
- [16] Aguilar A., García-Olcina R., Leiva I., Martínez P. A., Martos J., Soret J., Suárez A., Torres J., Benlloch J. M., and González A. J., Optimization of a Time-to-Digital Converter and a Coincidence Map Algorithm for TOF-PET Applications, *Journal of Systems Architecture*, 2015, **61**(1), 40-48.
- [17] An S.-M., Son K.-S., An T.-J., and Kang J.-K., Design of a Third-Order Delta-Sigma TDC With Error-Feedback Structure, *IEICE Electronics Express*, 2019, **16**(3), 1-10.
- [18] Lee M., Kim S., Park H.-J., and Sim J.-Y., A 0.0043-mm² 0.3–1.2-V Frequency-Scalable Synthesized Fractional-N Digital PLL With a Speculative Dual-Referenced Interpolating TDC, *IEEE Journal of Solid-State Circuits*, 2019, **54**(1), 99-108.
- [19] Tontini A., Gasparini L., Pancheri L., and Passerone R., Design and Characterization of a Low-Cost FPGA-Based TDC, *IEEE Transactions on Nuclear Science*, 2018, **65**(2), 680-690.
- [20] Sesta V., Villa F., Conca E., and Tosi A., A Novel Sub-10 ps Resolution TDC for CMOS SPAD Array, *2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, Bordeaux, France, 9-12 December 2018.
- [21] Keränen P. and Kostamovaara J., 256x TDC Array With Cyclic Interpolators Based on Calibration-Free 2x Time Amplifier, *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2019, **66**(2), 524-533.
- [22] Mahajan T., Shetty D., and Muthukaruppan R., Time-to-Digital Converter, 2018, WO/2018/169653, *World Intellectual Property Organization*.

- [23] Santos D. M., Dow S. F., Flasck J. M., and Levi M. E., A CMOS Delay Locked Loop and Sub-Nanosecond Time-to-Digital Converter Chip, *IEEE Transaction on Nuclear Science*, 1996, **43**(3), 1717-1719.
- [24] Mhiri M., Saad S., Hammadi A. B., and Besbes K., A New Hybrid TDC Based on GRO-Pseudo Delay Architecture With Fractional Code and Wide Time Range Detection for Divider-Less ADPLL, *Analog Integrated Circuits and Signal Processing*, 2017, **93**(2), 265-275.
- [25] Jahromi S., Jansson J., Nissinen I., Nissinen J., and Kostamovaara J., A Single Chip Laser Radar Receiver With a 9×9 SPAD Detector Array and a 10-Channel TDC, *ESSCIRC Conference 2015-41st European Solid-State Circuits Conference (ESSCIRC)*, Graz, Austria, 14-18 September 2015.
- [26] Park K. and Park J., Time-to-Digital Converter of Very High Pulse Stretching Ratio for Digital Storage Oscilloscopes, *Review of Scientific Instruments*, 1999, **70**(2), 1568-1574.
- [27] Wu G., Deyuan G., Tingcun W., Hu-Guo C., and Hu Y., A High-Resolution Multi-Channel Time-to-Digital Converter (TDC) for High-Energy Physics and Biomedical Imaging Applications, *2009 4th IEEE Conference on Industrial Electronics and Applications*, Xi'an, China, 25-27 May 2009.
- [28] Prinzie J., Steyaert M., and Leroux P., A Single Shot TDC With 4.8 ps Resolution in 40 nm CMOS for High Energy Physics Applications, *Journal of Instrumentation*, 2015, **10**(01), C01031.
- [29] Mester C., Paillard C., and Moreira P., A Multi-Channel 24.4 ps Bin Size Time-to-Digital Converter for HEP Applications, *Topical Workshop on Electronics for Particle physics (TWEPP08)*, Naxos, Greece, 15-19 September 2008.
- [30] Shen B., Unruh G., Lugthart M., Lee C.-H., and Chambers M., An 8.5 mW, 0.07 mm^2 ADPLL in 28 nm CMOS With Sub-ps Resolution TDC and < 230 fs RMS Jitter, *2013 Symposium on VLSI Circuits*, Kyoto, Japan, 12-14 June 2013.
- [31] Lee S.-K., Seo Y.-H., Park H.-J., and Sim J.-Y., A 1 GHz ADPLL With a 1.25 ps Minimum-Resolution Sub-Exponent TDC in $0.18 \mu\text{m}$ CMOS, *IEEE Journal of Solid-State Circuits*, 2010, **45**(12), 2874-2881.
- [32] August N., Lee H.-J., Vandepas M., and Parker R., A TDC-Less ADPLL With 200-to-3200MHz Range and 3mW Power Dissipation for Mobile SoC Clocking in 22nm CMOS, *2012 IEEE International Solid-State Circuits Conference*, San Francisco, California, USA, 19-23 February 2012.
- [33] Vercesi L., Liscidini A., and Castello R., Two-Dimensions Vernier Time-to-Digital Converter, *IEEE Journal of Solid-State Circuits*, 2010, **45**(8), 1504-1512.

- [34] Choi K.-C., Lee S.-W., Lee B.-C., and Choi W.-Y., A Time-to-Digital Converter Based on a Multiphase Reference Clock and a Binary Counter With a Novel Sampling Error Corrector, *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2012, **59**(3), 143-147.
- [35] Balcioğlu Y. and Dündar G., A 0.65-1.35 GHz Synthesizable All-Digital Phase Locked Loop With Quantization Noise Suppressing Time-to-Digital Converter, *Turkish Journal of Electrical Engineering and Computer Sciences*, 2017, **25**(3), 2410-2423.
- [36] Park M. and Perrott M. H., A Single-Slope 80MS/s ADC Using Two-Step Time-to-Digital Conversion, *2009 IEEE International Symposium on Circuits and Systems (ISCAS 2009)*, Taipei, Taiwan, 24-27 May 2009.
- [37] Straayer M. Z. and Perrott M. H., A 12-Bit, 10-MHz Bandwidth, Continuous-Time $\Sigma\Delta$ ADC With a 5-Bit, 950-MS/s VCO-Based Quantizer, *IEEE Journal of Solid-State Circuits*, 2008, **43**(4), 805-814.
- [38] Cao Y., De Cock W., Steyaert M., and Leroux P., Design and Assessment of a 6 ps-Resolution Time-to-Digital Converter With 5 MGy Gamma-Dose Tolerance for LIDAR Application, *IEEE Transactions on Nuclear Science*, 2012, **59**(4), 1382-1389.
- [39] Hou L.-B., Guo Y., Huang G.-H., and Shu R., A Time-to-Digital Converter Used in Photon-Counting LIDAR, *Journal of Infrared Millimeter Waves*, 2012, **31**(3), 243-247.
- [40] Jansson J.-P., Koskinen V., Mantyniemi A., and Kostamovaara J., A Multichannel High-Precision CMOS Time-to-Digital Converter for Laser-Scanner-Based Perception Systems, *IEEE Transactions on Instrumentation and Measurement*, 2012, **61**(9), 2581-2590.
- [41] Xia X., Ye M., He J., Hu K., and Zhao Y., A Novel TDC/ADC Hybrid Reconstruction ROIC for LiDAR, *IEICE Electronics Express*, 2019, **16**(3), 1-8.
- [42] Niclass C., Rochas A., Besse P.-A., and Charbon E., Design and Characterization of a CMOS 3-D Image Sensor Based on Single Photon Avalanche Diodes, *IEEE Journal of Solid-State Circuits*, 2005, **40**(9), 1847-1854.
- [43] Karadamoglou K., Paschalidis N. P., Sarris E., Stamatopoulos N., Kottaras G., and Paschalidis V., An 11-Bit High-Resolution and Adjustable-Range CMOS Time-to-Digital Converter for Space Science Instruments, *IEEE Journal of Solid-State Circuits*, 2004, **39**(1), 214-222.
- [44] Kim Y. and Kim T. W., An 11 b 7 ps Resolution Two-Step Time-to-Digital Converter With 3-D Vernier Space, *IEEE Transactions on Circuits Systems I: Regular Papers*, 2014, **61**(8), 2326-2336.

- [45] Maatta K. and Kostamovaara J., A High-Precision Time-to-Digital Converter for Pulsed Time-of-Flight Laser Radar Applications, *IEEE Transactions on Instrumentation and Measurement*, 1998, **47**(2), 521-536.
- [46] Chillara V. K., Liu Y.-H., Wang B., Ba A., Vidojkovic M., Philips K., De Groot H., and Staszewski R. B., 9.8 An 860 μ W 2.1-to-2.7 GHz All-Digital PLL-Based Frequency Modulator With a DTC-Assisted Snapshot TDC for WPAN (Bluetooth Smart and ZigBee) Applications, *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, San Francisco, California (USA), 9-13 February 2014.
- [47] Staszewski R. B., Wallberg J., Rezeq S., Hung C.-M., Eliezer O., Vemulapalli S., Fernando C., Maggio K., Staszewski R., and Barton N., All-Digital PLL and GSM/EDGE Transmitter in 90nm CMOS, *2005 IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, California, USA, 6-10 February 2005.
- [48] Espey C. and Dec J. E., The Effect of TDC Temperature and Density on the Liquid-Phase Fuel Penetration in a D. I. Diesel Engine, *SAE 1995 Transactions: Journal of Fuels and Lubricants*, 1995, **104**(4), 1400-1416.
- [49] Shimada H. and Mizuno K., External Oscillator - Less TDC - Based All - Digital Temperature Sensor, *Electronics Communications in Japan*, 2019, **102**(5), 12-18.
- [50] Aouini S., Chuai K., and Roberts G. W., Anti-Imaging Time-Mode Filter Design Using a PLL Structure With Transfer Function DFT, *IEEE Transactions on Circuits Systems I: Regular Papers*, 2012, **59**(1), 66-79.
- [51] Tokairin T., Okada M., Kitsunozuka M., Maeda T., and Fukaishi M., A 2.1-to-2.8-GHz Low-Phase-Noise All-Digital Frequency Synthesizer With a Time-Windowed Time-to-Digital Converter, *IEEE Journal of Solid-State Circuits*, 2010, **45**(12), 2582-2590.
- [52] Chernushevich I. V., Loboda A. V., and Thomson B. A., An Introduction to Quadrupole - Time - of - Flight Mass Spectrometry, *Journal of Mass Spectrometry*, 2001, **36**(8), 849-865.
- [53] Braga L. H. C., Gasparini L., Grant L., Henderson R. K., Massari N., Perenzoni M., Stoppa D., and Walker R., An 8 \times 16-Pixel 92kSPAD Time-Resolved Sensor With on-Pixel 64ps 12b TDC and 100MS/s Real-Time Energy Histogramming in 0.13 μ m CIS Technology for PET/MRI Applications, *2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, California (USA), 17-21 February 2013.
- [54] Markovic B., Tisa S., Villa F. A., Tosi A., and Zappa F., A High-Linearity, 17 ps Precision Time-to-Digital Converter Based on a Single-Stage Vernier Delay Loop Fine Interpolation, *IEEE Transactions on Circuits Systems I: Regular Papers*, 2013, **60**(3), 557-569.

- [55] Gersbach M., Maruyama Y., Trimananda R., Fishburn M. W., Stoppa D., Richardson J. A., Walker R., Henderson R., and Charbon E., A Time-Resolved, Low-Noise Single-Photon Image Sensor Fabricated in Deep-Submicron CMOS Technology, *IEEE Journal of Solid-State Circuits*, 2012, **47**(6), 1394-1407.
- [56] Yousif A. S. and Haslett J. W., A Fine Resolution TDC Architecture for Next Generation PET Imaging, *IEEE Transactions on Nuclear Science*, 2007, **54**(5), 1574-1582.
- [57] Swann B. K., Blalock B. J., Clonts L. G., Binkley D. M., Rochelle J. M., Breeding E., and Baldwin K. M., A 100-ps Time-Resolution CMOS Time-to-Digital Converter for Positron Emission Tomography Imaging Applications, *IEEE Journal of Solid-State Circuits*, 2004, **39**(11), 1839-1852.
- [58] Torres J., Aguilar A., García-Olcina R., Martos J., Soret J., González A. J., Conde P., Hernández L., Sánchez F., and Benlloch J. M., High-Resolution Multichannel Time-to-Digital Converter Core Implemented in FPGA for ToF Measurements in SiPM-PET, *2013 IEEE Nuclear Science Symposium and Medical Imaging Conference (2013 NSS/MIC)*, Seoul, Korea, 27 October-2 November 2013.
- [59] Wang Y., Liu C., Cheng X., and Li D., Spartan-6 FPGA Based 8-Channel Time-to-Digital Converters for TOF-PET Systems, *2015 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC)*, San Diego, CA, USA, 31 October-7 November 2015.
- [60] Marino N., Baronti F., Fanucci L., Saponara S., Roncella R., Bisogni M. G., and Del Guerra A., A Multichannel and Compact Time to Digital Converter for Time of Flight Positron Emission Tomography, *IEEE Transactions on Nuclear Science*, 2015, **62**(3), 814-823.
- [61] Hong K. J., Kim E., Yeom J. Y., Olcott P. D., and Levin C. S., FPGA-based time-to-digital converter for time-of-flight PET detector, *2012 IEEE Nuclear Science Symposium and Medical Imaging Conference Record (NSS/MIC)*, Anaheim, California, 29 October-3 November 2012.
- [62] Marino N., Baronti F., Fanucci L., Roncella R., Saponara S., Bisogni M. G., and Del Guerra A., A Novel Time to Digital Converter Architecture for Time of Flight Positron Emission Tomography, *2013 IEEE Nordic-Mediterranean Workshop on Time-to-Digital Converters (NoMe TDC)*, Perugia, Italy, 3 October 2013.
- [63] Ollivier-Henry N., Bard P., Bonnet D., Brasse D., Colledani C., Fuchs C., Hu-Guo C., Humbert B., Mbow N. A., and Hu Y., IMOTEPD: A Low-Jitter 16 Channels Time to Digital Converter Based on Delay Locked Loop for Small Animal PET Imaging Applications, *IEEE Nuclear Science Symposium and Medical Imaging Conference*, Dresden, Germany, 19-25 October 2008.

- [64] Gao W., Gao D., Hu-Guo C., and Hu Y., Integrated High-Resolution Multi-Channel Time-to-Digital Converters (TDCs) for PET Imaging, Editors: Laskovski A., *Biomedical Engineering, Trends in Electronics, Communications and Software*, 1st ed., InTech, Rijeka, Croatia 295-316, 2011.
- [65] Kim M.-S., Cho K.-I., Kwak Y.-S., Lee S., Choi J., and Ahn G.-C., A 19.5 ps-LSB Vernier-Type Time-to-Digital Converter for PET, *Journal of Semiconductor Technology and Science*, 2017, **17**(6), 800-805.
- [66] Sheng D., Chung C.-C., Huang C.-C., and Jian J.-W., A High-Resolution and One-Cycle Conversion Time-to-Digital Converter Architecture for PET Image Applications *35th Annual International Conference of the IEEE EMBS*, Osaka, Japan, 3-7 July 2013.
- [67] Deng Z., Lan A. K., Sun X., Bircher C., Liu Y., and Shao Y., Development of an Eight-Channel Time-Based Readout ASIC for PET Applications, *IEEE Transactions on Nuclear Science*, 2011, **58**(6), 3212-3218.
- [68] Bourrion O. and Gallin-Martel L., An Integrated CMOS Time-to-Digital Converter for Coincidence Detection in a Liquid Xenon PET Prototype, *Nuclear Instruments Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors Associated Equipment*, 2006, **563**(1), 100-103.
- [69] Solf T. J. and Fischer P., Integrated Multi-Channel Time-to-Digital Converter for Time-of-Flight PET, 2010, WO/2007/146587, *U.S. Patent and Trademark Office*.
- [70] Cheng Z., Deen M. J., and Peng H., A Low-Power Gateable Vernier Ring Oscillator Time-to-Digital Converter for Biomedical Imaging Applications, *IEEE Transactions on Biomedical Circuits and Systems*, 2016, **10**(2), 445-454.
- [71] Ramakrishnan V. and Balsara P. T., A Wide-Range, High-Resolution, Compact, CMOS Time to Digital Converter, *19th International Conference on VLSI Design Held Jointly With 5th International Conference on Embedded Systems Design (VLSID'06)*, Washington, DC, USA, 3-7 January 2006.
- [72] Bayat S., Rezaee-Dehsorkh H., and Ravanshad N., Low-Power Time-to-Digital Converter Based on Vernier Gated-Ring-Oscillator, *2018 Iranian Conference on Electrical Engineering (ICEE)*, Mashhad, Iran, 8-10 May 2018.
- [73] Lodge M. A., Lucas J. D., Marsden P. K., Cronin B. F., O'Doherty M. J., and Smith M. A., A PET Study of 18 FDG Uptake in Soft Tissue Masses, *European Journal of Nuclear Medicine*, 1999, **26**(1), 22-30.
- [74] Zheng J., Energy Metabolism of Cancer: Glycolysis Versus Oxidative Phosphorylation, *Oncology Letters*, 2012, **4**(6), 1151-1157.
- [75] Gambhir S. S., Molecular Imaging of Cancer With Positron Emission Tomography, *Nature Reviews*, 2002, **2**(9), 683-693.

- [76] Bailey D. L., Maisey M. N., Townsend D. W., and Valk P. E., *Positron Emission Tomography*, 3rd ed., Springer International Publishing, Cham, Switzerland, 2005.
- [77] Surti S. and Karp J. S., Advances in Time-of-Flight PET, *Physica Medica*, 2016, **32**(1), 12-22.
- [78] Ter-Pogossian M. M., Phelps M. E., Hoffman E. J., and Mullani N. A., A Positron-Emission Transaxial Tomograph for Nuclear Imaging (PETT), *Radiology*, 1975, **114**(1), 89-98.
- [79] Melcher C. L. and Schweitzer J. S., Cerium-Doped Lutetium Oxyorthosilicate: A Fast, Efficient New Scintillator, *IEEE Transactions on Nuclear Science*, 1992, **39**(4), 502-505.
- [80] Cherry S. R., Shao Y., Silverman R. W., Meadors K., Siegel S., Chatziioannou A., Young J. W., Jones W., Moyers J. C., Newport D., Boutefnouchet A., Farquhar T. H., Andreaco M., Paulus M. J., Binkley D. M., Nutt R., and Phelps M. E., MicroPET: a High Resolution PET Scanner for Imaging Small Animals, *IEEE Transactions on Nuclear Science*, 1997, **44**(3), 1161-1166.
- [81] Schmand M., Eriksson L., Casey M. E., Andreaco M. S., Melcher C., Wienhard K., Flugge G., and Nutt R., Performance Results of a New DOI Detector Block for a High Resolution PET-LSO Research Tomograph HRRT, *IEEE Transactions on Nuclear Science*, 1998, **45**(6), 3000-3006.
- [82] Spinks T. J. and Bloomfield P. M., A Comparison of Count Rate Performance for/sup 15/O-Water Blood Flow Studies in the CTI HR+ and Accel Tomographs in 3D Mode, *2002 IEEE Nuclear Science Symposium Conference Record*, Norfolk, Virginia (USA), 10-16 November 2002.
- [83] Conti M. and Bendriem B., The New Opportunities for High Time Resolution Clinical TOF PET, *Clinical and Translational Imaging*, 2019, **7**(2), 139-147.
- [84] Kolthammer J. A., Su K.-H., Grover A., Narayanan M., Jordan D. W., and Muzic R. F., Performance Evaluation of the Ingenuity TF PET/CT Scanner With a Focus on High Count-Rate Conditions, *Physics in Medicine and Biology*, 2014, **59**(14), 3843-3859.
- [85] Parl C., Kolb A., Stricker-Shaver D., and Pichler B. J., Dual Layer DOI Detector Modules for a Dedicated Mouse Brain PET/MRI, *Physics in Medicine and Biology*, 2019, **64**(5),
- [86] Lee B. J., Chang C.-M., and Levin C. S., PET System Technology Designs for Achieving Simultaneous PET/MRI, Editors: Iagaru A., Hope T., and Veit-Haibach P., *PET/MRI in Oncology: Current Clinical Applications*, 1st ed., Springer International Publishing, Cham, Switzerland, 1-26, 2018.
- [87] Knoll G. F., *Radiation Detection and Measurement*, 4th ed., John Wiley & Sons, Hoboken, New Jersey, ABD, 2010.

- [88] Yotter R. A. and Wilson D. M., A Review of Photodetectors for Sensing Light-Emitting Reporters in Biological Systems, *IEEE Sensors Journal*, 2003, **3**(3), 288-303.
- [89] Melcher C. L., Scintillation Crystals for PET, *Journal of Nuclear Medicine*, 2000, **41**(6), 1051-1055.
- [90] Schaart D. R., van Dam H. T., Seifert S., Vinke R., Dendooven P., Löhner H., and Beekman F. J., A Novel, SiPM-Array-Based, Monolithic Scintillator Detector for PET, *Physics in Medicine and Biology*, 2009, **54**(11), 3501-3512.
- [91] Golovin V. and Saveliev V., Novel Type of Avalanche Photodetector With Geiger Mode Operation, *Nuclear Instruments Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 2004, **518**(1-2), 560-564.
- [92] Prekeges J., *Nuclear Medicine Instrumentation*, 2nd ed., Jones & Bartlett Learning, Burlington, Massachusetts, ABD, 2013.
- [93] Turkington T. G., Introduction to PET Instrumentation, *Journal of Nuclear Medicine Technology*, 2001, **29**(1), 4-11.
- [94] Demir B., Pozitron Emisyon Tomografi (PET) Detektörlerinin İnsan Vücut Fantomunda Duyarlılık Analizi, Doktora Tezi, İstanbul Üniversitesi, Fizik Anabilim Dalı, İstanbul, 2007. 178175.
- [95] Demir M., Pozitron Emisyon Tomografisi/Manyetik Rezonans Görüntüleme ve Teknik Özellikler, *Nükleer Tıp Seminerleri*, Antalya, Türkiye, 10-14 Mayıs 2017.
- [96] Yashar C. M., Chapter 23 - Basic Principles in Gynecologic Radiotherapy, Editors: Di Saia P. J. and Creasman W. T., *Clinical Gynecologic Oncology*, 18th ed., Mosby, Philadelphia, 659-680, 2012.
- [97] Alessio A. M., Kinahan P. E., Cheng P. M., Vesselle H., and Karp J. S., PET/CT Scanner Instrumentation, Challenges, and Solutions, *Radiologic Clinics of North America*, 2004, **42**(6), 1017-1032.
- [98] Demir M., Pozitron Emisyon Tomografi (PET) Fiziği, *Toraks Cerrahisi Bülteni*, 2015, **6**(2), 146-153.
- [99] Verel I., Visser G. W. M., and Van Dongen G. A., The Promise of Immuno-PET in Radioimmunotherapy, *The Journal of Nuclear Medicine*, 2005, **46**(1), 164S-171S.
- [100] Asl M. N. and Sadremomtaz A., Analytical Image Reconstruction Methods in Emission Tomography, *Journal of Biomedical Science and Engineering*, 2013, **6**(01), 100-107.

- [101] Daube-Witherspoon M. E. and Muehllehner G., Treatment of Axial Data in Three-Dimensional PET, *Journal of Nuclear Medicine*, 1987, **28**(11), 1717-1724.
- [102] Khalil M. M., *Basic Science of PET Imaging*, 1st ed., Springer International Publishing, Gewerbestrasse, Switzerland, 2016.
- [103] Sitek A., Data Analysis in Emission Tomography Using Emission-Count Posteriors, *Physics in Medicine Biology*, 2012, **57**(21), 6779-6795.
- [104] Surti S., Update on Time-of-Flight PET Imaging, *Journal of Nuclear Medicine*, 2015, **56**(1), 98-105.
- [105] Conti M., Why is TOF PET Reconstruction a More Robust Method in the Presence of Inconsistent Data?, *Physics in Medicine and Biology*, 2010, **56**(1), 155-168.
- [106] Tong S., Alessio A. M., and Kinahan P. E., Image Reconstruction for PET/CT Scanners: Past Achievements and Future Challenges, *Imaging in Medicine*, 2010, **2**(5), 529-545.
- [107] Karp J. S., Surti S., Daube-Witherspoon M. E., and Muehllehner G., Benefit of Time-of-Flight in PET: Experimental and Clinical Results, *Journal of Nuclear Medicine*, 2008, **49**(3), 462-470.
- [108] Rolo M. D., Bugalho R., Goncalves F., Mazza G., Rivetti A., Silva J. C., Silva R., and Varela J., TOFPET ASIC for PET Applications, *Journal of Instrumentation*, 2013, **8**(02), 50-59.
- [109] Wu J. and Shi Z., The 10-ps Wave Union TDC: Improving FPGA TDC Resolution Beyond Its Cell Delay, *2008 IEEE Nuclear Science Symposium, Medical Imaging Conference (2008 NSS/MIC)*, Dresden, Germany, 19-25 October 2008.
- [110] Zanuso M., Levantino S., Samori C., and Lacaita A., A 3MHz-BW 3.6 GHz Digital Fractional-N PLL With Sub-Gate-Delay TDC, Phase-Interpolation Divider, and Digital Mismatch Cancellation, *2010 IEEE International Solid-State Circuits Conference-(ISSCC)*, San Francisco, California (USA), 7-11 February 2010.
- [111] Li G., Tousi Y. M., Hassibi A., and Afshari E., Delay-Line-Based Analog-to-Digital Converters, *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2009, **56**(6), 464-468.
- [112] Gerds E. J., Van Der Spiegel J., Van Berg R., Williams H. H., Callewaert L., Eyckmans W., and Sansen W., A CMOS Time-to-Digital Converter IC With 2 Level Analog CAM, *IEEE Journal of Solid-State Circuits*, 1994, **29**(9), 1068-1076.

- [113] Sasaki O., Taniguchi T., Ohsaka T. K., and Kurashige H., A High Resolution TDC in TKO Box System, *IEEE Transactions on Nuclear Science*, 1988, **35**(1), 342-347.
- [114] Fries M. D. and Williams J. J., High-Precision TDC in an FPGA Using a 192 MHz Quadrature Clock, *2002 IEEE Nuclear Science Symposium Conference Record*, Norfolk, Virginia USA, 10-16 November 2002.
- [115] Roberts G. W. and Ali-Bakhshian M., A Brief Introduction to Time-to-Digital and Digital-to-Time Converters, *IEEE Transactions on Circuits Systems II: Express Briefs*, 2010, **57**(3), 153-157.
- [116] Mota M. J. d. R. G. S., Design and Characterization of CMOS High Resolution Time-to-Digital Converters, Undergraduate Thesis, University of Lisbon, Instituto Superior Técnico, Portugal, 2000.
- [117] Kalisz J., Szplet R., Pelka R., and Poniecki A., Single-Chip Interpolating Time Counter With 200-ps Resolution and 43-s Range, *IEEE Transactions on Instrumentation and Measurement*, 1997, **46**(4), 851-856.
- [118] Elshazly A., Rao S., Young B., and Hanumolu P. K., A Noise-Shaping Time-to-Digital Converter Using Switched-Ring Oscillators—Analysis, Design, and Measurement Techniques, *IEEE Journal of Solid-State Circuits*, 2014, **49**(5), 1184-1197.
- [119] Wang H. and Dai F. F., A 14-Bit, 1-ps Resolution, Two-Step Ring and 2D Vernier TDC in 130nm CMOS Technology, *ESSCIRC 2017-43rd IEEE European Solid State Circuits Conference*, Leuven, Belgium, 11-14 September 2017.
- [120] Yao C.-Y., Hsia W.-C., Tsai P.-J., and Wen Y.-J., The Vernier-Based TDC Employing Soft-Injection-Locked Ring Oscillators, *2012 IEEE International Instrumentation and Measurement Technology Conference Proceedings*, Graz, Austria 13-16 May 2012.
- [121] El-Hadbi A., Cherkaoui A., Elissati O., Simatic J., and Fesquet L., On-the-Fly and Sub-Gate-Delay Resolution TDC Based on Self-Timed Ring: A Proof of Concept, *2017 15th IEEE International New Circuits and Systems Conference (NEWCAS)*, Strasbourg, France, 25-28 June 2017.
- [122] Mauricio J., Gascón D., Ciaglia D., Gómez S., Fernández G., and Sanuy A., MATRIX: a 15 ps Resistive Interpolation TDC ASIC Based on a Novel Regular Structure, *Journal of Instrumentation*, 2016, **11**(12), C12047.
- [123] Villa F., Lussana R., Bronzi D., Tisa S., Tosi A., Zappa F., Mora A. D., Contini D., Durini D., Weyers S., and Brockherde W., CMOS Imager With 1024 SPADs and TDCs for Single-Photon Timing and 3-D Time-of-Flight, *IEEE Journal of Selected Topics in Quantum Electronics*, 2014, **20**(6), 364-373.

- [124] Christiansen J., An Integrated CMOS 0.15 ns Digital Timing Generator for TDC's and Clock Distribution Systems, *IEEE Nuclear Science Symposium*, Norfolk, Virginia, USA, 21-28 October 1995.
- [125] Sorkhabi M. M. and Toofan S., A High Resolution First Order Noise-Shaping Vernier Time-to-Digital Converter, *American Journal of Electrical Electronic Engineering*, 2013, **1**(2), 19-22.
- [126] van den Broek J. D. A., Design and Implementation of an Analog-to-Time-to-Digital Converter, Master Thesis, University of Twente, Faculty of Electrical Engineering, Mathematics and Computer Science, Holland, 2012.
- [127] Mandal M. K. and Sarkar B. C., Ring Oscillators: Characteristics and Applications, *Indian Journal of Pure & Applied Physics*, 2010, **48**(1), 136-145.
- [128] Straayer M. Z. and Perrott M. H., A Multi-Path Gated Ring Oscillator TDC With First-Order Noise Shaping, *IEEE Journal of Solid-State Circuits*, 2009, **44**(4), 1089-1098.
- [129] Enomoto R., Iizuka T., Koga T., Nakura T., and Asada K., A 16-Bit 2.0-ps Resolution Two-Step TDC in 0.18- μm CMOS Utilizing Pulse-Shrinking Fine Stage With Built-In Coarse Gain Calibration, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2018, **27**(1), 1-9.
- [130] Jin X. and Cao C., A High Resolution Time Amplifier Based Time-to-Digital Converter for 3D Image Sensor, *2017 IEEE Electrical Design of Advanced Packaging and Systems Symposium (EDAPS)*, Hangzhou Zhejiang, China, 14-16 December 2017.
- [131] Liu D. and Svensson C., Power Consumption Estimation in CMOS VLSI Chips, *IEEE Journal of Solid-State Circuits*, 1994, **29**(6), 663-670.
- [132] Seo H. and Choi J., Histogram-Based Mixed-Signal Time-to-Digital-Converter Array for Direct Time-of-Flight Depth Sensors, *Electronics Letters*, 2019, **55**(6), 310-312.
- [133] Ziabakhsh S., Gagnon G., and Roberts G. W., A Second-Order Bandpass $\Delta\Sigma$ Time-to-Digital Converter With Negative Time-Mode Feedback, *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2019, **66**(4), 1355-1368.
- [134] Elkholy A., Anand T., Choi W.-S., Elshazly A., and Hanumolu P. K., A 3.7 mW Low-Noise Wide-Bandwidth 4.5 GHz Digital Fractional-N PLL Using Time Amplifier-Based TDC, *IEEE Journal of Solid-State Circuits*, 2015, **50**(4), 867-881.
- [135] Chen P., Hsiao Y.-Y., Chung Y.-S., Tsai W. X., and Lin J.-M., A 2.5-ps Bin Size and 6.7-ps Resolution FPGA Time-to-Digital Converter Based on Delay Wrapping and Averaging, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2017, **25**(1), 114-124.

- [136] Kim M., Lee H., Woo J.-K., Xing N., Kim M.-O., and Kim S., A Low-Cost and Low-Power Time-to-Digital Converter Using Triple-Slope Time Stretching *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2011, **58**(3), 169-173.
- [137] Hussein A. I., Vasadi S., and Paramesh J., A 450 fs 65-nm CMOS Millimeter-Wave Time-to-Digital Converter Using Statistical Element Selection for All-Digital PLLs, *IEEE Journal of Solid-State Circuits*, 2018, **53**(2), 357-374.
- [138] Svensson C. and Wikner J. J., Power Consumption of Analog Circuits: A Tutorial, *Analog Integrated Circuits and Signal Processing*, 2010, **65**(2), 171-184.
- [139] Jovanovic G. S. and Stojcev M. K., Vernier's Delay Line Time-to-Digital Converter, *Scientific Publications of the State University of Novi Pazar, Ser. A: Appl. Math Inform. Mech*, 2009, **1**(1), 11-20.
- [140] Andersson N. U. and Vesterbacka M., A Vernier Time-to-Digital Converter With Delay Latch Chain Architecture, *IEEE Transactions on Circuits Systems II: Express Briefs*, 2014, **61**(10), 773-777.
- [141] Lu P., Liscidini A., and Andreani P., A 3.6 mW, 90 nm CMOS Gated-Vernier Time-to-Digital Converter With an Equivalent Resolution of 3.2 ps, *IEEE Journal of Solid-State Circuits*, 2012, **47**(7), 1626-1635.
- [142] Liscidini A., Vercesi L., and Castello R., Time to Digital Converter Based on a 2-Dimensions Vernier Architecture, *2009 IEEE Custom Integrated Circuits Conference*, San Jose, California, USA, 13-16 September 2009.
- [143] Park Y. and Wentzloff D. D., A Cyclic Vernier TDC for ADPLLs Synthesized From a Standard Cell Library, *IEEE Transactions on Circuits Systems I: Regular Papers*, 2011, **58**(7), 1511-1517.
- [144] Hsu C.-M., Straayer M. Z., and Perrott M. H., A Low-Noise Wide-BW 3.6-GHz Digital $\Delta\Sigma$ Fractional-N Frequency Synthesizer With a Noise-Shaping Time-to-Digital Converter and Quantization Noise Cancellation, *IEEE Journal of Solid-State Circuits*, 2008, **43**(12), 2776-2786.
- [145] Hsieh H.-Y. and Lee C.-C., Hybrid Coarse-Fine Time-to-Digital Converter, 2011, U. S. Patent 7932847, *U.S. Patent and Trademark Office*.
- [146] Liu W. and Hu C., *BSIM4 and MOSFET Modeling for IC Simulation*, 1st ed., World Scientific Co Pte Ltd, Singapore, Singapore, 2011.
- [147] Liu W., *MOSFET Models for SPICE Simulation, Including BSIM3v3 and BSIM4*, 1st ed., Wiley-IEEE Press, United Kingdom, 2001.
- [148] Yu J., Dai F. F., and Jaeger R. C., A 12-Bit Vernier Ring Time-to-Digital Converter in 0.13 μm CMOS Technology, *IEEE journal of solid-state circuits*, 2010, **45**(4), 830-842.



Ek-A

```

* PTM 45nm Metal Gate / High-K
.model nmos nmos level=54
+version = 4.0          binunit = 1          paramchk= 1          mobmod = 0
+capmod = 2            igcmod = 1            igbmod = 1          geomod = 1
+diomod = 1            rdsmo d = 0            rbodymod= 1         rgatemod= 1
+permod = 1            acnqsmo d = 0          trnqsmo d = 0
+tnom = 27             tox e = 9e-010         toxp = 6.5e-010     toxm = 9e-010
+dtox = 2.5e-010      epsrox = 3.9          wint = 5e-009       lint = 2.7e-009
+ll = 0                wl = 0                ll n = 1             wln = 1
+lw = 0                ww = 0                lwn = 1             wwn = 1
+lw1 = 0              ww1 = 0              xpart = 0           toxref = 9e-010
+dlicig = 2.7e-009    k1 = 0.2              k2 = 0              k3 = 0
+vth0 = 0.3423        w0 = 2.5e-006         dvt0 = 1           dvt1 = 2
+k3b = 0              dvt0w = 0            dvt1w = 0          dvt2w = 0
+dvt2 = 0             minv = 0.05          voff1 = 0          dvt p0 = 1e-010
+dsu b = 0.078        lpe0 = 0             lpeb = 0           xj = 1.4e-008
+dvtpl = 0.1          ndep = 6.5e+018      nsd = 2e+020       phin = 0
+ngate = 1e+023       cdsch = 0            cdscd = 0          cit = 0
+cdsc = 0             nfactor = 1.9        eta0 = 0.0055      etab = 0
+voff = -0.13         u0 = 0.02947         ua = -5e-010       ub = 1.7e-018
+vfb = -1.058         vsat = 159550        a0 = 1             ags = 0
+uc = 0               a2 = 1              b0 = 0             bl = 0
+al = 0              dwg = 0             dwb = 0           pclm = 0.06
+keta = 0.04          pdiblc2 = 0.001      pdiblc b = -0.005  drout = 0.5
+pdiblcl = 0.001     delta = 0.01         pscbel = 2.0e+009  pscbe2 = 1e-007
+pvag = 1e-020       pdits = 0.01         pditsd = 0.23     pditsl = 2300000
+fprout = 0.2        rdsw = 105          rsw = 52.5        rdw = 52.5
+rs h = 5            rdwmin = 0          rswmin = 0        prwg = 0
+rdswmin = 0         wr = 1              alpha0 = 0.074     alphal = 0.005
+prwb = 0            agidl = 0.0002       bgidl = 2.1e+009  cgidl = 0.0002
+beta0 = 30          aigbacc = 0.012      bigbacc = 0.0028  cigbacc = 0.002
+egidl = 0.8         aigbinv = 0.014      bigbinv = 0.004   cigbinv = 0.004
+nigbacc = 1         nigbinv = 3          aigc = 0.018029  bigc = 0.0029
+eigbinv = 1.1       aigsd = 0.018029    bigsd = 0.0029    cigsd = 0.002
+cigc = 0.002        poxedg e = 1         pigcd = 1         ntox = 1
+nigc = 1            xrcrg2 = 5          cgbo = 0           cgdl = 7.5e-013
+xrcrg1 = 12         cgdo = 1e-010       cle = 0.6          cf = 1.1e-010
+cgso = 1e-010      clc = 1e-007        vfbcv = -1         acde = 1
+cgsl = 7.5e-013    ckappad = 0.6       voffcv = 0
+ckappas = 0.6      noff = 1            kt2 = 0.022        ute = -1.1
+moin = 15          kt11 = 0            ucl = -5.6e-011   prt = 0
+kt1 = -0.154       ub1 = -1e-018
+ual = 1e-009
+at = 33000
+fnoimod = 1         tnoimod = 0         noia = 6.25e+041  noib = 3.125e+026
+noic = 8.75e+009   em = 41000000       af = 1             ef = 1
+kf = 0             tnoia = 1.5         tnoib = 3.5       ntnoi = 1
+jss = 1.2e-006     jsws = 2.4e-013     jswgs = 2.4e-013  njs = 1
+ijthsfwd = 0.1     ijthsrev = 0.1      bvs = 10          xjbvs = 1
+jsd = 1.2e-006     jswd = 2.4e-013     jswgd = 2.4e-013  xjbvd = 1
+pbs = 1            cjs = 0.0018        mjs = 0.5         pbsws = 1
+cjsws = 1.2e-010  mjsws = 0.33        cjswgs = 2.1e-010  cjd = 0.0018
+cjswd = 1.2e-010  mjswd = 0.33        pbswgd = 1         cjswgd = 2.1e-010
+mjswgd = 0.33     tpb = 0            tcj = 0           tpbsw = 0
+tcjsw = 0         tpbswg = 0         tcjswg = 0        xtis = 3
+dmcg = 0           dnci = 0            dmdg = 0          dmcgt = 0
+dwj = 0           xgw = 0            xgl = 0
+rs h g = 0.4       gbmin = 1e-010     rbpb = 5          rbpd = 15
+rbps = 15         rbdb = 15          rbsb = 15         ngcon = 1

```

Ek-B

```

.model pmos pmos level = 54
+version = 4.0          binunit = 1          paramchk= 1          mobmod = 0
+capmod = 2            igcmmod = 1          igbmod = 1          geomod = 1
+diomod = 1           rdsmod = 0           rbodymod= 1         rgatemod= 1
+permod = 1           acngsmod= 0          trngsmod= 0
+tnom = 27            toxex = 9.2e-010     toxp = 6.5e-010     toxm = 9.2e-010
+dttox = 2.7e-010     epsrox = 3.9         wint = 5e-009       lint = 2.7e-009
+l1 = 0               w1 = 0              lln = 1              wln = 1
+lw = 0               ww = 0              lwn = 1              wwn = 1
+lw1 = 0              ww1 = 0             xpart = 0           toxref = 9.2e-010
+dlcig = 2.7e-009
+vth0 = -0.23122      k1 = 0.2            k2 = -0.01          k3 = 0
+k3b = 0              w0 = 2.5e-006      dvt0 = 1            dvt1 = 2
+dvt2 = -0.032       dvt0w = 0          dvtlw = 0           dvt2w = 0
+dsusb = 0.1         minv = 0.05        voff1 = 0           dvtp0 = 1e-011
+dvtpl = 0.05        lpe0 = 0           lpeb = 0            xj = 1.4e-008
+ngate = 1e+023      ndep = 2.8e+018    nsd = 2e+020        phin = 0
+cdsc = 0            cdsch = 0          cdsd = 0            cit = 0
+voff = -0.13        nfactor = 1.9      eta0 = 0.0049       etab = 0
+vfb = -1.058        u0 = 0.00391       ua = -5e-010        ub = 1.6e-018
+uc = 0              vsat = 78000       a0 = 1              ags = 1e-020
+al = 0              a2 = 1             b0 = 0              bl = 0
+keta = -0.047       dwg = 0            dwb = 0             pclm = 0.1
+pdiblcl = 0.001     pdiblcl2 = 0.001   pdiblcb = 3.4e-008  drout = 0.6
+pvag = 1e-020       delta = 0.01        pscbel = 2e+009     pscbe2 = 9.58e-007
+fprout = 0.2        pdits = 0.08       pditsd = 0.23       pditsl = 2300000
+rsh = 5             rdsw = 105         rsw = 52.5          rdw = 52.5
+rdswmin = 0         rdwmin = 0         rswmin = 0          prwg = 0
+prwb = 0           wr = 1             alpha0 = 0.074      alphas = 0.005
+beta0 = 30          agidl = 0.0002     bgidl = 2.1e+009    cgidl = 0.0002
+egidl = 0.8         aigbacc = 0.012    bigbacc = 0.0028    cigbacc = 0.002
+nigbacc = 1         aigbinv = 0.014    bigbinv = 0.004     cigbinv = 0.004
+eigbinv = 1.1       nigbinv = 3         aigc = 0.010687    bigc = 0.0012607
+cigc = 0.0008      aigsd = 0.010687  bigsd = 0.0012607  cigsd = 0.0008
+nigc = 1           poxedge = 1        pigcd = 1           ntox = 1
+xrcrg1 = 12         xrcrg2 = 5         cgbo = 0            cgd1 = 3e-011
+cgso = 1e-010      cgdo = 1e-010     cle = 0.6           cf = 1.1e-010
+cgsl = 3e-011      clc = 1e-007       vfbcv = -1          acde = 1
+ckappas = 0.6      ckappad = 0.6     voffcv = 0
+moin = 15          noff = 1           kt2 = 0.022         ute = -1.1
+kt1 = -0.14        kt11 = 0           ucl = -5.6e-011    prt = 0
+ual = 1e-009       ub1 = -1e-018
+at = 33000
+fnoimod = 1         tnoimod = 0        noia = 6.25e+041    noib = 3.125e+026
+noic = 8.75e+009   em = 41000000      af = 1              ef = 1
+kf = 0             tnoia = 1.5        tnoib = 3.5         ntnoi = 1
+jss = 2e-007       jsws = 4e-013     jswgs = 4e-013     njs = 1
+ijthsfwd = 0.1     ijthsrev = 0.1     bvs = 10           xjbvs = 1
+jsd = 2e-007       jsd = 4e-013      jswgd = 4e-013     xjbvd = 1
+pbs = 1            cjs = 0.0015      mjs = 0.5           pbsws = 1
+cjsws = 9.4e-011   mjsws = 0.33      cjswgs = 2e-010    cjd = 0.0015
+cjswd = 9.4e-011   mjswd = 0.33      pbswgd = 1         cjswgd = 2e-010
+mjswgd = 0.33      tpb = 0           tcj = 0            tpbsw = 0
+tcjsw = 0          tpbswg = 0        tcjswg = 0         xtis = 3
+dmcg = 0           dmdg = 0          dmcgt = 0          xgw = 0
+xgl = 0
+rshg = 0.1         gbmin = 1e-012     rbpb = 50           rbpd = 50
+rbps = 50         rbdb = 50          rbsb = 50           ngcon = 1

```

KİŞİSEL YAYIN VE ESERLER

Özdemir M. A., Tangel A., VLSI Implementation of TDC Architectures Used in PET Imaging Systems, *International Marmara Science and Social Sciences Congress (IMASCON 2019 SPRING)*, Kocaeli, Türkiye, 26-28 April 2019.

Ekimci G. D., **Özdemir M. A.**, Yeşilkaya B., Unay M., Ercan U. K., and Akan A., Processing and Characterization of Acoustic Signals Emitted During Plasma Discharge, *2018 Medical Technologies National Congress (TIPTEKNO'18)*, Magusa, Cyprus, 8-10 November 2018.

Izci E., **Ozdemir M. A.**, Sadighzadeh R., and Akan A., Arrhythmia Detection on ECG Signals by Using Empirical Mode Decomposition, *2018 Medical Technologies National Congress (TIPTEKNO'18)*, Magusa, Cyprus, 8-10 November 2018.

Degirmenci M., **Ozdemir M. A.**, Sadighzadeh R., and Akan A., Emotion Recognition from EEG Signals by Using Empirical Mode Decomposition, *2018 Medical Technologies National Congress (TIPTEKNO'18)*, Magusa, Cyprus, 8-10 November 2018.

Yol Ş., **Özdemir M. A.**, Akan A., and Chaparro L. F., Detection of Epileptic Seizures by the Analysis of EEG Signals Using Empirical Mode Decomposition, *2018 Medical Technologies National Congress (TIPTEKNO'18)*, Magusa, Cyprus, 8-10 November 2018.

ÖZGEÇMİŞ

Mehmet Akif ÖZDEMİR 1994 yılında Afyonkarahisar’da doğdu. Lise öğrenimini Ali Çağlar Anadolu Lisesi’nde tamamladı. 2012 yılında başladığı Kocaeli Üniversitesi Biyomedikal Mühendisliği Bölümü’nden 2016 yılında fakülte üçüncüsü yüksek onur öğrencisi olarak mezun oldu. Lisans bitirme tezi TÜBİTAK tarafından 2209B kodlu destekleme programıyla desteklenmiştir. 2013 yılında başladığı Kocaeli Üniversitesi Bilgisayar Mühendisliği Bölümü’nü onur öğrencisi olarak 2017 yılında tamamladı. Yüksek lisans eğitimine 2016 yılında Kocaeli Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Haberleşme Mühendisliği Anabilim Dalı’nda başladı. Eğitimi süresince biyomedikal sinyal işleme ve medikal görüntüleme alanlarında çalışmaları bulunmaktadır. Halen iki adet çok disiplinli öncelikli araştırma projesi ve bir adet bilimsel araştırma projesinde araştırmacı olarak görev almaktadır. Ayrıca, 2018 yılından beri İzmir Kâtip Çelebi Üniversitesi Biyomedikal Mühendisliği bölümünde araştırma görevlisi olarak çalışmaktadır.