

**T.C.**  
**TRAKYA ÜNİVERSİTESİ**  
**FEN BİLİMLERİ ENSTİTÜSÜ**

**TÜMLEYEN BAĞLI REZİSTİF ANAHTARLARIN BELLEKLER VE YAPAY  
SİNİR AĞLARINDA KULLANIMI**

**ERTUĞRUL KARAKULAK**

**DOKTORA TEZİ**

**BİLGİSAYAR MÜHENDİSLİĞİ ANABİLİM DALI**

**Tez Danışmanı: Doç.Dr. ERDEM UÇAR**

**EDİRNE-2016**

T.Ü. Fen Bilimleri Enstitüsü onayı

Prof. Dr. Mustafa ÖZCAN  
Fen Bilimleri Enstitüsü Müdürü

Bu tezin Doktora tezi olarak gerekli şartları sağladığını onaylarım.

Prof. Dr. Yılmaz KILIÇASLAN  
Anabilim Dalı Başkanı

Bu tez tarafımızca okunmuş, kapsamı ve niteliği açısından bir Doktora tezi olarak kabul edilmiştir.

Yrd. Doç. Dr. Reşat MUTLU  
İkinci Tez Danışmanı

Doç. Dr. Erdem UÇAR  
Tez Danışmanı

Bu tez, tarafımızca okunmuş, kapsam ve niteliği açısından Bilgisayar Mühendisliği Anabilim dalında bir Doktora tezi olarak oy birliği/oy çokluğu ile kabul edilmiştir.

Jüri Üyeleri

Prof. Dr. Yılmaz KILIÇASLAN

Prof. Dr. Hafız ALİSOY

Doç Dr. Erdem UÇAR

Yrd. Doç Dr. Oğuzhan ERDEM

Yrd. Doç. Dr. Erdiñ UZUN

İmza

Tarih: 24.06.2016

**T.Ü. FEN BİLİMLERİ ENSTİTÜSÜ**  
**BİLGİSAYAR MÜHENDİSLİĞİ DOKTORA PROGRAMI**

**DOĞRULUK BEYANI**

İlgili tezin akademik ve etik kurallara uygun olarak yazıldığını ve kullanılan tüm literatür bilgilerinin kaynak gösterilerek ilgili tezde yer aldığını beyan ederim.



13/02/2016  
Ertuğrul KARAKULAK

Doktora Tezi

Tümleyen Bağlı Rezistif Anahtarların Bellekler ve Yapay Sinir Ağlarında Kullanımı

T.Ü. Fen Bilimleri Enstitüsü

Bilgisayar Mühendisliği Anabilim Dalı

## ÖZET

Rezistif anahtarlar nano boyutta memristif karakteristik gösteren sistemlerdir ve transistör tabanlı kalıcı belleklerin yerine adaydırlar. Bu tip bellekler ile ilgili temel araştırma başlıkları yeni malzemelerin bellekler için kullanımı, okuma yazma yöntemleri, okuma marjininin artırılması ve kaçak akımların azaltılması şeklindedir. Tümleyen bağlı rezistif anahtarlar ise kaçak akımları azaltma maksatlı önerilmiş bir rezistif bellek hücresi çeşididir. Bu tez çalışmasında tümleyen bağlı rezistif anahtarların dinamik modeli yapılmış ve okunan ve durumu tahrip olan bellek hücresini ilk durumuna getirecek şekilde onaran durum makinesi tasarlanmış ve başarımı simülasyonlar ile gösterilmiştir. Ayrıca çok katmanlı tümleyen bağlı rezistif belleklerin kaçak akım ve okuma marjini analizleri yapılmış, eşdeğer devre modelleri ortaya konmuştur. Son olarak tümleyen bağlı rezistif anahtarlar yapay sinir ağları için önerilmiştir. Perseptronların ağırlık faktörlerini tümleyen bağlı rezistif anahtar yapılı ağırlık faktörü devreleri ile uygulanması önerilmiştir. Yine perseptronlar için negatif kazançları uygulamaya imkan veren bir devre yapısı da önerilmiş ve tüm bunların başarımları simülasyonlar ile ortaya konmuştur.

Yıl : 2016

Sayfa Sayısı : 108

Anahtar Kelimeler : Memristor, Rezistif Anahtarlar, Tümleyen Bağlı Rezistif Anahtarlar, Okuma Devreleri, Rezistif RAM, 3D Yapılı Bellekler, Bellek Modelleri, Yapay Sinir Ağı, Perseptron.

Doctoral Thesis

Complementary Resistive Switch Based Memories and Artificial Neural Networks

Trakya University Institute of Natural Science

Computer Engineering Department

## ABSTRACT

The resistive switches show memristive behavior in nano scale. Resistive RAM's which is made of resistive switches and complementary resistive switches are candidate to take current memories place. Research topics of this kind of memories are new nanomaterials, reading and writing methodologies and optimisation of reading margin and sneak path current. Complementary resistive switches has been modelled and model used with reconstructive sensing circuit and performance of the circuit has been shown. In this work, reading margin and sneak path current analysis of multilayer resistive RAM also done, equivalent circuit models are given. Several neural network circuits which are based on the complementary resistive switches with a sensing/writing node have been designed and examined for the first time in literature. Perceptron gains may have positive or negative values. Additionally, for negative weighing factors negative positive gain amplifiers have been proposed. All the simulation results are given.

Year :2016

Number of Pages : 108

Keywords :Memristor, Resistive Switches, Complementary Resistive Switches, Sensing Circuits, Resistive RAM, 3D Memory Structures, Memory Models, Artificial Neural Network, Perceptron.

## ÖNSÖZ

Doktora tez çalışmam esnasında bana her konuda yardım eden, bilgi ve tecrübelerini paylaştan danışmanım Doç. Dr. Erdem UÇAR'a teşekkür ederim. Bilgisi, titizliği ve sabrıyla bana yol gösteren ikinci danışmanım Yrd. Doç. Dr. Reşat MUTLU'ya teşekkür ederim. Tüm tez çalışmam esnasında sonsuz desteğini gördüğüm eşim Yurdanur KARAKULAK'a, kızlarım Eylül ve Şebnem KARAKULAK'a teşekkürü bir borç bilirim.

Ertuğrul KARAKULAK

# İÇİNDEKİLER

|  |     |
|--|-----|
| ÖZET.....  | i   |
| ABSTRACT.....  | ii  |
| ÖNSÖZ .....  | iii |
| İÇİNDEKİLER .....  | iv  |
| ŞEKİLLER LİSTESİ .....   | vvi |
| TABLolar LİSTESİ.....  | x   |
| BÖLÜM 1: GİRİŞ.....  | 1   |
| 1.1. Bilgisayar sistemleri ve bilgisayar bilimleri .....             | 1   |
| 1.2. Bellekler .....   | 2   |
| 1.3. Bellek çeşitleri ve karşılaştırılması .....                     | 3   |
| 1.3.1. Yeni nesil kalıcı bellekler.....                              | 5   |
| 1.3.2. Memristörler ve rezistif RAM bellekler.....                   | 6   |
| 1.4. Bellekler ile ilgili bazı kavramlar.....                        | 11  |
| 1.5 Yapay sinir ağları ve perseptronlar .....                        | 13  |
| 1.6. Çalışmanın amaçları.....  | 14  |
| BÖLÜM 2: REZİSTİF ANAHTARLAR .....                                   | 16  |
| 2.1. Rezistif anahtarlar .....                                       | 16  |
| BÖLÜM 3: TÜMLEYEN BAĞLI REZİSTİF RAM HÜCRELERİ VE MODELİ .....       | 20  |
| 3.1. Tümleyen bağlı rezistif RAM hücreleri .....                     | 20  |
| 3.2. Tümleyen bağlı rezistif RAM hücre modeli .....                  | 27  |
| 3.2.1. Rezistif RAM modelinin sonuçlarının değerlendirilmesi .....   | 31  |
| 3.3. Tümleyen bağlı rezistif anahtar orta uçlu model.....            | 33  |
| BÖLÜM 4: YENİDEN ONARIM ÖZELLİKLİ OKUMA DEVRESİ.....                 | 36  |
| 4.1. TRA'dan okuma yöntemleri .....                                  | 36  |
| 4.2. Yeniden onarım özellikli otomat tasarımı.....                   | 36  |
| 4.2.1. Durum makinesinin çapraz hatlı karesel bellek bağlantısı..... | 42  |
| 4.2.2. Model kullanarak yapılan simülasyon sonuçları.....            | 42  |
| BÖLÜM 5: ÇOK KATMANLI TRA ÇAPRAZ HATLI KARESEL BELLEK ANALİZİ .....  | 46  |

|   |            |
|---|------------|
| 5.1. Çok katmanlı rezistif RAM bellekler .....  | 46         |
| 5.2. Tek katmanlı TRA belleklerin eşdeğer devre modeli .....                                | 47         |
| 5.3. Üç boyutlu tümleyen bağlı rezistif anahtar(3BTRA) yapılı bellekler.....                | 49         |
| 5.3.1. 3BTRA bellek eşdeğer devre modelleri .....   | 50         |
| 5.4. Tek katmanlı ve 3BTRA bellekler için kaçak akım ve okuma marjini karşılaştırması ..... | 53         |
| 5.5. Alternatif bölünmüş çok katmanlı bellek önerileri .....                                | 57         |
| <b>BÖLÜM 6: TÖMLEYEN BAĞLI REZİSTİF ANAHTARLAR İLE YAPAY SİNİR AĞI UYGULAMASI.....</b>      | <b>61</b>  |
| 6.1 Yapay sinir ağları ve perseptron .....  | 61         |
| 6.2 Hopfield perseptron.....  | 63         |
| 6.3 TRA tabanlı perseptron ve yapay sinir ağı devresi .....                                 | 64         |
| 6.4 Negatif pozitif kazanç devresi.....   | 68         |
| 6.5. Normalizasyon devresi.....   | 84         |
| 6.6 Aktivasyon fonksiyonu .....   | 85         |
| 6.7 Perseptron devresi ve TRA yapılı perseptron modeli .....                                | 86         |
| 6.8 Mikrodenetleyici tabanlı TRA yapılı YSA perseptron devresi.....                         | 88         |
| 6.9 TRA yapılı perseptron modeline ait sonuçlar .....                                       | 88         |
| <b>BÖLÜM 7: SONUÇLAR VE TARTIŞMA .....</b>  | <b>98</b>  |
| <b>KAYNAKLAR .....</b>  | <b>101</b> |
| <b>ÖZGEÇMİŞ .....</b>   | <b>107</b> |
| <b>TEZ ÖĞRENCİSİNE AİT TEZ İLE İLGİLİ BİLİMSEL FAALİYETLER .....</b>                        | <b>108</b> |



## ŞEKİLLER LİSTESİ

|   |    |
|---|----|
| Şekil 1-1 Sonlu durum için Turing makinası durum diyagramı .....  | 2  |
| Şekil 1-2 FGMOS temelli kalıcı bellek hücresi .....   | 4  |
| Şekil 1-3 MRAM Bellek Fiziksel Prensipleri .....  | 5  |
| Şekil 1-4 Elektriksel değişkenler, temel pasif devre elemanları ve memristör.....   | 7  |
| Şekil 1-5 Memristörün çimdiklenmiş Histerisis Eğrisi.....   | 7  |
| Şekil 1-6 Memristör Sembolü .....   | 8  |
| Şekil 1-7 Memristör doğrusal modeline ait akım-gerilim histerisis eğrisi.....   | 9  |
| Şekil 1-8 TiO <sub>2</sub> Memristöre ait model tanımı a)Memristör Fiziksel Yapısı b)Memristörde tam katkılanmış ve hiç katkılanmamış bölgeler c)İyonların yayılmasına göre memristörün direnç eşdeğer devreleri..... | 10 |
| Şekil 1-9 Çapraz hatlı(crossbar) bellek. ....   | 12 |
| Şekil 1-10 Çok katmanlı çapraz hatlı bellek yapısı.....   | 13 |
| Şekil 1-11. Perseptron matematik modeli .....   | 14 |
| Şekil 2-1 Rezistif anahtar yapısı, sembolü ve akım gerilim eğrisi.....  | 17 |
| Şekil 2-2 Rezistif çapraz hatlı bellek katmanı ve eşdeğer devresi a) Pull-up direnci ve bellek katmanı b)Rezistif çapraz hatlı bellek direnç eşdeğeri.....  | 18 |
| Şekil 3-1 Tümlleyen bağlı rezistif anahtar(TRA) yapısı.....   | 21 |
| Şekil 3-2TRA bellek hücresi yapısı ve akım gerilim eğrileri .....   | 23 |
| Şekil 3-3TRA hücrenin farklı lojik durumlar için uygulanan gerilimlerin ve akan akımların zamana göre değişimleri .....   | 26 |
| Şekil 3-4TRA hücrenin sinusoidal işaret ile beslenmesi. ....  | 28 |
| Şekil 3-5 TRA hücre modeline ait histerisis eğrisi. ....  | 31 |
| Şekil 3-6 Tümlleyen bağlı hücre(TRA) modeline ait akım, gerilim ve rezistans eğrileri   | 32 |
| Şekil 3-7 Orta uçlu TRA yapısı.....   | 33 |
| Şekil 3-8 Orta uçlu TRA devre modeli .....  | 34 |
| Şekil 3-9 Orta uçlu TRA modeli akım ve gerilim eğrileri .....   | 35 |
| Şekil 4-1 Sonlu durum otomatı blok diyagramı.....   | 37 |
| Şekil 4-2 Durum makinesine ait akış diyagramı.....  | 38 |
| Şekil 4-3 Q1 flip-flop'una ait Karnough şeması.....   | 40 |

|  |    |
|--|----|
| Şekil 4-4 Q0 flip-flop'una ait karnough şeması .....   | 40 |
| Şekil 4-5 Tasarlanan durum makinesi şeması.....  | 41 |
| Şekil 4-6 Durum makinesi ve çapraz hatlı karesel belleğin bağlantısı. ....   | 42 |
| Şekil 4-7 Lojik durum "0" olduğunda durum makinesine ait akım ve gerilim değerleri   | 43 |
| Şekil 4-8 Lojik durum "1" olduğunda durum makinesine ait akım ve gerilim değerleri   | 44 |
| Şekil 5-1 Tek katmanlı çapraz hatlı karesel TRA bellek fiziksel yapısı. ....   | 48 |
| Şekil 5-2 Tek katmanlı çapraz hatlı karesel TRA bellek hücresinden okuma işlemi. ....  | 48 |
| Şekil 5-3 Tek katmanlı çapraz hatlı karesel TRA belleğin eşdeğer devre modeli .....  | 49 |
| Şekil 5-4 3BTRA belleğe ait fiziksel yapı. ....  | 50 |
| Şekil 5-5 3BTRA yapılı bellekte en üst veya en alt katmandan okuma esnasında eşdeğer devresi. ....   | 51 |
| Şekil 5-6 Orta katmanlardan birinden okuma yapılması durumunda 3BTRA yapının devre eşdeğeri.....   | 52 |
| Şekil 5-7 3BTRA bellek katmanlarına ve çapraz hatlı karesel belleklere ait maksimum hücre rezistans değerine( $R_{OFF}$ ) göre normalize edilmiş kaçak rezistans değerleri ..... | 54 |
| Şekil 5-8 Tek katmanlı çapraz hatlı TRA belleğin, ve 3BTRA belleğin katmanlarının okuma marjini. ....  | 55 |
| Şekil 5-9 Katman sayısının fonksiyonu olarak okuma marjini(Bellek Boyutu=4MBit, $R_{OFF}/R_{ON}=1000$ ).....   | 56 |
| Şekil 5-10 Katman sayısının fonksiyonu olarak normalize kaçak rezistansı(Bellek Boyutu=4MBit, $R_{OFF}/R_{ON}=1000$ ). ....  | 57 |
| Şekil 5-11 İkişerli katmanlar şeklinde bölünmüş 3BTRAbellek önerisi. ....  | 58 |
| Şekil 5-12 Üçerli katmanlar şeklinde bölünmüş 3BTRA bellek önerisi.....  | 59 |
| Şekil 5-13 Dörderli katmanlar şeklinde bölünmüş 3BTRA bellek önerisi. ....   | 60 |
| Şekil 6-1 Perseptron a)perseptron blok şeması b)Hopfield perseptron devresi. ....  | 64 |
| Şekil 6-2 Memristör tabanlı bir perseptron. ....   | 65 |
| Şekil 6-3 Orta uçlu TRA tabanlı yapay sinir ağı ve perseptron. ....  | 66 |
| Şekil 6-4 TRA tabanlı perseptron devresi. ....   | 67 |
| Şekil 6-5 Fark Yükseltici a)Fark yükseltici b)Girişleri birleştirilmiş fark yükseltici. ....   | 68 |
| Şekil 6-6 Negatif Pozitif Kazanç Devreleri . ....  | 71 |
| Şekil 6-7 TRA yapılı negatif-pozitif kazanç devresi kazancının $\gamma$ 'ya bağlı değişimi ....  | 71 |
| Şekil 6-8 TRA negatif pozitif kazanç devresi kazancının $\beta$ 'ya bağlı değişimi.....  | 72 |

|  |    |
|--|----|
| Şekil 6-9 Alt memristör kullanan negatif pozitif kazanç devresi.....   | 73 |
| Şekil 6-10 Alt rezistif anahtar kullanan negatif pozitif kazanç devresi kazancın $\gamma$ 'ya göre değişimi..... | 74 |
| Şekil 6-11. Alt memristör kullanan negatif pozitif kazanç devresi kazancın $\beta$ 'ya göre değişimi.....        | 75 |
| Şekil 6-12 Üst memristör kullanan negatif pozitif kazanç devresi .....   | 76 |
| Şekil 6-13 Üst memristör kullanan negatif pozitif kazanç devresi kazancının $\gamma$ 'ya göre değişimi.....      | 77 |
| Şekil 6-14 Üst memristör kullanan negatif pozitif kazanç devresi kazancın $\beta$ 'ya bağlı değişimi.....        | 78 |
| Şekil 6-15 Alt TRA bağlantılı negatif-pozitif kazanç devresi .....   | 79 |
| Şekil 6-16 Alt TRA bağlantılı negatif pozitif kazanç devresi kazancın $\gamma$ 'ya göre değişimi.....            | 80 |
| Şekil 6-17 Alt TRA bağlantılı negatif pozitif kazanç devresi kazancın $\beta$ 'ya bağlı değişimi.....            | 81 |
| Şekil 6-18 Üst TRA bağlantılı negatif-pozitif kazanç devresi.....  | 81 |
| Şekil 6-19 Üst TRA bağlantılı negatif pozitif kazanç devresi kazancın $\gamma$ 'ya göre değişimi.....            | 82 |
| Şekil 6-20 Üst TRA bağlantılı negatif pozitif kazanç devresi kazancın $\beta$ 'ya bağlı değişimi.....            | 83 |
| Şekil 6-21 Normalizasyon devresi .....   | 85 |
| Şekil 6-22 Aktivasyon fonksiyonu.....  | 86 |
| Şekil 6-23 Perseptron simulink modeli.....   | 87 |
| Şekil 6-24 Perseptron ve ağırlık faktörü ayar devresi.....   | 89 |
| Şekil 6-25 Memristans değerinin zamana göre değişimi.....  | 90 |
| Şekil 6-26 TRA gerilim ve akım işaretlerinin zamana göre değişimi.....   | 91 |
| Şekil 6-27 TRA gerilim ve akım işaretinin büyütülmüş görünümü.....   | 91 |
| Şekil 6-28 Doğrusal ayrıştırılabilir veri kümeleri .....   | 92 |
| Şekil 6-29 Perseptronun doğrusal ayrıştırma işlemi .....   | 96 |
| Şekil 6-30 Eşik gerilimini aşan gerilim uygulanması sonucu TRA değerlerinin tahrip olması .....                  | 97 |

## SİMGELER

|            |  |
|------------|--|
| $D$        | :Rezistif elementin fiziksel boyutu                      |
| $I_{mem}$  | :Rezistif/memristif element akımı                        |
| $L$        | :Bellek katmanı sayısı                                   |
| $N$        | : Word/Bit hatlarının sayısı                             |
| $P$        | :Pencere fonksiyonuna ait üstel kuvvet                   |
| $Pt$       | :Platinyum   |
| $R_{leak}$ | :Kaçak rezistans değeri                                  |
| $R_{off}$  | :Rezistif anahtarın yüksek rezistans değeri              |
| $R_{on}$   | : Rezistif anahtarın düşük rezistans değeri              |
| $R_s$      | :Okuma direnci   |
| $R_{sel}$  | :Seçili rezistif anahtarın direnç değeri                 |
| $TiO_2$    | :Titanyumdioksit   |
| $W$        | :Rezistif elementin iyon akımı gerçekleşmiş kısmı boyutu |
| $\beta$    | :Rezistif anahtara ait non-lineerlik katsayısı           |
| $\gamma$   | : $R_{off}/R_{on}$ katsayısı                             |
| $\mu$      | :Rezistif element iyon mobilitesi                        |

## KISALTMALAR

|       |   |
|-------|---|
| LRS   | :Düşük Rezistans Seviyesi                     |
| LS    | :Lojik durum                                  |
| HRS   | :Yüksek Rezistans Seviyesi                    |
| 3BTRA | :Çok Katmanlı Tümleyen Bağlı Rezistif Anahtar |
| CRS   | :Complementary Resistive Switches             |
| TRA   | :Tümleyen Bağlı Rezistif Anahtar              |
| RS    | :Okuma sinyali                                |
| YSA   | :Yapay Sinir Ağları                           |
| RAM   | :Rastgele Erişimli Bellek                     |

## TABLolar LİSTESİ

|   |    |
|---|----|
| Tablo 1.1 Belleklerin karşılaştırılması .....       | 3  |
| Tablo 4.1 TRA hücresi ve lojik durumları .....      | 21 |
| Tablo 4.2 TRA modelde kullanılan parametreler ..... | 30 |
| Tablo 5.1 Durum makinesi durum tablosu.....         | 39 |
| Tablo 6.1 Perseptron TRA modeli parametreleri.....  | 93 |

# BÖLÜM 1

## GİRİŞ

### 1.1. Bilgisayar sistemleri ve bilgisayar bilimleri

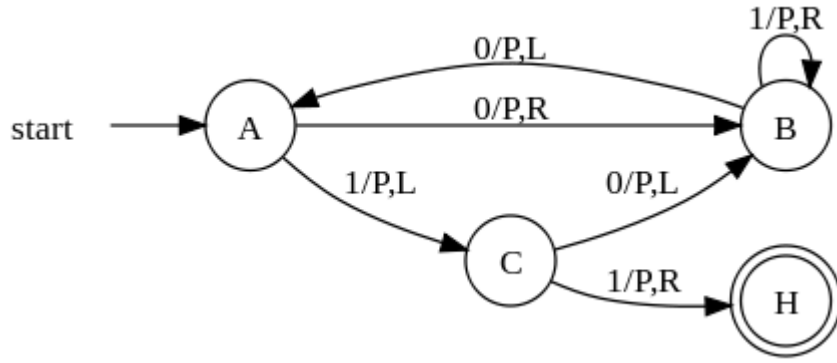
Yüzyılın başında yarı iletken teknolojisindeki gelişmeler ve ikili sayı sistemine dayanan (binary) veri formatı ile veri saklama ve işleme konusunda elektronik ortamlar oluşturulmuştur. Modern anlamda bilgisayar sistemleri bilgisayar bilimlerinin temeli olan algoritmaları işleyen işleten yapılardır [1]. Bilgisayar sistemlerinin işlettiği temel fonksiyonlar,

- ses, görüntü, yazı ve rakam gibi her türlü bilgiyi saklamak,
- istendiği zaman erişimini sağlamak,
- format dönüşümleri sağlamak yeni bilgiler türetmek problem çözmek,
- bilgiyi aktarmak,

şeklinde sıralanabilir [1].

Bilgisayar bilimleri kavramının tanımı ise algoritma kavramına dayanır. Algoritma bir problemi sonlu bir sürede çözebilmek amacıyla geliştirilmiş açık seçik, yürütülebilir ve sıralı bir adımlar dizisidir. Kısacası bir işi veya problemi temel ve basit adımlar ile çözme yöntemidir.

Bu konudaki referans sistem olarak genel olarak Turing makinası gösterilmektedir. Ünlü matematikçi Alan Turing 1936 yılında yayınladığı bir kitabında tüm problemlerin çözümünde kullanılabilecek bir makineden bahsediyordu. Tablolar halinde tanımladığı makine girdilere bağlı olarak durumlar arasında geçiş yapıp çıktılar üretiyordu. Bu makine günümüzdeki bilgisayarların atası olarak kabul edilmektedir [67].



Şekil 1-1 Sonlu durum için Turing makinesi durum diyagramı [67]

Turing makinesinden günümüze kadar bilgisayar donanımları önemli gelişim göstermiştir. Yarı iletken elemanların özellikle transistörlerin kullanıma girmesi ile bilgisayar donanımları çok daha küçük ve az enerji harcayan yapılar haline gelmiştir. Hem belleklerin hem de işlemcilerin temel yapı taşı haline gelen transistörlerin hız, boyut ve maliyet bakımından yetersiz kaldığı durumlardan söz etmek mümkündür. Özellikle kalıcı belleklerde kullanılan transistörler önemli hız dezavantajına sahiptirler.

Bu tez çalışmasının temel amacı bilgisayar donanımında hüküm sürmekte olan transistörlere alternatif olarak sunulan Tümleyen Bağlı Rezistif anahtarlara ait uygulamalar ve yeni uygulama alanları ortaya koymaktır. Bu yolla daha küçük boyutlu, daha ucuz ve çok daha hızlı transistörsüz donanımlar mümkün olacaktır.

## 1.2. Bellekler

İkili sayı tabanında (binary) bilgiyi saklama maksatlı sistemlere bilgisayar belleği adı verilmektedir, bilgisayar sistemleri mimarisinin gerekli ve en temel donanımlarından birisidir. Belleklerden beklenen hız, maliyet, boyut, kalıcılık gibi parametreleri sunan yapıların geliştirilmesi süreçleri bilgisayar sistemleri kadar eskidir. Günümüzde hala yeni tip bilgisayar belleği geliştirme ve iyileştirme çalışmaları devam etmektedir.

Bilgisayar sistemlerinin hızlarına bağlı olarak kullanıma giren bellek kapasiteleri de dramatik bir artış göstermiştir. Günümüzde geniş kapasiteli belleklere ihtiyaç vardır çünkü ses ve görüntü gibi doğası analog olan içerikler binary forma dönüştürüldüklerinde boyutları çok büyük değerlere ulaşmaktadır. Binary sistemin kullanılmasının en önemli faydasının veri iletiminde ve işlenmesinde hataları önlemek, kolay kaydedebilmek olduğunu da burada belirtmeden geçmeyelim.

### 1.3. Bellek çeşitleri ve karşılaştırılması

Bellekleri kalıcı (non-volatile) ve geçici (volatile) yapıda olanlar olmak üzere ikiye ayırmak mümkündür. Kalıcı bellek tipleri enerji kesilse bile uzun süre bilgiyi tutmaya devam ederken geçici bellek tipleri ise enerji kesilmeleri ile bilgiyi yitirirler. Bellekler için en önemli beklentiler verilerin uzun süreli saklanması, maliyet, boyut ve hızdır. Statik ve Dinamik RAM çeşitleri hızlı erişilen ve işlem yapılan bellekler olarak dikkat çekerken diğer yandan bunların verileri çok kısa süreler için saklayabildikleri veya enerji kesilmelerinde üzerlerindeki bilgileri yitirdikleri unutulmamalıdır [2]. Aşağıdaki Tablo 1.1’de bellek çeşitlerinin karşılaştırılmasına yer verilmiştir.

Tablo1.1 Belleklerin karşılaştırılması [3]

|                                      | Geleneksel Bellekler |            |           |            | Yeni Nesil Bellekler |           |           | Redox Tabanlı Bellekler |
|--------------------------------------|----------------------|------------|-----------|------------|----------------------|-----------|-----------|-------------------------|
|                                      | DRAM                 | SRAM       | NOR Flash | NAND Flash | FeRAM                | MRAM      | PCRAM     | Memristor               |
| <b>Bellek Elemanı</b>                | 1T1C                 | 6T         | 1T        | 1T         | 1T1C                 | 1(2)T1R   | 1T(D)1R   | 1(D)1(T)1R              |
| <b>Element Boyutu(nm)</b>            | 36–65                | 45         | 90        | 22         | 180                  | 65        | 45        | <b>9</b>                |
| <b>Yoğunluk(Gbit/Cm<sup>2</sup>)</b> | 0,8–13               | 0,4        | 1,2       | 52         | 0,14                 | 1,2       | 12        | <b>154–309</b>          |
| <b>Okuma Zamanı(ns)</b>              | 2-10                 | <b>0,2</b> | 15        | 100        | 45                   | 35        | 12        | <50                     |
| <b>Yazma Zamanı(ns)</b>              | 2-10                 | <b>0,2</b> | 107       | 106        | 65                   | 35        | 100       | 0,3                     |
| <b>Tutma Süresi</b>                  | 4-64 ms              | N/A        | 10 years  | 10 years   | 10 years             | >10 years | >10 years | >10 years               |

Karşılaştırma sonuçlarından koyu yazılı olanlar o satırın en iyi değerleridir. Bu tablo ITRS (International Technology Roadmap for Semiconductors) [4] tarafından yayınlanmış 2011 raporundan Zidan ve arkadaşları tarafından derlenen verilerden oluşturulmuştur [3].

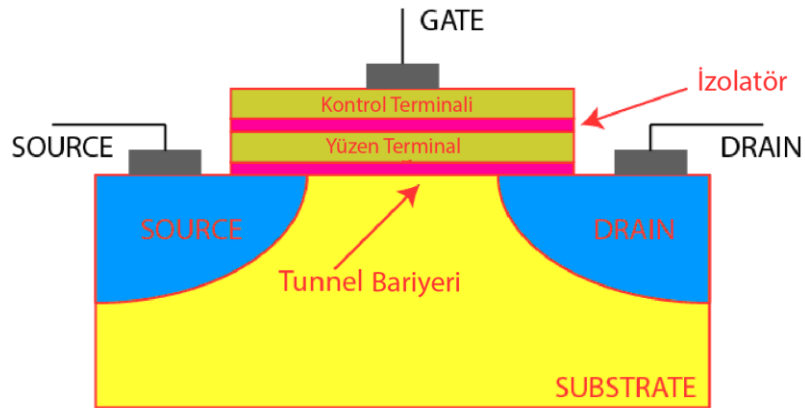
Tabloda sol taraftaki sütunlarda konvansiyonel bellek tipleri yer almıştır. Burada DRAM ve SRAM belleklerin okuma yazma zamanlarını ve flash bellek tiplerinin (EEPROM tabanlı) okuma yazma zamanlarını karşılaştırdığımızda hız konusu anlaşılacaktır. Bunun yanında veriyi tutma süreleri açısından bakıldığında da flash bellek



tipleri öne çıkmaktadır. Dinamik (DRAM) ve statik (SRAM) RAM bellekler verileri çok kısa süreler tutup buna karşın hızlı oldukları için bilgisayarların oku/yaz bellek kısmında yer almaktadırlar [2,5].

Kalıcı bellek tipi olan EEPROM (Electrically Erasable Programable ROM) tabanlı bellekler ise çok uzun süreler (10 yıla kadar) üzerlerindeki verileri saklayabilirken okuma ve yazma işlem sürelerinin uzun olması sebebiyle statik ve dinamik RAM bellekler ile bu açıdan rekabet edememişlerdir. EEPROM yapılı belleklerde hızlanmanın tek yolu blok adresleme yöntemleri kullanmak olmuştur. Bu tip belleklere ise Flash RAM adı verilse de hız bakımından dinamik/statik RAM'lerin oldukça gerisinde, rakip olmaktan uzak kalmıştır. Ayrıca RAM yapıları oku/yaz belleklerin bilgisayar mimarisindeki işlevi dikkate alındığında Flash RAM belleklerin özelliği olan blok adreslemenin bu mimariye uyumsuzluğu öne çıkacaktır. Günümüzde bilgisayarların ve bilgi sistemlerinin yapısında hem statik/dinamik RAM hem de EEPROM yapılı belleklerin yer alıyor olmasının sebebi de budur [5].

Ticari olarak ulaşılabilecek kalıcı bellekler yani EEPROM yapılı Flash RAM bellekler transistör tabanlı yapılardır. Alan etkili bir transistor gate ucundaki gerilim ile kontrol edilmektedir. Söz konusu kontrol ucu bir kapasitör karakteristiği gösterdiğinden bu kapasitör ya da bu kapı şarjı üzerinde tutarak kalıcı olarak transistorü iletimde tutabilecektir. Söz konusu yapıya floating gate MOSFET (FGMOS) adı verilmektedir [6]. Floating gate herhangi bir nokta ile fiziksel bir temas içerisinde olmadığı için üzerindeki yükü yıllar boyunca saklayacak ve alan etkili transistorü iletimde tutacaktır [5-7].



Şekil 1-2 FGMOS temelli kalıcı bellek hücresi

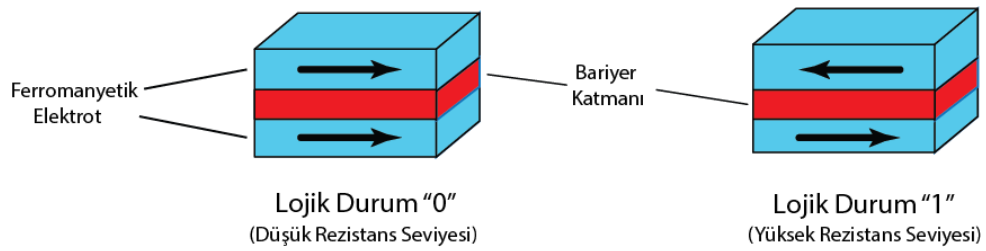
Eğer transistörün iletimde ve kesimde olmasını iki farklı lojik durum olarak düşünürsek EEPROM yapılı kalıcı belleklerin günümüzdeki uygulamalarını anlamış oluruz [5].

### 1.3.1. Yeni nesil kalıcı bellekler

Son yıllarda bilimsel literatürde dinamik/statik RAM bellekler kadar hızlı, verileri kalıcı şekilde depolayan bellek tipleri konusunda umut verici araştırma sonuçları ortaya konmaktadır. Henüz tam anlamıyla ticari ürün pazarında yer almasalar da üzerlerinde çalışmalar devam etmekte, bilimsel literatürde popüler bir çalışma alanı olarak öne çıkmaktadırlar. Tablo 1.1’de verildiği üzere FeRAM (Ferroelectric RAM), MRAM (Magnetoresistive RAM), PCRAM (Phase Change RAM) ve ReRAM(Resistive RAM) yeni nesil bellek çeşitleridir [8]. Bu bellek çeşitlerinin verileri üzerlerinde tutma süreleri ise Tablo 1.1’de görüldüğü üzere 10 yılı bulabilmektedir.

FeRAM bellek hücreleri ile dinamik RAM hücreleri arasında benzer özellikler bulunmaktadır. Dinamik RAM hücresinde yer alan kapasitör yerine FeRAM hücresinde ferroelektrik materyal yer almaktadır. Bu tip belleklerin maliyetleri yüksektir ve bellek hücrelerinin boyutları büyüktür [8]. Bu açılarından diğer gelişen kalıcı bellek tiplerinin gerisinde kalmaktadır. Söz konusu parametreler Tablo 1.1’de görülebilir.

Bir diğer bellek tipi olan MRAM hücrelerinde iki adet ferromanyetik levha arasında tunnel barrier adı verilen bir izolasyon tabakası yerleştirilmiştir. Ferromanyetik katmanlardan birisi sabit manyetik özellikteyken diğeri ise yazma işlemleri esnasında akım geçirilerek yön değişikliğine tabi tutulur. Manyetik kutupların aynı yönde olması bir lojik durumu tanımlarken ters yönde olmaları başka bir lojik konumu tanımlamaktadır. Bu sandviç yapı ise çapraz hatlı (crossbar) şekilde dar bir alana sıkıştırılarak rezistif prensipler ile okuma yazma işlemleri yapılır [8,9].



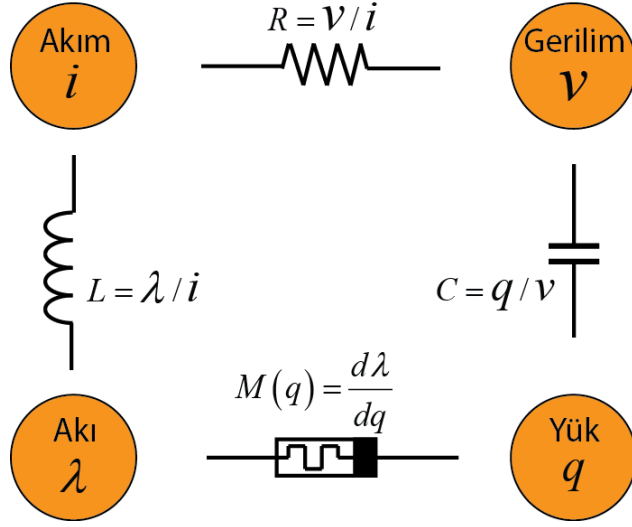
Şekil 1-3 MRAM Bellek Fiziksel Prensipleri

PCRAM bellek yapısında faz deęişimine baęlı bir bilgi depolama söz konusudur. Bu faz aslında elektriksel deęişken olarak faz deęil, bir maddenin durumunun deęişmesi olarak anlaşılmalıdır. Bu bellek hücreleri metalin içerisine kalkojenit cam ilavesi ile elde edilmektedir. Kalkojenit cam iki durumlu bir rezistans meydana gelmesine sebep olmaktadır. Bu iki rezistans durumu arasındaki geçiş ise elektrik akımının etkisi ile olmaktadır. Üzerinden akım akıtılan bellek hücresi içerisindeki kalkojenit cam faz deęiştirerek yüksek rezistans durumundan düşük rezistans durumuna veya tam tersi şekilde düşük rezistanstan yüksek rezistansa geçmektedir. Bu geçiş akımın geçiş yönüne baęlı olarak gerçekleşmektedir. Geçiş işleminin ardından hücre mevcut rezistans durumu ters yönlü ve yeterli deęerde birakım uygulanana kadar saklamaktadır [8]. Aslında konumuz olan rezistif RAM gibi bir davranışa sahip olsa da fiziksel yapısı oldukça farklıdır. Ayrıca Dr.Chua 2011 yılında yayınladığı bir makalesinde memristörler ile rezistif RAM hücrelerini birbiriyle eşleştiren, PCRAM belleklerini de aynı makalede ele almış ve bunları da birer memristif sistem olarak ortaya koymuştur [10].

Tablo 1.1'in sağ tarafındaki sütunlarda yeni nesil bellek tiplerinden birisi de ReRAM belleklerdir. Tablo 1.1'deki verilere bakıldığında geleceęe dair umut verici yapılar oldukları anlaşılacaktır. Bu konuda karşılaştırmalı bilgilere referans [8]'den ulaşılabilir.

### **1.3.2. Memristörler ve rezistif RAM bellekler**

Memristör ilk defa 1971 yılında Dr. Chua tarafından yazılan bir makale ile literatüre girmiştir. Chua bu makalesinde Şekil 1.4'te görüldüğü gibi pasif elektriksel devre elemanları olan RLC (Direnc, indüktör, kapasitör)'nin elektriksel deęişkenler olan akım, gerilim, akı ve yük arasındaki dört kenarda bir eksik parçaya sebep olduğunu ve burada akı ve yükü birbirine baęlayan bir elemanın olması gerektiğini ifade etmiştir. Bir direnc gibi enerji harcayan, aynı zamanda üzerinden akan akıma baęlı olarak direnc deęeri deęişen bir eleman olması gerektiğini söylemiştir.

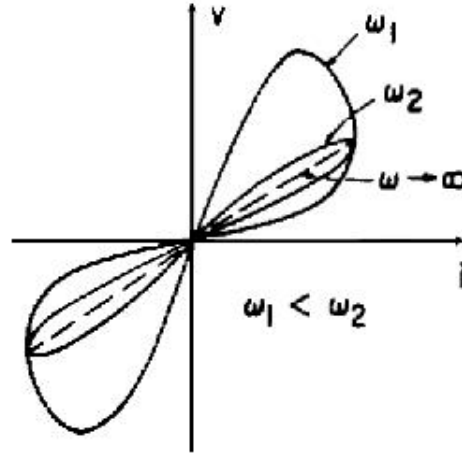


Şekil 1-4 Elektriksel değişkenler, temel pasif devre elemanları ve memristör

Chua'nın verdiği memristans denklemini denklemin 1.1'de görülebilir.

$$M(q) = \frac{d\lambda}{dq} \quad (1.1)$$

Bunun ardından Chua 1976 yılında memristöre ait sıfırdan geçen akım-gerilim histerisis eğrilerini hipotez olarak sunmuştur [11,12].



Şekil 1-5 Memristörün çimdiklenmiş Histerisis Eğrisi [12].



Şekil 1-6 Memristör Sembolü

Aradan geçen yıllar boyunca memristör konusunda çok az sayıda çalışma literatüre girmiştir. 2008 yılında Stanley Williams ve arkadaşları memristör olarak davranan nano boyutta bir ince film oluşturduklarını duyurdular [13]. Williams ve arkadaşlarının memristörü platinyum kontaklar arasına yerleştirilmiş  $TiO_2$ 'ten üretilmişti ve Chua'nın 1976'da verdiği ve Şekil 1.5'te görülen hipotetik akım-gerilim eğrisine benzer bir histerisis eğrisi gösterebiliyordu [11–13]. Williams ve arkadaşları literatürde ilk defa memristörü tanımlayan bir matematik model de verdiler (denklem 1.2). Bu matematiksel ifadeye göre memristörün memristans değeri memristörün üzerinden akan yüke lineer olarak bağlıdır.

$$M(w(t)) = R_{ON} \frac{w(t)}{D} + R_{OFF} \left( 1 - \frac{w(t)}{D} \right) \quad (1.2)$$

Denklem 1.2'de  $D$  kesiti sabit kabul edilen memristif elementin uzunluğu,  $R_{on}$  memristif elementin gösterdiği en küçük direnç değeri ve  $R_{off}$  ise en büyük direnç değeridir,  $w$  ise oksijen iyonlarının dağılım gösterdiği fiziksel bölgenin boyutudur. Denklem 1.3'te  $w$ 'nın zamana göre değişiminin akıma bağlı ifadesi görülebilir.

$$\frac{dw(t)}{dt} = \frac{\mu_v R_{ON}}{D} i(t) \quad (1.3)$$

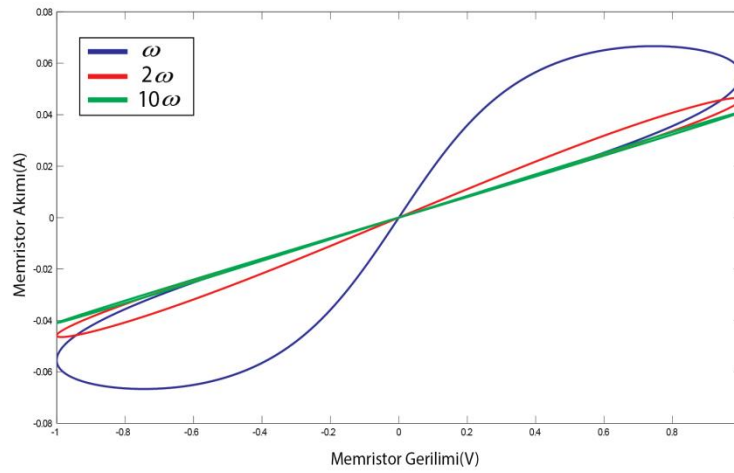
Burada  $\mu_v$  oksijen iyonlarına ait hareketlilik (mobilité) katsayısı  $i$  ise memristör içerisinden akan akımdır. Buradan  $w(t)$  ifadesine her iki tarafın zamana bağlı integralini alarak yüke bağlı bir denkleme ulaşılabılır.

$$w(t) = \frac{\mu_v R_{ON}}{D} q(t) \quad (1.4)$$

Bu denklem denklem 1.2'de yerine yazılarak denklem 1.5'e yani lineer modelde memristörün yüke bağlı ifadesine ulaşılır.

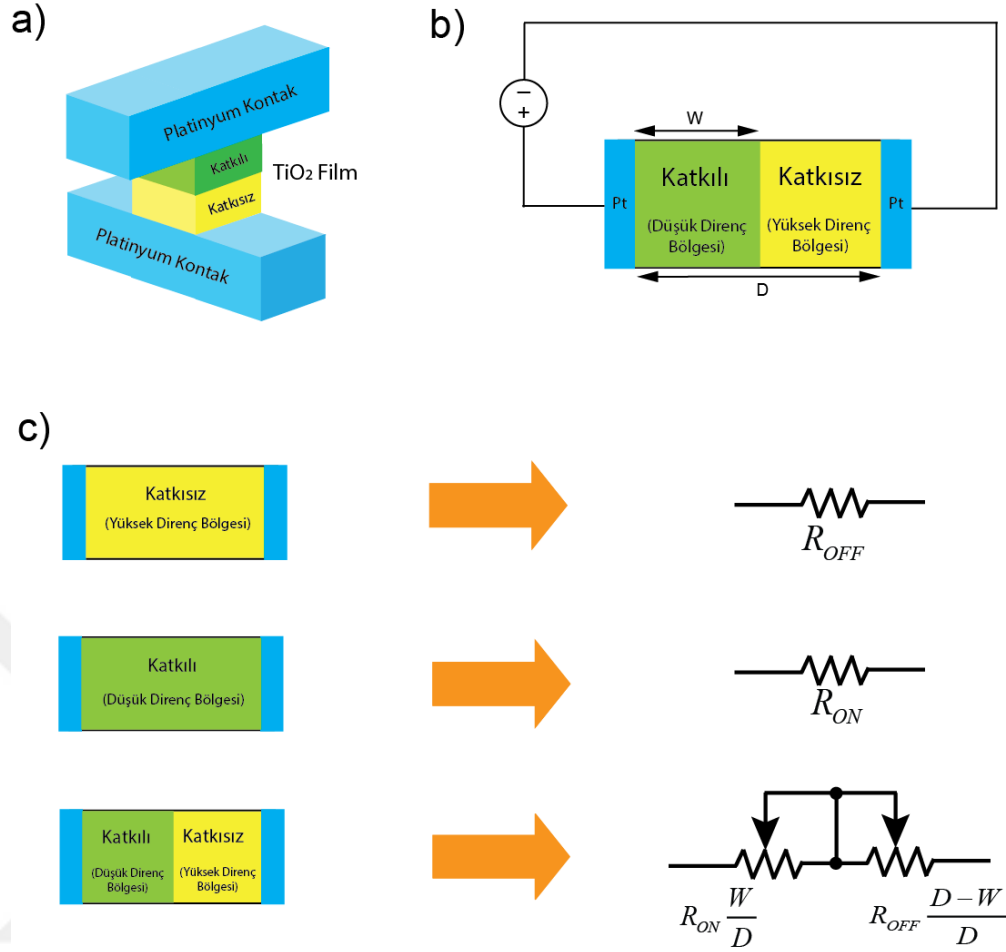
$$M(q) = R_{OFF} \left( 1 - \frac{\mu_V R_{ON}}{D^2} q(t) \right) \quad (1.5)$$

Memristif sistemler ve memristif bir sistem olan rezistif bellekler alternatif gerilim ile beslendiklerinde Şekil 1.5'tekine benzer sıfırdan geçen akım-gerilim histerisis eğrilerine sahiptirler [10].



Şekil 1-7 Memristör doğrusal modeline ait akım-gerilim histerisis eğrisi

Lineer memristör MATLAB Simulink'te modellendi, modele ait akım-gerilim histerisis eğrisi Şekil 1.7'de görülebilir.



Şekil 1-8 TiO<sub>2</sub> Memristöre ait model tanımı a) Memristör Fiziksel Yapısı b) Memristörde tam katkılanmış ve hiç katkılanmamış bölgeler c) İyonların yayılmasına göre memristörün direnç eşdeğer devreleri.

Şekil 1.8’de görüldüğü gibi memristörün fiziksel uzunluğu katkılanmış ve katkılanmamış olarak ikiye ayrılmıştır ve bu iki bölge arası sınır memristör üzerinden akan akıma bağlı olarak değişmektedir. Katkılanmış kısmının oksijen iyonlarının istila ettiği alan, katkılanmamış kısmının ise oksijen açısından fakir olduğu unutulmamalıdır. Tüm memristör hacmi oksijen iyonları ile doyurulduğunda memristif eleman en düşük direnç değerini gösterirken, alanda oksijen iyonlarının hiç yayılmaması durumunda ise memristif eleman en büyük direnç değerini göstermektedir. Bu iki sınır arasındaki değişim hızı akımın değeri ile doğru orantılıdır. Akım akarken katkılanmış ile katkılanmamış bölge sınırları akımın yönüne bağlı olarak hareket etmektedir. Bu bölgeler küçülüp genişleyebilmektedir. Şekil 1.8.c’de görüldüğü gibi eşdeğer memristör direnci ya da memristansı iki tane konuma bağlı ayarlı direnç kullanarak modellenebilmektedir.

Memristörler analog devrelerden biyolojik yapıların modellenmesine pek çok çalışmada yer almışlardır [14-16]. Adından da anlaşılacağı üzere hafıza sahibi bu elemanı bilgisayar belleği olarak araştırmamak ve düşünmemek ise yanlış olurdu [10]. Tabii ki bu durumda analog yapıdaki memristörün ikili bilgiyi saklayacak şekilde ilave devreler ile desteklenmesi gerekmektedir. İkili lojik temellere dayanan sayısal sistemlere memristörün değerinin bir bölgede lojik-1'e bir diğer bölgede ise lojik-0'a tekabül etmesinin kabulü ile mümkündür. Bunu yapmanın yolu ise minimum rezistansı lojik-1, maksimum rezistansı lojik-0 kabul etmektir [10,17-20]. Bu mantıkla çalışan içinden akım geçtiğinde değerini değiştiren nano filmlere rezistif anahtar adı verilmektedir. Rezistif anahtarlar ile ilgili bilgilere Bölüm 2'de yer verilecektir.

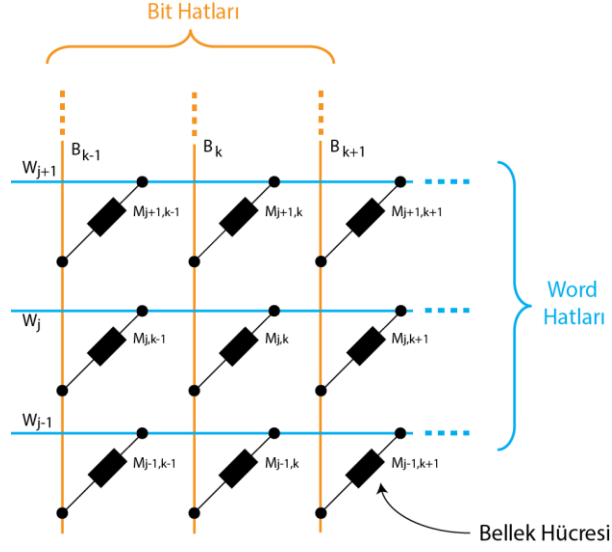
Rezistif RAM kavramı memristörlerden bağımsız olarak yürüyen bir araştırma sahası olarak ilerlemiştir [19]. Non-linear bir direncin gerilim uygulanmaması durumunda değerini koruması bu yapıyı rezistif RAM kavramının merkezine oturtmuştur. Yani elektrik kesildiğinde bir memristif ya da rezistif bellek sahip olduğu son değeri içinde tutabilmektedir, kalıcı (non-volatile) bellek özelliği göstermektedir. Tanımdan anlaşılacağı üzere aslında rezistif RAM hücreleri ile memristörler arasında ciddi paralellikler bulunmaktadır ve Chua'ya göre rezistif RAM'ler birer memristördür [10].

Tablo 1.1'de memristör içeren belleklerin diğer belleklere göre boyut açısından ciddi kazançlar sağladığı görülebilir. Diğer parametreler bakımından ise muadillerinden geri kalır bir yanı görünmemektedir. Bu tabloda yer verilmeyen karşılaştırma parametrelerinden birisi de maliyettir. Memristif elementler transistör gibi yarı iletken yapıları elemanlara göre çok daha düşük maliyetler ile elde edilebilmektedir. Tablo 1.1'de görünen avantajlarının yanında kaçak akımlar önemli handikap ve çalışılması gereken konular olarak dikkat çekmektedir [3].

#### **1.4. Bellekler ile ilgili bazı kavramlar**

Bellekler ile ilgili temel yerleşim düzenlerinin başında crossbar (çapraz hatlı) yapı gelmektedir. Çapraz hatlı yapı ile minimum alana en fazla bellek hücresi yerleştirilmektedir. Bu yerleşimin yanında bu bellek hücrelerinin okunması ve bu hücrelere yazılması da kolay olmalıdır ki çapraz hatlı yapı ayrıca bunu da sağlamaktadır.

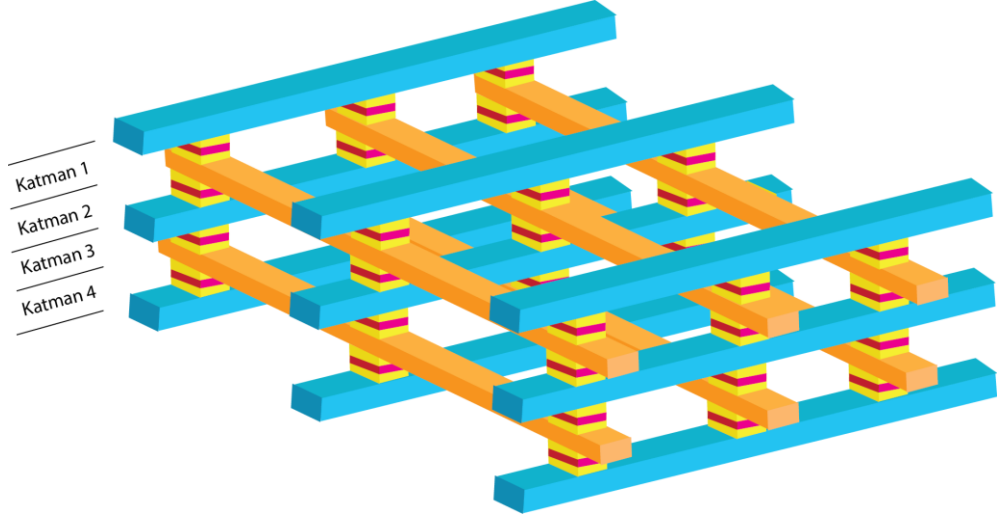




Şekil 1-9 Çapraz hatlı(crossbar) bellek.

Çapraz hatlı yapıda adından da anlaşılacağı üzere hatlar birbirine çapraz geçiş yaparken arada kalan kesişim noktalarında bellek hücreleri yerleştirilmiştir. Söz konusu hatların dikine olanlarının adı bit hatları (bit lines) yatay olanların ise adı word hatları (word lines)'dir. Bir bit hattını ve bir word hattını enerjilediğimizde aslında bir bellek hücrelerinin iki ucunu enerjilemiş oluyoruz ki bellekten okuma ve belleğe yazma bu şekilde gerilim uygulayarak yapılmaktadır. Hedef hücreye yazma ve hedef hücreden okuma yapılırken diğer hücrelerin bu işlemlerden etkilenmemesi, değerlerinde değişiklik olmaması önemlidir.

Bellek yapılarında önemli beklentilerden birisi de boyuttur. Birim alana en fazla bellek hücresi sığdırmak yani bellek yoğunluğunu arttırmak beklentilerden birisidir. Bu açıdan bakıldığında üst üste katmanların sayısını arttırmak da birim hacme düşen hücre sayısını arttıracaktır. Bu konuda da çok sayıda yayın dikkat çekmektedir [21,22].



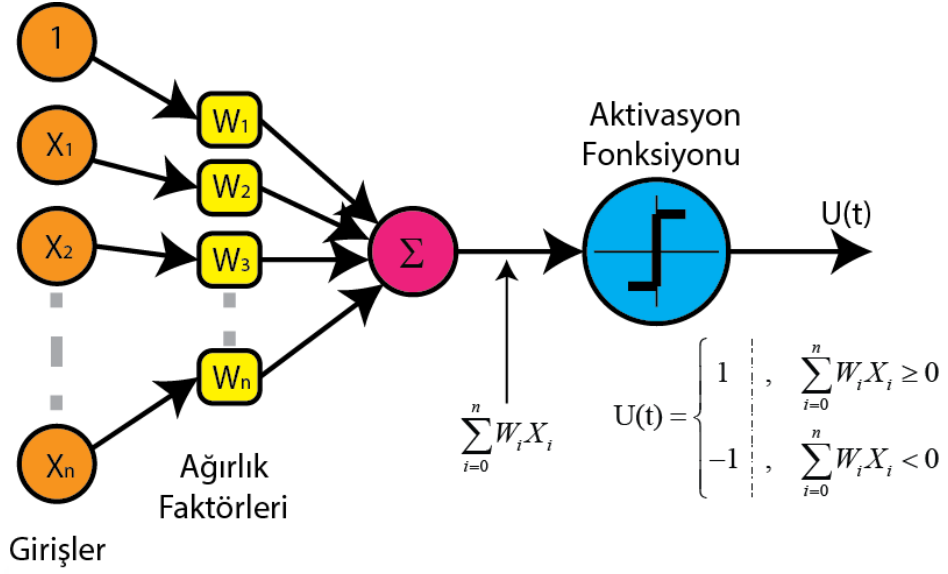
Şekil 1-10 Çok katmanlı çapraz hatlı bellek yapısı.

Üç boyutlu (3D) yapıya sahip bellekler birden fazla katmana sahiptir ve komşu katmanlar aralarındaki bit veya word hatlarını ortaklaşa kullanmaktadırlar. Dikine gerçekleşen bu genişleme bellek kapasitesi ve boyutları bakımından avantaj sağlayabilmektedir.

### 1.5 Yapay sinir ağları ve perseptronlar

Yapay sinir ağları ve neuro computing, yapay zekâ çalışmaları içerisinde özellikle son yıllarda önemli bir yer tutmaktadır. Bir nöronun veya nöral sistemin modellenmesi yoluyla öğrenebilen devreler ve yapılar yapma çabası heyecan yitirmeden devam etmektedir. Burada insanın sinir sisteminin öğrenmesinin sinaptik bağlantılar kurmak veya bu bağlantıları koparmak şeklinde gerçekleştiği unutulmamalıdır. Bir nöron ise tek yönlü çıkış veren bir toplayıcı olarak modellenebilir. Bu işlemi gerçekleştiren devrelere ise perseptron adı verilmektedir [23].

1954 yılında yapılan ilk yapay sinir ağı devre modelinde Rosenblatt bu sinir bağlantılarının ağırlık faktörlerini birer ayarlı direnç olarak bağlamış ve ayarlama işlemlerini ise birer motor ile bilgisayar tarafından yapmıştır [23]. Daha sonraki yıllarda bu mekanik yapıyı ayarlı dirençler yerlerini transistör çeşitlerine bırakmıştır. Günümüzde ise birçok çalışmada memristörler değiştirilebilir direnç özellikleri ile ağırlık faktörü noktalarında önerilmişlerdir [47-49].



Şekil 1-11. Perseptron matematik modeli

Şekil 1.11’de perseptrona ait bir blok şema görülmektedir. Görüldüğü üzere perseptronun en önemli özelliği girişlerinden aldığı elektriksel işaretleri toplamaktır. Girişlerine uygulanan işaretler ise ağırlık faktörleri ile çarpılarak toplama işlemine girmektedir. Bu ağırlık faktörlerini ayarlamak için rosenblatt mekanik ayarlı dirençler kullanmıştı, günümüzde ise bu noktada transistörler kullanılmaktadır. Devrenin çıkışında ise aktivasyon fonksiyonu bulunmaktadır. Sinir iletileri ya vardır, ya da yoktur. Yani sinir iletilerinin gücü bir birinden farklı olmaz o sebeple bir eşik geçildiğinde perseptron çıkış vermeli eşik altına ise çıkış vermemelidir. Bu fonksiyon için tanjant hiperbolik gibi fonksiyonlar da kullanılmaktadır.

### 1.6. Çalışmanın amaçları

Moore yasasına göre her 18–24 ayda üretilen transistör sayısı katlanacak şekilde bir gelişim gözlenecektir. Tabii bu transistörler mikroişlemcilerin ana bileşeni oldukları gibi bellek hücrelerinin de ana bileşeni şekindedirler. Ancak, yeni nesil bellek üretim çalışmaları bu yasanın geçerliliğini ortadan kaldıracak gibi görünüyor. Ferroelektrik bellek hücrelerinden magnetorezistif bellek hücrelerine pek çok transistörsüz veya transistör sayısı azaltılmış bellek çeşidi üzerinde çalışmalar devam etmektedir. Bu tip bellek çeşitlerinden birisi de rezistif RAM (ReRAM) bellek tipleridir.

Sayısal bilgi sistemlerinin gelişimi takip edildiğinde kabiliyetlerin logaritmik bir şekilde arttığı görülmektedir. Buna karşılık olarak donanımsal gelişmenin de fonksiyonel bu gelişmeleri destekleyebilecek hızda seyretmesi sürdürülebilir gelişimi getirecektir. Bilgi sistemlerinin temellerini işlemciler ve bellek birimleri olarak iki donanım sınıfına bölebiliriz. İşlemciler hızlanırken belleklerin yerinde saymasının fren etkisi yapacağı unutulmamalıdır.

Yapay zekâ uygulamaları da transistör temelli yapıların yaygın kullanıldığı donanım yapıları üretmektedir. Örneğin bir yapay sinir ağının ağırlık faktörlerinden toplayıcısına kadar transistörler kullanılmaktadır. Bu noktalarda da rezistif anahtarlar gibi yenilikçi yapıların kullanılmaya başlaması boyutların küçülmesi maliyetin düşmesi, üretimin kolaylaşması ve yaygınlaşma gibi faydalı etkiler ortaya koyacaktır. Bunun yanında rezistif anahtarlar kalıcı yapıdır ve elektrik kesilmelerinde üzerlerinde değeri yitirmezler.

Bu tez çalışmasında amaç, henüz ticari ürün olarak yaygınlık kazanmamış durumdaki TRA yapılı belleklerin okuma yöntem ve prosedürlerine yeni yaklaşımlar getirmek, daha önce getirilmiş yaklaşımların uygulamalarına ait donanımlar önermek, bunun yanında kaçak akımları azaltan, okuma marjini iyileştiren topolojiler ile bu bellek tipine ait handikapları azaltıcı öneriler getirmektir. Bunun yanında yapay sinir modeli olan perseptronda da ağırlık faktörü noktalarında TRA'ların kullanılması önemli katkılar yapacaktır. Bu sayede maliyeti düşük, boyutları küçük ve kalıcı bir bellek çeşidi olan rezistif RAM'lerin bilgisayar donanımları içerisine girmesini sağlamak için teorik katkıda bulunmaktadır.

Bu tez şu şekilde kısımlandırılmıştır; çalışmanın ikinci bölümünde rezistif anahtarlar kısaca açıklanmıştır, birbirine ters ve seri bağlı rezistif anahtarların temel faydası bellek bölgesindeki kaçak akımları azaltmaktır üçüncü bölümde bu yapı incelenmiş model oluşturulmuştur. Bu model kullanılarak okuma işlemini otomatize eden yeniden onarıcılı bir okuma devresi dördüncü bölümde verilmiştir. Beşinci bölümde çok katmanlı rezistif belleklere ait analizler ve eşdeğer devre modelleri literatürde bir ilk olarak ortaya konmuştur. Altıncı bölümde tümleyen bağlı rezistif anahtar kullanarak yapılmış yapay sinir ağı devresi önerilmiş ve sonuçlar verilmiştir. Yapılanlar üzerine tartışma, sonuçlar ve bu konuda gelecekte yapılabilecek çalışmalar sonuç bölümünde verilerek tez sonuçlandırılmıştır.

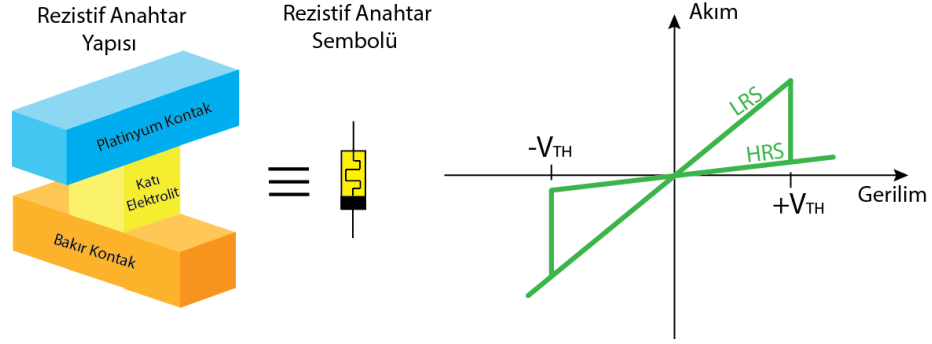
## BÖLÜM 2

### REZİSTİF ANAHTARLAR

#### 2.1. Rezistif anahtarlar

Giriş bölümünde kısaca açıklandığı üzere memristörler analog yapılu elemanlardır. Yani memristansları ya da rezistansları iki sınır arasında sonsuz sayıda değer noktasına sahiptir. Bilindiği üzere ikili sistemde bellek hücreleri de mutlaka iki konumlu şekilde bilgiyi saklamalıdır. Bu konumlardan birisi lojik-1 diğeri ise lojik-0 olacaktır. Buradan yola çıkarak şu sonuca varılabilir; memristörleri mutlaka iki konumlu şekilde modifiye etmeliyiz ki ikili sayı temelli sistemlerde kullanabilelim. Bu tür bellek elemanlarına ise rezistif anahtar adı verilmektedir.

Rezistif anahtarlarda iki eşik gerilimi bulunmaktadır. Bu eşik gerilimleri aşıldığında rezistif anahtar diğeri konuma anahtarlanmaktadır. İki eşik geriliminden birisi artı gerilim bölgesindeyken, diğeri ise eksi gerilim bölgesindedir. Rezistif anahtarın iki konumundan birisi yüksek rezistans seviyesi (HRS-High Resistance State) adıyla ifade edilirken diğeri ise düşük rezistans seviyesi (LRS-Low Resistance State)'dir. Şekil 2.1'de alternatif gerilim ile beslenen rezistif elemana ait akım-gerilim histerisis eğrileri verilmiştir. Dikkat edilirse bellek elementi LRS konumundayken düşük bir direncin gösterdiği doğrusallığı göstermekte ve nispeten yüksek bir akım geçirmektedir. Bellek elementi HRS konumundayken ise yine sıradan bir direnç benzeri doğrusallık göstermekte ancak bu defa çok daha yüksek değerli bir direnç gibi davranmaktadır [10,17-19].



Şekil 2-1 Rezistif anahtar yapısı, sembolü ve akım gerilim eğrisi.

Bellek elementi LRS konumundayken gerilim  $+V_{TH}$  noktasına ulaştığında element HRS rezistans düzeyine anahtarlanmakta ve bundan sonra gerilim yükselse bile akan akımın seviyesine dikkat edilirse HRS durumunun devamlılığı görülmektedir. Bellek elementi HRS konumundayken  $-V_{TH}$  gerilim noktasına ulaşılmadığı sürece HRS rezistans seviyesini koruyacaktır. Uygulanan gerilim  $-V_{TH}$  seviyesine ulaştığında ise element LRS konumuna anahtarlanacaktır. Yine gerilim eksi yönde artsa bile element konumunu koruyacak ve LRS konumuna karşılık bir akım akıtacaktır. Bunun yanında gerilim uygulanmadığında veya enerji kesilmelerinde de kalıcı özellik gösteren rezistif anahtar son rezistans seviyesini koruyacaktır. Bu şekilde rezistif element ile binary lojik formunda bilgi saklanabilecektir. Ancak bu tip tek rezistif elementten oluşan çapraz hatlı bellek bölgelerinin kaçak akımları yüksek olmaktadır. LRS konumundaki rezistif elementler çok daha yüksek kaçak akımlar akıtacağı için kaçak akımlara önemli katkı yapacaktır. Bu tip hücrelere ait en önemli handikap bu olarak görülmektedir.

Şekil 2.2.a'da görüldüğü gibi çok hatlı karesel rezistif anahtarlardan oluşan belleklerden okuma esnasında bit hattı ucuna yerleştirilmiş bir rezistans (pull-up rezistans) ile hat enerjilenir. Bu arada karşılık gelen word hattına da toprak potansiyeli uygulanır. Bu sırada hedef bellek elementinden bellek elementinin rezistif durumuna bağlı akım akacaktır. Akan akım pull-up direnci üzerindeki gerilim değerinden tespit edilmektedir. Tabii ki bu arada komşu bellek elementleri üzerinden de uygulanan gerilime bağlı kaçak akımlar akacaktır. Bu kaçak akımlar bellek boyutları arttıkça kabul edilemez değerlere ulaşmaktadır. Bunun yanında bellek boyutlarına bağlı olarak eşdeğer rezistansın değerinin çok düşmesi pull-up direnci üzerindeki hedef hücrenin değerine bağlı olan okuma geriliminin hücre rezistansına bağlı olan değişme hassasiyetini azaltmaktadır. Bu durumda hedef bellek hücresinin okunmasını zorlaştırmaktadır. Pull-

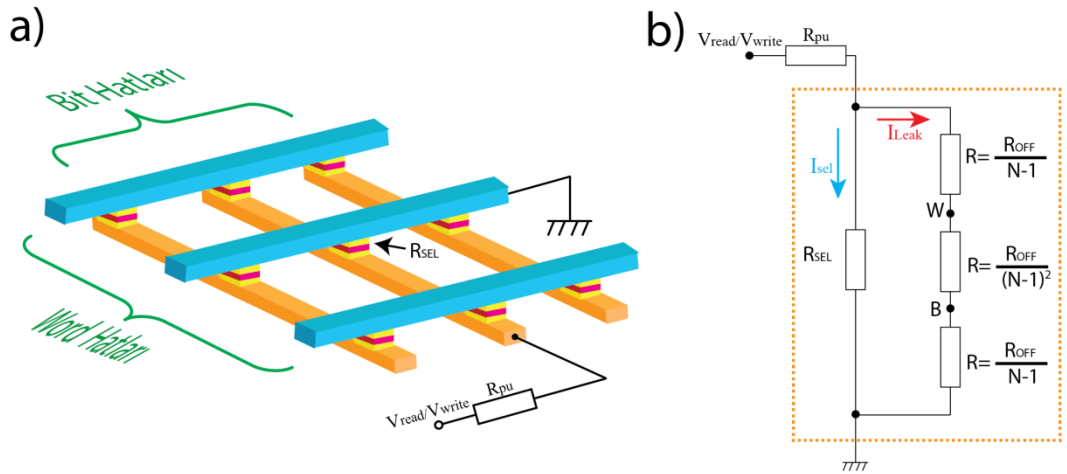
up (yukarıya bağlama) direnci üzerinde hedef hücrenin rezistansına bağlı olarak hem lojik-1 hem de lojik-0 için okunan bu gerilimlerin farkının okuma gerilimine oranının yüzdelik ifadesine okuma marjini adı verilmektedir. [24]'te verilen bilgilere göre %20'nin altında kalan bir okuma marjini kabul edilmemektedir. Okuma marjini,

$$\Delta V = \frac{|V_{\min} - V_{\max}|}{V_{\text{read}}} \quad (2.1)$$

yüzde okuma marjini,

$$\% \Delta V = \frac{|V_{\min} - V_{\max}|}{V_{\text{read}}} \cdot 100 \quad (2.2)$$

olarak bulunabilir. Burada  $V_{\min}$  rezistif anahtar yüksek rezistans konumundayken pull-up direnci üzerindeki gerilim,  $V_{\max}$  ise rezistif anahtar düşük rezistans değerindeyken pull-up direnci üzerindeki gerilim değeridir. Bunun yanında rezistif çapraz hatlı bellek için verilmiş olan direnç eşdeğer devresi [25,26]'da bulunmaktadır. Bu devrede sağda görülen üç adet kaçak patika dirençleri "N" yani word/bit hatlarının sayısına bağlı olarak verilmiştir. Denklemden "N" değerinin artmasıyla kaçak rezistans azalmakta bu durum kaçak akımları arttırmaktadır. Bu aynı zamanda okuma marjininin de azalmasına neden olmaktadır.



Şekil 2-2 Rezistif çapraz hatlı bellek katmanı ve eşdeğer devresi a) Pull-up direnci ve bellek katmanı b) Rezistif çapraz hatlı bellek direnç eşdeğeri [25,26].

Şekil 2.2.b’de sağ taraftaki üç rezistans kaçak rezistansı modellemektedir. Dikkat edilirse denklemde değişken “N” yani bit/word hatlarının sayısıdır. Bu değişken denklemin paydasında bulunduğu için yüksek N değerleri için kaçak rezistans çok küçük değerler almakta ve kaçak akım çok yüksek olmaktadır. Bu durum çok büyük bellek kapasitelerin uygulanmasını imkânsız hale getirmektedir.

Rezistif anahtarlar konusunda temel çalışma konularından birisi de bu kaçak akımlara bağlı sorunları aşmak için yeni okuma ve yazma yöntemleri geliştirmektir. Okuma konusunda AC kullanarak okuma konusu ön plana çıkarken kaçak akımları önlemek için ise tümleyen bağlı bellek hücreleri (TRA) veya word veya bit hatlarından bazılarını pull-up veya pull-down yapmak gibi yöntemler ön plana çıkmaktadır. Bunun yanında yine rezistif RAM yapısının yanına ilave edilen seçici transistörler veya kaçak akımı azaltma maksatlı diyotlar ile farklı topolojiler de önerilmiştir [3].



## BÖLÜM 3

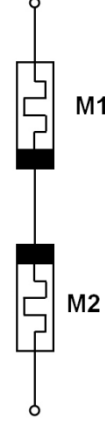
### TÜMLEYEN BAĞLI REZİSTİF RAM HÜCRELERİ VE MODELİ

#### 3.1. Tümleyen bağlı rezistif RAM hücreleri

Bir rezistif RAM bellek hücresinin değerini okumak için içinden akım geçirilmelidir. Yine rezistif RAM hücresinin içinden akacak bu akımla değerinin değişmesi de muhtemeldir. Bunu engellemek için anahtarlama özellikli materyallerden yapılmış rezistif anahtarlar önerilmektedir [17-19,27]. Ayrıca bir eşik geriliminin altındaki gerilimlerde değeri değişmeyen ya da ihmal edilebilir bir değerde değişen yapılar üzerinde çalışılmaktadır [28]. Bu sayede memristörlerin iki konumlu dirençler olarak kullanımı sağlanarak, lojik-0 ve lojik-1 şeklinde ikili sayı tabanını kullanan bilgisayar mimarisine adaptasyon sağlanmıştır [10].

Ancak şu unutulmamalıdır ki tek rezistif element  $R_{ON}$  konumundaysa ciddi akımlar akıtacaktır. Okuma yapılan hücre haricinde kaçak rezistans hücrelerinin ise  $R_{ON}$  konumunda olması ise kaçak akımları ciddi anlamda arttıracaktır. Şekil 3.1’de görüldüğü gibi tümleyen yani ters seri şekilde iki rezistif anahtarı bağlamak bu hücre hangi konumda olursa olsun toplam rezistansının her zaman  $R_{OFF}$  değerinden fazla olmasını sağlayacaktır ki bu yöntem kaçak akımların azaltılması konusundaki önemli önerilerden biridir [3]. Linn ve arkadaşları tarafından önerilen Tümleyen Rezistif Anahtar (TRA) İngilizce literatürde ise CRS (Complementary Resistive Swithes) diye adlandırılan bellek hücre yapısı söz konusu sorunları ciddi manada azaltmaktadır [3,24]. Bu tarihten sonra nano malzeme çalışan araştırmacılar TRA yapıları farklı malzemeler ile gerçekleştirerek sonuçları paylaşmışlardır [29,30]. TRA kullanan rezistif tip bellek hücrelerine ait araştırmalar hızla devam etmekte her geçen gün literatüre yeni yayınlar katılmaktadır

[3,31]. Tüm bu bilgiler ışığında ortaya atılan TRA yapı fikrine rağmen bu tip bellek hücresinden okuma ve bu hücelere yazma konuları açık araştırma alanları olarak göze çarpmaktadır [3,31].



Şekil 3-1 Tümüleyen bağlı rezistif anahtar(TRA) yapısı

TRA şeklinde bağlı iki rezistif anahtardan Tablo 3.1’de görüldüğü gibi birinin yüksek rezistans (HRS) değerinin düşük rezistans (LRS) durumunda olması lojik 1 veya 0 durumunu ifade etmektedir [24].

Tablo 3.1 TRA hücresi ve lojik durumları [23]

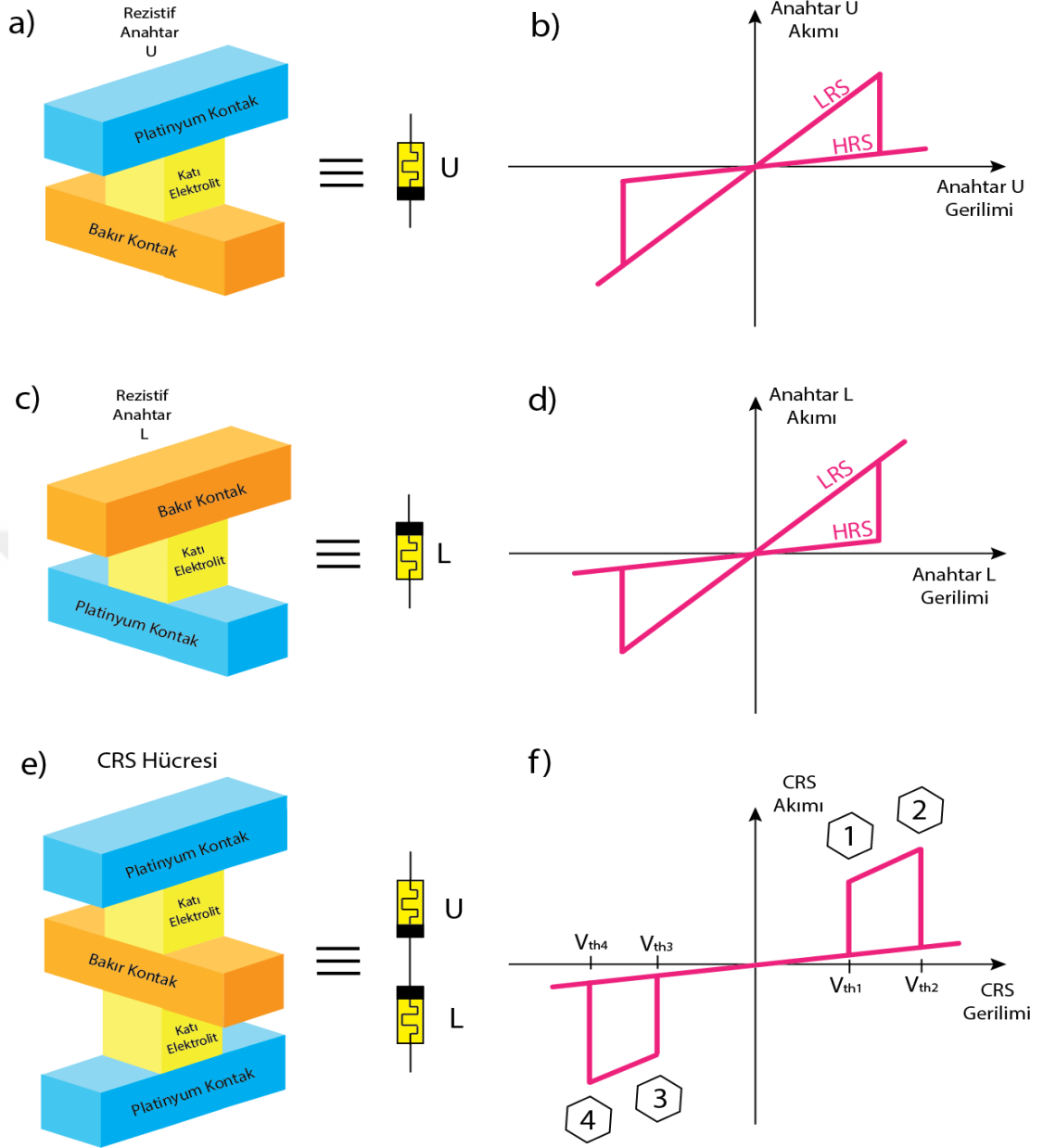
| TRA Lojik Durum | Rezistif Anahtar 1 | Rezistif Anahtar 2 | TRA Rezistansı |
|-----------------|--------------------|--------------------|----------------|
| Lojik 0         | HRS                | LRS                | $\approx$ HRS  |
| Lojik 1         | LRS                | HRS                | $\approx$ HRS  |
| On State        | LRS                | LRS                | LRS+ LRS       |
| Off State       | HRS                | HRS                | HRS+ HRS       |

Şekil 3.1’de görülen ters seri bağlı iki rezistif elementin de HRS yani yüksek direnç seviyesinde olma durumu ile ancak üretimin hemen ardından karşılaşılmakta, hücrenin ilk yazma prosesi ile bu durum ortadan kalkmakta ve bir daha asla bu konuma gelinmemektedir. Hücre okuma veya yazma işlemleri bittiğinde mutlaka lojik-0 veya

lojik-1 durumundadır. Okuma yazma işlemleri esnasında ise kısa bir süre boyunca “on state” konumuna gelmektedir. Tüm bu açılardan bakıldığında TRA yapının sağladığı en önemli faydanın bellek hücresinin lojik-0 ve lojik-1 durumlarının her ikisinde de yüksek rezistif değerler göstermesi olduğu anlaşılabilir. Bu durum kaçak akımları da okuma yazma işlemlerindeki enerji sarflarını da azaltmaktadır [24].

Bu iki memristörü münferit olarak düşündüğümüzde orta uçtan alınan işaret ile hücrenin durumunu okumak mümkündür. Ancak, iki memristörün ortalarından bir terminal alarak buradaki gerilimden yola çıkarak hücrenin lojik seviyesini algılamak en kolay yöntem olarak dikkat çekmesine rağmen, yoğun belleklerde her hücreden bir orta uç çıkarma zorluğu bu yöntemin uygulanmasını neredeyse imkânsız hale getirmektedir. Bu yöntem ancak yoğun olmayan belleklerde ve lojik tasarımlarda uygulanabilir [31]. Bunun dışında klasik çapraz hatlı karesel bellek yapısına yapılan değişiklikler ile orta uçlu bağlantının önerildiği yayınlar da literatürde bulunabilir [32].

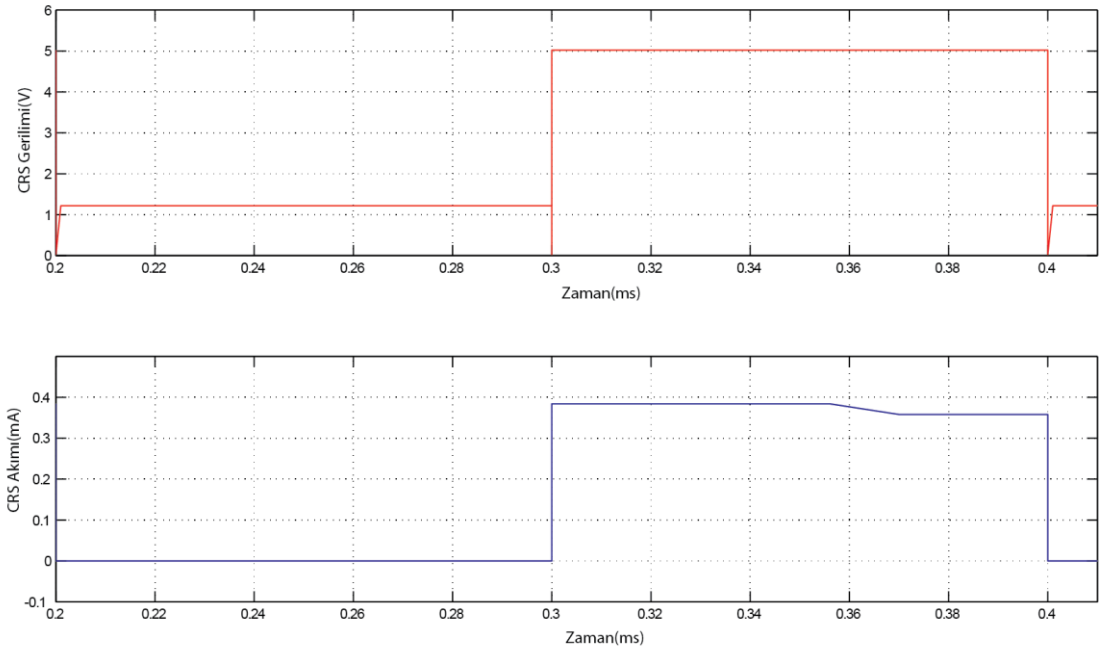
TRA yapmayı daha iyi anlayabilmek için Şekil 3.2’ye bakılabilir. Söz konusu Şekil 3.2 referans [24]’ten alınmış ve yeniden çizilmiştir. Şekil 3.2.a ve c’de iki rezistif anahtara ait fiziksel yapı verilmiş, bunların akım gerilim histerisis eğrileri Şekil 3.2.b ve d’de verilmiştir. Bu anahtarların iki konumlu doyma mekanizmalı non-lineer dirençler oldukları söz konusu eğrilerden net olarak anlaşılabilir. Şekil 3.2.e’de ise TRA’ya ait fiziksel yapı verilmiştir. Bu fiziksel yapının akım gerilim eğrileri ise Şekil 3.2.f’de görülebilir. Şekil 3.2.f’e dikkat edilirse 4 adet gerilim noktasında TRA hücre konum değiştirmektedir.  $V_{th1}$ ,  $V_{th2}$  ile  $V_{th3}$ ,  $V_{th4}$  gerilimleri arasında yüksek akımın aktığı bölümler bellek hücresinin “on state” konumuna geldiği süreçlerdir.  $V_{th2}$  veya  $V_{th4}$  gerilimi aşıldığında ise bellek hücresi “on” konumundan diğer lojik duruma geçer yani anahtarlardan birisi yüksek rezistans seviyesine geçer. Böylelikle bellek hücresinden görüldüğü gibi düşük akım akmaya başlar.



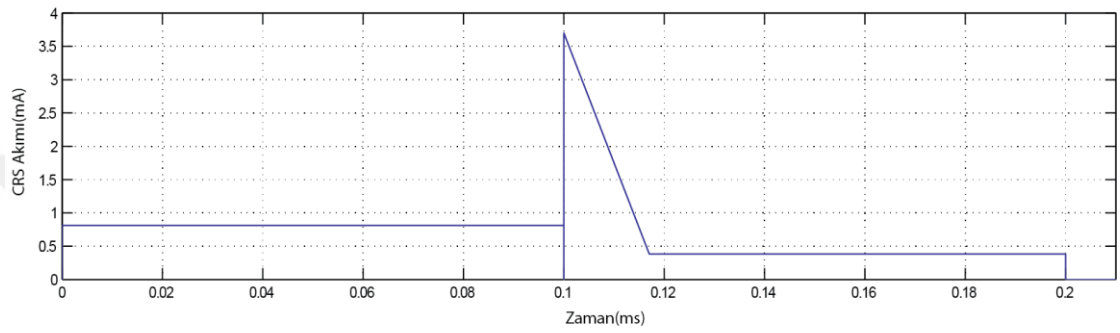
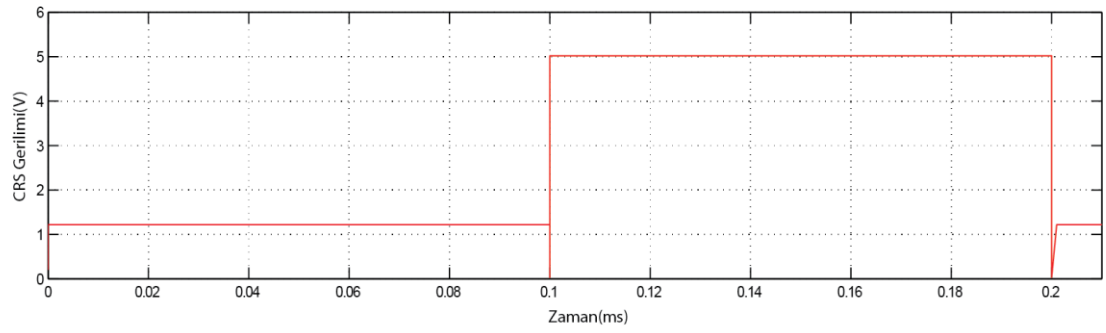
Şekil 3-2 TRA bellek hücresi yapısı ve akım gerilim eğrileri a)Üst rezistif element U. b)Üst rezistif elemana ait histerisis c) Alt rezistif eleman L. d) Alt rezistif elemana ait histerisis eğrisi e)Tümleyen bağlı rezistif elemana f)Tümleyen bağlı rezistif elemana ait histerisis eğrisi.

Şekil 3.3'teki işaretler Linn ve arkadaşlarının verdiği deneysel verilerden nokta nokta alınarak yeniden çizilmiştir [24]. Bu işaretlerin burada verilmesinin temel amacı bir TRA hücresinin lojik durum değiştirmesi veya "on state" durumuna gelmesini deneysel veriler üzerinden anlatmaktır. TRA bellek hücresinden lojik durum okumanın tek yolu bellek hücresine gerilim uygulamak ve bu esnada akan akımın düzeyini takip etmektir.

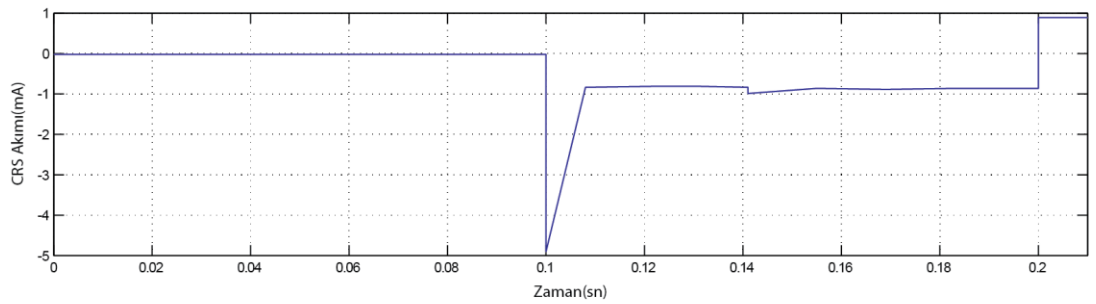
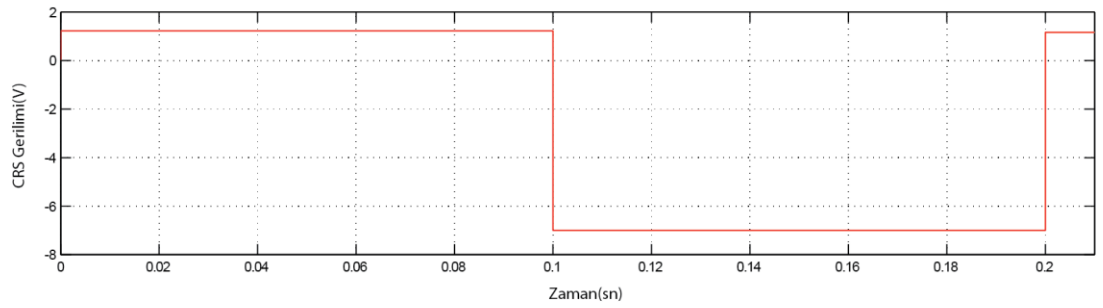
Hücre “on state” konumuna gelirse lojik durumu tahrip olmuştur ve yüksek akım geçirerek en baştaki lojik durumunun lojik-1 olduğunu orta koymuş olur. Küçük bir akım akması durumunda ise tahribat gerçekleşmez ve yine bellek hücresi lojik durumunun lojik-0 olduğunu bu şekilde ortaya koymuş olur. Kısacası uygulanan gerilime rağmen hücre akım akıtmıyor yani “on state” konumuna geçmiyorsa bir lojik durum (lojik-0), akım akıyor ve hücre “on state” konumuna geçiyorsa başka bir lojik durum (lojik-1) tespiti yapılmış olacaktır. Tabii şu unutulmamalıdır ki on konumuna getirilen bellek hücresinin tekrar eski konumuna getirilmeye ihtiyacı vardır. Aksi takdirde okuma işlemi hücrenin içeriğindeki bilgiyi bozmuş olacaktır [24].



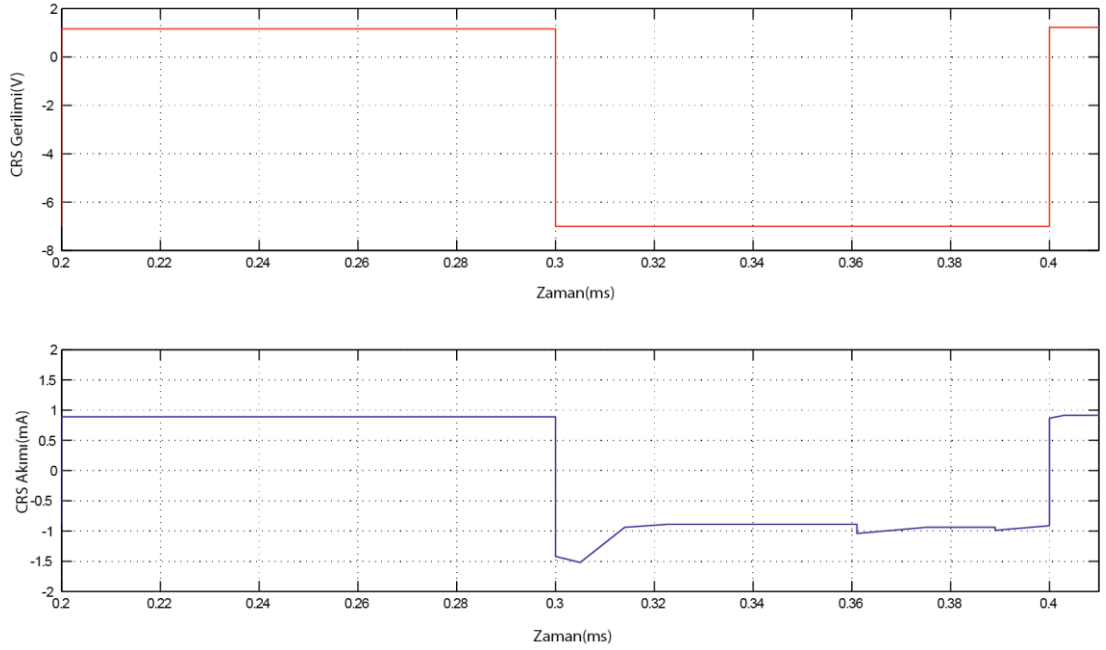
(a)



(b)



(c)



(d)

Şekil 3-3 TRA hücrenin farklı lojik durumlar için uygulanan gerilimlerin ve akan akımların zamana göre değişimleri a) lojik-0 durumundaki bellek hücresinin durumunu koruması b) lojik-1 durumundaki bellek hücresinin lojik-0 durumuna getirilmesi c) lojik-0 durumundaki hücrenin lojik-1 durumuna getirilmesi d) lojik-1 durumundaki bellek hücresinin okunması ve tekrar lojik-1 durumuna getirilmesi [24].

Şekil 3.3.a'da eğrilerde görüldüğü gibi bellek hücreğine uygulanan okuma gerilimine karşılık neredeyse hiç akım akmamaktadır. Bu durum bellek hücresinin “on state” konumuna geçmediğini göstermektedir. İkinci alternansta uygulanan gerilime karşılık da yine küçük bir akım akmaktadır. Buradan bellek hücresinin bu yöndeki gerilimden etkilenmediği yani konumunun değişmediği şeklindedir. Bu uygulamadan bellek hücrenin lojik-0 durumunda olduğu ve lojik-0 durumunu koruduğu anlaşılmaktadır.

Şekil 3.3.b'de dikkat edilirse uygulanan okuma gerilimi ile nispeten yüksek bir akım akmaktadır. Bu durum bellek hücresinin “on state” konumuna geldiğini yani düşük direnç gösterdiğini, başka bir deyişle lojik durumunu yitirdiğini göstermektedir. Bunun ardından gelen yazma işareti ile ters lojik duruma yani lojik-0 durumuna geçiliyor. Bu süreçte şunu anlıyoruz ki ilk başta bellek hücresinin lojik durumu lojik-1'di ve uygulanan gerilimler ile TRA hücresi lojik-0 durumuna geçti. Yazma geriliminin uygulandığı ilk

anda akımdaki hızlı yükseliş ve düşüş dikkat çekmektedir. “on state” konumundaki hücre düşük bir direnç değerine sahiptir ve gerilime karşılık yüksek akımın akması doğaldır. Ancak akan akım rezistif anahtarlardan birisinin HRS konumuna gelmesine sebep olmakta ve bundan sonra yine hücreden küçük bir akım akmaktadır.

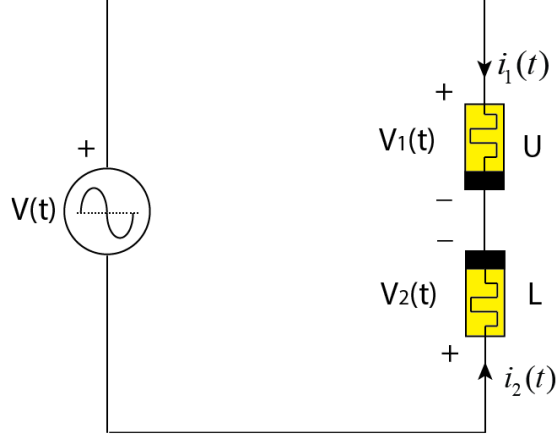
Şekil 3.3.c’de hücreye okuma işareti uygulanıyor ve hücreden akım akmadığı akımın seviyesinden görülebiliyor. Bu durumda tahrip olmayan TRA hücresinin lojik-0 durumunda olduğu anlaşılmaktadır. Ardından uygulanan ters yazma işareti (-7Volt) ile ise hücre lojik 1 durumuna getiriliyor. Yine hücrenin lojik konum değiştirmesi esnasında “on state” konumuna geçtiği ve bu anda kısa süreli yüksek akım aktığı görülmektedir. Bu geçiş sürecinin ardından okuma gerilimi uygulanan hücre “on state” konumuna geçtiği için kaydedilen bilgi tahrip olur ve yüksek bir akım akmaya başlar.

Şekil 3.3.d’de lojik 1 durumundaki TRA hücrelerine okuma işareti uygulanıyor. Bu durumda önemli bir miktar akım akarak hücre durumunu “on state” konumuna geliyor. Ters yazma gerilimi uygulanarak ise hücre tekrar ilk andaki lojik seviyesi olan lojik 1 seviyesine geliyor. Şekil 3.3 içeriğinde görülen akım ve gerilim eğrileri bize TRA hücrenin davranışlarını net olarak göstermektedir. Bu veriler Linn ve arkadaşlarının çalışmalarında verilen eğrilerden nokta nokta alınarak elde edilmiş ve yeniden çizilmiştir [24].

### **3.2. Tümleyen bağlı rezistif RAM hücre modeli**

Bu çalışmada önerilen yeniden onarıcılı devreyi denemek için dinamik bir modele ihtiyaç bulunmaktadır. Tümleyen bağlı hücre sinusoidal işaret ile Şekil 3.4’teki gibi beslendiğinde hücreye ait akım-gerilim histerisis eğrisi elde edilebilmektedir.





Şekil 3-4 TRA hücrenin sinusoidal işaret ile beslenmesi.

Hücrelerin akım değeri,

$$i_1 = i_{mem} = \frac{V}{R_1 + R_2} = \frac{V}{R_{eq}} \quad (3.1)$$

Burada  $R_1$  ve  $R_2$  sırasıyla üstteki ve alttaki rezistif anahtarların rezistans değerleridir.

Rezistif anahtarların memristans veya rezistans değerleri,

$$R_1 = R_{on} \cdot x_1 + R_{off} (1 - x_1) \quad (3.2)$$

ve

$$R_2 = R_{on} \cdot x_2 + R_{off} (1 - x_2) \quad (3.3)$$

olarak verilir. Burada  $x_1$  ve  $x_2$  sırasıyla U ve L rezistif anahtarlarındaki oksitlenmiş bölge

uzunluklarının normalize edilmiş boyutlarıdır ve  $x_1 = \frac{w_1}{D}$ ,  $x_2 = \frac{w_2}{D}$  olarak verilirler. Bu

denklemlerde  $w_1$  ve  $w_2$  oksijenlenmiş bölgelerin uzunluğudur,  $D$  ise rezistif elemanların fiziksel uzunluğudur. Rezistif elemanların akım değerleri arasında,

$$i_2(t) = -i_1(t) \quad (3.4)$$

bağlantısı vardır. Model oluşturulurken [34]'teki pencere fonksiyonu yerine [33]'deki pencere fonksiyonu kullanılmıştır. Bu, denklem 3.5'te görülmektedir.

$$f(x) = 1 - (x - stp(-i))^{2p} \quad (3.5)$$

Denklem 3.5'te  $x$  normalize edilmiş oksitleniş bölge uzunluğu,  $i$  rezistif elementin akımı,  $p$  ise pencere fonksiyonunun üstel kuvvet parametresidir. Şu da belirtilmelidir ki pencere fonksiyonu literatürde belirtildiği gibi tek değişkenli bir fonksiyon değil, çift değişkenli bir fonksiyondur. Aslında bu sebeple fonksiyon denklem 3.6'daki haliyle yazılmalıdır.

$$f(x, i) = 1 - (x - stp(-i))^{2p} \quad (3.6)$$

Her iki rezistif elementin pencere fonksiyonları ise sırasıyla,

$$f(x_1, i_1) = 1 - (x_1 - stp(-i_1))^{2p} \quad (3.7)$$

ve

$$f(x_2, i_2) = 1 - (x_2 - stp(-i_2))^{2p} = 1 - (x_2 - stp(i_1))^{2p} \quad (3.8)$$

olarak verilirler. Pencere fonksiyonlu memristör modeli deneysel memristörü lineer memristörden daha hassas şekilde modelleyebilmektedir [33,34]. Strukov ve arkadaşlarının verdikleri model oksijen iyonlarının memristif elementin fiziksel sınırlarına ulaşması durumunda yaşanan doyum mekanizmasını tam anlamıyla modelleyememektedir [13]. Bu sebeple her iki modele ait fonksiyonların çarpımı doğru sonuçlar verecektir. [24]'da verilen akım-gerilim eğrisi denklem 3.9 ve denklem 3.10'da verildiği gibi parçalı fonksiyon şeklinde verilebilir.

$$\frac{dx_1}{dt} = \begin{cases} \frac{\mu_v \cdot i_1(t) \cdot R_{off}}{D^2} f(x_1, i_1) & , \quad V_{TH2} \leq V \\ 0 & , \quad V_{TH1} \leq V < V_{TH2} \\ 0 & , \quad -V_{TH1} < V < V_{TH1} \\ \frac{\mu_v \cdot i_1(t) \cdot R_{off}}{D^2} f(x_1, i_1) & , \quad V_{TH2} < V \leq -V_{TH1} \\ 0 & , \quad V \leq -V_{TH2} \end{cases} \quad (3.9)$$

$$\frac{dx_2}{dt} = \begin{cases} 0 & , \quad V_{TH2} \leq V \\ \frac{\mu_v \cdot i_2(t) \cdot R_{off}}{D^2} f(x_2, i_2) & , \quad V_{TH1} \leq V < V_{TH2} \\ 0 & , \quad -V_{TH1} < V < V_{TH1} \\ 0 & , \quad V_{TH2} < V \leq -V_{TH1} \\ \frac{\mu_v \cdot i_2(t) \cdot R_{off}}{D^2} f(x_2, i_2) & , \quad V \leq -V_{TH2} \end{cases} \quad (3.10)$$

Referans [24]'te bulunan histerisis eğrisinin hangi frekansta alındığı belirtilmediği için modellemede ihtiyaç duyulan parametreler [24]'ten alınamadı. Bu sebeple gerekli parametreler [31]'den alınarak modelde kullanıldılar. Bu parametreler Tablo 3.2'de gösterilmiştir.

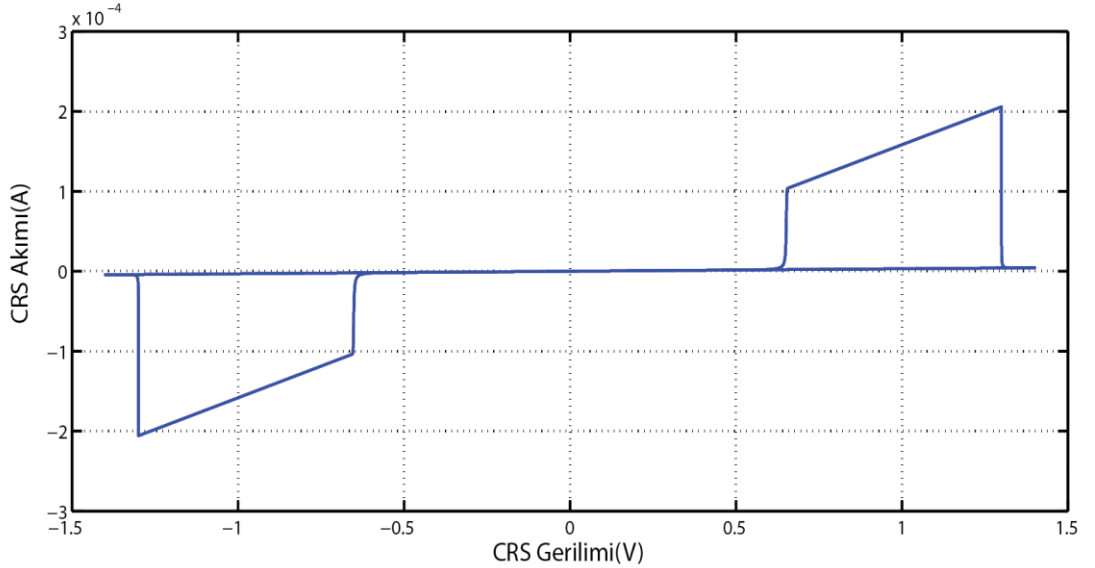
Tablo 3.2 TRA modelde kullanılan parametreler

|  |           |                             |
|--|-----------|-----------------------------|
| Bir memristif elementin ya da rezistif anahtarın minimum rezistans değeri  | $R_{on}$  | 3.16 k $\Omega$             |
| Bir memristif elementin ya da rezistif anahtarın maximum rezistans değeri. | $R_{off}$ | 316 k $\Omega$              |
| Pencere fonksiyonunun üstel kuvvet parametresi                             | P         | 2                           |
| Oksijen İyonlarının mobilitesi   | $\mu_v$   | $0.0017827 \frac{m^2}{V.s}$ |
| Memristif elementin fiziksel uzunluğu                                      | D         | 0.13 $\mu m$                |

|   |                      |           |
|---|----------------------|-----------|
| Memristif elemanın ilk eşik gerilimi    | $V_{th1} = -V_{th3}$ | 0.58 Volt |
| Memristif elemanın ikinci eşik gerilimi | $V_{th2} = -V_{th4}$ | 1.3 Volt  |

### 3.2.1. Rezistif RAM modelinin sonuçlarının değerlendirilmesi

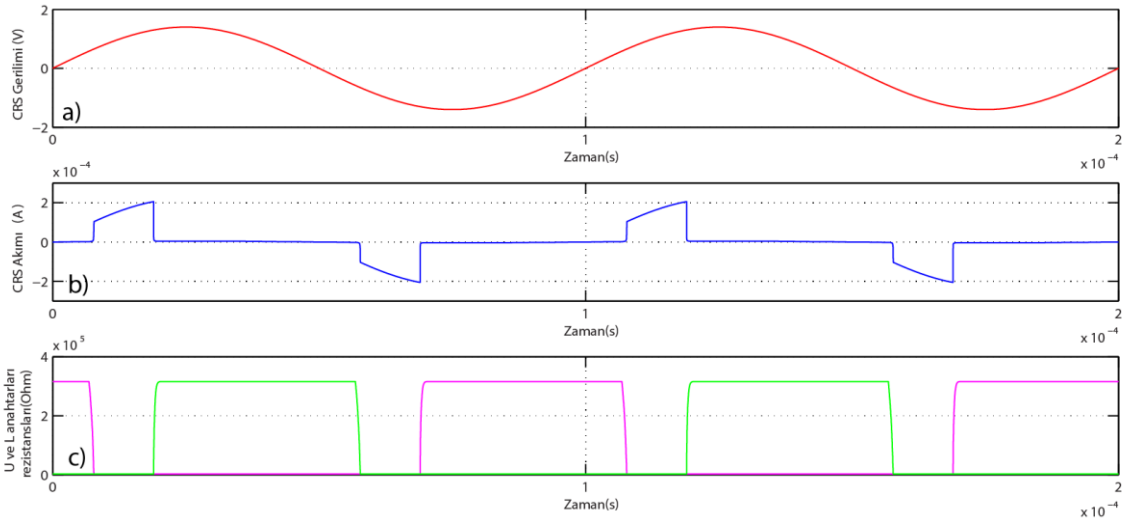
Şekil 3.5'te görülen akım-gerilim eğrisinin elde edilmesi için tümleyen hücre  $V(t) = V_m \cdot \cos(\omega t) = 1.4 \cdot \cos(20000\pi t)$  sinüsoidal gerilimi ile beslenmiştir. Literatürde ilk defa tümleyen bağlı rezistif hücelere ait deneysel veriler [24]'te verilmiştir. Şekil 3.5'te görülen modele ait akım gerilim eğrileri Linn ve arkadaşları tarafından verilen deneysel veriler ile uyuşmaktadır. Bu durum modelin başarısını ortaya koymaktadır.



Şekil 3-5 TRA hücre modeline ait histerisis eğrisi.

Şekil 3.6'da ise modele ait akım, gerilim ve rezistans eğrileri verilmiştir. Şekil 3.6.a'da hücreye uygulanan gerilim görülmektedir. Şekil 3.6.b'de ise uygulanan gerilime karşılık

hücreden akan akım görülebilir. Şekil 3.6.c’de ise iki rezistif hücrenin nasıl anahtarlandıkları gözlemlenebilir. Dikkat edilirse rezistif hücrelerin her ikisinin de düşük rezistans gösterdiği aralıkta hücreden yüksek bir akım akmaktadır. Bu yüksek akımın ardından gerilim diğer eşige ulaştığında ise hücrenin rezistans değeri yeniden arttığından akım minimize olmaktadır.



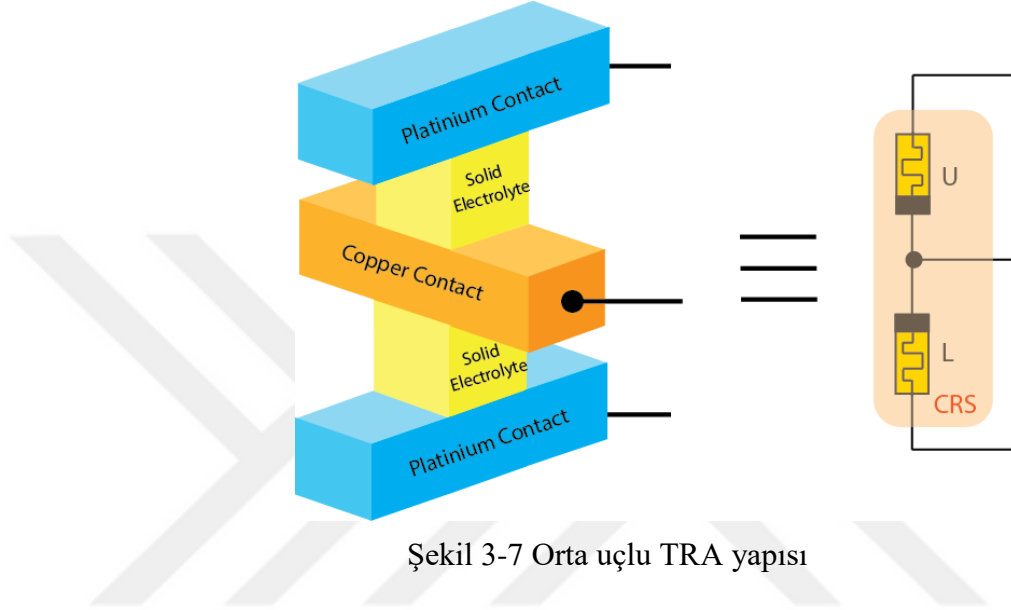
Şekil 3-6 Tümleyen bağlı hücre(TRA) modeline ait akım, gerilim ve rezistans eğrileri  
a)TRA modeline uygulanan gerilim b)TRA modelinden akan akım c)TRA yapısındaki iki rezistif anahtara ait rezistansların zaman bağlı değişimi.

Şekil 3.6’da dikkat edilirse rezistif anahtarlardan birisinin HRS olması durumu ile “on state” yani LRS-LRS durumu arasında çok ciddi akım farkı bulunmaktadır. “On state” durumu hariç neredeyse hiç akım akmamaktadır ki TRA yapının varlık sebebi de budur. Unutulmamalıdır ki rezistif RAM belleklerin en önemli handikapları kaçak akımlardır. TRA yöntemi sayesinde bellek hücresi lojik-1 veya lojik-0 durumunda da olsa eşdeğer bellek direnci çok yüksektir ve kaçak akımlar çok azdır [3].

“On state” durumunda yüksek akım akması, lojik-0 ve lojik-1 durumunda ise küçük akım akmasının etkisi HRS/LRS parametresi ( $\beta$ ) olarak tanımlanarak incelenebilir. Bu parametrenin yüksek olması durumunda okuma marjiniinde iyileşme gerçekleşmektedir yani okuma marjininin değeri yükselmektedir.

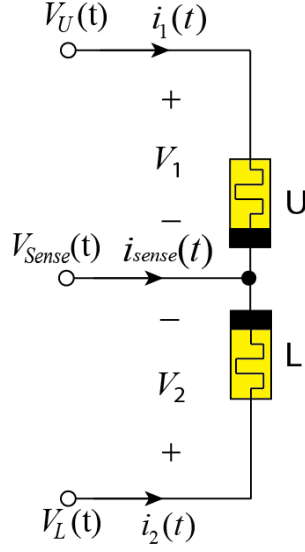
### 3.3. Tümleyen bağlı rezistif anahtar orta uçlu model

Bu çalışmanın 6. bölümünde TRA kullanarak perseptron ve yapay sinir ağı önerisi yapılmaktadır. Perseptronun ağırlık faktörü değişiklikleri ise TRA'nın orta ucundan uygulanan işaretler ile değer değişiklikleri yaratılarak yapılacaktır. Bu açıdan bakıldığında Bölüm 3.2'de ortaya konan ve sonuçları verilen model üzerinde modifikasyonlar yapılarak model orta uçlu hale getirilmiştir.



Şekil 3-7 Orta uçlu TRA yapısı

Şekil 3.7'de görüldüğü gibi TRA fiziksel olarak platinyum ve bakır kontaklar ve arasındaki elektrolitten oluşmaktadır. Daha önceki modelimizde bulunmayan bakır kontak terminali sayesinde her bir rezistif anahtarın değeri değiştirilebilecek hale gelmiştir. Şekil 3.8'de ise bu yapıya ait akım ve gerilimler verilmiştir.



Şekil 3-8 Orta uçlu TRA devre modeli

Buna göre  $V_1$  ve  $V_2$  gerilimlerinin denklemleri denklem 3.11 ve 3.12'deki haliyle verilebilir.

$$V_1(t) = V_U - V_{sense} \quad (3.11)$$

$$V_2(t) = V_L - V_{sense} \quad (3.12)$$

Bu durumda rezitif anahtarlara ait akımlar ise denklem 3.13 ve 3.14'teki haliyle verilebilir.

$$i_1(t) = \frac{V_1}{R_1} = \frac{V_U - V_{sense}}{R_1} \quad (3.13)$$

$$i_2(t) = \frac{V_2}{R_2} = \frac{V_L - V_{sense}}{R_2} \quad (3.14)$$

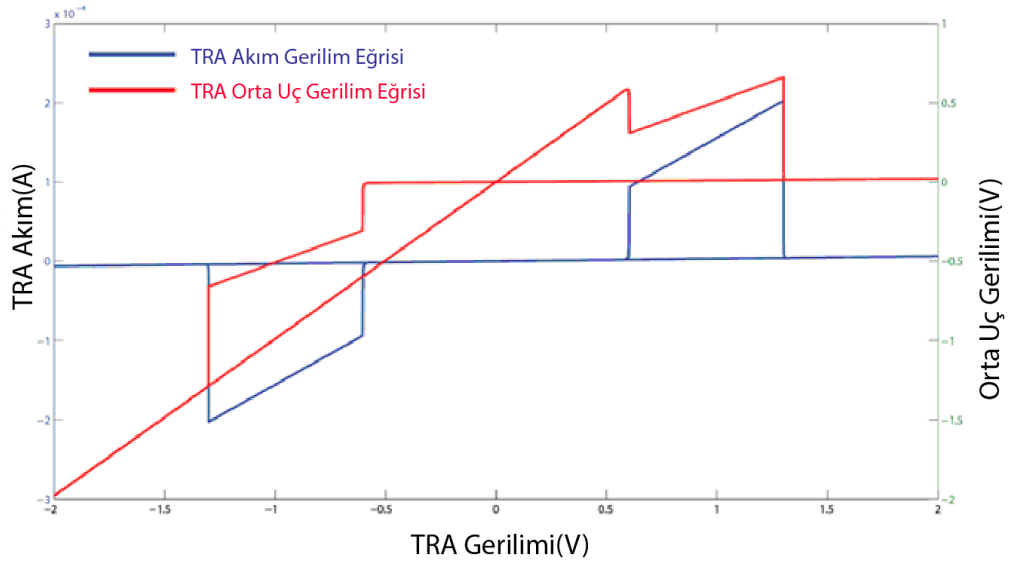
Bu çalışma içerisinde yer alan perseptron uygulamasında rezitif anahtar U yani üstteki rezitif anahtar düşük rezistans durumunda olacak ve altta bulunan rezitif anahtar L'nin değeri değiştirilecektir. Bu durumda denklem 3.15 ve 3.16'daki gerilimler oluşacaktır.

$$V_U = V_{sense} \quad (3.15)$$

$$V_1(t) = 0$$

(3.16)

Bu şekilde U rezistif anahtarının varlığı ile L rezistif anahtarı üzerine düşen gerilim daha az olacak ve eşik gerilim değerinin altında kalması sağlanacaktır. Şekil 3.9'da orta uçlu modele ait akım-gerilim ve orta uç gerilimi eğrileri görülmektedir. Elde edilen eğriler literatürde yer alan deneysel eğrilere benzerliği ile modelin başarısını ortaya koymaktadır [35].



Şekil 3-9 Orta uçlu TRA modeli akım ve gerilim eğrileri



## BÖLÜM 4

### YENİDEN ONARIM ÖZELLİKLİ OKUMA DEVRESİ

#### 4.1. TRA'dan okuma yöntemleri

Memristör ve bunun özelinde rezistiv RAM (RRAM veya ReRAM ) yapıları ile ilgili literatür incelenecek olursa, TRA hücre yapısının rakibi olarak görülebilecek 1T1R (1 transistör 1 rezistör), 1S1R (1 seçici 1 rezistör) yöntemleri dikkat çekmektedir [36,37]. Bu yöntemler kaçak akımları önlemenin yöntemi olarak bir seçici elemanı yapıya eklemeyi önermektedirler ve yapılar tek bir rezistiv elemandan oluşmaktadır. Tek rezistiv eleman kullanan başka bir çapraz hatlı yapı önerisinde ise AC işaret kullanılarak hücrenin değer değiştirilmesi engellenmeye çalışılmıştır [38]. Ayrıca TRA konusunda yapılan çalışmalar da bulunmaktadır. [31]'deki çalışmada yazarlar iki farklı gerilim düzeyine sahip işaret ile TRA hücreye yazma yöntemi önermişlerdir. Söz konusu yöntemlerin tamamı kaçak akımları azaltma, minimum alana maksimum bellek bölgesini sığdırma ve okuma yazma işlemlerini hızlandırma üzerine yapılan çalışmalardır.

#### 4.2. Yeniden onarım özellikli otomat tasarımı

Çalışmanın bu bölümünde bir TRA çapraz hatlı karesel yapıllı bellekten okuma işlemi için bir elektronik devre tasarlanacaktır. Söz konusu devreden beklentilerimizi sıralarsak, öncelikle TRA hücreye doğru gerilimleri uygulamalıdır. Okuma gerilimi

uygulandığında hücreden bir akım akacak, bu akımın seviyesi hücre içindeki bilginin tahrip olup olmadığı bilgisini bize verecek, sistem buna göre durum değiştirecektir. Okuma isteği yarıda kesilse bile sistem prosedürü aksatmadan tamamlamalıdır ki veri kayıpları yaşanmasın. Bunun için bir sonlu durum makinesi tasarlanmalıdır.

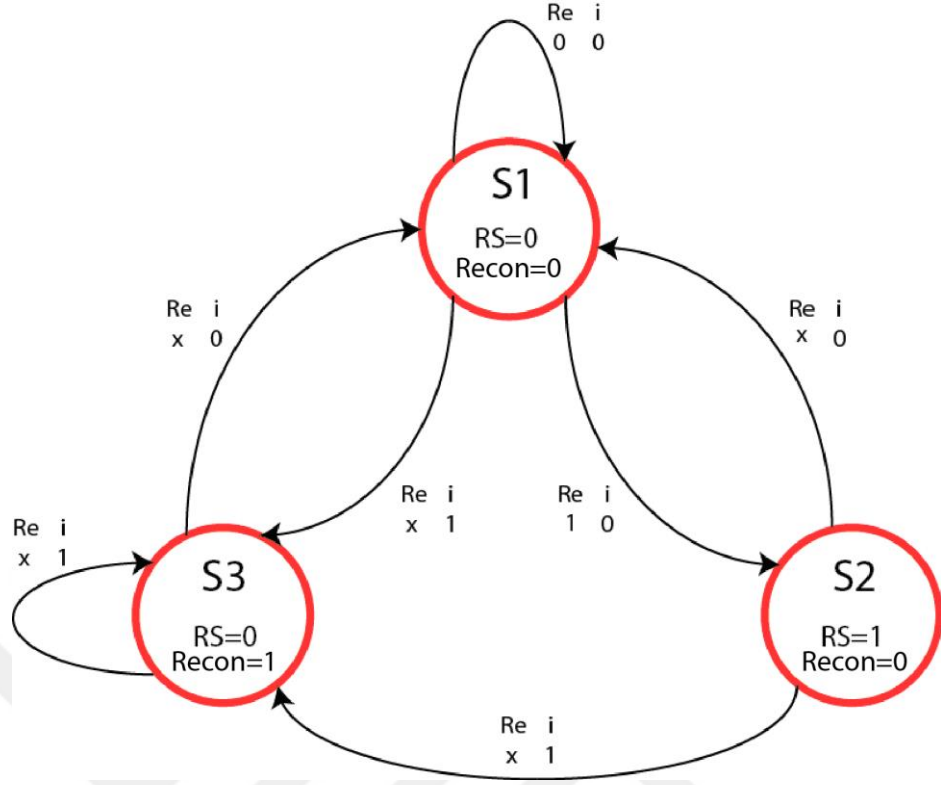


Şekil 4.1 Sonlu durum otomatı blok diyagramı.

Mevcut durumunu koruyabilen bu lojik yapılarda lojik kapılar ve flip-floplar bulunmaktadır. Öncelikle sonlu durum otomatımıza ait bir diyagram çizmemiz gerekmektedir.

Tez çalışmasının bu bölümünde önerdiğimiz devre öncelikle TRA hücreyi “On State” durumuna getirmek için bir okuma işareti uygulayacak, ardından ise eğer hücre lojik-1 durumunda ise ve tahrip olduysa negatif bir onarma işareti ile hücreyi eski konumuna getirecektir. [24]’te gösterildiği gibi okuma ve yazma işaretlerinden akmakta olan akımların düzeylerinden faydalanarak hücrenin lojik düzeyi tespit edilecektir.

Şekil 4.2’deki şema incelendiğinde üç farklı durumun bulunduğu görülecektir. Bu durumlardan S1 durumu okuma isteği olmaması durumunu tanımlamaktadır. S2 durumu ise dışarıdan bir okuma isteği gelmesi durumunun ardından dahili okuma sinyalinin oluşturulduğu ve okuma geriliminin çapraz hatlı karesel belleğe uygulandığı durumdur. S2 durumunda eğer yüksek bir akım akıyorsa durum makinesi bellek hücrelerinin tahrip olduğunu algılayarak yeniden onarım sinyalinin oluşması için S3 konumuna geçecektir. S2 konumundayken okuma esnasında yüksek bir akım akmadıysa tahribat gerçekleşmemiş olduğundan yeniden onarıma ihtiyaç yoktur. Bu sebeple S1 durumuna geri dönlür. S3 durumunda yeniden onarım sinyalinin oluşturulmasının ardından ise tekrar S1 durumuna geçilir.



Şekil 4.2 Durum makinesine ait akış diyagramı.

Şekil 4.2’de yeniden onarıcılı okuma devresinin tasarımı için gerekli akış diyagramı verilmiştir. Tablo 4.1’de ise otomatın tasarımında ihtiyaç duyulan tablo görülmektedir. Bu tabloda Q0 ve Q1 sırasıyla Flip-floplar FF0 ve FF1’in mevcut çıkış durumlarını içermektedir. Yine Tablo 4.1’de D0 ve D1 ise sırasıyla Flip-floplar FF0 ve FF1’in girişlerine uygulanacak lojik durumları yani flip-flop çıkışlarının (Q0 ve Q1) bir sonraki saat sinyali ile alacağı lojik durumu ifade etmektedir. Otomatımızda 3 adet durum olduğu için bu durumları sağlayabilmek adına en az iki flip flop gerekmektedir. Tablonun sağ tarafında ise bu flip floplara (FF0 ve FF1) ait girdilere bağlı bir sonraki durum görülmektedir. Girdiler kısmına bakıldığında ise  $R_e$  değişkeni sisteme harici olarak gelen okuma işaretidir ki bu işaret harici bir mikroişlemciden gelecektir. Değişkenlerden diğeri akan akımın değerini Şekil 4.5’te görülen opamp karşılaştırıcı kullanarak TRA bellek hücresinin lojik durumu göstermek için lojik değişken “i” dir. Bu lojik ifadeye ait seviye bilgileri için denklem 4.3 ve 4.4’e bakılabilir. Çıktılar kısmında ise “RS”dahili okuma işaretini, “Recon” ise yeniden onarım işaretini ifade etmektedir.

Tablo 4.1 Durum makinesi durum tablosu

| Mevcut Durum |    | Girdiler |   | Gelecek Durum |    | Çıktılar |       |
|--------------|----|----------|---|---------------|----|----------|-------|
| Q1           | Q0 | Re       | i | D1            | D0 | RS       | Recon |
| 0            | 0  | 0        | 0 | 0             | 0  | 0        | 0     |
|              |    | 0        | 1 | 1             | 0  | 0        | 1     |
|              |    | 1        | 0 | 0             | 1  | 1        | 0     |
|              |    | 1        | 1 | 1             | 0  | 0        | 1     |
| 0            | 1  | 0        | 0 | 0             | 0  | 0        | 0     |
|              |    | 0        | 1 | 1             | 0  | 0        | 1     |
|              |    | 1        | 0 | 0             | 0  | 0        | 0     |
|              |    | 1        | 1 | 1             | 0  | 0        | 1     |
| 1            | 0  | 0        | 0 | 0             | 0  | 0        | 0     |
|              |    | 0        | 1 | 1             | 0  | 0        | 1     |
|              |    | 1        | 0 | 0             | 0  | 0        | 0     |
|              |    | 1        | 1 | 1             | 0  | 0        | 1     |

Tablo 4.1'deki bilgiler ışığında basitleştirme maksatlı olarak Karnough haritaları oluşturulmuştur. Bu haritalardan birisi FF1 flip-flopu girişi D1 için diğeri ise FF0 flip-flopu girişi D0 içindir. Şekil 4.3'te FF1'e ait Karnough haritası görülebilir. Haritadaki tablo değişkenleri mevcut durum değerleri olan Q0 ve Q1, ile girdiler olan okuma isteği (Re) ile TRA akımı (*i*) dır. Karnough şemasında işaretlenerek ifade edilmiş olan kısım bize FF1'in D1 girişinin matematik ifadesini vermektedir.

$$D_1 = i \quad (4.1)$$

|               |   |           |    |    |    |
|---------------|---|-----------|----|----|----|
| Re i<br>Q1 Q0 |   | $D_1 = i$ |    |    |    |
|               |   | 00        | 01 | 11 | 10 |
| 00            | 0 | 1         | 1  | 0  |    |
| 01            | 0 | 1         | 1  | 0  |    |
| 11            | X | X         | X  | X  |    |
| 10            | 0 | 1         | 1  | 0  |    |

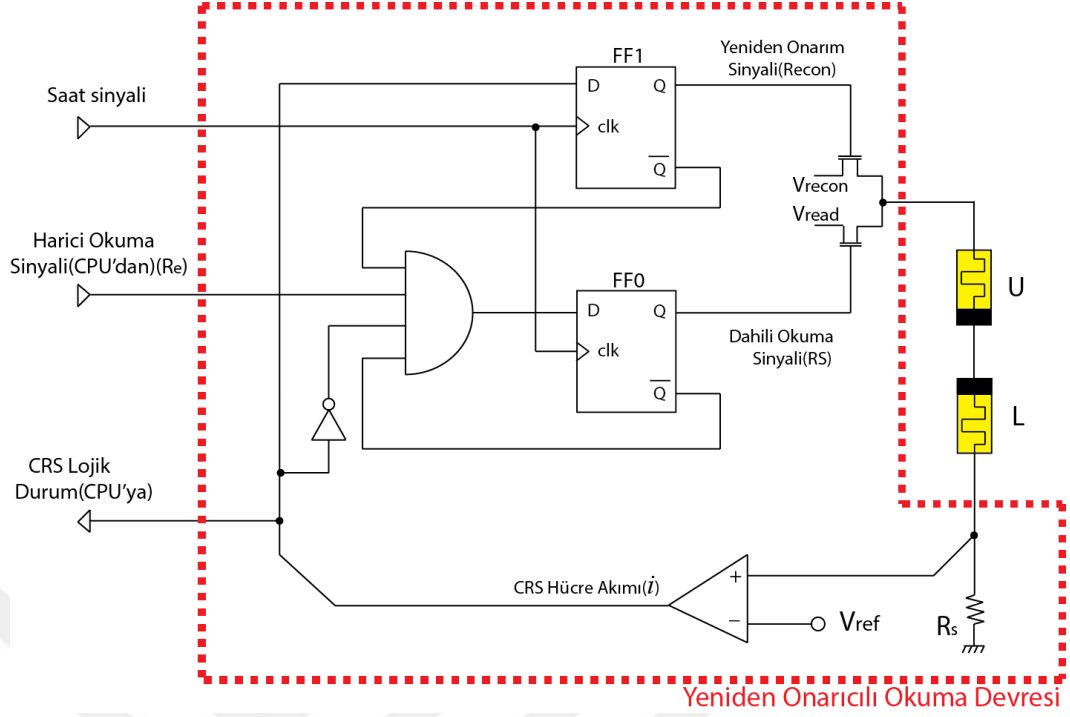
Şekil 4.3 Q1 flip-flop'una ait Karnough şeması

Sadeleştirme sonunda birinci flip flop'a ait girdi değeri "i" olarak bulunmaktadır ki TRA akımının lojik ifadesinin doğrudan FF1'in girişi olan D1 ucuna uygulanması gerekmektedir. Şekil 4.4'te FF0'a ait Karnough haritası görülebilir. Karnough haritasında işaretlenerek ifade edilmiş olan kısım bize D0 girişinin matematik ifadesini vermektedir.

$$D_0 = \overline{Q_1} \cdot \overline{Q_0} \cdot R_e \cdot \bar{i} \quad (4.2)$$

|               |   |   |    |    |    |
|---------------|---|---|----|----|----|
| Re i<br>Q1 Q0 |   | $D_0 = \overline{Q_1} \cdot \overline{Q_0} \cdot R_e \cdot \bar{i}$ |    |    |    |
|               |   | 00  | 01 | 11 | 10 |
| 00            | 0 | 0   | 0  | 1  |    |
| 01            | 0 | 0   | 0  | 0  |    |
| 11            | X | X   | X  | X  |    |
| 10            | 0 | 0   | 0  | 0  |    |

Şekil 4.4 Q0 flip-flop'una ait karnough şeması



Şekil 4.5 Tasarlanan durum makinesi şeması.

Şekil 4.5'te tasarlanmış olan durum makinesi devresi görülmektedir. Flip flopların D terminallerine dikkat edilirse daha önce Şekil 4.3 ve 4.4'te görülen Karnaugh haritalarında elde edilen fonksiyonların uygulanmış olduğu görülebilir. Lojik 0 durumunu okuma esnasında durum makinesinin çalışması için referans gerilimi ile  $R_s$  direnci üzerindeki gerilim arasındaki olması gereken ilişki denklem 4.3'te görülebilir.

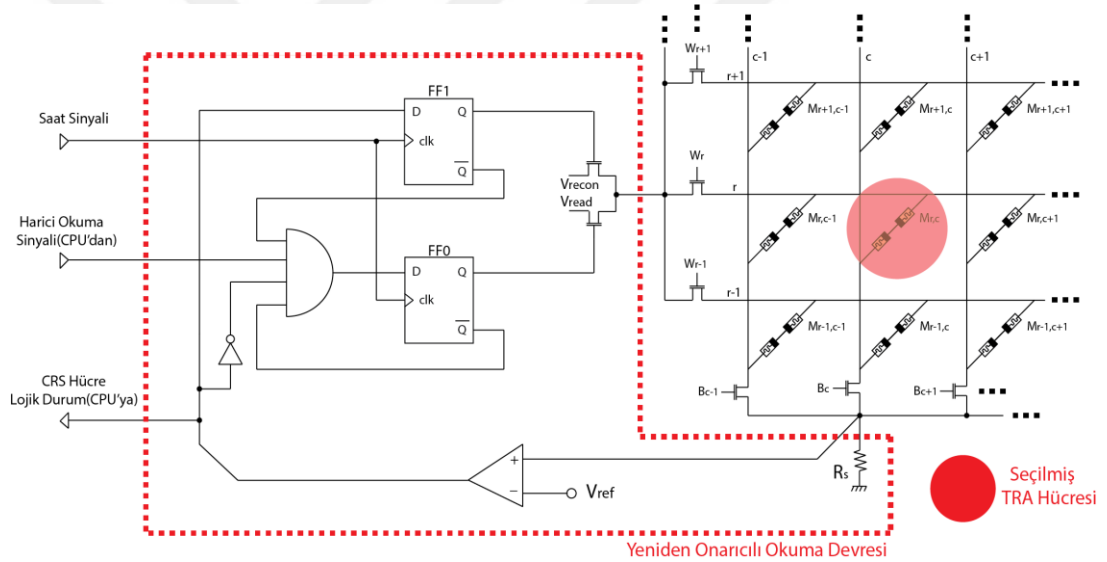
$$V_{ref} > \frac{R_s}{R_{HRS} + R_{LRS} + R_s} \cdot V_{read} \quad (4.3)$$

Lojik 1 durumunu okuma esnasında durum makinesinin çalışması için referans gerilimi ile  $R_s$  direnci üzerindeki gerilim arasındaki olması gereken ilişki denklem 4.4'te görülebilir.

$$V_{ref} < \frac{R_s}{R_{LRS} + R_{LRS} + R_s} \cdot V_{read} \quad (4.4)$$

#### 4.2.1. Durum makinesinin çapraz hatlı karesel bellek bağlantısı

Şekil 4.6'da tasarlanmış olan otomatın çapraz hatlı karesel bellek yapısı ile bağlantısı görülmektedir. Transistör yapılı kod çözücü devreler ile seçilen belleğe uygulanan okuma veya yeniden onarım gerilimini bu flip-floplar (FF1 ve FF0) kontrol etmektedir. Uygulanan gerilime karşılık olarak akan bu akım  $R_s$  direnci üzerinde bir gerilim oluşmasına neden olmaktadır ve opamp'lı komparatör çıkışı lojik 1 konumuna yükselmektedir. Bu şekilde akan akımın algılanması buna bağlı yeniden onarım prosedürünün başlamasına veya başlamamasına otomatın akış yapısı içinde karar verilmektedir. Sonuç olarak transistörlü kod çözücü devreler sayesinde bir adet yeniden onarımcılı algılama devresi kullanılarak bir bellek katmanından bilgi kaybı olmaksızın okuma işlemi gerçekleştirilebilir.

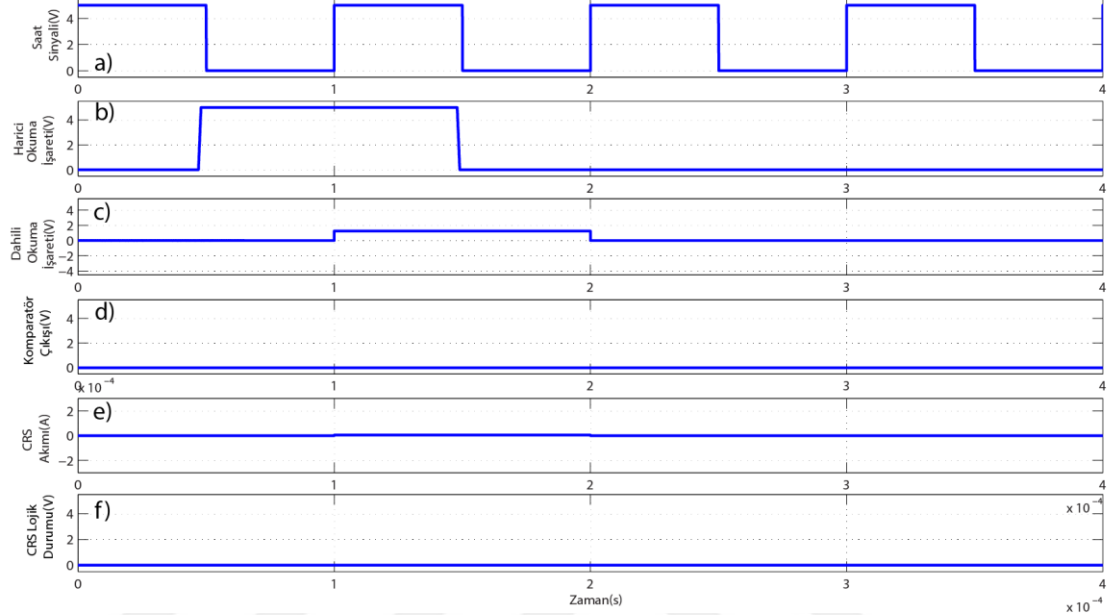


Şekil 4.6 Durum makinesi ve çapraz hatlı karesel belleğin bağlantısı.

#### 4.2.2. Model kullanarak yapılan simülasyon sonuçları

Şekil 4.7 ve 4.8'de durum makinesinin TRA dinamik modelinin üzerinde testine ait akım ve gerilim işaretleri görülmektedir. Şekil 4.7.a'ya bakıldığında durum makinesine ve bellek bloğuna ait saat işareti, Şekil 4.7.b'de ise mikroişlemcili bir sistem tarafından harici olarak üretilen okuma isteği ( $R_e$ ) görülmektedir. Okuma isteğiyle beraber ilk yükselen kenarda durum makinesi tarafından okuma gerilimi ( $R_s$ ) çapraz hatlı yapıya uygulanmaktadır ki bu durum Şekil 4.7.c'de görülebilir. Dikkat edilirse Şekil

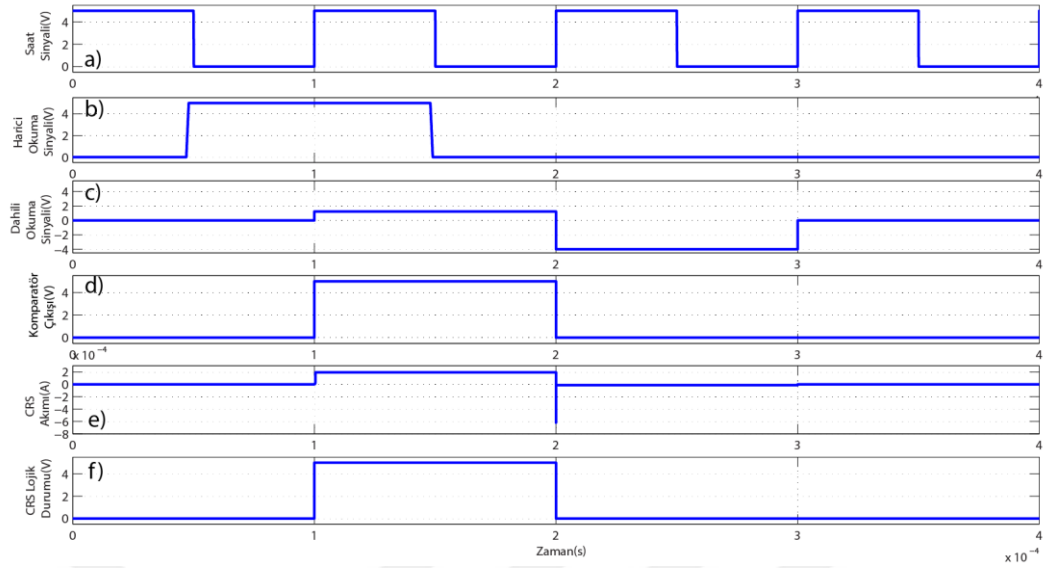
4.7.d'de ve Şekil 4.7.e'deki işaretler yani akan akım ve akan akıma karşılık komparatör çıkışı (i) yaklaşık olarak sıfır noktası civarındadır. Bu durum bize TRA hücrenin yüksek rezistans durumunda kaldığını yani konum değişimmediğini göstermektedir.



Şekil 4.7 Lojik durum "0" olduğunda durum makinesine ait akım ve gerilim değerleri  
a) Saat sinyali b) Harici olarak gelen okuma isteği c) Bellek bloğuna uygulanan okuma gerilimi d) Opamp karşılaştırıcı çıkışı e) Bellek hücresinden akan akım f) Bellek hücresinin lojik durumu işaretleri.

Yine Şekil 4.7.f'de ise durum makinesinin ürettiği lojik durum değeri görülmektedir. Dikkat edilirse bellek hücresi durumu değişmediği için lojik durum çıkışımız lojik 0 olarak sonuç vermiştir.





Şekil 4.8 Lojik durum "1" olduğunda durum makinesine ait akım ve gerilim değerleri a) Saat sinyali b) Harici olarak gelen okuma isteği c) Bellek bloğuna uygulanan okuma gerilimi d) Opamp karşılaştırıcı çıkışı e) Bellek hücresinden akan akım f) Bellek hücresinin lojik durum işareti.

Şekil 4.8'deki eğrileri incelediğimizde ise Şekil 4.8.a ve Şekil 4.8.b'deki saat sinyali ve harici okuma isteğinin (Re) Şekil 4.7.a ve Şekil 4.7.b'deki işaretler ile aynı olduğu görülebilir. Şekil 4.8.c'de durum makinesinin okuma isteğinin oluştuğu, buna karşılık Şekil 4.8.d'deki ve Şekil 4.8.e'deki işaretlerde bellekten nispeten yüksek bir akım aktığı ve opamp karşılaştırıcı çıkışının (*i*) lojik 1 konumuna geldiği görülebilir. Bu durum, okunan bellek hücresinin bu gerilim ile konumunun düşük direnç (on state) seviyesine geldiğini göstermektedir. Yani okuma işlemi gerçekleştirirken aynı zamanda belleğin durumunu bozmuş olduk. Durum makinemiz tarafından algılanan duruma karşılık ters bir yeniden onarım gerilimi belleğe uygulanarak bellek en baştaki lojik durumuna getirilecektir. Yani kaybolan bilgi yeniden yazılmış olacaktır.

Şekil 4.8.e'ye dikkat edilirse yeniden onarım işaretinin gelmesiyle birlikte bellekten akan akımda ani bir dikme (spike) oluşmaktadır. Aslında belleğin eski konumuna gelmesi bu dikme esnasında gerçekleşmektedir. LRS-LRS yani "on state" durumundaki bellek hücresi çok küçük bir rezistansa sahip olduğu için o anda çok yüksek bir akım akmaktadır. Üzerindeki gerilim eşik gerilim değerini aştığı anda ise TRA

bileşeni rezistif anahtarlarından birisi HRS konumuna geçer ki bu durumda çok daha küçük bir akım akmasına neden olur.

Şekil 4.8.f'de tüm bu sürece karşılık durum makinesinin lojik 1 çıkışı üreterek bellek hücresinin durumunu ortaya koyduğu görülebilir. Ayrıca şu unutulmamalıdır ki durum makinesi okuma esnasında bozulan bellek hücresinin lojik durumunu kendisi otomatik düzeltmektedir. Bu okuma isteği yarıda kesilse bile tasarlanan durum makinesi yeniden onarma işlemini sonuna kadar yürütmektedir.



## BÖLÜM 5

### ÇOK KATMANLI TRA ÇAPRAZ HATLI KARESEL BELLEK ANALİZİ

#### 5.1. Çok katmanlı rezistif RAM bellekler

Çok katmanlı bellek tipleri minimum alana en fazla bellek hücresinin yerleştirilmesini sağladığı için bellek sistemlerine veya kullanıldıkları sistemlere boyut bakımından avantajlar getirmektedirler. Çok katmanlı belleklerin eşdeğer devrelerinin bulunması bu açıdan oldukça önemlidir. Eşdeğer kaçak rezistansı ve okuma marjini katman sayılarına bağlı olarak nasıl değiştirilir sorusuna verilecek cevap sistemin temellerini ortaya koymaktadır.

Çok katmanlı (3B) rezistif bellekler aynı boyut için tek katmanlı çapraz hatlı karesel bellekler ile karşılaştırıldığında her bir katmandaki eleman sayısını azalttığı için kaçak akımları da azaltmaktadır. Aynı zamanda bellek kapasitesini arttırmakta ve daha dar alana daha fazla bellek hücresinin sığmasının da yolunu açmaktadır [39,40]. Literatürdeki bazı çalışmalarda Çok Katmanlı Tümleyen Bağlı Rezistif Anahtarların (3BTRA) ele alındığı ve kaçak akımları konusunda simülasyonlar yapıldığı görülmektedir [25,26,41]. Bu çalışmalarda genellikle tek rezistif anahtar topolojisi ele alınmıştır. TRA yapının önerildiği çok katmanlı yapılarda ise TRA'nın orta ucu ortak bağlantı terminali olarak kullanılmaktadır [25,26].

TRA yapılı ve orta uç kullanılmadan yapılandırılmış bir rezistif bellek katmanının eşdeğer direnç devre modeli literatürde dikkat çekmektedir [25,26]. Bu devre modelinde sıradan dirençlerin kullanılabilmesinin sebebi ise TRA yapının davranışlarında saklıdır.

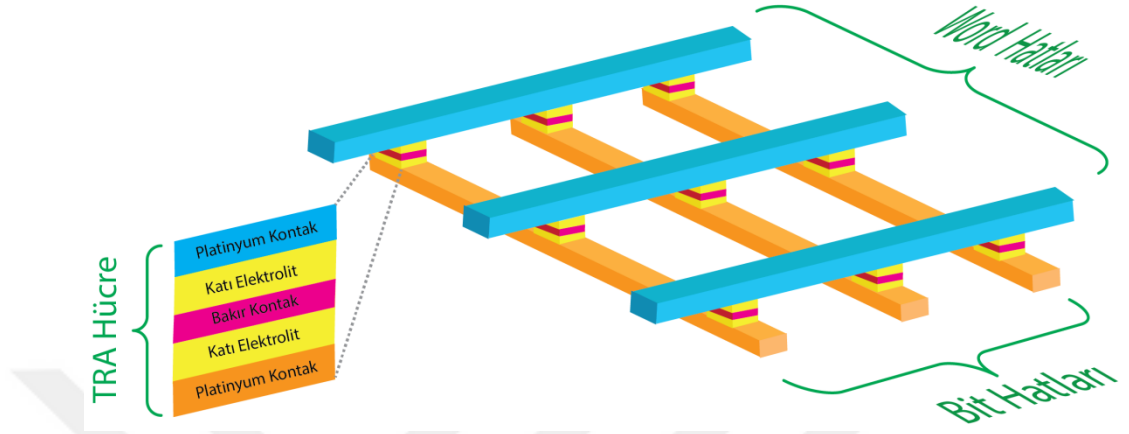
TRA bellek hücresi yalnızca okuma anında çok kısa bir süre “on state” konumundayken farklı bir direnç değeri gösterir. Bunun dışında her zaman HRS olarak ifade edilen yüksek direnç değerine sahiptir. TRA yapının kaçak akımların azaltılması maksadıyla önerildiğini de bir kez daha hatırlanmalıdır [24].

Literatür incelendiğinde 3BTRA belleklerin eşdeğer devre modellerinin bulunmadığı görülmektedir. Bu çalışmada literatürde ilk defa 3BTRA belleklerin farklı katmanlarının eşdeğer devreleri verilmiş, bu eşdeğer devreler kullanılarak kaçak akımı ve okuma marjini analizleri gerçekleştirilmiştir. Karşılaştırma işlemi ise tek katmanlı çapraz hatlı karesel TRA belleklerle yapılmıştır.

## 5.2. Tek katmanlı TRA belleklerin eşdeğer devre modeli

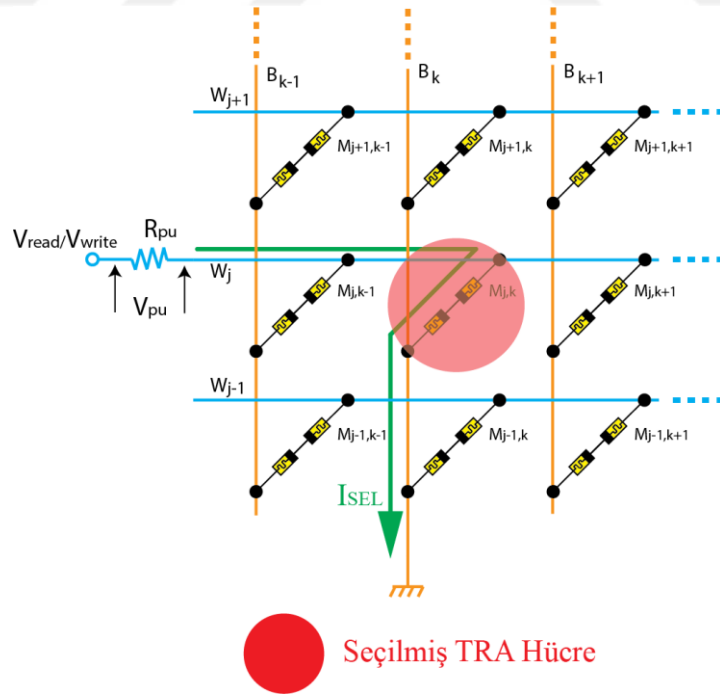
Denklem 5.1’de N bellek katmanındaki satır/sütun sayısını ifade etmektedir ki ele alınan bellek katmanı kareseldir, yani boyutlar NxN kadardır. NxN boyutlarında TRA yapılı bir rezistif belleğe ait şekiller Şekil 5.1 ve Şekil 5.2’de görülmektedir. Burada “N” çapraz hatlı karesel yapıya sahip bellek katmanındaki satır/sütun sayısıdır. Şekil 5.1’de belleğin fiziksel yapısı, Şekil 5.2’de ise devre elemanları ile yapılmış modeli görülmektedir. Bu bellek yapısını ait eşdeğer devre modeli ise Şekil 5.3’te görülebilir [25,26]. Şekil 5.3’te  $R_{sel}$  seçilmiş durumdaki bellek hücresinin rezistans değeri,  $R_{pu}$  hücre akımını okumak ve hücrenin lojik durumunu okumak için kullanılan pull-up direnci,  $R_{leak}$  ise seçilmemiş durumdaki diğer bellek hücrelerinin eşdeğer rezistansıdır. Eşdeğer kaçak rezistans artan bellek kapasitesi ile birlikte azalmaktadır. Kaçak rezistans  $R_{leak}$  için verilen formül denklem 5.1’de görülebilir [25,26].  $R_{OFF}$  değeri ise okuma durumu dışındaki bir TRA bellek hücresinin gösterdiği rezistans değeridir. TRA yapı hakkında Bölüm 4’te verilen bilgiler hatırlanacak olursa lojik-0 veya lojik-1 durumundaki bir TRA bellek hücresi eşik gerilimi altında yüksek rezistans ( $R_{OFF}$ ) göstermektedir.

$$R_{Leak} = \frac{(2N - 1) \cdot R_{OFF}}{(N - 1)^2} \quad (5.1)$$



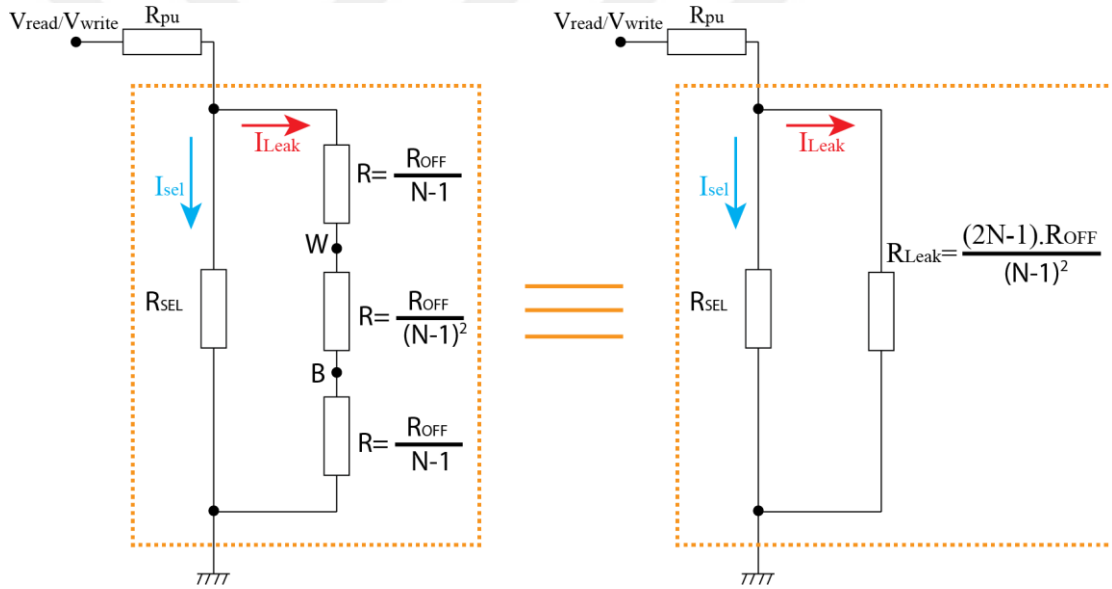
Şekil 5.1 Tek katmanlı çapraz hatlı karesel TRA bellek fiziksel yapısı.

Şekil 5.1’de dikkat edilirse word ve bit hatlarının kesişim noktalarında sandviç şeklinde TRA bellek hücreleri görülmektedir. Bit ve word hatları platinyum yapılı, orta elektrot ise bakır yapılıdır. Bu elektrotların arasında ise katı elektrolit katmanları bulunmaktadır.



Şekil 5.2 Tek katmanlı çapraz hatlı karesel TRA bellek hüresinden okuma işlemi.

Şekil 5.2’de ise şekil 5.1’deki fiziksel bellek görüntüsünün devre karşılığı verilmiştir. Bellek katmanından okuma esnasında seri bağlı bir pull-up direnci  $R_{pu}$  üzerinden bir gerilim uygulandığında bellek hücresinden geçen akım bellek hücresinin lojik durumuna bağlı olacaktır. Akan akım ile orantılı bir gerilim  $R_{pu}$  direnci üzerinde düşecektir. Hücrede kaydedilen bilgiye bağlı olan direnç gerilimi sayesinde hücrenin durumu algılanmaktadır. Kırmızı daire içerisine alınmış durumdaki bellek hücresi durumu tespit edilmek istenen hücredir ve üzerinden akan akım  $I_{sel}$  olarak ifade edilmiştir. Ancak seçilmemiş durumdaki TRA hücreleri üzerinden de kaçak akımlar akmaktadır. Seçilmemiş durumdaki TRA bellek hücrelerini dirençler olarak modellenirse kaçak rezistans bellek satır/sütun sayısına (N) bağlı bir direnç olarak bulunabilmektedir. Literatürde çapraz hatlı tek katmanlı karesel TRA için eşdeğer devre şekil 5.3’te görülebilir [25,26].

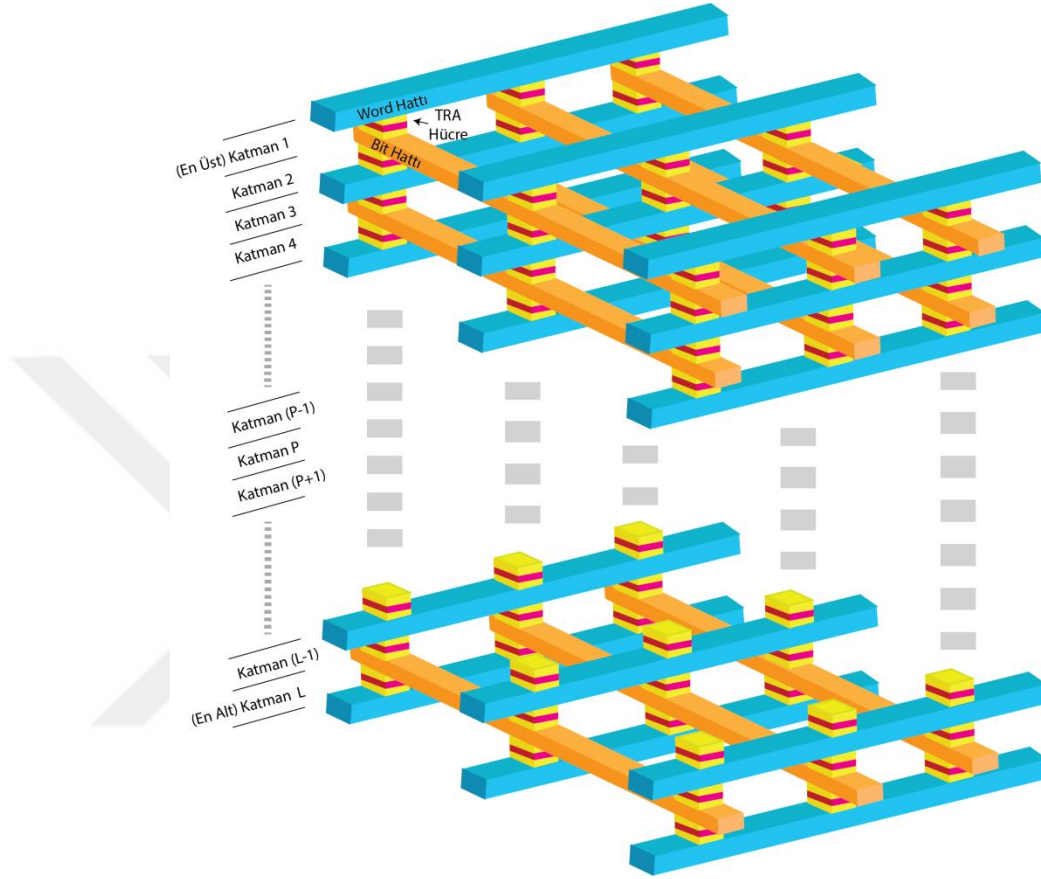


Şekil 5.3 Tek katmanlı çapraz hatlı karesel TRA belleğin eşdeğer devre modeli [25,26].

### 5.3. Üç boyutlu tümleyen bağlı rezistif anahtar(3BTRA) yapılı bellekler

L katmanlı  $N \times N$  boyutlu 3D yapılı TRA belleğe ait fiziksel yapı Şekil 5.4’te verilmiştir. Bu yapıda komşu katmanlar arasındaki satır ve sütunlar ortaklaşa kullanılmaktadır. Komşu katmanlar ayrıca birbirinin tersi şekilde bulunmaktadır. Bu şekilde minimum hacme daha fazla bellek hücresi sığdırılabilecektir. Bir katmandaki herhangi bir bellek hücresinin okunması esnasında kaçak rezistans değeri ve eşdeğer

devre iki ayrı durum arz etmektedir. En üst veya en alt katmandan okuma esnasında kaçak rezistans, orta katmanlardan birinden yapılacak okumaya göre daha yüksek olmaktadır. Yani iki farklı kaçak rezistans denklemi ve iki ayrı kaçak akım model devresi ortaya çıkmaktadır.



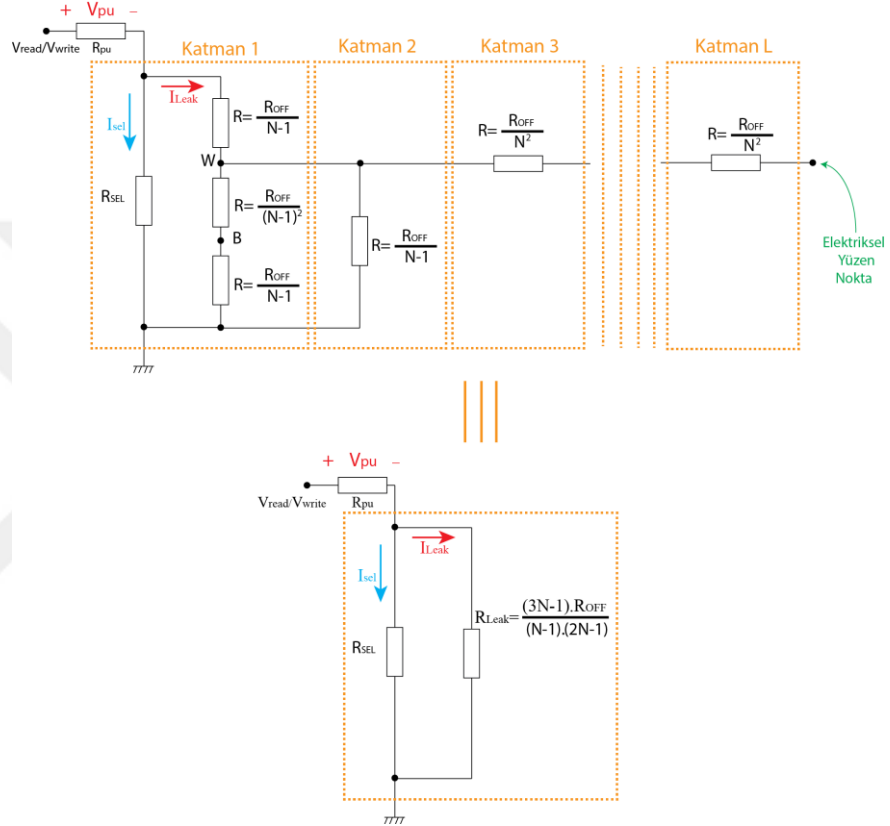
Şekil 5.4 3BTRA belleğe ait fiziksel yapı.

### 5.3.1. 3BTRA bellek eşdeğer devre modelleri

En üst veya en alt katmandan okuma durumunda ortaya çıkan eşdeğer kaçak rezistans devresi Şekil 5.5'te görülmektedir. L katmana sahip NxN boyutlarındaki bir 3BTRA belleğe ait kaçak rezistans formülü denklem 5.2'de verilmiştir.

$$R_{Leak} = \frac{(3N - 1) \cdot R_{OFF}}{(N - 1) \cdot (2N - 1)} \quad (5.2)$$

Denklem 5.2’de N bellek katmanına ait satır/sütun sayısı,  $R_{OFF}$  ise bir TRA belleğe ait eşik gerilimi altında gerilim uygulandığındaki direnç değeridir. Burada dikkat edilirse denklemde katman sayısı, yani L değeri parametre olarak girmemiştir. Bunun sebebi ise katman sayısı artsa dahi bellek yapısına ait direnç değerinin değişmemesi olarak açıklanabilir.



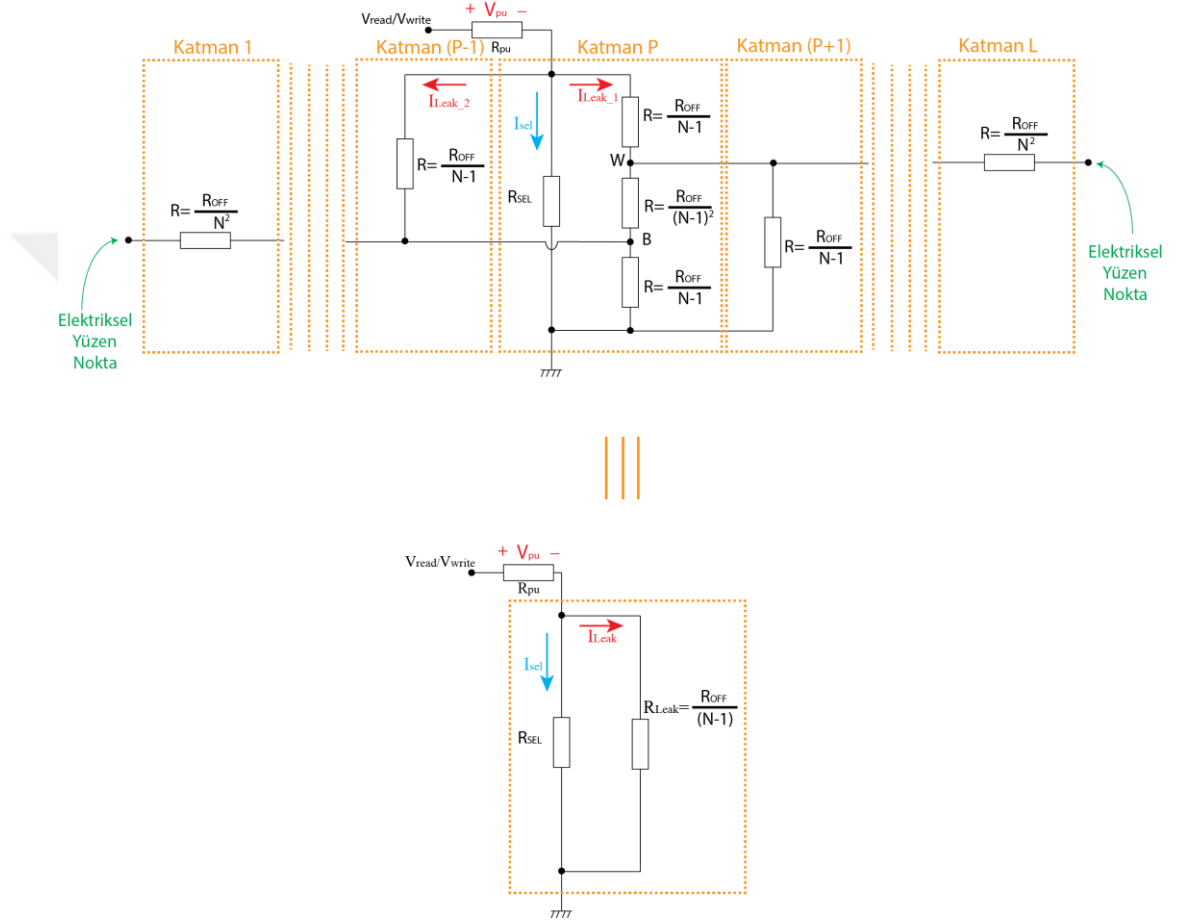
Şekil 5.5 3BTRA yapılı bellekte en üst veya en alt katmandan okuma esnasında eşdeğer devresi.

Bu şekilde yani 3BTRA yapıda katman sayısı ve bellek hücresi sayısı hızla artarken kaçak akım aynı oranda artmamaktadır. Bunun sebebi 3B yapının okunan katman ve komşu katman hariç diğer katmanların gerilimlerinin havada olması, yani “floating point” olması ve eş potansiyellerde kalmaları olarak gösterilebilir. Böylece komşu katman hariç diğer katmanlara doğru bir akım akışı olmayacak, L katman sayısı artsa dahi bunun kaçak rezistansa ve kaçak akıma bir etkisi olmayacaktır.



Eğer 3BTRA yapımızda ortadaki katmanlardan birinden ( $2 \leq P < (L-1)$ ) okuma yapılacaksa, bu durumda ortaya çıkan eşdeğer kaçak rezistans devresi Şekil 5.6'da verilmiştir. Ayrıca bu yapının eşdeğer rezistans formülü de denklem 5.3'te verilmiştir.

$$R_{Leak} = \frac{R_{OFF}}{(N-1)} \quad (5.3)$$



Şekil 5.6 Orta katmanlardan birinden okuma yapılması durumunda 3BTRA yapının devre eşdeğeri.

Yine denklem 5.3'te dikkat edilirse  $L$  parametresi yani katman sayısı yer almamıştır. Şekil 5.6'da dikkat edilirse iki uçtaki katmanların uçları boşa ve eş potansiyel noktası şeklindedir. Bu yüzden bu iki yönde akım akmayacaktır. Bu sebeple katman sayısındaki artış kaçak rezistans değerini etkilemeyecektir ve kaçak rezistansa yalnızca okunulan katman ve onun komşu katmalarının etkisi olmaktadır.

#### 5.4. Tek katmanlı ve 3BTRA bellekler için kaçak akım ve okuma marjini karşılaştırması

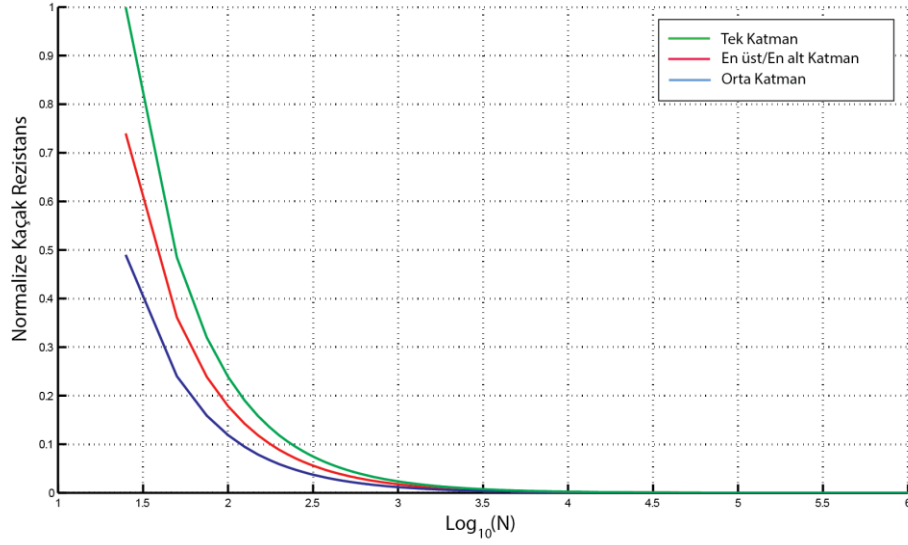
3BTRA belleklere ait en alt/en üst katman veya orta katmandan yapılan okumalara ait denklemler ve eşdeğer devreler daha önceki bölümlerde çıkarılmıştı. Bu denklemlerdeki rezistans değerleri karşılaştırma amacıyla maksimum TRA rezistans değerine göre normalize edildi. 3BTRA katmanları ve tek katmanlı çapraz hatlı rezistif belleğin normalize kaçak rezistanslarının N parametresine göre değişimi şekil 5.7'deki grafikte görülmektedir.

Tek katmanlı çapraz hatlı karesel TRA belleklerin kaçak rezistansı en yüksek olarak dikkat çekmektedir. 3BTRA yapılı belleklerin orta katmanının kaçak rezistansı en küçük kaçak rezistans olarak göze çarpmaktadır. 3BTRA belleğin en üst veya en alt katmanından yapılan okumaya ait kaçak rezistans değeri ise tek katmanlı yapı ile orta katman kaçak rezistans değerlerinin ortasında yer almaktadır. Tek katmanlı yapıya ait formül çok yüksek N değerlerinde denklem 5.4'te verilen şekli almaktadır.

$$R_{Leak} \cong \frac{2.R_{OFF}}{(N-1)} \quad (5.4)$$

3BTRA yapılı belleklerin en üst veya en alt katmanlarına ait kaçak rezistans formülü ise çok yüksek N değerleri için denklem 6.5'e dönüşmektedir.

$$R_{Leak} \cong \frac{3.R_{OFF}}{2.(N-1)} \quad (5.5)$$



Şekil 5.7 3BTRA bellek katmanlarına ve çapraz hatlı karesel belleklere ait maksimum hücre rezistans değerine ( $R_{OFF}$ ) göre normalize edilmiş kaçak rezistans değerleri

Şekil 5.5 ve 5.6'da görülen  $R_{pu}$  direnci pull-up direncinin üzerinden akan akıma bağlı düşen gerilime pull-up gerilimi ( $V_{pu}$ ) adı verilir. Bu gerilim okunmakta olan bellek hücresinden akmakta olan akıma bağlı bir gerilimdir. Pull-up direnci üzerine düşen gerilim,

$$V_{pu} = \frac{R_{pu}}{R_{pu} + R_{leak} // R_{sel}} V_{read} \quad (5.6)$$

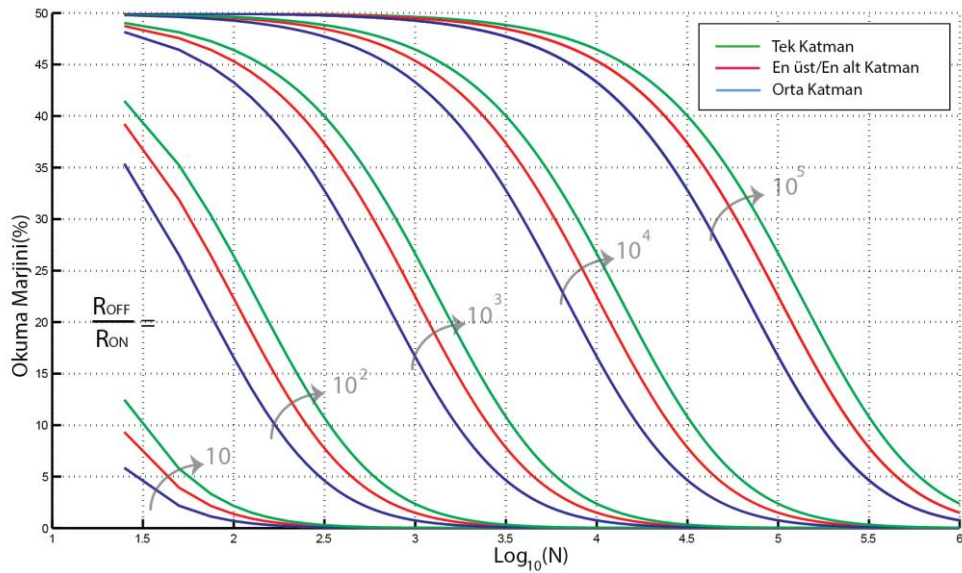
olarak hesaplanabilir. Denklem 5.6'da  $R_{leak}$  kaçak rezistans,  $R_{sel}$  ise seçili bellek hücresinin rezistansı ve  $V_{read}$  okuma esnasında bellek katmanına uygulanan okuma gerilim değerleridir.

Okuma marjini adı verilen kavram ise okunan hücrenin durum değiştirmesi durumunda  $V_{pu}$  değerinde gerçekleşen sapmanın okuma gerilimi ile normalize edilmiş halidir. Büyük boyutlu belleklerden ( $N$  değeri arttığından)  $R_{leak}$  küçük değer aldığı için  $R_{sel}$ 'deki değişiklikler  $V_{pu}$ 'nun çok az değişmesine sebep olmaktadır. Bu durum bellek hücresinin okunurluğunu zorlaştırmakta, çok büyük bellek boyutlarına ulaşmayı imkânsız hale getirebilmektedir. Okuma marjini,

$$\Delta V = \frac{|V_{\min} - V_{\max}|}{V_{\text{read}}} \quad (5.7)$$

olarak hesaplanır. Burada,  $V_{\min}$  okunan hücrenin minimum rezistans değere sahip olduğu durumda (on state) pull up direnci üzerinde oluşan gerilim ve  $V_{\max}$  maksimum rezistans seviyesindeki bir hücre okunurken (lojik-0 veya lojik-1) pull up direnci üzerine düşen gerilim değerleridir.

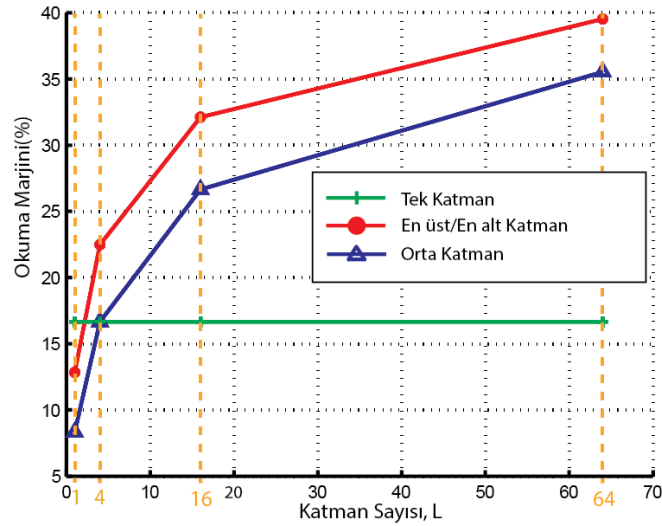
Tek katmanlı TRA bellek, 3BTRA yapılı belleğin en alt/ en üst katmanından ve herhangi bir ara katmanından yapılan okumalara ait okuma marjini Şekil 5.8'de verilmiştir. Bu eğriler çizilirken parametre olarak  $R_{\text{OFF}}/R_{\text{ON}}$  oranı kullanılmıştır. Dikkat edilirse büyük  $R_{\text{OFF}}/R_{\text{ON}}$  değerleri için okuma marjini değeri artmaktadır. Bunun anlamı ise okumanın kolaylaştığıdır. Aynı boyuttaki bellek için en yüksek okuma marjinine tek katmanlı bellek sahiptir, onun ardından yüksek okuma marjini en üst/en alt katmandan okumada gerçekleşmekte, en küçük okuma marjini ise herhangi bir 3BTRA ara katmanında gerçekleşmektedir.



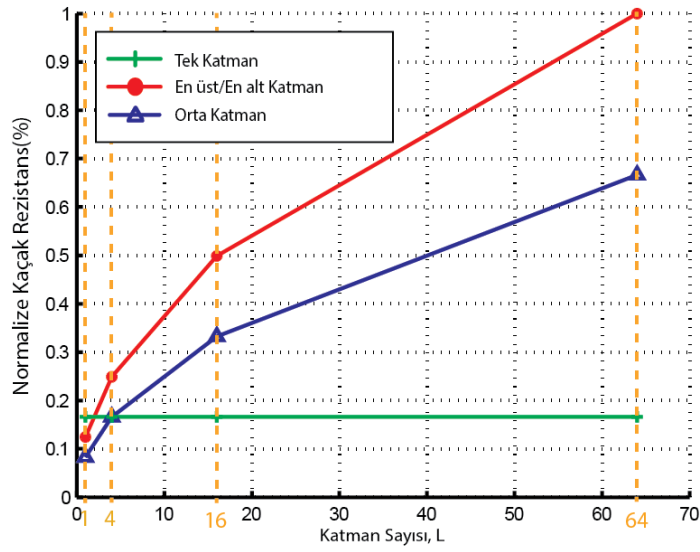
Şekil 5.8 Tek katmanlı çapraz hatlı TRA belleğin, ve 3BTRA belleğin katmanlarının okuma marjini.

Eğer aynı boyuttaki bellek değeri katmanlara bölünürse, bu durumda önerimiz olan 3BTRA yapısının üstünlükleri ortaya çıkmaktadır. Bunun için sabit bir bellek değeri üzerinden değerlendirme yapılacaktır ve değer olarak 4MBit seçilmiştir. 3BTRA yapısı için belirlenen katman sayıları, 4, 16 ve 64 katmandır. Katman sayılarının fonksiyonu olarak okuma marjini eğrileri Şekil 5.9’da verilmiştir. Kaçak rezistans maksimum TRA hücre rezistansı değerine göre normalize edilmiş ve her üç (tek katman, uç katmandan okuma ve ara katmandan okuma) durum için de katman sayısının fonksiyonu olarak eğriler şekil 5.10’da verilmiştir.

Şekil 5.9 ve Şekil 5.10’a dikkat edilirse, 3BTRA yapının okuma marjini de kaçak rezistans değerleri de 4 katman ve üzeri için tek katmanlı topolojiye göre avantajlı sonuçlar vermektedir. Tabi ki bunun yanında çok katmanlı yapının fabrikasyon zorlukları da göz ardı edilmemelidir.



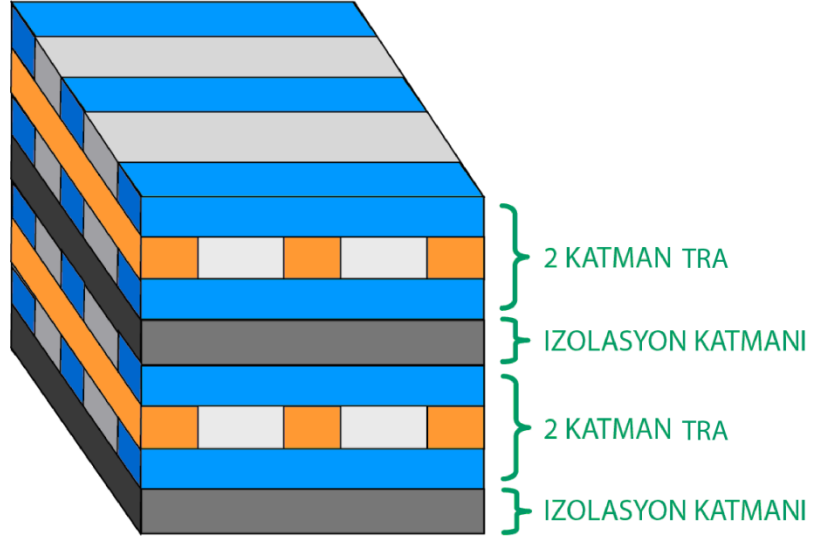
Şekil 5.9 Katman sayısının fonksiyonu olarak okuma marjini(Bellek Boyutu=4MBit,  $R_{OFF}/R_{ON}=1000$ ).



Şekil 5.10 Katman sayısının fonksiyonu olarak normalize kaçak rezistansı(Bellek Boyutu=4MBit,  $R_{OFF}/R_{ON}=1000$ ).

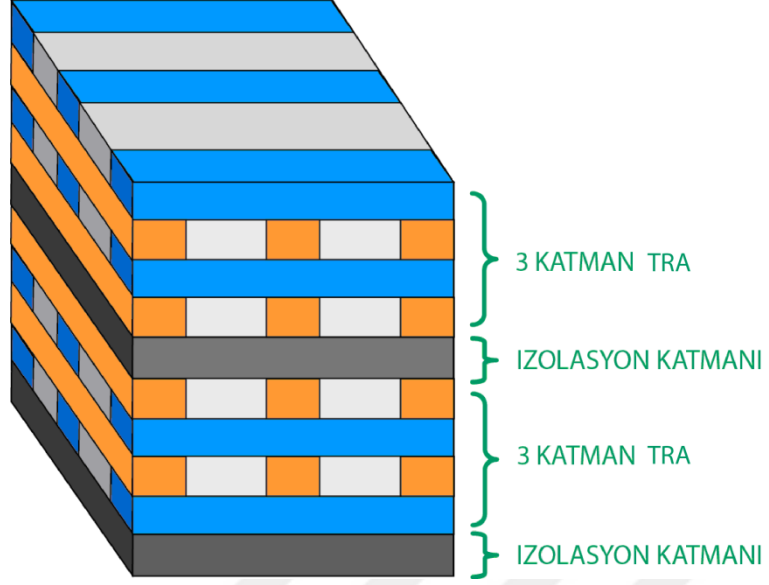
### 5.5. Alternatif bölünmüş çok katmanlı bellek önerileri

Bu kısımda geçen kısımlardaki tecrübeler kullanılarak 3BTRA bellekler için bölünmüş ya da izolasyon katmanlı yapı önerileri yapılacaktır, bu öneri esnasında izolasyon katmanı üretiminin gelecekte bugünkü kadar zor ve maliyetli olmayacağı var sayılmıştır. Öncelikle en üst veya en alt katmanın kaçak rezistansının orta katmanlardan birinin seçilmesi durumunda ortaya çıkan kaçak rezistanstan daha yüksek olduğunu hatırlayalım. Bu sebeple orta katmanların sayısını azaltmak okuma veya yazma esnasında oluşacak kaçak akımları azaltmaya yarayacaktır. Önerilen yeni topolojiler Şekil 5.11–5.13’te gösterilmiştir.



Şekil 5.11 İkişerli katmanlar şeklinde bölünmüş 3BTR Bellek önerisi.

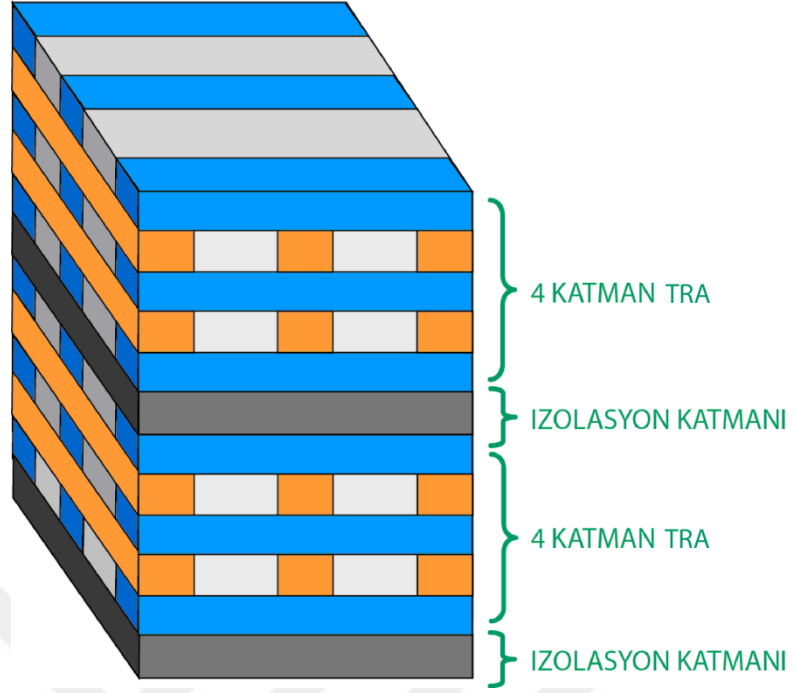
Şekil 5.11’de her bir iki hafıza katmanından sonra bir izolasyon katmanı yerleştirilmiştir. Bellek katmanlarının birbirlerine ara bit/word hatlarını ortak kullanarak bağlandıkları unutulmamalıdır. Geçen bölümde elde edilen tecrübe kullanılarak bu iki katmanlı topolojide mümkün olan en yüksek kaçak rezistans değerine ulaşılmaktadır. Bunun sebebi ise bu topolojide hiç orta katman bulunmamasıdır. Yine bu topolojide üzerinde okuma veya yazma yapılan katman her zaman en alt veya en üst katman olmaktadır. Bu topolojinin en temel handikapı ise üretilmesi zor ve pahalı olan izolasyon katmanı sayısının maksimum olmasıdır.



Şekil 5.12 Üçerli katmanlar şeklinde bölünmüş 3BTRA bellek önerisi.

Şekil 5.12'deki topolojide her üç adet bellek katmanından sonra bir adet izolasyon tabakasına yer verilmiştir. Bu durumda yalnızca bir adet orta tabaka vardır. Yani bu üçlü katmandan okuma yazma işlemlerinde  $1/3$  ihtimal ile daha düşük kaçak rezistans yani yüksek kaçak akım yaşanacaktır. Tabi ki toplam yapı düşünüldüğünde yapımı zor ve maliyetli olan izolasyon tabakalarının sayısı Şekil 5.11'de görülen yapıya oranla daha az olacaktır.





Şekil 5.13 Dörderli katmanlar şeklinde bölünmüş 3BTRA bellek önerisi.

Şekil 5.13'de görülen yapıda ise her bir dört adet veri bellek katmanının arasına bir izolasyon katmanı yerleştirilmiştir. Bu durumda ortadaki yüksek kaçak rezistanslı iki katmanın seçilme ihtimali  $\frac{1}{2}$  olacaktır. Yapımı zor, maliyeti yüksek olan izolasyon katmanlarının sayısı ise Şekil 5.11 ve Şekil 5.12'de görülen topolojilere göre daha az olacaktır. Büyük kapasiteye sahip 3B bellek yapıları üretilirken önerilen bu topolojiler durum mutlaka göz önünde bulundurulmalıdır.

## BÖLÜM 6

### TÜMLEYEN BAĞLI REZİSTİF ANAHTARLAR İLE YAPAY SİNİR AĞI UYGULAMASI

#### 6.1 Yapay sinir ağları ve perseptron

Yapay Sinir Ağları (YSA) canlıların sinir sisteminden esinlenilerek oluşturulmuş sınıflandırma kontrol, tahmin ve modelleme gibi uygulamalarda başarıyla kullanılan elektrik devreleri ya da yazılımlardır [42-44]. Yapay Sinir Ağları bilgisayar bilimleri alanında aktif araştırma yapılan sahalardan biridir. Yalnızca yapay sinir ağları üzerine yayın yapan dergiler ve yapılmış konferanslar bulunmaktadır [45,46]. Olabilecek en basit ve en temel yapay sinir hücre modeli devresine perseptron (genlikte lineer ayırıcı) adı verilmektedir. Bir perseptron devresi, çok sayıda girişi bir tane sabit girişi (DC offset girişi) olan, bu girişleri ağırlık faktörü adı verilen kazançlarla çarpan, bu ağırlıklarla çarpılarak bulunmuş akım ya da gerilim değerlerini alarak toplayan ve daha sonra da doğrusal olmayan bir aktivasyon fonksiyonundan geçiren bir elektrik devresidir. Perseptronların birbirilerine bağlanması sonucu oluşan ve biyolojik sinir sistemini modelleyen yapılara yapay sinir ağı adı verilmektedir. Perseptronların yerleştirildiği sütunlara ya da sıralara katman ya da tabaka (layer) adı verilmektedir. Bir perseptronda ve yapay sinir ağlarında öğrenme işlemi sinaptik bağlantıların ağırlık katsayılarının değiştirilmesi ile gerçekleşmektedir. İki perseptron arasındaki bağlantının ya da her bir perseptron girişinin bir ağırlık faktörü vardır ve her bir perseptron girişi perseptron çıkışına bu ağırlık faktörüne bağlı olarak etki edecektir. Ağırlık faktörünün ayarlanması yani değerinin değiştirilmesini Rosenblatt'ın tasarladığı ilk elektriksel perseptron devresinde ayarlı elektriksel dirençlerin (potansiyometrelerin) bağlı oldukları elektrik

motorları tarafından ayarlanmaları ile gerçekleştirilmiştir [23,44]. Daha sonra yapılan perseptron çalışmalarında ağırlık faktörlerinin ayarlanması için üç bacaklı bir devre elemanı olan memristörler ve transistörler, son olarak memristörler önerilmiş veya kullanılmıştır [47-54]. Günümüzdeki ticari yapay sinir ağı entegre devrelerinde ise ağırlık faktörlerinin ayarlanması için yaygınca transistörler kullanılmaktadır [55-56].

YSA entegre devreleri oldukça pahalıdır ve kullanımları yeterince yaygınlaşmamıştır [42-44]. Transistörlerin maliyetleri ve boyutları bu durumun ana nedenlerinden bazıları olarak açıklanabilir. Bunun yanında söz konusu transistörler beklentilerin altında hıza sahiptirler. Memristörün bulunma iddiasının ardından memristörlü (memristör tabanlı) yapay sinir ağları üzerine çok sayıda çalışma ortaya çıkmıştır [47-51]. Memristörlü entegrelerin desen tanıma için kullanılabileceği de iddia edilmiştir [50]. Çapraz hatlı bir memristör entegre devresi ile oluşturulan bir yapay sinir ağı kolayca bazı desenleri ayırabilmiştir [51]. Gelecekte oluşturulacak daha gelişmiş ve daha iyi başarılı memristör tabanlı yapay sinir ağı entegreleri ile ses, görüntü patern tanıma gibi daha zorlu görevler başarılabılır.

Literatürde yapılan taramalar, Tümleyen bağlı memristörlerin veya memristif özellik gösteren tümleyen bağlı rezistif anahtarların daha önce perseptron veya yapay sinir ağı çalışmalarında kullanılmadığını göstermiştir. Tezin bu bölümünde literatürde bir ilk olarak; perseptron ve yapay sinir ağlarının yapımında ve onların ağırlık faktörlerinin değiştirilmesi ile sinaptik bağlantılarının yapılması için donanımsal olarak orta uçlu TRA'ların kullanımı önerilmiş ve bunlara ait simülasyon sonuçları verilmiştir. Simülasyon sonuçları orta uçlu TRA'ların YSA çalışmalarında kullanılabileceğini göstermektedir. Bu kullanılabilirlik, YSA ticari entegre devrelerinin performanslarını arttırabilme ve fiyatlarını azaltabilme potansiyeline sahiptir.

Bir perseptron ya da bir YSA pozitif ya da negatif kazançlara yani ağırlık faktörlerine sahip olabilir. Ama elektriksel direnç ya da memristans yalnızca pozitif değer alabilmektedir. Literatürde taramalar memristör tabanlı YSA'ların hem negatif hem de pozitif kazançta sahip olmadığını göstermiştir. Bu tez çalışmasında ayrıca literatürde bir ilk olarak, YSA'nın negatif ağırlık faktörüne de sahip olabilmesi için orta uçlu TRA'lar işlemsel kuvvetlendiricili (opampli) fark alıcılar (diferansiyel amplifikatör) ile birlikte kullanılmıştır. Ağırlık faktörleri ile çarpılan girişlerin toplanması opampli bir eviren toplayıcı kullanarak yapılmıştır ve doğrusal olmayan aktivasyon fonksiyonu devresine

verilmiştir. Sonrasında ise yapılan bu orta uçlu TRA tabanlı perseptron kullanılarak çok katmanlı bir YSA'nın nasıl yapılacağı gösterilmiştir.

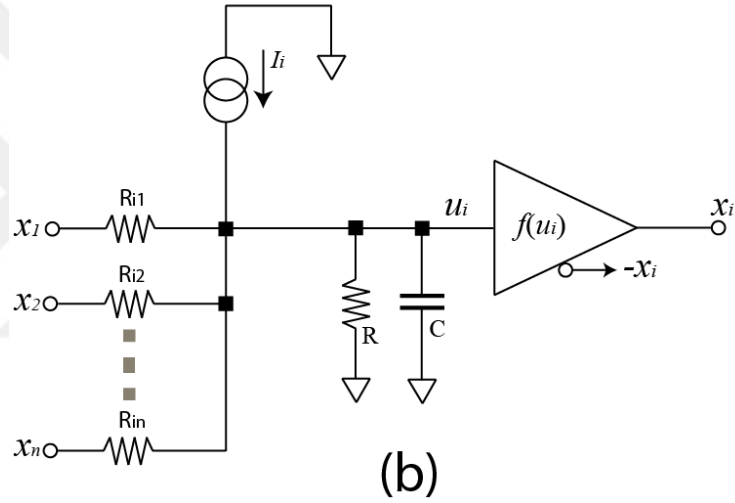
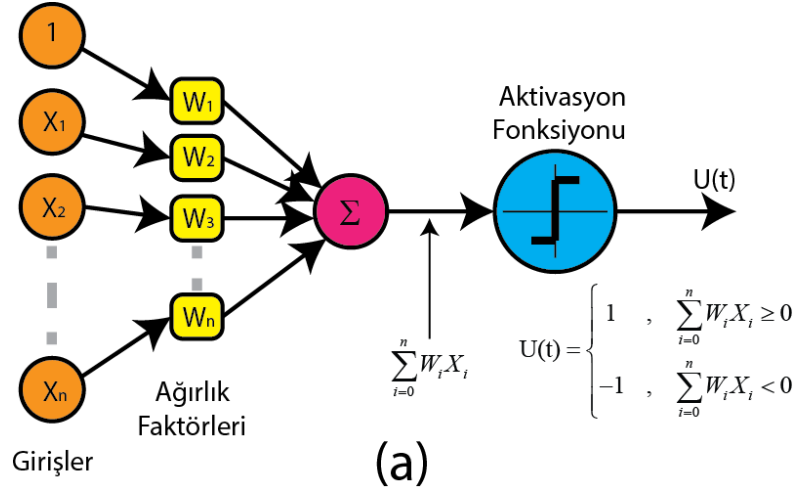
TRA yapısına ait model ref. [58]'de ve bu tezin üçüncü bölümünde verilmiştir. Bu model orta uçlu TRA'lar için modifiye edilmiş ve bu bölümde simülasyonlarda kullanılmıştır. Ayrıca bu bölümde TRA tabanlı perseptron veya çok katmanlı YSA devresininin ağırlık faktörlerini ayarlamak ya da eğitmek için kullanılacak mikrodenetleyici tabanlı bir programlayıcı önerilmiştir. Bu programlayıcı piyasadan elde edilebilir elektronik elemanlar ile kolaylıkla yapılabilir. Mikrodenetleyici olarak ise PIC16FXXX ya da Arduinio Uno gibi ucuz ve kolayca bulunulabilen mikrodenetleyiciler önerilmiştir [59,60].

## 6.2 Hopfield perseptron

Perseptrona ait temel blok diyagram ve Hopfield tarafından önerilmiş perseptron devresi Şekil 6.1'de görülebilir [61,62]. Bu perseptron devresi girişler, offset girişi, ayarlanabilir dirençler ve çıkıştaki aktivasyon fonksiyonunu elde etmek için kullanılan doğrusal olmayan bir devre elemanından oluşmaktadır. Denklem 6.1 Hopfield devresini tanımlamaktadır.

$$\frac{du_i}{dt} = -\frac{u_i}{\tau_i} + \sum_{j=1}^n T_{ij}v_j + I_i \quad (6.1)$$

Burada,  $u_i$   $i$ 'inci perseptronun ağırlık faktörleri ile girişlerin çarpılıp toplanması ile elde edilen ve aktivasyon fonksiyonuna uygulanan gerilimi,  $V_j$  perseptronun  $j$ 'inci giriş gerilimini,  $T_{ij}$   $i$ 'inci perseptronun  $j$ 'inci kazancını,  $I_i$  ofset girişine tekabül eden akım kaynağı ve  $y_i$  perseptronun çıkış gerilimi değeridir,  $R_{i1}, R_{i2}, \dots, R_{in}$  ve  $R$  dirençlerinin değerleri Hopfield perseptronunun kazançlarını belirlemektedir.

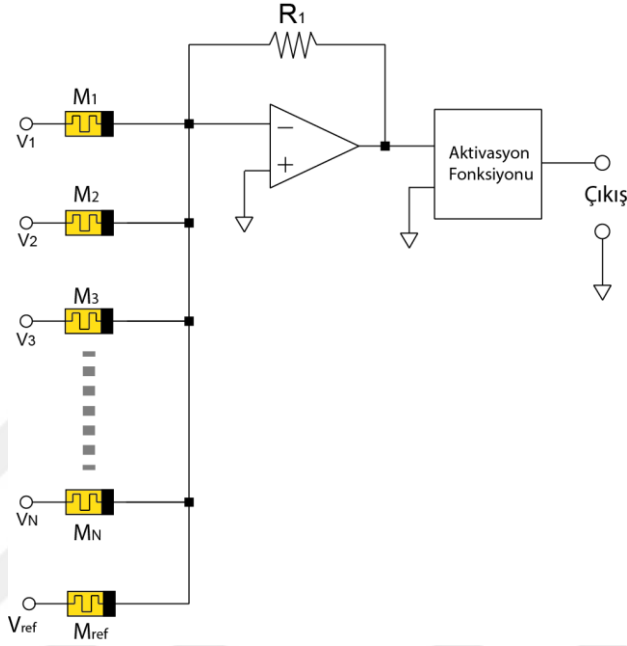


Şekil 6.1 Perseptron blok şema ve Hopfield perseptronu a)perseptron blok şeması b)Hopfield perseptron devresi [61].

### 6.3 TRA tabanlı perseptron ve yapay sinir ağı devresi

Şekil 6.1.b'de görülen Hopfield perseptron devresinde kullanılan dirençler  $R_{i1}, R_{i2}, \dots, R_{in}$  sabit, yani doğrusal, zamanla değişmeyen dirençlerdir. Bu devrede perseptron kazançlarının ayarlanması ya da YSA'nın eğitimi ancak dirençlerin el ile değiştirilmesi şeklinde gerçekleştirilebilir. Bu sabit dirençler yerine potansiyometre yani mekanik olarak ayarlanabilir dirençler kullanılarak da kazançlar yani ağırlık faktörleri değiştirilebilir. Potansiyometre ile bile olsa bir perseptronun ya da bir YSA'nın kazancının ayarlanması yavaş ve dikkat gerektiren bir iştir. Memristör veya memristif sistemlerin sahip olduğu elektriksel sinyaller kullanılarak ayarlanabilir direnç yani

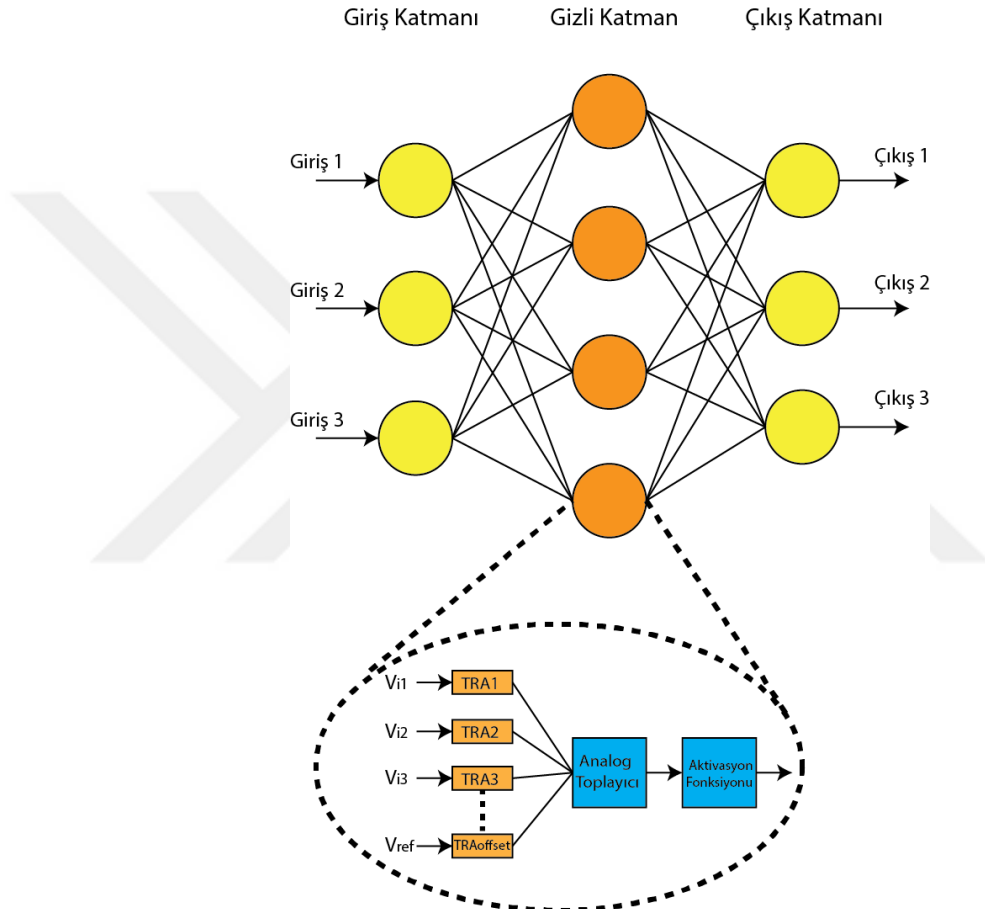
memristans özelliği bu konuda bir avantaj sağlayabilir [49-51]. Şekil 6.1’de görülen Hopfield perseptron devresinde kullanılan doğrusal, zamanla değişmeyen  $R_{i1}, R_{i2}, \dots, R_{in}$  dirençleri, memristörler ile değiştirilerek elde edilen memristör tabanlı bir YSA Şekil 6.2’de görülebilir.



Şekil 6.2 Memristör tabanlı bir perseptron.

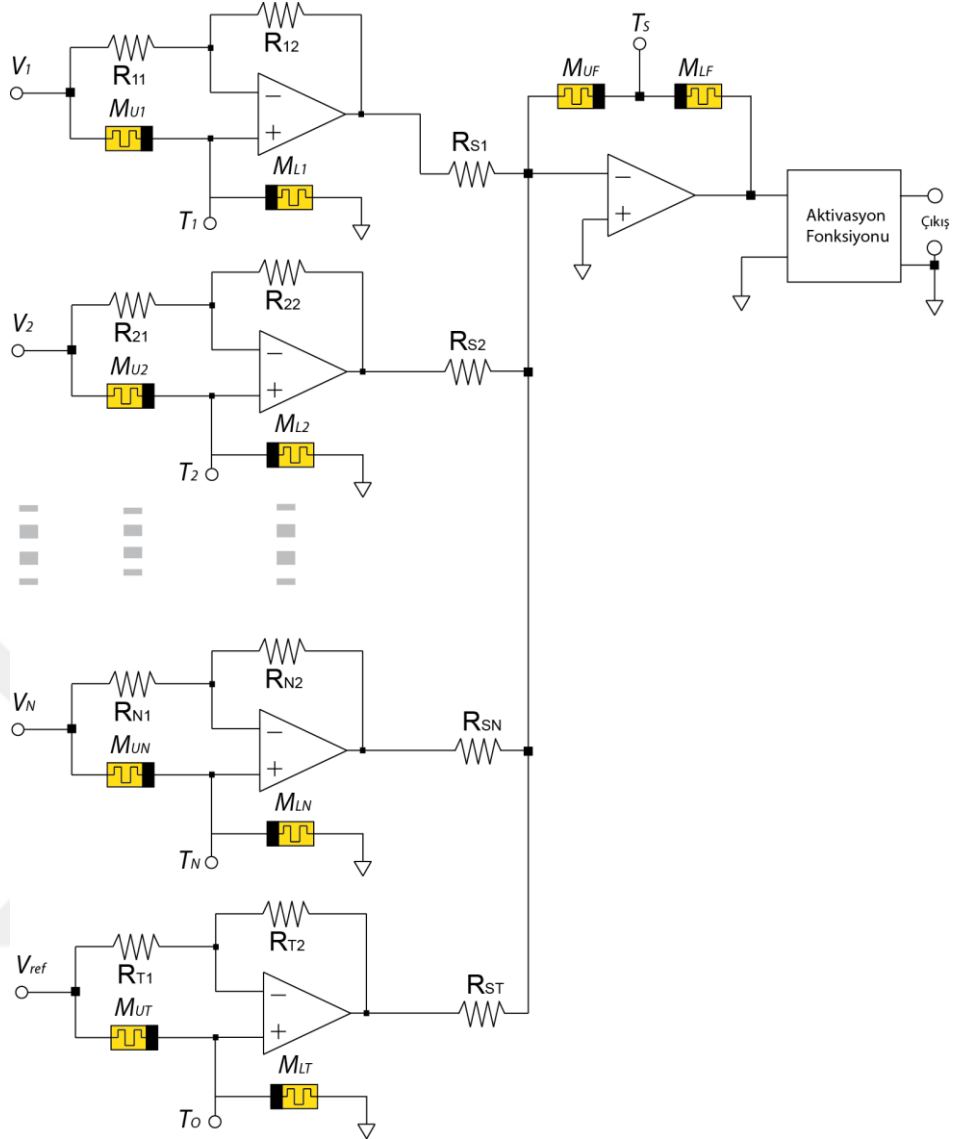
Şu ana kadar bulunan memristör olduğu iddia edilen tüm yük bağımlı memristif sistemler ya da rezistif anahtarlar ayrıca eşik gerilimlerine sahiptirler. Bu eşik gerilimleri uygulanan gerilimin yönüne göre aynı (simetrik) veya farklı (asimetrik) olabilir. Eşik geriliminin üzerine çıkılması memristörlerin ya da rezistif anahtarların sahip olduğu direnç değerlerinin değişmesine neden olmaktadır. Eğitilmiş olan bir perseptronun kazançları dolayısıyla bu kazancı veren dirençlerin ya da memristörlerin rezistans ya da memristans değerleri sabit tutulmalıdır yani değişmemelidir. Bir perseptron ya da YSA’da kullanılan memristörlerin ya da rezistif anahtarların dirençlerinin ya da memristanslarının istenmeyen değişimi onların kazançlarının değişimine, performansının düşmesine ve hatalı çalışmalarına neden olacaktır. Daha yüksek eşik gerilimi olan memristörlerin ya da rezistif anahtarların kullanımı bu rezistans değişimlerini ve bundan kaynaklanan kazanç sapmalarını yani bu istenmeyen durumu ortadan kaldırabilir. Memristör ya da rezistif anahtar eşik gerilimleri onları yapmak için kullanılan malzemenin yapısına bağlıdır. Bu çalışmada daha yüksek eşik gerilimi olan memristörler

kullanmaktansa, tek bir memristör yerine tümleyen bağlı yani ters seri bağlı iki memristörün ya da tümleyen bağlı rezistif anahtarların (TRA) kullanılması önerilmiştir. TRA'lar tek bir rezistif anahtara göre neredeyse iki katı bir eşik gerilime sahiptir. Daha yüksek eşik gerilimine sahip olan TRA aynı uygulanan gerilimde daha az memristans değişimi yaşayacaktır. Bu eşik geriliminin altında kalacak şekilde seçilen bir çalışma geriliminde TRA böyle bir perseptron iyi bir performans göstererek çalışabilir.



Şekil 6.3 Orta uçlu TRA tabanlı yapay sinir ağı ve perseptron.

Şekil 6.3'te Bu çalışmada önerilen orta uçlu tümleyen bağlı yani ters seri bağlı iki memristör ya da tümleyen bağlı rezistif anahtar (TRA) tabanlı perseptron ya da YSA blokları görülebilir.



Şekil 6.4 TRA tabanlı perseptron devresi.

TRA kullanarak yapılması önerilen perseptron devresi Şekil 6.4'te görülebilir. Bu devrede girişteki ağırlık faktörü işlevini sağlayan dirençler orta uçlu TRA'lar ile değiştirilmiştir. TRA anahtarlarının rezistansları veya memristörlerin memristansları TRA'nın orta ucu kullanılarak elektriksel darbeler ile kolaylıkla değiştirilebilmektedir [55]. Bu çalışmada üstteki girişe bağlanan rezistif anahtar  $R_{on}$  değerinde kalacak, alttaki rezistif anahtar ise istenen kazanç vermek için gereken direnç değerine ayarlanacaktır. Altteki rezistif anahtarı  $R_{on}$  konumunda tutup, üstteki rezistif anahtarı istenen kazanç vermek için gereken direnç değerine ayarlamak da bir başka kazanç ayar yöntemi olarak kullanılabilir.

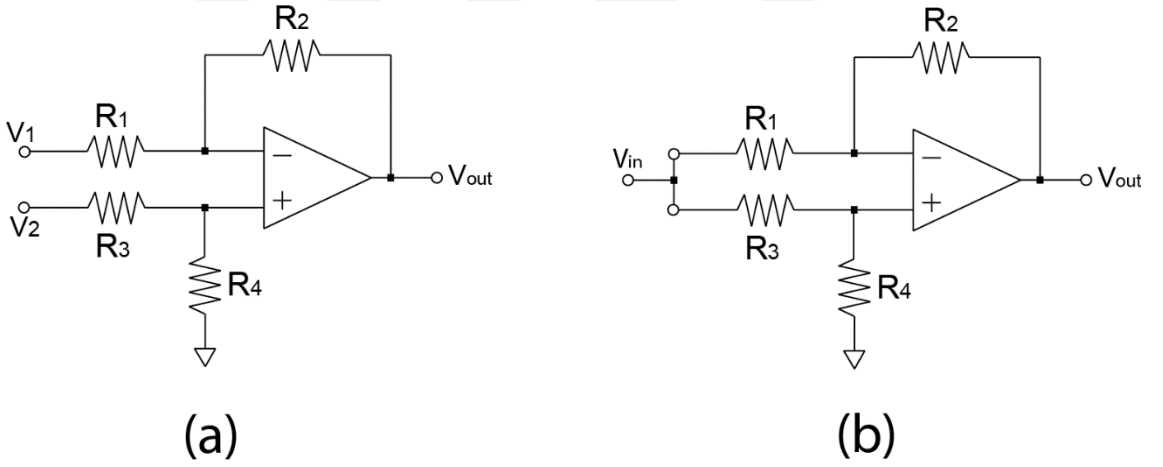


#### 6.4 Negatif pozitif kazanç devresi

Yapay sinir ağlarında ağırlık faktörleri eksi değerler de alabilmektedir. Memristif tabanlı YSA'larda da ağırlık faktörü ile elektriksel direnç değeri arasında bir bağlantı kurulmaktadır. Bilindiği üzere elektriksel direnç negatif değer alamamaktadır. Bu çalışmada ağırlık faktörünün hem pozitif hem de negatif değer alabilmesi orta uçlu TRA'lar ile birlikte fark yükselteci devresi kullanarak sağlanmıştır. Şekil 6.5.a'da bir fark yükselteci görülmektedir. Fark yükseltecine ait çıkış gerilimi denklemi denklem 6.2'de görülebilir.

$$V_{out} = \left(1 + \frac{R_2}{R_1}\right) \left(\frac{R_4}{R_3 + R_4}\right) \cdot V_2 - \left(\frac{R_2}{R_1}\right) \cdot V_1 \quad (6.2)$$

Denklem 6.2'de  $V_1$  eviren uç giriş gerilimi ve  $V_2$  evirmeyen uç giriş gerilimidir.  $R_1, R_2, R_3$  ve  $R_4$  fark yükseltecine ait Şekil 6.5'te görülen dirençlerin değerleridir.



Şekil 6.5 Fark Yükselteci a) Fark yükselteci b) Girişleri birleştirilmiş fark yükselteci

Denklem 6.2'de  $V_1$  eviren yükseltecin giriş gerilimi,  $V_2$  evirmeyen yükseltecin giriş gerilimidir.  $R_1, R_2, R_3$  ve  $R_4$  fark yükseltecine ait dirençlerin değerleridir. Denklem 6.2 Şekil 6.5.b'deki gibi girişlerin birleştirilmesi şeklinde ele alınır ve denklemdeki  $V_1 = V_2 = V_{in}$  gerilimine eşit olacağı düşüncesinden hareketle, denklem 6.2'yi  $R_2 = R_1$  durumu için sadeleştirilerek denklem 6.3'e ulaşılabilir.

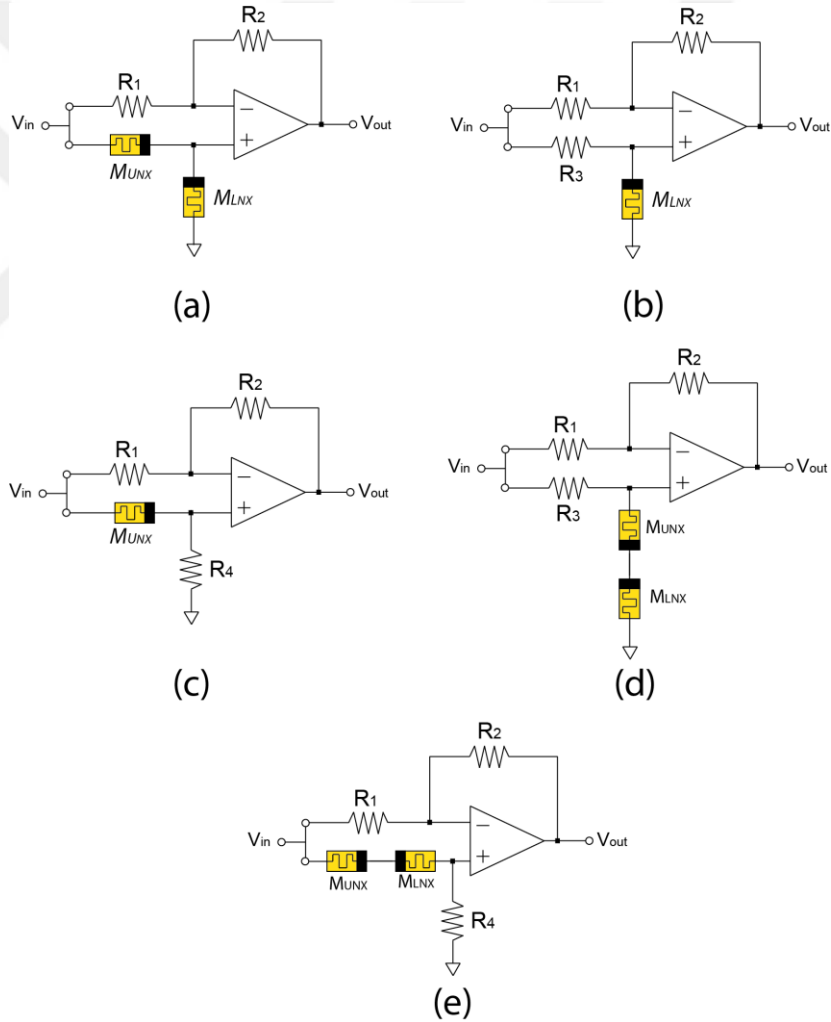
$$V_{out} = \frac{R_4 - R_3}{R_4 + R_3} \cdot V_{in}$$

(6.3)

Bu denklemde dikkat edilirse çıkış  $R_3$  ve  $R_4$  direnç değerlerine bağlı olarak  $V_{in}$  giriş gerilim değerinin  $[+1,-1]$  katı aralığında olacaktır.  $R_4$ 'ün değerinin  $R_3$ 'e oranla çok yüksek olduğu durumlarda devrenin kazancı  $+1$ 'e giderken,  $R_3$ 'ün  $R_4$ 'e oranla çok yüksek olduğu durumlarda ise devre kazancı  $-1$ 'e gider. Buradan kazanç yani uygulama özelinde ağırlık faktörü değeri denklem 6.4'teki haliyle yazılabilir.

$$W_N = G = \frac{R_4 - R_3}{R_4 + R_3}$$

(6.4)



Şekil 6. 6 Negatif pozitif kazanç devreleri a)TRA bağlantılı devre b)Alt rezistif anahtar bağlantılı devre c)Üst rezitif anahtar bağlantılı devre d)Alt TRA bağlantılı devre e) Üst TRA bağlantılı devre.

Şekil 6.6'da bundan sonra incelenecek tüm negatif pozitif kazanç devre yapıları verilmiştir. Şekil 6.6.a'da  $R_3$  ve  $R_4$  dirençlerinin yerine sırasıyla TRA'nın üst( $M_{UNX}$ ) ve alt( $M_{LNX}$ ) rezistif anahtarları bağlanırsa denklem 6.4 denklem 6.5'e dönüşecektir.

$$W_N = G = \frac{M_{LNX} - M_{UNX}}{M_{LNX} + M_{UNX}} \quad (6.5)$$

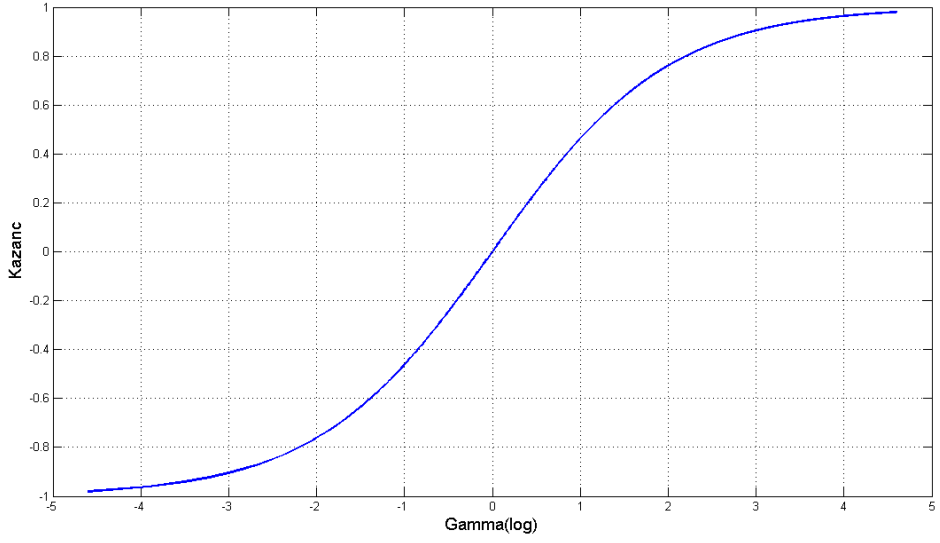
Burada  $M_{UNX}$  fark yükseltecinin girişine bağlı rezistif anahtarı,  $M_{LNX}$  ise fark yükseltecinin toprağa bağlantılı rezistif anahtarıdır. Bu denklemde kazancın parametrik incelenebilmesi için gamma( $\gamma$ ) adlı parametre rezistif anahtarların değerlerine bağlı olarak  $\gamma = M_{LNX}/M_{UNX}$  şeklinde tanımlanmıştır. Bu durumda kazanç denklem 6.6'da görülebilir.

$$G = \frac{\gamma - 1}{\gamma + 1} \quad (6.6)$$

Beta( $\beta$ ) değeri bir TRA'da  $R_{OFF}$  ile  $R_{ON}$  değerlerinin oranıdır ve aralarındaki oranın büyük olmasının rezistif bellekler için daha iyi sonuçlar verdiğini önceki bölümlerde ele almıştık. Buna göre beta değeri, denklem 6.8'de görülebilir.

$$\frac{R_{OFF}}{R_{ON}} = \beta \quad (6.7)$$

Daha önce kullanılan TRA Modeli göz önüne alınırsa,  $R_{ON}=3.16k\Omega$ ,  $R_{OFF}=316k\Omega$  ve  $\beta=100$  için gamma parametresi 0.01 ile 100 arasında değişecektir. Bu durumda kazancın alabileceği en küçük değer -0.98, en büyük değer ise +0.98 olacaktır. Kazancın gamma'ya göre çizimi Şekil 6.7'de görülebilir.



Şekil 6.7 TRA yapılı negatif-pozitif kazanç devresi kazancının  $\gamma$ 'ya bağlı değişimi( $\beta=100$  için).

Şimdi kazanç değerinin alabileceği maksimum ve minimum değerler hesaplanabilir.  $M_{LNX}=R_{OFF}$  ve  $M_{UNX}=R_{ON}$  değeri için maksimum kuvvetlendirici kazancı denklem 6.8'de görülebilir.

$$G_{max} = \frac{\beta - 1}{\beta + 1} \quad (6.8)$$

$M_{LNX}=R_{ON}$  ve  $M_{UNX}=R_{OFF}$  için  $\gamma=1/\beta$  olur ve kazanç denklemi denklem 6.9'a dönüşecektir.

$$W_x = \frac{\frac{1}{\beta} - 1}{\frac{1}{\beta} + 1} \quad (6.9)$$

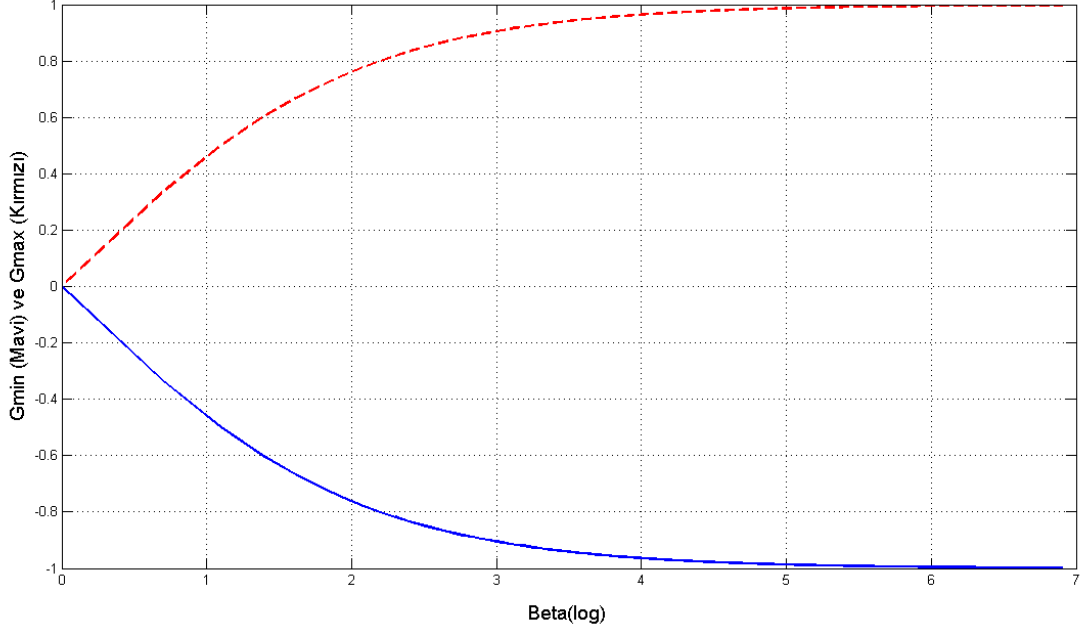
Minimum kuvvetlendirici kazancı denklem 6.10'daki haliyle bulunur.

$$G_{min} = \frac{1 - \beta}{1 + \beta} \quad (6.10)$$

Denklem 6.11'de ise kazanç aralığının betaya bağlı hali görülebilir;

$$\frac{1 - \beta}{1 + \beta} \leq G \leq \frac{\beta - 1}{\beta + 1} \quad (6.11)$$

Bu denklemlerden yola çıkarak  $G_{\min}$  ve  $G_{\max}$  noktalarında  $\beta$  parametresine bağlı olarak kazanç denklemlerini çizersek Şekil 6.7'deki eğriler elde edilir. Buradan görüldüğü üzere sırasıyla  $G_{\min}$  ve  $G_{\max}$  kazanç eğrileri ani  $\beta$  arttıkça 1 ve -1 değerlerine yakınsamaktadır.



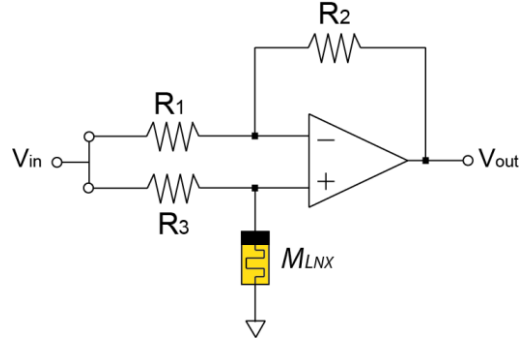
Şekil 6.8 TRA negatif pozitif kazanç devresi kazancının  $\beta$ 'ya bağlı değişimi

Bu çalışmada ağırlıklı olarak şekil 6.5.a'da görülen negatif-pozitif kazanç devresi perseptronda kullanılacaktır. Buna rağmen burada tek veya çift rezistif anahtardan oluşan benzer topolojilerin de denklemleri ve kazanç aralıkları incelenecektir.

## 6.5. Negatif pozitif kazanç devresi için alternatif topolojiler

### 6.5.1. Alt rezistif anahtar bağlantılı negatif-pozitif kazanç devresi

Şekil 6.6.b'deki devrede  $R_4$  direncinin olması gereken noktaya bir rezistif anahtar bağlanmış ve bu rezistif anahtarın ayarlanması ile kazancın değiştirileceği öngörülmüştür. Söz konusu devre Şekil 6.9'da görülebilir. Bu topolojide yine  $R_2=R_1$ 'dir ve  $R_3$  direnci sabit bir direnç olarak bağlanacak, değeri belirlenecektir.



Şekil 6.9 Alt memristör kullanan negatif pozitif kazanç devresi.

Denklem 6.4 şekil 6.9'daki devre için yazılırsa denklem 6.12'ye ulaşmış oluruz.

$$G = \frac{M_{LNX} - R_3}{M_{LNX} + R_3} \quad (6.12)$$

Burada kazançtaki değişimi parametrik olarak incelemek için yine  $\gamma$  parametresi belirlenebilir. Buna göre  $\gamma = R_4/R_3$  şeklindedir. Şekil 6.9'a göre  $R_4$  direnci yerine bir rezistif anahtar bağlandığı için  $\gamma = M_{LNX}/R_3$  yazılarak kuvvetlendirici kazanç 'G' denklem 6.13'e dönüşecektir.

$$G = \frac{\gamma - 1}{\gamma + 1} \quad (6.13)$$

$M_{LNX}$  rezitif anahtarının değişim aralığı denklem 6.14'te görülebilir.

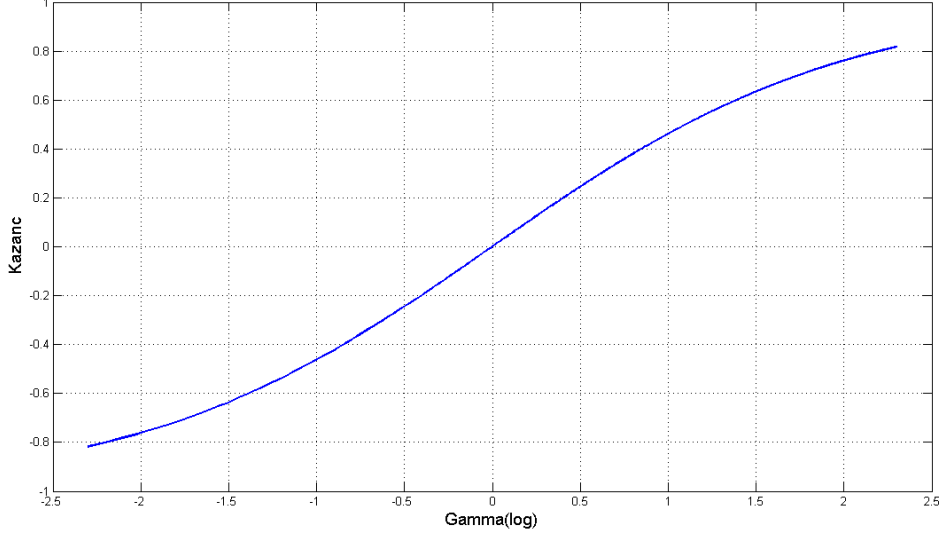
$$R_{ON} \leq M_{LNX} \leq R_{OFF} \quad (6.14)$$

$R_3$  direncinin hesaplanması için bu çalışmada  $R_{ON}$  ve  $R_{OFF}$  değerlerinin aritmetik ortalaması değil geometrik ortalamalarının kullanılması önerilmiştir. Buna göre  $R_3$  direnci denklem 6.15'deki değerde seçilebilir.

$$R_3 = \sqrt{R_{ON} \cdot R_{OFF}} \quad (6.15)$$

Denklem 6.15'teki  $R_3$  değerini TRA modeline ait değerler olan  $R_{ON}=3.16k\Omega$ ,  $R_{OFF}=316k\Omega$  ve  $\beta=100$  ile ele alırsak.  $R_3=31.6k\Omega$  olarak bulunur ve bu durumda  $\gamma$

parametresi 0.1 ile 10 arasında deęiřecektir. Bu deęerleri kullanarak denklem 6.16'yı söz konusu aralıkta çizdirdiđimizde řekil 6.10'daki kazanç eđrisi ortaya ıkar.



řekil 6.10 Alt rezistif anahtar kullanan negatif pozitif kazanç devresi kazancın  $\gamma$ 'ya göre deęiřimi( $\beta=100$  için)

řekilde kazancın yaklaşık olarak -0.8 ile +0.8 aralıđında deęiřtiđi grlmektedir. Buradan maksimum ve minimum kazançların  $\beta$ 'ya bađlı denklemlerinin yazılması için, denklem 6.15'teki ifade  $R_{OFF}/R_{OFF}$  ile blnrse denklem 6.16'ya ulařılır.

$$R_3 = \frac{R_{OFF}}{\sqrt{\beta}} \quad (6.16)$$

$M_{LNx}=R_{OFF}$  ve  $R_3$  için ise betaya bađlı denklem yazılırsa denklem 6.17'ye ulařılır.

$$G_{max} = \frac{R_{OFF} - \frac{R_{OFF}}{\sqrt{\beta}}}{R_{OFF} + \frac{R_{OFF}}{\sqrt{\beta}}} \quad (6.17)$$

Pay ve paydanın  $R_{OFF}$  deđerine blnmesi sonucu denklem 6.17 denklem 6.18'e dnřecektir.

$$G_{max} = \frac{\sqrt{\beta} - 1}{\sqrt{\beta} + 1} \quad (6.18)$$

Bu denklemdeki  $\beta \gg 1$  farz edilirse  $G_{max} \cong 1$  sonucuna ulaşılmış olacaktır. Kazancın minimum değerini bulmak için hesaplama yapılırsa,  $M_{LNX}=R_{ON}$  durumunda denklem 6.19'ye ulaşılır.

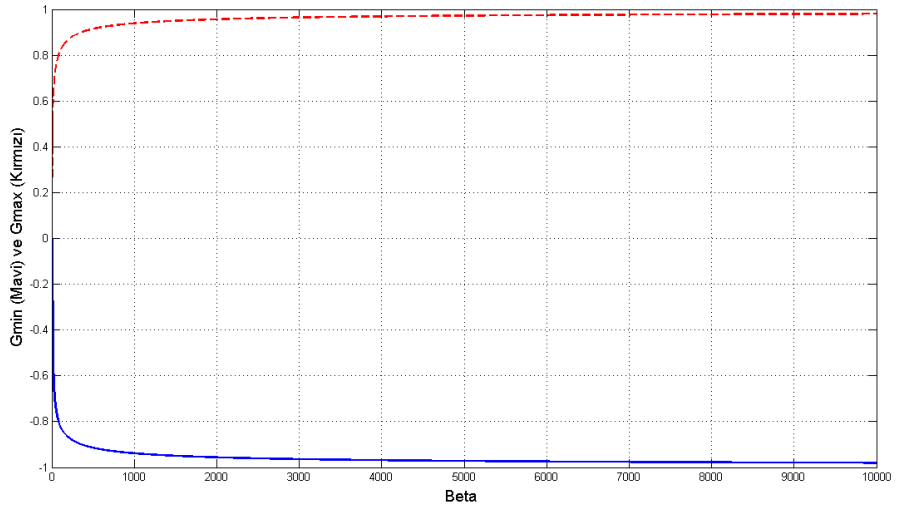
$$G = \frac{R_{ON} - \frac{R_{OFF}}{\sqrt{\beta}}}{R_{ON} + \frac{R_{OFF}}{\sqrt{\beta}}} \quad (6.19)$$

Pay ve paydanın  $R_{OFF}$  değerine bölünmesi durumunda ise denklem 6.19 denklem 6.20'ye dönüşecektir.

$$G_{min} = \frac{\sqrt{\beta} - \beta}{\sqrt{\beta} + \beta} \quad (6.20)$$

$\beta \gg \sqrt{\beta}$  olduğu farz edilirse  $G_{min} \cong -1$  olmaktadır. Kuvvetlendirici kazanç aralığı ise denklem 6.21'deki haliyle ifade edilebilir.

$$\frac{\sqrt{\beta} - \beta}{\sqrt{\beta} + \beta} \leq G \leq \frac{\sqrt{\beta} - 1}{\sqrt{\beta} + 1} \quad (6.21)$$



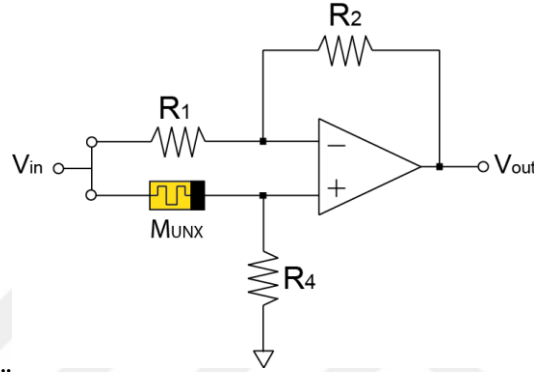
Şekil 6.11 Alt memristör kullanan negatif pozitif kazanç devresi kazancın  $\beta$ 'ya göre değişimi.

Maksimum ve minimum kuvvetlendirici kazançları  $G_{max}$  ve  $G_{min}$ ,  $\beta$  parametresine bağlı olarak çizdirilirse şekil 6.11'deki eğriler bulunmaktadır. Buna göre  $\beta$  artarken kazanç aralığının  $[-1,+1]$  şeklinde olacağı görülmektedir.



### 6.5.2. Üst rezistif anahtar bağlantılı negatif-pozitif kazanç devresi

Fark yükselteci yapılı negatif-pozitif kazanç devresinin  $R_3$  direnci yerine bir rezistif anahtar bağlanması durumunda ortaya çıkan devreye üst memristör kullanan negatif-pozitif kazanç devresi adını vereceğiz. Söz konusu devre şeması şekil 6.12’de görülebilir.



Şekil 6.12 Üst memristör kullanan negatif pozitif kazanç devresi.

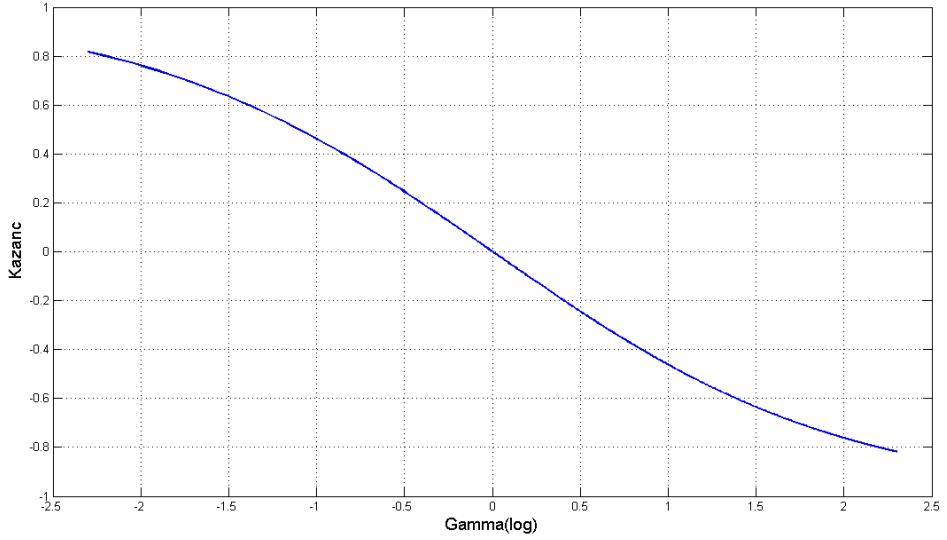
Şekil 6.12’de görülen devrenin kazancının  $\gamma$  ve  $\beta$ ’ya göre değişimleri ve değişim aralıklarını inceleyelim. Denklem 6.4  $R_2=R_1$  durumu için sadeleştirilerek denklem 6.22’ye ulaşılır.

$$G = \frac{R_4 - M_{UNX}}{R_4 + M_{UNX}} \quad (6.22)$$

$\gamma = R_4/M_{UNX}$  için, denklem 6.22 denklem 6.23’e dönüşecektir.

$$G = \frac{\gamma - 1}{\gamma + 1} \quad (6.23) \quad (6.8)$$

Geçen bölümlerde kullanılan TRA modeline ait değerler olan  $R_{ON}=3.16k\Omega$ ,  $R_{OFF}=316k\Omega$  ve  $\beta=100$  kullanılarak kazanç değeri ‘G’  $\gamma$ ’ya bağlı olarak çizildiğinde  $\gamma$ ’nın 0,1 ile 10 arasında değiştiği görülür. Buna bağlı eğri şekil 6.13’de görülebilir.



Şekil 6.13 Üst memristör kullanan negatif pozitif kazanç devresi kazancının  $\gamma$ 'ya göre değişimi( $\beta=100$  için).

Şekil 6.13'de görülen eğriye dikkat edilirse alt memristör kullanan negatif-pozitif kazanç devresine benzer şekilde kazancın yaklaşık -0.8 ile +0.8 arasında değiştiği görülebilir. Ama bu devrede kazanç  $\gamma$ 'ya göre monoton bir şekilde azalan bir fonksiyon olmuştur. Bunun yanında  $\beta$  parametresine bağlı olarak maksimum ve minimum kazanç denklemlerini çıkarmak için öncelikle  $R_4$  değeri  $R_{ON}$  ve  $R_{OFF}$  değerlerinin geometrik ortalaması olarak seçilecektir.

$$R_4 = \sqrt{R_{ON} \cdot R_{OFF}} \quad (6.24)$$

Denklem 6.24'te  $\beta$  kullanılırsa, denklem 6.25'e ulaşılır.

$$R_4 = \frac{R_{OFF}}{\sqrt{\beta}} \quad (6.25)$$

$R_4$  değerinin kazanç denkleminde yerine konması ve memristörün de  $R_{OFF}$  değerinde alınması ile minimum kazanç denklem 6.26'da görülebilir.

$$G_{min} = \frac{\frac{R_{OFF}}{\sqrt{\beta}} - R_{OFF}}{\frac{R_{OFF}}{\sqrt{\beta}} + R_{OFF}} = \frac{1 - \sqrt{\beta}}{1 + \sqrt{\beta}} \quad (6.26)$$

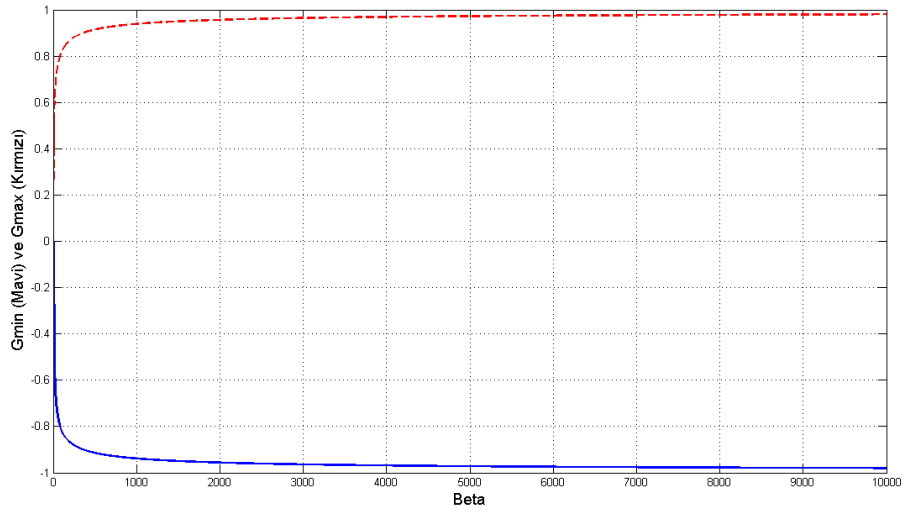
$\beta \gg 1$  olduğu için,  $G \cong -1$  olacaktır. Bunun yanında  $M_{UNX}=R_{ON}$  olması durumunda ise maksimum kazanç denklem 6.27'de görülebilir.

$$G = \frac{\frac{R_{OFF}}{\sqrt{\beta}} - R_{ON}}{\frac{R_{OFF}}{\sqrt{\beta}} + R_{ON}} = \frac{\beta - \sqrt{\beta}}{\beta + \sqrt{\beta}} \quad (6.27)$$

$\beta \gg \sqrt{\beta}$  olduğundan,  $G \cong 1$  olacaktır. Bu durumda kazanç aralığı, denklem 6.28'de görülebilir.

$$\frac{1 - \sqrt{\beta}}{1 + \sqrt{\beta}} \leq G \leq \frac{\beta - \sqrt{\beta}}{\beta + \sqrt{\beta}} \quad (6.28)$$

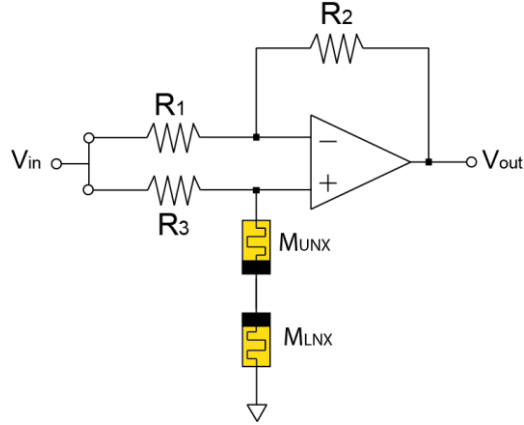
Şekil 6.12'de görülen devre topolojisinin maksimum ve minimum kazanç noktalarında betaya bağlı eğrileri şekil 6.14'te görülebilir. Burada kesikli belirtilen eğri  $G_{max}$ , düz olarak verilmiş olan eğri ise  $G_{min}$  grafiklerini göstermektedir.



Şekil 6.14 Üst memristör kullanan negatif pozitif kazanç devresi kazancın  $\beta$ 'ya bağlı değişimi.

### 6.5.3. Alt TRA bağlantılı negatif-pozitif kazanç devresi

Şekil 6.15'te ise alt TRA bağlantılı negatif-pozitif kazanç devresi grülmektedir. Bu analizde TRA'nın her iki rezistif anahtarının da bağımsız olarak ayarlanabildiği bir durum ele alınacaktır. Yani bu durumda TRA değeri  $2R_{ON}$  ile  $2R_{OFF}$  arasında değişecektir.



Şekil 6.15 Alt TRA bağlantılı negatif-pozitif kazanç devresi.

Denklem  $R_2=R_1$  durumu için sadeleştirilerek denklem 6.29'ye ulaşılır.

$$G = \frac{(M_{UNX} + M_{LNX}) - R_3}{(M_{UNX} + M_{LNX}) + R_3} \quad (6.29)$$

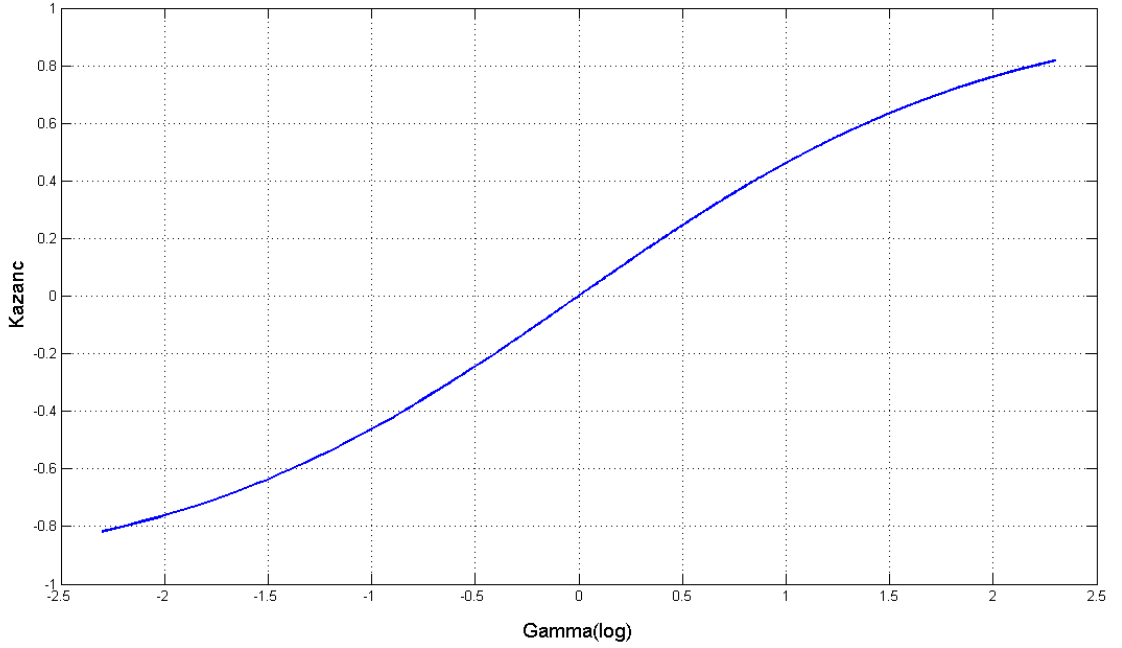
Denklem 6.29'daki ifadeyi gamma parametresine bağlamak için  $\gamma=(M_{UNX}+M_{LNX})/R_3$  olarak kabul edilirse kazanç denklemi denklem 630'daki şekilde yazılabilir.

$$G = \frac{\gamma - 1}{\gamma + 1} \quad (6.30)$$

$R_3$  direncinin değeri denklem 6.31'teki haliyle yazılabilir.

$$R_3 = \sqrt{M_{max} \cdot M_{min}} = \sqrt{2R_{ON} \cdot 2R_{OFF}} = 2R_{ON}\sqrt{\beta} \quad (6.31)$$

Burada  $M_{max}$  TRA maksimum direncini,  $M_{min}$  TRA minimum direncini ifade etmektedir. Denklem 6.30'a göre TRA'nın maksimum değerinin  $2R_{OFF}$ , minimum değerinin  $2R_{ON}$  olduğunu hatırlarsak ve  $\beta=100$  için  $\gamma$  0,1 ile 10 aralığında değişir. Bu aralık için kazancın değişimi Şekil 6.16'da görülebilir.



Şekil 6.16 Alt TRA bağlantılı negatif pozitif kazanç devresi kazancın  $\gamma$ 'ya göre değişimi( $\beta=100$  için).

Artık maksimum ve minimum kazançlar bulunabilir. TRA'nın minimum memristans değeri  $2R_{ON}$  için kazanç denklemi,  $\beta$  'ya bağlı olarak yazılırsa denklem 6.32'deki ifadeye ulaşılır.

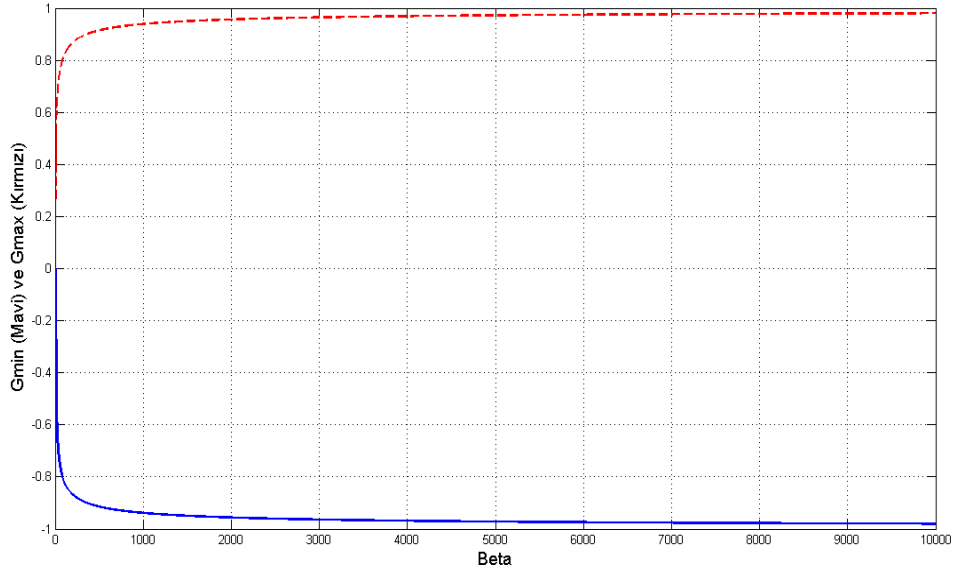
$$G_{min} = \frac{2R_{ON} - 2R_{ON}\sqrt{\beta}}{2R_{ON} + 2R_{ON}\sqrt{\beta}} = \frac{1 - \sqrt{\beta}}{1 + \sqrt{\beta}} \quad (6.32)$$

$\beta \gg 1$  olduğunda,  $G \cong -1$  olacaktır. Bunun yanında TRA rezistansı maksimum değeri aldığı anda yani  $M=2R_{OFF}$  olması durumu ise denklem 6.33'te görülebilir.

$$G_{max} = \frac{2R_{OFF} - 2R_{ON}\sqrt{\beta}}{2R_{OFF} + 2R_{ON}\sqrt{\beta}} = \frac{\beta - \sqrt{\beta}}{\beta + \sqrt{\beta}} \quad (6.33)$$

$\beta \gg \sqrt{\beta}$  olduğunda,  $G \cong +1$  olacaktır. Bu durumda oluşan kazanç aralığı denklem 6.34'teki haliyle verilebilir.

$$\frac{1 - \sqrt{\beta}}{1 + \sqrt{\beta}} \leq G \leq \frac{\beta - \sqrt{\beta}}{\beta + \sqrt{\beta}} \quad (6.34)$$

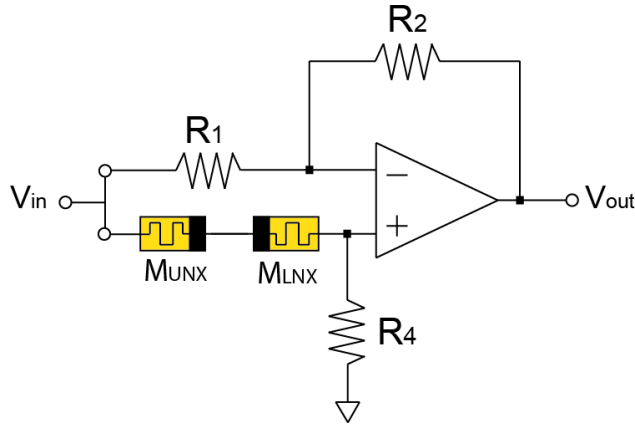


Şekil 6.17 Alt TRA bağlantılı negatif pozitif kazanç devresi kazancın  $\beta$ 'ya bağlı değişimi.

Şekil 6.17'de alt TRA bağlantılı negatif pozitif kazanç devresine ait betaya bağlı kazancın değişimi görülebilir. Şekilde kesikli olarak çizilmiş eğri  $G_{max}$  ve kesiksiz çizilmiş eğri ise  $G_{min}$  grafiklerini göstermektedir.

#### 6.5.4. Üst TRA bağlantılı negatif-pozitif kazanç devresi

Şekil 6.18'de ise üst TRA bağlantılı negatif-pozitif kazanç devresi görülmektedir. Bu analizde TRA'nın her iki rezistif anahtarının da bağımsız olarak ayarlanabildiği bir durum ele alınacaktır. Yani bu durumda TRA değeri  $2R_{ON}$  ile  $2R_{OFF}$  arasında değişecektir.



Şekil 6.18 Üst TRA bağlantılı negatif-pozitif kazanç devresi.

Denklem  $R_2=R_1$  durumu için sadeleştirilerek denklem 6.35'e ulaşılır.

$$G = \frac{R_4 - (M_{UNX} + M_{LNX})}{R_4 + (M_{UNX} + M_{LNX})} \quad (6.35)$$

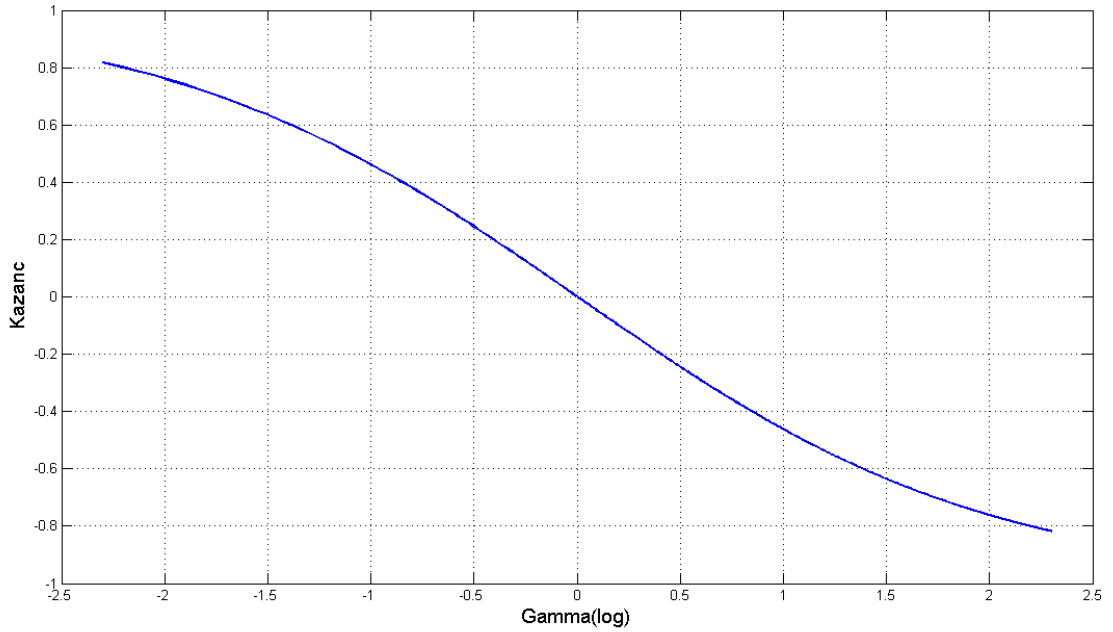
Denklem 6.35'teki ifadeyi  $\gamma$  parametresine bağlamak için  $\gamma=R_4/(M_{UNX}+M_{LNX})$  olarak kabul edilirse kazanç denklemi denklem 6.36'daki şekilde yazılabilir.

$$G = \frac{\gamma - 1}{\gamma + 1} \quad (6.36)$$

$R_4$  direncinin değeri denklem 6.37'deki haliyle yazılabilir.

$$R_4 = \sqrt{M_{max} \cdot M_{min}} = \sqrt{2R_{ON} \cdot 2R_{OFF}} = 2R_{ON}\sqrt{\beta} \quad (6.37)$$

Burada  $M_{max}$  TRA maksimum direncini,  $M_{min}$  TRA minimum direncini ifade etmektedir. Denklem 6.36'ya göre TRA'nın maksimum değerinin  $2R_{OFF}$ , minimum değerinin  $2R_{ON}$  olduğunu hatırlarsak ve  $\beta=100$  için  $\gamma$  0,2 ile 20 aralığında değişir. Bu aralık için kazancın değişimi Şekil 6.19'da görülebilir.



Şekil 6.19 Üst TRA bağlantılı negatif pozitif kazanç devresi kazancın  $\gamma$ 'ya göre değişimi( $\beta=100$  için).

Artık maksimum ve minimum kazançlar bulunabilir. TRA'nın minimum memristans değeri  $2R_{ON}$  için kazanç denklemi,  $\beta$  'ya bağlı olarak yazılırsa denklem 6.38'deki ifadeye ulaşılır.

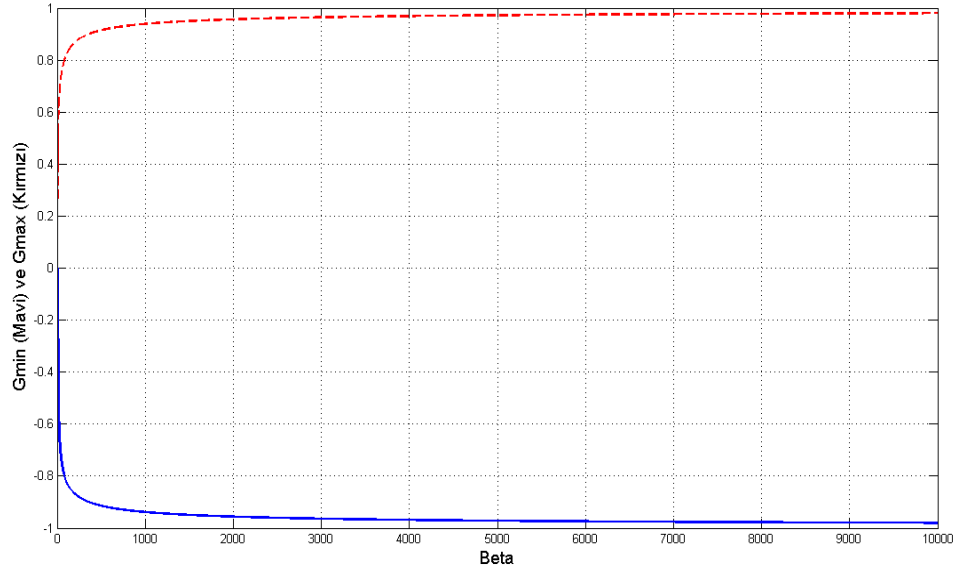
$$G_{max} = \frac{2R_{ON}\sqrt{\beta}-2R_{ON}}{2R_{ON}\sqrt{\beta}+2R_{ON}} = \frac{\sqrt{\beta} - 1}{\sqrt{\beta} + 1} \quad (6.38)$$

$\beta \gg 1$  olduğunda,  $G \cong +1$  olacaktır. Bunun yanında TRA rezistansı maksimum değeri aldığı anda yani  $M=2R_{OFF}$  olması durumu ise denklem 6.39'da görülebilir.

$$G_{min} = \frac{2R_{ON}\sqrt{\beta} - 2R_{OFF}}{2R_{ON}\sqrt{\beta} + 2R_{OFF}} = \frac{\sqrt{\beta} - \beta}{\sqrt{\beta} + \beta} \quad (6.39)$$

$\beta \gg \sqrt{\beta}$  olduğunda,  $G \cong +1$  olacaktır. Bu durumda oluşan kazanç aralığı denklem 6.40'taki haliyle verilebilir.

$$\frac{\sqrt{\beta} - \beta}{\sqrt{\beta} + \beta} \leq G \leq \frac{\sqrt{\beta} - 1}{\sqrt{\beta} + 1} \quad (6.40)$$



Şekil 6.20 Üst TRA bağlantılı negatif pozitif kazanç devresi kazancın  $\beta$ 'ya bağlı değişimi.



Şekil 6.20’de üst TRA bağlantılı negatif pozitif kazanç devresine ait  $\beta$ ’ya bağlı kazancın değişimi görülebilir. Şekilde kesikli olarak çizilmiş eğri  $G_{max}$  ve kesiksiz çizilmiş eğri ise  $G_{min}$  grafiklerini göstermektedir.

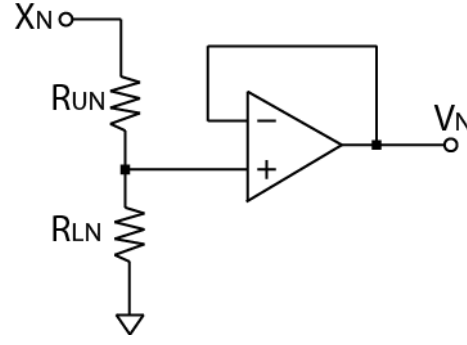
## 6.5. Normalizasyon devresi

TRA’lar iki ters ve seri bağlı rezistif elemandan oluşmaktadır. Kullanılan modelde gereği belli bir eşik geriliminin altındaki gerilimlerde rezitif anahtarların değerleri değişmemektedir. Söz konusu eşik gerilimleri ise bu TRA’da 0.58 volt ve 1.3 volt şeklindedir. Perseptronun giriş gerilimleri ise bu gerilim değerlerinin üzerinde olabilmektedir.

Bunun yanında, ağırlık faktörleri bizim perseptron modelimizde negatif-pozitif kazanç devreleri ile belirlenmektedir. Negatif-pozitif kazanç devresinin kazanç aralığı ise  $[-1,+1]$  şeklindedir. Ancak kazançlar YSA uygulamalarında bu aralığın dışında da olabilmektedir. Bu durumda kazanç değerleri de normalize edilerek  $[-1,+1]$  aralığına getirilmelidir. Bunun için çalışmada şekil 6.21’de görülen normalleştirici devre yapısı önerilmektedir. Devrenin çalışma prensibi gerilim bölücü dirençler ile giriş gerilimini oransal bölmek üzerine kuruludur. Devrenin çıkış geriliminin ifadesi denklem 6.41’de görülebilir.

$$V_N = \frac{R_{LN}}{R_{UN} + R_{LN}} \cdot X_N \quad (6.41)$$

Burada  $X_N$  yapay sinir ağına uygulanacak olan sinyal ve  $V_N$  ise şekil 6.3’te verilen perseptronun N’inci giriş gerilimidir. Devredeki opamp ise gerilim takipçisi olarak kullanılmıştır.



Şekil 6.21 Normalizasyon devresi

## 6.6 Aktivasyon fonksiyonu

Bir opampı karşılaştırıcı olarak kullanarak aktivasyon fonksiyonunu elde etmek mümkündür. Şekil 6.22’de opamp’li karşılaştırıcı ile yapılmış aktivasyon fonksiyonu blokları görülmektedir. Bir perseptronun aktivasyon fonksiyonu denklem 6.42’deki haliyle verilebilir.

$$f(u) = \begin{cases} 1 & , u > 0 \\ -1 & , u \leq 0 \end{cases} \quad (6.42)$$

Aktivasyon fonksiyonu bloğunun çıkış voltajı opampın doyum voltajına bağlıdır ve denklem 6.43’deki haliyle verilebilir.

$$v_{out} = \begin{cases} V_{+SAT} & , u > 0 \\ V_{-SAT} & , u \leq 0 \end{cases} \quad (6.43)$$

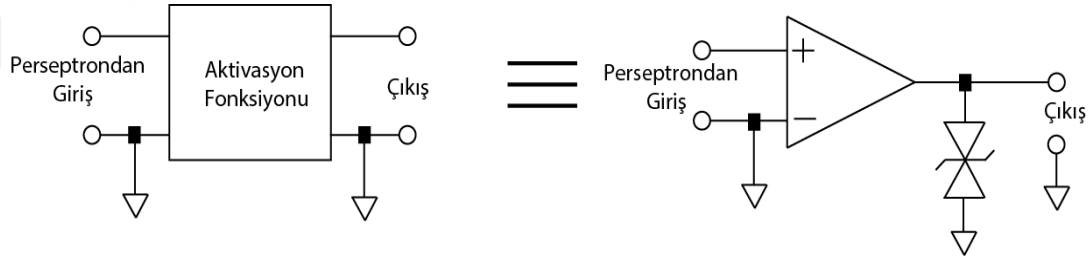
Denklem 6.43’te  $V_{+SAT}$  pozitif doyum voltajı,  $V_{-SAT}$  ise negatif doyum voltajıdır. Eğer  $V_{+SAT} = V_{-SAT}$  olursa aktivasyon fonksiyonu bloğunun çıkış voltajı Denklem 6.44’deki haliyle verilebilir.

$$v_{out} = V_{+SAT} \begin{cases} 1 & , u > 0 \\ -1 & , u \leq 0 \end{cases} \quad (6.44)$$

Eğer çıkış geriliminin farklı bir değerde limitlenmesi istenirse opampın çıkışı ters seri bağlı zener diyot çifti ile limitlenirse Denklem 6.45'deki durum ortaya çıkar. Bu durumdaki devre Şekil 6.18.b'de görülebilir.

$$v_{out} = (V_Z + V_{TH}) \begin{cases} 1 & , u > 0 \\ -1 & , u \leq 0 \end{cases} \quad (6.45)$$

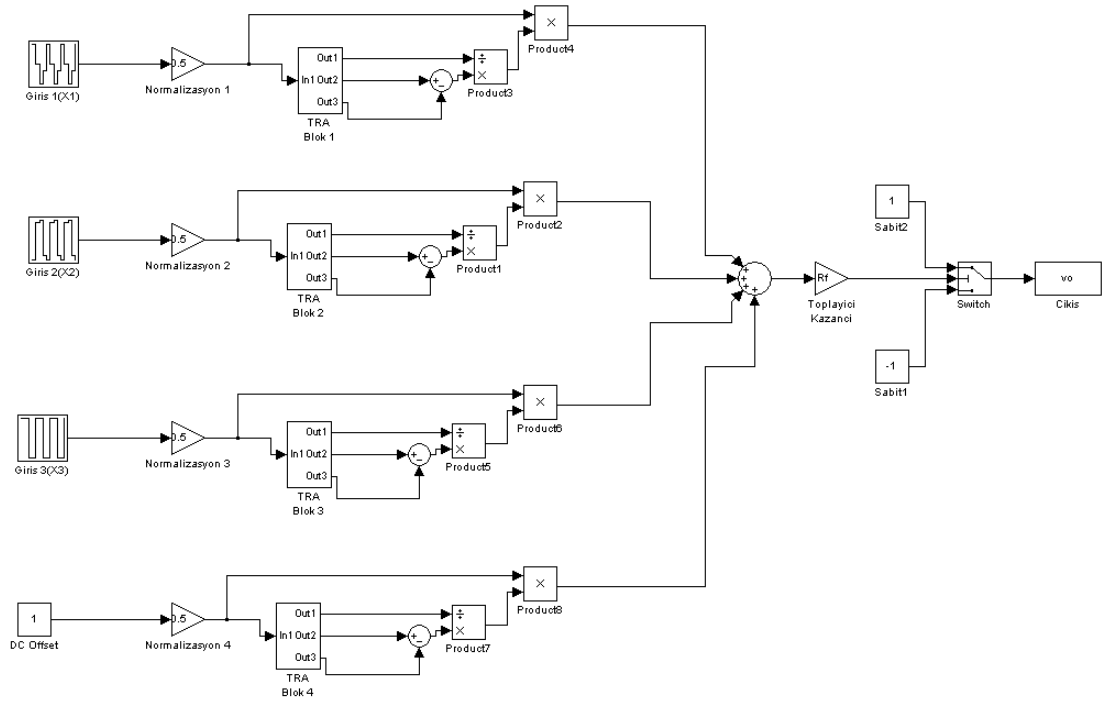
Denklem 6.18'deki  $V_Z$  ve  $V_{TH}$  sırasıyla zener gerilimi ve zener diyotun eşik gerilimidir.



Şekil 6.22 Aktivasyon fonksiyonu a)aktivasyon fonksiyonu blok şema b)çıkışı limitlenmiş opampılı devre şeması

## 6.7 Perseptron devresi ve TRA yapıli perseptron modeli

Şekil 6.4'te önerdiğimiz perseptron devresi görülebilir. Bunun yanında perseptron devresinde girişine yerleştirilmiş negatif-pozitif kazanç devreleri Bölüm 6.4'te, perseptron aktivasyon fonksiyonu devresi ise Bölüm 6.5'te incelenmiştir. Şekil 6.23'te ise önerilen perseptrona ait simulink modeli görülebilir. Modelde giriş gerilimlerinin ardışık olarak uygulanması için ilk üç girişe "repeating sequence" yani tekrarlı dizi kaynak bağlanmıştır, dördüncü giriş ise perseptronun ofsetidir ve giriş sabit +1 volt şeklinde belirlenmiştir. Bunun ardından ise normalizasyon için girişler  $\frac{1}{2}$  ile çarpılmıştır. Bu normalizasyonun amacı daha önce söz edildiği üzere TRA'ların eşik gerilim değerleri üzerindeki gerilimlerde değer değişikliği yaşamalarıdır. Bu değer değişikimi istenmeyen kazanç değişimlerine neden olabilmektedir.



Şekil 6.23 Perseptron simülinK modeli

Her bir TRA bloğunda çıkışlardan birincisi  $M_{üst}+M_{alt}$  yani TRA'nın toplam değerini, ikinci çıkış  $M_{üst}$  değerini, üçüncü çıkış ise  $M_{alt}$  değerini üretmektedir. Burada bölme işlemi ile denklem 6.46'daki kazançca ulaşılmaktadır.

$$W_N = G = \frac{M_{LNX} - M_{UNX}}{M_{LNX} + M_{UNX}} \quad (6.46)$$

Bu kazanç değeri giriş gerilim değeri ile çarpılarak söz konusu negatif/pozitif kazanç devresinin çıkış gerilimi elde edilmektedir. Bu gerilim denklemi denklem 6.47'de görülebilir.

$$V_N = G \cdot X_N = \frac{M_{LN} - M_{UN}}{M_{LN} + M_{UN}} \cdot X_N \quad (6.47)$$

Perseptronun toplayıcı ve aktivasyonu blokları göz önünde bulundurularak denklem 6.48'ye ulaşılabilir.

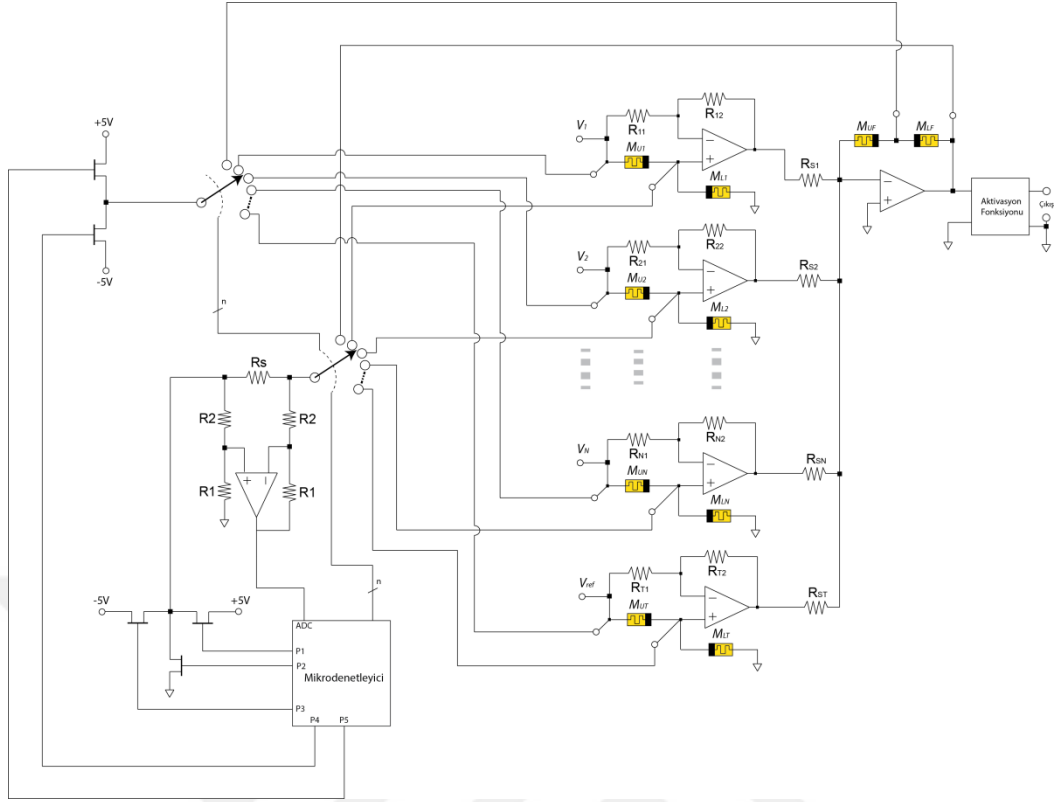
$$V_o = f \left( \sum_{i=0}^N \left[ \frac{M_{Li} - M_{Ui}}{(M_{Li} + M_{Ui})} \cdot X_i \right] \right) \quad (6.48)$$

Denklem 6.48'te  $M_{Li}$  ve  $M_{Ui}$  sırasıyla alt rezistif anahtar ve üst rezistif anahtarın değerleri,  $X_i$   $i$ 'inci giriş gerilim değeridir. Perseptronun toplam ifadesi ise aktivasyon fonksiyonu olan  $f$  fonksiyonundan geçirilerek çıkış gerilimi  $V_o$  elde edilmektedir.

### 6.8 Mikrodenetleyici tabanlı TRA yapılı YSA perseptron devresi

Bu kısımda bir mikrodenetleyici tabanlı programlayıcı devresine sahip yapı verilmiştir. Mikrodenetleyici olarak önerilen PIC16F877 ucuz, kullanımı kolay ve sıkça kullanılan bir mikrodenetleyicidir [59]. Mikrodenetleyici tabanlı söz konusu devre şekil 6.24'de görülebilir.

Programlayıcı devre iki seçici anahtar, mikrodenetleyici ve akım değerini okumak için bir fark yükseltecinden oluşmaktadır. Seçici anahtar transistörler veya bunlar gibi yarı iletken anahtarlar ile yapılabilir.  $R_s$  direncinin üzerindeki gerilim seçili TRA hücresinin üzerinden akan akımı ölçmekte kullanılmaktadır. Mikrodenetleyici yazılımı öncelikli olarak istenen TRA hücresini seçmekte ve sonra seçilen TRA'nın memristans değerini istenen memristans değerine ayarlayabilmektedir. İlgili problem için bir kişisel bilgisayarda yazılan programda eğitilmekte olduğu ve bu mikrodenetleyiciye yüklendiği kabul edilmiştir. Bu mikrodenetleyici gerekirse perseptron ağırlık faktörlerini programlamak için de kullanılabilir.



Şekil 6.24 Perseptron ve ağırlık faktörü ayar devresi

Seçilmiş durumdaki k'inci TRA hücresinin üzerindeki gerilim değeri Denklem 6.49 ile bulunabilir.

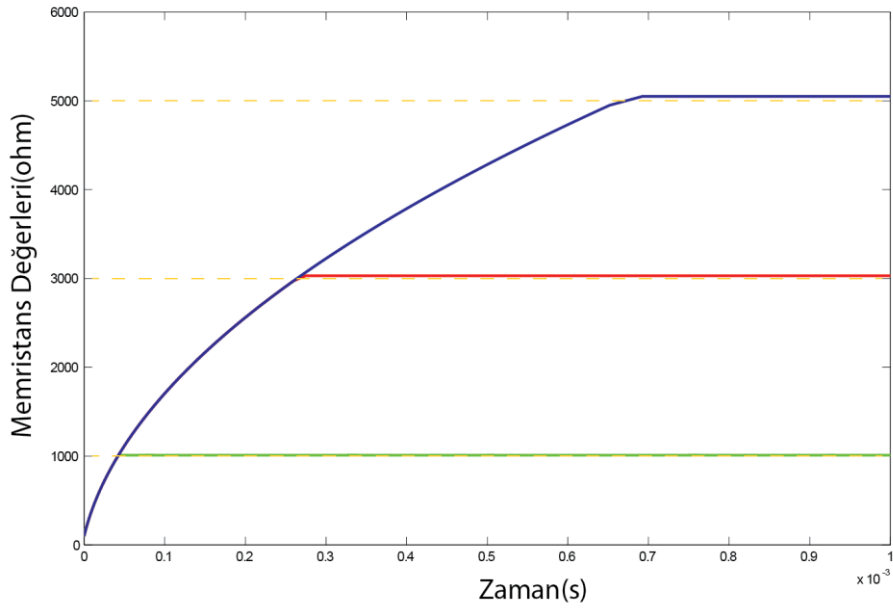
$$V_k = \frac{M_{Xk}(q_{Xk})}{R_s + M_{Xk}(q_{Xk})} \cdot V_{ref} \quad (6.49)$$

K'inci hedef TRA hücresinden akan akım Denklem 6.50'teki haliyle bulunabilir.

$$i_k = \frac{V_{ref}}{R_s + M_{Xk}(q_{Xk})} \quad (6.50)$$

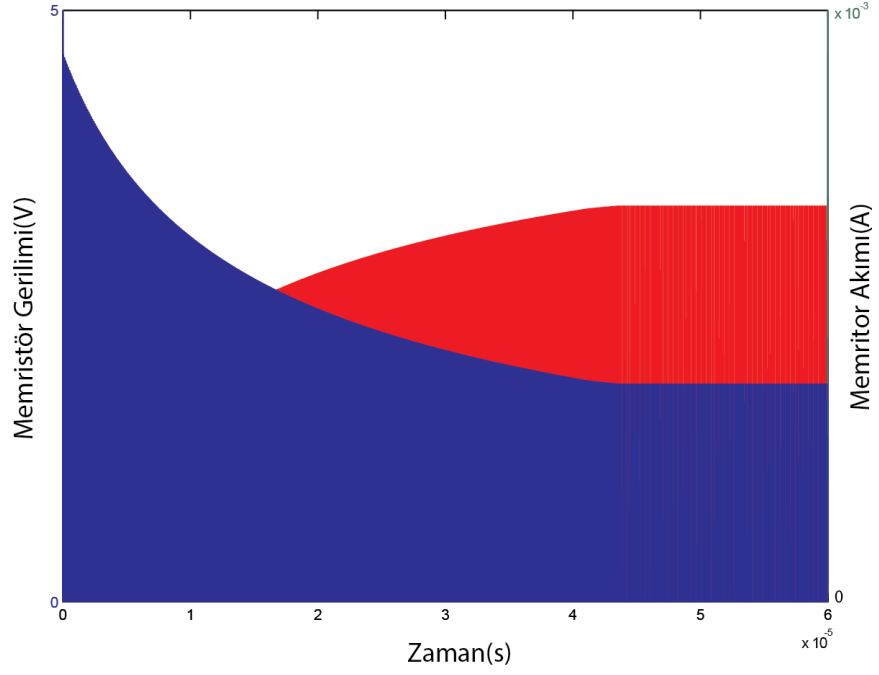
Şekil 6.24'te mikrodenetleyici öncelikle değeri değiştirilecek olan TRA hücresini çoğullayıcılar yardımıyla seçer. Sonra mikrodenetleyici sürdüğü transistörler yardımıyla seçili hücreye bir gerilim uygular. Bu gerilime karşılık hücreden akan akım  $R_s$  direnci üzerindeki gerilimin bir fark yükselteci ile okunması ile mikrodenetleyici tarafından tespit edilir. Mikrodenetleyici k'inci TRA hücresini istenen değere getirmek için elektriksel darbeler uygular.

Şekil 6.25’de mikrodnetleyici tarafından uygulanan elektriksel darbeler sonucu olarak memristans değerin istenen değere gidişi görülebilmektedir. Dikkatli bakılırsa memristans değerin tam anlamıyla istenen referans memristans değerini yakalamadığı görülebilmektedir. Bunun sebebi sistemin memristans değerini belli kabul edilebilir bir aralığına getirecek algoritmaya sahip olmasıdır. Aksi durumda sistem bir aşağı bir yukarı darbeler ile memristans değerini bir referansın civarında sürekli değiştirecektir.

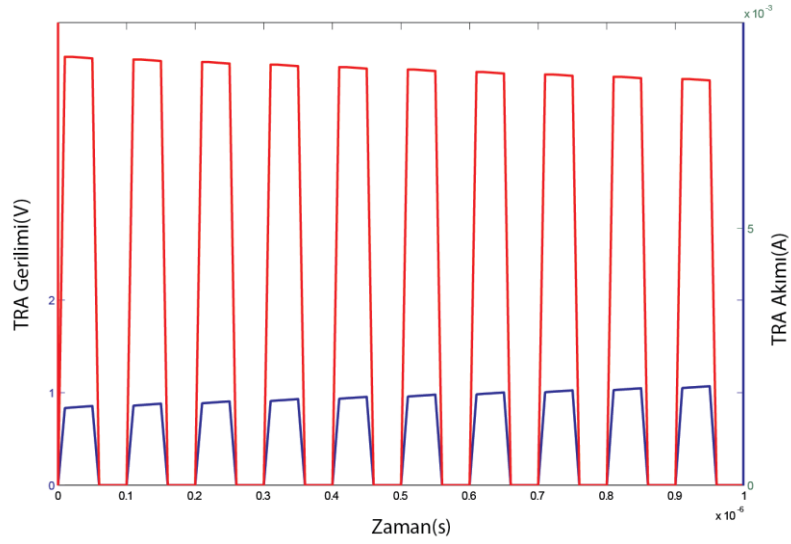


Şekil 6.25 Memristans değerinin zamana göre değişimi (referans değerler 1000,3000,5000 ohm, izin verilen hata aralığı %1.)

Şekil 6.26’de rezistif anahtarın değerinin değiştirilmesi sürecinde üzerinden akan akım ve üzerine düşen gerilimin değişimleri görülebilir. Bunun yanında şekil 6.27’de ise şekil 6.26’da görülen eğrinin çok daha kısa bir zaman dilimindeki büyütülmüş çizimi görülmektedir. Her iki grafiğe dikkat edilirse belirlenen gerilim ve akım değerlerine ulaşılan kadar rezistif anahtarına akım ve gerilimi darbeler şeklinde değişime uğramaktadır.



Şekil 6.26 TRA gerilim ve akım işaretlerinin zamana göre değişimi (hedef memristans 1000 ohm, izin verilen hata aralığı %1)

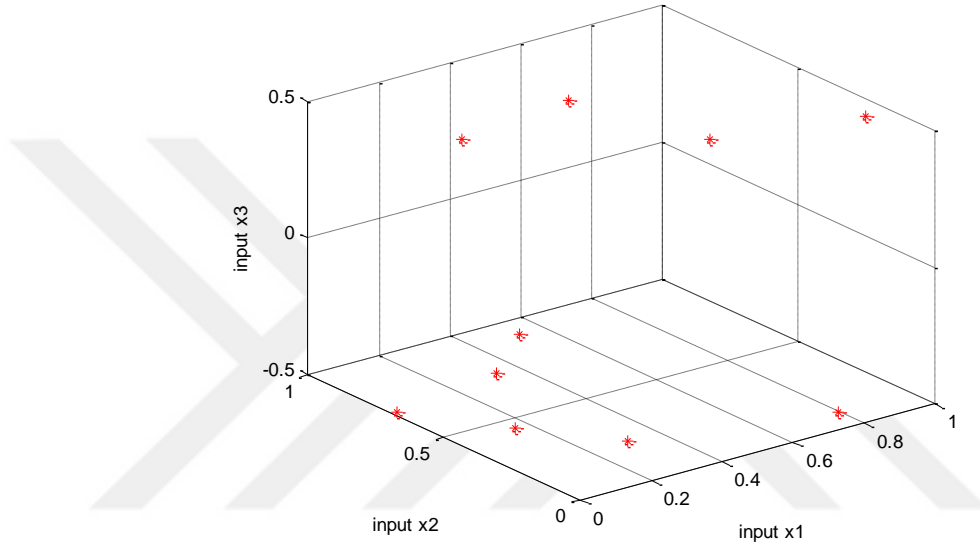


Şekil 6.27 TRA gerilim ve akım işaretinin büyütülmüş görünümü (hedef memristans 1000  $\Omega$ , izin verilen hata aralığı %1)



## 6.9 TRA yapılı perseptron modeline ait sonuçlar

Perseptron bir doğrusal ayrıştırıcıdır. Bu çalışmada doğrusal olarak ayrıştırılabilir iki küme perseptrona giriş olarak uygulanacak ve sonuçlar incelenecektir. Giriş matrisimizin üçüncü sütunu +0.5 ve -0.5 değerleri verilerek doğrusal ayrıştırılmaya uygun kümeler oluşturulmuştur. Kümelerin 3 boyutlu eksenlerdeki dağılımı Şekil 6.x'te görülebilir.



Şekil 6. 28 Doğrusal ayrıştırılabilir veri kümeleri.

Perseptron girişine uygulanacak değerler matrisi ise denklem 6.51'de görülebilir.

$$X = \begin{bmatrix} X_1 \\ X_2 \\ X_3 \\ 1 \end{bmatrix} = \begin{bmatrix} 0.9340 & 0.1656 & +0.5 \\ 0.4694 & 0.6541 & +0.5 \\ 0.0119 & 0.6892 & -0.5 \\ 0.3112 & 0.2290 & -0.5 \end{bmatrix} \quad (6.51)$$

Perseptron modelinin testi esnasında DC offset girişi ile birlikte 4 girişe sahip bir perseptronun modeli test edilecektir. Test esnasında kullanılacak olan ağırlık faktörleri matrisi denklem 6.55'te görülebilir. Denklem 6.52'de görülen ağırlık faktörü değerleri Matlab'de yapılan eğitim sonucu olarak elde edilmiş değerlerdir.

$$W = [0.4609 \quad 0.1327 \quad 1.2397 \quad 0.3395] \quad (6.52)$$

Denklem 6.51'deki giriş değerleri ve denklem 6.52'deki ağırlık faktörlerine karşılık olarak Matlab simuasyonlarına göre çıkış gerilimleri matrisi denklem 6.53'te görülebilir.

$$V_o = [+1 \quad +1 \quad -1 \quad -1]$$

(6.53)

Yukarıda ifade edilen girişleri, ağırlık faktörleri ve sonuçları paylaşılan problemin önerilen perseptron ile çözümünde bazı normalizasyon uygulamalarına ihtiyaç vardır. Örneğin giriş gerilim değerlerinin eşik gerilimlerini aşması durumunda rezitif anahtarların değerlerinin tahrip olması mümkündür. Bunun için giriş gerilim değerleri eşik gerilimini aşmayacak şekilde normalize edilmelidir.

Ayrıca bu çalışmada önerilen negatif-pozitif kazanç devresinin kazanç aralığı -1 ile +1 değerleri arasındadır. Yapay sinir ağlarında ise ağırlık faktörleri bu aralığın dışında da değerler alabilmektedir. Bu sorunun çözülebilmesi için kazanç değerleri de maksimum değer ile normalize edilmelidir. Giriş gerilimlerinin normalizasyonu ve ağırlık faktörlerinin normalizasyonunun perseptronun toplayıcısının çıkışına etkisi olacaktır. Bu çalışmada toplayıcı kazanç değeri ile söz konusu normalizasyonun etkilerinin ortadan kaldırılması önerilmektedir.

Tablo 6.1 Perseptron TRA modeli parametreleri tablosu

|  |           |                 |
|--|-----------|-----------------|
| Bir memristif elementin ya da rezistif anahtarın minimum rezistans değeri  | $R_{on}$  | 3.16 k $\Omega$ |
| Bir memristif elementin ya da rezistif anahtarın maximum rezistans değeri. | $R_{off}$ | 316 k $\Omega$  |
| Pencere fonksiyonunun üstel kuvvet parametresi                             | P         | 2               |

|   |                      |                                   |
|---|----------------------|-----------------------------------|
| Oksijen İyonlarının mobilitesi          | $\mu_v$              | $0.0017827 \frac{m^2}{V.s}$       |
| Memristif elementin fiziksel uzunluğu   | $D$                  | 0.13 $\mu m$                      |
| Memristif elemanın ilk eşik gerilimi    | $V_{th1} = -V_{th3}$ | 0.58 Volt                         |
| Memristif elemanın ikinci eşik gerilimi | $V_{th2} = -V_{th4}$ | 1.3 Volt                          |
| Doyum yükü ( $M(q)=R_{OFF}$ için)       | $q_{sat}$            | $3.10^{-12}$ coulomb              |
| Kesim Yükü( $M(q)=R_{ON}$ için)         | $q_{init}$           | 0 coulomb                         |
| Yük Katsayısı                           | $K$                  | $9,59.10^{-15}$ coulomb/ $\Omega$ |

Tablo 6.1’de modele ait parametreler verilmiştir. Her bir ohm değerinin karşılığı olan yük değeri denklem 6.54 yoluyla bulunabilir.

$$K = \frac{q_{sat}}{R_{OFF} - R_{ON}} \quad (6.54)$$

Bu şekilde  $R_{ON}$  değerinin üzerine oluşacak memristans farkına karşılık rezistif anahtarın içinden akması gereken yük miktarlarına ulaşılabilir. Denklem 6.55’te yük değerinden memristans değerine ulaşmak için gerekli denklem görülebilir.

$$M(q) = M_0 - Kq \quad (6.55)$$

Her bir negatif-pozitif kazanç devresinin kazancının rezistif anahtarların değerlerine bağlı olarak hesaplamak için gamaya bağımlı kazanç denkleminde faydalanacağız. Bu denklemi denklem 6.56’da görebiliriz,

$$W_n = \frac{\gamma - 1}{\gamma + 1} \quad (6.56)$$

Bilindiği üzere  $\gamma=R_4/R_3$ yani bizim negatif pozitif kazanç devremiz için ifade denklem 6.57'deki haliyle yazılabilir.

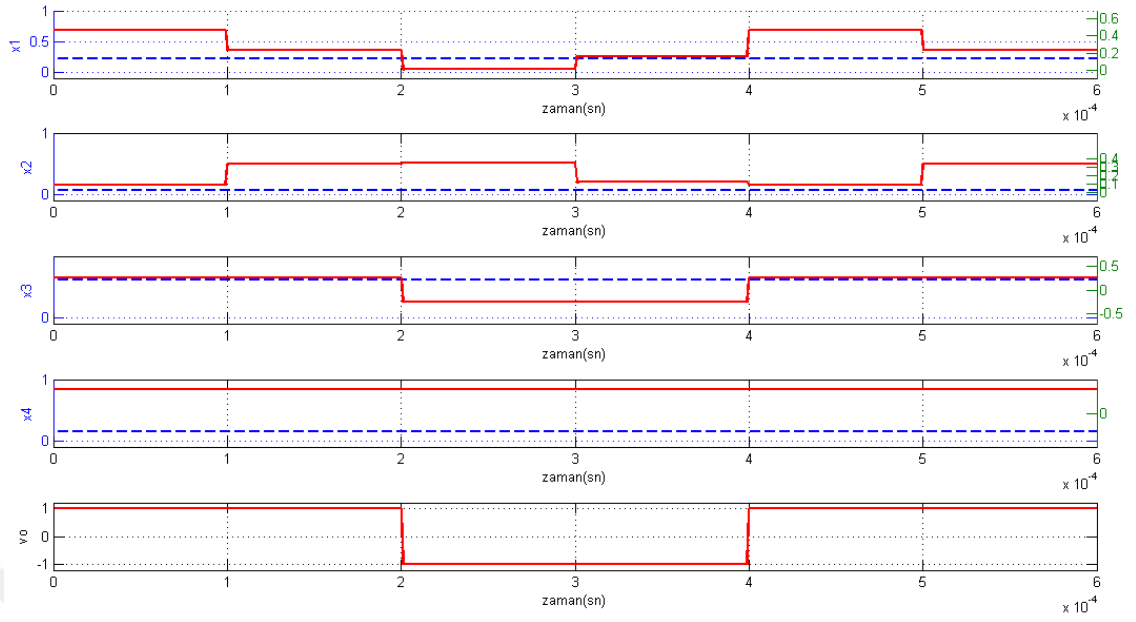
$$\gamma = \frac{M_{LNX}}{M_{UNX}} \quad (6.57)$$

Dikkat edirse bizim ağırlık faktörlerimizin tamamı pozitiftir. Bu durumda  $R_3$  direnci yerine bağlı durumda bulunan  $M_{UNX}$  rezistif anahtarının değerini  $R_{ON}$  olarak belirleriz. Aksi bir durumda kazancın eksi bölgede olması durumunda ise bu defa  $M_{LNX}$  rezistif anahtarının değeri  $R_{ON}$  olarak belirlenebilir.

Denklem 6.51'deki giriş değerler matrisindeki girişler ve denklem 6.52'deki ağırlık faktörü değerleri için perseptron modeli Matlab Simulink<sup>TM</sup>'de simule edildi. Sonuçlar Şekil 6.29'da görülebilir.

Şekil 6.29'da ilk dört şekil satırında giriş gerilimlerinin değerlerinin periyodik olarak değişimi gözlemlenebilir. Bu şekillerdeki normalize edilmiş gerilim değerlerinin ise TRA eşik gerilim değer olan 0.58 volt'u geçmediğine dikkat edilmelidir. Son şekil satırı ise  $v_o$ , yani perseptronun çıkışına ait gerilim değeridir. Aktivasyon fonksiyonu gereği artı bölgedeki çıkış gerilimleri +1 volt, eksi bölgedeki çıkış gerilim değerleri ise -1 volt olarak çıkışa ulaşmaktadır. Şekillerdeki gerilim değerlerinin denklem 6.51'de verilen giriş gerilim değerleri ve denklem 6.53'de verilen çıkış gerilim değerleri ile uyumlu olduğu görülmektedir.

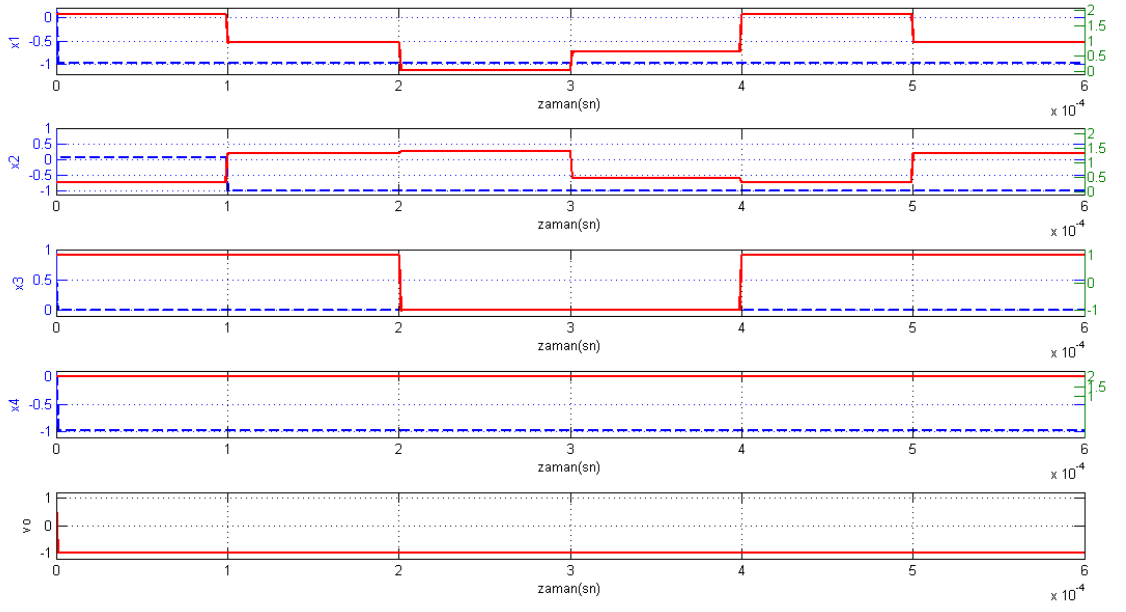
Bunun yanında şekillerden ilk dördünde kesikli mavi renk görülenler ise her bir negatif-pozitif kazanç devresinin kazançlarıdır. Dikkat edilirse, gerilim değerleri TRA eşik gerilim değerlerini aşmadığı için kazançlarda herhangi bir değişiklik olmamıştır.



Şekil 6.29 Perseptronun doğrusal ayrıştırma işlemi

Daha önce bahsedildiği üzere TRA eşik gerilimi olan 0.58 voltun altındaki gerilimlerde değer değiştirmemektedir. Girişlerin normalize edilerek bu sorunun üstesinden gelinabileceği önermiş ve simülasyonlarda bu şekilde sistem tasarımı yapılmıştı. Şekil 6.30'da ise girişlere TRA eşik gerilimi üzerinde gerilim uygulandığında ne olacağını göstermek üzere giriş gerilimlerini TRA eşik gerilimi değerlerinin üzerinde seçerek yapılan simülasyonlar gerçekleştirildi. Şekil 6.30'un ilk 4 satırında giriş gerilimlerine ait periyodik eğriler görülebilir. Bu eğrilerin TRA eşik gerilim değerlerinin üzerinde olduğuna ayrıca dikkat edilmelidir.

Şekildeki  $V_o$  çıkış gerilimi eğrisi ise ilk anda 0 volt noktasına gitmektedir. Bu noktada gelen giriş gerilimleri TRA'nın değerini değiştirmekte, dolayısıyla kazanç değerleri değişmektedir. Gerilim değerlerinin artı bölgede olmasından kaynaklı olarak tek yönlü bir değişim gerçekleşmiş ve çıkış 0 volt noktasında kalmaya devam etmiştir. Şekil 6.30'te verilen simülasyon sonuçları giriş gerilim değerleri ile TRA başarımı arasındaki sıkı ilişkiyi gözler önüne sermektedir. Normalizasyon işlemi olmaksızın, yani TRA'lara ya da memristörlere uygulanan gerilimler eşik gerilimi altına çekilmeden herhangi bir perseptron devresi kabul edilebilir bir başarımla göstermeyecektir.



Şekil 6.30 Eşik gerilimini aşan gerilim uygulanması sonucu TRA değerlerinin tahrip olması.

## BÖLÜM 7

### SONUÇLAR VE TARTIŞMA

Günümüzde HP, Samsung, Hynex vs. gibi firmaların resistif belleklerin üzerine yaptıkları ciddi araştırmalar ve yatırımlar, resistif belleklerin gelecekte daha yaygınca kullanılabilceği ve daha fazla önem kazanacakları üzerine önemli ipuçları vermektedirler [63-65]. Resistif kalıcı bellek tiplerinin yaygınlaşması ile birlikte gelecekte çok daha ucuza, çok daha az boyut kaplayan bellek aygıtları piyasaya çıkabilir.

Bir resistif RAM hücresi ya da diğer ismiyle bir resistif anahtar aslında memristif özellikler gösteren ve üzerine uygulanan gerilime ve uygulama süresine bağlı olarak direnci belirli bir aralıkta değerler alan ve uygulanan gerilim kesildiğinde sahip olduğu bu son değeri koruyan bir nonlineer dirençtir.

Bu tez çalışmasının 3. bölümde öncelikle TRA bellek yapıları tanımlandı ve bu tanımdan yola çıkarak bir TRA analitik modeli oluşturuldu. Model oluşturulurken parametreler referans [24,31,33]'deki makalelerden alındı ve ayrıca Dr. Kyeong-Sik Min ve onun doktora öğrencisi Jun-Myung Choi'nin e-posta yoluyla paylaştıkları deneysel akım ve gerilim eğrilerinden de model oluşturulurken faydalanıldı. TRA modeli Matlab<sup>TM</sup>'in Simulink paket programında oluşturuldu ve söz konusu bölümde modelden elde edilen eğriler modelin başarılı şekilde çalıştığını ortaya koymaktadır.

Linn ve arkadaşları ilk defa TRA yapısını önerdikleri makalede bu yapıdan okumanın nasıl yapılması gerektiğini de yöntem olarak ortaya koymuşlardı [24] ancak onlar bu yöntemi otomatik olarak uygulayan bir elektronik devreyi önermemişlerdi. Bu tezin 4. Bölümünde literatürde bir ilk olarak tahrir olduğunda bir TRA hücresinin lojik durumunu durum makinesi kullanarak onarabilen elektronik bir okuma devresi önerilmiş

ve tasarlanmıştır ve ayrıca bu devrenin TRA modelini kullanarak yapılan simülasyonları ile başarımı gösterilmiştir. Yine aynı bölümde bu simülasyonlardan elde edilen eğriler verilmiştir. Yapılan bu devre “Yeniden Onarıcılı Okuma Devresi” diye isimlendirilmiştir. Fikrimizce, tıpkı bir mikroişlemcinin aritmetik ve lojik birim (ALU)’e sahip olması gerektiği gibi, Yeniden Onarıcılı Okuma devresi de tüm TRA yapılı belleklerinde olması gereken olmazsa olmaz bir parçadır ve biz bu kısmın tüm TRA yapılı belleklerde kullanılmasını öneriyoruz. Bu konuda gelecekte çalışacak olan araştırmacılar okuma işlemini daha hızlı yapan farklı tipte Yeniden Onarıcılı Okuma devreleri, böyle bir okuma devresinde daha farklı durum makinelerinin kullanımını ya da bunların optimizasyonları üzerinde çalışabilirler. Tezin bu bölümündeki konular derlenerek ref [58]’de görülen yayın haline getirilmiş ve yayın basılmıştır.

Bir bellek yapısının fiziksel boyutları ve birim alana sığdırılabilecek bellek miktarı yani belleğin boyutu da o belleğin kullanıma girmesi, maliyetive tercih edilmesi noktasında çok önemlidir. Bu tezin 5. bölümünde önce TRA kullanan çok katmanlı rezistif RAM topolojisi kısaca özetlenmiş, daha sonra bu topolojiye ait kaçak rezistans ve okuma marjini analizleri verilmiştir. Simülasyondan elde edilen sonuçlar göstermektedir ki tüm üretim güçlüklerine ve maliyetlerine karşın 3BTRA’lar, belirli bir bellek boyutunun üzerine çıkıldığında, hem okuma marjinlerinin daha büyük olması hem de kaçak rezistanslarının yüksek olması yani daha düşük kaçak akımına sahip olmalarından dolayı önemli faydalar sağlamaktadır. Ayrıca bu bölümde, simülasyonlardan elde edilen sonuçların ışığında TRA yapılı rezistif RAM yapısı için yeniçok katmanlı topolojiler önerilmiştir. Önerilen bu alternatif topolojiler daha az kaçak akıma ve daha iyi okuma marjinine sahip olmaları nedeniyle gelecekte kullanım alanı bulabilirler. 3BTRA’ların başka memristif sistem veya TRA modelleri kullanarak kaçak akımların ve okuma marjinlerinin incelenmesi ve 3BTRA’ların aynı anda birden fazla katmanlarından okuma yapılabilmesi gelecekte yapılabilecek araştırma konuları olarak dikkat çekmektedir. Tezin bu bölümündeki konular derlenerek ref [66]’da görülen yayın haline getirilmiş ve yayın basılmıştır.

Tezin 6. bölümünde ise yapay sinir ağlarının ve temelini oluşturan perseptronun orta uçlu TRA ile yapılması önerilmiştir, bu iş için bir devre topolojisi önerilmiş ve devrenin analizi yapılmıştır. Önerilen perseptronda kullanılan orta uçlu TRA’ların orta



ucu kullanılarak istenen rezistif anahtarlarda bir mikrodenetleyici kontrollü olarak memristans değişikliği yapılabilir ve bu sayede perseptronun sinaptik bağlantıların ağırlık faktörleri değiştirilebilir. Tek memristörlü yöntemle daha yüksek bir eşik gerilimine sahip olması TRA'ların perseptron ve yapay sinir ağı devrelerinde kullanımı için ciddi bir avantaj sağlamaktadır. Bunun yanında piyasada bulunan yapay sinir ağlarında kullanılan transistörlere göre TRA hücreleri çok daha küçük boyutlara sahiptir ve daha hızlıdır, ayrıca elektrik kesilmelerinde sahip oldukları rezistans değerini ve buna karşılık gelen ağırlık faktörü değerini de yitirmemektedirler. Bu gibi özelliklerinden dolayı ileride yapay sinir ağı devrelerinde memristörlerin ve TRA'ların kullanımının yaygınlık kazanacağı düşünülmektedir.

Ayrıca YSA uygulamalarında ağırlık faktörleri eksi değerler alabilmektedir. Bunun yanında bir direncin veya bir transistörün iletim direncinin eksi değer alması beklenemez. Bu sorun günümüzde kullanılan perseptron devrelerinde offset gerilim değerleri değiştirilerek çözülmektedir. Bu tezde literatürde bir ilk olarak TRA yapılı perseptron devresinde kazancı TRA'nın değerlerine bağlı olarak  $[-1, +1]$  aralığında değiştirebilen bir negatif/pozitif kazanç devresi önerilmiş ve simülasyonlar ile başarımları gösterilmiştir.

Rezistif RAM ve benzeri kalıcı bellek tiplerinin yaygınlaşması ve bilgisayar mimarisinde özellikle oku-yaz bellekler olarak yerlerini almaları yakın gelecekte olası gözükmemektedir. Bu sayede sistem başlama(boot time) zamanları çok kısa olan yüksek kapasiteli veri, enerji kayıpları en aza indirilmiş ve boyutları daha da küçültülmüş bilgisayarlar hayatımıza girebilir. Bunların gerçekleşmesi Rezistif RAM'ler ve Rezistif RAM kullanan hafızaların veya elektronik devrelerin üzerine yapılan araştırmaların daha da yaygınlaşması ile olacaktır. Bu tez tekli ve tümleyen bağlı rezistif bellek hücrelerinin modellenmesi, yeniden onarıcılı rezistif hücre okuma devreleri, çok katmanlı rezistif RAM topolojileri ve TRA tabanlı yapay sinir ağları üzerine çalışmak isteyen araştırmacılar için bir kaynak vazifesini görebilir. Yeni rezistif anahtar tipleri buldukça bunların fiziksel modelleri literatüre girdikçe bu tezde kullanılan yöntemler ve verilen devreler bunlar üzerinde uygulanabilir. Bu tezde yapılmış çalışmalar rezistif RAM'lerin piyasaya sürülmesi sürecinde etkin şekilde kullanılabilir. Ülkemizde maalesef Rezistif RAM bellekler ve onların modellenmesi üzerine fazla bir çalışma bulunmamaktadır. Bu tezde yapılan çalışmalar bu boşluğu bir nebze de olsa doldurmaya çalışmıştır.

## KAYNAKLAR

- [1] Yarman-Vural F., Erten M. Y., *Bilgisayar Sistemleri*, Akademi Yayıncılık, Ankara, 2000. ISBN:975-6885-03-3.
- [2] Jacob, Bruce, Spencer Ng, David Wang., *Memory systems: cache, DRAM, disk*, Morgan Kaufmann, 2010.
- [3] Zidan, M. A. Fahmy, H. H. Hussain, M. M. Salama, K.N. , *Memristor-based memory: The sneak paths problem and solutions*, Microelectronics Journal, vol.44, no.2, p.p. 176-183, 2012.
- [4] *International Technology Roadmap for Semiconductors*<http://www.itrs.net/>
- [5] Sharma, Ashok K., *Advanced semiconductor memories: architectures, designs, and applications*, Wiley-IEEE Press, 2009.
- [6] Kahng, D.Sze, S.M., *A floating-gate and its application to memory devices*, The Bell System Technical Journal, vol.46, no.4, pp. 1288-1295, 1967.
- [7] Bez, R. Pirovano, A., *Non-volatile memory technologies: emerging concepts and new materials* , Materials Science in Semiconductor Processing, vol.7, no.4-6, p.p. 349–355, 2004.
- [8] Fujisaki, Yoshihisa., *Review of emerging new solid-state non-volatile memories*, Japanese Journal of Applied Physics, vol.52, no.4R, p.p.040001, 2009.
- [9] Zhu, Jian-Gang., *Magnetoresistive random access memory: the path to competitiveness and scalability*, Proceedings of the IEEE, vol.96, no.11, 1786–1798, 2008.
- [10] Chua, L. O. , *Resistance switching memories are memristors*, Applied Physics A vol.102, no.4, p.p. 765–783, 2011.
- [11] Chua, L. O., *Memristor - The Missing Circuit Element*, IEEE Trans.Circuit Theory, vol. 18, no.5, pp. 507-519, 1971.

- [12] Chua, L. O. Kang, S. M., *Memristive devices and systems*, Proc.IEEE, vol. 64, no.2, pp. 209-223, 1976.
- [13] Strukov, D. B. Snider, G. S. Stewart, D. R. Williams, R. S., *The missing memristor found*, Nature (London), vol. 453, no.7191, pp. 80-83, 2008.
- [14] Pershin, Y. Ventra, M. D., *Practical Approach to Programmable Analog Circuits With Memristors*, IEEE Transactions on Circuits and Systems I: Regular Papers, Vol. 57, no. 8, p.p. 1857 – 1864, 2010.
- [15] Pershin, Y.V. Fontaine, S. L. Ventra, M. D., *Memristive model of amoeba's learning*, vol.80, no.2, p.p.021926,2009.
- [16] Shin, S. Kim, K. Kang, S. M., *Memristor Applications For Programmable Analog ICs*, IEEE Transactions on Nanotechnology, vol.10 , no.2, p.p. 266-274, 2010.
- [17] Yao, J., Sun, Z., Zhong, L., Natelson, D., & Tour, J. M., *Resistive switches and memories from silicon oxide*, Nano letters, vol.10, no.10, p.p.4105-4110, 2010.
- [18] Kwon, D.-H. Kim, K. M. Jang, J. H. Jeon, J. M. Lee, M. H. Kim, . G. H. Li, X.-S. G.-S. Park, B. Lee, S. Han, M. Kim, and C. S. Hwang, *Atomic structure of conducting nanofilaments in TiO<sub>2</sub> resistive switching memory*, Nat. Nanotechnol., vol.5, no.2, pp.148–153, 2010.
- [19] Joshua, Y. J. Pickett, M. D. Li, X. Ohlberg, D. A. A. Stewart, D. R. Williams, R. S., *Memristive switching mechanism for metal/oxide/metal nanodevices*, Nature Nanotechnology vol.3, no.7,p.p. 429 – 433, 2008.
- [20] Akinaga, H. Shima, H., *Resistive Random Access Memory (ReRAM) Based on Metal Oxides*, Proceedings of the IEEE, vol.98, no.12, p.p.2237-2251, 2010.
- [21] Baek, I. G., Kim, D. C., Lee, M. J., Kim, H. J., Yim, E. K., Lee, M. S., ... & Ryu, B. I. , *Multi-layer cross-point binary oxide resistive memory (OxRRAM) for post-NAND storage application*, In Electron Devices Meeting, pp. 750-753, 2005.
- [22] Grossi, A., Conti, A. M., Gastaldi, R. , *Multi-layer flash memory*, U.S. Patent No. 8,325,528.,2012.
- [23] Patterson, Dan W. *Artificial neural networks: theory and applications*. Prentice Hall PTR, 1998.
- [24] Linn E, Rosezin R, Kugeler C, Waser R., *Complementary resistive switches for passive nanocrossbar memories*, Nature Letters, vol.9, no.5, p.p.403-406, 2010.

- [25] Hou T - H, Chen M - C, Huang J - J., ***Dependence of Read Margin on Pull - Up Schemes in High-Density One Selector – One Resistor Crossbar Array***, Transaction on Electron Devices, vol.60, no.1, p.p.420 – 426, 2013.
- [26] Kawahara A, Azuma R, Ikeda Y, Kawai K, Katoh Y, Hayakawa Y, Tsuji K, Yoneda S, Himeno A, Shimakawa K, Takagi T, Mikawa T, Aono K. ***An 8 Mb Multi - Layered Cross - Point ReRAM Macro With 443 MB / s Write Throughput***, Journal of Solid-State Circuits, vol.48, no.1, p.p.178 – 185, 2013.
- [27] Argall, F., ***Switching Phenomena in Titanium Oxide Thin Films***, Solid-State Electronics, vol.11, no.5, p.p.535–541, 1968.
- [28] Kvatinsky S., Friedman Eby G., Kolodny A., Weiser U. C., ***TEAM: ThrEshold Adaptive Memristor Model***, vol.60, no.1, pp. 211 – 221, 2013.
- [29] Liu, X. Sadaf, S. Park, S. Kim, S. Cha, E. Lee, D. Jung, G-Y. Hwang H., ***Complementary Resistive Switching in Niobium Oxide-Based Resistive Memory Devices***, Electron Device Letters, vol.34, no.2, p.p.235-237, 2013.
- [30] Schmelzer, S. Linn, E. Böttger, U. Waser R., ***Uniform Complementary Resistive Switching in Tantalum Oxide Using Current Sweeps***, Electron Device Letters, vol.34, no.1, p.p.114-116, 2013
- [31] Jung, C-M. Choi, J.-M. , Min, K.-S., ***Two-Step Write Scheme for Reducing Sneak-Path Leakage in Complementary Memristor Array***, Transactions on Nanotechnology, vol.11, no.3, p.p.611-618, 2012.
- [32] Zhao, W.S. Portal, J.M. Kang, W. Moreau, M. Zhang, Y. Aziza, H. Klein, J.-O. Wang, Z.H. Querlioz, D. Deleruyelle, D. Bocquet, M. Ravelosona, D. Muller, C. Chappert, C. ***Design and analysis of crossbar architecture based on complementary resistive switching non-volatile memory cells***, <http://dx.doi.org/10.1016/j.jpdc.2013.08.004>, 2013.
- [33] Biolk Z, Biolk D, Biolkova V., ***SPICE Model of Memristor with Nonlinear Dopant Drift***, Radioengineering, vol.18,no.2, p.p.210–214, 2009.
- [34] Joglekar, Yogesh N., and Stephen J. Wolf., ***The elusive memristor: properties of basic electrical circuits***, European Journal of Physics, vol.30, no.4, p.661, 2009.
- [35] R. Rosezin, E. Linn, L. Nielen, C. Kügeler, R. Bruchhaus, and R. Waser, ***“Integrated Complementary Resistive Switches for Passive High-Density Nanocrossbar Arrays”***, Electron Device Letters, vol. 32, 2011.
- [36] Huang, J.J. Tseng, Y.M. Hsu, C.W. Hou T.H., ***Bipolar Nonlinear Ni/TiO<sub>2</sub>/Ni Selector for ISIR Crossbar Array Applications***, Electron Device Letters, vol.32, no. 10, p.p.1427-1429, 2011.

- [37] Walczyk, D. Walczyk, Ch. Schroeder T., *Resistive switching characteristics of CMOS embedded HfO<sub>2</sub>-based 1T1R cells*, Microelectronic Engineering, vol.88, no.7, p.p.1133-1135, 2011.
- [38] Qureshi, M.S. Yi, W. Medeiros-Ribeiro G. Williams, R.S., *AC sense technique for memristor crossbar*, Electronics Letters, vol.48, no.13, p.p.757-758, 2012.
- [39] Kügeler C, Meier M, Rosezin R, Gilles S, Waser R., *High density 3D memory architecture based on the resistive switching effect*, Solid-state electronics, vol.53, no.12, p.p.1287 – 1293, 2009.
- [40] Strukov D B, Williams R S., *Four - dimensional adres topology for circuits with stacked multilayer crossbar array*, Proc. Nat. Academy Sci, vol.106, no.48, p.p.20155 – 20158, 2009.
- [41] Chen Y - C, Li H, Zhang W, Pino R E., *The 3-D Stacking Bipolar RRAM for High Density*, Transactions on nanotechnology, vol.11, no.5, p.p.948 – 956, 2012.
- [42] Yao, Xin. "Evolving artificial neural networks." Proceedings of the IEEE 87.9 (1999): 1423-1447.
- [43] Misra, Janardan, and Indranil Saha. "Artificial neural networks in hardware: A survey of two decades of progress." Neurocomputing 74.1 (2010): 239-255.
- [44] Haykin, Simon S., et al. *Neural networks and learning machines*. Vol. 3. Upper Saddle River: Pearson Education, 2009.
- [45] *Neural Networks* <http://www.journals.elsevier.com/neural-networks/>
- [46] *International Work Conferenece on Artificial Neural Networks* <http://iwann.ugr.es/>
- [47] Wu, Huaiqin, et al. "Complete periodic synchronization of memristor-based neural networks with time-varying delays." Discrete Dynamics in Nature and Society 2013 (2013).
- [48] Li, Boxun, et al. "Training itself: Mixed-signal training acceleration for memristor-based neural network." ASP-DAC. 2014.
- [49] Wang, Lidan, Meitao Duan, and Shukai Duan. "Memristive Chebyshev neural network and its applications in function approximation." Mathematical Problems in Engineering 2013 (2013).
- [50] Wang, Lidan, Meitao Duan, and Shukai Duan. "Memristive perceptron for combinational logic classification." Mathematical Problems in Engineering 2013 (2013).

- [51] Alibart, Fabien, Elham Zamanidoost, and Dmitri B. Strukov. "**Pattern classification by memristive crossbar circuits using ex situ and in situ training.**" *Nature communications* 4 (2013).
- [52] B. Widrow and M. Lehr, "**Perceptrons, Adalines, and Backpropagation,**" in *Handbook of Brain Theory and Neural Networks*, M. A. Arbib, Ed., 1995, pp. 719–724.
- [53] I. Aleksander and H. Morton, *An Introduction to Neural Computing*. Thomson Computer Press, 1995.
- [54] Widrow, B. *An adaptive ADALINE Neuron Using Chemical Memistors*, ERL Technical Report No. 1553-2 Electronics Research Laboratory, Stanford University, Okt. 17, 1960
- [55] *Cognimem* <http://www.cognimem.com/products/chips-and-modules/CM1K-Chip/>
- [56] Dias, Fernando Morgado, Ana Antunes, and Alexandre Manuel Mota. "**Artificial neural networks: a review of commercial hardware.**" *Engineering Applications of Artificial Intelligence* 17.8 (2004): 945-952.
- [57] Mouttet, Blaise, and Va Fairfax. "**Memristor pattern recognition circuit architecture for robotics.**" *Proceedings of the 2nd International Multi-Conference on Engineering and Technological Innovation II*. 2009.
- [58] Ertuğrul Karakulak, Reşat Mutlu, Erdem Uçar, "**Reconstructive sensing circuit for complementary resistive switches based crossbar memories**", *Turk J Elec Eng & Comp Sci*, 24, (2016), 1371-1383
- [59] *Microchip* [www.microchip.com](http://www.microchip.com)
- [60] *Arduino* <https://www.arduino.cc/en/Main/ArduinoBoardUno>
- [61] Hopfield, John J., and David W. Tank. "**Neural computation of decisions in optimization problems**" *Biological cybernetics* 52.3 (1985): 141–152.(Hopfield makaleleri)
- [62] Hopfield, John J. "**Neurons with graded response have collective computational properties like those of two-state neurons.**" *Proceedings of the national academy of sciences* 81.10 (1984): 3088-3092.
- [63] Kanellos, M. , *HP makes memory from a once theoretical circuit*, CNET News, retrieved 2008-04-30, 2008
- [64] Mellor, C., *HP and Hynix to produce the memristor goods by 2013*, The Register, retrieved 2012-03-07 [http://www.theregister.co.uk/2011/10/10/memristor\\_in\\_18\\_months/](http://www.theregister.co.uk/2011/10/10/memristor_in_18_months/)

- [65] Gutmann, E., *Maintaining Moore's law with new memristor circuits*, Ars Technica, retrieved 2008-05-01, 2008.
- [66] Karakulak, Ertugrul, Reşat Mutlu, and Erdem Uçar. "*Sneak path current equivalent circuits and reading margin analysis of complementary resistive switches based 3D stacking crossbar memories*." Informacije MIDEM 44.3 (2014): 235-241.
- [67] Wikipedia Turing Machine [https://en.wikipedia.org/wiki/Turing\\_machine](https://en.wikipedia.org/wiki/Turing_machine)



## ÖZGEÇMİŞ

1979 yılında Tekirdağ'da doğdu. İlk ve orta öğrenimi Tekirdağ'da tamamladıktan sonra 1997 yılında Sakarya Üniversitesi Teknik Eğitim Fakültesi Elektronik Öğretmenliği Programı'na girdi. Bu bölümden 2001 yılında mezun oldu. 2002 yılında Balıkesir Gönen Endüstri Meslek Lisesi Elektronik Bölümü'nde öğretmen olarak göreve başladı. 2003–2005 yılları arasında Sakarya Üniversitesi Fen Bilimleri Enstitüsü'nde Elektronik ve Bilgisayar Eğitimi alanında Yüksek Lisans öğrenimi gördü. 2005 yılında Zonguldak Kozlu Anadolu Teknik Lisesi Biyomedikal Cihaz Teknolojileri Alanına atandı. Söz konusu bölümün bölüm şefliğini yaptı. 2009 yılında Namık Kemal Üniversitesi Teknik Bilimler Meslek Yüksek Okulu'nda Mekatronik Programında Öğretim Görevlisi olarak göreve başladı. Halen bu görevini sürdürmektedir. 2010 yılından beri Trakya Üniversitesi Fen Bilimleri Enstitüsü Bilgisayar Mühendisliği A.B.D. bünyesinde doktora öğrencisidir.



## TEZ ÖĞRENCİSİNE AİT TEZ İLE İLGİLİ BİLİMSEL FAALİYETLER (SCI Kapsamında)

- Karakulak E, Mutlu R, Uçar E, *Reconstructive sensing circuit for complementary resistive switches based crossbar memories*, Turk J Elec Eng & Comp Sci, 24, (2016), 1371-1383
- Karakulak E, Mutlu R, Uçar E, *Sneak path current equivalent circuits and reading margin analysis of complementary resistive switches based 3D stacking crossbar memories*, MIDEM – Journal of Microelectronics, Electronic Components and Materials, Volume 44, Issue:3, 2014.

## TEZ ÖĞRENCİSİNE AİT TEZ İLE İLGİLİ BİLİMSEL FAALİYETLER (Ulusal Bildiri)

- Karakulak, Ertuğrul, Reşat Mutlu, Erdem Uçar. *Rezistif belleklerin kapasitör tabanlı AC okunmasında non-lineerliğin okuma marjini üzerine etkisi*, Electrical, Electronics and Computer Engineering (ELECO), 2014 National Conference on. IEEE, 2014.