

EGE ÜNİVERSİTESİ FEN BİLİMLERİ ENSTİTÜSÜ
(YÜKSEK LİSANS TEZİ)

FPGA TABANLI GÖRÜNTÜ İŞLEME ARABİRİMİ

Ahmet GACAR

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Bilim Dalı Kodu: 609.01.00

Sunuş Tarihi: 22.04.2009

Tez Danışmanı: Doç. Dr. Aydoğan SAVRAN

Bornova-İZMİR

Ahmet GACAR tarafından **YÜKSEK LİSANS** tezi olarak sunulan **“FPGA TABANLI GÖRÜNTÜ İŞLEME ARABİRİMİ”** başlıklı bu çalışma E.Ü. Lisansüstü Eğitim ve Öğretim Yönetmeliği ile E.Ü. Fen Bilimleri Enstitüsü Eğitim ve Öğretim Yönergesi'nin ilgili hükümleri uyarınca tarafımızdan değerlendirilerek savunmaya değer bulunmuş ve **22/04/2009** tarihinde yapılan tez savunma sınavında aday oybirliği/oyçokluğu ile başarılı bulunmuştur.

Jüri Üyeleri**İmza****Jüri Başkanı** : Doç.Dr. Aydoğan SAVRAN

.....

Raportör Üye : Yard.Doç.Dr. Mehmet ENGİN

.....

Üye : Prof.Dr. Uğur ÇAM

.....

ÖZET

FPGA TABANLI GÖRÜNTÜ İŞLEME ARABİRİMİ

GACAR, Ahmet

Yüksek Lisans Tezi, Elektrik Elektronik Mühendisliği Bölümü

Tez Yönetici: Doç.Dr. Aydoğan SAVRAN

Nisan 2009, 76 sayfa

Bu çalışmada temel amaç, günümüzde güvenlik sistemlerinde kullanılan analog kameraların bilgisayar monitörlerinde direkt olarak kullanımını mümkün kılmaktır.

Bu çalışmada Xilinx 200K kapılı FPGA (Field Programmable Gate Arrays) kullanılmıştır. Görüntüyü işlemek için birleşik resim sinyali öncelikle hızlı bir ADC (Analog Digital Converter) devresine girip oradan da FPGA vasıtasıyla bu görüntü bilgileri RAM (Random Access Memory)'e yazılır. Daha sonra istenilen boyut ve şekillendirmeler FPGA vasıtasıyla yapılarak gerçek zamanlı çalışma ile çıkıştaki DAC (Digital Analog Converter) devresine tabi tutulup, oradan bilgisayar monitörüne görüntü aktarılır. Girişte çoğullayıcı tümleşik devresi ve daha hızlı RAM kullanılarak istenilen adette kamera bağlayabilmek ve bu sayede birden fazla kameranın görüntüsünü tek bir monitörden izleyebilmek mümkündür.

Geliştirilen bu sistem sayesinde, kamera direkt olarak bilgisayar monitörüne bağlanabilecek ve bu iş için Plazma ya da LCD TV kullanımına ihtiyaç duyulmayacaktır. Mevcut teknolojiye göre 1/2 oranında maliyetle kamera görüntülerinin alınması sağlanmıştır.

Günümüz teknolojisinde FPGA kullanarak çok büyük miktarlardaki mantıksal devreler atılarak daha düşük maliyetli ve birleşik tasarımlı arabirimler üretilebilir. Gerçekleştirilen tez çalışmasında bu teknolojiden yararlanarak düşük maliyetli daha kararlı bir görüntü işleme arabirimi oluşturulmuştur. Aynı zamanda FPGA sayesinde daha az yer kaplayan bir elektronik kartla daha ucuza ve çok hızlı bir şekilde görüntü işleme imkanı elde edilmiştir.

Anahtar Sözcükler: FPGA, Sayısal görüntü işleme, Verilog.

ABSTRACT**FPGA BASED IMAGE PROCESSING INTERFACE**

GACAR, Ahmet

MSc in Electrical And Electronic Engineering

Supervisor: Asst.Prof.Dr. Aydođan SAVRAN

April 2009, 76 pages

The main purpose of this study is to make it possible to use directly analog cameras on the computer monitor in today's security systems.

A 200K gate Xilinx FPGA is used in this study. First, Composite video signal is entered into fast ADC, then output data is written to RAM via FPGA. After that, these video informations are applied to Video DAC circuit to get desired shape and size by FPGA, then transferred to computer monitor in real time. Connecting desired numbers of cameras is possible via using multiplexer and faster RAM at the input of the circuit. With this way also it is possible to watch all cameras in a single monitor.

Cameras can be connected directly to computer monitor by using of this developed system and will no more need to use Plasma or LCD TV's. So cost of available technology is reduced to 50%. Cost-effective and compact designed interfaces can be produced with eliminating tremendous amount of logic circuits via using FPGA in current technology.

In this study, a low-cost, more stable image processing interface is produced by use of this technology. At the same time, cheaper and faster image processing ability with a small size electronic circuit have been obtained through FPGA.

Keywords: FPGA, Digital image processing, Verilog.

VIII

TEŞEKKÜR

Çalışmamda değerli yorum ve önerileri ile katkıda bulunan tez danışmanım sayın Doç.Dr. Aydoğın SAVRAN' a teşekkür ederim.

Aynı zamanda tez çalışmalarım süresince bana maddi ve manevi desteklerini esirgemeyen Tagem Teknoloji firması çalışanlarına, Ümit Torun bey'e, Ege Üniversitesi Elektrik-Elektronik Mühendisliği Bölümü Öğretim Üyelerine, Balıkesir Üniversitesinden Dr. Ayhan İstanbullu'ya, Murat Çınar'a, Kadir Doğan'a, Bilal Çakmak'a, burada ismini anmadığım diğer arkadaşlarıma, teşekkür ederim.

Bu çalışmam boyunca bana maddi manevi destek ve teşviklerinden öte sabırlarından dolayı aileme, özellikle eşime teşekkür ederim.

İÇİNDEKİLER

	<u>Sayfa</u>
ÖZET.....	V
ABSTRACT.....	VII
TEŞEKKÜR.....	VIII
İÇİNDEKİLER	X
ŞEKİLLER DİZİNİ.....	XII
ÇİZELGELER DİZİNİ	XIV
GİRİŞ	1
1. FPGA (FIELD PROGRAMMABLE GATE ARRAYS).....	4
1.1. FPGA Teknolojisi	4
1.2. FPGA'nin Özellikleri.....	5
2. RC-100 DENEME KARTI	11
2.1. RC100 Deneme Kartının Özellikleri.....	12
2.2. RC-100 Deneme Kartında Kullanılan Elemanlar	12
2.2.1. CPLD	12
2.2.2. Flash RAM Hafıza	13
2.2.3. SSRAM (Statik Senkron RAM).....	15
2.2.4. Video DAC	18
2.2.5. SAA 7111A Video Sinyali Kod Çözücüsü	20
2.2.6. P89LPC917 mikrodenetleyicisi	24
3. VERİLOG İLE PROGRAMLAMA	25
3.1. Verilog.....	25
3.2. Verilog Programının “Project Navigator” de Kullanımı.....	27
4. VIDEO STANDARTLARI.....	30
4.1. Video Sinyalleri	30

	XI
4.2. VGA (Video Graphic Array) Video Standartı	35
5. UYGULAMA	37
5.1. Donanım Blok Diyagramının Açıklanması.....	43
5.2. Yazılım Akış Diyagramının Açıklanması.....	46
6. SONUÇLAR	49
KAYNAKLAR DİZİNİ	51
KAYNAKLAR DİZİNİ (DEVAM).....	52
KAYNAKLAR DİZİNİ (DEVAM).....	53
KAYNAKLAR DİZİNİ (DEVAM).....	54
EKLER.....	55
EK1: ÇALIŞMADA KULLANILAN PROGRAMIN DONANIMSAL KARŞILIĞI.....	56
EK2 : ÇALIŞMADA KULLANILAN PROGRAMIN PİN ATAMALARI DOSYASI	57
EKLER (DEVAM).....	58
EKLER (DEVAM).....	59
EKLER (DEVAM).....	60
EK3 : MALİYET ANALİZİ	61
ÖZGEÇMİŞ	62

ŞEKİLLER DİZİNİ

Sayfa

Şekil-1: Sistemin işleyiş şeması.....	2
Şekil 1-1: FPGA mantık bloğu	4
Şekil 1-2: FPGA genel yapısı	7
Şekil 1-3: Bağlantı şekillerine göre FPGA'lar.....	8
Şekil 1-4: FPGA blok diyagramı	9
Şekil 1-5: FPGA Tasarım Akış Blok diyagramı.....	10
Şekil 2-1: RC-100 deneme kartındaki elektronik elemanlar	11
Şekil 2-2: RC-100 deneme kartındaki bağlantılar	11
Şekil 2-3: RC-100 deneme kartındaki CPLD bağlantısı.....	12
Şekil 2-4: RAM'in fonksiyonel blok diyagramı	16
Şekil 2-5: Devrede Kullanılan RAM'in Okuma yazma zamanlama Diyagramı.....	17
Şekil 2-6: Devrede Kullanılan RAM'in pin yapısı	18
Şekil 2-7: BT121 Video DAC	19
Şekil 2-8: BT121 Video DAC blok diyagramı	19
Şekil 2-9: SAA7111A Birleşik Video Sinyali Kod Çözücüsü	20
Şekil 2-10: SAA7111A Birleşik Video Sinyali Kod Çözücüsü Blok Diyagramı.....	21
Şekil 2-11: 50 Hz için SAA7111A dikey zamanlama sinyal çıkışları.....	23
Şekil 2-12: P89LPC917 Mikrodenetleyicisi	24
Şekil 3-1: A ve B girişlerinin mantıksal VE/VEYA kapılarıyla işlenmesi	25
Şekil 3-2: Project Navigator programının menü görünümü.	28

Şekil 3-3: Verilog kodlarının yazıldığı pencere.....	28
Şekil 3-4: Verilog'ta programlama temel dosyasının oluşturulması.	29
Şekil 4-1: Renk taşıyıcıların satırlardaki faz değişimi.....	32
Şekil 4.2: Renk referans sinyali (Burst).....	33
Şekil 4-3: Yatay ve düşey tarama zamanları sinyal şekli	33
Şekil 4-4: Geçmeli tarama	34
Şekil 4-5: VGA Sinyal Zamanlaması	36
Şekil 5-1: SAA711A 'dan alınan (H_Sync) Yatay senkron sinyali	38
Şekil 5-2: SAA711A 'dan alınan (V_Sync) Dikey senkron sinyali	38
Şekil 5-3: SAA711A 'dan alınan (LLC/2) görüntü hücresi saat sinyali....	39
Şekil 5-4: FPGA'de VGA için üretilen (HS) yatay senkron sinyali.....	40
Şekil 5-5: FPGA'de VGA için üretilen (HS) yatay senkron sinyali.....	40
Şekil 5-6: FPGA'de üretilen BT121 DAC tümleşik devresi saat sinyali .	41
Şekil 5-7: FPGA İçerisinde Gerçeklenen Donanımın Blok Diyagramı.....	42
Şekil 5-8: FPGA İçerisinde Gerçeklenen Programın Akış Diyagramı	45
Şekil 5-9: Yapılan Uygulamanın Çalışma Görüntüleri	48
Şekil 5-10: Yapılan Uygulamanın Çalışma Görüntüleri	48

ÇİZELGELER DİZİNİ

	<u>Sayfa</u>
Çizelge 1-2: Yaygın kullanılan FPGA'lerden Spartan II ailesinin özellikleri.....	6
Çizelge 2-1: Flash RAM hafızada bulunan programlar ve yerleşim blokları:	15
Çizelge 2-2: SAA7111A Data Çıkış Formatları	22
Çizelge 4-1: PAL / NTSC Frekans Karşılaştırma Tablosu.....	34

GİRİŞ

FPGA (Field Programmable Gate Arrays), Serbest olarak programlanabilen mantık-yapı taşları olarak tanımlanmıştır. FPGA'lar yeni ürünlerin fonksiyonlarını simule ederler. Mevcut anahtarlama sistemlerini taklit ederek mikro işlemcilerin fonksiyonlarını üstlenirler. Tipik bir FPGA birçok mantık hücresi içerir. Bu hücrelerin her birine belli fonksiyonlar atanabilir. Tüm hücreler, bir matris üzerinde yer alan bağlar ve programlanabilir hücreler ile birbirlerine bağlanırlar. İşlem hızları çok yüksektir ve ucuza mal edilmektedirler.

Karabıyık, A., (2005) çalışmasında dalgacık sinir ağının (DSA) FPGA ile donanımsal gerçekleştirilmesini yapmıştır.

Caner, H., (2006) FPGA donanımı üzerinde araç plakası tanıma sistemi adlı çalışmasında video üzerinde FPGA donanımı kullanarak gömülü Plaka Tanıma sistemi (PTS) tasarlanmış ve gerçekleştirilmiştir. Gömülü donanım için Xilinx firmasının ürünü olan kart kullanılmış ve ilgili karta video arayüz oluşturulmak üzere video arayüz kartı tasarlanmış ve üretilmiştir.

Tamer, Ö., (2007) tarafından yapılan çalışmada FPGA tabanlı anten uygulaması yapılmıştır. Algoritmalar, sayısal işaret işlemciler (DSP) üzerinde koşan yazılımlar olarak tasarlanmış ve uygulanmıştır.

Daijin Kim, (2000) tarafından yapılan çalışmada bulanık mantık kontrollü tekrar programlanabilir FPGA uygulaması yapılmıştır.

Jing Huang, Tahoori, M.B., Lombardi, F.,(2005) tarafından yapılan çalışmada FPGA'de bulunan anahtar bloklarının hata toleransı ve anahtar blok dizileri ile ilgili testler yapılmıştır.

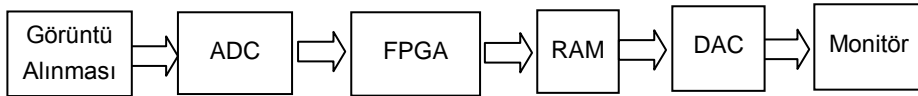
Kannan, P., Bhatia, D.,(2006) tarafından, FPGA'ler için iç içe bağlantıların önceden tahmin edilmesi ile ilgili bir çalışma yapılmıştır.

Bu çalışmada temel amaç, günümüzde güvenlik sistemlerinde kullanılan analog kameraların bilgisayar monitörlerinde doğrudan kullanımını mümkün kılmaktır. Aksi takdirde fiyatı çok yüksek olan plazma TV'ler kullanılmak zorunda kalınmaktadır. Doğrudan bilgisayar monitörü kullanımı mümkün olması halinde 1/2 oranında düşük bir maliyetle kamera görüntülerinin alınması mümkün olacaktır. Gerçekleştirilen bu çalışma, bize bu imkanı sağlamıştır. Çalışmada çoklu işlem, FPGA sayesinde çok hızlı bir şekilde gerçekleştirilebilmiştir.

Yapılan çalışma ile endüstride ihtiyaç duyulan bu tarz sistemlere pratik ve düşük maliyetli alternatif bir çözüm sunulmuştur.

Bu çalışmada Xilinx firmasının ürettiği 200K kapılı FPGA kullanılmıştır. Görüntüyü işlemek için, öncelikle hızlı bir ADC devresine girip oradan FPGA aracılığıyla görüntü bilgileri RAM'e yazılmıştır. Daha sonra istenilen boyut ve şekillendirmeler FPGA kullanılarak gerçek zamanlı çalışma ile çıkıştaki DAC devresine uygulanıp, oradan bilgisayar monitörüne görüntü aktarılmıştır.

Şekil-1'de sistemin işleyiş şeması blok diyagramı verilmiştir. Görüntü aşağıdaki, aşamalara göre işlenip monitöre aktarılmıştır.



Şekil-1: Sistemin işleyiş şeması

Günümüz teknolojisinde FPGA kullanarak çok büyük miktarlardaki mantık devreleri atılarak daha düşük maliyetli ve birleşik tasarımlı arabirimler üretilebilir. Gerçekleştirilen tez çalışmasında bu teknolojiden yararlanarak düşük maliyetli daha kararlı bir görüntü işleme

arabirimi oluşturulmuştur. Aynı zamanda FPGA sayesinde daha az yer kaplayan bir elektronik kartla daha ucuza ve çok hızlı bir şekilde görüntü işleme imkanı elde edilmiştir (Bruce A. Draper, 2003).

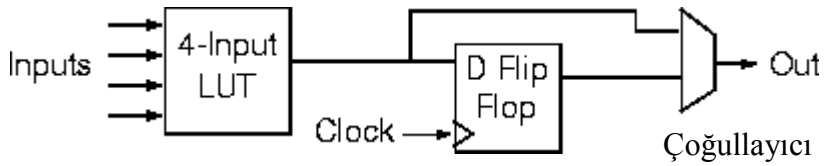
FPGA'ler özellikle eşzamanlı yapılması gereken işlemler için çok uygundur. Burada gerçekleştirilen işlemler seri port ve görüntüleme işlemlerinin temeli olması itibariyle, programda yapılacak küçük değişiklikler sayesinde herhangi bir PC ile veriler ortaklaşa işlenebilir ve eşzamanlı olarak da kullanıcılara gösterilebilir.

Tezin birinci bölümünde FPGA'ler hakkında genel bilgi verilmiş, ikinci bölümde kullanılan donanım hakkında açıklama yapılmış, üçüncü bölümde verilog programı ve kullanımı özetlenmiş, dördüncü bölümde video standartları anlatılmış ve kıyaslanmış, beşinci bölümde deneysel çalışmalar belirtilmiş, altıncı bölümde ise elde edilen sonuçlar açıklanmıştır.

1. FPGA (FIELD PROGRAMMABLE GATE ARRAYS)

1.1. FPGA Teknolojisi

Serbest Programlanabilir Kapı Dizileri (Field Programmable Gate Arrays, FPGA) serbest olarak programlanabilen mantık-yapı taşları olarak tanımlanabilir. FPGA'lar yeni ürünlerin fonksiyonlarını simule edebilirler. Mevcut anahtarlama sistemlerini taklit ederek mikro işlemcilerin fonksiyonlarını üstlenebilirler. Tipik bir FPGA bir çok mantık hücresi içerir (Brown, S.D.; Rose, J.; Vranesic, Z.G,1993). Bu hücrelerin her birine belli fonksiyonlar atanabilir. Tüm hücreler, bir matris üzerinde yer alan bağlar ve programlanabilir hücreler ile birbirlerine bağlanırlar (Şekil 1-3). İşlem hızları çok yüksektir ve ucuz mal edilmektedirler. Şekil 1-1' de FPGA mantık bloğu görünmektedir.



Şekil 1-1: FPGA mantık bloğu

FPGA, düzenlenebilir mantıksal bloklar (configurable logic blocks, CLB), giriş / çıkış blokları (Input / Output Blocks, IOB) ve ara bağlantılar olmak üzere üç önemli düzenlenebilir elemana sahiptir.

FPGA yaygın olarak kullanılan, geniş uygulama alanlarına sahip programlanabilir tümdevrelerdir. FPGA kullanımıyla, temel kapıların

(AND, OR) ya da çözücü gibi daha karmaşık yapıdaki devre elemanlarının işlevselliği arttırılmaktadır. (Ahmed, E.; Rose, J. 2004)

FPGA'lar, programlanabilir mantıksal bloklar ve ara bağlantılardan oluşur. Mantıksal blokların ve ara bağlantıların imalat aşamasından sonra tasarımcı tarafından programlanabilmesi sebebiyle sahada programlanabilir adını taşımaktadır. Tasarımcının ihtiyacı olan mantıksal fonksiyonları gerçekleştirebilmesi amacıyla sahada programlanabilir olarak üretilmiştir (Shuvra S, 2008). Kullanıcının tasarladığı mantıksal devreye göre, tümdevre üreticisi tarafından sağlanan bir yazılım sayesinde mantıksal bloklar ve aralarındaki bağlantılar programlanır. Bu işleme konfigüre etme de denir. Tasarım sırasında kullanıcıya sağladığı esneklik, düşük maliyet ve hızlı ilk üretme özelliği ile FPGA'lar mantıksal tasarım ortamlarının vazgeçilmez yapıları haline gelmiştir. Uygulama alanlarından bazıları mantıksal işaret işleme, kriptografi, uzay, savunma, görüntü işleme ve tıbbi görüntülemedir (Cong, J., Yuzheng D., 1994). FPGA'ler kullanıldıkları alanlarda güvenilirliklerini daima ispat etmiştir (Tiwari, A.; Tomko, K.A., 2005).

1.2. FPGA'nin Özellikleri

Devrede kullanılan Spartan II FPGA'nin özellikleri aşağıdaki gibidir :

- Kullanıcıya yüksek performans sunar.
- Zengin mantıksal kaynaklara sahiptir. (5292 adet mantıksal hücreye sahiptir)
- Teorik olarak sınırsız defa tekrar programlanma özelliğine sahiptir.
- 200.000 adet mantıksal kapaıya sahiptir.

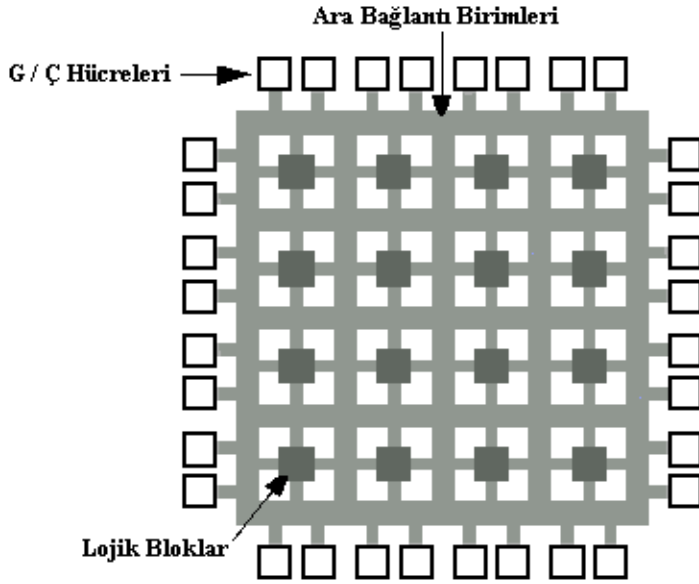
- Sistem 200 MHz 'e kadar frekanslarda çalışabilir.
- 56 K blok RAM'e , 75264 bitlik distributed RAM' e sahiptir.
- 284 tane seçilebilir giriş/çıkış standart seçeneği sunar. Bu uçlar, giriş,çıkış ve ikiyönlü işlem yeteneğine sahiptir.
- Bilgisayarlarda kullanılan veri hatlarıyla tamamen uyumludur.
- Kurşun kullanılmadan üretilmiş çevre dostu bir üründür.
- FPGA'lar mask programlanabilir ASIC (Application Specific Integrated Circuit)'lere karşı bir daha üstün seçenekli bir alternatiftir.
- Segmentlendirilmiş yol yapısıyla düşük enerjiye ihtiyaç gösterir.
- Doğrulama/gözleme için geriye dönük okuma yeteneğine sahiptir.
- Yüksek hızlı aritmetik yapabilecek mantıksal altyapıya sahiptir.
- Yeterli sayıda çoklayıcı mevcuttur.
- Geniş aralıklı giriş fonksiyonları için kaskat zincirine sahiptir.
- Ortak paketlerde ayak bağlantı uyumluluğu FPGA kullanımını daha da avantajlı kılmaktadır.
- Set, reset seçenekleriyle bir çok kayıtçı/kilitlere sahiptir.
- Bağımsız mantıksal modüller oluşturulabilme özelliğinden dolayı paralel çoklu işlemler için çok uygundur.

FPGA	Mantık Hücreleri	Kapı sayısı (Mantık ve RAM)	CLB dizisi	Toplam CLB	Maksimum Giriş/Çıkış Sayısı	Toplam Dağıtılmış RAM	Toplam Blok RAM
XC2S15	432	15000	8X12	96	86	6144	16K
XC2S30	972	30000	12X18	216	92	13824	24K
XC2S50	1728	50000	16X24	384	176	24576	32K
XC2S100	2700	100000	20X30	600	176	38400	40K
XC2S150	3888	150000	24X36	864	260	55296	48K
XC2S200	5292	200000	28X42	1176	284	75264	56K

Çizelge 1-2: Yaygın kullanılan FPGA'lerden Spartan II ailesinin özellikleri.

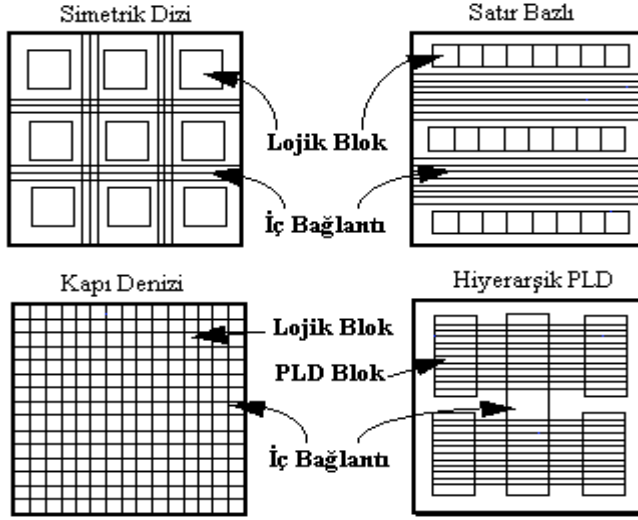
Tipik FPGA mantıksal bloğu Şekil 2-1'de görüldüğü gibi 4 giriş (Look up table, LUT) ve bir flip-flop'tan oluşur. FPGA mantıksal bloğunun giriş-çıkışları ise Şekil 1.2'de gösterilmektedir (DeHon, A.; Rubin, 2004).

FPGA'ların programlanması veya diğer bir deyişle konfigüre edilmesi ara bağlantıların nasıl olacağını belirleme ve FPGA bellek hücrelerinin programlanması işlemidir (D. Buell, J. Arnold, and W. Kleinfelder, 1996).



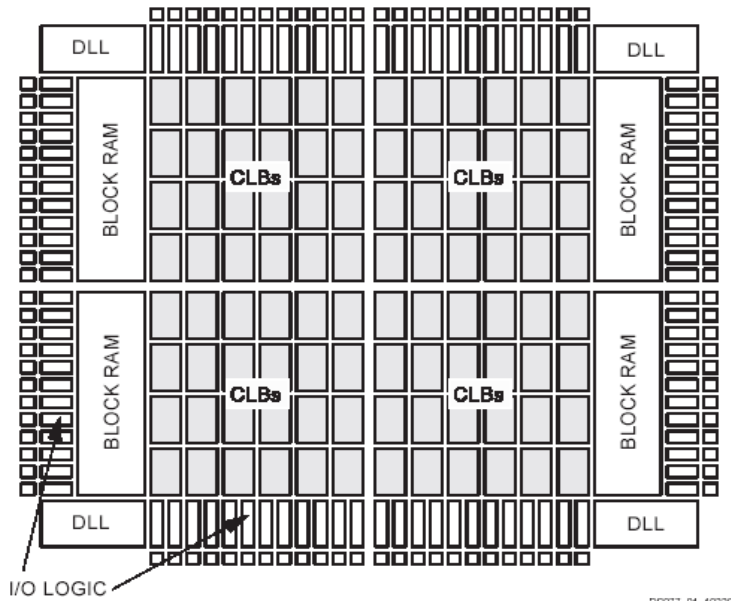
Şekil 1-2: FPGA genel yapısı

FPGA'lar bağlantı çeşitlerine göre simetrik dizi, sıra tabanlı, hiyerarşik PLD (Programmable Logic Device) ve kapı denizi olmak üzere dörde ayrılırlar (Şekil 1-3) (Xilinx Inc, <http://www.xilinx.com>).



Şekil 1-3: Bağlantı şekillerine göre FPGA'lar

FPGA nin blok diyagramı Şekil 1-4'de görülmektedir. FPGA tümleşik devresinde geliştirilmiş saat kontrollü 4 adet DLL (Delay-Locked Loops) Giriş/Çıkış sayısal blokları (Lojik Blok) ve 4 adet Düzenlenebilir Mantık Bloğu (Configurable Logic Block, CLB) diyagramda görülmektedir.

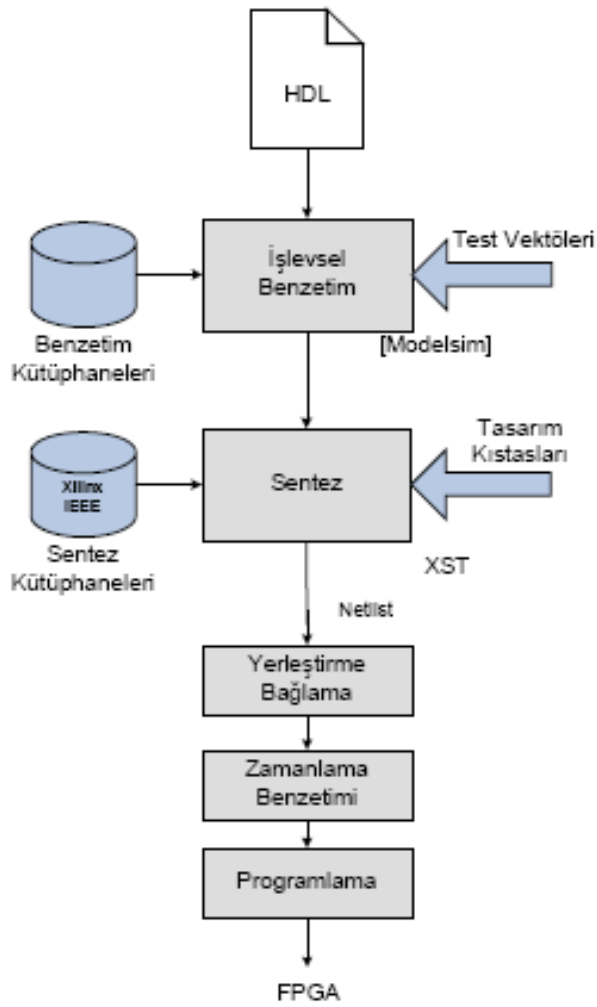


Şekil 1-4: FPGA blok diyagramı

FPGA’lerde tasarım akış diyagramı Şekil 1-5’deki gibidir (Uçar, A., 2007). FPGA’lar genellikle yüksek seviyeli donanım tanımlama dilleri (Hardware Description Language, HDL) kullanılarak programlanır. Yazılan program derlenerek simülasyonu yapılır. Simülasyon aşamasında beklenen sonuç alındıktan sonra sentezleme aşamasına geçilir. Sentezleyici, kullanıcının belirtmiş olduğu FPGA elemanına göre gerekli bağlantıları çıkartır ve kullanıcıya bu bağlantıları liste halinde sunar. Yerleştirme sonrası istenilen sonuçlar elde edildikten sonra FPGA’nın programlanması aşamasında kullanılacak bit dizisi, üreticinin sağladığı yazılımla elde edilir. FPGA’nın uygun donanım kullanılarak programlanmasıyla tasarım tamamlanır (Donald Bailey, 2007).

En genel anlamda bir tasarım süreci ve tasarlanan fonksiyonun bir FPGA’ya entegre edilmesi beş başlık altında toplanabilir:

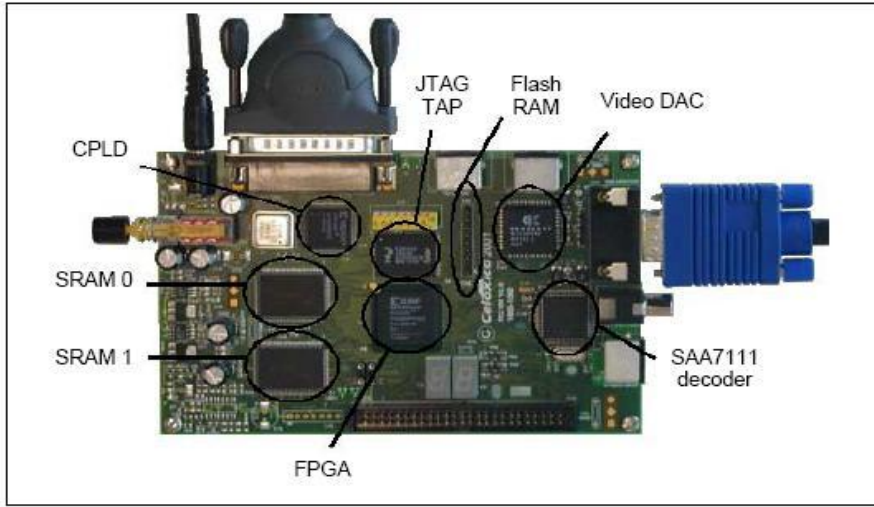
- Sistem tasarımı: Bu aşamada tasarımcı FPGA’ya uygulanacak olan fonksiyona ve bu fonksiyonun sistemin geri kalan kısmıyla nasıl bütünleneceğine karar verir.
- Giriş-çıkış entegrasyonu: FPGA’nın giriş ve çıkışlarının sisteme yani devreye entegre edildiği aşamadır.
- Tasarımı tanımlama: Bu aşamada tasarımcı, tasarladığı fonksiyonu semalar ya da HDL kullanarak tanımlar.
- Sentezleme: Bu aşamada optimizasyon, mantıksal blokların yerleşimi ve ara bağlantıların belirlenmesi işlemleri yapılır.
- Tasarımı doğrulama: Bu aşama test aşamasıdır. Elde edilen sonuçların simülasyon sonuçlarıyla karşılaştırılması bu aşamada yapılır.



Şekil 1-5: FPGA Tasarım Akış Blok diyagramı

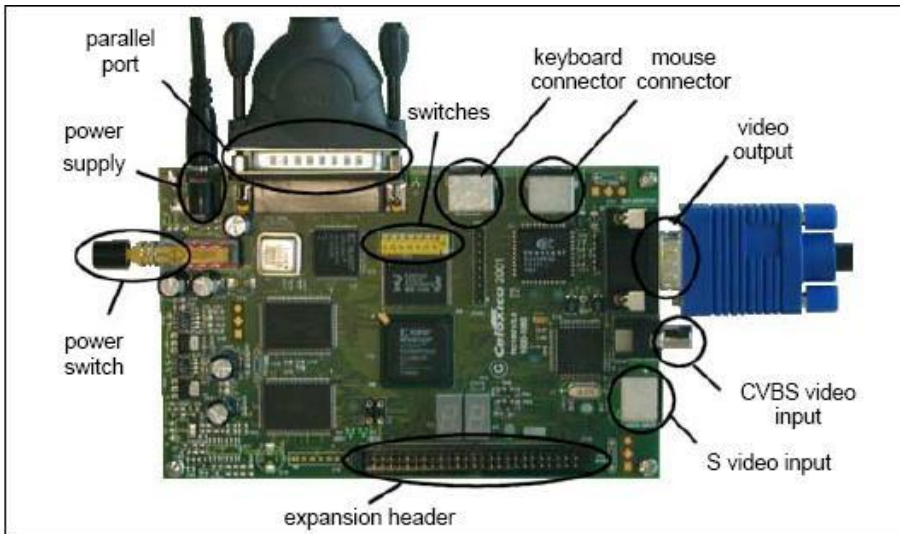
2. RC-100 DENEME KARTI

Çalışmada RC100 deneme kartı kullanılmıştır. Şekil 2-1’de RC-100 deneme kartındaki elektronik elemanlar görülmektedir.



Şekil 2-1: RC-100 deneme kartındaki elektronik elemanlar

RC100 deneme kartında (Şekil 2-2) 200.000 adet kapıya sahip Xilinx Spartan II FPGA (XCS200-5-FG456) bulunmaktadır.



Şekil 2-2: RC-100 deneme kartındaki bağlantılar

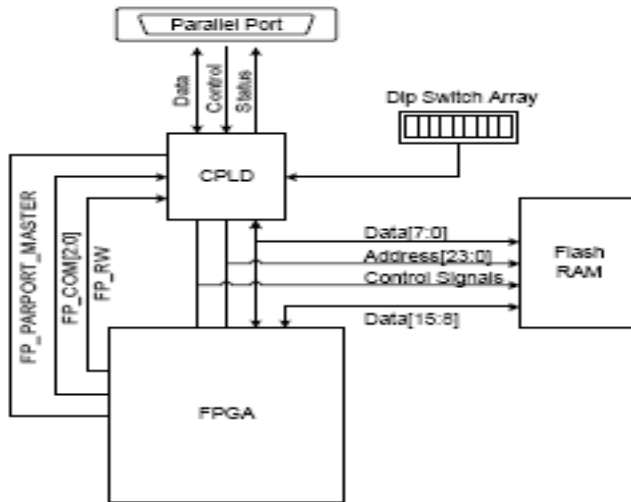
2.1. RC100 Deneme Kartının Özellikleri

Bu kartın ana elemanını, FPGA tümleşik devresidir ve FPGA, RC100 deneme kartının merkezini oluşturmaktadır. Karttaki çoğu elektronik elemanlar bu tümleşik devreye doğrudan bağlanmıştır. Sonraki bölümlerde incelenecek bu FPGA'ya olan doğrudan bağlantılar şunlardır:

- 2 adet 36x256k-bit SSRAM (Statik senkron hafıza)
- Flash RAM Hafıza
- Video DAC
- Birleşik Video Sinyali Kod Çözücüsü
- İlave olarak 8051 tabanlı P89LPC917 mikrodenetleyicisi
- PS/2 konnektör
- 2 adet Led
- 2 adet 7 segment display
- Genişleme soketi

2.2. RC-100 Deneme Kartında Kullanılan Elemanlar

2.2.1. CPLD



Şekil 2-3: RC-100 deneme kartındaki CPLD bağlantısı

Şekil 2-3 ve Şekil 2-1'de görüldüğü gibi FPGA'ya 1 adet CPLD (XCR3128XL) bağlanmıştır. Bu tümleşik devre sayesinde FPGA değişik kaynaklardan konfigure edilebilmektedir.

Bu kaynaklar ;

- Paralel port
- Flash RAM Hafıza
- JTAG programlama pinleri

Kart üzerindeki CPLD, paralel port vasıtasıyla bilgisayardan aldığı verileri kullanıcının seçimine bağlı olarak, Flash RAM hafızaya ya da doğrudan FPGA'ya aktarma görevini üstlenmiştir.

2.2.2. Flash RAM Hafıza

Bord üzerinde 64 Mbit'lik Intel firmasına ait Strata Flash modeli bir Flash hafıza mevcuttur. Flash hafızalar bilindiği gibi enerji kesilse de üzerindeki bilgiler silinmez. Çizelge 2-1'de görüldüğü gibi, deneme kartını üreten Celoxica firması bu tümleşik devrenin içerisindeki ayrılmış bloklara tanıtım programlarını yerleştirmiştir. Bu programlar sayesinde kartın işlevleri anlaşılabilir. Ayrıca program başlama bloklarını ayarlayabilen küçük anahtar (dip-switch) tarzı anahtar takımı mevcuttur. Kullanıcı bu anahtarlar sayesinde istediği programı çalıştırabilir. Yalnızca her anahtar ayarı değiştiğinde, enerjinin kesilip yeniden verilmesi gerekmektedir.

Blok Vektör	Başlangıç Adresi	İçerik	Ayar
0	0	Tanıtım Ekranı	0
1	20000	Tanıtım Ekranı	0
2	40000	Venus Programı	1
3	60000	Venus Programı	1
4	80000	Breakout Oyunu	2
5	000A0000	Breakout Oyunu	2
6	000C0000	Squish Oyunu	3
7	0	Squish Oyunu	3
8	100000	Video Efektleri	4
9	120000	Video Efektleri	4
10	140000	Celoni Racer Oyunu	5
11	160000	Celoni Racer Oyunu	5
12	180000	Windows	6
13	001A0000	Windows	6
14	001C0000	Boat Oyunu	7
15	1	Boat Oyunu	7
16	200000	(Kullanılmıyor)	8
17	220000	(Kullanılmıyor)	8
18	240000	Resim	9
19	260000	Resim	9
20	280000	Resim	10
21	002A0000	Resim	10
22	002C0000	Resim	11
23	2	Resim	11
24	300000	Font.raw Dosyası	12
25	320000	Celoni Haritası	12

26-27	340000	(Kullanılmıyor)	13
28-55	380000	Boş	14
56-57	700000	Maskeleme	28
58	740000	Kabartma	29
59	760000	Kabartma	29
60	780000	Yazı Bindirme	30
61	007A0000	Yazı Bindirme	30
62	007C0000	Girdap Arkaplan	31
63	7	Girdap Arkaplan	31

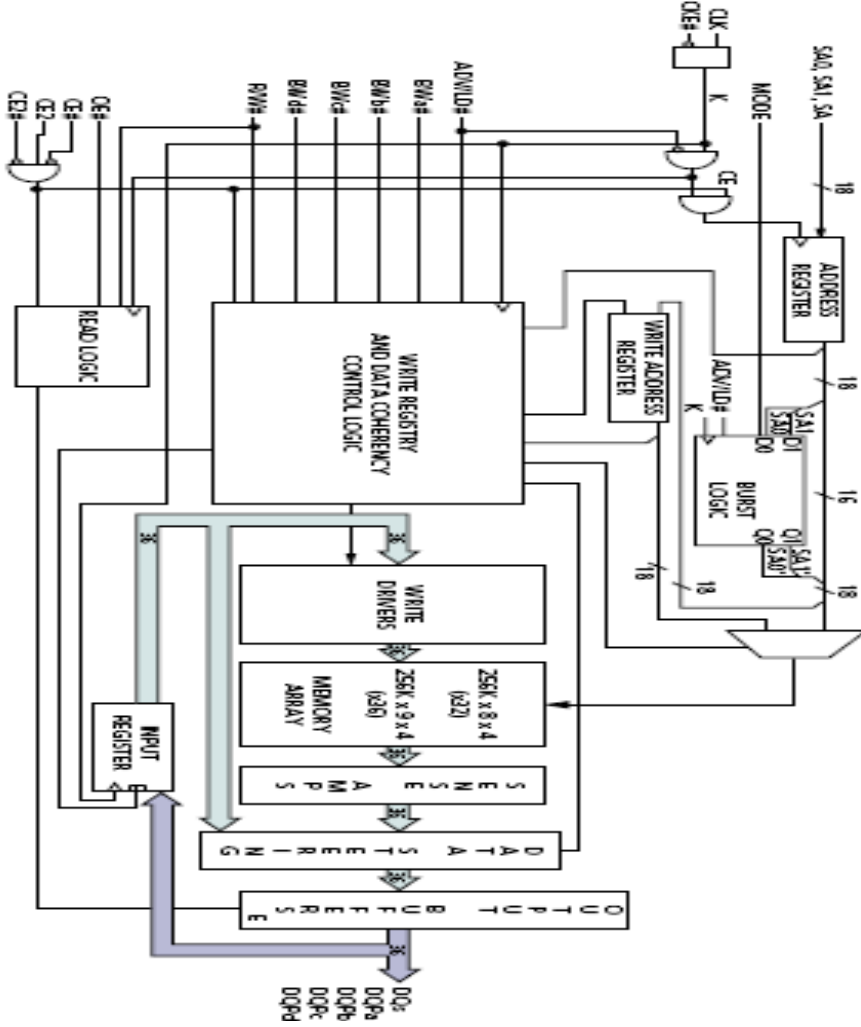
Çizelge 2-1: Flash RAM hafızada bulunan programlar ve yerleşim blokları:

2.2.3. SSRAM (Statik Senkron RAM)

Deneme kartı üzerinde 2 adet 36x256k bitlik statik senkron RAM mevcuttur (Şekil 2-6). Bu RAM'lar Şekil 2.4'teki blok diyagramda görüldüğü gibi karmaşık bir iç yapıya sahip olmakla birlikte kullanımı oldukça kolaydır. Bu hafızanın başlıca özellikleri şöyledir ;

- 10 ns maksimum çalışma hızı
- 3.3V besleme gerilimi
- Bağımsız olarak ayarlanabilen 3.3V veya 2.5V çıkış gerilim ayarları
- Kontrol uç sayısını minimize edecek gelişmiş kontrol mantığı
- Tek bir Okuma/Yazma ucu
- İsteğe bağlı blokların ayrı ayrı yazma ayarları
- Burst Mode özelliği sayesinde adres uçlarından A0 ve A1'i atabilme
- Data giriş ve çıkışlarda aynı uçların kullanımı
- 100 pin TQFP kılıf yapısı
- Otomatik olarak kullanılmadığında enerji korumaya geçme modu

- Saat sinyali ile aktif olan kontrol sinyal uçları, adres bilgileri, data giriş çıkışları

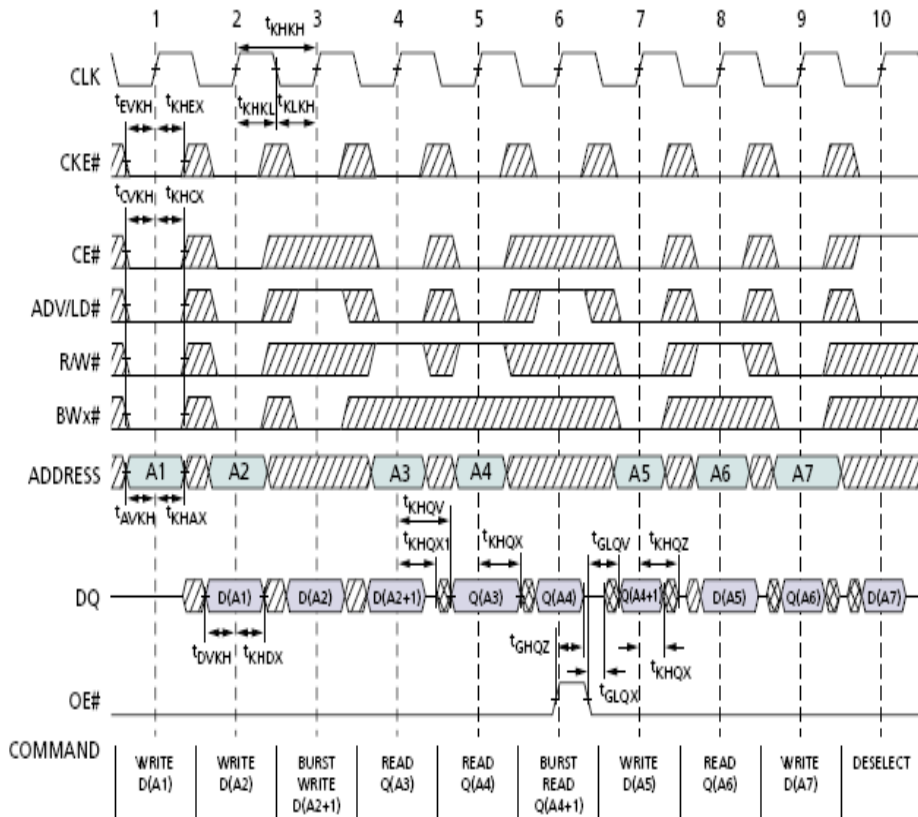


Şekil 2-4: RAM'in fonksiyonel blok diyagramı

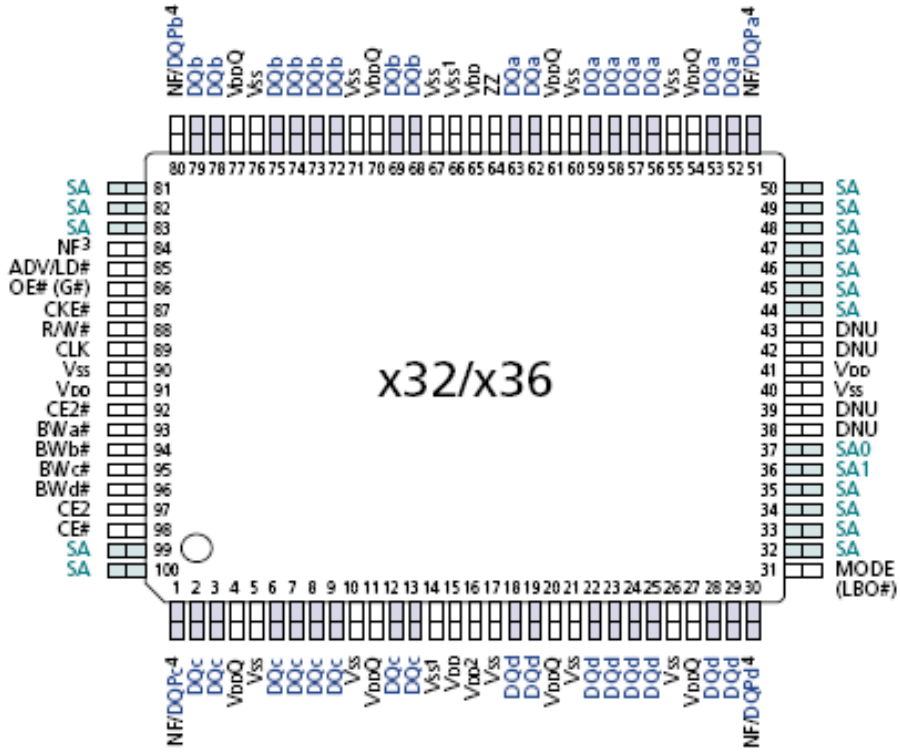
Bu RAM'i kullanmak için klasik yöntemler yeterlidir. Ancak giriş-çıkış sinyal gerilim değerlerinin uygun olmasına dikkat edilmelidir. Şekil 2-5'de görüldüğü gibi RAM'e yazmak için BWn uçlarından istenilen bloğun sayısal 0 yapılarak seçilmesi gerekmektedir. Alternatif olarak tüm

bloklar kullanılacaksa yalnızca R/W# ucunun sayısal 0 yapılması yeterlidir.

Kontrol sinyallerinde ADV ucu da toprağa bağlanarak klasik mod seçilmiş olur. Daha sonra saat sinyali verildiğinde adres bilgileri ve Data ucundaki bilgiler örneklenir ve bir saat sonrasında belirtilen adrese yerleşir. Okumak için de, R/W# ucunun sayısal 1 yapılması gerekmektedir. Aynı şekilde ADV ucu değiştirilmeden saat sinyali verildiğinde o anki adres gözünden bilgiler data uçlarına gelir. OE# (Çıkış aktif) ucunun yazma durumunda 1 olması zorunlu değildir, ancak okuma durumunda sayısal 0 olmalıdır.



Şekil 2-5: Devrede Kullanılan RAM'in Okuma yazma zamanlama Diyagramı

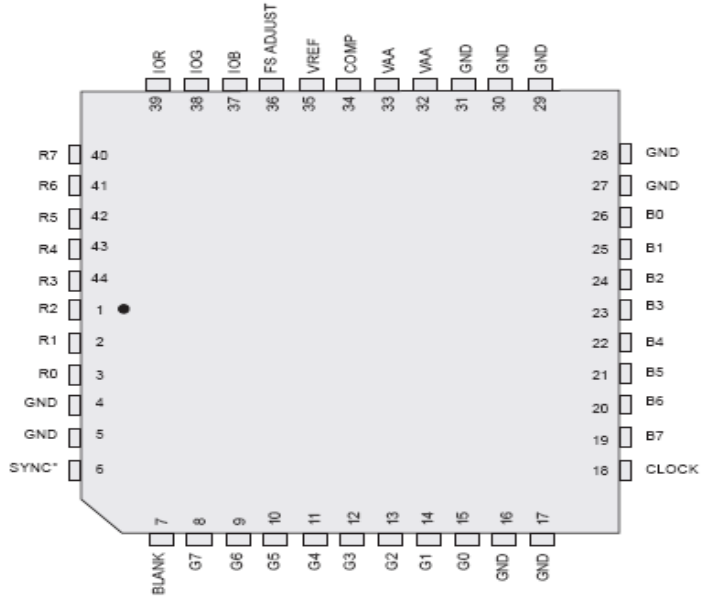


Şekil 2-6: Devrede Kullanılan RAM'in pin yapısı

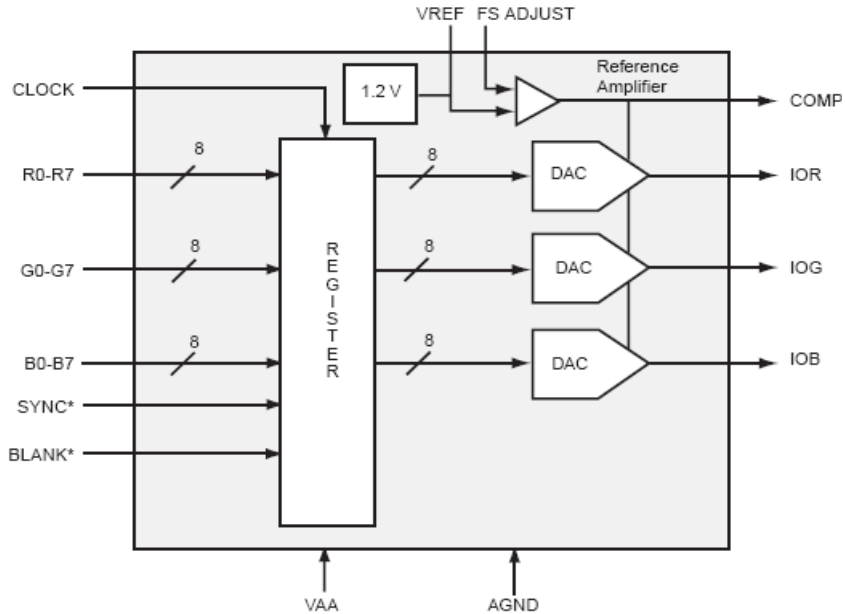
2.2.4. Video DAC

Deneme kartında Rockwell firmasına ait BT121 modeli bir RGB renk bilgilerini analog sinyale çeviren bir tümleşik devre kullanılmıştır (Şekil 2-7). İçerisinde 3 adet 8 bitlik sayısal / analog çevirici bulunan tümleşik devre 80 MHz hıza kadar çalışabilmektedir. Şekil 2-8'deki blok diyagramda görüldüğü gibi tümleşik devre, oldukça az olan kontrol uçları ile çalıştırılabilmektedir. Devredeki 3 adet 8 bitlik analog girişlerin her biri bir analog renk çıkışı için tasarlanmıştır. Yani 8'er adet R (RED), G (GREEN), B (BLUE) sayısal sinyal girişi ve bunlara karşılık gelen birer adet R (RED), G (GREEN), B (BLUE) analog sinyal çıkışı mevcuttur. 80 MHz ve altındaki herhangi bir saat sinyali ile bu sayısal giriş uçlarındaki

bilgiler örneklenir ve analog gerilim çıkışı olarak karşılık gelen uçlara aktarılır. Örnekleme için tek şart BLANK ucunun sayısal 1 yapılmasıdır. Şayet sayısal 0 yapılacak olursa girişteki bilgiler örneklenmeyecektir.



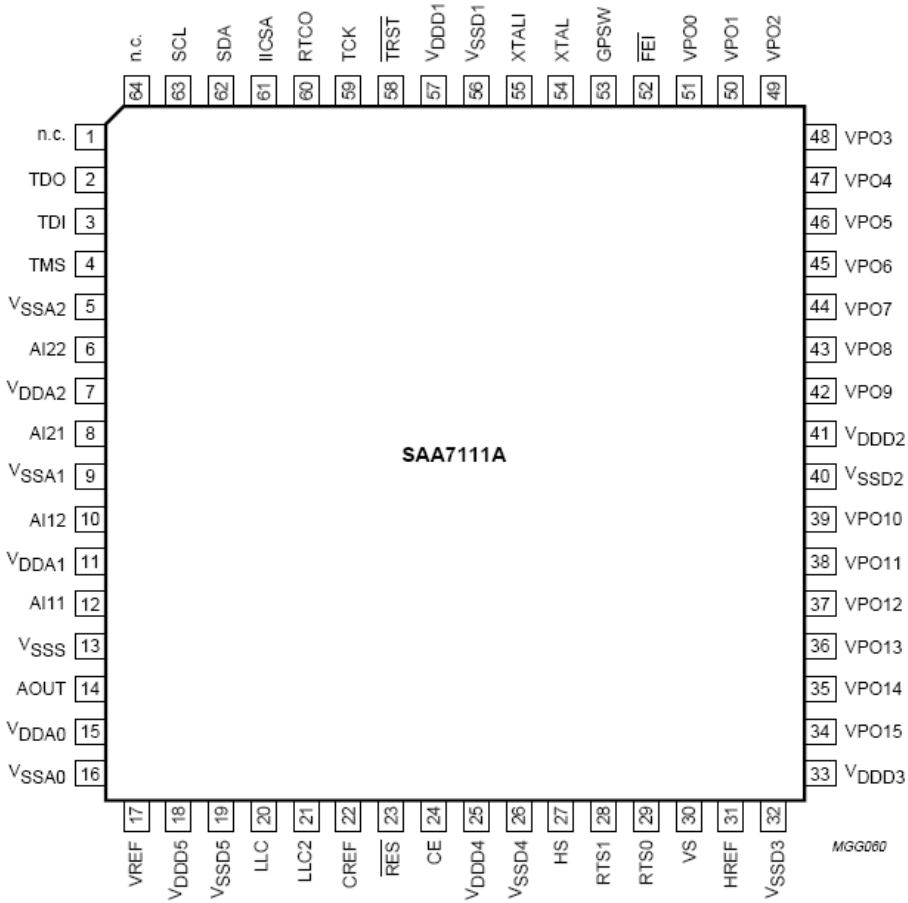
Şekil 2-7: BT121 Video DAC



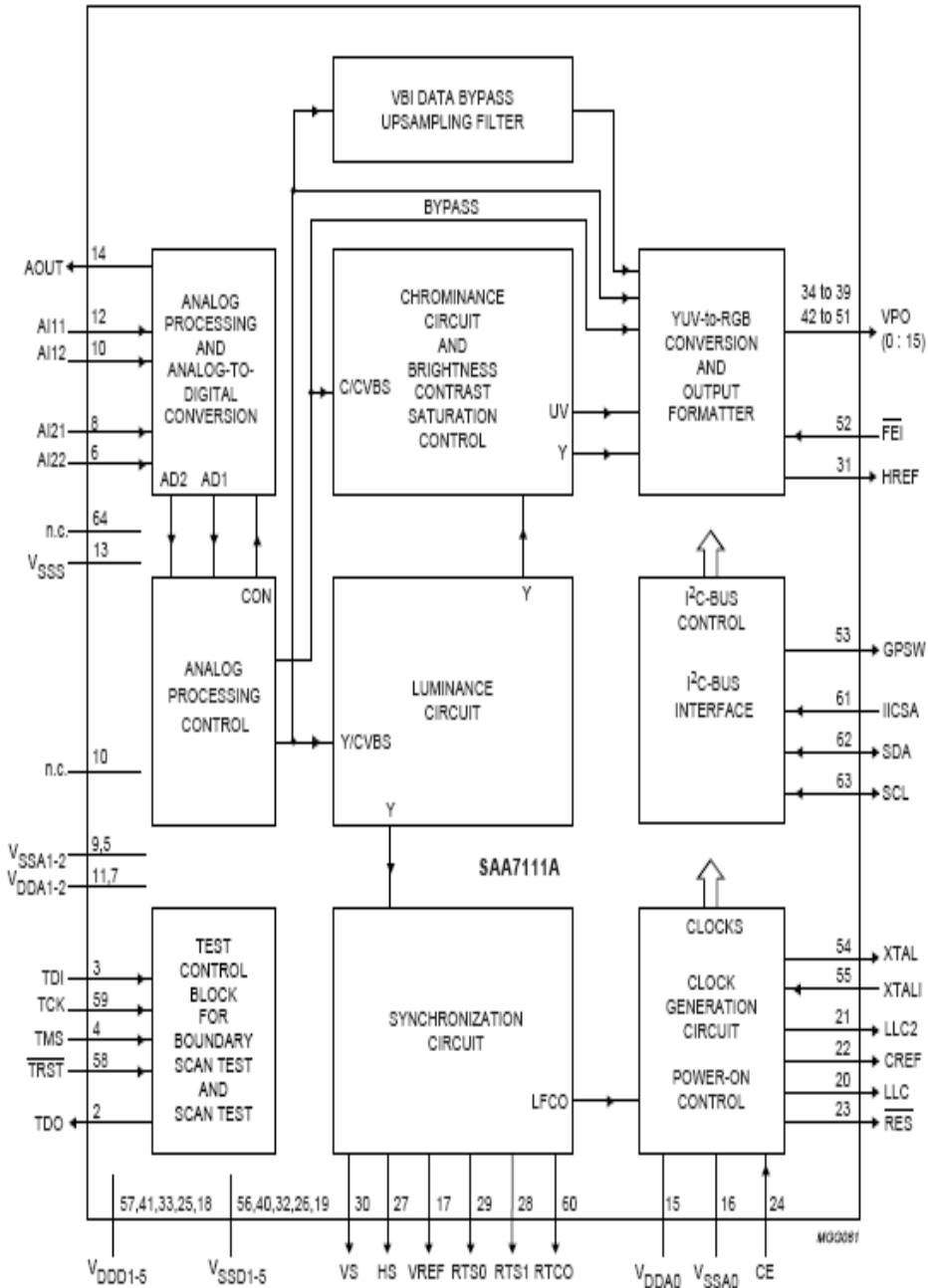
Şekil 2-8: BT121 Video DAC blok diyagramı

2.2.5. SAA 7111A Video Sinyali Kod Çözücüsü

Deneme kartının en çok kontrol ucuna sahip tümleşik devresidir (Şekil 2-9). Bu tümleşik devre yardımıyla girişteki birleşik video sinyali istenilen formatta sayısal bilgiye çevirilerek 16 bitlik data uçları vasıtasıyla çıkışa aktarılır. Ayrıca Şekil 2-10'daki blok diyagramda görüldüğü gibi vertikal (dikey, VS) ve horizontal (yatay, HS) senkron darbe sinyalleri de birleşik video sinyalinden ayrıştırılarak HS, VS uçlarına gönderilir.



Şekil 2-9: SAA7111A Birleşik Video Sinyali Kod Çözücüsü



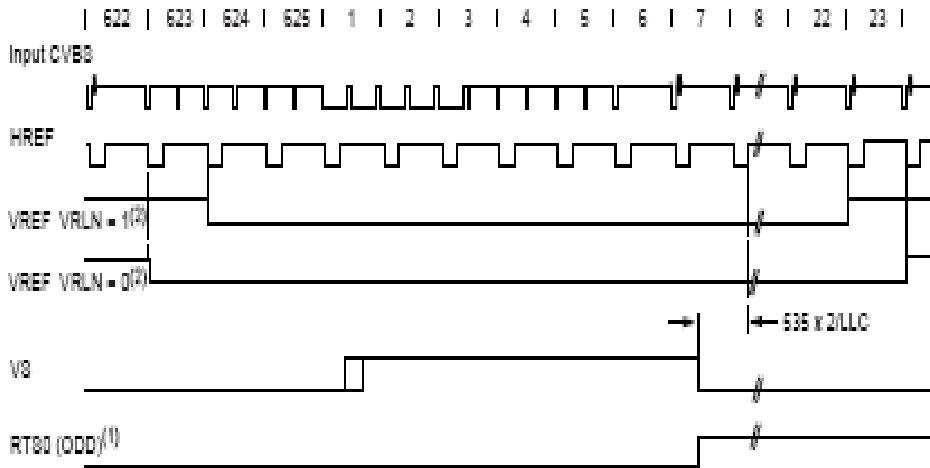
Şekil 2-10: SAA7111A Birleşik Video Sinyali Kod Çözücüsü Blok Diyagramı

Bu tümleşik devre girişteki birleşik video sinyallerinden pek çok renk standartının (PAL BGHI, PAL M, PAL N, NTSC M, NTSC-Japan NTSC N and SECAM) kodunu çözebilmektedir. Ayrıca Çizelge 2-2’de ayrıntılı olarak görüldüğü gibi 5 temel tip çıkış formatına sahiptir. Bu çıkış formatları, parlaklık, giriş modları gibi daha bir çok ayar entegre üzerinde bulunan SDA ve SCL (Şekil 2-10) uçlarından standart I2C haberleşme yapısı kullanılarak 32 adet iç kayıtlardan istenilenlerin değerlerini değiştirmek suretiyle ayarlanabilir.

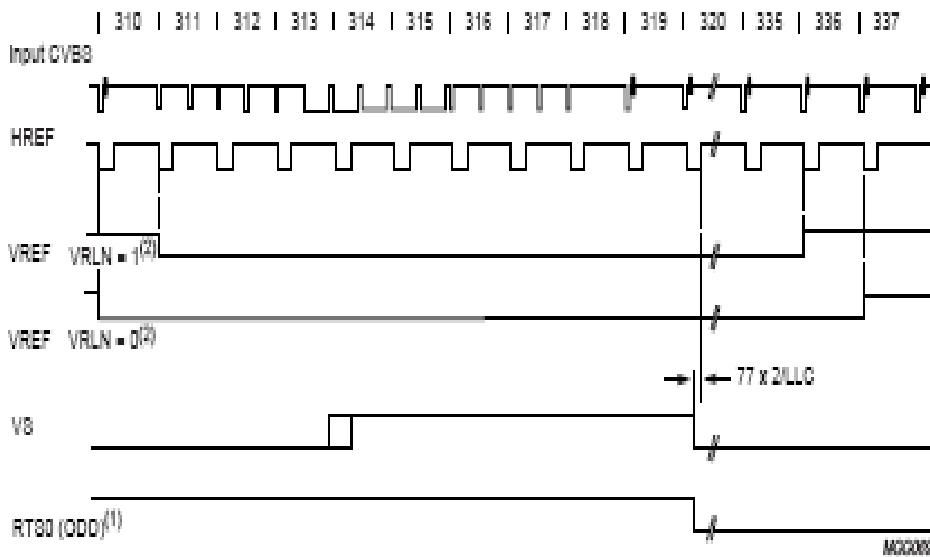
BUS SIGNAL	411 (12-BIT)				422 (16-BIT) ⁽²⁾		CCIR-656 (8-BIT) ⁽³⁾				RGB (16-BIT) ⁽⁴⁾		RGB (24-BIT) ⁽⁴⁾	
VPO15	Y ₀₇	Y ₁₇	Y ₂₇	Y ₃₇	Y ₀₇	Y ₁₇	U ₀₇	Y ₀₇	V ₀₇	Y ₁₇	R4	R7	R7	
VPO14	Y ₀₆	Y ₁₆	Y ₂₆	Y ₃₆	Y ₀₆	Y ₁₆	U ₀₆	Y ₀₆	V ₀₆	Y ₁₆	R3	R6	R6	
VPO13	Y ₀₅	Y ₁₅	Y ₂₅	Y ₃₅	Y ₀₅	Y ₁₅	U ₀₅	Y ₀₅	V ₀₅	Y ₁₅	R2	R5	R5	
VPO12	Y ₀₄	Y ₁₄	Y ₂₄	Y ₃₄	Y ₀₄	Y ₁₄	U ₀₄	Y ₀₄	V ₀₄	Y ₁₄	R1	R4	R4	
VPO11	Y ₀₃	Y ₁₃	Y ₂₃	Y ₃₃	Y ₀₃	Y ₁₃	U ₀₃	Y ₀₃	V ₀₃	Y ₁₃	R0	R3	R3	
VPO10	Y ₀₂	Y ₁₂	Y ₂₂	Y ₃₂	Y ₀₂	Y ₁₂	U ₀₂	Y ₀₂	V ₀₂	Y ₁₂	G5	G7	G7	
VPO9	Y ₀₁	Y ₁₁	Y ₂₁	Y ₃₁	Y ₀₁	Y ₁₁	U ₀₁	Y ₀₁	V ₀₁	Y ₁₁	G4	G6	G6	
VPO8	Y ₀₀	Y ₁₀	Y ₂₀	Y ₃₀	Y ₀₀	Y ₁₀	U ₀₀	Y ₀₀	V ₀₀	Y ₁₀	G3	G5	G5	
VPO7	U ₀₇	U ₀₅	U ₀₃	U ₀₁	U ₀₇	V ₀₇	X	X	X	X	G2	G4	R2	
VPO6	U ₀₆	U ₀₄	U ₀₂	U ₀₀	U ₀₆	V ₀₆	X	X	X	X	G1	G3	R1	
VPO5	V ₀₇	V ₀₅	V ₀₃	V ₀₁	U ₀₅	V ₀₅	X	X	X	X	G0	G2	R0	
VPO4	V ₀₆	V ₀₄	V ₀₂	V ₀₀	U ₀₄	V ₀₄	X	X	X	X	B4	B7	G1	
VPO3	X	X	X	X	U ₀₃	V ₀₃	X	X	X	X	B3	B6	G0	
VPO2	X	X	X	X	U ₀₂	V ₀₂	X	X	X	X	B2	B5	B2	
VPO1	X	X	X	X	U ₀₁	V ₀₁	X	X	X	X	B1	B4	B1	
VPO0	X	X	X	X	U ₀₀	V ₀₀	X	X	X	X	B0	B3	B0	
Pixel order Y	0	1	2	3	0	1	0	1			-	note 5	note 6	
Pixel order UV	0				0		0				-	-		
Data rates	LLC2				LLC2		LLC				LLC2		-	
I ² C-bus control signals	OFTS0 = 0				OFTS0 = 1		OFTS0 = 1				OFTS0 = 0		OFTS0 = 0	
	OFTS1 = 1				OFTS1 = 0		OFTS1 = 1				OFTS1 = 0		OFTS1 = 0	
	RGB888 = X				RGB888 = X		RGB888 = X				RGB888 = 0		RGB888 = 1	

Çizelge 2-2: SAA7111A Data Çıkış Formatları

Yatay ve dikey senkronizasyonları sağlamak için HS, VS uçlarından yararlanılabilir. Şekil 2-11 de görüldüğü gibi satır başlama ve bitiş sinyallerini HREF ucundan, sayfa başlama ve bitiş bilgilerini de VREF ucundan alabiliriz.



(a) 1st field

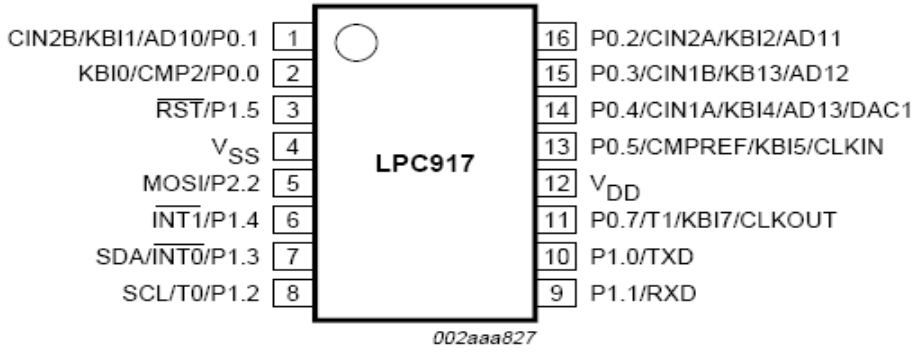


(b) 2nd field

Şekil 2-11: 50 Hz için SAA7111A dikey zamanlama sinyal çıktıları

2.2.6. P89LPC917 mikrodnetleyicisi

Philips firmasının üretmiş olduğu 8051 tabanlı devredeki bu mikrodnetleyici (Şekil 2-12) yalnızca I2C haberleşme yöntemiyle SAA7111A tümleşik devresinin iç kayıtlarını ayarlamak için kullanılmıştır. Tümleşik devre içerisinde kolayca ayarlanabilir bir I2C modülü bulunmaktadır. Kısa bir program vasıtasıyla bu modülden SAA7111A birleşik video sinyali kod çözücüsünün iç kayıtları başlangıçta ayarlanabilmektedir.



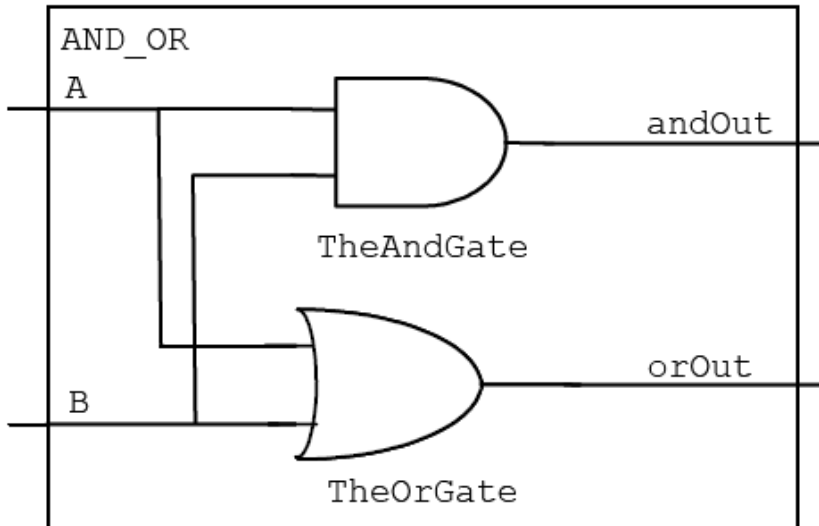
Şekil 2-12: P89LPC917 Mikrodnetleyicisi

3. VERİLOG İLE PROGRAMLAMA

3.1. Verilog

Verilog bir donanım tanımlama dilidir (Hardware Description Language (HDL)). Verilog'un ana bloğu modüllerdir. Bu modüller C/C++/Java yazılım dillerindeki fonksiyon veya prosedürlere benzer. Girişlerden hesaplama yapar ve bir çıkış oluştururlar. Verilog modülleri mantıksal kapılardan oluşan devrelerin toplamıdır. Bu modüller sayıcılar, çoğullayıcılar, seçiciler gibi mantıksal birimleri de içerebilirler (Harris, I.G and Tessier, R., 2002).

Şekil 3.1 de A ve B girişlerinin mantıksal VE/VEYA kapılarıyla işlenmesine ait örnek bir devre şeması verilmiştir.



Şekil 3-1: A ve B girişlerinin mantıksal VE/VEYA kapılarıyla işlenmesi

Bu şemadaki devrenin Verilog dilinde yazılışı şu şekildedir;

// A ve B girişlerinin mantıksal AND ve OR kapılarında hesaplanması.

```
module AND_OR(andOut, orOut, A, B);
```

```
output andOut, orOut;
```

```
input A, B;
```

```
and TheAndGate (andOut, A, B);
```

```
or TheOrGate (orOut, A, B);
```

```
endmodule
```

Buradaki Verilog program kodunda, 1.satır bir yorumdur ve “//” işareti ile başlar. Yorum bölümleri derleyici tarafından dikkate alınmaz, yalnızca bilgilendirme amaçlıdır.

2. satırda ise modülün ismi verilir. (AND_OR isminde bir modül). Modül isminden sonra parantez içerisinde belirtilen A, B, andOut, orOut isimleri modülde kullanılan giriş ve çıkışlardır. Bunların hangilerinin giriş veya çıkış olduğu 3. ve 4. satırlarda, giriş için “input” komutu, çıkış için “output” komutu kullanılarak belirtilmiştir.

5. ve 6. satırlardaki “and” ve “or” komutları iki mantıksal kapı oluşturur. “TheAndGate” tanımlaması, girişleri A ve B, çıkışı andOut olan bir AND kapısını ifade eder. “TheOrGate” ise girişleri A ve B, çıkışı orOut olan bir OR kapısını ifade eder.

7. satırdaki gibi tüm modüller “endmodule” tanımlaması ile bitmek zorundadır.

Verilog’da temel kapılar çeşitli tiplerden oluşabilir. Bunlar aşağıdaki gibi bir tampon kapısı olabilir;

buf <name> (OUT1, IN1); Bu komut ile “OUT1” çıkışı, “IN1” girişine verilen değere eşit olur .

Eğer bir girişi tersleyerek çıkışa aktaran bir kapiya ihtiyaç varsa aşağıdaki komut yapısı kullanılır;

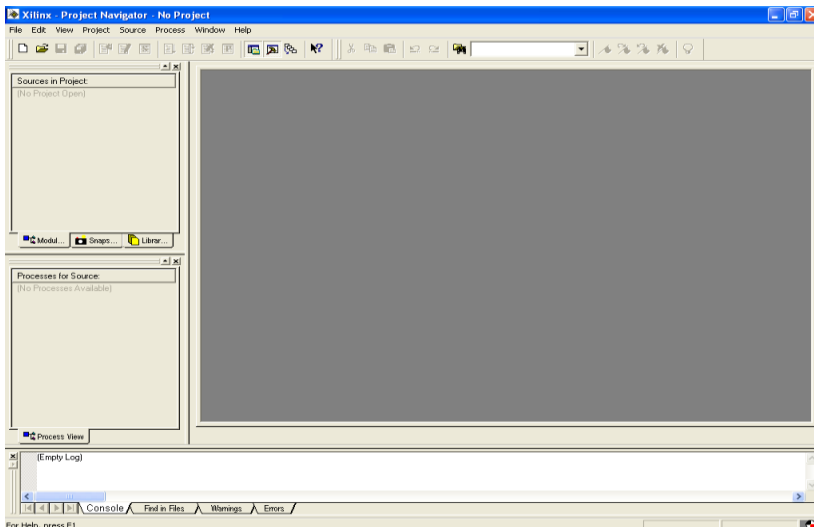
not <name> (OUT1, IN1); Bu komut ile IN1 girişi terslenerek çıkışa aktarılır.

“<name>” bölümlerinde istenilen bir isim verilebilir. Ancak Verilog’da kullanılan module, output, input gibi anahtar kelimelerden kaçınılmalıdır. Verilog yapısı “C” programlama diline yakın olduğu için “C” dilindeki pek çok kural burada da geçerlidir (Brian Durwood).

3.2. Verilog Programının “Project Navigator” de Kullanımı

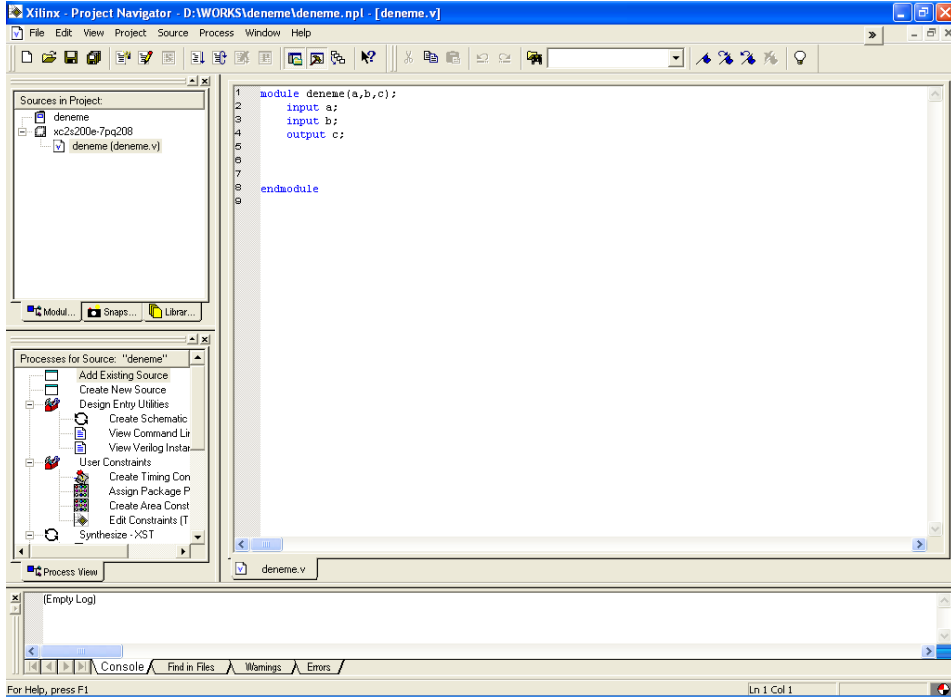
FPGA üreticisi Xilinx firmasının ücretsiz olarak sunduğu “Project Navigator” programı yardımı ile FPGA için program kodu yazılabilir ve bu kodların FPGA’ya yüklenmesi sağlanabilir.

Program çalıştırıldığında Şekil 3-2’deki pencere ekrana gelir.



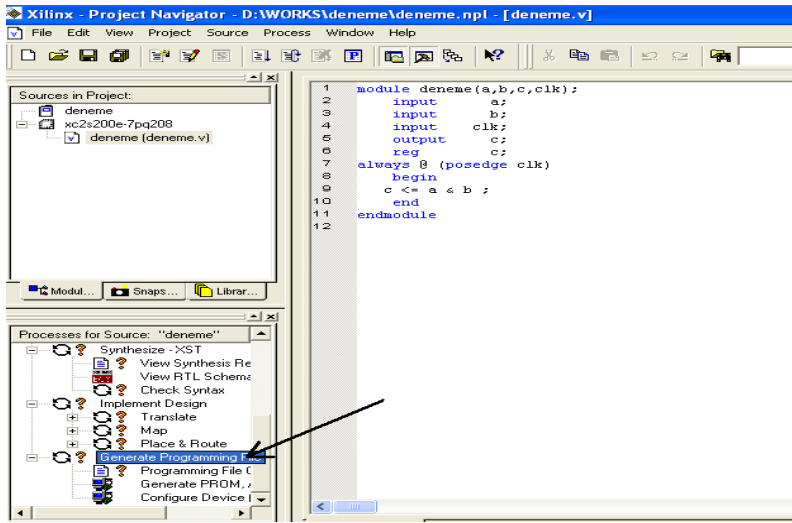
Şekil 3-2: Project Navigator programının menü görünümü.

“File” Menüsnden “New Project” seçimi ile gelen ekranlarda program ayarları ve tanımlamalar yapıldıktan sonra aşğıdaki Şekil 3-3’de görüldüğü gibi, program kod yazmaya uygun hale gelir. Sağ taraftaki pencere kod yazma bölümüdür. Bu pencerede kodlar Verilog, VHDL (Very High Speed Integrated Circuit Hardware Description Language) dilleriyle yazılabilir veya devre şeması çizilerek de program kodu oluşturulabilir. Bu 3 farklı program yazma metodundan hangisinin kullanılacağı program ayarlarında belirtilmelidir.



Şekil 3-3: Verilog kodlarının yazıldığı pencere.

Kod yazma işlemi tamamlandıktan sonra Şekil 3-4’de görüldüğü gibi sol-alt penceredeki “Generate Programming File” seçeneği çift tıklanarak FPGA üzerine kaydedilecek “.bit” uzantılı temel programlama dosyası oluşturulur.



Şekil 3-4: Verilog’ta programlama temel dosyasının oluşturulması.

Oluşturulan bu dosya “Project Navigator” programı üzerindeki “IMPACT” seçeneği ile programlayıcı bağlantısı üzerinden FPGA’ya aktarılarak programlama işlemi gerçekleştirilmiş olur.

4. VIDEO STANDARTLARI

4.1. Video Sinyalleri

Kuzey Avrupa ülkelerinde, Almanya'da, İtalya'da 1966'da PAL (Phase Alternation Line) yani satır frekansının fazını deęiřtirme metodu uygulanmaktadır. Ülkemizde de bu sistem kullanılmaktadır. Bu metodun temeli, NTSC (National Television System Committee) metoduna dayanır. NTSC sisteminde faz kaymaları sonucu meydana gelen renk tonu hatalarını gidermek üzere geliştirilmiřtir. NTSC sisteminde kullanılan renk fark işaretleri I ve Q yerine U ve V işaretleri kullanılır. Burada her iki renk işareti, aynı bant genişlięi ile iletilir ve bu metot dięerlerine göre daha ucuzdur.

Vericide bir renk işaretinin modülasyon yönü satırdan satıra negatif ve pozitif modülasyon řeklinde deęiřtirilir. Alıcıda bir satırın renk bilgisi, bir geciktirme iletkeni yardımıyla kaydedilir. Renk bilgisi ile bunu izleyen satır karşılaştırılır. PAL anahtarı, bu sırada negatif modülasyonu pozitif modülasyona deęiřtirir. Arka arkaya gelen satırların renk bilgisindeki farklar, gözde ortalama deęer oluşturarak dengelenir. Bunun için renk tonlarının deęişiklikleri renk referans sinyali (burst) fazının deęiřtirilmesiyle gözün iletme yolları üzerinde ortaya çıkarılamaz.

Bu sinyalin yanında renkli TV'ler için dięer renk bilgileri gönderilir. Renk bilgisi RGB ve Y sinyallerinin toplanmasından elde edilir ($U=B-Y$, $V=R-Y$). Yayına Y, R, G, B ya da Y, R-Y, B-Y, G-Y gibi dört ayrı sinyal gönderilmesine gerek yoktur. ($Y=0,59G+0,30R+0,11B$) orantısına bakılırsa. Y sinyalinin çoęunluęu, yani %59'u yeřil sinyalden

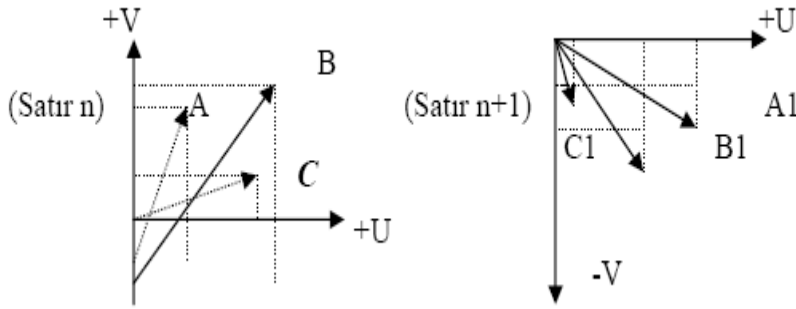
oluştugu gör÷lür. Bu yüzden R-Y ve B-Y bir taşıyıcı sinyal üzerine bindirilerek gönderilir. $Y=1V$ beyaz video sinyali demektir.

Siyah-beyaz sahne demek, R, G, B renklerinin oranlarının 0,59; 0,30; 0,11 değerlerine ve katlarına uygunluğu demektir. Örneğin orta seviyedeki bir gri ton=0,5 V ise, $R=0,15$ $B=0,65$ $G=0,295$ demektir. Yayına R-Y, B-Y ve Y sinyallerinin gönderilmesinde, Y sinyalinin bant genişliği 5,5MHz tutulmasına karşılık, insan gözü renk detaylarını göremediğinden R-Y ve B-Y bant genişliği 1,2MHz'de sınırlanmaktadır.

PAL sisteminin NTSC'ye göre avantajı, yayın sırasında hava şartlarının neden olabileceği muhtemel faz kaymalarından oluşabilecek renk bozukluklarının engellenebilmesidir. PAL sisteminde (R-Y) bilgisinin modüle edildiği taşıyıcının frekansı, her satırda (+45 -45) olarak faz değişimine uğrattılır. Bu faz değişimlerinin +45 ya da -45 olduğunu anlamak için o satır başında renk referans sinyali (burst) gönderilir (Şekil 4-2). V sinyali taşıyıcısı, her satırda 180° faz değişimine uğrattılır. Yayın esnasında hava şartlarından meydana gelebilecek faz kaymaları, bu yöntem sayesinde düzeltilir. 0° ve 180° faz değişimlerinin ana sebebi, iletim anında U ve V sinyallerinin bileşkesi olan renkler faz kaymasına uğrarsa, tüm renklerde kayma olur.

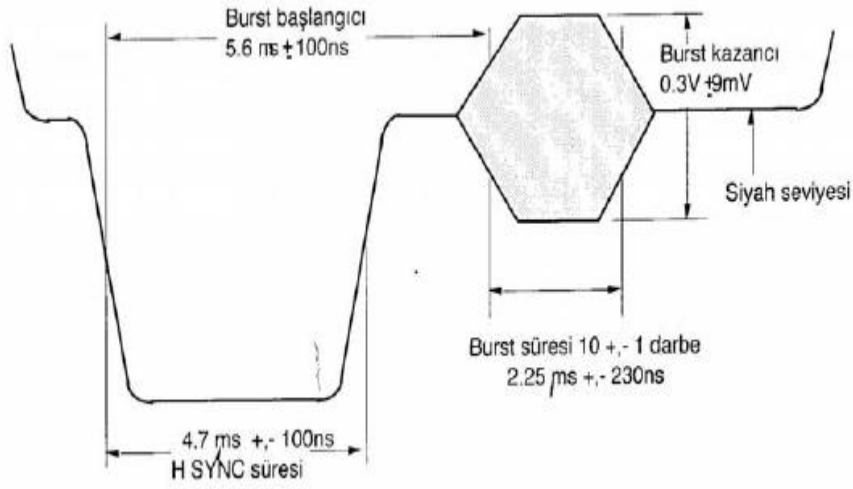
PAL sisteminde, Y parlaklık bilgisinden sonra (R-Y), V, (B-Y), U renk bilgilerinin tek bir taşıyıcıya yüklenebilmesi probleminin çözümü şöyledir: Y parlaklık sinyali için 15625Hz'lik sinyal ve bunun harmonikleri ile karışmayacak frekansta bir taşıyıcı frekansı tespit edilmiştir. Bu frekans, 625/50 sistemli PAL'de 4,43361875 MHz'dir. Tek bir sinyalin iki ayrı sinyal ile modüle edilmesi gerçekleşemeyeceği için taşıyıcı sinyalin frekansı aynı kalmak şartı ile fazı 90° kaydırılarak

birbirinden 90° faz farklı iki ayrı sinyal elde edilir. U ve V sinyalleri bu taşıyıcının üzerine AM (genlik modülasyonu) yöntemi kullanılarak bindirilirler. U renk bilgisi, F taşıyıcı sinyalinin 0° fazında olanını modüle eder. V, (R-Y) sinyali ise PAL sisteminde 1. satırda $+90^\circ$ faz ile gönderilirken, 2. satırda -90° faz ile taşıyıcı sinyalini AM olarak modüle eder. Bu iki modülatörün çıkışlarında modüle edilmiş olan 4,43 MHz'lik sinyaller, bir toplama devresinde bir araya getirilirler. Böylece toplam bir gerilim değişimi, yani genliği U ve V bilgileri ile modüle edilmiş, ancak halka modülatörünün (ring mod.) özelliğinden dolayı esas taşıyıcı frekansı bastırılmış olan bir sinyal elde edilir.



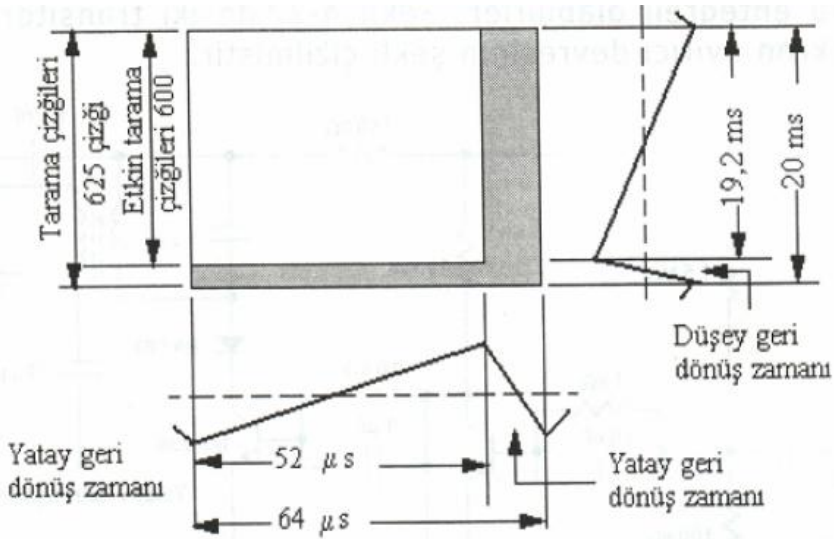
Şekil 4-1: Renk taşıyıcıların satırlardaki faz değişimi

U ve V'nin birbirinden 90° farklı olması dolayısıyla fazör diyagramlarından (Şekil 4-1) görüldüğü gibi U ve V ile modüle edilmiş gerilimler $F = U+V$ bileşke gerilimini (renği) oluştururlar. U ve V'nin değişik değerler alması sonucunda diğer tüm renkler ortaya çıkmaktadır. A, B, C, A1, B1, C1 gibi taşıyıcı sinyallerinin faz değişimlerinin dolayısıyla $(U-V)$, $(+U+V)$, $(-U+V)$, $(-U-V)$ 4,43 MHz'lik bir hızla fazör diyagramının dört bölgesini de taramaktadır.



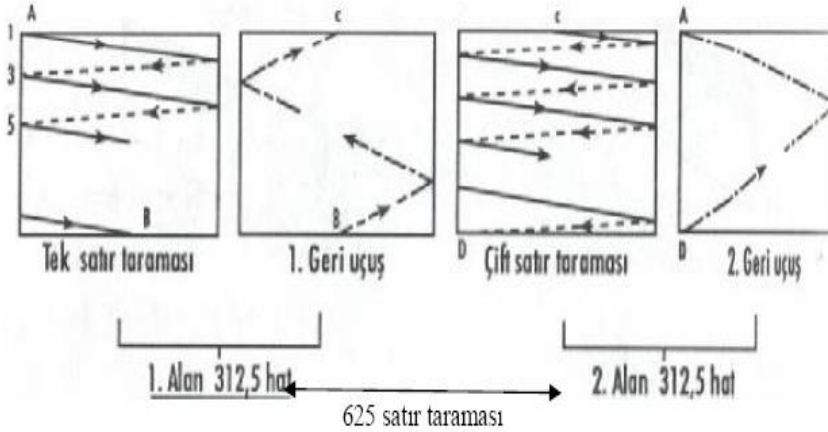
Şekil 4.2: Renk referans sinyali (Burst)

Türkiye CCIR (Uluslararası Radyo İletişimi Danışma Kurulu) normlarına göre bir resim çerçevesinde Şekil 4-3 de görüldüğü gibi; satır tarama çizgisi 625 adet, dikey saptırma frekansı olarak 50 Hz ve yatay saptırma frekansı olarak da 15625 Hz'lik frekanslar kullanılmaktadır.



Şekil 4-3: Yatay ve dikey tarama zamanları sinyal şekli

50 Hz. klasik televizyonlarda saniyede 25 tam resim ekranda oluşturulmaktadır. Ekran yatayda önce 625 satıra bölünmüştür. Ekran tek ve çift sayılı satırlar şeklinde ayrı ayrı taramak sureti ile resim oluşur. Bu tip taramaya geçmeli tarama denir. Düşey osilatör frekansı 50 Hz. olduğuna göre saniyede 50 resim taramasının yapıldığı anlaşılır. Bunların 25 tanesi tek sayılı satır taraması diğer 25 tanesi de çift satır taramasıdır (Şekil 5-4). Böylece 25×625 satır = 15625 yapar. Bu da yatay tarama frekansının neden 15625 Hz olduğunu açıklar.



Şekil 4-4: Geçmeli tarama

Çizelge 4-1’de PAL ve NTSC video formatları için kullanılan frekanslar verilmiştir.

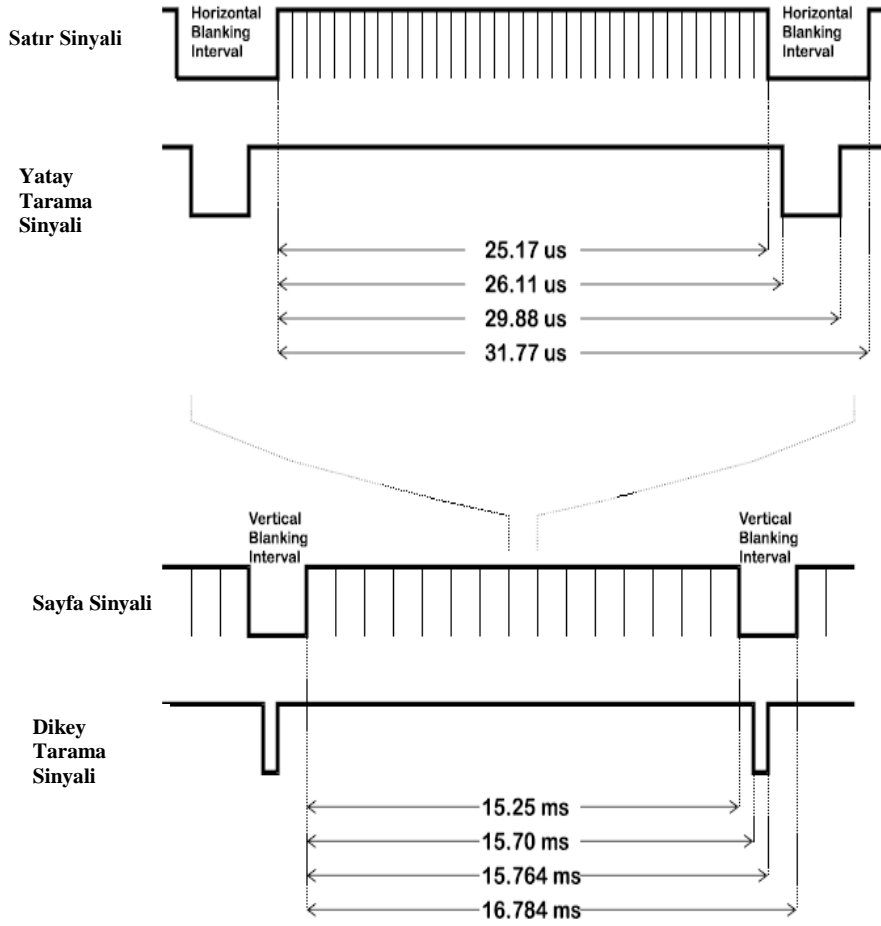
	PAL	NTSC
Dikey Senkronizasyon	50 Hz	59.94 Hz
Film Karesi Sıklığı	25 Hz	29.97 Hz
Görüntü Hücresi Taşıyıcı Frekansı	4.43 MHz	3.58 MHz
Yatay Senkronizasyon	15.615 kHz	15.734 kHz
Band Genişliği	5-5.5 MHz	5-5.5 MHz

Çizelge 4-1: PAL / NTSC Frekans Karşılaştırma Tablosu

PAL sisteminde 625 satır olduğundan bahsedilmiştir. Bu satırların 49 adedi senkron işaretleri için kullanılır ve geriye sadece görüntü oluşturma alanı için 576 satır kalır. Bu değer dikey çözünürlük oranıdır. Televizyonlarda yatay-dikey uzunluk oranı standardı 4x3 olarak kabul edildiği için ; $576 \times 4 = 2304$, $2304/3 = 768$ yapar. Bu da bize yatay çözünürlüğü verir. Kısacası PAL sistem çözünürlüğü 768x576 piksel (görüntü hücresi) olarak kabul edilir (C. C. Weems, E. M. Riseman, and A. R. Hanson, 1992).

4.2. VGA (Video Graphic Array) Video Standartı

Tipik bir VGA ekran görüntüsü 480 satır ve 640 görüntü hücresinden oluşur. Elektron tabancası en üst sol noktadan başlamak üzere ekranın en alt sağına kadar tarayarak bir defada görüntünün tamamen ekran üzerine yerleşmesini sağlar. Yatay Senkron sinyali adı verilen negatif bir darbe ile her satırın sonu ve başı belirlenir. Sayfa sonlarında ise Dikey Senkron sinyali adı verilen yine negatif bir darbe yardımıyla sayfa başına dönülür (Şekil 4-5) (Kt Gribbon,2005).



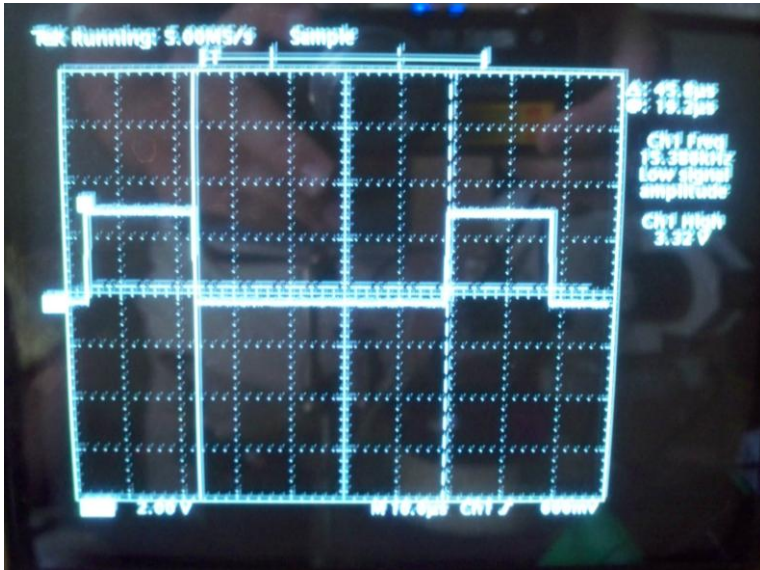
Şekil 4-5: VGA Sinyal Zamanlaması

5. UYGULAMA

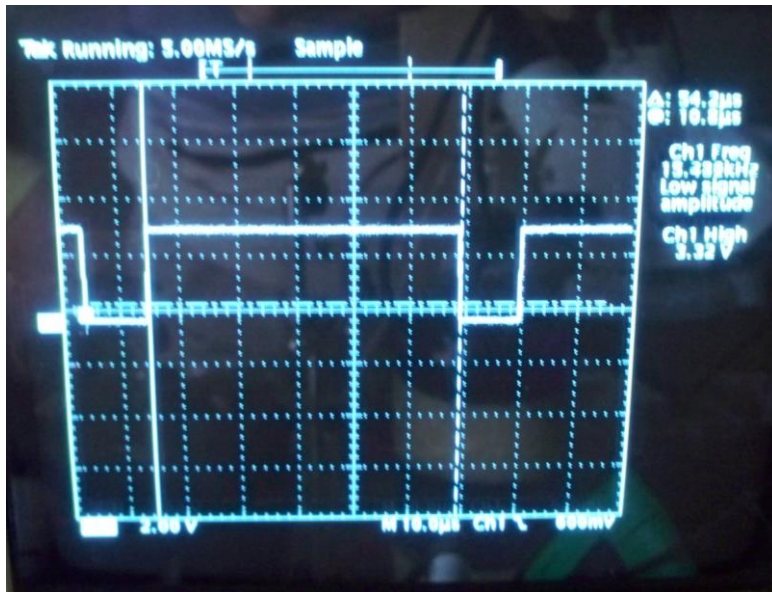
Yukarıda bahsedildiği gibi VGA monitörler yalnızca RGB sinyallerine ve bunun yanında gelen (HSYNC, VSYNC) yatay ve dikey senkron sinyallerine ihtiyaç duyar. Orijinal VGA sinyali 31Khz (HSYNC) Yatay senkron sinyali ve 60-70 Hz (VSYNC) dikey senkron sinyalinden oluşur. En çok bilinen VGA ekran çözünürlük formatı 640 görüntü hücresi ve 480 satırdan oluşmaktadır. Resmin tamamı 1 tarama sonunda ekrana basılır. Kameralardan gelen birleşik video sinyali ise PAL video formatındadır. PAL sistemi 625 satırdan oluşmaktadır ve bu satırların 49 adedi senkron işaretleri için kullanılır. Geriye sadece görüntü oluşturma alanı için 576 satır kalır. Bu değer bizim dikey çözünürlük oranımızdır. Televizyonlarda yatay-dikey uzunluk standardı 4x3 olarak kabul edildiği için; $576 \times 4 = 2304$, $2304/3 = 768$ yapar. Bu da bize yatay çözünürlüğü verir. Kısacası PAL sistem çözünürlüğü görüldüğü gibi VGA'dan farklı olarak 768x576 görüntü hücresi olarak kabul edilir. Bu iki sistem arasındaki en büyük uyumsuzluk 1 sayfanın oluşturulma süreleridir. PAL sisteminde 1 sayfanın tamamı; önce tek satırlar, sonra çift satırlar taranarak 2x25 Hz dikey senkron sinyali ile 2 adet tarama sonunda elde edilir. Yukarıda bahsedildiği gibi VGA sisteminde ise bu işlem 1 tarama sonunda 1x60Hz veya 1x70Hz dikey senkron sinyali ile yapılmaktadır. Bu durum bu iki sistemin birbirine direkt olarak bağlanmasını imkansız hale getirmiştir. Bu çalışma ile bu uyumsuzluk ortadan kaldırılmıştır.

Birleşik video sinyali doğrudan RC-100 deneme kartı üzerinde bulunan SAA7111A video giriş kod çözücüsü (dekoder) tümleşik devresine girer. Bu entegre ile birleşik video sinyali ayrıştırılarak dikey

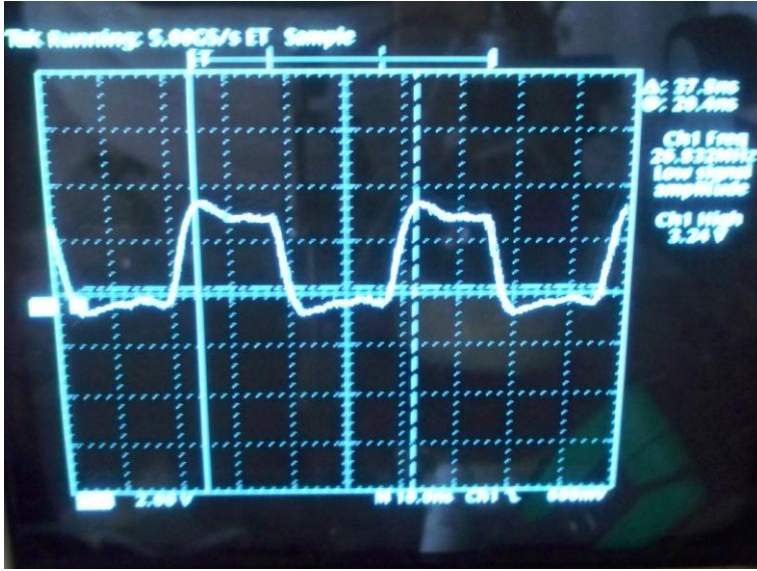
ve yatay senkron sinyalleri, istenilen formattaki sayısal video bilgisi elde edilir (Şekil 5-1, Şekil 5-2, Şekil 5-3).



Şekil 5-1: SAA711A 'dan alınan (H_Sync) Yatay senkron sinyali

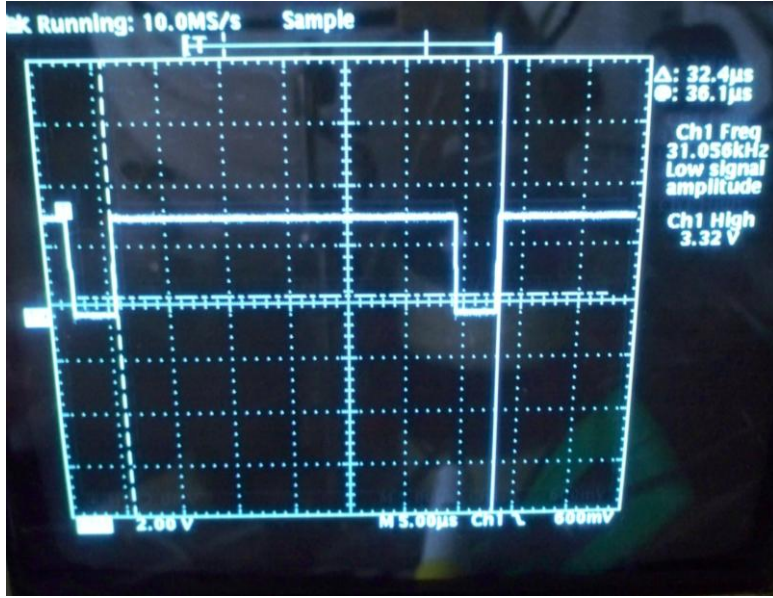


Şekil 5-2: SAA711A 'dan alınan (V_Sync) Dikey senkron sinyali

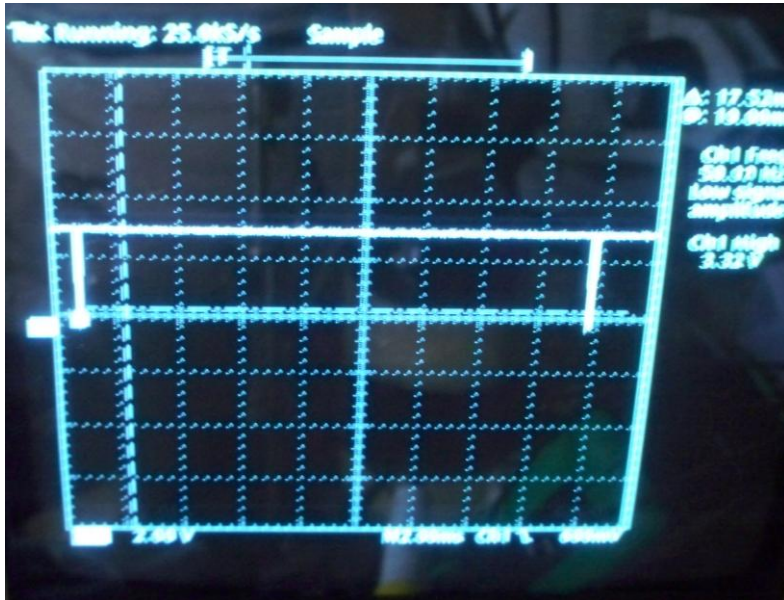


Şekil 5-3: SAA711A 'dan alınan (LLC/2) görüntü hücresi saat sinyali

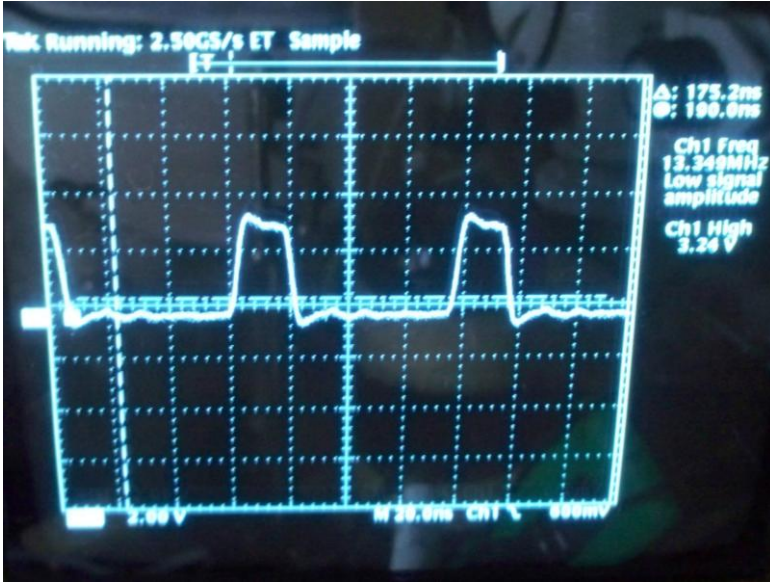
Ancak gelen bu ayrıştırılan sayısal video bilgisi PAL formatındadır. Yani daha önceki bölümlerde anlatıldığı gibi PAL formatında gelen video sinyali 2 tarama sonunda tamamlanmakta ve 768x576 çözünürlüktedir. PAL formatı VGA formatı ile uyumsuzdur. Bu nedenle sayısal video bilgisi öncelikle RC-100 deneme kartında bulunan Statik RAM'e yazılır. Görüntü bilgilerinin uyumsuzluğu nedeniyle arada RAM kullanılmadan çıkışa aktarılması mümkün değildir. Burada FPGA aracılığıyla RAM'e yazılan bu sayısal PAL video bilgisi eş zamanlı olarak, VGA sisteminin tarama frekansında çıkışa (RC-100 deneme kartı üzerinde bulunan BT121 video DAC) gönderilir. (Şekil 5-4, Şekil 5-5, Şekil 5-6)



Şekil 5-4: FPGA'de VGA için üretilen (HS) yatay senkron sinyali



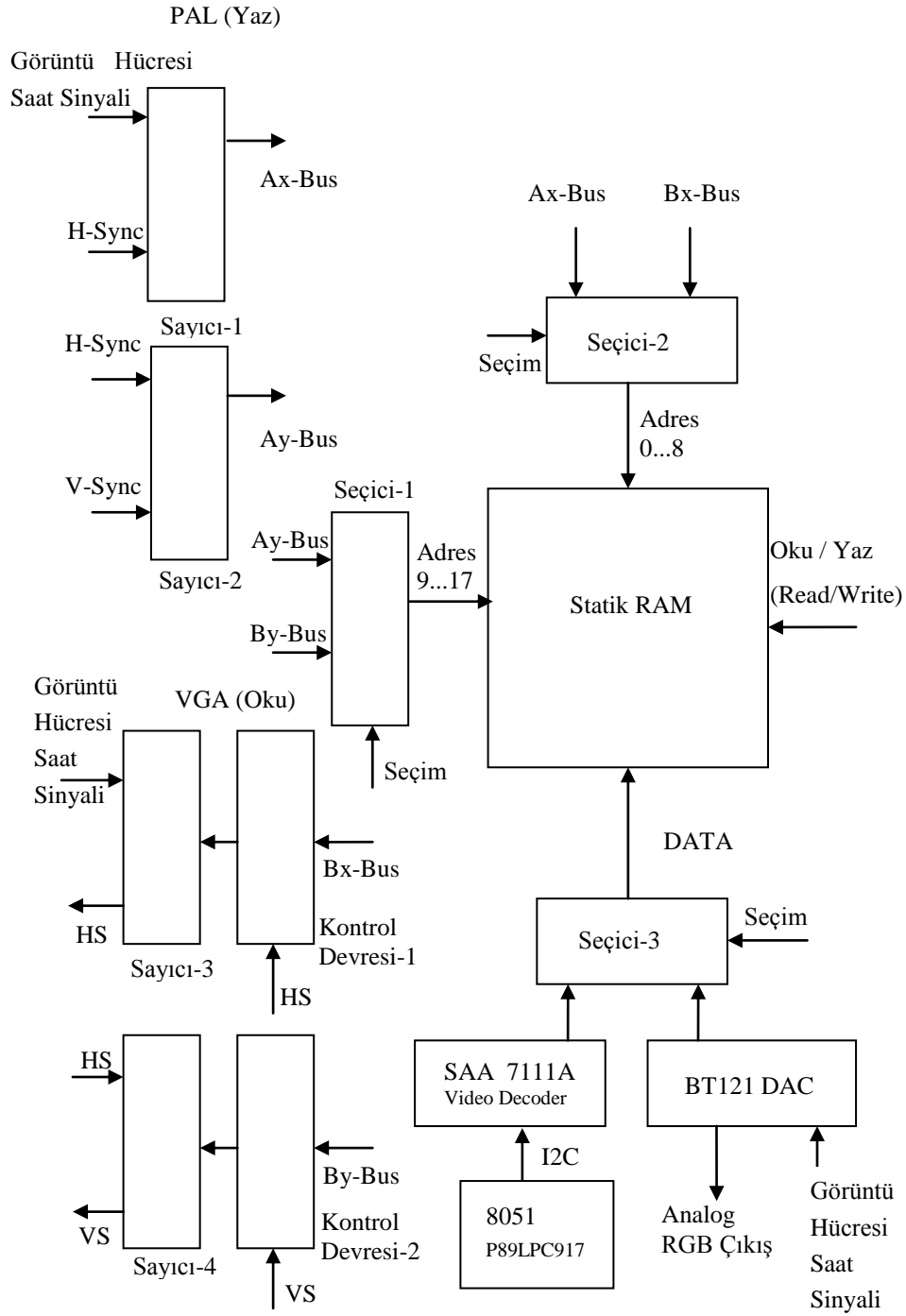
Şekil 5-5: FPGA'de VGA için üretilen (HS) yatay senkron sinyali



Şekil 5-6: FPGA'de üretilen BT121 DAC tümleşik devresi saat sinyali

Yukarıda açıklanan işlemlerin FPGA tarafından yapılabilmesi için Verilog yazılımsal donanım dili kullanılarak Şekil 5-7 daki blok diyagramda gösterilen yazılımsal donanımlar tasarlanmıştır.

Çalışmada bu donanımlarla, çoklu işlem, FPGA sayesinde gerçek zamanlı olarak çok hızlı bir şekilde gerçekleştirilebilmiştir (Birla, M.K.2006).



Şekil 5-7: FPGA İçerisinde Gerçeklenen Donanımın Blok Diyagramı

5.1. Donanım Blok Diyagramının Açıklanması

Blok diyagramda bulunan Sayıcı-1, SAA7111A birleşik video sinyali kod çözücüsünün ürettiği görüntü hücresi saat sinyali ile çalışır. Yine kod çözücü tarafından ayrıştırılan (H-Sync) yatay senkron sinyal darbesi ile sayıcı sıfırlanır. Bu sayıcı Statik RAM'in yazma esnasında kullanılan A0'dan A8'e kadar olan adres bilgileri için kullanılır. Sayıcı-1 ve tasarımdaki diğer sayıcıların tamamı 16 bitlidir.

Sayıcı-2, SAA7111A birleşik video sinyali kod çözücüsünün ayrıştırdığı (H-Sync) yatay senkron darbe sinyali ile çalışır. Yine kod çözücü tarafından ayrıştırılan (V-Sync) yatay senkron darbe sinyali ile sayıcı sıfırlanır. Bu sayıcı Statik RAM'in yazma esnasında kullanılan A9'dan A17'ye kadar olan adres bilgileri için kullanılır.

Sayıcı-3, SAA7111A birleşik video sinyali kod çözücüsünün ürettiği görüntü hücresi saat sinyali ile çalışır. Ana görevi sayıcı çıkışlarından gelen bilgilerle satır sonu geldiğinde VGA sistemi için gerekli olan (HS) yatay senkron sinyalini üretmek olan Kontrol Devresi-1, aynı zamanda bu sayıcının sıfırlamasını sağlar. Bu sayıcı VGA ekranına resmi basmak için Statik RAM'den okuma esnasında kullanılan A0'dan A8'e kadar olan adres bilgileri için kullanılır.

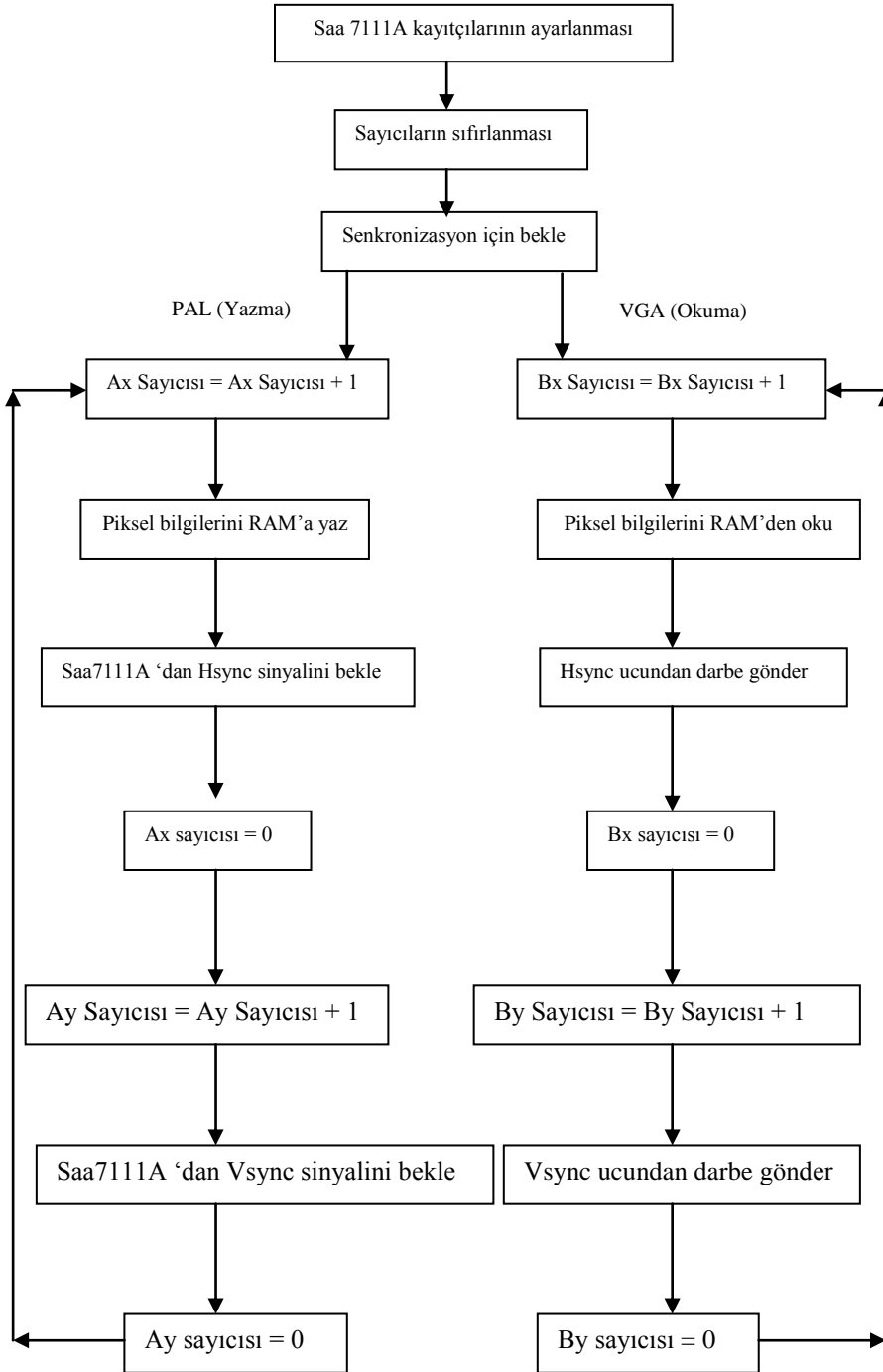
Sayıcı-4, Kontrol Devresi-1'in ürettiği (HS) yatay senkron sinyali ile çalışır. Ana görevi sayıcı çıkışlarından gelen bilgilerle sayfa sonu geldiğinde VGA sistemi için gerekli olan (VS) dikey senkron sinyalini üretmek olan Kontrol Devresi-2, aynı zamanda bu sayıcının sıfırlamasını sağlar. Bu sayıcı VGA ekranına resmi basmak için Statik RAM'den okuma esnasında kullanılan A9'dan A17'ye kadar olan adres bilgileri için kullanılır.

Seçici-1 Statik RAM üzerinde bulunan A9'dan A17'ye kadar olan adres bilgilerinin Sayıcı-2'den mi yoksa Sayıcı-4'den mi geleceğini seçer. Bu seçim görüntü hücresi saat sinyali ile yapılır. Sinyalin yükselen kenarında Sayıcı-4, düşen kenarında ise Sayıcı-2 seçilir.

Seçici-2 Statik RAM üzerinde bulunan A0'dan A8'e kadar olan adres bilgilerinin Sayıcı-1'den mi yoksa Sayıcı-3'den mi geleceğini seçer. Bu seçim görüntü hücresi saat sinyali ile yapılır. Sinyalin yükselen kenarında Sayıcı-3, düşen kenarında ise Sayıcı-1 seçilir.

Seçici-3 ise Statik RAM Data uçlarına bağlanmıştır. Görüntü hücresi saat sinyalinin düşen kenarında SAA7111A birleşik video sinyali kod çözücüsünün ayrıştırdığı PAL formatındaki sayısal resim bilgisinin seçilmesini ve böylece RAM'e yazılmasını sağlar. Görüntü hücresi saat sinyalinin yükselen kenarında ise RAM Data çıkışları doğruca BT121 video DAC tümleşik devresinin 24 bitlik RGB sayısal giriş uçlarına yönlendirilir.

Statik RAM'in okuma/yazma ucu da görüntü hücresi saat sinyali ile çalıştığı için, düşen kenarda yazma, yükselen kenarda okuma durumuna geçer.



Şekil 5-8: FPGA İçerisinde Gerçeklenen Programın Akış Diyagramı

5.2. Yazılım Akış Diyagramının Açıklanması

Şekil 5-8 de verilmiş donanımsal yazılım dilinde tasarlanan yazılım akış diyagramı görülmektedir. Akış diyagramında görüldüğü gibi öncelikle SAA7111A birleşik video sinyali kod çözücüsünün iç kaydedicileri PAL video sinyalini çıkışta 16 bitlik RGB formatındaki bilgiye çevirecek şekilde ayarlanır. Bu ayar işlemleri devreye genişleme soketinden bağlanan 8051 tabanlı P89LPC917 mikrodenetleyici ile yapılmıştır. Bu mikrodenetleyicinin görevi yalnızca SAA7111A tümleşik devresinin ayar kayıtlarını ilk enerji verildiğinde 1 kereye mahsus I2C hattı üzerinden gerekli değerlerle yükleyerek ayarlamaktır. Bu mikrodenetleyiciye yazılan program ve yapılan ayarlar şu şekildedir;

```
void init_saa7111(void)
```

```
{
```

```
    i2c_write(SAA7111SA,0x02,0xC0); Analog giriş 1 aktif
```

```
    i2c_write(SAA7111SA,0x03,0); Otomatik giriş sinyal kazancı aktif
```

```
    i2c_write(SAA7111SA,0x04,0); Statik kazanç -6dB
```

```
    i2c_write(SAA7111SA,0x06,0x6C); Yatay senkron başlama 50Hz
```

```
    i2c_write(SAA7111SA, 0x07,0x6C); Yatay senkron bitiş 50Hz
```

```
    i2c_write(SAA7111SA,0x08,0x08); VTR (kamera) modu aktif
```

```
    i2c_write(SAA7111SA,0x09,0x00); Birleşik resim sinyali modu
```

```
    i2c_write(SAA7111SA,0x0A,0x80); Parlaklık = 128 (CCIR)
```

```
    i2c_write(SAA7111SA,0x0B,0x47); Kontrast = 1.109 (CCIR)
```

```
    i2c_write(SAA7111SA,0x0C,0x40); Renk = 1 (CCIR)
```

```
    i2c_write(SAA7111SA,0x0D,0x00); Renk hue = 0
```

```
    i2c_write(SAA7111SA,0x0E,0x02); Band genişliği = 800 KHz
```

```

i2c_write(SAA7111SA,0x10,0x00); RGB 565 formatı aktif
i2c_write(SAA7111SA,0x11,0x2C); HS, VS çıkışları aktif
i2c_write(SAA7111SA, 0x12,0x04); Titreme kontrol aktif
i2c_write(SAA7111SA,0x13,0x00); Dahili dikey senkron
i2c_write(SAA7111SA,0x15,0x38); Çıkış satır 1'den başla
i2c_write(SAA7111SA,0x16,0x38); Bitiş satırı 314 aktif
}

```

Programda da görüldüğü gibi SAA7111A tümleşik devresinin 18 adet kayıtçısı ayarlanmıştır.

Tüm sayıcılar başlangıçta sıfırlanmaktadır. Diyagramda görüldüğü gibi 2 adet bağımsız çalışan PAL ve VGA bölümleri vardır. PAL bölümündeki sayıcılar SAA7111A tümleşik devresi çıkışından gelen yatay ve dikey senkron darbeleri ile çalışmaktadır. VGA bölümündeki sayıcılar ise SAA7111A tümleşik devresi çıkışından gelen görüntü hücresi saat sinyali ile çalışmakta ve sıfırlama anlarında kontrol devreleri içerisinde VGA monitör için gerekli yatay ve dikey senkron sinyallerini üretmektedir.

Bilindiği gibi bir RAM'e aynı anda hem bilgi yazmak, hem de bu değerleri okumak mümkün değildir. FPGA içerisindeki bu çalışmada ise, ana sayıcı olan görüntü hücresi sayıcısından gelen palsin düşen kenarında PAL bölümü, yükselen kenarında ise VGA bölümü seçiciler vasıtasıyla çalıştırılmaktadır. Böylece bir saat sinyali periyodunda hem video giriş ucundan gelen PAL resim bilgileri RAM'e yazılır, hem de RAM'den alınan bilgiler DAC çıkışına gönderilerek VGA ekranda görüntü oluşturulur (Şekil 5-9, Şekil 5-10). Bu işlemler oklardan da takip edilebileceği gibi sürekli döngü halinde ve paraleldir.



Şekil 5-9: Yapılan Uygulamanın Çalışma Görüntüleri



Şekil 5-10: Yapılan Uygulamanın Çalışma Görüntüleri

6. SONUÇLAR

FPGA ile yapılan bu çalışma sayesinde endüstride ihtiyaç duyulan, kameraların bilgisayar monitörüne bağlanabilmesi, yani PAL video sisteminin VGA sistemine dönüştürülmesi gerçekleştirilmiş ve bu tarz sistemlere pratik ve düşük maliyetli alternatif bir çözüm sunulmuştur.

Bord üzerinde bulunan SAA 7111A birleşik video sinyali kod çözücüsü, video sinyalini sayısal video bilgilerine ve yatay-dikey senkron sinyallerine ayırır. Alınan bu sayısal video bilgileri PAL (768x576 görüntü hücresi) formatındadır ve saniyede 50 kez yenilenmektedir.

Yapılan çalışmada hem PAL, hem de VGA bölümü için ikişer adet sayıcı kullanılmıştır. Bu sayıcıların biri RAM adres uçlarından ilk 9'unu, diğeri ise kalan 9'unu adreslemektedir. Böylece bir sayısal video bilgisini RAM'e yazarken satır ve sütun bilgileri de korunarak yazılmış olur. Yani birinci sayıcı çıkış değeri ile sayısal video bilgisinin hangi satırda olduğu, ikinci sayıcı çıkış değeri ile ise hangi sütunda olduğu belirtilmiş olur. Bu işlem, görüntünün işlenmesini ve boyutlarında değişiklikler yapılabilmesini kolaylaştırmıştır.

Görüntü hücresi saat sinyalinin her düşen kenarında, SAA 7111A birleşik video sinyali kod çözücüsünden gelen sayısal video bilgisi, PAL tarafındaki sayıcılar (Sayıcı-1 ve Sayıcı-2) tarafından adreslenmiş olan RAM içerisine yazılır. Yükselen kenarda ise bu kez VGA tarafındaki sayıcılar (Sayıcı-3 ve Sayıcı-4) tarafından adreslenmiş olan RAM bölgesinden alınarak BT121 Video DAC tümleşik devresine girilir. Bu video DAC tümleşik devresi her görüntü hücresi saat sinyalinde girişindeki bu sayısal video bilgilerini analog olarak çıkışa, yani monitör girişine aktarır.

Kontrol-1 ve Kontrol-2 devreleri ile oluşturulan yatay ve dikey tarama sinyalleri, video DAC çıkışından gelen VGA monitör girişindeki

video bilgilerini, satır ve sütun bilgilerine uygun olarak, ekrana basar ve böylece görüntü oluşur. Bu görüntü dikey tarama hızı olan saniyede 60 defa tazelenir.

Bundan sonraki aşamalarda, geliştirmeye uygun olan bu çalışmada;

- Kullanılan devre girişine çoğullayıcı ve RAM ilave edilerek, program kodunda çok küçük bir değişiklik ile birden fazla kamera görüntüsü tek bir monitörden izlenebilir.

- FPGA içerisine I2C modülü yazılarak, devre üzerinde kullanılan ve yalnızca SAA7111A tümleşik devresinin iç kayıtlılarını I2C hattı üzerinden ayarlamaya yarayan 8051 tabanlı P89LPC917 mikro denetleyicisi devreden çıkartılabilir.

- Devreye bir DSP ve Bilgisayar Hard diski ilave edilerek, yine program kodunda küçük bir değişiklik ile, bilgisayar kullanmadan görüntü kaydı ve sonrasında geri izleme işlemleri yapılabilir.

- FPGA içerisine yapılan dizayn son şekliyle, ASIC (Application Specific Integrated Circuit) Uygulamaya Özgü Bütünleşik Devre haline getirilerek maliyet daha da düşürülebilir.

Sonuç olarak, özellikle güvenlik sistemlerinde kullanılan kameralardan alınan görüntülerin, maliyeti yüksek olan Plazma ve LCD Tv yerine, daha düşük maliyetli bilgisayar monitöründe gösterimine imkan veren bir arabirim tasarlanıp gerçekleştirilmiştir. Böylece sanayide mevcut olan bir probleme düşük maliyetli pratik bir çözüm üretilmiştir.

KAYNAKLAR DİZİNİ

Ahmed, E.; Rose, J., The effect of LUT and cluster size on deep-submicron FPGA performance and density. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on Volume 12, Issue 3, March 2004 Page(s):288 – 298

Birla, M.K. “FPGA Based Reconfigurable Platform for Complex Image Processing”, Electro/information Technology, 2006 IEEE International Conference .

Brian Durwood Impulse Accelerated Technologies, Inc. “Impulse FPGA Image Processing Design Services”.

Brown, S.D.; Rose, J.; Vranesic, Z.G., A stochastic model to predict the routability of field-programmable gate arrays. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on Volume 12, Issue 12, Dec. 1993 Page(s):1827 – 1838

Bruce A. Draper, “Accelerated Image Processing on FPGAs” , IEEE Transactions On Image Processing, Vol. 12, No. 12, December 2003.

C. C. Weems, E. M. Riseman, and A. R. Hanson, "Image Understanding Architecture: Exploiting Potential Parallelism in Machine Vision," IEEE Computer, pp. 65-68, 1992.

KAYNAKLAR DİZİNİ (devam)

Caner, H., (2006) FPGA donanımı üzerinde araç plakası tanıma sistemi, Hacettepe Üniversitesi FBE, Y.lisans tezi, 2006.

Cong, J.; Yuzheng Ding, FlowMap: an optimal technology mapping algorithm for delay optimization in lookup-table based FPGA designs. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on Volume 13, Issue 1, Jan. 1994 Page(s):1 - 12

D. Buell, J. Arnold, and W. Kleinfelder, Splash 2: FPGAs in a Custom Computing Machine: IEEE CS Press, 1996.

Daijin Kim, An implementation of fuzzy logic controller on the reconfigurable FPGA system: Industrial Electronics, IEEE Transactions on Volume 47, June 2000 Page(s):703 – 715

DeHon, A.; Rubin, R., Design of FPGA interconnect for multilevel metallization. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on Volume 12, Issue 10, Oct. 2004 Page(s):1038 - 1050

Donald Bailey, “Image Processing using FPGAs” 2007 IEEE International Conference on Image Processing.

KAYNAKLAR DİZİNİ (devam)

Harris, I.G and Tessier, R., Testing and diagnosis of interconnect faults in cluster-based FPGA architectures. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on Volume 21, Issue 11, Nov. 2002
Page(s):1337 – 1343

Jing Huang, Tahoori M.B and Lombardi F., Fault Tolerance of Switch Blocks and Switch Block Arrays in FPGA. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on Volume 13, July 2005 Page(s):794 – 807

Kannan, P.; Bhatia, D., Interconnect estimation for FPGAs. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on Volume 25, Issue 8, Aug. 2006
Page(s):1523 – 1534

Karabıyık, A., (2005) Dalgacık sinir ađının alan programlanabilir kapı dizisi ile donanımsal geekleřtirilmesi, Y.lisans tezi, Ege Ü. F.B.E.

Kt Gribbon, “Design Patterns for Image Processing Algorithm Development on FPGAs”, ENCON 2005 2005 IEEE Region 10 (2005), Pp. 1-6.

KAYNAKLAR DİZİNİ (devam)

Shuvra S, “Accelerated Image Processing with FPGAs and GPUs,” 2008 IEEE International Conference on Image Processing .

Tiwari, A.; Tomko, K.A., Enhanced reliability of finite-state machines in FPGA through efficient fault detection and correction. Reliability, IEEE Transactions on Volume 54, Issue 3, Sept. 2005 Page(s):459 - 467

Uçar, A., (2007) FPGA donanımı üzerinde Türkçe seslerin sınıflandırılması sistemi, Hacettepe Üniversitesi FBE, Y.lisans tezi, 2007.

Xilinx Inc, <http://www.xilinx.com>, Spartan-II Documentation

EKLER

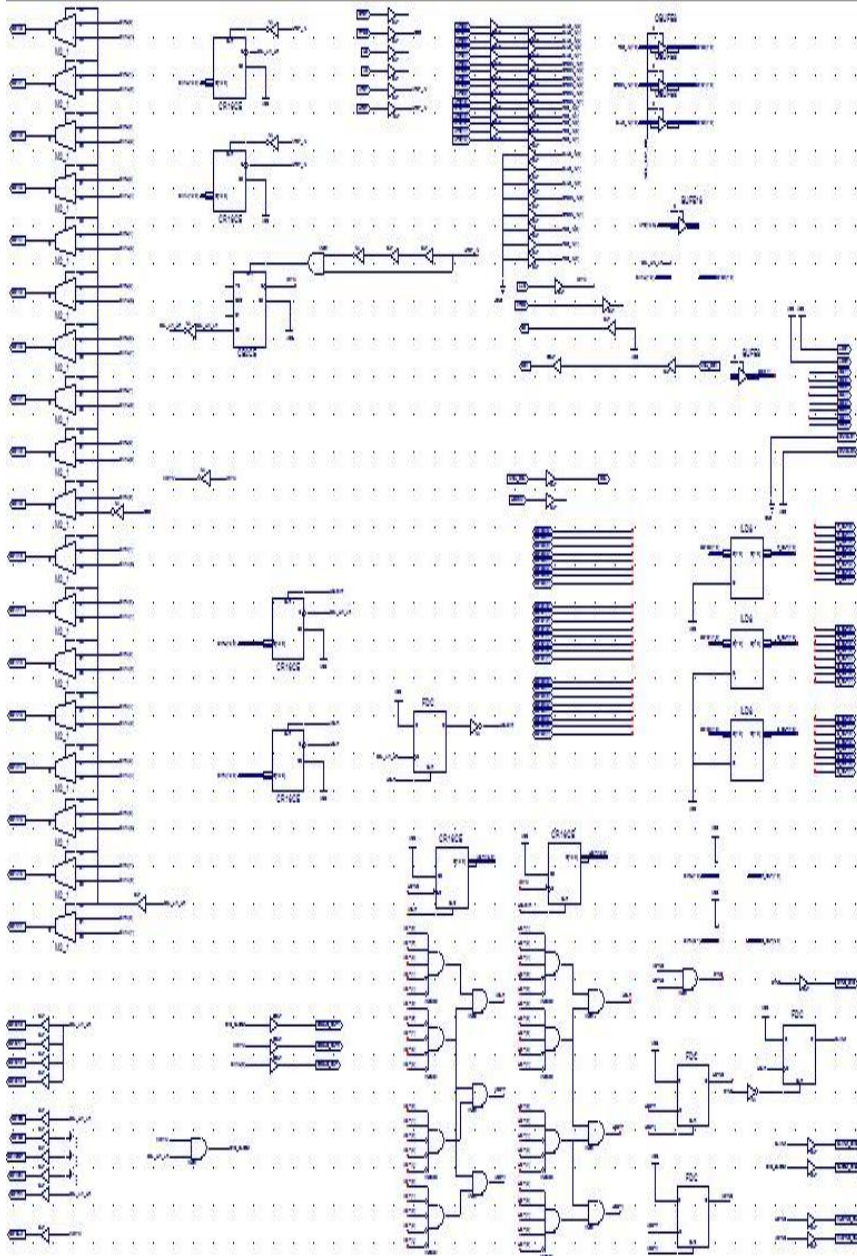
Ekler:

Ek1: Çalışmada Kullanılan Programın Donanımsal Karşılığı

Ek2 : Çalışmada Kullanılan Programın Pin Atamaları

Ek3: Maliyet Analizi

Ek1: Çalışmada Kullanılan Programın Donanımsal Karşılığı



Ek2 : Çalışmada Kullanılan Programın Pin Atamaları Dosyası

Bu dosya “.UCF” dosyası olarak anılır ve FPGA pinlerini tanımlar.

#PACE: Start of PACE I/O Pin Assignments

```

NET "B_OUT<0>" LOC = "H18" | IOSTANDARD = LVTTTL ;
NET "B_OUT<1>" LOC = "G21" | IOSTANDARD = LVTTTL ;
NET "B_OUT<2>" LOC = "G18" | IOSTANDARD = LVTTTL ;
NET "B_OUT<3>" LOC = "G20" | IOSTANDARD = LVTTTL ;
NET "B_OUT<4>" LOC = "G19" | IOSTANDARD = LVTTTL ;
NET "B_OUT<5>" LOC = "F22" | IOSTANDARD = LVTTTL ;
NET "B_OUT<6>" LOC = "F19" | IOSTANDARD = LVTTTL ;
NET "B_OUT<7>" LOC = "F21" | IOSTANDARD = LVTTTL ;
NET "BLANK_DAC" LOC = "F18" | IOSTANDARD = LVTTTL ;
NET "CE" LOC = "N21" | IOSTANDARD = LVTTTL ;
NET "SAAT_DAC" LOC = "E22" | IOSTANDARD = LVTTTL ;
NET "CREF" LOC = "M19" | IOSTANDARD = LVTTTL ;
NET "DEBUG_OUT" LOC = "AA13" | IOSTANDARD = LVTTTL ;
NET "DEBUG_OUT1" LOC = "Y13" | IOSTANDARD = LVTTTL ;
NET "DEBUG_OUT2" LOC = "AA19" | IOSTANDARD = LVTTTL ;
NET "ENABLE1" LOC = "AA22" | IOSTANDARD = LVTTTL ;
NET "ENABLE2" LOC = "V20" | IOSTANDARD = LVTTTL ;
NET "G_OUT<0>" LOC = "J21" | IOSTANDARD = LVTTTL ;
NET "G_OUT<1>" LOC = "K18" | IOSTANDARD = LVTTTL ;
NET "G_OUT<2>" LOC = "J20" | IOSTANDARD = LVTTTL ;
NET "G_OUT<3>" LOC = "J18" | IOSTANDARD = LVTTTL ;
NET "G_OUT<4>" LOC = "J22" | IOSTANDARD = LVTTTL ;
NET "G_OUT<5>" LOC = "J19" | IOSTANDARD = LVTTTL ;
NET "G_OUT<6>" LOC = "H21" | IOSTANDARD = LVTTTL ;
NET "G_OUT<7>" LOC = "H19" | IOSTANDARD = LVTTTL ;
NET "HREF" LOC = "P22" | IOSTANDARD = LVTTTL ;
NET "HS" LOC = "N20" | IOSTANDARD = LVTTTL ;
NET "HS80M" LOC = "A11" | IOSTANDARD = LVTTTL ;
NET "LED1" LOC = "U20" | IOSTANDARD = LVTTTL ;
NET "LED2" LOC = "W11" | IOSTANDARD = LVTTTL ;
NET "LLC" LOC = "W12" | IOSTANDARD = LVTTTL ;
NET "MCU_SCL" LOC = "AB13" | IOSTANDARD = LVTTTL ;
NET "MCU_SDA" LOC = "W13" | IOSTANDARD = LVTTTL ;
NET "nHSYNC_OUT" LOC = "E21" | IOSTANDARD = LVTTTL ;
NET "nRES" LOC = "M17" | IOSTANDARD = LVTTTL ;
NET "nVSYNC_OUT" LOC = "D22" | IOSTANDARD = LVTTTL ;

```

EKLER (devam)

```

NET "R_OUT<0>" LOC = "L20" | IOSTANDARD = LVTTTL ;
NET "R_OUT<1>" LOC = "L17" | IOSTANDARD = LVTTTL ;
NET "R_OUT<2>" LOC = "L18" | IOSTANDARD = LVTTTL ;
NET "R_OUT<3>" LOC = "L21" | IOSTANDARD = LVTTTL ;
NET "R_OUT<4>" LOC = "L22" | IOSTANDARD = LVTTTL ;
NET "R_OUT<5>" LOC = "K19" | IOSTANDARD = LVTTTL ;
NET "R_OUT<6>" LOC = "K21" | IOSTANDARD = LVTTTL ;
NET "R_OUT<7>" LOC = "K22" | IOSTANDARD = LVTTTL ;
NET "RTSO" LOC = "M22" | IOSTANDARD = LVTTTL ;
NET "SCL" LOC = "U19" | IOSTANDARD = LVTTTL ;
NET "SDA" LOC = "V21" | IOSTANDARD = LVTTTL ;
NET "SS1A0" LOC = "C5" | IOSTANDARD = LVTTTL ;
NET "SS1A1" LOC = "D5" | IOSTANDARD = LVTTTL ;
NET "SS1A10" LOC = "D6" | IOSTANDARD = LVTTTL ;
NET "SS1A11" LOC = "A5" | IOSTANDARD = LVTTTL ;
NET "SS1A12" LOC = "B6" | IOSTANDARD = LVTTTL ;
NET "SS1A13" LOC = "D7" | IOSTANDARD = LVTTTL ;
NET "SS1A14" LOC = "C7" | IOSTANDARD = LVTTTL ;
NET "SS1A15" LOC = "D8" | IOSTANDARD = LVTTTL ;
NET "SS1A16" LOC = "E8" | IOSTANDARD = LVTTTL ;
NET "SS1A17" LOC = "A9" | IOSTANDARD = LVTTTL ;
NET "SS1A2" LOC = "B3" | IOSTANDARD = LVTTTL ;
NET "SS1A3" LOC = "A3" | IOSTANDARD = LVTTTL ;
NET "SS1A4" LOC = "B4" | IOSTANDARD = LVTTTL ;
NET "SS1A5" LOC = "E6" | IOSTANDARD = LVTTTL ;
NET "SS1A6" LOC = "A4" | IOSTANDARD = LVTTTL ;
NET "SS1A7" LOC = "E7" | IOSTANDARD = LVTTTL ;
NET "SS1A8" LOC = "B5" | IOSTANDARD = LVTTTL ;
NET "SS1A9" LOC = "C6" | IOSTANDARD = LVTTTL ;
NET "SS1ADSP" LOC = "B9" | IOSTANDARD = LVTTTL ;
NET "SS1ADV" LOC = "E10" | IOSTANDARD = LVTTTL ;
NET "SS1B0<0>" LOC = "H4" | IOSTANDARD = LVTTTL ;
NET "SS1B0<1>" LOC = "G1" | IOSTANDARD = LVTTTL ;
NET "SS1B0<2>" LOC = "H3" | IOSTANDARD = LVTTTL ;
NET "SS1B0<3>" LOC = "H2" | IOSTANDARD = LVTTTL ;
NET "SS1B0<4>" LOC = "J4" | IOSTANDARD = LVTTTL ;
NET "SS1B0<5>" LOC = "H1" | IOSTANDARD = LVTTTL ;
NET "SS1B0<6>" LOC = "J5" | IOSTANDARD = LVTTTL ;
NET "SS1B0<7>" LOC = "J2" | IOSTANDARD = LVTTTL ;
NET "SS1B1<0>" LOC = "J3" | IOSTANDARD = LVTTTL ;

```


EKLER (devam)

```

NET "SS1B1<1>" LOC = "J1" | IOSTANDARD = LVTTTL ;
NET "SS1B1<2>" LOC = "K5" | IOSTANDARD = LVTTTL ;
NET "SS1B1<3>" LOC = "K1" | IOSTANDARD = LVTTTL ;
NET "SS1B1<4>" LOC = "K3" | IOSTANDARD = LVTTTL ;
NET "SS1B1<5>" LOC = "K4" | IOSTANDARD = LVTTTL ;
NET "SS1B1<6>" LOC = "K2" | IOSTANDARD = LVTTTL ;
NET "SS1B1<7>" LOC = "L6" | IOSTANDARD = LVTTTL ;
NET "SS1B2<0>" LOC = "B1" | IOSTANDARD = LVTTTL ;
NET "SS1B2<1>" LOC = "E4" | IOSTANDARD = LVTTTL ;
NET "SS1B2<2>" LOC = "C1" | IOSTANDARD = LVTTTL ;
NET "SS1B2<3>" LOC = "F5" | IOSTANDARD = LVTTTL ;
NET "SS1B2<4>" LOC = "D2" | IOSTANDARD = LVTTTL ;
NET "SS1B2<5>" LOC = "E3" | IOSTANDARD = LVTTTL ;
NET "SS1B2<6>" LOC = "F4" | IOSTANDARD = LVTTTL ;
NET "SS1B2<7>" LOC = "G5" | IOSTANDARD = LVTTTL ;
NET "SS1BW0" LOC = "A8" | IOSTANDARD = LVTTTL ;
NET "SS1BW1" LOC = "D9" | IOSTANDARD = LVTTTL ;
NET "SS1BW2" LOC = "B8" | IOSTANDARD = LVTTTL ;
NET "SS1BW3" LOC = "C8" | IOSTANDARD = LVTTTL ;
NET "SS1CE" LOC = "E9" | IOSTANDARD = LVTTTL ;
NET "SS1CLK" LOC = "A7" | IOSTANDARD = LVTTTL ;
NET "SS1OE" LOC = "C9" | IOSTANDARD = LVTTTL ;
NET "SS1RW" LOC = "D10" | IOSTANDARD = LVTTTL ;
NET "SS<0>" LOC = "V13" | IOSTANDARD = LVTTTL ;
NET "SS<1>" LOC = "AB14" | IOSTANDARD = LVTTTL ;
NET "SS<2>" LOC = "W14" | IOSTANDARD = LVTTTL ;
NET "SS<3>" LOC = "V17" | IOSTANDARD = LVTTTL ;
NET "SS<4>" LOC = "Y18" | IOSTANDARD = LVTTTL ;
NET "SS<5>" LOC = "W18" | IOSTANDARD = LVTTTL ;
NET "SS<6>" LOC = "AA20" | IOSTANDARD = LVTTTL ;
NET "SS<7>" LOC = "AA14" | IOSTANDARD = LVTTTL ;
NET "SYNC_DAC" LOC = "F20" | IOSTANDARD = LVTTTL ;
NET "VPO<0>" LOC = "T18" | IOSTANDARD = LVTTTL ;
NET "VPO<10>" LOC = "P18" | IOSTANDARD = LVTTTL ;
NET "VPO<11>" LOC = "R22" | IOSTANDARD = LVTTTL ;
NET "VPO<12>" LOC = "P19" | IOSTANDARD = LVTTTL ;
NET "VPO<13>" LOC = "P20" | IOSTANDARD = LVTTTL ;
NET "VPO<14>" LOC = "P21" | IOSTANDARD = LVTTTL ;
NET "VPO<15>" LOC = "N19" | IOSTANDARD = LVTTTL ;
NET "VPO<1>" LOC = "W22" | IOSTANDARD = LVTTTL ;

```

EKLER (devam)

```
NET "VPO<2>" LOC = "U21" | IOSTANDARD = LVTTTL ;
NET "VPO<3>" LOC = "T20" | IOSTANDARD = LVTTTL ;
NET "VPO<4>" LOC = "T19" | IOSTANDARD = LVTTTL ;
NET "VPO<5>" LOC = "V22" | IOSTANDARD = LVTTTL ;
NET "VPO<6>" LOC = "T21" | IOSTANDARD = LVTTTL ;
NET "VPO<7>" LOC = "R18" | IOSTANDARD = LVTTTL ;
NET "VPO<8>" LOC = "U22" | IOSTANDARD = LVTTTL ;
NET "VPO<9>" LOC = "R19" | IOSTANDARD = LVTTTL ;
NET "VREF" LOC = "M20" | IOSTANDARD = LVTTTL ;
NET "VS" LOC = "N18" | IOSTANDARD = LVTTTL ;
#PACE: Start of PACE Area Constraints
```

Ek3 : Maliyet Analizi

DEVREDE KULLANILAN MALZEME	FİYAT
XC2S200 FPGA	26.25 USD (Amerikan Doları)
BT121 Video DAC	1.95 USD
SAA7111A VİDEO KOD ÇÖZÜCÜ	10.00 USD
SSRAM	3.30 USD
P89LPC 917	1.26 USD
SOKETLER	5.00 USD
DEVRE KARTI	2.00 USD
DIRENÇ VE KONDANSATÖRLER	1.00 USD
LD1117 - 5 V REGÜLATÖR	1.00 USD
LP2985 - 3.3 V REGÜLATÖR	1.00 USD
TOPLAM	52.76 USD

Dolar Kuru (20 Nisan 2009 tarihinde) ; 1 USD = 1.65 TL(Türk Lirası)
 Üretilen Devrenin Türk Lirası Karşılığı = 52.76 x 1.65 = 87.05 TL

20 Nisan 2009 tarihinde “ www.hepsiburada.com” sitesinden alınan fiyatlar ;

SAMSUNG 2033SN 20" LCD MONİTÖR 261 TL

SONY KDL-20B4050 20" LCD TELEVİZYON 793 TL

Üretilen Devre ile birlikte LCD Monitör Toplam Fiyat ;
 261 + 87.05 = 348.05 TL

Görüldüğü gibi aynı ekran boyutlarında oldukları halde monitör ve televizyon fiyatları birbirinden çok farklıdır. Buradan oranlarını hesaplırsak ; $793 / 348.05 = 2.28$ oranında üretim maliyetinden tasarruf edilmiştir.

ÖZGEÇMİŞ

AHMET GACAR, Türkiye Cumhuriyeti vatandaşı olup, 01.11.1968 tarihinde İzmir’de doğdu. Gazi Üniversitesi Teknik Eğitim Fakültesi Elektronik ve Bilgisayar Eğitimi Bölümünden 1995 yılında mezun oldu. İzmir Buca Endüstri Meslek Lisesi’nde öğretmenlik hayatına başladı. Şu anda Gaziemir Endüstri Meslek Lisesi’nde öğretmenliğe devam etmektedir.