



**ÜÇ SEVİYELİ DİYOT KENETLEMELİ EVİRİCİ İLE ÇIKIŞ
GERİLİMİNİN SABİTLENMESİ**

Rıdvan CANBAZ

**YÜKSEK LİSANS
ELEKTRİK EĞİTİMİ ANABİLİM DALI**

**GAZİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

HAZİRAN 2014

Rıdvan CANBAZ tarafından hazırlanan “ÜÇ SEVİYELİ DİYOT KENETLEMELİ EVİRİCİ İLE ÇIKIŞ GERİLİMİNİN SABİTLENMESİ” adlı tez çalışması aşağıdaki jüri tarafından OY BİRLİĞİ ile Gazi Üniversitesi Elektrik Eğitimi Anabilim Dalında YÜKSEK LİSANS TEZİ olarak kabul edilmiştir.

Danışman: Doç. Dr. Nihat ÖZTÜRK

Elektrik Elektronik Mühendisliği (Teknoloji Fakültesi), Gazi Üniversitesi

Bu tezin, kapsam ve kalite olarak Yüksek Lisans Tezi olduğunu onaylıyorum

.....

Başkan : Prof. Dr. Ramazan BAYINDIR

Elektrik Elektronik Mühendisliği (Teknoloji Fakültesi), Gazi Üniversitesi

Bu tezin, kapsam ve kalite olarak Yüksek Lisans Tezi olduğunu onaylıyorum

.....

Üye : Yrd. Doç. Dr. Fecir DURAN

Bilgisayar Mühendisliği (Teknoloji Fakültesi), Gazi Üniversitesi

Bu tezin, kapsam ve kalite olarak Yüksek Lisans Tezi olduğunu onaylıyorum

.....

Tez Savunma Tarihi: 10/06/2014

Jüri tarafından kabul edilen bu tezin Yüksek Lisans Tezi olması için gerekli şartları yerine getirdiğini onaylıyorum.

.....
Prof. Dr. Şeref SAĞIROĞLU
Fen Bilimleri Enstitüsü Müdürü

ETİK BEYAN

Gazi Üniversitesi Fen Bilimleri Enstitüsü Tez Yazım Kurallarına uygun olarak hazırladığım bu tez çalışmada;

- Tez içinde sunduğum verileri, bilgileri ve dokümanları akademik ve etik kurallar çerçevesinde elde ettiğimi,
- Tüm bilgi, belge, değerlendirme ve sonuçları bilimsel etik ve ahlak kurallarına uygun olarak sunduğumu,
- Tez çalışmada yararlandığım eserlerin tümüne uygun atıfta bulunarak kaynak gösterdiğimi,
- Kullanılan verilerde herhangi bir değişiklik yapmadığımı,
- Bu tezde sunduğum çalışmanın özgün olduğunu,

bildirir, aksi bir durumda aleyhime doğabilecek tüm hak kayıplarını kabullendiğimi beyan ederim.

Rıdvan CANBAZ

10.06.2014

ÜÇ SEVİYELİ DİYOT KENETLEMELİ EVİRİCİ İLE ÇIKIŞ GERİLİMİNİN SABİTLENMESİ

(Yüksek Lisans Tezi)

Rıdvan CANBAZ

GAZİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

Haziran 2014

ÖZET

Son yıllarda özellikle yenilenebilir enerji kaynaklarında ve kesintisiz güç kaynaklarında doğru gerilim olarak elde edilen enerjinin şebeke üzerinde aktif olarak kullanılması amacı ile eviriciler kullanılmaktadır. Yüksek güçlü enerji sistemlerinde, iki seviyeli eviricilerde kullanılacak anahtarlama elemanının gücünün yetersiz kalması, çıkış dalga şeklinin sinüsoidalden uzak olması ve düşük gerilim üretilmesinden kaynaklı transformatör kullanılması klasik iki seviyeli eviricilerin dezavantajlarından. Ayrıca iki seviyeli eviricilerde harmonik etkiyi azaltmak için yüksek anahtarlama frekansının kullanılması anahtarlama kayıplarını arttırmaktadır. Bu çalışmada şebeke etkileşimli ve şebeke etkileşimsiz çalışabilecek bir fazlı üç seviyeli transformatörsüz eviricinin benzetim ve uygulama çalışmaları yapılmıştır. Evirici çıkış gerilimi PI kontrollü olarak sabitlenmiştir. Çıkış geriliminin frekansı yazılımsal olarak sabit bir değer (50 Hz) belirlenmiştir. Sistemin değişik yükler altında harmonik analizleri gerçekleştirilmiştir. Yapılan deneysel çalışmalar sonucunda çok seviyeli eviricilerde düşük anahtarlama frekansı kullanılması ve çıkış akımı üzerinde harmonik etkinin az olması bu eviricilerin daha üstün olduğunu göstermiştir. Ayrıca sistemde transformatör kullanılmadığından tasarım maliyeti ve eleman sayısı azaltılmıştır. Gerçekleştirilen bu çalışma ile (özellikle literatürde geniş bir alana sahip olan) evirici çıkış geriliminin sabitlenmesi, şebekeye aktarılan çıkış geriliminin harmonik analizleri diyot kenetlemeli evirici ile yapılmasına dair yaklaşım sunulmuştur.

Bilim Kodu : 703

Anahtar Kelimeler : Çok seviyeli evirici, sabit gerilim kontrolü, harmonik bozunum

Sayfa Adedi : 60

Tez Yöneticisi : Doç. Dr. Nihat ÖZTÜRK

CONSTANT VOLTAGE OUTPUT CONTROL WITH DIODE CLAMPED
THREE LEVEL INVERTER

(M. Sc. Thesis)

Rıdvan CANBAZ

GAZİ UNIVERSITY

GRADUATE SCHOOL OF NATURAL AND APPLIED SCIENCES

June 2014

ABSTRACT

In recent years, inverters, in particular renewable energy sources and uninterruptible power supply, the stored as to the direct voltage, with aim as the active use of the stored energy on the grid are used for. In the high-powered energy systems, due to be insufficient switching element power used in the two-level inverters and be far from sinusoidal of the output waveform, due to with harmonic generation, the multi-level inverters has revealed to the forefront. The used of high switching frequency for reduce harmonic effects in the two-level inverter, increases the switching losses. In this study, as produce simulation and implementation system of a phase of a three-level inverter, for transformerless system can work performing network effectively were carried out amplitude and frequency of the output voltage stabilization of the inverters produced and harmonic analysis under various loads. In the result of the experimental study, due to used low switching frequency in the multi-level inverters and to be less harmonic effect on the output current, these inverters have shown more advantageous than others. This study carried out in the literature, and especially having a wide range of inverter output voltage stabilization, the output voltage is transferred to the network of interlocking diode inverter harmonic analysis is presented with a different approach.

ScienceCode : 703

KeyWords : Multi-level inverter, constant voltage control, harmonic distortion

PageNumber : 60

Supervisor : Assoc. Prof. Dr. Nihat ÖZTÜRK

TEŐEKKÜR

Çalıőmalarım boyunca deęerli yardım ve katlılılarıyla beni yönlendiren danıőman hocam Doç. Dr. Nihat ÖZTÜRK'e, kıymetli tecrübelerinden faydalandıęım Prof. Dr. Ramazan BAYINDIR, Yrd. Doç. Dr. Fecir DURAN'a ve Doç. Dr. Ersan KABALCI'ya, çalıőma arkadaşlarım Öğr. Gör. Naki GÜLER, Öğr. Gör. Fatih ISSI ve yüksek lisans arkadaşlarıma, bugüne kadar bana maddi manevi destek olan kardeşime, anneme ve babama, desteęini ve güvenini hiçbir zaman esirgemeyen Büőra ÖZER'e tüm içtenlięimle teşekkür ederim.

İÇİNDEKİLER

	Sayfa
ÖZET	iv
ABSTRACT.....	v
TEŞEKKÜR.....	vi
İÇİNDEKİLER	vii
ÇİZELGELERİN LİSTESİ.....	ix
ŞEKİLLERİN LİSTESİ.....	x
RESİMLERİN LİSTESİ.....	xii
SİMGELER VE KISALTMALAR.....	xiii
1. GİRİŞ.....	1
2. ÇOK SEVİYELİ EVİRİCİ TOPOLOJİLERİ.....	7
2.1. Kondansatör Kenetlemeli ÇSE Topolojisi	8
2.2. Kaskad Bağlı H-Köprü ÇSE Topolojisi	10
2.3. Diyot Kenetlemeli ÇSE Topolojisi	13
3. ÇOK SEVİYELİ EVİRİCİLERDE KONTROL DENETİM YÖNTEMLERİ.....	17
3.1. Uzay Vektör DGM (UVDGM)	18
3.2. Üçüncü Harmonik Eklemeli DGM (ÜHE-DGM).....	19
3.3. Seçimli Harmonik Eleme DGM (SHE-DGM).....	20
3.4. Sinüsoidal DGM (SDGM)	21
4. BENZETİM ÇALIŞMASI	25
4.1. Sistemin MATLAB/Simulink Benzetimi ve Harmonik Analizi	25
4.2. SDGM Kontrollü 3-seviyeli Diyot-Kenetli Evirici Harmonik Analizi.....	28
4.3. Filtre Seçimi	30
5. GÜÇ DEVRESİ TASARIMI	33

	Sayfa
5.1. SDGM Dontrollü Diyot-Denetli Evirici.....	33
5.1.1. IGBT sürücü devresi	34
5.1.2. IGBT modülü	35
5.1.3. Gerilim algılama devresi	36
5.1.4. eZdsp F2812 kartı	37
5.1.5. Bir fazlı 3 seviyeli diyot-kenetli evirici	38
5.2. PI Denetleyici.....	38
5.3. SDGM Kontrollü Diyot-Tutmalı Eviricide PI Kontrol ile Çıkış Geriliminin Sabitlemesi	41
5.3.1. Çok seviyeli eviricinin omik yük altında harmonik analizleri	43
5.3.2. Çok seviyeli eviricinin RL (omik-endüktif) yük altında harmonik analizleri	49
6. SONUÇ VE DEĞERLENDİRME.....	53
KAYNAKLAR	55
ÖZGEÇMİŞ	59

ÇİZELGELERİN LİSTESİ

Çizelge	Sayfa
Çizelge 2.1. Üç seviyeli KKE anahtarlama durumları ve gerilim oranları	10
Çizelge 2.2. Üç seviyeli KHE anahtarlama durumları ve gerilim oranları	13
Çizelge 2.3. Üç seviyeli DKE anahtarlama durumları ve gerilim oranları	16
Çizelge 3.1. Taşıyıcı şemalarına göre modülasyon indeksleri.....	23
Çizelge 4.1. Eviricinin omik yük altında THD analizleri	28
Çizelge 4.2. Eviricinin RL yük altında THD analizleri	28
Çizelge 5.1. Benzetim çalışmalarının karşılaştırılması.....	28
Çizelge 5.2. Benzetim ve uygulama çalışmalarının karşılaştırılması	28

ŞEKİLLERİN LİSTESİ

Şekil	Sayfa
Şekil 2.1. ÇSE topolojilerinin sınıflandırılması.....	7
Şekil 2.2. Bir fazlı 3-seviye KKE	8
Şekil 2.3. Üç seviyeli KKE ÇSE (a) Birinci durum $+V/2$ (b) İkinci durum 0 (c) Üçüncü durum $-V/2$	9
Şekil 2.4. Bir fazlı 3-seviye kaskad bağlı ÇSE topolojisi	11
Şekil 2.5. Üç seviyeli KHE ÇSE (a) Birinci durum $+V$ (b) İkinci durum 0 (c) Üçüncü durum $-V$	12
Şekil 2.6. Bir fazlı 3-seviye diyot-kenetli ÇSE topolojisi.....	14
Şekil 2.7. Üç seviyeli DKE'nin çıkış gerilimi	15
Şekil 2.8. Üçseviyeli DKE ÇSE (a) Birinci durum $+V/2$ (b) İkinci durum 0 (c) Üçüncü durum $-V/2$	16
Şekil 3.1. Çok seviyeli evirici darbe genişlik modülasyon yöntemleri.....	17
Şekil 3.2. Üç seviyeli eviricinin gerilim vektörü	18
Şekil 3.3. ÜHE-DGM modülasyon işaretinin üretilmesi	19
Şekil 3.4. ÜHE-DGM modülasyonun işaretinin Matlab benzetimi ile üretilmesi.....	20
Şekil 3.5. Sinüsoidal DGM yönteminin temel prensibi	22
Şekil 3.6. SDGM taşıyıcı şemaları blok diyagramı	23
Şekil 3.7. SDGM benzetim modeli.....	24
Şekil 4.1. SDGM kontrollü diyot kenetlemeli evirici benzetimi	25
Şekil 4.2. Diyot kenetlemeli evirici benzetim modeli.....	26
Şekil 4.3. Bir fazlı üç seviyeli eviricinin omik yükte simulink modeli	27
Şekil 4.4. Bir fazlı üç seviyeli eviricinin RL yükte simulink modeli	27
Şekil 4.5. RL yük altında eviri harmonik analizi	29
Şekil 4.6. Bir fazlı üç seviyeli eviricinin PI denetleyici ile anahtarlama sinyallerinin üretilmesi.....	30

Şekil	Sayfa
Şekil 4.7. Bir fazlı LC filtre	31
Şekil 4.8. Sistemin bode diyagramı	32
Şekil 5.1. IGBT modülünün iç yapısı	35
Şekil 5.2. Gerilim ölçüm sisteminin blok diyagramı	36
Şekil 5.3. Eviricinin açık döngü kalkış anı	39
Şekil 5.4. PI parametrelerinin belirlenmesi.....	40
Şekil 5.5. PI kontrol (a) evirici çıkış gerilimi (b) evirici giriş gerilimi.....	42
Şekil 5.6. Evirici osiloskop görüntüleri (a) çıkış akımı (b) çıkış gerilimi (c) giriş gerilimi	42
Şekil 5.7. Evirici osiloskop görüntüleri (a) çıkış akımı (b) çıkış gerilimi (c) giriş gerilimi	43
Şekil 5.8. SDGM tekniği ile harmonik analizleri (a) filtre çıkışındaki akım harmonikleri (b) evirici akım-gerilim değerleri (c) eviricinin çıkış gücü (d) sistemin çıkış akım-gerilim görüntüleri.....	44
Şekil 5.9. SDGM tekniği ile harmonik analizleri (a) filtre çıkışındaki akım harmonikleri (b) evirici akım-gerilim değerleri (c) eviricinin çıkış gücü (d) sistemin çıkış akım-gerilim görüntüleri.....	45
Şekil 5.10. SDGM tekniği ile harmonik analizleri (a) filtre çıkışındaki akım harmonikleri (b) evirici akım-gerilim değerleri (c) eviricinin çıkış gücü (d) sistemin çıkış akım-gerilim görüntüleri	46
Şekil 5.11. SDGM tekniği ile harmonik analizleri (a) filtre çıkışındaki akım harmonikleri (b) evirici akım-gerilim değerleri (c) eviricinin çıkış gücü....	47
Şekil 5.12. SDGM tekniği ile harmonik analizleri (a) filtre çıkışındaki akım harmonikleri (b) evirici akım-gerilim değerleri (c) eviricinin çıkış gücü ...	48
Şekil 5.13. SDGM tekniği ile harmonik analizleri (a) filtre çıkışındaki akım harmonikleri (b) evirici akım-gerilim değerleri (c) eviricinin çıkış gücü (d) sistemin çıkış akım-gerilim görüntüleri	48
Şekil 5.14. Bir faz üç seviyeli eviricinin filtreli ve filtresiz çıkış gerilimi.....	47
Şekil 5.15. Klasik evirici ve üç seviyeli eviricinin benzetim çalışmasında harmonik grafığı.....	52
Şekil 5.16. Benzetim ve uygulama çalışmalarının harmonik grafikleri.....	48

RESİMLERİN LİSTESİ

Resim	Sayfa
Resim 5.1. Tasarımı gerçekleştirilen üç seviyeli evirici	33
Resim 5.2. IGBT sürücü kartı	34
Resim 5.3. Uygulamada kullanılan IGBT modül	35
Resim 5.4. True - RMS entegreleri ile gerçekleştirilen devre görüntüsü	37
Resim 5.5. eZdspF2812 DSP kartı.....	37
Resim 5.6. Tasarımı yapılan devrenin genel görünümü	38

SİMGELER VE KISALTMALAR

Bu bölümde, çalışmada kullanılan bazı simgeler ve kısaltmalar açıklamaları ile verilmiştir.

Simgeler

Simgeler	Açıklama
f	Evirici Seviyesi
f_g	Temel dalganın frekansı
f_r	Kesim frekansı
f_{sw}	Anahtarlama frekansı
Hz	Hertz
kHz	kilo Hertz
K_i	İntegral Kazancı
K_p	Oransal Kazanç
ma	Modülasyon İndeksi
mf	Modülasyon Frekansı
V	Volt
V_{ref}	Referans Sinüsoidal Dalga
Ω	Ohm
θ	Anahtarlama Açısı

Kısaltmalar

Kısaltmalar	Açıklama
AA	Alternatif Akım
APOD	Alternatif Ters Faz Yer Değiştirmeli
ÇSE	Çok Seviyeli Evirici
DA	Doğru Akım
DGM	Darbe Genişlik Modülasyonu
DKE	Diyot Kenetli Evirici
KGK	Kesintisiz Güç Kaynağı
KHE	Kaskad Bağlı H-Köprü Evirici
KKE	Kapasitör Kenetli Evirici
OH-DGM	Optimize Harmonikli DGM

Kısaltmalar**Açıklama****PD**

Faz Yer Deęiřtirmeli

POD

Ters Faz Yer Deęiřtirmeli

PS

Faz Kaydırmalı

SDDGM

Sigma Delta DGM

SDGM

Sinüsoidal Darbe Geniřlik Modülasyonu

SGSF

Sabit Gerilim Sabit Frekans

SHE-DGM

Seçilmiş Harmonikleri Eleme DGM

THD

Toplam Harmonik Bozululum

UVDGM

Uzay Vektör DGM

ÜHE-DGM

Üçüncü Harmonik Eklemeli DGM

1. GİRİŞ

Gerilim kaynaklı eviriciler yaygın olarak kesintisiz güç kaynaklarında ve motor hız kontrolleri gibi endüstriyel uygulamalarda kullanılmaktadır [1]. Bu tip eviricilerin dezavantajları darbe genişlik modülasyonun (DGM) dikdörtgen şeklinde olması ve anahtarlama elemanlarının açma – kapama sırasında oluşan anahtarlama kayıplarıdır [2, 3]. Eviricilerde oluşan çıkış dalga formundaki harmoniklerin azaltılması için yüksek anahtarlama frekansları kullanılmaktadır. Bu da eviricilerdeki anahtarlama kayıplarını arttırmaktadır. Bu kayıpları azaltmak için çeşitli yumuşak anahtarlama teknikleri kullanılmaktadır [4, 5].

Son yıllarda şebeke üzerinde değişik yükler bulunması ve özellikle yarı iletken anahtarlama elemanlarının birçok endüstriyel uygulamada kullanılması harmonik etkinin artmasına neden olmuştur. Endüstriyel cihazlar ve kesintisiz güç kaynaklarında enerjinin doğru gerilime dönüştürülmesi için kullanılan kontrolsüz doğrultucular büyük harmonik kaynaklarıdır. Harmonik etkinin artması şebeke kalitesinin bozulmasına buna bağlı olarak şebekedeki motor ve yüksek gerilim kararlılığı isteyen alıcılarda olumsuz etkiler yaratmaktadır. Bu olumsuz etkilerin sonucu olarak alıcıların ömürleri azalmakta ve sistemlerden istenilen performans sağlanmamaktadır. Eviriciler, girişindeki doğru akımı (DA) gerilimi çıkışında alternatif akım (AA) gerilimine dönüştüren çeviricilerdir. Eviriciler sinüsoidal olmayan çıkış gerilimleri üretirler. Eviricinin çıkış gerilimlerine Fourier uygulandığında, temel bileşenlerle birlikte harmonik bileşenlerinin de olduğu görülür. Çıkış gerilimindeki harmonikler iki şekilde en aza indirgenebilir. Birinci olarak yüksek anahtarlama frekansına sahip güç yarıiletken elemanları vasıtasıyla farklı DGM teknikleri kullanılarak. İkinci olarak ise gerilimin çıkış dalga şeklinin seviye sayısı artırılarak olmaktadır [6]. Bunlara ek olarak, evirici çıkışında izolasyon trafosu ve özel filtre tasarımları sıklıkla kullanılmaktadır. Son yıllarda yarı iletken teknolojisinin hızlı ilerlemesi, güç elektroniği alanının giderek önem kazanmasına ve bu alandaki çalışmalarında artmasına neden olmuştur [1-6]. Çok-seviyeli gerilim beslemeli eviriciler, güç elektroniği alanındaki hızlı gelişmelerden dolayı birçok endüstriyel uygulamalarda kullanılmaya başlanmıştır. Nabae ve diğerleri yapmış oldukları çalışmalarda üç-seviyeli eviricilerde anahtarlama frekansını arttırmadan geriliminin çıkış dalga şeklindeki harmonik bileşenlerinin daha az olduğunu belirtmişlerdir [7]. Bu gelişmelerin sonucunda

evirici/çevirici yapılarında yenilikler ve gelişmeler meydana gelmiştir. Özellikle harmoniklerin azaltılması amacı ile çok seviyeli eviriciler (ÇSE) kullanılmaktadır.

Çok seviyeli eviricilerin diğer bir özelliği de yüksek güçlü sistemler altında kararlı çalışmasıdır [7, 8]. İki seviyeli eviricilerde kullanılan anahtarların her birinin akım ve gerilim seviyelerinin yüksek olması gerekmektedir. Bu eviricilerde enerjinin sürekli olarak tek anahtar üzerinden geçişi sağlandığından çok yüksek güçlü sistemlerde bu eviricilerin kullanılması mümkün değildir. Çok seviyeli eviricilerde yüksek anahtarlama frekansına ihtiyaç duyulmadan çıkış dalgası daha düzgün olabilmektedir. Ayrıca her koldaki anahtar sayısı klasik eviricilere göre daha çoktur, buna bağımlı olarak çekilen yük paylaşılacağından, çok yüksek güçlü anahtarlama elemanlarına ihtiyaç duyulmamaktadır. Ayrıca anahtar sayısının artmasıyla eviricinin girişindeki bloklama gerilimi de artmaktadır, yani evirici daha yüksek gerilim uygulamalarında da kullanılabilir [1]. Bu tip eviricilerde sürekli olarak çıkış gücü en az iki anahtar üzerinden sağlandığından yüksek güçlü uygulamalarda bu eviricilerin kullanılması daha uygundur.

Mikrodenetleyici mimarisi, güç elektroniği anahtarlama elemanlarındaki teknolojik gelişmeler ve yenilenebilir enerji kaynaklarının kullanımının artması evirici yapılarının kontrolünde ve yeni topolojilerin oluşturulmasında büyük rol oynamışlardır. Alternatif enerji kaynakları ilk olarak elektrik enerjisinin bulunmadığı bölgelerdeki yükleri beslemek için kullanılan, günümüzdeki kullanımı ve toplam elektrik enerjisi üretimindeki payları gitgide artmaktadır [7, 28]. Nabae ve arkadaşları yaptıkları çalışmada üç seviyeli diyot kenetli evirici (DKE) topolojisini geliştirerek çıkış dalga şekillerinin üretilmesi ve darbe genişlik modülasyonu (DGM) kontrol tekniğini açıklamışlardır. Geliştirdikleri uygulama sistemi ile üç fazlı bir asenkron motoru kontrol ederek sistem üzerindeki harmonik etkileri göstermişlerdir. Çalışma sonucunda çok seviyeli eviricilerin alternatif gerilim motorlarını kontrol aşamasında büyük üstünlükleri bulunduğunu vurgulamışlardır [7]. Çolak ve Kabalcı yaptıkları çalışmada eviricilerin kontrol algoritmaları, kullanılan devre elemanlarını, çıkış gerilim dalga şekli ve harmonik etkilerini karşılaştırarak çok seviyeli eviricilerin harmonik etkileri azalttığı sonucunu vurgulamışlardır [8]. Hamidreza Keyhani tarafından gerçekleştirilen çalışmada trafosuz eviricinin şebeke bağlantısını her bir güneş panelinin maksimum güç takibi yapılarak farklı güneş panellerinin bağlantıları ve şebekeye maksimum gücün iletilmesi sağlanmıştır. Güneş panellerini farklı elektriksel ve çalışma

koşulları altında inceleyerek trafolu-trafosuz eviricilerin şebeke gerilimine etkilerinin karşılaştırılması ortaya konulmuştur [9].

Çok seviyeli evirici topolojileri için üç farklı topoloji önerilmiştir: diyot kenetlemeli (nötr-kenetli), kapasitör-kenetlemeli evirici (KKE) ve ayrı DA kaynakları ile çok hücreyi birbirine bağlayan kaskad bağlı H-Köprü eviricilerdir (KHE) [10]. Eviricilerde çıkış geriliminin sabitlenmesi yaygın olarak doğru akımı alternatif akıma çevirmede, yenilenebilir enerji kaynaklarının şebekeye aktarılmasında ve kesintisiz güç kaynağı sistemleri gibi çeşitli endüstriyel sistemlerde kullanılmaktadır. İyi bir kesintisiz güç kaynağından (KGK) beklenen özellikler, giriş gerilimine göre çıkış gerilimini düzenlemek, yüke göre çıkış gerilimini düzenlemek ve her şart altında düzgün bir sinüsoidal çıkış gerilimi vermesidir. Kesintisiz güç kaynaklarında doğrusal olmayan yükler çıkış dalga formunun bozunumuna neden olan en büyük etkenlerden birisidir. Kesintisiz güç kaynağının performansını etkileyen çıkış dalga formundaki toplam harmonik bozunumdur (THD) [10-14].

Ikonen ve arkadaşları yaptıkları çalışmada rüzgar türbinlerinde kullanılan iki seviyeli ve üç seviyeli eviricilerin maliyet ve güç kayıpları açısından karşılaştırılmasını yapmışlardır. Yapılan çalışma sonucunda iki seviyeli eviricilerin maliyetinin ucuz olduğunu fakat çıkış gerilim dalga şekli ve enerji kayıpları açısından üç seviyeli eviricilerin daha avantajlı olduğu belirtilmiştir [15]. Rodríguez ve arkadaşları tarafından çalışmada çok seviyeli eviricilerin devre topolojilerini kontrol algoritmalarını ve toplam harmonik bozunumu - açısından incelemişlerdir. Yaptıkları çalışma sonucunda çok seviyeli eviricilerin çıkış gerilimi dalga şeklinin diğer evirici türlerine göre daha üstün olduğunu ve çıkış dalga şeklindeki harmonik etkinin daha az olduğunu belirtmişlerdir [16]. Albanna ve arkadaşlarının yaptığı çalışmada histerezis akım denetim yöntemini iki seviyeli ve üç seviyeli eviriciye uygulayarak hata akımları açısından karşılaştırmışlardır. Yapılan çalışma sonucunda hata değerlerinin üç seviyeli eviricide daha az olduğu belirtilmiştir [17]. Kouzou ve arkadaşları tarafından yapılan çalışmada seçilmiş harmoniklerin elimine edildiği darbe genişlik modülasyon (SHE-DGM) tekniğini beş fazlı üç seviyeli eviriciye uygulamışlardır. Yapılan çalışma sonucunda çeşitli modülasyon indekslerinde çıkış gerilimlerini inceleyip seçilmiş harmoniklerin elimine edildiği darbe genişlik modülasyon tekniğinin üç seviyeli eviricilerde çıkış geriliminin kalitesini arttırdığını ve düşük seviyeli harmonikleri elimine ettiğini vurgulamışlardır [18]. Özdemir ve arkadaşları beş seviyeli

diyot tutmalı evirici için, darbe genişlik modülasyon tekniği ile harmoniklerin azaltılması için bir çalışma gerçekleştirmişlerdir. Uygulama ve benzetim çalışmaları karşılaştırılmış ve elde edilen sonuçlara göre çıkış gerilimi harmoniklerinin azaltıldığı gösterilmiştir. Giriş kısmına güneş pilleri ve yakıt pilleri gibi yenilenebilir enerji kaynakları bağlanarak enerji üretmenin mümkün olduğunu vurgulamışlardır [19].

Yukarıda özetlenen çalışmalar incelendiğinde, çok seviyeli eviricilerin çıkış dalga formundaki THD'leri bastırmada daha üstün oldukları görülmektedir. Yenilenebilir enerji kaynaklarının şebekeye aktarımında çıkış dalga formunun düzgün olması beklenmektedir [1-9].

Bu çalışmada, üç seviyeli eviricinin çıkış gerilimi sabit tutularak harmonik analizleri yapılmıştır. Önerilen eviricide THD'yi azaltmak için kullanılan yüksek frekansta anahtarlamaya ihtiyaç olmadan, çıkış dalga formundaki bozunumlar yaklaşık %40 azaltılmıştır. Tasarımı yapılan çalışmada kullanılan çıkış dalga formundaki harmoniklerin azalması için çok seviyeli evirici olarak üç seviyeli diyot tutmalı evirici kullanılmıştır. Serbest kondansatörlü topoloji, harmonik bastırma noktasında diyot kenetli yapıya göre daha başarılı olsa da evirici seviyesi arttığında devre elemanlarının denetimi zorlaşmaktadır [20-24]. 3-seviyeli diyot tutmalı eviricinin kontrolünde Sinüsoidal Darbe Genişlik Modülasyonu (SDGM) kullanılmıştır. Çok seviyeli eviriciler klasik eviricilere göre daha verimli çalışabilmektedirler. Çıkış dalga formundaki toplam harmonik bozunumunun daha az olması sistemin verimini de arttırmaktadır. Önerilen eviricinin bir üstünlüğü de yüksek güçlerde çalışma imkânı sağlamasıdır [20, 23]. Akım ve gerilim THD oranlarının uluslararası standartları sağlayacak en düşük değere ulaştırılması sağlanmıştır [24].

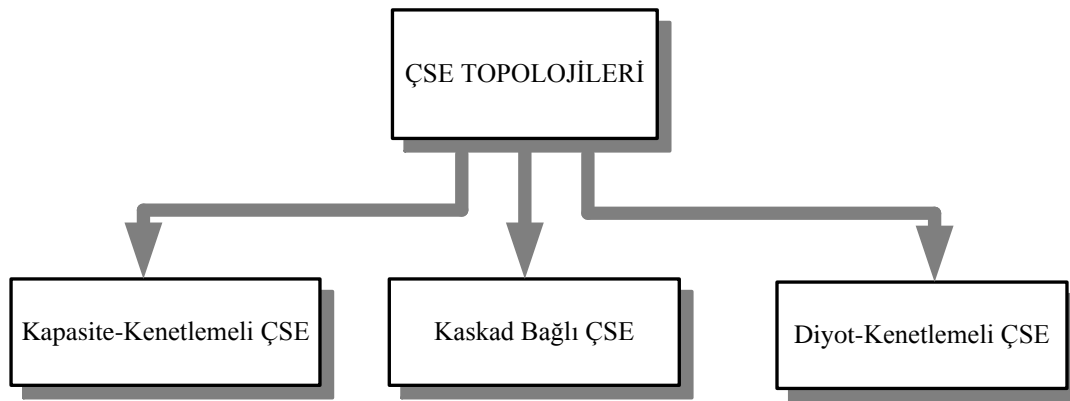
Benzetim ve uygulama çalışmalarında elde edilen gerilim, akım ve THD değerleri IEEE tarafından belirlenen harmonik standartlarıyla karşılaştırılmıştır. Deneysel sonuçları gözlemek için, evirici DGM sinyal üretimi, analog/sayısal çevrim yapısı ve veri işleme hızından dolayı temel işlemci olarak Texas Instruments firması tarafından üretilen TMS320F2812 sayısal işaretçisi kullanılmıştır. Önerilen sistemin klasik eviricilere göre aynı yük ve frekans da %40 daha az harmonik içerdiği ve daha iyi bir performansa sahip olduğu görülmektedir. Çıkış gerilimini sabitlemek için PI kontrol kullanılmıştır. Sistemin bode eğrileri ile analizleri yapılmıştır. Ayrıca önerilen sistem ile MATLAB/Simulink

benzetim sonuçları karşılaştırılmıştır. Tasarlanan sistemin çeşitli çalışma koşulları altında ve sıklıkla karşılaşılan yüklerde (omik, omik - endüktif) analizleri yapılarak sabit gerilim ve düşük harmonik değerlere sahip olduğu görülmüştür. Ayrıca sistemin yüksek güçlü bir transformatöre ihtiyaç duymaması diğer bir avantajıdır. Benzetim ve uygulama çalışmalarında elde edilen sonuçlar ve literatür karşılaştırmaları sonucunda, tasarımı gerçekleştirilen çok seviyeli eviricinin düşük THD değerlerine sahip olduğu görülmektedir.

2. ÇOK SEVİYELİ EVİRİCİ TOPOLOJİLERİ

Çok seviyeli eviriciler güç elektroniği elemanlarındaki yenilikler ve yüksek güçlü uygulamaların artması nedeniyle oldukça fazla ilgi çekmektedirler [7, 19, 20]. İlk olarak Nabea tarafından önerilen nötr nokta kenetli evirici literatürde yer almıştır [7]. Özellikle kesintisiz güç kaynakları ve sürücü sistemlerinde oldukça yaygın olarak kullanılmaktadırlar. Çok seviyeli eviriciler girişine uygulanan DA gerilim seviyelerini iki seviyeli klasik eviricilere göre çıkış gerilimini sinüsoidal dalga formuna daha yakın hale getirmektedirler [7, 8, 21-23, 39]. Seviye sayısı arttıkça çıkış dalga formundaki basamak sayısı da artacağı için çıkış dalga formu sinüsoidal forma yaklaşmaktadır. Çok seviyeli eviricilerde seviye sayısı arttıkça toplam harmonik bozulumu azalmaktadır. Ancak seviye sayısı arttıkça yarıiletken anahtarlama eleman sayısı da artmaktadır. Ayrıca eviricinin seviye sayısının artması eviricinin kontrol algoritmasındaki karmaşıklığı da arttırmaktadır [21, 39].

Şekil 2.1’de ÇSE topolojileri görülmektedir. ÇSE topolojileri içerisinde diyot kenetlemeli evirici ve kondansatör kenetlemeli evirici ortak DA kaynak ile beslenmekte, kaskad bağlı evirici ise izolasyonlu DA kaynak ile beslenmektedir [7, 22]. ÇSE topolojileri devre elemanları anahtarlama durumları ve kullanılan eleman açısından birbirinden farklılık göstermektedir.



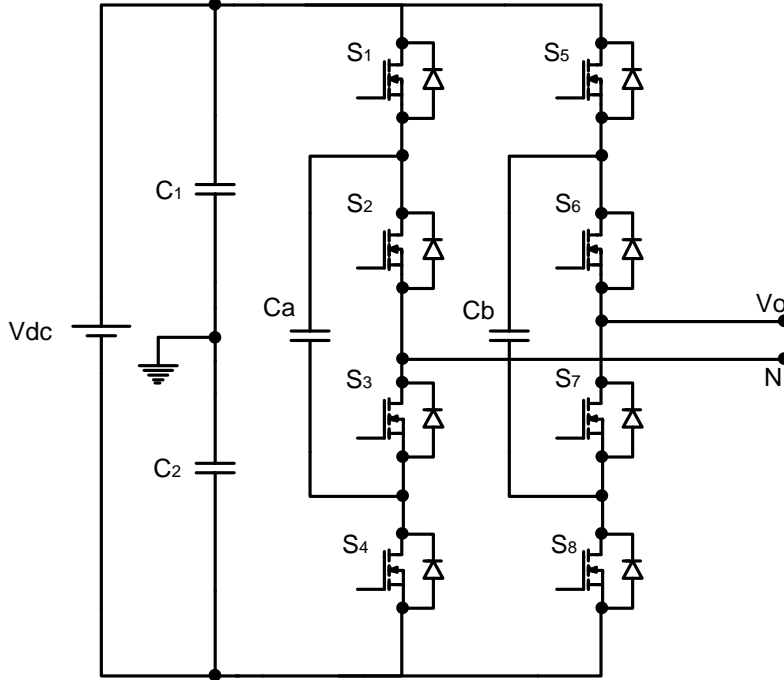
Şekil 2.1. ÇSE topolojilerinin sınıflandırılması

ÇSE topolojileri arasında diyot kenetlemeli evirici, kontrol tekniğinin ve anahtarlama sinyallerinin üretilmesi açısından diğer ÇSE topolojilerine göre daha yaygın olarak

kullanılmaktadırlar. Anahtarlama elemanları kontrol edilirken kenetleme diyotları ters tepe gerilimini de engellemektedirler [7].

2.1. Kondansatör Kenetlemeli ÇSE Topolojisi

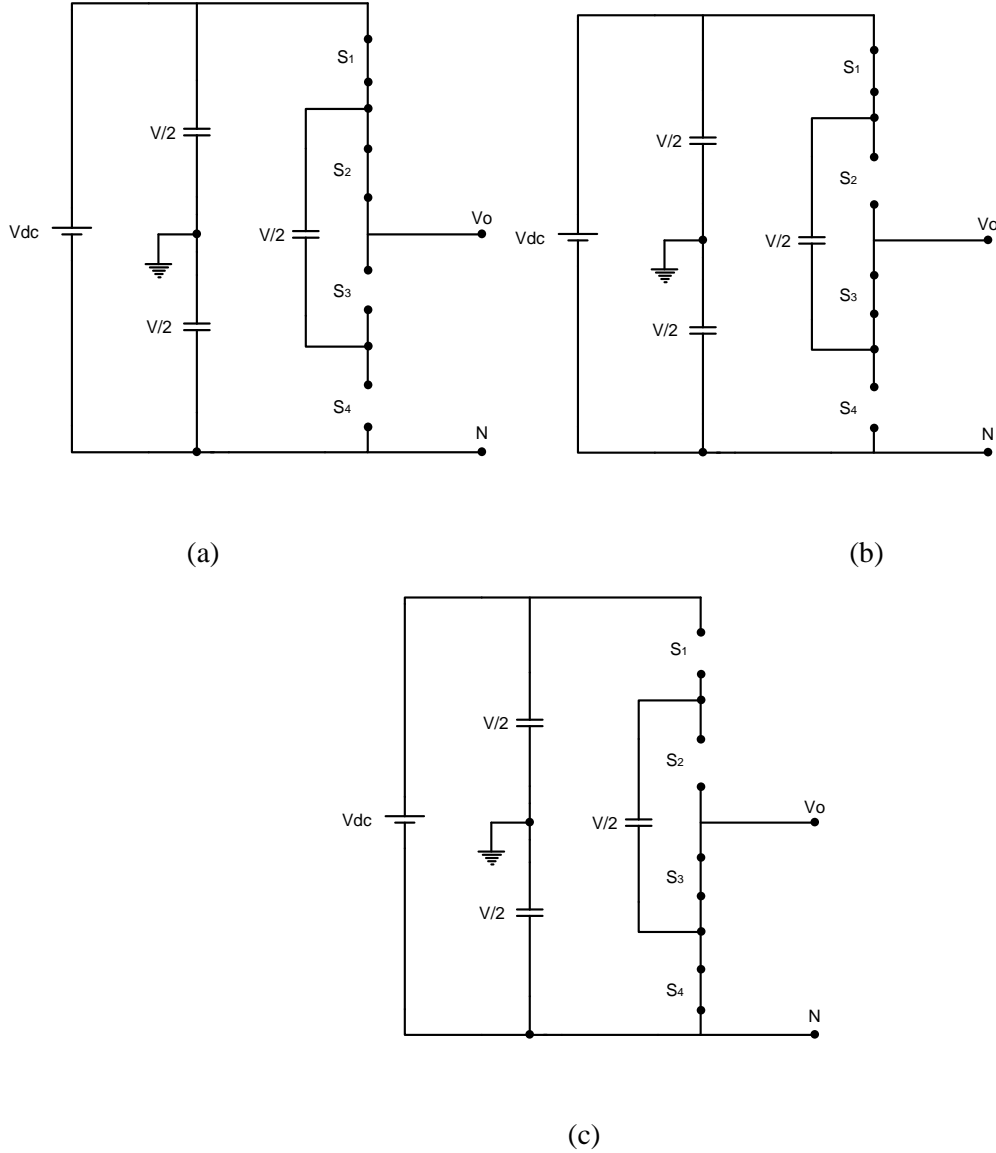
Kondansatör kenetli evirici yapısı Nabae ve arkadaşları tarafından önerilen nötr kenetli ve diyot kenetli evirici yapısına alternatif olarak 1992 yılında Meynard tarafından önerilmiştir. Kondansatör kenetli eviricinin (KKE) temel yapısı diyot kenetli eviriciye benzemektedir [7, 25]. Diyot kenetlemeli ÇSE topolojisindeki kenetleme diyotlarının kullanılmamak için önerilen evirici yapısı geliştirilmiş ve birçok uygulama alanı bulunmaktadır. Diyot kenetlemeli yapıdaki DA hat kondansatörlerinin bazı durumlarda dengesizlikler oluşabilmektedir. Kondansatör kenetli evirici yapısı DA hat kondansatörlerinin gerilim dengesini bozmamaktadır [26, 39]. Bu ÇSE topolojisinde DA hat kondansatörlerinin sayısı gerilim çıkış dalga şeklindeki basamak seviyesini göstermektedir. Şekil 2.2’de 3 seviyeli kondansatör kenetli evirici topolojisi görülmektedir.



Şekil 2.2. Bir fazlı 3-seviye KKE

Şekil 2.2’de görüldüğü gibi 3 seviyeli KKE’nin her üç faz çıkışı DA hat kondansatörleri tarafından 3 seviyeye bölünmüş ve giriş gerilimini paylaşmaktadır. Ca ve Cb

kondansatörleri yardımcı kondansatörlerdir. Şarj edildikten sonra çıkış gerilimindeki $+V_{DA}/2$, 0 , $-V_{DA}/2$ gerilim seviyelerini üretirler. Şekil 2.3' de 3 seviyeli kondansatör kenetli ÇSE topolojisinin anahtarlama durumları görülmektedir. Burada çıkış gerilimi 3 seviyeye bölünmektedir.



Şekil 2.3. Üç seviyeli KKE ÇSE (a) Birinci durum $+V/2$ (b) İkinci durum 0 (c) Üçüncü durum $-V/2$

Şekil 2.3 a'da görüldüğü gibi S3, S4 anahtarları kesimde, S1, S2 anahtarları iletimde iken, çıkış gerilimi $+V/2$ olmaktadır. Şekil 2.3 b'de S2, S4 anahtarları kesimde, S1, S3 anahtarları iletimde iken çıkış gerilimi 0 olmaktadır. Eğer Şekil 2.3 c'deki gibi S1, S2 anahtarları kesimde S3 ve S4 anahtarları iletimde tutulduğu takdirde ise çıkış gerilimi $-V/2$ olacaktır.

3 seviyeli bir KKE topolojisinin kontrolünde kullanılan anahtarlama durumları ve çıkış geriliminin seviyeleri Çizelge 2.1’de görülmektedir.

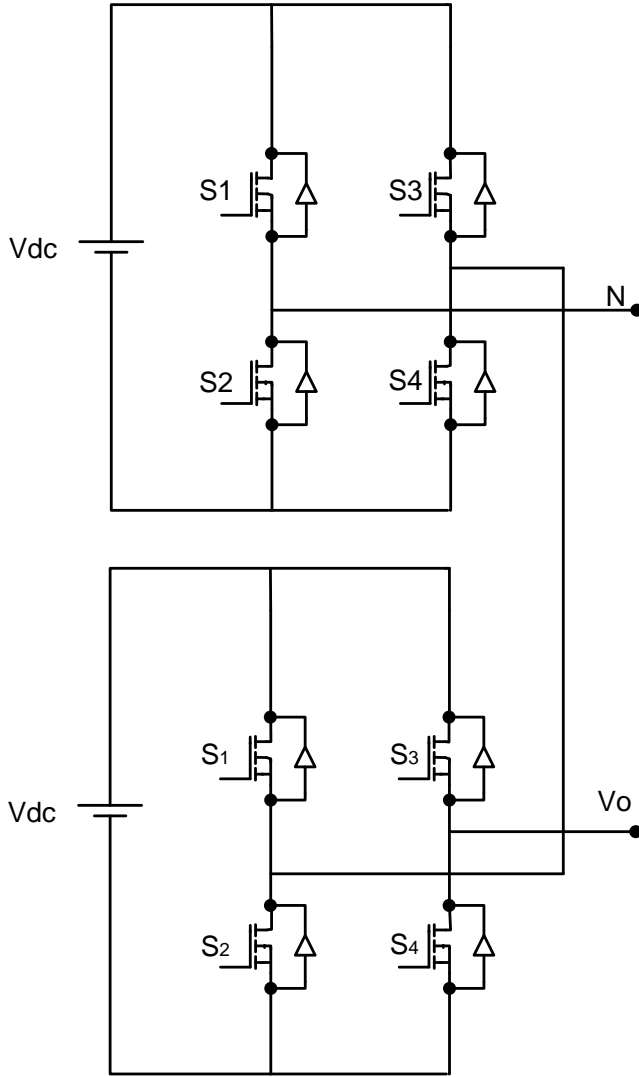
Çizelge 2.1. Üç seviyeli KKE anahtarlama durumları ve gerilim oranları

V_{an} Çıkışı	Anahtarlama Durumları			
	S1	S2	S3	S4
+V/2	1	1	0	0
0	1	0	1	0
-V/2	0	0	1	1

KKE topolojisi diyot kenetlemeli topolojiye göre avantajlara ve dezavantajlara sahiptir. KKE topolojisi aktif ve reaktif güç akışını faz alternatifleri ile kontrol edilmesi ve filtre ihtiyacını ortadan kaldırması en önemli üstünlükleridir. Bunun yanı sıra KKE maliyet olarak Diyot Kenetlemeli Evirici (DKE)’ ye göre dezavantaja sahiptir. Aynı zamanda boyut olarak da DKE topolojisinden büyük bir yer kaplar. Ayrıca etkinlik ve anahtarlama dereceleri gerçekteki güç transferini gerçekleştirmek için yeterli sayılmaz [27-28].

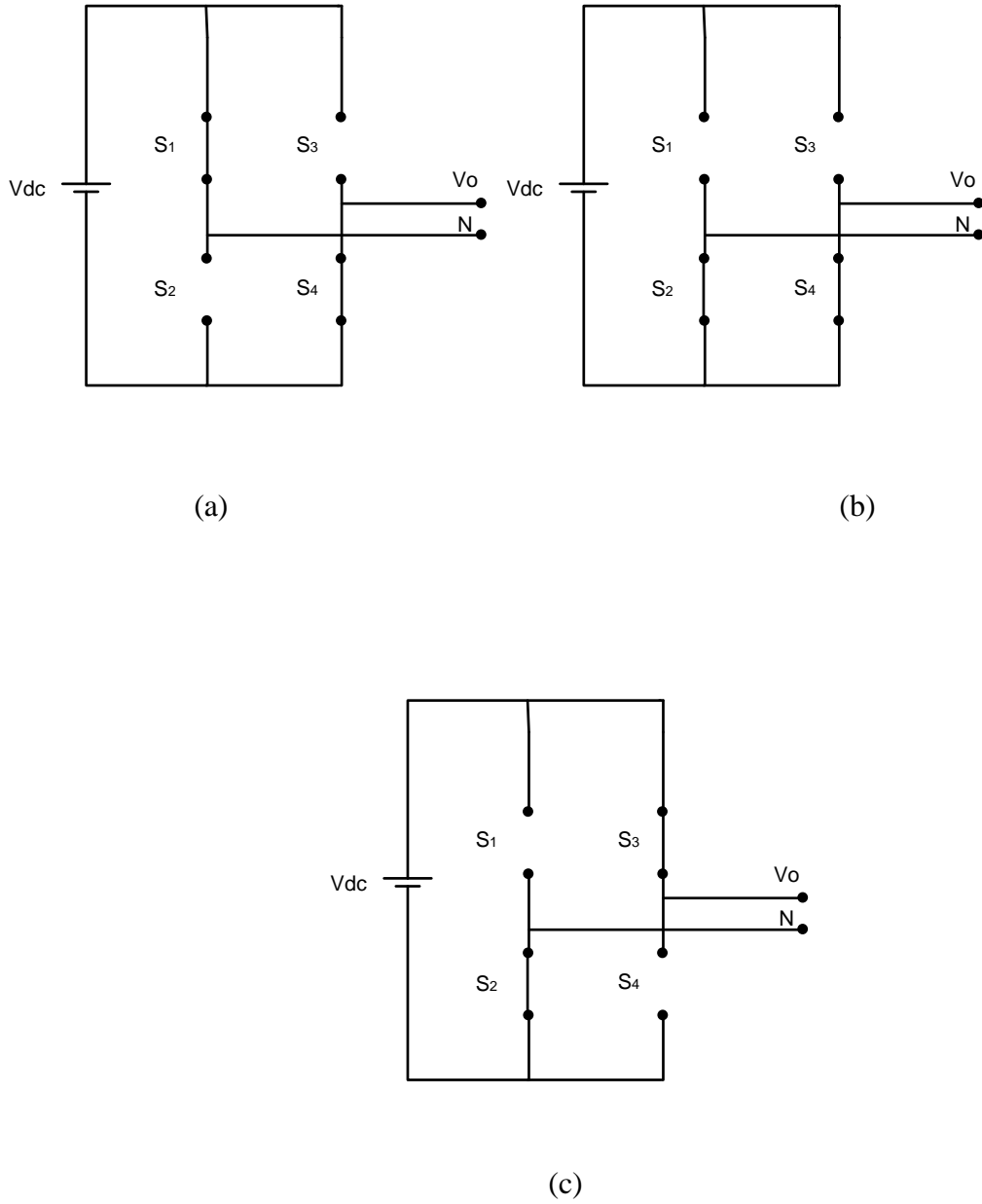
2.2. Kaskad Bağlı H-Köprü ÇSE Topolojisi

Kondansatör kenetli ve diyot kenetli ÇSE topolojilerine göre kaskad H-köprü evirici (KHE) topolojisinde daha az anahtarlama elemanı kullanılmaktadır. H-köprü eviricilerin seri bağlanması ile oluşturulmuştur. Tek bir tane H-köprüsü ile 3 seviyeli çıkış gerilimi elde edilebilmektedir. Ayrıca bu topolojiye tek fazlı H-köprü eviricilerin eklenmesi ile evirici çıkış gerilim seviyesi arttırılabilmektedir. Kaskad bağlı ÇSE topolojileri izoleli DA kaynak kullanılmaktadır. İzole kaynağın bağlanma sebebi her bir H-köprünün seri bağlanmasından kaynaklanmaktadır. Günümüzde yakıt hücrelerinde, alternatif akım güç kaynaklarında ve hız kontrol devrelerinde kullanılmaktadır [29, 30, 39]. Şekil 2.4’de bir fazlı 3-seviye kaskad bağlı H-köprü ÇSE yapısı görülmektedir. Faz-nötr gerilimini elde etmek için her bir H-köprünün çıkış gerilimlerini seri olarak bağlanmalıdır. Burada çıkış iki tane H-köprüsünün çıkış gerilimlerinin toplamına eşittir.



Şekil 2.4. Bir fazlı 3-seviye kaskad bağlı ÇSE topolojisi

Şekil 2.5’de kaskad bağlı ÇSE topolojisinin anahtarlama durumları gösterilmiştir. Şekil 2.5 a’da S2, S3 anahtarları kesimde, S1, S4 anahtarları iletimde iken kaskad bağlı ÇSE’nin çıkış gerilimi $+V$ olmaktadır. Şekil 2.5 b’de S1, S3 anahtarları kesimde, S2, S4 anahtarları iletimde iken çıkış geriliminin değeri $0V$ olduğu görülmektedir. Şekil 2.5 c’de ise S1, S4 anahtarları kesimde, S2, S3 anahtarları iletimde iken çıkış geriliminin değeri $-V$ olacaktır.



Şekil 2.5. Üç seviyeli KHE ČSE (a) Birinci durum $+V$ (b) İkinci durum 0 (c) Üçüncü durum $-V$

3 seviyeli bir KHE topolojisinin kontrolünde kullanılan anahtarlama durumları ve çıkış geriliminin seviyeleri Çizelge 2.2’de görülmektedir. Diğer ČSE topolojilerine göre KHE topolojisinin anahtarlama durumları çapraz şekilde yapılmaktadır. S1 ve S4 anahtarları iletimdeyken, S2 ve S3 anahtarları kesime gitmektedir.

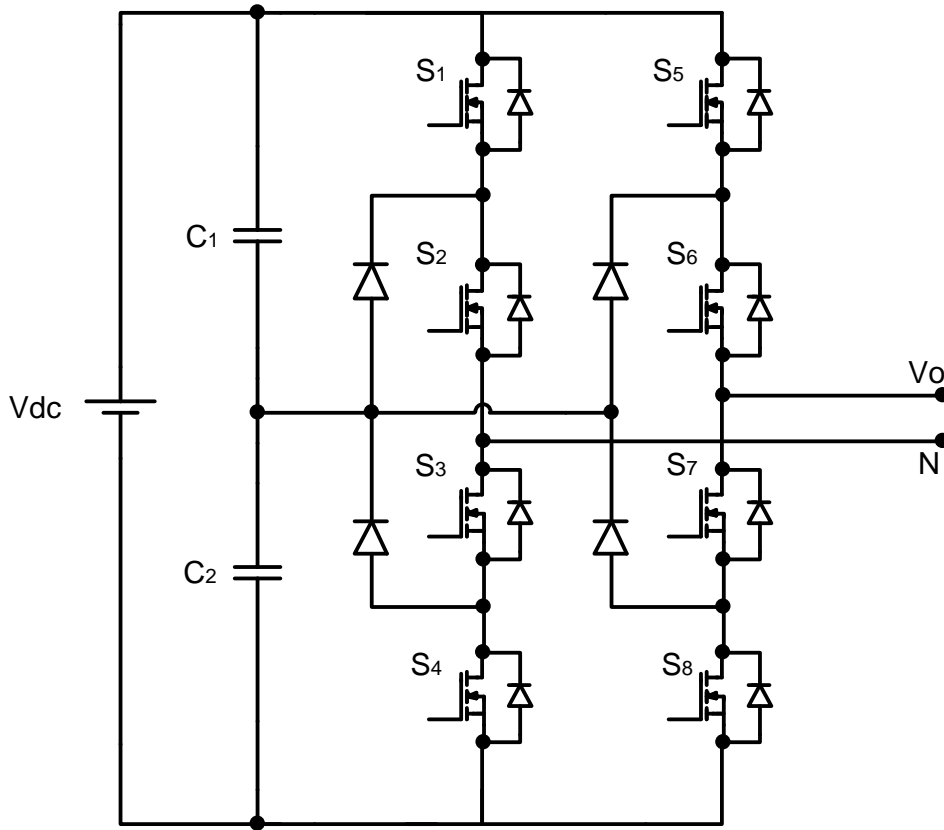
Çizelge 2.2. Üç seviyeli KHE anahtarlama durumları ve gerilim oranları

V _{an} Çıkışı	Anahtarlama Durumları			
	S1	S2	S3	S4
+V	1	0	0	1
0	0	1	0	1
-V	0	1	1	0

KHE topolojisi diyot kenetlemeli topolojiye ve kondansatör kenetli topolojiye göre daha az elemanla seviye sayısı artırılabilir. Ancak her bir H-köprü için izoleli DA kaynak gerekmektedir. Hibrid topolojisi kaskad bağlı eviricilerin yüksek güçlerde kullanılmasını sağlamıştır [29].

2.3. Diyot Kenetlemeli ÇSE Topolojisi

Nabae ve arkadaşları tarafından önerilen diyot kenetli evirici ÇSE topolojileri arasında en yaygın olan yapıdır. Diyot Kenetlemeli Evirici (DKE) topolojisinin avantajı kontrol yönteminin basitliği ve yüksek güçlerde kullanılmasıdır [7, 30]. DKE topolojisinde faz-nötr seviyesi arttıkça topoloji yapısındaki kondansatör sayısı da seviye-1 kadar artmaktadır. 3 seviyeli bir eviricide 2 adet hat kondansatörü kullanılmaktadır. Kondansatörlerin üzerlerine düşen gerilim giriş gerilimini eşit paylaşacak şekildedir. 3 seviyeli bir DKE topolojisinde kondansatörlerin üzerlerine düşen gerilim $+V/2$ 'dir. Kenetleme diyotlarının görevi, anahtarlama elemanları üzerlerindeki gerilimi DA hat kondansatörleri üzerindeki gerilime kenetlemektir. KHE yapısından farklı olarak bu nedenle DKE topolojisinde anahtarlama elemanları üzerine düşen gerilim DA hat geriliminin yarısı kadardır. Bu topolojide çıkış gerilimi giriş hat gerilimlerinin birleşmesinden oluşmaktadır [7, 21, 39]. Diyot kenetli evirici topolojisinin çıkış geriliminde değişken bir gerilim elde etmek ve DA hattı kısa devre etmemek için her bir faz kolundaki yarı iletken anahtarlama elemanlarının sırasıyla periyodik olarak anahtarlaması gerekmektedir. Şekil 2.6'da bir faz 3-seviyeli diyot kenetlemeli evirici görülmektedir. Bir faz, giriş hat kondansatörleri sayesinde 2 ayrı kaynak ile 3 ayrı seviyeye ayrılmıştır. Anahtarlama elemanları üzerine düşen gerilim, kenetleme diyotları üzerinden geçerek DA kaynak gerilimi ile sınırlanmaktadır.



Şekil 2.6. Bir fazlı 3-seviye diyot-kenetli ÇSE topolojisi

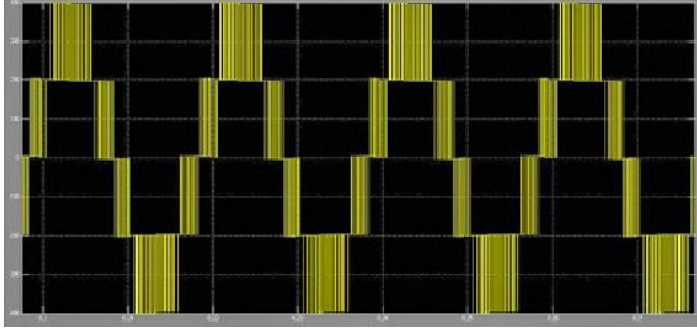
Diyot kenetli evirici topolojisinde tek kol için ℓ seviye sayısı olarak ifade edilirse, topolojide kullanılacak anahtar sayıları, kenetleme (tutma) diyotlarının sayıları ve DA hat kondansatörlerinin sayıları Eş. 2.1 ve Eş. 2.2’de görüldüğü gibi belirlenir. Eş. 2.3’de ise DA barada kullanılacak kondansatör sayısının hesabı görülmektedir [25].

$$S=2(\ell-1) \quad (2.1)$$

$$D=(\ell-1)(\ell-2) \quad (2.2)$$

$$C=(\ell-1) \quad (2.3)$$

Şekil 2.6’da görüldüğü gibi 3 seviyeli DKE topolojisi DA hat kondansatörleriyle 3 seviyeye ayrılmış DA hat gerilimini kullanmaktadır. Eviricinin nötr noktası C_1 ve C_2 kondansatörlerinin birleşim noktasıdır. Bu topolojinin temel klasik 2 seviyeli eviriciden farkı kenetleme diyotları gerektirmesidir. Şekil 2.7’de 3 seviyeli DKE’nin çıkış gerilim seviyeleri görülmektedir.

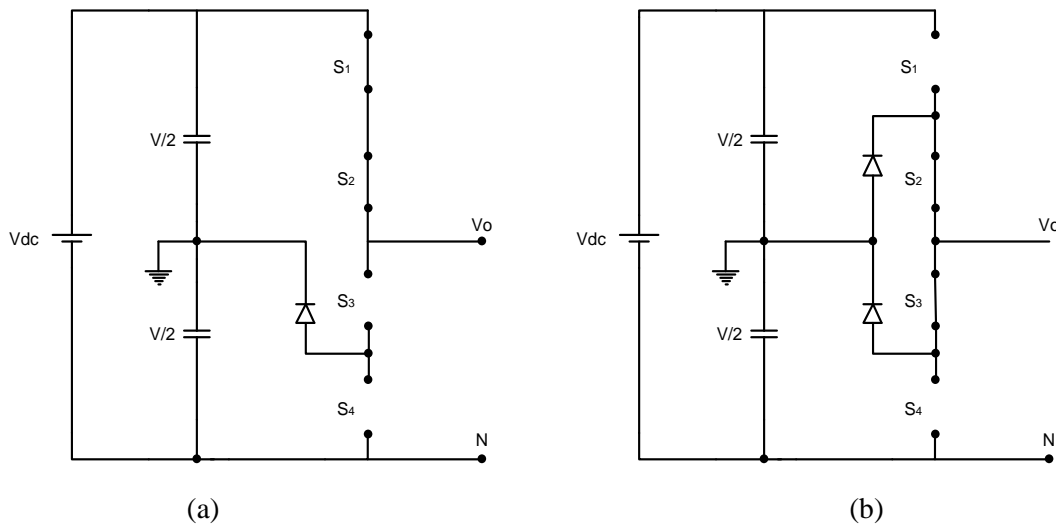


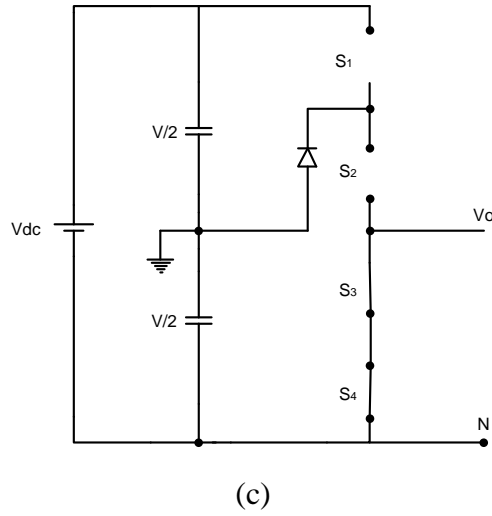
Şekil 2.7.Üç seviyeli DKE'nin çıkış gerilimi

Eş 2.4'den terimi harmonik sayısını göstermekle birlikte 3 seviyeli eviricinin Fourier açılımı görülmektedir. Eş 2.4'de görülen θ_1 , θ_2 anahtarlama açıları harmonik bozunumunu en düşük değere düşürmek için çeşitli darbe genişlik modülasyon teknikleri ile hesap edilebilir.

$$V_t = \sum_{n=1,3,5,\dots}^{\infty} \frac{2V_{da}}{n\pi} (\cos(n\theta_1) + \cos(n\theta_2)) \quad (2.4)$$

Şekil 2.8'de diyot kenetli ÇSE topolojisinin anahtarlama durumları gösterilmiştir. Şekil 2.8 a'da S3, S4 anahtarları kesimde, S1, S2 anahtarları iletimde iken kaskad bağlı ÇSE'nin çıkış gerilimi $+V/2$ olmaktadır. Şekil 2.8 b'de S1, S4 anahtarları kesimde, S2, S3 anahtarları iletimde iken çıkış geriliminin değeri $0V$ olduğu görülmektedir. Şekil 2.8 c'de ise S1, S2 anahtarları kesimde, S3, S4 anahtarları iletimde iken çıkış geriliminin değeri $-V/2$ olacaktır [32-33].





Şekil 2.8. Üç seviyeli DKE ČSE (a) Birinci durum $+V/2$ (b) İkinci durum 0 (c) Üçüncü durum $-V/2$

3 seviyeli bir DKE topolojisinin kontrolünde kullanılan anahtarlama durumları ve çıkış geriliminin seviyeleri Çizelge 2.3’de görülmektedir.

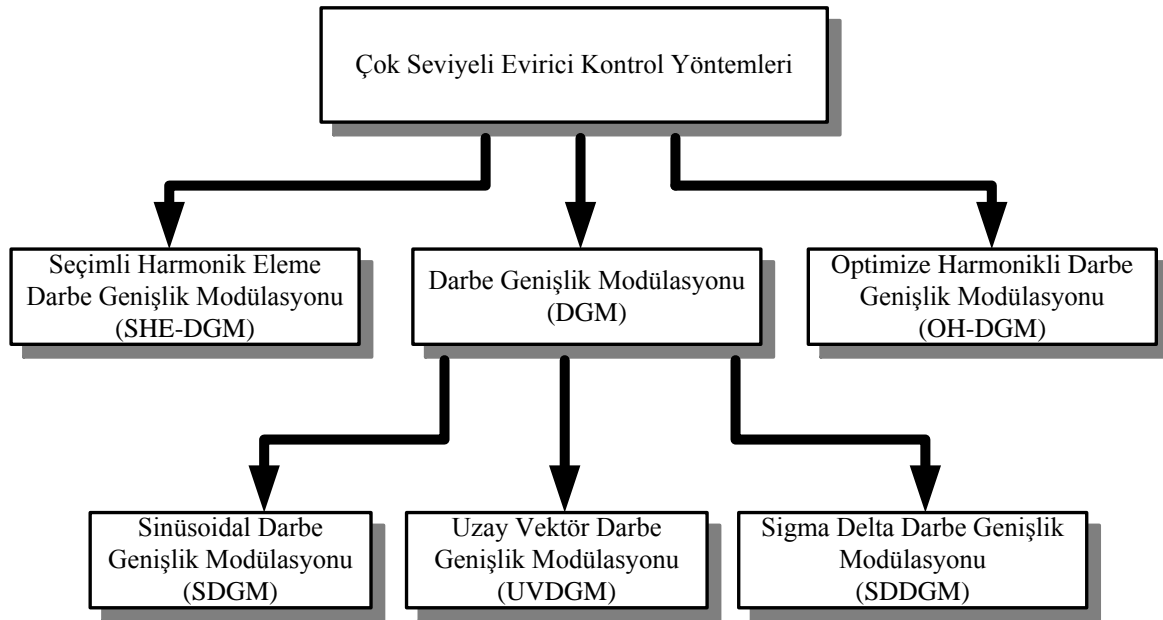
Çizelge 2.3. Üç seviyeli DKE anahtarlama durumları ve gerilim oranları

V_{an} Çıkışı	Anahtarlama Durumları			
	S1	S2	S3	S4
$+V/2$	1	1	0	0
0	0	1	1	0
$-V/2$	0	0	1	1

Bu ČSE topolojisinde seviye sayısının artması ile harmonik bozunumu azalmaktadır. Aynı zamanda bütün fazlar aynı DA barayı paylaşmaktadır. Ayrıca temel anahtarlama frekansında yüksek verim ile çalışmaktadır. Bu tez çalışmasında kontrol tekniğinin basit olması nedeniyle diyot kenetli evirici kullanılmıştır.

3. ÇOK SEVİYELİ EVİRİCİLERDE KONTROL DENETİM YÖNTEMLERİ

Darbe genişlik modülasyon yöntemleri eviricilerde çıkış dalga formundaki bozunumların ve evirici performansının etkisinde doğrudan etkilidir. Ayrıca anahtarlama kayıpları ve kısa devre güç kayıplarını da etkilemektedir. Literatürde çok sayıda darbe genişlik modülasyon teknikleri vardır. Bunun yanı sıra farklı yöntemlerde araştırmalar devam etmektedir. ÇSE'lerde kontrol yöntemleri üzerine çeşitli çalışmalar yapılmaktadır. Klasik 2 seviyeli eviricilere göre yüksek güç gerektiren devrelerde ve daha düşük frekansta anahtarlama frekansına ihtiyaç duymaktadır. Şekil 3.1'de ÇSE'ler için kontrol yöntemleri görülmektedir. Burada akım kontrollü DGM yöntemleri verilmemiştir.



Şekil 3.1. Çok seviyeli evirici darbe genişlik modülasyon yöntemleri

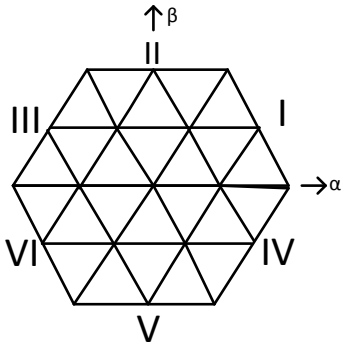
ÇSE'ler de en çok kullanılan DGM yöntemleri şunlardır.

- Uzay Vektör DGM (UVDGM)
- Üçüncü Harmonik Eklemeli DGM (ÜHE-DGM)
- Seçimli Harmonik Eleme DGM (SHE-DGM)
- Sinüsoidal DGM (SDGM)

3.1. Uzay Vektör DGM (UVDGM)

Uzay Vektör Darbe Genişlik Modülasyon (UVDGM) tekniği iki seviyeli ve çok seviyeli eviricilerde yaygın olarak kullanılmaktadır. Bu yöntem üç fazlı sistemlerde istenilen genlik ve frekans elde edebilmek için kullanılmaktadır. Bu yöntem harmonik bastırma ve evirici veriminin artmasında daha kararlı çalışmaktadır. Literatürde birçok UVDGM algoritmaları geliştirilmiştir [25]. Uzay vektör DGM tekniğinde amaç, en düşük toplam harmonik bozunumu ve anahtarlama kayıplarının en aza indirgenmesi istenen evirici çıkışının sinüsoidal olmasıdır. Bu nedenle eviricideki anahtarların bütün durumları birer anahtarlama vektörü ile ifade edilir. Bu vektörlerin bütün kombinasyonları kullanılarak en uygun anahtarlama durumları çeşitli matematiksel ifadeler yardımıyla seçilir. UVDGM tekniğinde herhangi bir SDGM tekniğinde olduğu gibi bir karşılaştırma söz konusu değildir. Anahtarların iletim ve kesim süreleri matematiksel olarak hesaplanır. Bu yüzden uzay vektör DGM tekniğinde sinüsoidal DGM tekniğindeki gibi taşıyıcı bir üçgen sinyal ve referans dalga şekillerine ihtiyaç yoktur.

UVDGM yönteminde üç fazlı sistemlerdeki referans 3 faz gerilimleri (α , β) uzayında bulunan anahtarlama vektörlerine dönüştürülmektedir. 2 seviyeli 3 fazlı bir evirici için 8 ayrı anahtarlama durumu vardır. Bu anahtarlama durumlarını uzay vektörde ifade edebilmek için 3 fazlı referans değerlerden iki eksenli α , β eksenine geçmek gerekmektedir. Şekil 3.2’de 3 seviyeli bir eviricinin uzay vektör DGM tekniğindeki gerilim vektörü görülmektedir. Burada gerilim vektörleri altı adet üçgene bölünmüştür.



Şekil 3.2. Üç seviyeli eviricinin gerilim vektörü

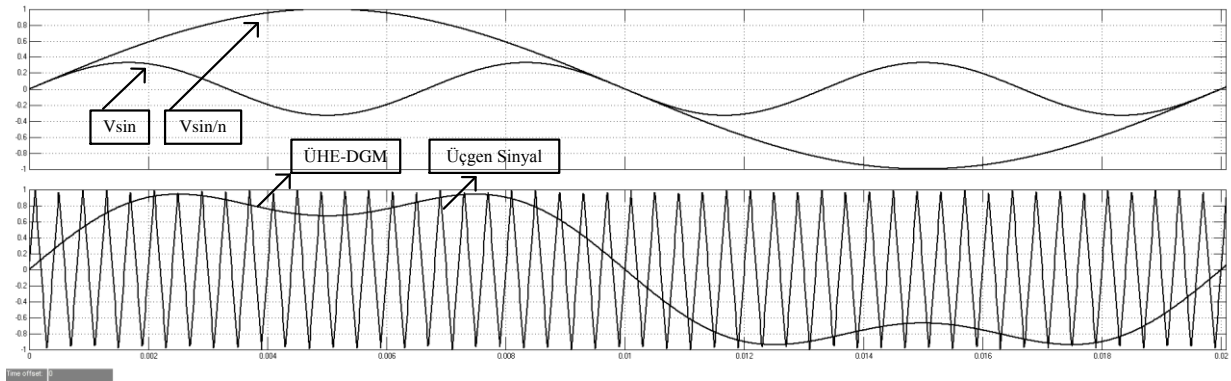
Şekil 3.2’deki vektörlerden sıfır vektörler orijinal ekseninde, aktif vektörler ise altıgen ekseninde, yer almaktadırlar. UVDGM tekniğinde her döngüde yapılan anahtarlama

fonksiyonlarından en yakın iki aktif vektörü ve sıfır vektörlerini anahtarlayarak vektör yaklaşımı yapmaktadır [31-33].

UVGDM tekniğinin en büyük avantajı değişen yük değerlerini sürekli olarak hesaplanmasıdır. Bu işlemi en kısa sürede yapması UVDGM tekniğinin etkinliğini arttırmaktadır. Ancak ÇSE topolojilerinde seviye sayısı arttıkça UVDGM tekniğinin kontrolü ve hesap yöntemleri zorlaşmaktadır. Ayrıca UVDGM yöntemi 3 fazlı sistemler için geliştirilmiştir [32, 33].

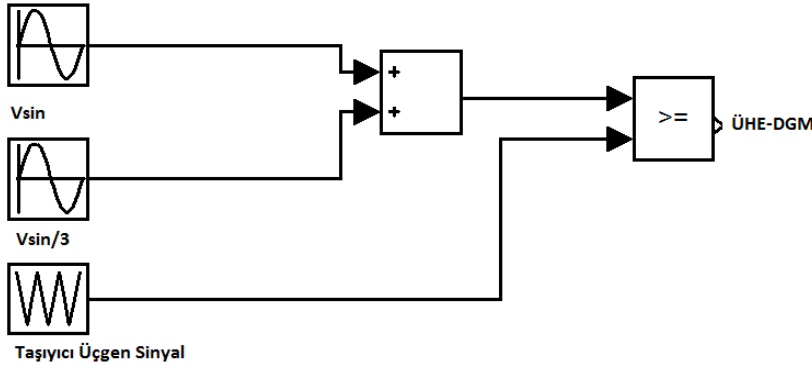
3.2. Üçüncü Harmonik Eklemeli DGM (ÜHE-DGM)

ÜHE-DGM kontrol tekniği son yıllarda üç fazlı nötr izoleli sistemlerde ve çok seviyeli eviricilerde çıkış gerilimini arttırmak için kullanılmaktadır. Bu teknikte referans sinüs işaretlerine temel dalga'nın 3 katı frekansa sahip olan ikinci bir dalga'nın birleştirilmesiyle modüle edici işaret elde edilmiş olacaktır. Bu tekniğin en büyük avantajı Modülasyon indeksinin SDGM tekniğine göre daha fazla oluşmasıdır. Eviricinin çıkış geriliminde modülasyon indeksi yaklaşık %15 daha fazladır. Ayrıca bu teknikte 3. Harmonik akımlarının ve gerilimlerinin oluşmadığı görülmektedir [7, 32, 33]. Şekil 3.3'de Temel dalgaya 3. Harmonik sinyalinin eklenmesi gösterilmektedir.



Şekil 3.3. ÜHE-DGM modülasyon işaretinin üretilmesi

V_{sin} temel dalgasının genliği 15 Volt, frekansı ise 50 Hz olan temel dalga genliğinin üçte biri ve üç katı frekansta bir sinyal ile birleştiğinde ÜHE-DGM modülasyon işareti üretilmektedir. Şekil 3.4'de oluşturulan ÜHE-DGM modülasyon tekniğinin Matlab/Simulink kontrol bloğu görülmektedir.



Şekil 3.4. ÜHE-DGM modülasyonun işaretinin Matlab benzetimi ile üretilmesi

3.3. Seçimli Harmonik Eleme DGM (SHE-DGM)

ÇSE topolojilerinde çıkış gerilimine ait dalga şeklinin harmonik bozunumların en aza indirgenmesi istenmektedir. Özellikle evirici çıkışında üçüncü ve beşinci harmonikler çıkış dalga şeklindeki harmonik bozunumları arttırmaktadır. Bu yöntemin en büyük özelliği bastırılacak olan harmonik dereceleri belirlenerek Fourier analizi yapılmaktadır. Patel tarafından önerilen bu tekniğin avantajı, belirli harmonikleri bastırmasıdır [32, 33]. Eş. 3.1’de iki seviyeli bir eviricinin sinüsoidal olmayan bir dalga şeklinin sinüs ve kosinüs bileşenlerinin olduğu fourier açılımı görülmektedir.

$$V(wt) = V_o + \sum_{n=1}^{\infty} x_n \sin(nwt) + \sum_{n=1}^{\infty} y_n \cos(nwt) \quad (3.1)$$

Burada;

V_o = Dalga şekline ait ortalama gerilim değerini

x_n = Sinüs bileşen genliğini

y_n = Kosinüs bileşen genliğini

göstermektedir.

Çıkış gerilimi Eş. 3.2’deki eşitlik yardımıyla elde edilmektedir. Ayrıca sinüs ve kosinüs bileşenlerine ait eşitlikleri sırasıyla Eş. 3.3 ve Eş. 3.4’de görülmektedir.

$$V_o = \frac{1}{2\pi} \int_0^{2\pi} v(wt) dwt \quad (3.2)$$

$$x_n = \frac{1}{\pi} \int_0^{2\pi} v(wt) \sin(nwt) dwt \quad (3.3)$$

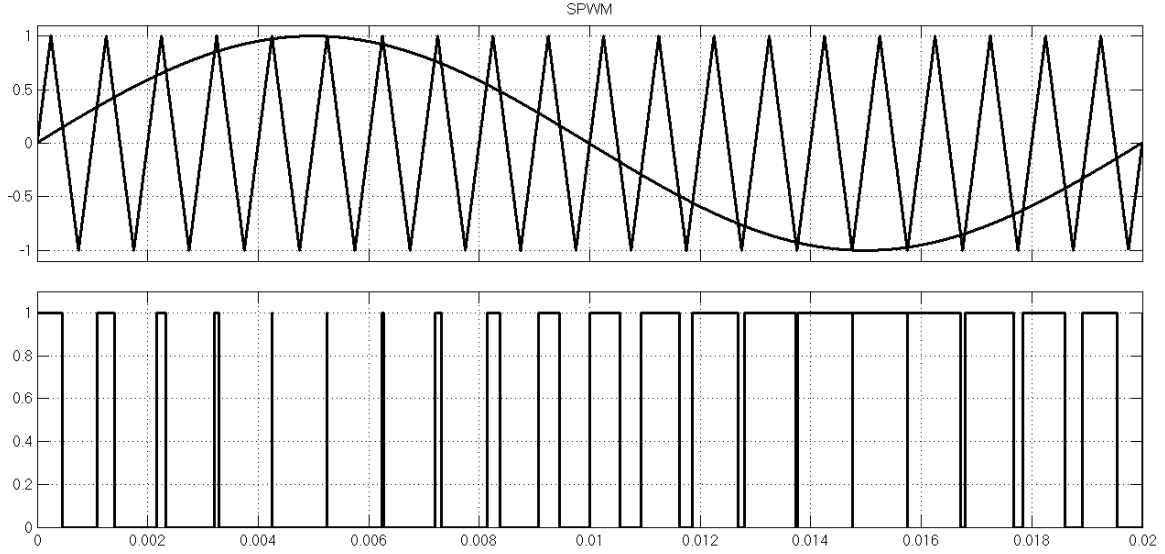
$$y_n = \frac{1}{\pi} \int_0^{2\pi} v(wt) \cos(nwt) dwt \quad (3.4)$$

Eviricinin çıkış geriliminde bastırılmak istenen harmonikler bir matris yöntemiyle hesaplandığında, evirici anahtarlama açıları elde edilecektir. Elde edilen anahtarla açıları seçilen harmonikler için minimum değerde olacaktır.

SHE-DGM tekniğinin çeşitli avantajları ve dezavantajları vardır. Bu teknikte istenilen harmonik seviyeleri bastırılırken aynı zamanda bir anahtarlama açısına karşılık gelen yan bant harmonikleri oluşmaktadır. Oluşan bu yan bant harmonikleri için ise ayrı bir hesap yapılması gerekmektedir. Kontrol algoritmasının karışık olması bu yöntemin dezavantajlarından biridir.[34].

3.4. Sinüsoidal DGM (SDGM)

Alternatif akımla beslenen yükler sinüsoidal kaynaktan beslendiği için evirici çıkışında mümkün olduğu kadar sinüsoidale yakın olması gerekmektedir. Bunun içinde referans dalga olarak kare dalga yerine sinüsoidal bir dalga kullanılır. Bu referans dalga üçgen taşıyıcı bir dalga ile karşılaştırılarak tetikleme sinyalleri elde edilir. Bu kontrol yöntemine Sinüsoidal Darbe Genişlik Modülasyonu (SDGM) denir ve SDGM tekniği kare dalga içerisindeki bozunumları elimine eden yöntemlerden birisidir. Çok seviyeli SDGM yöntemi üçgen dalga olan taşıyıcı işaretler ile sinüsoidal bir modülasyon dalgasının karşılaştırılmasına ile oluşmaktadır. n-seviyeli bir evirici için (n-1) tane üçgen taşıyıcı işaret kullanılır. Üç seviyeli bir evirici için sıfır referansının üstünde ve altında birer tane olmak üzere, toplam iki adet üçgen taşıyıcı işaret kullanılır [35]. SDGM tekniği sinüs biçiminde bir gerilim elde etmek için en kolay ve en ekonomik yöntem olarak kullanılmaktadır. Bu yöntemde, yüksek frekanslı bir taşıyıcı üçgen ile daha düşük frekanslı sinüs işareti karşılaştırılmaktadır [7, 31]. Karşılaştırılan sinyallerin kesişme noktalarında darbeler üretilmektedir. Şekil 3.5’de sistemin anahtarlama frekanslarının nasıl üretildiği gösterilmiştir [31, 36]. Eş. 3.5’de ve Eş. 3.6’da referans sinyalin taşıyıcı dalgayla karşılaştırılması görülmektedir.



Şekil 3.5. Sinüsoidal DGM yönteminin temel prensibi

$$V_{ref} > V_t \quad \text{ise} \quad VA0 = 0.5Vd \quad (3.5)$$

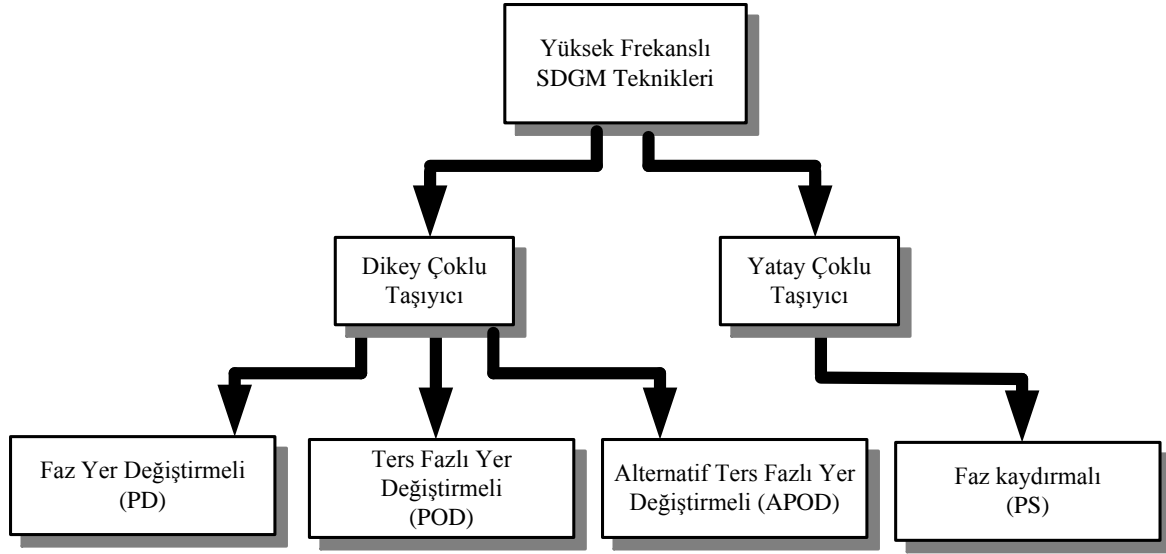
$$V_{ref} < V_t \quad \text{ise} \quad VA0 = -0.5Vd \text{ Olur [31].} \quad (3.6)$$

Burada, V_{ref} referans sinüsoidal dalga genliği, f çıkış frekansı, V_t taşıyıcı dalga işaret genliği, f_s anahtarlama frekansı, m_a modülasyon indeksi, m_f modülasyon oranıdır. Eş. 3.7 ve Eş. 3.8'de çok seviyeli eviricilerde modülasyon indeksi ve frekans indeksi görülmektedir. ÇSE'lerde referans işaret sayısı bir adet, taşıyıcı işaret sayısı ise eviricideki seviye sayısı-1 tane taşıyıcı işaret olması gerekmektedir. Bu taşıyıcı işaretlerin genlikleri ve frekansları da birbirine eşit olması gerekmektedir [31-36].

$$m_a = \frac{V_{ref}}{(n-1)V_t} \quad (3.7)$$

$$m_f = \frac{f_s}{f} \quad (3.8)$$

Çok seviyeli eviricilerde temel frekans ve yüksek frekanslı olmak üzere iki adet SDGM yöntemi kullanılmaktadır. Burada temel frekans yöntemi, anahtarlama kayıplarını azaltmak üzere geliştirilmiştir. Yüksek frekanslı SDGM yönteminde ise taşıyıcı sayısı artırılarak eviricinin verimliliği artırılmaktadır. Yüksek frekanslı SDGM teknikleri Şekil 3.6'da görülmektedir.



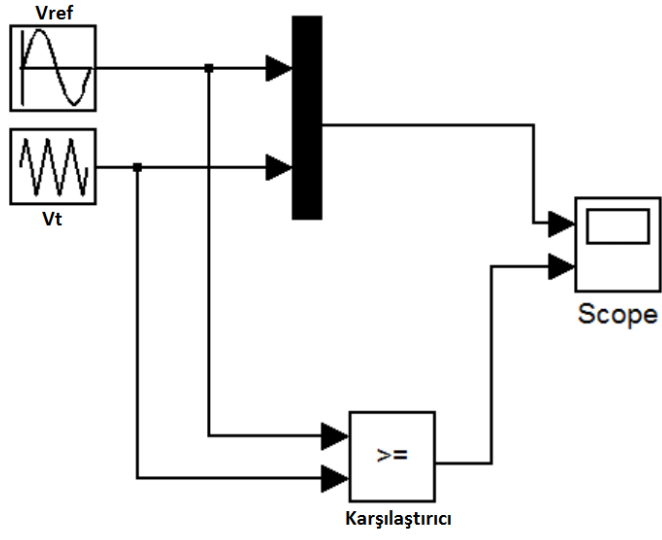
Şekil 3.6. SDGM taşıyıcı şemaları blok diyagramı

Çoklu taşıyıcı SDGM yöntemleri dikey çoklu ve yatay çoklu taşıyıcı olmak üzere iki grupta sınıflandırılmaktadır. Bunların arasından Faz kaydırmalı (PS) tekniği yatay çoklu taşıyıcı sınıfında yer alırken, Faz Yer Değiştirmeli (PD), Ters Fazlı Yer Değiştirmeli (POD), ve Alternatif Ters Fazlı Yer Değiştirmeli (APOD) tekniği ise dikey çoklu taşıyıcı gurubunda sınıflandırılmaktadır.

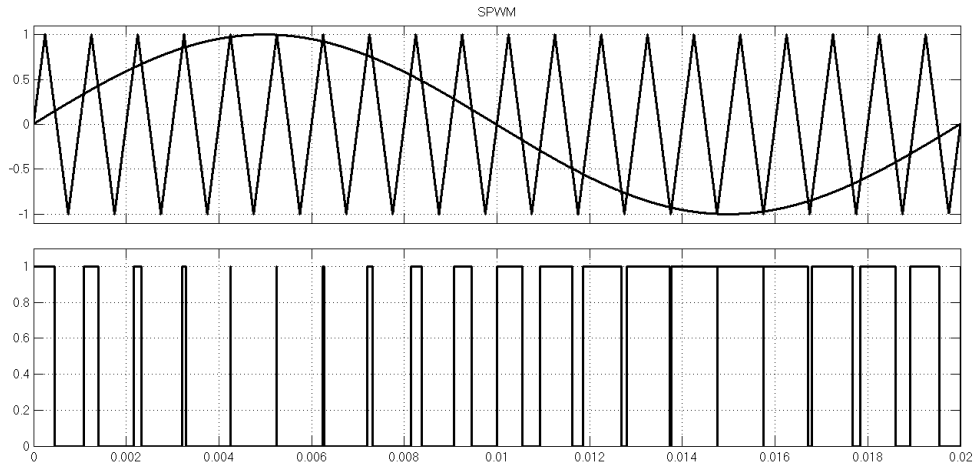
Çizelge 3.1. Taşıyıcı şemalarına göre modülasyon indeksleri

Modülasyon İndeksi	PD	POD	APOD	PS
m_i	$\frac{V_{ref}}{\left(\frac{m-1}{2}\right) V_t}$	$\frac{V_{ref}}{\left(\frac{m-1}{2}\right) V_t}$	$\frac{V_{ref}}{\left(\frac{m-1}{2}\right) V_t}$	$\frac{V_{ref}}{V_t}$

SDGM tekniğinde doğrusal çalışma aralığı DA giriş geriliminin %86'sı kadardır [37, 38]. Şekil 3.7' de basit bir SDGM benzetim modeli görülmektedir. Bir fazlı üç seviyeli diyot kenetlemeli eviricinin bir kolunda toplam dört adet anahtar bulunmaktadır. Bir fazlı üç seviyeli evirici için üretilecek olan SDGM anahtarlama sinyalleri, bir adet taşıyıcı sinyal ve dört adet karşılaştırıcı sinyal kullanılmaktadır. S1 - S3 ve S2-S4 birbirinin tam tersi sinyallerdir. Bir kolda bulunan anahtarlardan S1-S3 ve S2-S4 anahtarları aynı anda ilettime geçmemelidir. Şekil 3.7'de SDGM sinyalinin MATLAB/Simulink ile benzetim çalışması görülmektedir. Şekil 3.7 a'da referans ve taşıyıcı sinyalin karşılaştırılmasıyla Şekil 3.7 b'de kare dalga sinyalin üretilmesi görülmektedir.



(a)



(b)

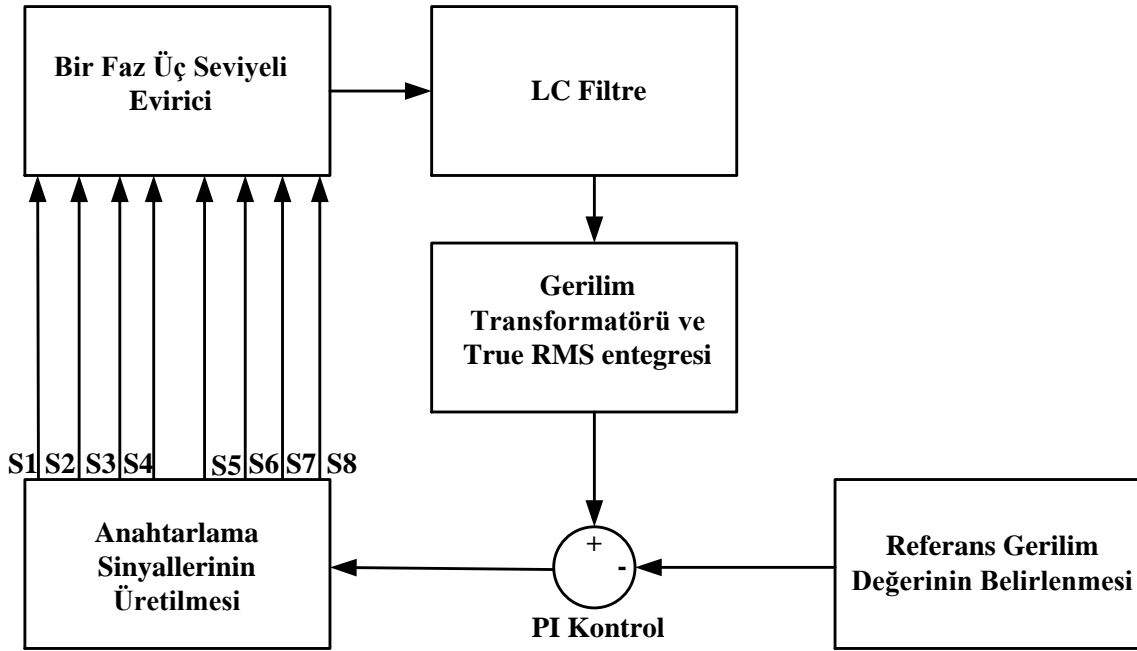
Şekil 3.7. SDGM benzetim modeli

4. BENZETİM ÇALIŞMASI

Yapılan bu tez çalışmasında benzetim çalışmaları, MATLAB/Simulink programı yardımıyla gerçekleştirilmiştir. Evirici çıkış gerilimi PI kontrol yöntemiyle sabitlenmiştir. Sabitleme işleminde taşıyıcı sinyalin frekansı, anahtarlama frekansını oluşturmaktadır. Tasarlanan sistemde çıkış geriliminin frekansı 50 Hz olarak belirlenmiştir. Sistemin frekansı açık döngü çalışmaktadır. Bu frekans kullanılan yazılım sayesinde değiştirilebilmektedir. Bu bölümde 3-seviyeli diyot tutmalı evirici devresinin benzetiminden bahsedilecektir.

4.1. Sistemin MATLAB/Simulink Benzetimi ve Harmonik Analizi

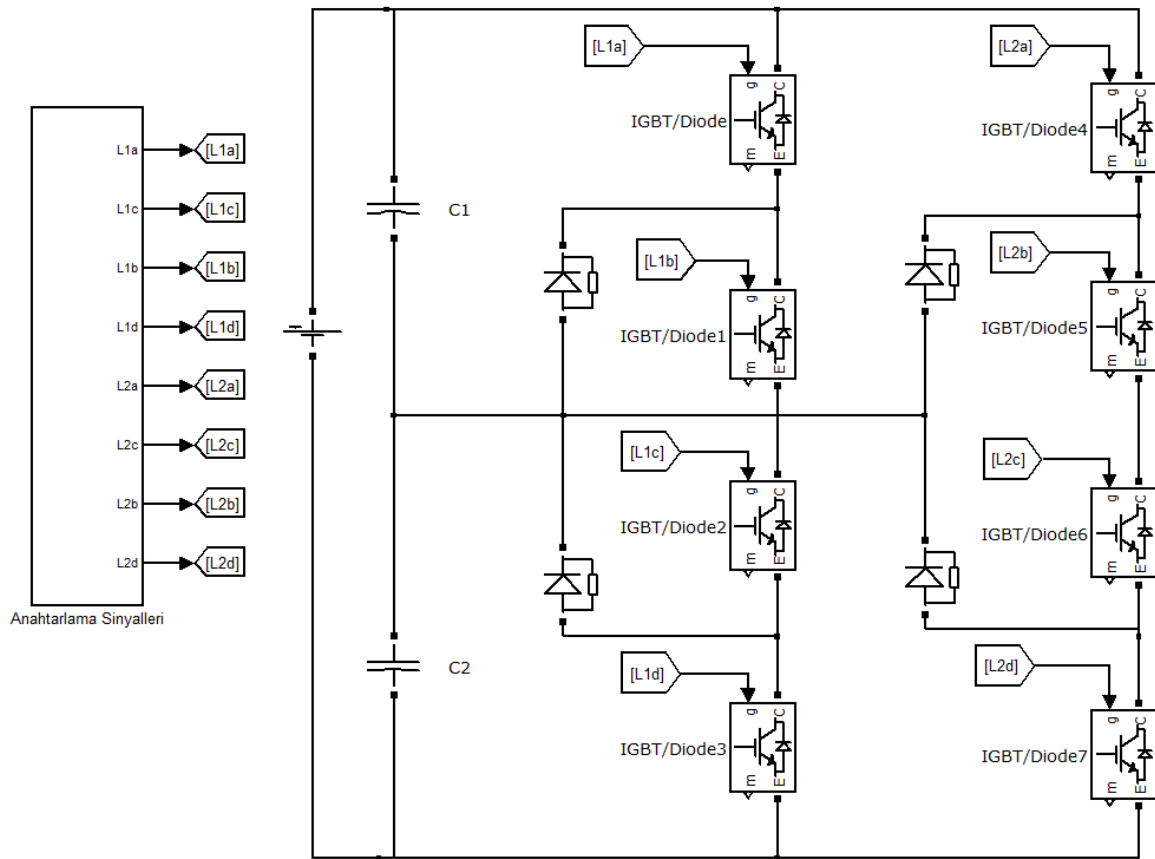
Bu çalışmada SDGM tekniği ile kontrol edilen bir fazlı üç seviyeli diyot tutmalı evirici sistemi geliştirilmiştir. Tasarlanan sistemin blok şeması Şekil 4.1'de görülmektedir.



Şekil 4.1. Tasarlanan sistemin blok diyagramı

Şekil 4.1'de evirici çıkışındaki gerilim LC filtre yardımıyla filtrelenerek gerilim transformatörüne girmektedir. Gerilim transformatöründe 6 V'a düşürülen sinyal True-Rms entegresinin girişine uygulanmaktadır. DSP analog kanalları negatif bölgede çalışmadığından, sinyalin etkin değeri alınarak sinyal DSP'nin analog kanalından

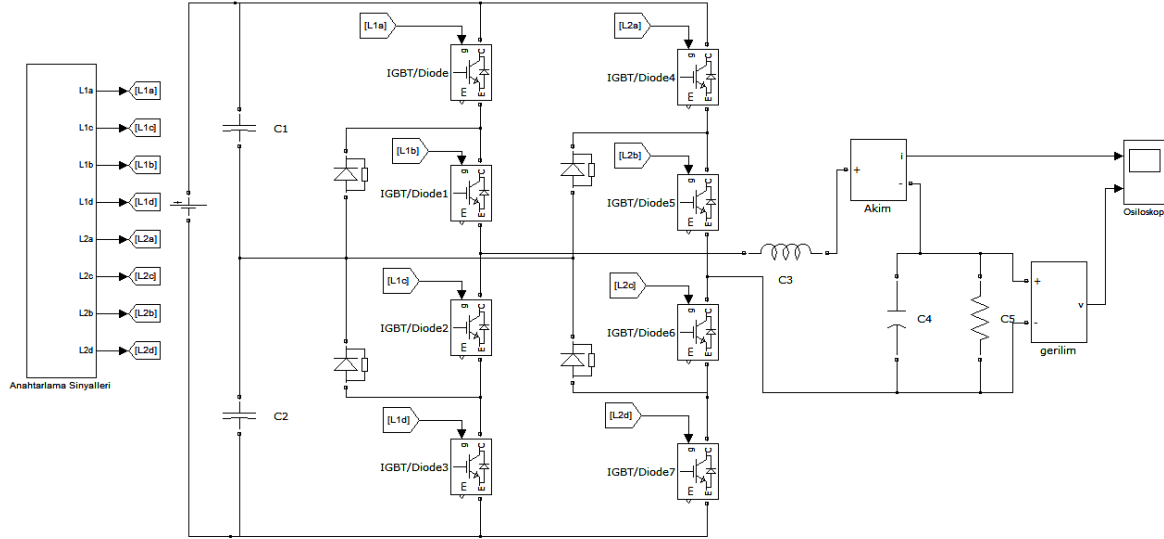
okunacak hale getirilmiştir. Analog kanal vasıtasıyla okunan değer PI kontrolör ile modülasyon indeksi değiştirilerek referans değere ulaşılmaktadır. Sinüs referans sinyalinin frekansı 50 Hz olarak belirlenmiştir. Taşıyıcı üçgen sinyalin frekansı ise 5 kHz olarak belirlenmiştir. Sinüs sinyalin frekansı çıkış frekansını, taşıyıcı sinyalin frekansı ise anahtarlama frekansını belirlemektedir. Diyot kenetlemeli eviricideki IGBT anahtarlama elemanlarının her bir çiftinin zaman aralığında sadece biri anahtarlacak şekilde uygulanmıştır. Şekil 4.2’de görülen benzetim çalışmasındaki evirici girişinde 2 adet hat kondansatörü bulunmaktadır.



Şekil 4.2. Diyot kenetlemeli evirici benzetim modeli

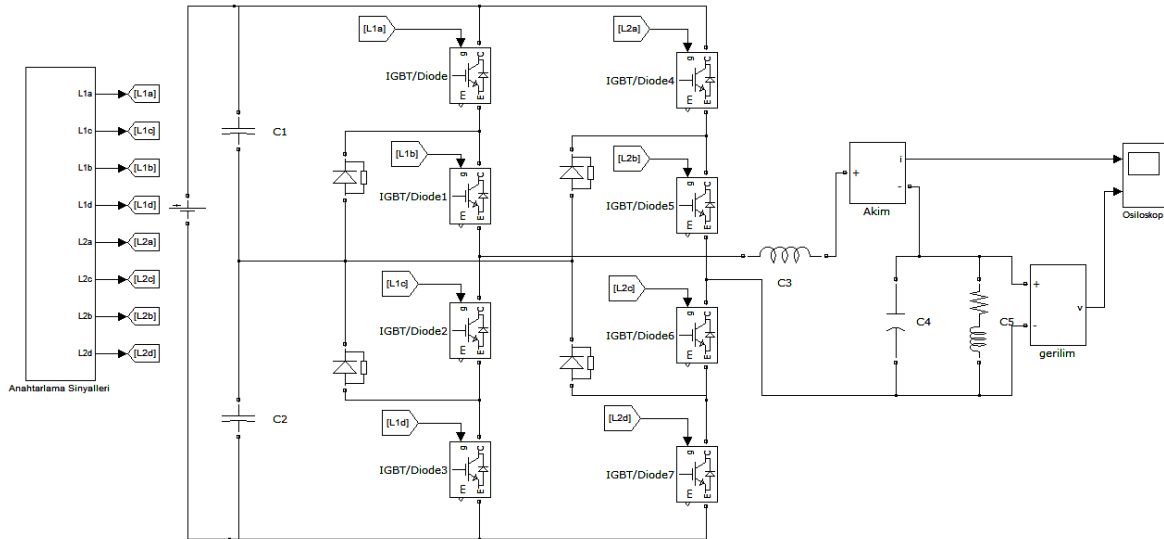
Matlab/Simulink’te benzetimi yapılan bir fazlı diyot kenetli evirici devresinde, çeşitli yüklerde analizler yapılmıştır. Yukarıda bahsedilen çok seviyeli eviricide SDGM tekniği kullanılarak düşük anahtarlama frekanslarında elde edilen tetikleme sinyalleriyle, 1-fazlı üç-seviyeli diyot tutmalı evirici anahtarlara eviricinin çıkışında; harmonik içeriği gayet düşük değişken gerilim ve frekansta 3 seviyeli sinüsoidal çıkış almak mümkündür. Bunu göstermek amacıyla Matlab/Simulink’te diyot tutmalı eviricinin 1-fazlı, IGBT yarıiletken anahtarlı üç seviyeli devresinin omik ve RL yükünü beslemesi durumunda çok seviyeli

SDGM tekniđi kullanılarak benzetim alıřmaları yapılmıřtır. Anahtarlama DGM sinyallerinin elde edilmesinde gen-sins karřılařtırma yntemi kullanılmıřtır. řekil 4.3 ve řekil 4.4’de tasarlanan eviricinin omik ve RL yk benzetim alıřmaları grlmektedir.



řekil 4.3 Bir fazlı  seviyeli eviricinin omik ykte simulink modeli

Benzetimi yapılan alıřmada yk olarak diren ve bobin kullanılmıřtır. Evirici devrenin, eřitli ykler altında, modlasyon indeksleri ve anahtarlama frekansları deđiřtirilerek analizleri yapılmıřtır.



řekil 4.4. Bir fazlı  seviyeli eviricinin RL ykte simulink modeli

Yapılan analizler Çizelge 4.1’de verilmiştir. Devrede kullanılan yük ve LC filtre değerleri;
 $R=50\Omega$

$L=1\text{mH}$

$C=10\mu\text{F}$

Olarak belirlenmiştir.

Çizelge 4.1. Diyot kenetli eviricinin omik yük altında THD analizleri

Yük	Omik Yük			
	10 Ω	23 Ω	30 Ω	50 Ω
Anahtarlama frekansı	5 kHz	5 kHz	5 kHz	5 kHz
%THD	1,37	1,21	1,14	1,08

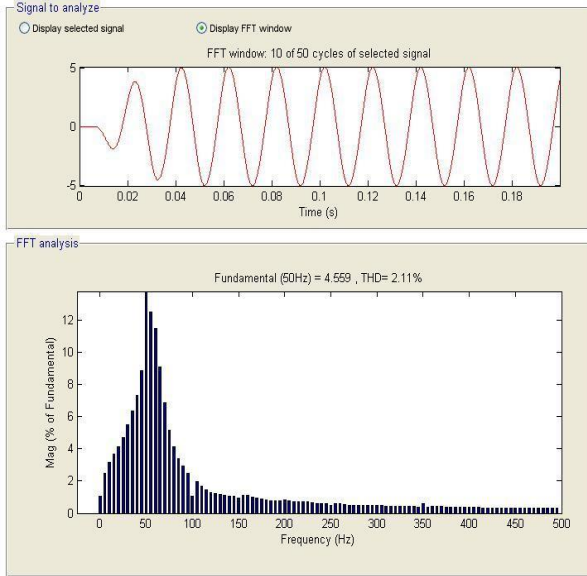
4.2. SDGM Kontrollü 3-seviyeli Diyot-Kenetli Evirici Harmonik Analizi

Bu bölümde geliştirilen benzetim çalışmasında SDGM kontrollü diyot kenetli eviricinin harmonik analizleri yapılmıştır. Benzetim çalışmasında modülasyon indeksi 0,85 olarak belirlenmiştir. Çizelge 4.2’de RL yük altında eviricinin THD oranları verilmiştir. Elde edilen verilerden anlaşılacağı gibi sistem hem omik yüklerde hem de endüktif yüklerde IEEE standartlarına uyduğu görülmektedir [24].

Çizelge 4.2. Diyot kenetli eviricinin RL yük altında THD analizleri

Yük	RL			
	10 Ω - 1,9mH	15 Ω - 1,9mH	20 Ω - 1,9mH	50 Ω - 1,9mH
Anahtarlama frekansı	5 kHz	5 kHz	5 kHz	5 kHz
%THD	2,11	2,17	1,94	1,74

Çizelge 4.1 ve 4.2’de üç seviyeli eviricide sabit gerilim altında çıkış gerilimindeki harmonik analizleri görülmektedir. Anahtarlama frekansı 5 KHz’de sabit tutulmuştur. Sistemde omik yüklerde RL yüklerine göre çıkış dalga formundaki harmoniklerin %40 daha az olduğu görülmektedir.

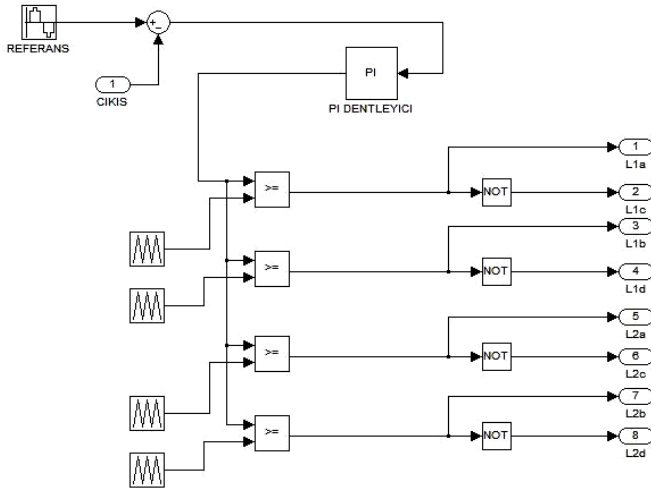


Şekil 4.5. RL yük altında evirici harmonik analizi

Üç seviyeli inverter ve beslediği yük için benzetim çalışmalarında kullanılan parametreler ise aşağıdaki gibidir.

DA kaynak gerilimi, U	:400 V
Modülasyon indeksi M_a	:0,85
Referans dalganın frekansı f_m :	50 Hz
Taşıyıcı dalganın frekansı f_s	:5000 Hz
Snubber kapasitesi C	:220 nf
Yük indüktansı L	:10 mH
Yük direnci R	:10 Ω

Şekil 4.6’da eviricinin çıkış geriliminin sabitlenmesi için kullanılan PI denetleyicisi ile anahtarlama sinyallerinin üretilmesi görülmektedir.

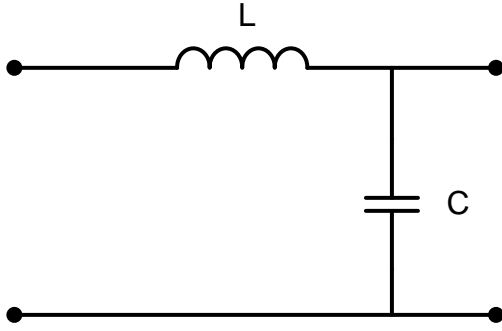


Şekil 4.6. Bir fazlı üç seviyeli eviricinin PI denetleyici ile anahtarlama sinyallerinin üretilmesi

Evirici çıkış gerilimi referans sinyalden çıkartılıp PI denetleyiciye girmektedir. Hata sinyalini oransal kazanç (k_p) ve integral kazancı (k_i) ile çarpılarak yeni bir sinyal üretilmektedir. Üretilen sinyal üçgen sinyallerle karşılaştırılarak üç seviyeli eviricinin bir fazına ait anahtarlama sinyalleri üretilmiştir. Bu çıkış sinyali algılayıcıya geri gönderilerek yeni hata sinyali bulunmaktadır. Sistem hatası sifıra gidene kadar bu işlem devam etmektedir. Sistem hatasının sifıra gitmesi, referans değerle çıkış sinyalinin eşit olması demektir. Burada PI denetleyici yardımıyla evirici çıkış sinyali istenilen değerde sabitlenmektedir. Aynı zamanda sistemin frekansı da sabitlenmektedir.

4.3. Filtre Seçimi

Tasarlanan sistemde yükü büyük seçtiğimizden dolayı endüktans değeri de yüksek çıkmaktadır. Sistemde L ve C değerlerinin bulunmasında yük önemli bir rol oynamaktadır. Kesim frekansı ve LC filtre değerlerinin belirlenmesinde aşağıdaki formüller kullanılmıştır.



Şekil 4.7. Bir fazlı LC filtre

$$L = \frac{R}{2\pi \cdot f_g} \quad (4.1)$$

$$C = \frac{1}{2\pi \cdot f_g \cdot R} \quad (4.2)$$

$$10f_g \leq f_r \leq \frac{f_{sw}}{2} \quad (4.3)$$

$$f_r = \frac{1}{2\pi\sqrt{L \cdot C}} \quad (4.4)$$

R = Yük değeri

L = Endüktans değeri

C = Kapasitans değeri

f_g = Temel dalgaının frekansı

f_r = Kesim frekansı

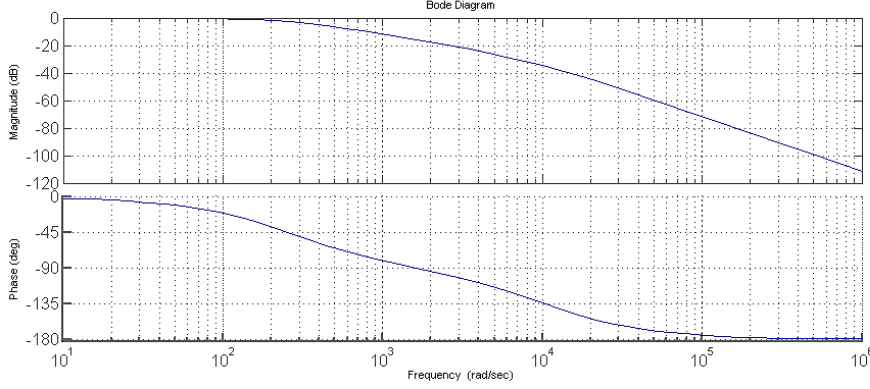
f_{sw} = Anahtarlama frekansı

Eş. 4.1 ve Eş. 4.2’de LC filtrede kullanılacak bobin ve kondansatör değerlerinin hesabı görülmektedir. Eş. 4.3’de tasarlanan sistemde kesim frekansının hesaplanması görülmektedir. Kesim frekansının temel dalga ve anahtarlama frekansına yakın seçilmemesi gerekmektedir. Kesim frekansının temel dalgaya yakın seçilmesi halinde sistemin aşırı akım çekmesine ve düzgün çalışmamasına neden oluğu görülmektedir. Sistemin optimum kesim frekansı Eş. 4.4’teki gibi bulunmuştur [31]. Ayrıca sistemin kararlılık analizleri yapılabilmesi için sistemin transfer fonksiyonu çıkarılmış ve bode eğrisi çıkartılarak sistemin kararlılık analizleri yapılmıştır.

$$\frac{d}{dt} \begin{bmatrix} i_s \\ U_C \end{bmatrix} = \begin{bmatrix} -R_s & -1 \\ \frac{1}{L_s} & \frac{1}{L_s} \\ \frac{1}{C} & 0 \end{bmatrix} \begin{bmatrix} i_s \\ U_C \end{bmatrix} + \begin{bmatrix} 1 \\ \frac{1}{L_s} \\ 0 \end{bmatrix} U_m + \begin{bmatrix} -1 \\ \frac{1}{C} \end{bmatrix} i_r \quad (4.5)$$

$$\frac{V_0}{V_i} = G(s) = \frac{1}{s^2 + \frac{\sqrt{L.C}}{R.C} + \frac{1}{LC}} \quad (4.6)$$

Eş. 4.5'te bir faz LC filtreye ait transfer fonksiyon hesabı görülmektedir. Eş. 4.6'da V_i , evirici çıkış gerilimini V_0 ise yük üzerine düşen gerilime karşılık gelmektedir.



Şekil 4.8. Sistemin bode diyagramı

Şekil 4.8'de sistemin bode diyagramı görülmektedir. Sistemin kararlı olabilmesi için kazanç sınırının ve açı sınırının pozitif olması gerekmektedir. Tasarlanan sistemin kazanç ve açı sınırı;

$$\begin{cases} \text{Kazanç Sınırı} = |-180| - |-15| = +165 \\ \text{Açı Sınırı} = 0 - |-110| = +110 \end{cases} \quad (4.7)$$

Eş. 4.7'de iki sonuçta pozitif olduğundan tasarlanan sistemin kararlı olduğu görülmektedir.

Tasarlanan sistemde;

$$L=1\text{mH}$$

$$C=10\mu\text{F}$$

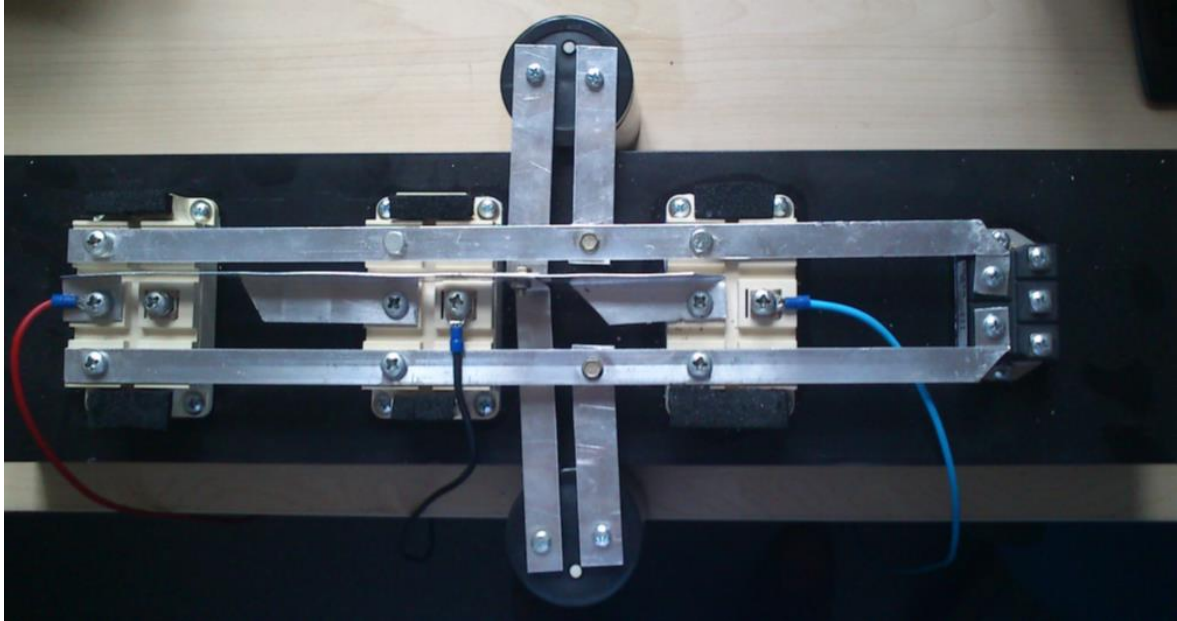
Olarak belirlenmiştir.

5. GÜÇ DEVRESİ TASARIMI

Bir fazlı diyot-kenetli eviricinin benzetim çalışmaları yapıldıktan sonra, bu ÇSE topolojisinin uygulaması gerçekleştirilmiştir. SDGM tekniği DSP ile üretilmiştir. DSP olarak TMS320F2812 seçilmiştir. Yapılan çalışmalarda çıkış geriliminin sabit tutulması sağlanmıştır ve çıkış akımı ve gerilimi üzerindeki harmonik etkilerin analizleri yapılmıştır.

5.1. SDGM Dontrollü Diyot-Denetli Evirici

Resim 5.1'de tasarımı yapılan üç seviyeli evirici görülmektedir. Şekilde görülen IGBT modülleri 600V-200A, tutma diyotları üzerinde olmak üzere her bir modülde dört IGBT bulunmaktadır.

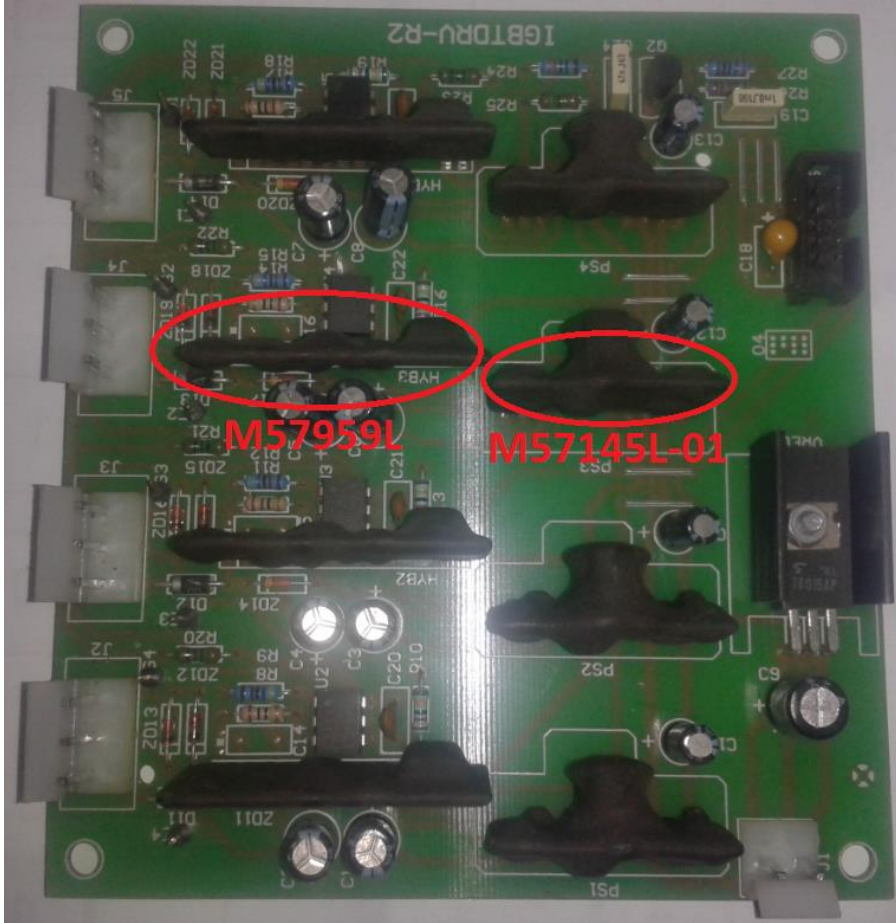


Resim 5.1. Tasarımı gerçekleştirilen üç seviyeli evirici

Resim 5.1'de gösterilen deney düzeneği iki ana kısımdan oluşmuştur. Birinci kısım; üç-seviye diyot tutmalı evirici, DA-hat kondansatörleri ve bağlantı kablolarından oluşan güç devresidir. İkinci kısım ise, eviricinin soğutucu bölümüdür.

5.1.1. IGBT sürücü devresi

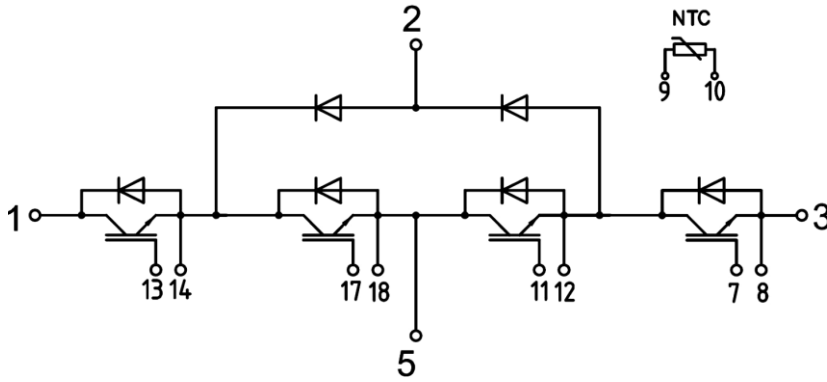
Uygulamada kullanılan Semikron marka 600 V – 200 A IGBT'ler DSP'nin ürettiği anahtarlama sinyalleriyle sürülememektedir. Bunun için ayrı bir IGBT sürücü devresi gerekmektedir. Ayrıca her bir IGBT anahtarlama elemanını izoleli ayrı bir kaynaktan sürmek gerekmektedir. Bu nedenle IGBT sürücü devresinde izoleli besleme kaynağı kullanılması gerekmektedir. Bu işlem için Mitsubishi firmasının ürettiği M57145L-01 devre elemanı kullanılmıştır. Bu devre elemanı 12-18 V gerilim arasında ilettime geçmektedir. Resim 5.2'de IGBT sürücü devresi görülmektedir.



Resim 5.2. IGBT sürücü kartı

5.1.2. IGBT modülü

Tasarımı yapılan devrede IGBT olarak Semikron firması tarafından üretilen SMK200MLI066T modül kullanılmıştır. Her bir modül kendi arasında diyot-kenetli eviricinin bir kolunu oluşturmaktadır. Modül üzerinde toplam birbirine seri olarak bağlı dört adet IGBT vardır. Modülün üzerinde tutma diyotları da mevcuttur. IGBT'ler 600 V – 200 A'de normal olarak çalışabilmektedirler.



Şekil 5.1. IGBT modülünün iç yapısı

Şekil 5.1'de IGBT modülünün iç yapısı görülmektedir. Burada 1 ve 3 numara DA hat giriş uçları, 5 numara faz çıkışı 2 numara ise diyot tutmalı eviricinin nötr kısmıdır.



Resim 5.3. Uygulamada kullanılan IGBT modül

Sürücü ise aynı firma tarafından üretilen M57959L devre elemanıdır. Bu elemanın özelliği içerisinde yalıtımı sağlayan opto-kuplörlerdir. Her hangi bir kısa devre durumunda DSP ve güç devresi arası yalıtımı sağlamaktadır.

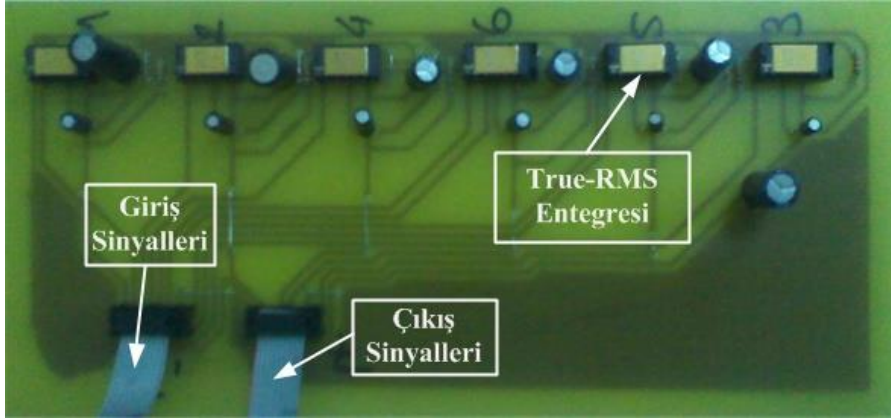
5.1.3. Gerilim algılama devresi

Eviricileri çıkış gerilimlerinin genliğinin sabitlenmesi için evirici çıkış gerilim değerinin algılanması gerekmektedir. DSP'nin analog ölçüm değerinin minimum 0, maksimum +3.3 V arasında olması nedeniyle üretilen alternatif gerilimlerin genliklerinin düşürülmesi veya DA gerilim değerine dönüştürülmesi gerekmektedir. Evirici çıkış geriliminin alternatif gerilim olması genlik değerinin hem pozitif hem de negatif değerler taşıması anlamına gelmektedir. Ancak DSP analog girişi negatif gerilimleri okuyamamaktadır. Alternatif gerilimlerin frekansını değiştirmeden genliklerinin değiştirilmesi gerekmektedir. Evirici çıkışındaki alternatif gerilimin etkin değerinin ölçülmesi için çıkışında gerilimin etkin değerini veren (True RMS) entegreler kullanılmıştır. Şekil 5.2'de gerçekleştirilen devrenin blok yapısı gösterilmiştir.



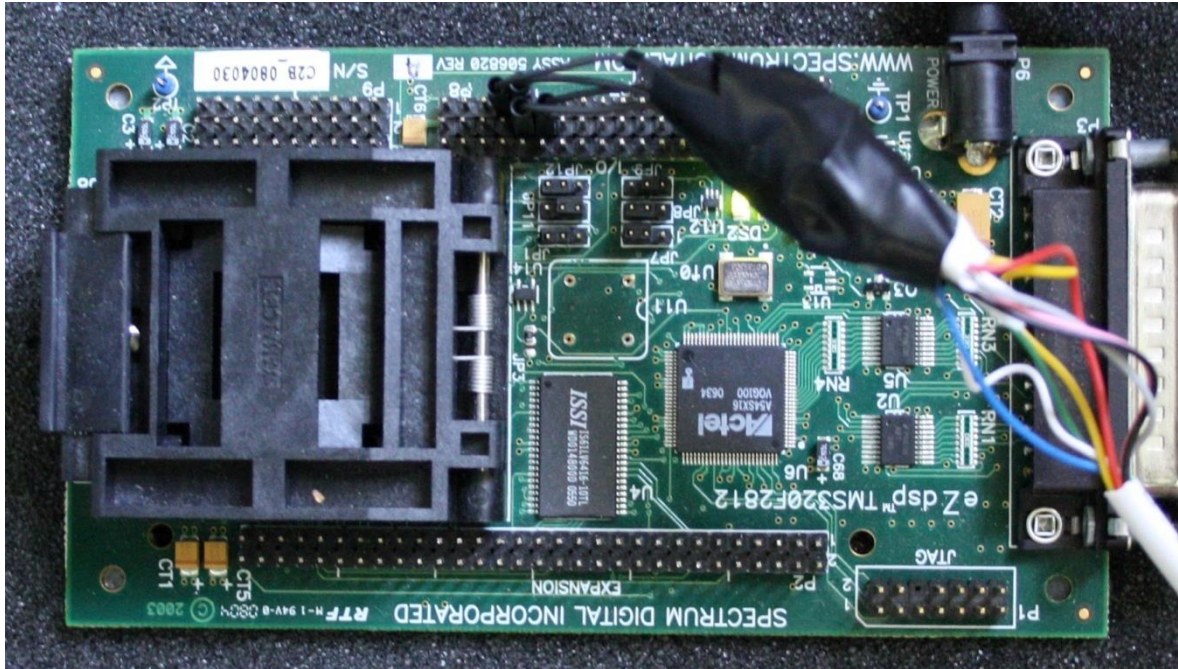
Şekil 5.2. Gerilim ölçüm sisteminin blok diyagramı

Resim 5.4'de true-rms entegresinin uygulamada kullanılan kartı görülmektedir. Eviriciden gelen alternatif gerilimin etkin değeri DSP'nin analog girişine uygulanıp analog veri ölçülmüştür.



Resim 5.4. True - RMS entegreleri ile gerçekleştirilen devre görüntüsü

5.1.4. eZdsp F2812 kartı



Resim 5.5. eZdspF2812 DSP kartı

Resim 5.5’de eZdsp F2812 DSP kartı görülmektedir. Üzerinde bulunan TMS320F2812 işlemcisini özellikleri ;

- 150 MHz çalışma frekansı
- 64K Flash
- 18K SARAM
- 4K x 16 Boot ROM
- 16 kanal 12-Bit ADC

- SPI (Serial Peripheral Interface) Modülü
- SCI (Serial Communications Interface)
- I2C (Inter-Integrated Circuit) Bus

Ayrıca kart üzerinde, F2812'nin çeşitli özelliklerinin nasıl kullanılacağını belirleyen 8 adet jumper bulunmaktadır. Bunlardan en önemlileri işlemcinin boot modunu seçen jumper'lardır.

5.1.5. Bir fazlı 3 seviyeli diyot-kenetli evirici

Bir fazlı üç seviyeli eviricinin tamamlanmış uygulama devresi Resim 5.6'da görülmektedir. Sürücü devresi ve IGBT anahtarlama elemanlarından oluşan devrenin kontrol yazılımları F2812 sayısal işaret işlemcisi ile oluşturulmuştur. DSP yazılımı Matlab/Simulink' te oluşturulmuştur.

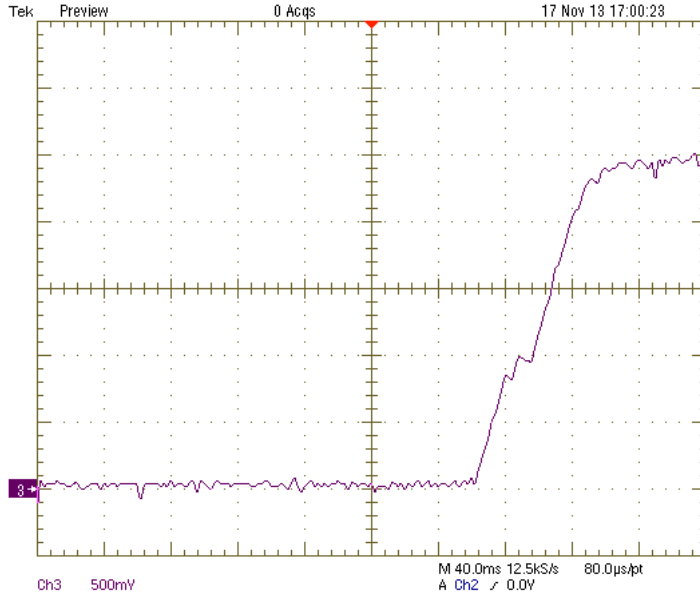


Resim 5.6. Tasarımı yapılan devrenin genel görünümü

5.2. PI Denetleyici

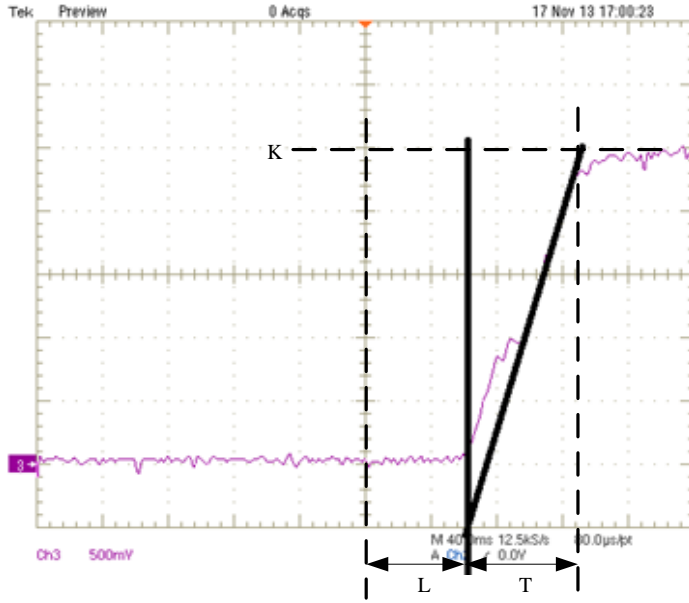
PI kontrolörler, geri beslemeli kontrol sistemlerinde yaygın olarak kullanılmaktadır. İntegral (I) ve oransal (P) etkileri kontrol hata değerlerine dayanmaktadır. PI kontrolörler özellikle dinamikleri bilinen ve performans gereksinimleri karmaşık olmayan sistemler için sıklıkla kullanılan kontrolörlerdir [40]. Ziegler ve Nichols çalışmalarında açık çevrim

basamak yanıtındaki sistem bilgisine dayanmaktadır. Şekil 5.3'de eviricinin analog kanalına gelen gerilimin açık döngü çalışması görülmektedir.



Şekil 5.3. Eviricinin açık döngü kalkış anı

Şekil 5.4'de Ziegler ve Nichols tarafından ortaya atılmış olan ilk tasarım metodu açık çevrim basamak yanıtındaki sistem bilgisine dayanmaktadır. Basamak yanıtı yöntemi reaksiyon eğrisi metodu olarak da anılır. Basamak yanıtı, Şekil 5.3' de gösterilen biri zaman gecikmesi L ve diğeri zaman sabiti T olmak üzere sadece iki parametre ile nitelenir. Bu parametreler bulunurken; öncelikle açık çevrim basamak yanıtı eğrisinin maksimum eğime sahip olduğu nokta (bükülme noktası) bulunur. Şekil 5.4'de PI parametrelerinin elde edilmesi için gerekli teğetlerin çizildiği görülmektedir. Teğet doğrusu ile koordinat eksenlerinin kesişimi L ve T parametrelerini verir. Zaman gecikmesi L , basamak girişinin sisteme uygulanmasından sistem yanıtının görülmesine kadar geçen zamandır. Diğer parametre ise zaman sabiti T' dir. Ziegler Nichols yöntemi ile bulunan zaman gecikmesi değeri sistemin gerçek ölü zamanından biraz daha fazladır [40, 41].



Şekil 5.4. PI parametrelerinin belirlenmesi

$$K_p = 0.9 \frac{T}{KL} \quad (5.1)$$

$$K_i = \frac{L}{0.3} \quad (5.2)$$

PI denetleyicinin değerlerinin hesabı Eş. 5.1 ve Eş. 5.2'da görülmektedir. K_p değeri oransal, K_i değeri ise integral hata değerleri hesabında kullanılmaktadır. Tasarlanan sistemde gerekli matematiksel hesaplar sonucunda;

$$K_p = 0,00006$$

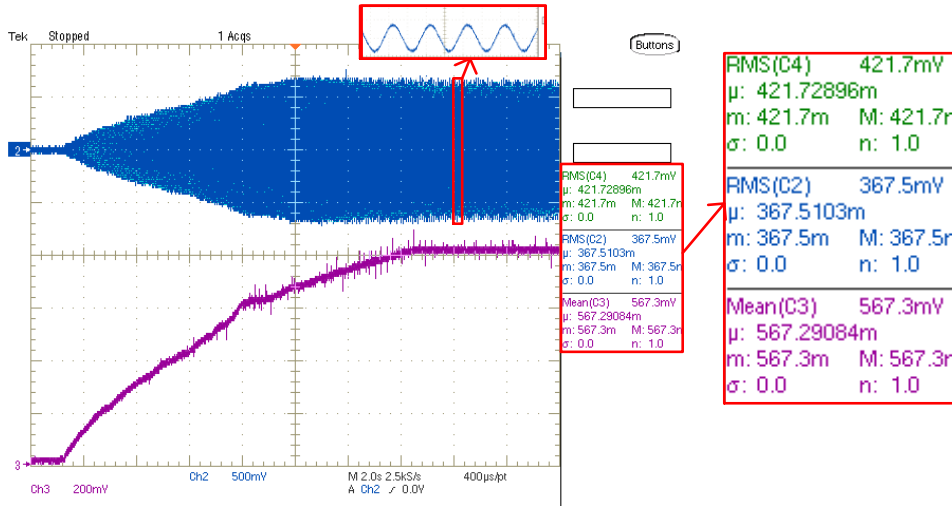
$$K_i = 0,00125$$

Olarak hesaplanmıştır. PI denetleyicisinin alt sınırı 0,6 üst sınırı 1 olarak belirlenmiştir. PI denetleyicisinin üst sınırı sistemin anahtarlama modülasyon indeksini tepe değerinden vererek sistemin istenilen referans değere gelmesini sağlamaktadır. Sistem istenilen referans değeri geçtiğinde PI denetleyici tekrar modülasyon indeksini düşürmektedir. Sistem çıkışı sürekli olarak kontrol edilmektedir.

5.3. SDGM Kontrollü Diyot-Tutmalı Eviricide PI Kontrol ile Çıkış Geriliminin Sabitlenmesi

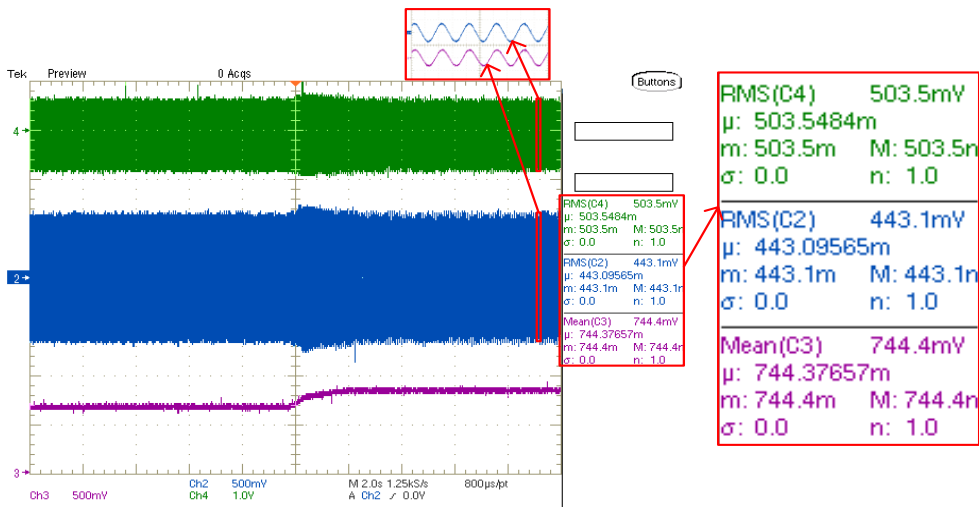
Uygulaması yapılan sistemde eviricide, giriş gerilimi ve eviriciye bağlı yük değiştirilerek eviricinin çıkış gerilimi, frekansı ve harmonik etkileri gözlemlenmiştir. Eviricinin giriş gerilimi 330 VDA gerilim verildiğinde eviricinin çıkışının 220 VA olduğu görülmüştür. Eviricinin giriş gerilimi arttırıldığında çıkış geriliminde bir değişme olmadığı görülmektedir. Evirici çıkışına bağlı trafo ve True-Rms entegresi sistemin çıkış geriliminin sürekli olarak okunmasını sağlamaktadır. Evirici çıkış geriliminden gelen bilgi DSP vasıtasıyla okunmaktadır. Evirici yazılımındaki PI kontrol yöntemiyle hata sürekli minimize edilmektedir. Bu sayede çıkış gerilimi belirli bir sınırdaki tutulabilmektedir.

Tasarlanan sistemde PI kontrolörün çıkış gerilimi üzerindeki etkisi Şekil 5.5’de görülmektedir. Sistemde referans gerilimin etkin değeri olarak 220 V seçilmiştir. Şeklin 1. bölgesinde giriş gerilimi referans değeri karşılamayacak seviye olduğundan PI kontrolör modülasyon indeksini maksimum seviyede tutmuştur. Şekil 5.5’ den açıkça görüldüğü gibi bu bölgede çıkış gerilimi, giriş gerilim değerine bağlı olarak artmaktadır. 2. bölgenin başlangıç anına bakılacak olursa, evirici çıkış geriliminin referans değere ulaştığı görülmektedir. 2. Bölge boyunca giriş gerilimi arttırılmaya devam edilmiştir. Bu durumda çıkış gerilimi PI kontrolör tarafından modülasyon indeksi değiştirilerek referans değere sabitlendiği şekilden görülmektedir. 3. Bölge ise giriş geriliminin kararlı duruma geçtiği bölgedir. Bu bölgede çıkış gerilimi incelenecek olursa, PI kontrolörün giriş tarafında değişim olmadığı zamanlarda da kararlı çalıştığı açıkça görülmektedir. Sistemde giriş gerilimi 0 Volt DA gerilimden başlayarak 420 Volt DA gerilime kadar çıkmaktadır. Prob çarpanı x500’dür.



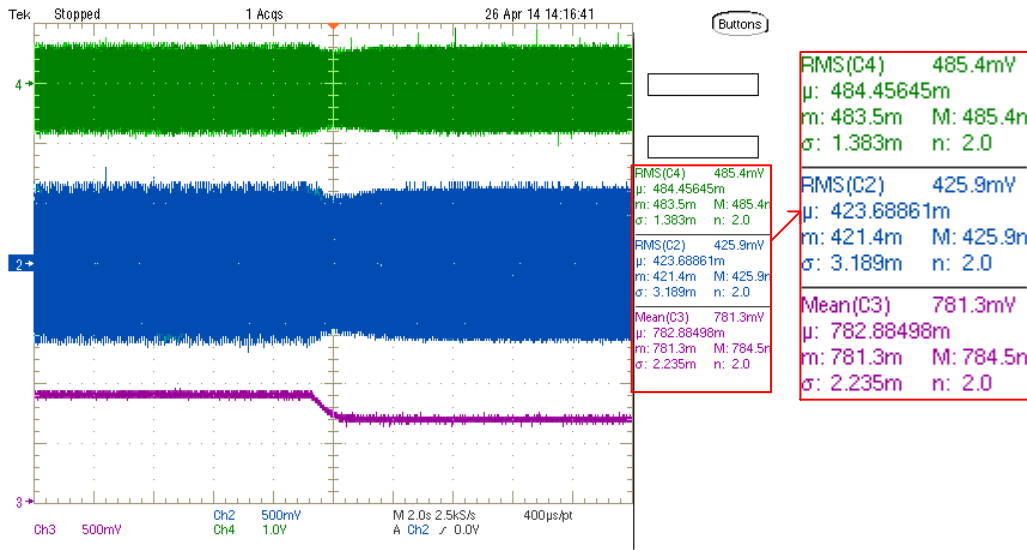
Şekil 5.5. PI kontrol (a) evirici çıkış gerilimi (b) evirici giriş gerilimi

Özellikle yenilenebilir enerji kaynaklarında ve değişken çıkış gerilimine sahip enerji kaynaklarında karşılaşılan problemlerden birisi de ani gerilim yükselmeleridir. Bu durumlarda dinamik çalışan sistemlerden girişten bağımsız sabit genlikte ve frekansta gerilim üretmeleri beklenmektedir. Şekil 5.6'da evirici giriş geriliminde oluşan ani değişime karşı çıkış geriliminin sabitlenmesine ait osiloskop görüntüsü verilmiştir. Şekilde giriş geriliminin herhangi bir anda ani yükselmesi durumunda çıkış geriliminin 0,8 saniye gibi kısa bir sürede referans değere sabitlendiği açıkça görülmektedir. Bu durum sistemin hızlı ve dinamik bir tepki verebilme kabiliyetini açıklamaktadır.



Şekil 5.6. Evirici osiloskop görüntüleri (a) çıkış akımı (b) çıkış gerilimi (c) giriş gerilimi

Ani gerilim yükselmelerin yanı sıra ani gerilim düşmeleri de enerji kaynaklarında sıklıkla karşılaşılan problemlerdendir. Şekil 5.7’de giriş gerilimdeki ani azalmaya karşılık sistemin tepkisi görülmektedir. Şekilden de açıkça görüldüğü gibi giriş geriliminde ani gerilim düşmesi olduğundan 2 saniye sonra sistemin çıkış gerilimini referans değere sabitlediği görülmektedir. Şekil 5.7’de evirici girişindeki gerilim 440 V DA gerilimden 340 V’a düşürülmektedir.



Şekil 5.7. Evirici osiloskop görüntüleri (a) çıkış akımı (b) çıkış gerilimi (c) giriş gerilimi

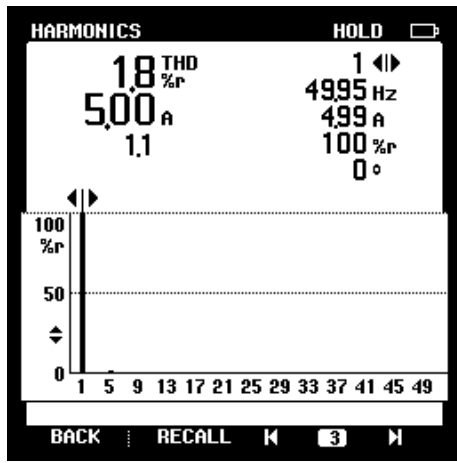
Yukarıdaki deneysel çalışmaların sonucunda sistemin giriş geriliminde yaşanan ani gerilim düşmesi ve yükselmesi durumunda çıkış gerilimini PI kontrolör tarafından referans değere sabitlediği görülmüştür. Bu durum sistemin değişken giriş gerilimleri altında kararlı tepkiler verdiğini kanıtlamaktadır.

5.3.1. Çok seviyeli eviricinin omik yük altında harmonik analizleri

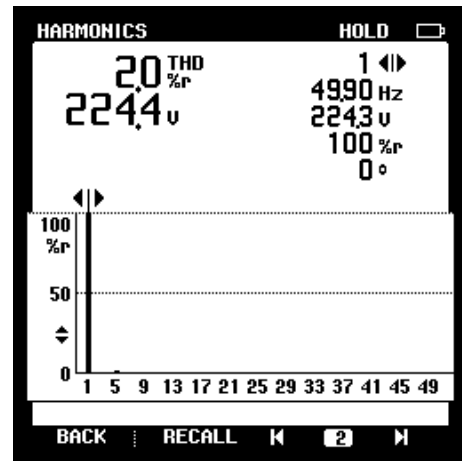
Sistemde anahtarlama kayıplarını azaltmak için anahtarlama frekansı 5 kHz seçilmiştir. Bu anahtarlama frekansı altında THD analizleri yapılmıştır. Ayrıca yapılan deneysel çalışmalar esnasında modülasyon indeksinin harmonik üzerinde değişimler oluşturduğu görülmüştür. Bu sebeple sabit anahtarlama frekansı altında giriş gerilimi değiştirilerek farklı modülasyon indeksi değerlerinde harmonik analizleri gerçekleştirilmiştir. Sistemde PI kontrolörün çıkış değeri modülasyon indeksi olarak atanmaktadır. PI kontrolörün çıkış değeri 0,6 - 1 arasında değiştirilerek denenmiş ve modülasyon indeksinin 0,85’de en iyi

harmonik sonuçlarına ulaştığı görülmüştür. Tasarlanan sistemde ilk anda giriş gerilimi sıfır olduğundan modülasyon indeksi 1 olarak gelmektedir. Eğer sistem belirtilen referans değeri geçerse, hata oranı azalacak ve modülasyon oranı düşecektir.

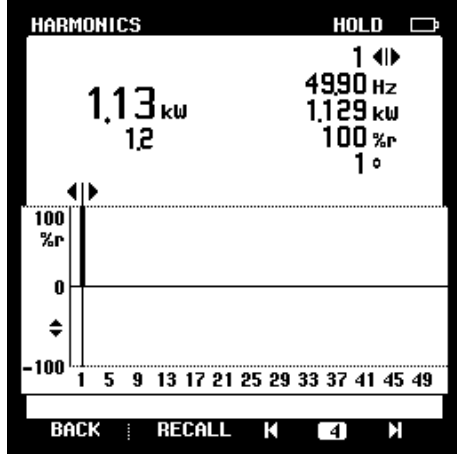
Giriş geriliminin 350 V ve modülasyon indeksinin yaklaşık 1 olduğu durumdaki THD_i ve THD_v ölçüm sonuçları Şekil 5.8’de verilmiştir. Bu durumda akım ve gerilimin 5. Harmoniği barındırdığı görülmektedir. Diğer etkin harmoniklerin omik yükte bastırıldığı Şekil 5.8’ de görülmektedir.



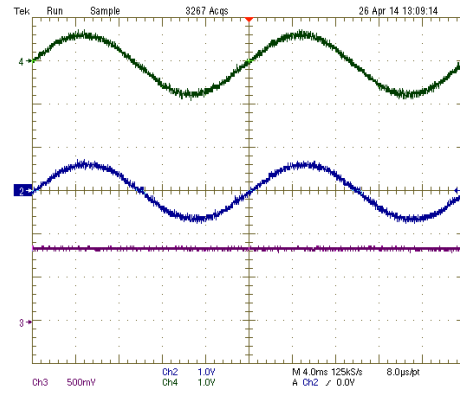
(a)



(b)



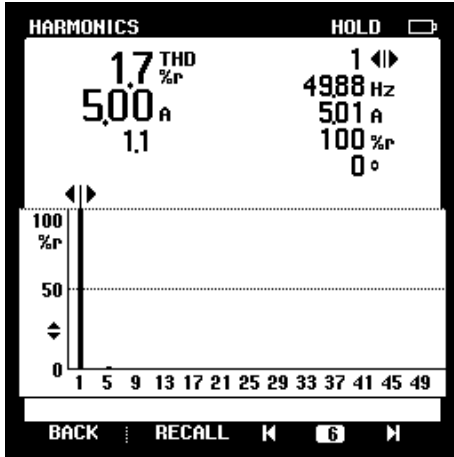
(c)



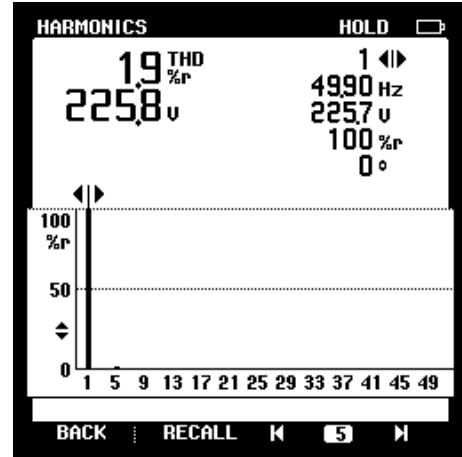
(d)

Şekil 5.8. SDGM tekniği ile harmonik analizleri (a) filtre çıkışındaki akım harmonikleri (b) evirici akım-gerilim değerleri (c) eviricinin çıkış gücü (d) sistemin çıkış akım-gerilim görüntüleri

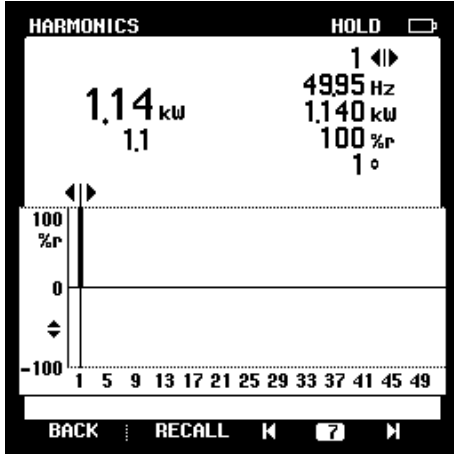
Şekil 5.8 ve Şekil 5.9'da verilen deneysel çalışma sonuçları omik yük değeri 45Ω iken alınmıştır. Şekil 5.9'da giriş gerilim değeri 420 V 'a yükseltilecek modülasyon indeksinin PI kontrolör ile düşürülmesi sağlanmıştır. Bu durumdaki THD_i ve THD_v ölçüm sonuçları Şekil 5.9'da verilmiştir. Şekil 5.8 ve Şekil 5.9 karşılaştırılacak olursa, modülasyon indeksinin düşmesi ile THD değerlerinin azaldığı görülecektir. Bu durum modülasyon indeksinin 1'e yakın olduğu durumlarda harmonik değerinin daha yüksek olduğunu ispatlamaktadır.



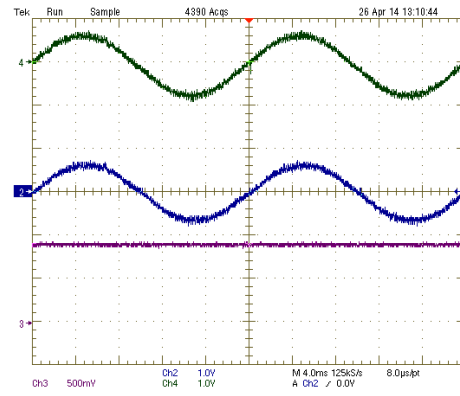
(a)



(b)



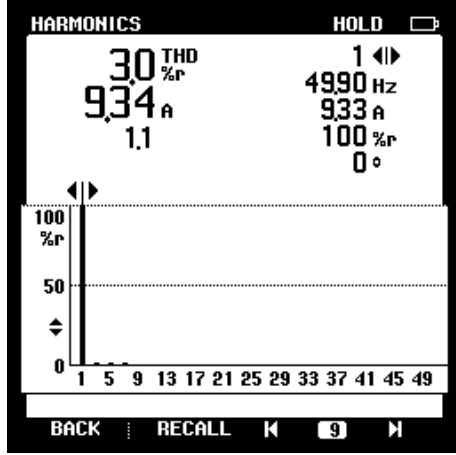
(c)



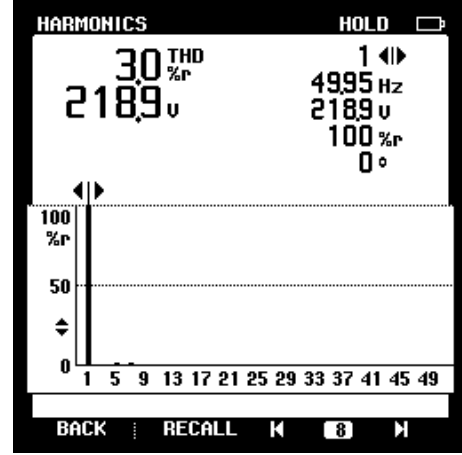
(d)

Şekil 5.9. SDGM tekniği ile harmonik analizleri (a) filtre çıkışındaki akım harmonikleri (b) evirici akım-gerilim değerleri (c) eviricinin çıkış gücü (d) sistemin çıkış akım-gerilim görüntüleri

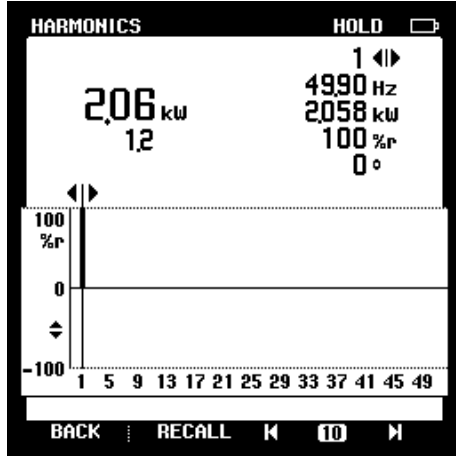
Şekil 5.10'da giriş gerilimi 350 V, modülasyon indeksi 1 ve yük değeri 23Ω iken THD_i ve THD_v değerleri görülmektedir. Yük akımının artması ile THD_i değeri üzerinde 3. ve 7. harmoniklerin de barındırıldığı görülmektedir. Bu nedenle THD değerleri 45Ω altında yapılan deneysel çalışmalara göre artmıştır. Tasarlanan filtrede omik yük değeri 50Ω olarak belirlendiği için sistemin en iyi harmonik değerlere bu omik yük değerinde ulaştığı görülmektedir.



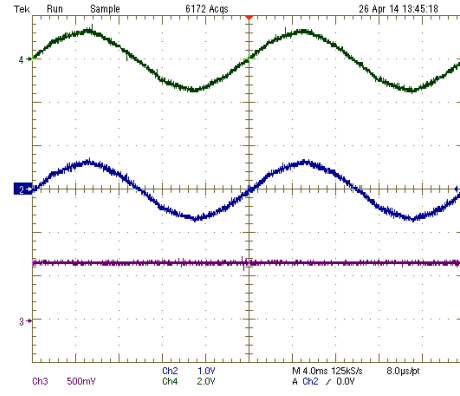
(a)



(b)



(c)

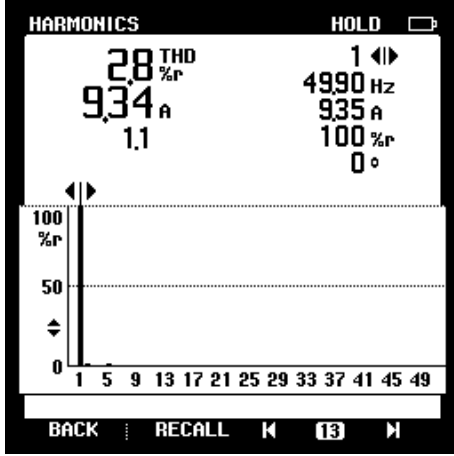


(d)

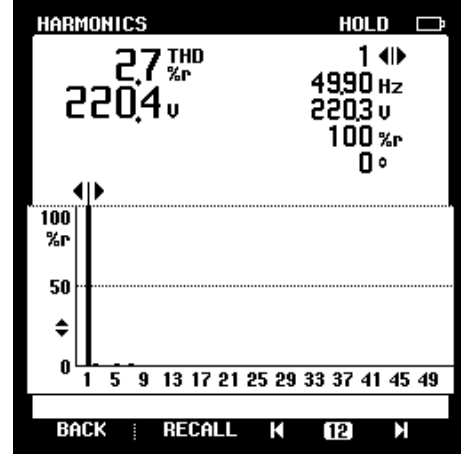
Şekil 5.10. SDGM tekniği ile harmonik analizleri (a) filtre çıkışındaki akım harmonikleri (b) evirici akım-gerilim değerleri (c) eviricinin çıkış gücü (d) sistemin çıkış akım-gerilim görüntüleri

Yukarıdaki deneysel çalışmanın devamında, giriş gerilimi artırılarak modülasyon indeksinin 1'in altına düşmesi sağlanmıştır. Bu durumdaki THD_i ve THD_v değerleri Şekil 5.11'de görülmektedir. 45Ω 'da yapılan deneylere benzer olarak 20Ω 'daki deneysel

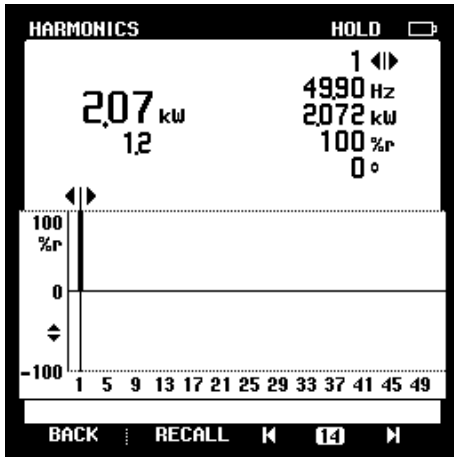
çalışmalar sonucunda modülasyon indeksinin 1'in altına düştüğü durumda harmoniklerin azaldığı görülmüştür.



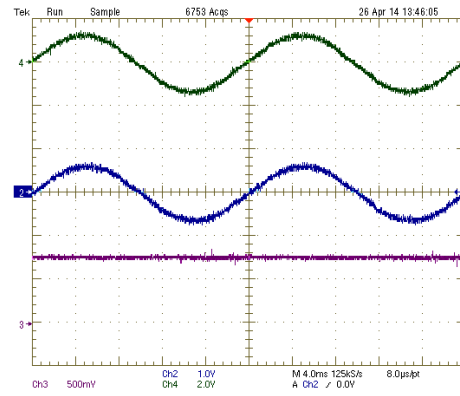
(a)



(b)



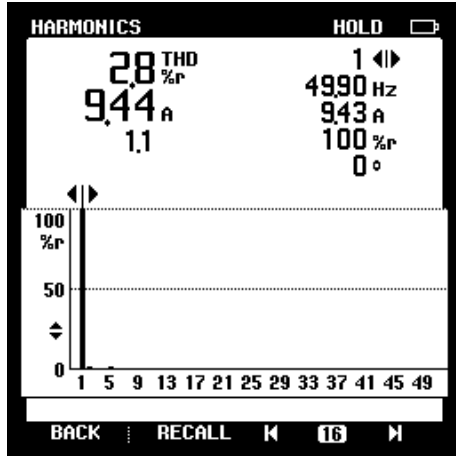
(c)



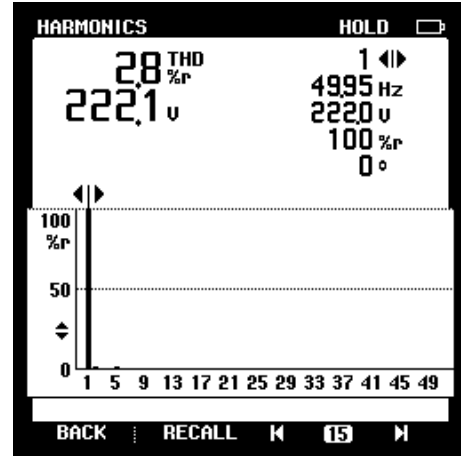
(d)

Şekil 5.11. SDGM tekniği ile harmonik analizleri (a) filtre çıkışındaki akım harmonikleri (b) evirici akım-gerilim değerleri (c) eviricinin çıkış gücü (d) sistemin çıkış akım-gerilim görüntüleri

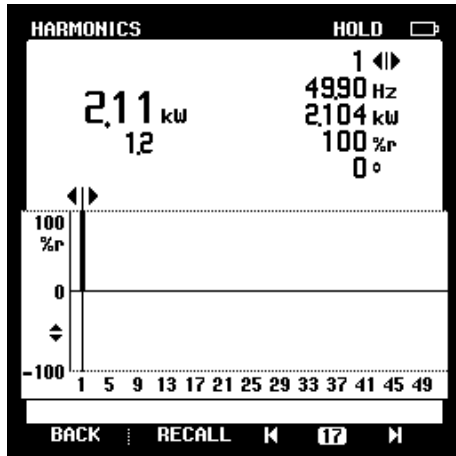
Şekil 5.10 ve Şekil 5.11 karşılaştırılacak olursa, modülasyon indeksinin farklı yük durumlarında da THD_i ve THD_v değerlerini etkilediği görülmektedir. Sistemin kararlı duruma geçmesinden sonra PI değerleri sabitlenmektedir. Yukarıda sunulan deneysel çalışmaların sonuçları kararlı duruma geçildikten sonra alınmıştır. Bu durumda, harmoniklerin daha da azaldığı bu şekillerden görülmektedir.



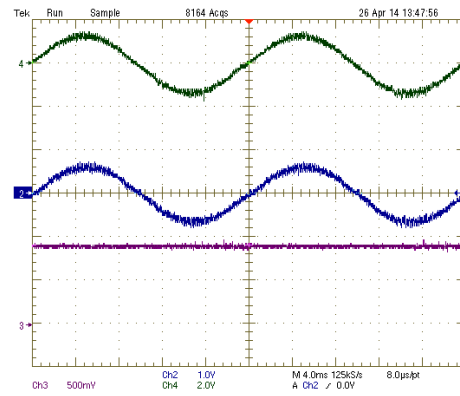
(a)



(b)



(c)



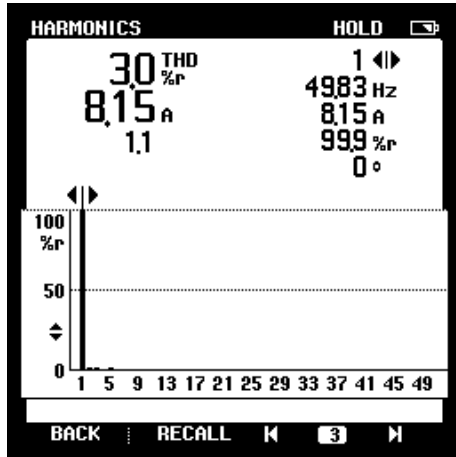
(d)

Şekil 5.12. SDGM tekniği ile harmonik analizleri (a) filtre çıkışındaki akım harmonikleri (b) evirici akım-gerilim değerleri (c) eviricinin çıkış gücü (d) sistemin çıkış akım-gerilim görüntüleri

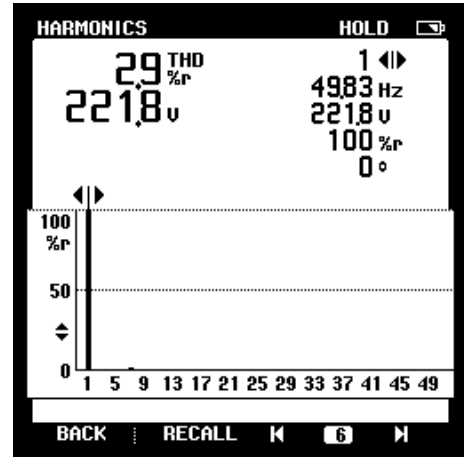
5.3.2. Çok seviyeli eviricinin RL (omik-endüktif) yük altında harmonik analizleri

Şekil 5.13’de sisteme motor yükü bağlanmıştır. Sisteme bağlanan bir faz asenkron motorun etiketinde verilen değerler aşağıdaki gibidir. Sisteme bağlanan motor yükünde sistem harmonikleri omik yüklerle göre artış göstermiştir.

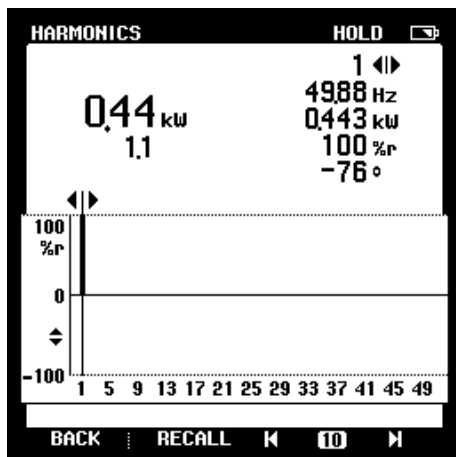
Çıkış gücü	:0,9 kW
Stator gerilimi	:220 V
Tam yük stator akımı	:9,2 A
Çalışma Frekansı	:50 Hz
Cos α	:0,7



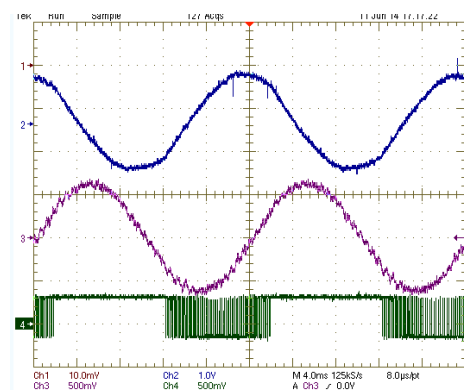
(a)



(b)



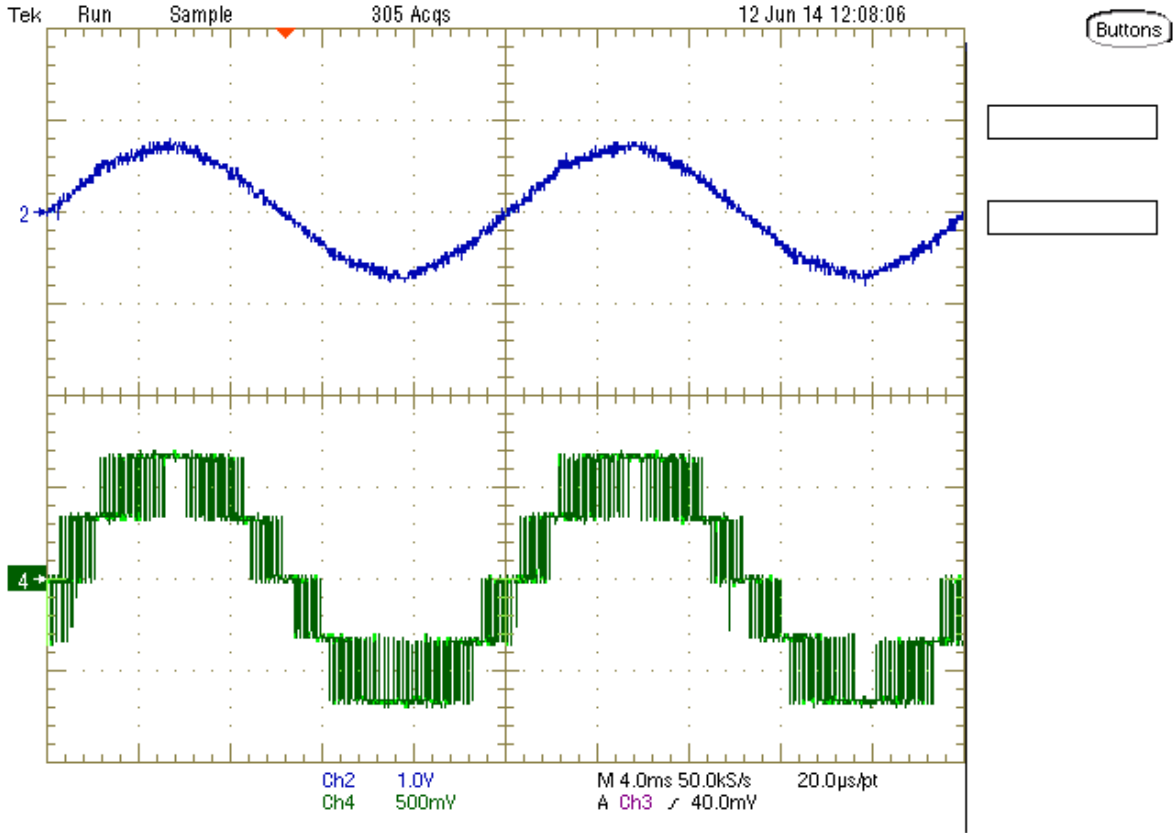
(c)



(d)

Şekil 5.13. SDGM tekniği ile harmonik analizleri (a) filtre çıkışındaki akım harmonikleri (b) evirici akım-gerilim değerleri (c) eviricinin çıkış gücü (d) sistemin çıkış akım-gerilim görüntüleri

Ayrıca şekilden de görüldüğü gibi akım ve gerilim arasında da faz farkı ortaya çıkmıştır. Şekil 5.14’de bir fazlı üç seviyeli eviricinin çıkış geriliminin ve filtre edildikten sonraki hali ve LC filtreden önceki hali görülmektedir. Klasik eviricilerde çıkış gerilimi iki seviyelidir. Tasarlanan sistemin çıkış gerilimi ise şekilden de görüldüğü gibi üç seviyelidir. Çıkış dalga formunun sinusoidal forma daha yakın olduğu şekilden de görülmektedir. Çıkış dalga formundaki basamak sayısının artması çıkış dalga formundaki THD oranlarını azaltmaktadır [7-8].



Şekil 5.14. Bir faz üç seviyeli eviricinin filtreli ve filtresiz çıkış gerilimi

Çizelge 5.1’de benzetim çalışmalarının karşılaştırılması verilmiştir. Burada benzetim çalışması yapılan sistemin klasik eviricilere göre yaklaşık %40 daha az harmonik bileşen içerdiği görülmektedir. Ayrıca sisteme bağlanan RL yükte de üç seviyeli eviricinin daha az harmonik bileşene sahip olduğu görülmektedir. Yapılan benzetim ve deneysel çalışmalarda LC filtre değerleri eleman değerleri birebir aynı tutulmuştur.

Çizelge 5.1. Benzetim çalışmalarının karşılaştırılması

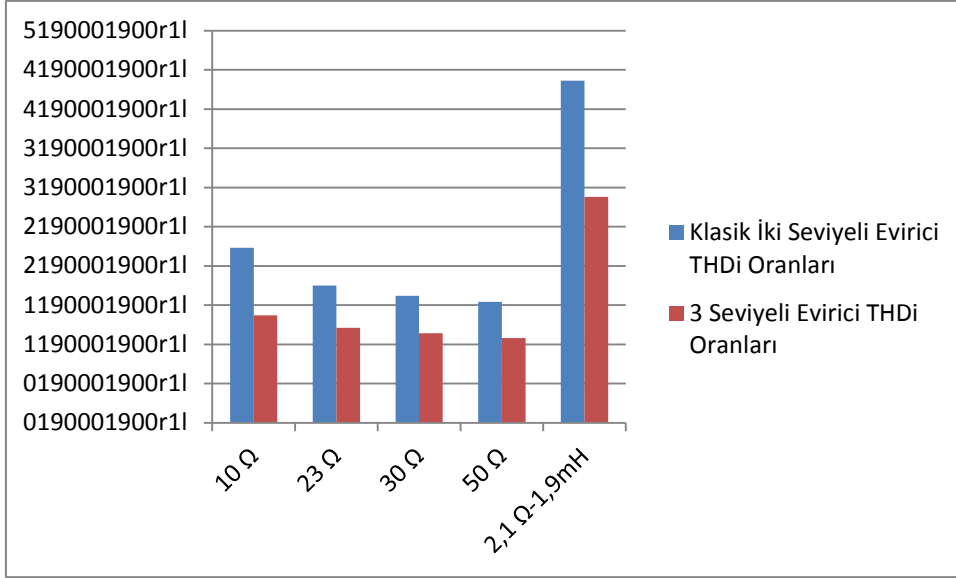
Yük	Klasik İki Seviyeli Evirici THD _i Oranları	3 Seviyeli Evirici THD _i Oranları	İyileştirme
10 Ω	2,23	1,37	%42
23 Ω	1,75	1,21	%45
30 Ω	1,62	1,14	%41
50 Ω	1,54	1,08	%40
2,1 Ω-1,9mH	4,36	2,78	%42

Çizelge 5.2 incelenecek olursa, benzetim çalışmalarıyla uygulama çalışmasının sonuçlarının yaklaşık aynı olduğu görülmektedir. Benzetim çalışmasında düşük yüklerde daha az harmonik bileşen bulunmaktadır. Uygulama çalışmasında ise düşük yüklerde benzetim çalışmasına oranla daha fazla harmonik bileşen oluşmaktadır. Ancak 50 Ω ve RL yükte uygulama ve benzetim çalışmasının yaklaşık aynı olduğu görülmektedir. Yapılan deneysel çalışmalarda 10 Ω değerinde bir yük 22 A akım çekecektir. Mevcut omik yüklerin akım taşıma kapasitelerinin yetmemesi nedeniyle 10 Ω deneyi uygulamada yapılamamıştır.

Çizelge 5.2. Benzetim ve uygulama çalışmalarının karşılaştırılması

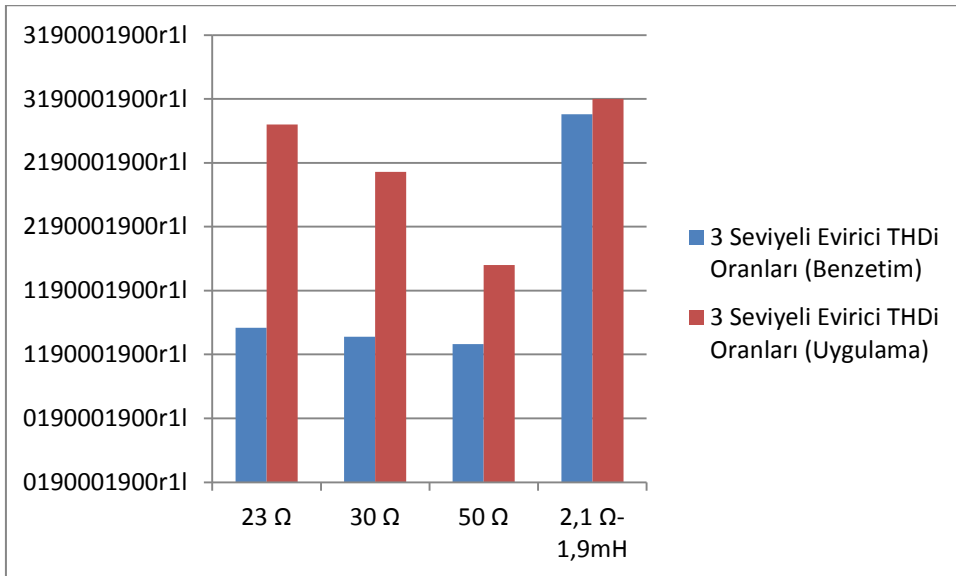
Yük	3 Seviyeli Evirici THD _i Oranları (Benzetim)	3 Seviyeli Evirici THD _i Oranları (Uygulama)
10 Ω	1,08	-
23 Ω	1,21	2,8
30 Ω	1,14	2,43
50 Ω	1,08	1,7
2,1 Ω-1,9mH	2,78	3,00

Şekil 5.15'de Çizelge 5.1'in grafik hali görülmektedir. Şekil 5.15'deki grafikten de görüldüğü gibi klasik 2 seviyeli evirici ile diyot kenetli eviricinin aynı şartlar altında analizleri yapılmış ve üç seviyeli diyot kenetli eviricinin çıkış dalga formundaki harmoniklerin daha az olduğu görülmüştür.



Şekil 5.15. Klasik evirici ve üç seviyeli eviricinin benzetim çalışmasında harmonik grafiği

Şekil 5.16 incelendiğinde benzetim ve deneysel çalışmalardan elde edilen sonuçlar incelendiğinde her iki çalışmanın sonuçlarının birbirleri ile uyumlu olduğu görülmektedir. Şekil 5.16 incelendiğinde uygulama ve benzetim çalışmaları arasında harmonik farklar görülmektedir. Bunun nedeni benzetim çalışmalarında bütün elemanlar ideal kabul edilmektedir. Ancak uygulamada hiçbir eleman ideal değildir.



Şekil 5.16. Benzetim ve uygulama çalışmalarının harmonik grafikleri

6. SONUÇ VE DEĞERLENDİRME

Günümüzde yüksek güçlü enerji sistemlerinde, kesintisiz güç kaynaklarında ve fotovoltaik sistemlerde kullanılan iki seviyeli eviricilerde, kullanılacak anahtarlama elemanının gücü yetersiz kalmaktadır. Ayrıca klasik iki seviyeli eviricilerde çıkış dalga şeklinin sinüsoidalden uzak olması, düşük gerilim üretilmesinden kaynaklı transformatör kullanılması, yüksek anahtarlama frekansına ihtiyaç duymaları klasik iki seviyeli eviricilerin dezavantajlarındanır.

Bu tez çalışmasında evirici çıkış akımı üzerindeki harmonik etkiler nedeniyle evirici topolojisi olarak diyot kenetlemeli üç seviyeli evirici kullanılmıştır. Kondansatörlü ÇSE topolojinin seviye sayısı arttıkça evirici kontrol yöntemleri zorlaşmaktadır. H-köprü ÇSE topolojisinde ise her bir H-köprü için izoleli DA kaynak gerektiğinden bu çalışmada, çok seviyeli eviricinin benzetim ve uygulama çalışmasında ÇSE topolojileri arasından kontrol ve kullanımı daha basit olan diyot-kenetli evirici seçilmiştir.

Evirici kontrol tekniğinde uzay vektör darbe genişlik modülasyonu üç faz sistemlerde ön plana çıksa da bir faz sistemlerde kullanılmamaktadır. SHE-DGM tekniğinde ise aynı harmonik derecesinin yan bantlarındaki harmonikleri bastırmak için karmaşık analitik işlemler gerekmektedir. Tasarımı yapılan çalışmada anahtarlama açısının kolay hesabı ve bir faz sistemlerde yaygın olarak kullanılması sebebiyle SDGM kontrol tekniği tercih edilmiştir. Ayrıca SDGM tekniğinin DSP ile doğrudan programlama imkânının olması ve modülasyon indeksinin kolay kontrol edilebilmesi bu tekniğin avantajlarındanır.

Tez çalışmasında bir faz 3-seviyeli diyot-kenetli eviricinin Matlab/Simulink modellemesi ve uygulaması yapılarak evirici çıkışının genliği PI kontrol yöntemiyle sabit tutulmuştur. Yapılan çalışmalarda SDGM kontrol yöntemi ile farklı modülasyon indekslerinde anahtarlama frekansı ve yük değerleri değiştirilerek evirici performans analizi yapılmıştır. Bir fazlı diyot-kenetli uygulamalarda anahtarlama frekansı 5 kHz, modülasyon indeksi ise PI parametrelerine bağımlı olarak 0,6 – 1 arasında belirlenmiş ve deneyler bu değerler kullanılarak gerçekleştirilmiştir. SDGM tekniği Matlab/Simulink ortamında oluşturulan benzetim çalışmaları ile test edilmiştir. Algoritmanın DSP’de yazılması çevrim zamanını kısaltmıştır. Tasarlanan devrede DA hat geriliminin izolasyonu için 2200 μ F’lık kondansatörler kullanılmıştır. Çıkış gerilimini sabitlemek için PI kontrol ile hata sinyali

denetlenmiş ve kontrolör çıkışı modülasyon indeksi olarak kullanılmıştır. Sistemin bode eğrileri çıkartılarak kararlılık analizleri yapılmıştır. Önerilen sistem ile MATLAB/Simulink benzetim sonuçları karşılaştırılmış ve sistem sonuçları doğrulanmıştır. Tasarlanan sistemin değişken giriş gerilimleri, değişik yük değerleri ve değişik yük tiplerinde (omik, omik - endüktif) analizleri yapılarak sabit gerilim ve düşük harmonik değerlere sahip olduğu görülmüştür.

Çalışmanın sonucunda, önerilen sistemin klasik eviricilere göre aynı yük ve frekansta %40 daha az harmonik içerdiği ve daha iyi bir performansla sahip olduğu görülmüştür. Ayrıca sistemin yüksek güçlü bir transformatöre ihtiyaç duymaması diğer bir avantajıdır.

Uygulaması yapılan tez çalışmasında yazılımsal ve donanımsal olarak karşılaşılan zorluklar ve çözüm önerileri sonraki çalışmalar ve bu alanda yapılacak diğer çalışmalara yardımcı olması açısından aşağıda verilmiştir.

Çalışmada kullanılan anahtarlama elemanlarının kesime ve ilettime geçmesi belli bir zaman aldığı için, eviricinin girişindeki doğru gerilimin bu geçiş zamanlarında kısa bir süre kısa devre olması söz konusu olacaktır. Bu durum anahtarlama elemanlarının ömrünü azaltmakta, anahtarlama kayıplarına neden olmakta ve çıkış dalga formundaki harmonikleri arttırmaktadır. Bunu önlemek için sistemde ölü zaman olarak adlandırılan anahtarlama sinyalleri arasında kısa bir gecikme zamanı bırakılmış ve ek olarak söndürme devreleri ile anahtarlama elemanlarındaki enerji deşarj edilmiştir. Ölü zaman gecikmesi en asgari seviyede tutulmuştur.

PI parametrelerinin sisteme göre düzgün hesaplanması gerekmektedir. Aksi takdirde çıkış gerilimi üzerinde sürekli değişimler meydana gelecek ve yüksek frekanslı sinyaller oluşacaktır. Bu durum harmoniklerin artmasına sebep olmaktadır. Bu nedenle PI parametreleri sistemin dinamik modeli üzerinden hesaplanmıştır.

Çalışmada karşılaşılan diğer bir sorun ise LC filtre tasarımının belirli yük değerleri için hesaplanmasıdır. Yük değeri arttıkça LC filtre değeri de değişmektedir. Tasarlanan sistemin yük değerlerinin belirlenmesi daha sonra LC filtre hesabına geçilmesi gerekmektedir. Evirici çıkışında kullanılan LC filtre elemanlarının değerleri ve parametreleri, öngörülen yük değerlerine göre hesaplanmış ve uygulanmıştır.

KAYNAKLAR

1. Wang C. M. (2007). Zero-voltage-switching DC/AC inverter. *Electric Power Applications, IET*, 1, 387-394.
2. Chung H., Hui S.Y.R., and Tse K.K. (1998). Reduction of power converter EMI emission using soft switching technique. *IEEE Transaction on Electromagnetic Compability*, 40, 282-287.
3. Guo Z., and Kurokawa F. (2009). Control and PWM Modulation Scheme for dead-Time Compensation of CVCF Inverters. *31st International Telecommunications Energy Conference*, 1-6.
4. Chuang Y.C., Chuang H.S and Ke Y.L. (2006). Design and Implementation of Battery Charger with Zero-Voltage-Switching-Resonant Converter for Photovoltaic Arrays. *Industrial and Commercial Power Systems Technical Conference*, 1-6.
5. Bal G. and Öztürk N. (2011). A Novel Control Technique for Soft Switching Sinusoidal PWM Inverter. *Electric Power Components and Systems*, 39(1), 31-45.
6. Bingöl, O. (2005). Yapay sinir ağı ile modellenen alan yönlendirmeli bir asenkron motorun üç seviyeli evirici ile hız denetimi. *Gazi Üniversitesi, Fen bilimleri Enstitüsü, Doktora Tezi*, Ankara, 178.
7. Nabae A., Takashi, I. and Akagi H. (1981). A new neutral-point clamped PWM inverter. *IEEE transactions on Ind. Applications*, 17(5), 518-523.
8. Çolak I., Kabalıcı E. (2008, Kasım) Evirici Topolojileri ve Gelişimleri Üzerine Bir İnceleme. *EMO Elektrik- Elektronik ve Bilgisayar Mühendisliği Sempozyumu (ELECO)*, 291-295.
9. Keyhani, H.; Toliyat, H.A. (2014). Single-Stage Multi string PV Inverter With an Isolated High-Frequency Link and Soft-Switching Operation. *Power Electronics, IEEE Transactions on*, 29(8), 3919-3929.
10. Zhou K., Wang D., and Low K.S. (2000). Periodic errors elimination in CVCF PWM DC/AC converter systems: repetitive control approach. *Control Theory and Applications, IEE Proceedings*, 147, 694-700.
11. Keliang Z. And Danwei W. (2002). Unified robust zero-error tracking control of CVCF PWM converters, *Circuits and Systems I: Fundamental Theory and Applications. IEEE Transactions on*, 49, 492-501.
12. Ye Y., Zhang B., Zhou K., Wang D., and Wang Y. (2007). High-performance cascade-type repetitive controller for CVCF PWM inverter: analysis and design. *Electric Power Applications, IET*, 1, 112-118.
13. Bal G., Öztürk N. and Bekiroğlu E. (2009). Investigation of switching losses for sinusoidal PWM zero current switching inverter and resonant link inverter. *Industrial Electronics, 2009. IECON '09. 35th Annual Conference of IEEE*, 590-594.

14. Aydemir M.T. and Evran F. (2009). Operation principles of a switched capacitor snubber circuit suggested for half-bridge DC/DC converters. *International Journal of Electronics*, 96(1), 29–42.
15. Ikonen, M., O. Laakkonen, and Kettunen M. (2005). Two-level and three-level converter comparison in wind power application. *Lappeenranta University of Technology* P.O. Box 20, FI-53851 Lappeenranta Finland.
16. Rodriguez, J.; Jih-Sheng Lai; Fang Zheng Peng. (2002). Multilevel inverters: a survey of topologies, controls, and applications. *Industrial Electronics, IEEE Transactions on*, 49(4), 724-738.
17. Albanna, A.; Hatziadoniu, C.J. (2009). Harmonic modeling of three-phase neutral-point inverters. *North American Power Symposium (NAPS), 2009*, 1-6.
18. Kouzou, A.; Abu Rub, H.; Iqbal, A.; Moin Ahmed, S.; Khaldi, B.S.; Mahmoudi, M.O.; Boucherit, M.S.; Kennel, R. (2011). Selective Harmonics Elimination for a three-level diode clamped five-phase inverter based on Particle Swarm Optimization. *IECON 2011 - 37th Annual Conference on IEEE Industrial Electronics Society*, 3495-3500.
19. Özdemir E. And Özdemir Ş. (2007). Beş Seviyeli Diyot Tutmalı Eviricide Darbe Genişlik Modülasyonu Anahtarlama Tekniği İle Harmoniklerin Azaltılması. *12. Elektrik, Elektronik, Bilgisayar ve Biyomedikal Mühendisliği Ulusal Kongresi*.
20. Çolak İ. ve Kabalcı E. (2008). Çok Seviyeli Eviricilerin Kontrol Yöntemleri. *TÜBAV Bilim Dergisi*, 1(2) 45–54.
21. Tuncer, S. (2009). Çok Seviyeli Eviricilerde Taşıyıcı Dalga Şekli Değişimlerinin Çıkış Gerilimi Üzerine Etkilerinin İncelenmesi. *Gazi üniversitesi Mühendislik Mimarlık Fakültesi Dergisi*, 24(4), 613–628.
22. Du, Z., Tolbert, L., Chiasson, J., And Ozpineci, B. (2006). A cascade multilevel inverter using a single DC source. *IEEE 21st The Applied Power Electronics Conference and Exposition*, Texas, 426-430.
23. Beck, M. K. (2007). A Comprehensive Solar Electric System for Remote Areas. *The International Journal on The Science and Technology Of Desalting and Water Purification (Desalination)*, 209(1-3), 312–318.
24. IEEE Standard 519-1992, (1993). Recommended Practices and Requirements for Harmonic Control in Electrical Power System. *The Institute of Electrical and Electronics Engineers*, USA.
25. Meynard, T. A. And Foch, H. (1992). Multi-level conversion: high voltage choppers and voltage-source inverters. *IEEE Power Electronics Specialists Conference*, Toledo, 397-403.
26. Lai J. S., Peng F.Z. (1996). Multilevel converters—a new breed of power converters. *IEEE transactions on Industry Applications*, 32, 509-517.

27. Chang-xin, M., Li-ping, S., Tai-xu W. And Cheng-bao, C. (2009). Flying capacitor multilevel inverters with novel PWM method. *Proceeding of the International Conference on Mining Science & Technology (ICMST2009)*, 1554-1560.
28. Khomfoi S. And Tolbert, L. M. (2007). Power Electronics Handbook. Multilevel Power Converters- Chapter 17, 2nd Edition, *Academic Press*, 451-482.
29. Du, Z., Chiasson, J. And Tolbert, L.M. (2005). Reduced switching frequency computed PWM method for multi level converter control. *IEEE 36th Power Electronics Specialists Conference*, 2560-2564.
30. Colak İ., Kabalci E., Bayindir R. And Sagioglu S. (2009). The design analysis of a 5-level cascaded voltage source inverter with low THD. *Intl. Conf. On Power Eng., Energy and Electrical Drives*, Portugal, 575-580.
31. Asker, M. E., Özdemir, M. Bayındır, M. I. (2009). Sinüsoidal DGM ile uzay vektör DGM yöntemlerinin karşılaştırılması incelenmesi. 5. *Uluslar arası İleri Teknolojiler Sempozyumu (IATS'09)*, Karabük, Türkiye.
32. Tuncer, S. (2004). Uzay vektör darbe genişlik modülasyonu kullanan beş seviyeli inverter tasarımı ve uygulaması. *Fırat Üniversitesi, Fen bilimleri Enstitüsü, Doktora Tezi*, Elazığ, 95.
33. Kabalci, E. (2010). Çok seviyeli invertörler için yeni bir SDGM tekniğinin geliştirilmesi. *Gazi Üniversitesi, Fen bilimleri Enstitüsü, Doktora Tezi*, Ankara, 155.
34. Tolbert, L. M., Peng F. Z. And Haberler, T. G. (1999). Multilevel convertes for large electric drives. *IEEE Transactions on Industrial Application*, 35(1):36-44.
35. Deniz E. And Aydoğmuş Ö. (2011). SPWM ve SVPWM Kullanan Üç-Seviyeli H-Köprü İverter ile Beslenen Asenkron Motor Sürücülerinin Karşılaştırılması. *6th International Advanced Technologies Symposium (IATS'11)*, Elazığ.
36. Mittal, N.; Singh, B.; Singh, S.P.; Dixit, R.; Kumar, D. (2012, Dec). Multilevel inverters: A literature survey on topologies and control strategies. *Power, Control and Embedded Systems (ICPCES), 2012 2nd International Conference on*, 1-11.
37. Li, W. (2006). A new approach to the harmonic analysis of SPWM waves. *IEEE Intl. Conf. On Mechatronics and automation*, China, 390-394.
38. Tolbert, L.M., Peng, F.Z. And Habetler, T.G. (2000). Multilevel PWM methods at low modulation index. *IEEE trans. on Powerelec.*, 15(4), 719-725.
39. Çolak I., Kabalci E., Bayındır R. (2011). Review of Multilevel Voltage Source Inverter Topologies and Control Schemes. *Energy Conversion and Management*, 52, 1114-1128.
40. Abalı A. (2011). Hata ve Normalize Edilmiş İvme Bilgisine Dayalı PI Kontrolör Katsayı İyileştirme Yöntemi. *İstanbul Teknik Üniversitesi Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi*.

41. Ziegler, J. G.,and Nichols, N. B. (1942). Optimum settings for automatic Controllers.
Transactions of the ASME. 64, 759–768.

ÖZGEÇMİŞ

Kişisel Bilgiler

Soyadı, adı : CANBAZ, Rıdvan
 Uyuğu : T.C.
 Doğum tarihi ve yeri : 08.09.1986 Ankara
 Medeni hali : Bekâr
 Telefon : 0 (506) 962 71 62
 e-mail : ridvancanbaz@gazi.edu.tr



Eğitim

Derece	Eğitim Birimi	Mezuniyet tarihi
Yüksek lisans	Gazi Üniv.FBE / Elektrik Eğitimi Bölümü	Devam Ediyor
Lisans	Gazi Üniv. / Elektrik Eğitimi Bölümü	2010
Lise	Abidinpaşa Endüstri Meslek Lisesi	2005

İş Deneyimi

Gazi Üniversitesi Atatürk Meslek Yüksek Okulu

Öğretim Görevlisi (Dışarıdan Görevlendirme) (20 Eylül 2010 - 21 Ocak 2011)

Gazi Meslek Yüksek Okulu

Öğretim Görevlisi(Dışarıdan Görevlendirme) (09 Şubat 2011- 15 Ocak 2012)

Nevşehir Hacı Bektaş Veli Üniversitesi Meslek Yüksek Okulu

Öğretim Görevlisi (15 Ocak 2013- Halen devam etmekte)

Yabancı Dil

İngilizce

Yayınlar

- Ozturk, N.;Canbaz, R., Celik, E. (2012). Constant voltage constant frequency control for single phase three level inverter. Renewable Energy Research and Applications (ICRERA), 2012 International Conference on, 1-5.

2. Celik, E.;Dalcali, A.; Ozturk, N.; Canbaz, R. (2013, May). An adaptive PI controllers chema based on fuzzy logic controller for speed control of permanent magnet synchronous motors. Power Engineering, Energy and Electrical Drives (POWERENG), 2013 Fourth International Conference on, 715,720.
3. Canbaz R.,Ozturk N.,Celik E.,Demirtaş M. (2012, Haziran). dsPIC Uygulama ve Geliştirme Deney Seti Tasarımı. Ulusal Meslek Yüksekokulları Çalıştayı ve Öğrenci Sempozyumu (UMÇÖS).



GAZİ GELECEKTİR..