

CMOS BUFFER TASARIMINDA OPTİMİZASYON

Dilek MANZAK

Yüksek Lisans Tezi

**ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ
ANABİLİM DALI
ISPARTA- 2005**

**T.C.
SÜLEYMAN DEMİREL ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

CMOS BUFFER TASARIMINDA OPTİMİZASYON

Dilek MANZAK

**Danışman
Yrd. Doç. Dr. Ali MANZAK**

**YÜKSEK LİSANS TEZİ
ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ
ANABİLİM DALI**

ISPARTA - 2005

Fen Bilimleri Enstitüsü Müdürlüğüne

Bu çalışma jürimiz tarafından ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ ANABİLİM DALI'nda YÜKSEK LİSANS TEZİ olarak kabul edilmiştir.

Başkan :

Üye :

Üye :

ONAY

Bu tez/...../ 2006 tarihinde Enstitü Yönetim Kurulunca belirlenen yukarıdaki jüri üyeleri tarafından kabul edilmiştir.

...../...../ 2006

Prof. Dr. Çiğdem SAVAŞKAN
Enstitü Müdürü

İÇİNDEKİLER	Sayfa
İÇİNDEKİLER	i
ÖZET	ii
ABSTRACT	iii
TEŞEKKÜR	iv
Simgeler ve Kısaltmalar Dizini	v
Şekiller Dizini	vi
Çizelgeler Dizini	viii
1. GİRİŞ	1
2. KAYNAK ÖZETLERİ	5
3. GENEL TANIMLAR	10
3.1. CMOS Evirici	10
3.2 Gürültü	14
3.3 Güç Tüketimi	16
3.3.1 Güç Tüketim Kaynakları	17
3.3.1.1 Dinamik Anahtarlama Gücü	17
3.3.1.2 Kısa Devre Akım Gücü	18
3.3.1.3 Kaçak Akım Gücü	20
3.3.2. Toplam Güç Tüketimi	21
3.3.3 Güç Azaltmak İçin Yapılabilecek İşlemler	22
3.3.3.1 V_{DD} 'yi azaltmak	22
3.3.3.2 V_t Optimizasyonu	23
3.3.3.2 Transistor Boyutlandırma	23
3.4 PMOS/NMOS oranı	25
4. MATERYAL METOD	27
4.1. Buffersız 2 CMOS Evirici Simülasyonu	27
4.1 Buffer Devresi	30
5. ARAŞTIRMA VE BULGULAR	33
5.1. Buffer Sayısı Tespiti İçin Yapılan Simülasyonlar	33
5.2. Farklı W_p/W_n Oranları	34
5.3. V_{dd} 'nin Değişimi	35
5.4. Propagasyon gecikmesi	37
5.5. Alan Değişimi	38
5.6. Optimum sonuçlar	39
6. SONUÇ VE TARTIŞMA	42
7. KAYNAKLAR	44
ÖZGEÇMİŞ	47

ÖZET**CMOS Buffer Tasarımında Optimizasyon**

CMOS transistörler düşük güç harcamaları sebebiyle yaygın olarak tümleşik devre tasarımında kullanılmaktadır. İyi bir tümleşik devre güç, hız ve alan bakımından en iyi olmalıdır. Devre içinde düşük kapasiteli kapıların yüksek kapasiteli kapıları sürerken tampon devreler kullanılması iyi bilinen hız artırma tekniklerinden biridir. Fakat, kullanılacak tampon devre sayısı ve NMOS ve PMOS transistörlerin kanal enlerinin oranı iyi belirlenmelidir. Tampon devre sayısı, ve kanal en oranları devrenin hız, güç harcaması ve alanına direkt olarak etki eder. Literatürde en iyi tampon devre boyutunu belirlemek için birçok çalışma yapılmış ve bazı teorik sonuçlar bulunmuştur. Ancak bu sonuçlar günümüzde kullanılan nanometre tasarımlarla tam uyuşmamaktadır. Bu tezde biz, en iyi hız, alan ve güç harcaması olan devreyi gerçeklemek için kullanılan tampon devreleri tasarlamak için yeni bir tasarım stratejisi belirledik. Çalışmada Pspice programı ile 0.12nm IBM teknoloji verileri kullanılarak yapılan simülasyonların sonuçları tablo ve şekiller halinde gösterilmiştir.

ANAHTAR KELİMELER: CMOS Buffer, Buffer Optimizasyonu, Düşük Güç

ABSTRACT**Optimum CMOS Buffer Design**

CMOS transistors are widely used for their low power dissipations in VLSI circuits. A good VLSI chip should be optimized in terms of power, speed and area. Buffer insertion is a well known speed improvement technique when a low capacitive gate is driving high capacitive gate. However the number of buffer stages that need to be inserted and the ratio of width of the NMOS and PMOS transistors should be carefully determined. Selection of number of buffer stages and the channel width of the transistors directly effects the speed, area and power consumption of the circuit. In the literature there has been great deal of work has been done and some theoretical results are presented to obtain the optimum buffer size. However these result do not completely fit the current technology using nanometer channel width. In this thesis we have developed new design strategy to get optimum buffer size such that circuit is optimized in terms of speed, power and area. Simulations have been done using Pspice with 0.12nm IBM technology and results are shown with tables and figures.

KEY WORDS: CMOS Buffer, Buffer Optimization, Low Power

TEŐEKKÖR

Yüksek lisans çalıřmalarım boyunca bana her türlü destek veren danıřmanım Yrd.Doç.Dr. Ali MANZAK' a, bölüm başkanım Prof Dr. Mustafa MERDAN' a, Elektronik ve Haberleřme Mühendislięi Bölümü'nün değerli öğretim elemanlarına, her zaman beni destekleyen aileme, teşekkür ederim.

Simgeler ve Kısaltmalar Dizini

MOS	Metal Oxide Semiconductor
PMOS	P kanal Metal Oxide Semiconductor
NMOS	N kanal Metal Oxide Semiconductor
CMOS	Complementary metal oxide semiconductor için kısaltma
VLSI	Very Large-Scale Integration için kısaltma
μ	Mikro (10^{-6})
n	Nano (10^{-9})
α	Aktivite katsayısı
P	Güç
T _{phl}	Gerilimin düşen kenardaki propagasyon gecikmesi
T _{plh}	Gerilimin yükselen kenardaki propagasyon gecikmesi
t _r	Gerilimin %10'dan %90'a çıkması için geçen zaman yükselme zamanı
t _f	Gerilimin %90'dan %10'a çıkması için geçen zaman yükselme zamanı
T _j	Eklem ısısı
T _a	Çevre ısısı
P _a	P ise güç tüketim miktarı
θ	Termal direnç

Şekiller Dizini

Şekil 1.1: Yıllara göre teknoloji derecelendirmesi.....	1
Şekil 3.1: NMOS transistor.....	10
Şekil 3.2: NMOS evirici ve gerilim karakteristiği.....	11
Şekil 3.3: (a) n-kanal transistor (b) p-kanal transistor (c) CMOS invertor ve sembolü.....	12
Şekil 3.4: CMOS evirici.....	13
Şekil 3.5: CMOS gerilim akım karakteristiği.....	14
Şekil 3.6: İdeal invertor voltaj transfer karakteristiği.....	15
Şekil 3.7: Dinamik anahtarlama güç tüketimi; kapasite kaynakları.....	18
Şekil 3.8: Giriş yükselme/düşme zamanına karşı kısa devre enerjisi(statik CMOS invertor).....	19
Şekil 3.9: kaçak akım yük kapasitesi ilişkisi eşik gerilimi akım ilişkisi.....	21
Şekil 3.10:Kaçak akım gücü teknolojiyle artmaktadır.....	21
Şekil 3.11: kaynak voltajına karşı gecikme değişimi.....	23
Şekil 3.12: PMOS/NMOS oranının fonksiyonu olarak CMOS' un gecikmesi..	26
Şekil 4.1: 2 adet CMOS invertor ve yük kapasitesi.....	27
Şekil 4.2: 2 CMOS evirici için çıkış eğrileri.....	29
Şekil 4.3:n-kanal ve p-kanal MOSFET'lerin statik modeli ile CMOS buffer devresi.....	30

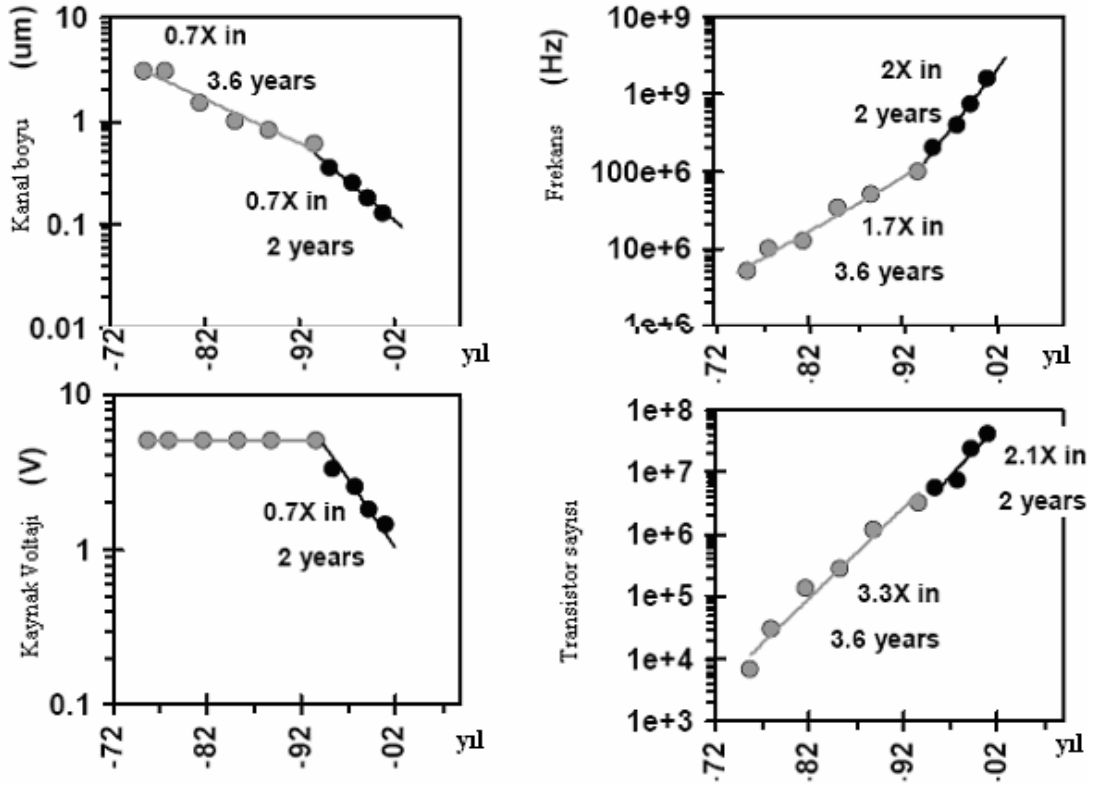
Şekil 4.5: 4 eviriciden oluşmuş bufferlı devre	31
Şekil 4.6: buffer kullanılarak sürülen CMOS evirici	32
Şekil 5.1: iki eviriciden oluşan tek buffer kullanılmış devre	34
Şekil 5.2: $V_{dd}=1V$ 'luk devre çıkış gerilimleri.....	35
Şekil 5.3: $V_{dd}=1V$ için çıkış gerilimleri	35
Şekil 5.4: $V_{dd}=0.9V$ için çıkış gerilimleri	36
Şekil 5.5: $V_{dd}=0.8V$ için çıkış gerilimleri	36
Şekil 5.6: Giriş ve çıkış oranının değişmediği devreler	40
Şekil 5.7: Hız optimizasyonu yapılan devreler	40
Şekil 5.8: Alan ve Güç optimizasyonu yapılan devreler	41
Şekil 5.9: Optimum sonuç gerilim grafikleri Hata! Yer işareti tanımlanmamış.	
Şekil 5.10: Ortalama güç grafiği	Hata! Yer işareti tanımlanmamış.

Çizelgeler Dizini

Çizelge 1.1. Yıllara göre entegre üretimdeki oluşan ve beklenen gelişmeler.	4
Çizelge 3.1:CMOS invertor için Transistor durumları.....	13
Çizelge 5.1: Çıkışta girişten 100 kat farklı Cmos kullanılması durumunda buffer sayısına göre akım güç gecikme tablosu.....	33
Çizelge 5.2: Farklı W_p/W_n oranlarına göre tablo	34
Çizelge 5.3: V_{dd} değişimine göre güç gecikme tablosu	37
Çizelge 5.4: Propagasyon gecikmeleri.....	38
Çizelge 5.5: Optimum sonuçlar	39
Çizelge 5.6: Sabit alan farklı W_p/W_n	Hata! Yer işareti tanımlanmamış.
Çizelge 5.7: Optimum sonuçlar	Hata! Yer işareti tanımlanmamış.

1. GİRİŞ

1947’de transistorun icat edilmesi ile başlayan ve tümdevre teknolojilerinin ortaya çıkması ile hız kazanan katı hal elektroniği yayılganlık, doğurganlık ve üretkenlik bakımından teknoloji tarihinde benzeri görülmemiş bir konum kazanmıştır. Daha çok “mikroelektronik” adı ile anılan bu geniş ve dinamik teknoloji alanı, dünyada son 50 yılda yaratılmış olan yeniliklerin, sağlanmış olan gelişmelerin büyük çoğunluğunun olmazsa olmaz kaynağı yahut desteği olmuştur. 1965’de G. Moore’un yapmış olduğu gelişme öngörüsü; yıllara göre transistor boyutlarının üstel olarak küçülmesi, bir tümdevre (chip) içindeki transistor sayısının üstel olarak artması ve birim transistor maliyetlerinin de üstel olarak azalması, günümüze kadar önemli bir sapma olmadan geçerliliğini korumuştur. (Leblebici 2004)



Şekil 1.1: Yıllara göre teknoloji derecelendirmesi

Bu gelişmenin bir on yıl kadar daha devam edeceği, teknolojinin teorik uygulanabilirlik sınırlarına yaklaşması ile önce yavaşlayacağı, daha sonra da durağanlaşacağı öngörülmektedir. Mikroelektronik teknolojilerinin ürünlerini kullanmaya alışmış olan sektörlerin (bilgisayar, telekomünikasyon, tüketici elektroniği sektörleri v.d.) daha küçük eleman boyutları, daha yüksek hızlar, daha karmaşık tümdevreler ve daha düşük maliyet taleplerini karşılayabilmek için, geleneksel mikroelektronik teknolojilerinden farklı, yepyeni teknolojiler gerekeceği açıktır. Bu alanda bugün en ümit verici aday, “nanoteknoloji” dir. 1959’da R. Feynman’ın yapmış olduğu tanımla; “katı ortam içinde atomları tek tek, istenen bir düzene göre yerleştirme teknolojisi” olan nanoteknolojinin, geleneksel mikroelektronik teknolojilerinin sağladığı gelişme eğiminin –belki daha da artarak- devamını sağlamasının ötesinde, malzeme teknolojileri, biyoteknoloji gibi bambaşka alanlarda da çok önemli açılımlara yol açması beklenmektedir. Mikroelektronik teknolojisi ulaştığı olgunluk ve verimlilik, ve sağladığı –pek çok uygulama alanı için yeterli olan- karmaşıklık düzeyi sayesinde gelişme bakımından durağanlık dönemine girdikten sonra da ürünleri yaygın olarak kullanılan temel bir “altyapı teknolojisi” niteliğini korumaya devam edecektir. Mikroelektronik teknolojisi, çeşitli teknolojik faaliyet konuları için gerekliliği (hatta vazgeçilmezliği) bakımından en ön sıralarda yer almıştır. (Leblebici 2004)

Günümüzde yıllık hacmi 200 milyar dolara yaklaşmış olan tümdevre üretiminin yaklaşık %98’lik bölümünü silisyum bazlı devreler oluşturmakta ve bunların büyük çoğunluğu (yaklaşık olarak %75’i) CMOS teknolojisi ile üretilmektedir. Gerçekleştirilebilen minimum transistor boyutlarının (ki transistorların geçit bölgesinin uzunluğu ile ifade edilmektedir) gittikçe küçülmesi, bir tümdevre içine yerleştirilebilen transistor sayısının artmasını ve dolayısı ile daha karmaşık devrelerin (hatta sistemlerin) tümdevre olarak gerçekleştirilmesini mümkün kılmaktadır. Boyutlardaki küçülmenin diğer olumlu getirileri, transistorların çalışabildikleri maksimum frekansın yükselmesi ve güç sarfiyatının düşmesidir. Bugün -ve görülebilen yakın gelecek- için CMOS tümdevreler, devre ve sistem tasarımcılarının gereksinmelerinin büyük bir bölümünü karşılama potansiyeline sahiptir. Standart silisyum CMOS tümdevre teknolojileri ile sağlanamayan özellikler ise, daha yüksek

sıcaklıklar için SoI (silicon on insulator) ve daha yüksek hızlar için Si-Ge (silisyum-germanyum) teknolojileri ile sağlanabilmektedir ki bunların ikisi de üretim bakımından standart CMOS teknolojileri ile uyumludur. (Leblebici 2004)

Çok büyük ölçekli tümdevre (VLSI-very large scale integration) tasarım yöntemleri hızla gelişen elektronik endüstrisi için temel bir çözüm haline gelmiştir. VLSI devre tasarım yöntemleri ile tasarlanan tümdevreler düşük maliyetli olup çok hızlı ve güvenli çalışabilmekte ve çok küçük alanlara sığabildikleri için milyonlarca transistörün tek bir yonga içinde gerçekleştirilmesine olanak sağlamaktadır. CMOS (Complomentary MetalOxide Semiconductor) VLSI devre tasarım yöntemi sayısal mantık devreleri tasarımına dayandığı için, karmaşık sistemlerin tasarımı ve gerçekleştirilmelerini de kolaylaştırmakta ve CMOS devreler yüksek gürültü marjına sahip olduklarından daha güvenli çalışabilmektedirler. CMOS devrelerin bir başka önemli özelliği de çok az güç harcamalarıdır. Bütün bu özelliklerin sonucunda CMOS VLSI devre tasarım yöntemleri ve bu teknolojideki gelişmeler, 1971'de ilk mikroişlemcinin üretilmesiyle başlayıp günümüzün süper mikrobilgisayar yongalarına kadar uzanan ve mikroişlemci mikro-denetleyici mikrobilgisayar tasarımlarında yaşanan çok hızlı ve büyük gelişmelerin itici gücü olmuştur (İsmailoğlu, 1996).

Tümleşik bir devrede transistör boyutlandırması ve buffer ekleme devredeki gecikmeyi azaltmak için kullanılan optimizasyon tekniklerindedir. Tümleşik devrelerin verilen hız limitinden daha yavaş olmamaları ve mümkün olduğunda hızlı çalışmaları gerekliliği vardır. Devrenin gecikmesi saat periyodu olan τ 'dan daha büyük olmamalıdır. Böylesi bir durum söz konusu olduğunda ise devrenin performansının artırılması gerekmektedir. Devrenin performansını artırmak için pek çok teknik kullanılabilir. Tasarım seviyesi uygulayıcılarına göre bunu 3 kategoriye bölmek mümkündür. Yapı seviyesinde devre performansını artırmak için kapının dahili yapıları ve devrenin bağlantıları değiştirilebilir. Topoloji seviyesinde kapıların performans sürücü yerleştirmeleri ve kabloların performans sürücü rotaları en uzun yolun gecikmesini minimize etmeyi amaçlamışlardır. Topoloji ve yapı seviyesinin her ikisinde de optimizasyon tekniklerinin devre topolojisini değiştirdiğinin bilinmesi

önemlidir. Fiziksel seviyede tüm devrenin topolojisi aynı kalarak transistör ölçekleme teknikleri, tamponlama ve güç tekniğiyle kapı hızı artırılır. Geleneksel optimizasyon programında fiziksel seviye teknikleri kullanılarak devre performansını artırmak öncelikli olarak tercih edilir. Fiziksel seviye teknikleriyle amaçlanan performansı sağlanmadığı durumlarda topoloji ve yapı seviyesi teknikleri kullanılır. (Chen 1993)

Çizelge 1.1.' de yıllara göre entegre üretiminde oluşan ve beklenen gelişmeler verilmiştir. Kanal boyu küçüldükçe frekans ve güç tüketimi artmakta besleme gerilimi azalmaktadır. İlerleyen bölümlerde bu parametrelerin her birinin özellikleri anlatılacak ve devre üzerindeki etkileri üzerinde durulacaktır.

Yıl	1999	2002	2005	2008	2011	2014
Kanal Boyu (nm)	180	130	100	70	50	35
Mantık Kapıları trans/cm ²	6.2M	18M	39M	84M	180M	390M
Saat Frekansı (MHz)	1250	2100	3500	6000	10000	16900
Entegre Büyüklüğü (mm ²)	340	430	520	620	750	900
Besleme Voltajı (V)	1.8	1.5	1.2	0.9	0.6	0.5
Güç Tüketimi (W)	90	130	160	170	175	183
TOX (eşdeğeri) [nm]:	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
Jonksiyon Derinliği[nm]:	42-70	25-43	20-33	16-26	11-19	8-13
Min Vdd (V)	1.75	1.35	1.0	0.75	0.55	0.4

Çizelge 1.1. Yıllara göre entegre üretimdeki oluşan ve beklenen gelişmeler. (Semiconductor Industry Association, 2004)

2. KAYNAK ÖZETLERİ

Litaratür tarama sonucunda sayısal devrelerde düşük güç tüketimi ve transistor ölçeklemesi üzerine yapılmış pek çok çalışmayla karşılaşmak mümkündür. Bu çalışmalara her geçen gün yenileri eklenmektedir. Teknolojinin gelişmesini de bu çalışmalardan elde edilen veriler etkilemektedir. Bu çalışmaların yapılan çalışmayla yakından ilgili olanlarının özetleri aşağıda verilmiştir.

1987'de Hedenstierna ve Jeppson CMOS devre hızı ve buffer optimizasyonu üzerine bir çalışma yapmışlardır. Yapılan çalışmada CMOS tümeleşik kapılar için zamanlama modeli geliştirilmiştir. Bu model CMOS evirici çıkış cevabının giriş oranının analitik olarak çözülmesi üzerine kurulmuştur.

Shyu, Vincentelli, Fishburn ve Dunlop 1988'deki çalışmalarında daha önceki çalışmalarda transistor ölçeklemesi için matematiksel programlama ve deneme yanılma yaklaşımını birleştirildiğini, kendilerinin devrenin ilk büyüklüğünü elde etmek için hızlı deneme yanılma algoritmasını kullandıklarını söylemektedirler. Transistor ölçekleme yöntemini nonlinear optimizasyon problemine dönüştürmüşler ve sonra problemi azaltılmış boyutlar uzayında matematiksel programlama teknikleri kullanarak çözmüşlerdir.

Wu, Zanden ve Gajski'nin 1990 yılındaki çalışmalarında CMOS devrelerde otomatik transistor ölçeklemesi için yeni bir algoritma geliştirmişlerdir. Algoritma kritik yol analizi, transistor ölçekleme ve transistor geri ölçekleme olmak üzere üç evreden oluşmaktadır. Algoritma verilen tüm yollardaki gecikmeyi eş zamanlı olarak azaltmaktadır. Transistor geri ölçekleme yaklaşımını kullanarak zaman gereksinimleri karşılanarak minimum transistor alanı gerçekleştirilebilir. NMOS ve PMOS transistor boyutları ayrı ayrı ölçeklenerek bu algoritma giriş tetikleme sinyaline bağlı olarak kapının yükselme ve düşme zamanlarını kontrol edebilmektedir. Deneysel çalışmalar bu algoritmanın gecikme zamanlarını yaklaşık lineer olarak iyileştirdiğini göstermektedir.

Chen, Kang 1991’de yaptıkları çalışmada yüksek performans tasarımı gerçeklemek için devre tasarımcıları tarafından buffer ekleme, gate girişi yenileme ve transistor boyutlandırma yaygın olarak kullanılan devre optimizasyon teknikleri olduğunu transistor boyutlandırması çok uzun zaman harcamayı gerektiren, yorucu bir iş olduğunu ve transistor boyutlarındaki artış daima gecikmede azalmaya sebep olmayacağını anlatmışlar. Bu çalışmayla kısa problem formülasyonu ve özenli bir optimizasyon planı ile yeni bir transistor ölçekleme tekniğini sunmaktadırlar.

Chandrakasan, Sheng ve Brodersen 1992’de CMOS sayısal devrelerinde işlem gücünü azaltmadan harcanan enerji miktarını azaltmaya yönelik yöntemleri incelemişlerdir. İncelenen yöntemler mümkün olan en düşük besleme voltajını kullanma, mimari ve mantık yapısı, devre ve üretim teknolojisi optimizasyonlarıdır. Mimari tabanlı bir ölçekleme stratejisi önermişler ve önerilerinde kullanılacak olan optimum besleme voltajının diğer ölçekleme yöntemleri tespit edilenlerden çok daha düşük olduğunu göstermişlerdir.

Yuan, J. ve Svensson, C. 1996’daki çalışmalarında transistor ölçeklemesini sadece CMOS devrenin gecikme süresini optimize etmek için değil, aynı zamanda güç-gecikme çarpanının optimizasyonu için de kullanılabilceğini göstermişlerdir. Çalışmalarının amacı verilen gecikme süresine sadık kalıp en az güç harcayan devreyi elde etmektir. Transistor zincirindeki transistorlar için optimum boyutlar analiz edilmiştir. Tüm CMOS devresi durumu için gate, gate zinciri ve görüşler bildirilmiştir.

Borah, Owens ve Irwin 1996’da gecikme süresinin belirli bir değerin altında olması istenen bir CMOS devresi için güç harcamasını azaltacak doğrudan bir yaklaşım sunmuşlardır. Hali hazırda varolan, CMOS devrenin harcadığı gücün devrenin aktif alanıyla doğru orantılı olduğu tezine zıt olarak, güç tüketiminin aktif alanın konveks bir fonksiyonu olduğunu göstermiştir. Bir devrenin, transistor büyüklüğü bazında, hem kapasitif hem de kısa devre güç harcaması analitik olarak formüle edilmiştir. Analitik modelin doğruluğu SPICE devre simülasyonu ile gösterilmiştir.

Fishburn ve Taneja 1997'de transistörlerin boylarının ayarlanması ile devrenin düzenlenmesi durumunda daha az güç tüketerek daha yüksek performans elde edilebileceğini göstermişlerdir. Yaptıkları çalışmada tipik olarak saat frekansını değiştirmeden harcanan gücün %50'ye kadar azaltılabileceğini ve güç sabit tutulursa da saat frekansının %25'e kadar artırılabilceği belirtilmiştir.

1998'de Gan ve Zhu yaptıkları çalışmada CMOS buffer için optimizasyon tasarım yöntemi geliştirmişlerdir. RMS deneysel tasarım metodu kullanılarak CMOS buffer gecikme zamanı için bir model denklemi kurulmuştur. Optimizasyon daha sonra CMOS bufferda skala faktörü büyüklüğü ve optimum evre sayısı sağlamak için -bu da minimum alana sahip gerekli gecikme zamanı veya kabul edilebilir alana sahip minimum gecikme zamanı anlamına gelmektedir- gecikme zamanı ve silikon alanı denklemi tarafından sağlanmıştır. Optimizasyon tasarım metodu ve çalışmada bahsi geçen yazılım diğer problemlerin çözümünde de kullanılabilir.

Roy, Wei, Chen'in 1999'daki çalışmaları düşük güç ve yüksek performansı aynı zamanda sağlamak için çoklu V_{DD} ve çoklu V_{TH} tasarım teknikleri birleştirilmiştir. Kritik yoldaki transistörler yüksek performans için ayrılmış yüksek kaynak voltajına ve düşük eşik altı gerilimine sahip iken, kritik olmayan yoldaki transistörler dinamik güç ve kaçak akım gücünü önlemek için düşük kaynak voltajı ve/veya yüksek eşik altı gerilimine sahip olabilirler. Tablo kullanarak doğru gecikme ve güç tahminleri bulma metodları kaynak gerilimi ve eşik altı gerilimi optimizasyonu için kullanılan Hspice simülasyonları üzerine dayanmaktadır. Çoklu V_{DD} ve V_{TH} CMOS tasarım tekniği dinamik ve kaçak akım güç tüketimlerini sırasıyla % 20 ve % 70 oranında azaltmaktadır.

Yoo'nun 2000'de yapmış olduğu çalışmada kısa devre güç harcamasını olmayan CMOS buffere değinmiştir. Çıkış pull up transistörün kapı sürücü sinyali çıkış pull down transistörü beslediğinde anlık olarak üç hal çıkışı elde edilir, kısa devre güç harcamaları elimine edilmiş olur. Simülasyon sonuçları %15 oranında bir güç kazanımı sağlandığını göstermektedir.

Wroblewski, Schumacher, Schimpfle ve Nossek 2001'de yaptıkları çalışmada transistor ölçeklemede kullanılmak üzere, uygun transistor topolojisini seçmek için bir yöntem geliştirmişlerdir. Mantık kapısının gecikmesi doğrudan transistor boyutuna bağlı olduğundan kanal eni ve boyundaki farklılıklar, devrenin toplam gecikmesini etkilemeksizin değişik yollardaki gecikmeleri eşitleme amacıyla kullanılabilir. Optimum sonuçları elde etmek için; gate kapasitesi ve alanın her ikisinde de artışa sebep olan transistor boyu artırılmalıdır. Uzun transistorları ikiye bölmek gate kapasitelerinde düşme meydana getirir. Twin topolojisi durumunda önemli alan artması hesaba katılmalıdır. Yeni bir optimizasyon yazılımı olan Glimats devre netlisini otomatik olarak okur, gecikme ve güç fonksiyonunu bulur ve optimizasyonu başlatır. Deneysel çalışmalar bu yöntem sayesinde önemli güç kazançları sağlandığını göstermiştir.

Kurodo 2002'de yaptığı çalışmada düşük güç ve yüksek hız CMOS tasarımı için V_{DD} ve V_{TH} kontrolünün gerekli olduğunu söylemektedir. Çalışmada bu iki parametre tasarımcı tarafından kontrol edilmektedir. Devreden devreye hız gereksinimleri farklı olduğu için çoklu V_{DD} ve V_{TH} etkilidir. Özellikle aktif modda çoklu V_{TH} 'ları kullanmak kaçak akımları azaltmada etkilidir.

Kang, Abbaspour, Pedram 2003'te yaptıkları çalışmada kısa devre güç tüketimini ve CMOS bufferların çıkış geçiş zamanı tahmin etmek için doğru ve etkin bir metod üzerinde durmuşlardır. Daha sonra küçülen buffer zinciri için ölçekleme metodu tanımlanmıştır.

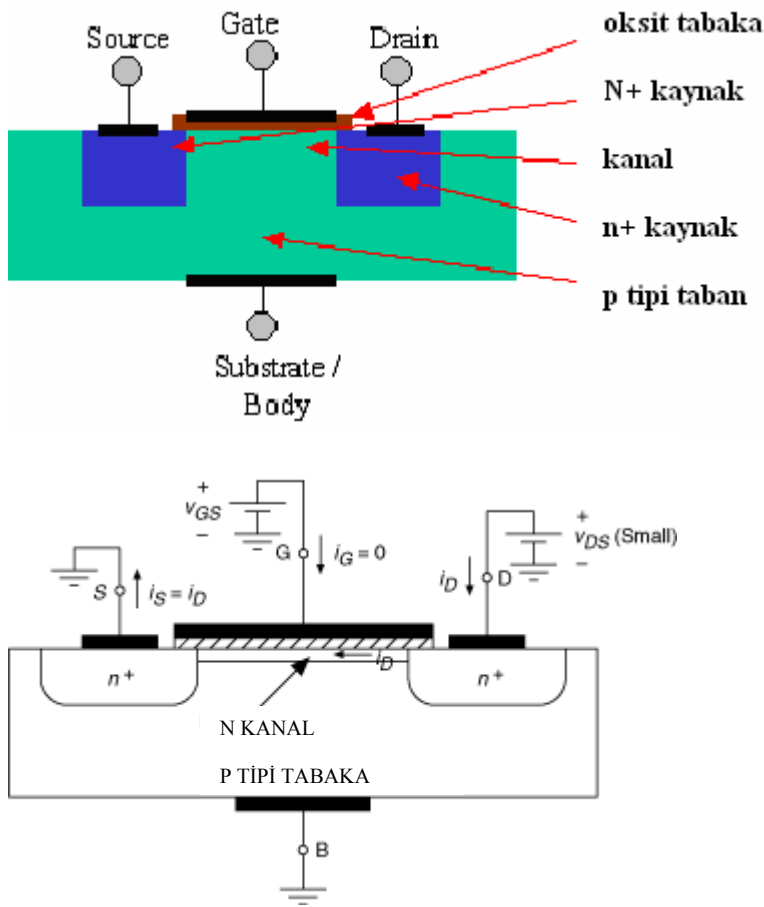
Manzak ve Chakrabarti 2004'te yaptıkları çalışmada dinamik voltaj ölçekleme işlemi için optimum buffer büyüklüğü hesaplama problemine değinmişlerdir. Hesaplamalar veri büyüklüğü, işlem zamanı ve mühlet bilgileri üzerine kurulmuştur.

Ebergen, Gainsley, Cunningham 2004'teki çalışmalarında asenkron kontrol devrelerinde transistor boyutlarını hesaplamak için bir model geliştirmişlerdir. Bu model lojikel güç teoremine dayanmaktadır ve devrenin enerji harcanımı ve hızı üzerine transistor boyutlarının etkisini anlatmaktadır. Transistor boyutlarının nasıl hızlı hesaplanacağını, devrenin hız limitinin nasıl hesaplanacağını ve işlemci

topolojisinden bağımsız olarak enerjiye karşı hız karşılaştırmasının nasıl yapılacağını göstermişlerdir.

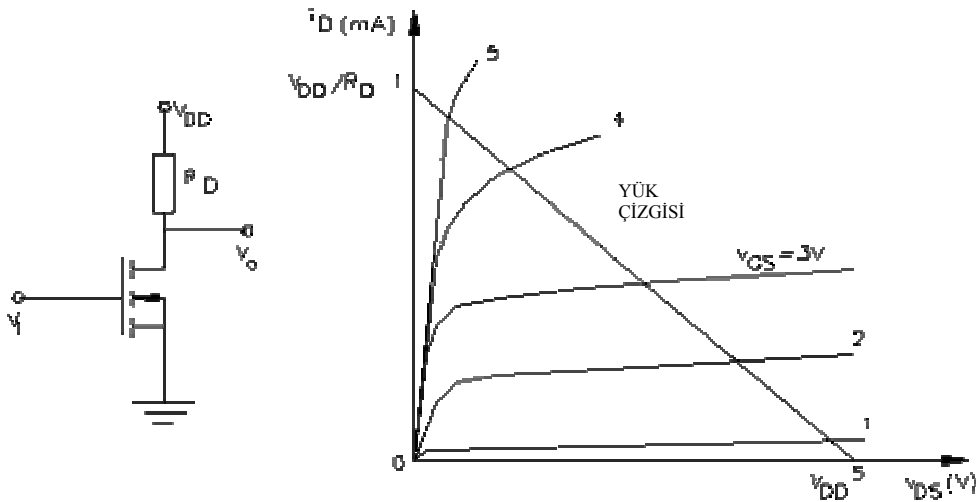
CMOS (Complementary Metal Oxide Semiconductor) yarı iletkenlerin en çok kullanılan çeşitidir. PMOS ve NMOS transistörlerin her ikisinin de kullanılmasıyla oluşur. Verilen zamanda PMOS ve NMOS transistörlerden yalnızca biri iletimde olduğu için diğer tip eviricilere göre güç tüketimi daha düşüktür. Bu yüzden pil ile beslenen (taşınabilir bilgisayarlar, kişisel bilgisayarlar ve bellekler vb.) devrelerde kullanımı yaygındır.

CMOS transistörü incelemeyen önce NMOS transistörlere kısaca değinmek gerekir. NMOS transistör p tipi taban üzerine yerleştirilmiş 2 n tipi kanaldan meydana gelir. Şekil 3.1’de NMOS transistörün malzeme yapısı gösterilmektedir.



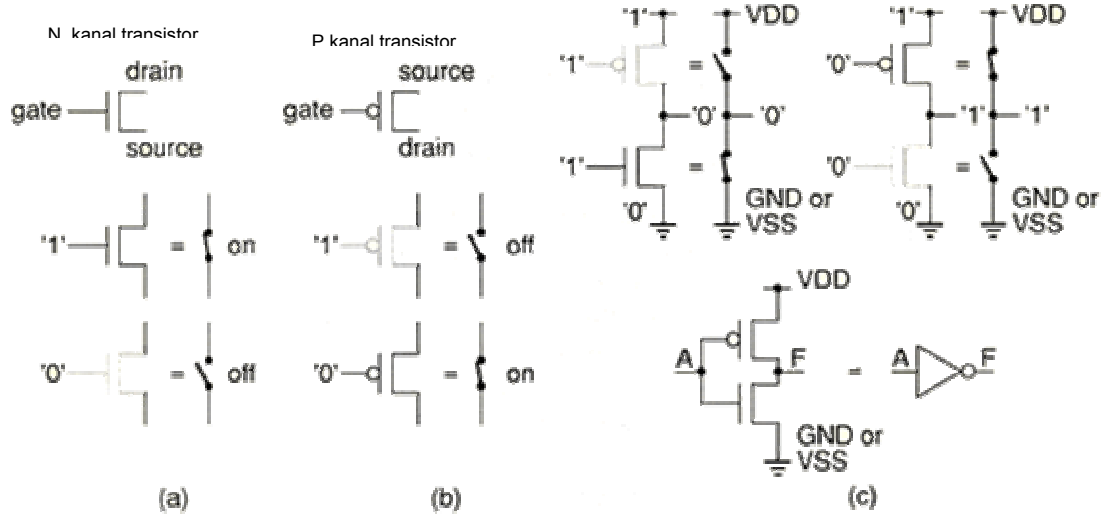
Şekil 3.1: NMOS transistör

Şekilde 3.2' de R_D yük dirençli NMOS evirici verilmiştir. verilen genel konfigürasyonda giriş sinyali daima sürücü transistorun gate' ine uygulanır ve eviricinin çalışması sürücünün anahtarlanmasıyla kontrol edilir. Giriş lojik 1 durumunda iken gate gerilimi V_{GS} eşik geriliminden büyük olacağı için NMOS transistor kısa devre olur ve çıkışla toprak arasında iletken bir yol oluşur. Böylelikle çıkış lojik 0' a eşit olur. Bunun tersi yani girişin lojik 0 olması durumunda ise V_{GS} gerilimi eşik değerinin altında olduğundan NMOS transistor kesimde olur ve açık devre elemanı gibi davranarak çıkışla toprak arasında bağlantının kopmasına sebep olur. Bu durumda drainden akım akmayacağından çıkış gerilimi lojik 0' a eşit olacaktır. Şekilde verilen transistor karakteristiğinde görüldüğü üzere gate source geriliminin eşik geriliminden büyük olduğu değerlerde artması durumunda akım; drain source gerilimi ile doğru olarak artmaktadır. Bu durum $V_{DS} < V_{GS} - V_t$ için geçerlidir. V_{DS} gerilimi $V_{DS} \geq V_{GS} - V_t$ ye ulaştığında transistor doyuma geçer ve I_D akımı V_{DS} ile artmamaya başlar.



Şekil 3.2: NMOS evirici ve gerilim karakteristiği

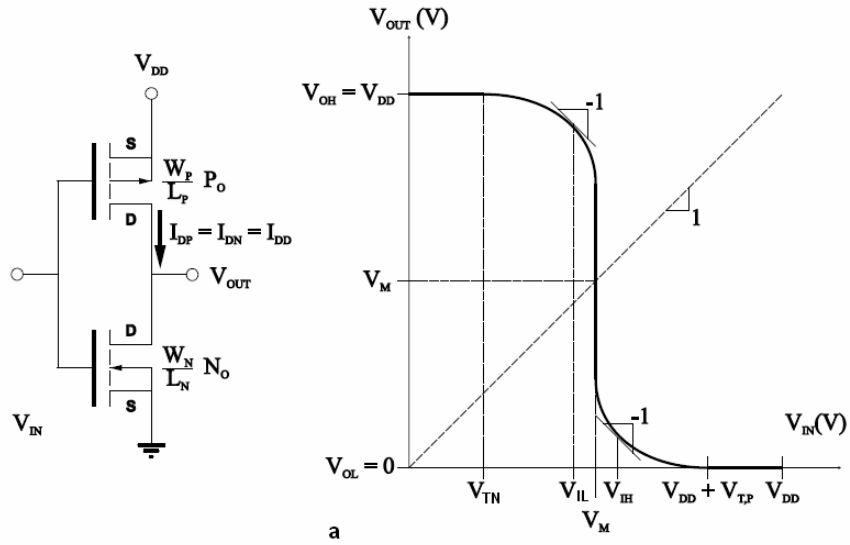
MOS transistor iletken kanaldan gate oksit tarafından izole edilir. Gate oksit birim alan başına $C_{ox} = \epsilon_{ox}/t_{ox}$ kadar kapasiteye sahiptir. C_{ox} 'in mümkün oldukça büyük olması veya oksit kalınlığının küçük olması akım gerilim karakteristiği açısından önemlidir. Bu kapasitenin toplamı gate kapasitesi adını alır ve $C_g = C_{ox}WL$ ile ifade edilir.



Şekil 3.3: (a) n-kanal transistor (b) p-kanal transistor (c) CMOS invertor ve sembolü

Evirici devresinde yük olarak direnç yerine bir PMOS transistor bağlanacak olursa Şekil 3.4 elde edilir. Burada PMOS ve NMOS transistorların gateleri ve drainleri birleştirilmiştir. Bu konfigürasyona PMOS ve NMOS transistorların tümleşmesi anlamında Complementary MOS (CMOS) adı verilir.

Bu devre topolojisi yüksek giriş geriliminde, PMOS transistor yük gibi davranırken NMOS transistor çıkış düğümünü sürer, ve düşük giriş gerilimi için; NMOS transistor yük gibi davranırken PMOS transistor çıkış düğümünü sürer. Sonuç olarak her iki transistor de devrenin çalışma karakteristiğine eşit olarak katkıda bulunur. (Kang, 1999)

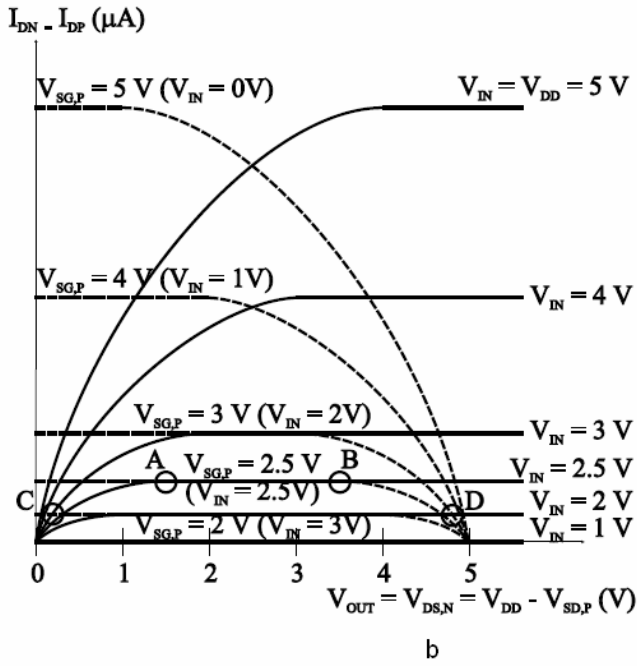


Şekil 3.4: CMOS evirici

Kritik Noktalar	NMOS	PMOS
V_{OH}	Kesim	Lineer
V_{IL}	Satürasyon	Lineer
V_M	Satürasyon	Satürasyon
V_{IH}	Lineer	Satürasyon
V_{OL}	Lineer	Kesim

Çizelge 3.1: CMOS invertor için Transistor durumları

CMOS eviricinin diğer evirici konfigürasyonlarına göre iki önemli avantajı vardır. Birinci ve belki en önemli avantajı CMOS evirici devresinin kaçak akıma sebep olan küçük güç tüketimleri dışında durgun-hal güç tüketimi yok sayılabilir. PMOS ve NMOS transistorun her ikisi de aynı anda iletimde olmadığından güç tüketimi düşüktür. CMOS konfigürasyonunun diğer bir avantajı voltaj transfer karakteristiği (VTC) tüm çıkış voltajı 0V ve V_{DD} arasında salınır ve VTC geçişi genellikle çok keskindir. Bu yüzden CMOS' un voltaj transfer karakteristiği ideal eviriciye benzer. (Kang, 1999)



Şekil 3.5: CMOS gerilim akım karakteristiği

NMOS ve PMOS transistörlerin aynı çipte yan yana üretilmeye başlamalarından beri CMOS işlemi sadece NMOS kullanılarak üretilmiş standart eviriciden daha komplikedir. Özellikle CMOS işlemi PMOS transistörler için n tipi tabaka ve NMOS transistörler için p tipi tabaka sağlamalıdır. Bu ya p tipi tabaka üzerine n tipi tubler inşa ederek, ya da p tipi tubler üzerine n tipi tabaka inşa ederek başarılır. (Kang, 1999)

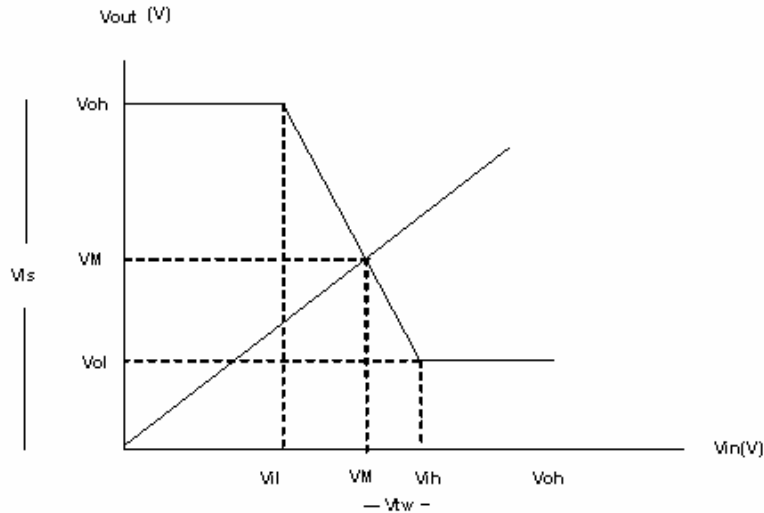
Sayısal devrelerin kararlı hal voltaj seviyelerinde (lojik 1 ve lojik 0 hallerinde) değişimler istenmez. İstenen veya belirlenmiş voltaj seviyelerindeki dalgalanmalar çok büyük ise lojik hatalara sebep olur. Sayısal devrelerdeki kararlı hal voltaj seviyelerinin değişiminden voltaj seviye bozulması olarak söz edilir ve gürültü olarak adlandırılır. Lojik sistemlerde karşılaşılabilecek gürültü tipleri aşağıdaki gibi sınıflandırılabilir. Dış gürültü, sisteme çevreden giren gürültü. Besleme hattı gürültüsü, AC veya DC besleme ve güç dağıtma sistemi üzerinden gelen gürültü. Toprak hattı gürültüsü, uygun olmayan toprak dönüşleri nedeniyle toprak hattında oluşan gürültü. Diyafoni gürültüsü, ayrı işaret hatları tarafından işaret taşıyan

hatlarda endüklenen gürültü. Transmisyon hattı yansımaları, uygun olmayan transmisyon hattı nedeniyle çınlama ve aşım şeklinde kendini gösteren gürültü. (Kuntman, 1996)

Düşük ve yüksek lojik seviyelerde deęişimler oluřtuęunda, bu dalgalanmaları tanımlamak için teknik terimler kullanılır. V_{OH} , V_{OL} , V_{IH} ve V_{IL} voltajlarıyla tanımlanmış Şekil-deki ideal voltaj transfer karakteristięinden ařaęıdaki eřitlikler yazılır. (Kuntman, 1996)

$$V_{NMH}=V_{OH}-V_{IH} \text{ ve } V_{NML}=V_{IL}-V_{OL}$$

Burada NM gürültü marjını temsil eder, V_{NMH} Lojik 1 seviyesi için yüksek gürültü marjıdır ve V_{NML} lojik 0 seviyesi için düşük gürültü marjıdır. Gürültü marjı her iki lojik durumu için devrenin gürültü voltajı toleransını temsil eder. Dięer bir ifadeyle var olan çıkıř voltaj durumunu deęiřtirmeksizin giriřin ne kadar deęiřtięidir. Voltaj gürültü marjları yüksek ve düşük voltaj seviyeleri için güvenli marjı temsil eder. Yabancı gürültü voltajları voltaj gürültü marjlarından daha düşük genlięe sahip olmalıdır. Yüksek ve düşük voltaj seviyesinin tam genlięi önemli deęildir. Bununla birlikte voltajın düşük veya yüksek genlięi pozitif gürültü marjı saęlayan voltaj aralıęında kalmalıdır. (Kuntman, 1996)



Şekil 3.6: İdeal invertor voltaj transfer karakteristięi

Düzgün çalışan bir lojik sistemde gürültü, her bir devreden geçerken, lojik işaretlerin gerekli olan genlikte ve hatasız olarak geçmelerine rağmen, zayıflatılmış olur. Analog sistemlerdekinin tersine gürültü, bir lojik kattan diğerine geçişte birikerek artmamaktadır. Bu açıdan bakıldığında, sayısal sistemler önemli bir yarar sağlamaktadır. Gürültü işareti sayısal devrelere dışarıdan karışır. Tipik olarak gürültü işareti, lojik düğümlere ve bağlantı hatlarına istenmeyen kapasitif veya endüktif bağlaşımlar sonucunda karışmaktadır. Endüktif ve kapasitif elemanlar sadece zamana bağlı değişimleri geçirdiklerinden, gürültüde doğru bileşenle seyrek olarak karşılaşılır. (Kuntman, 1996)

Dijital devreler, tipik olarak lojik seviyelerde değişim gösterirler. Çıkış lojik seviyelerinin iki dar bölge içinde tutulabilmesi için, bu değişimlerin minimize edilmeleri gerekir. Çıkış seviyeleri, devrenin imalat toleransları, sıcaklık değişimleri, besleme kaynağı değişimleri ve çıkış düğümünün elektriksel olarak yüklenmesi sonucunda değişebilir. Bütün bu etkilerin en kötü durum kombinasyonları, çıkış gerilimi değişim bölgelerinin en kötü durumunu tanımlamak üzere kullanılabilir. (Kuntman, 1996)

Giriş değişimlerinin etkileri gürültü duyarlılığı terimiyle ölçülür. Yüksek ve düşük gürültü duyarlılıkları sırasıyla V_{OH} ve V_{OL} için giriş ve orta nokta voltajı arasındaki farklılık olarak tanımlanır. Her biri için ifade edilen eşitlikler aşağıdaki gibidir.

$$V_{NSH}=V_{OH}-V_M \qquad V_{NSL}=V_M-V_{OL}$$

Teknolojinin ilerlemesiyle daha düşük güçte çalışan cihazlara olan gereksinim gün geçtikçe artmaktadır. Düşük güç kullanımı gerektiren uygulamalara örnekleri: Pil ile beslenen taşınabilir sistemler: Dizüstü bilgisayarlar, avuçiçi bilgisayarlar, CD çalarlar, tercüme cihazları, sıkıştırılmış biçimdeki ses ve müzik dosyalarını çalan cihazlar. Mobil iletişim cihazları: Telsiz telefonlar, hücreli telefonlar, PDA cihazları, çağrı cihazları. Giga Hertz mertebesindeki frekanslarda çalışan işlemciler. Diğer uygulamalar: Kablosuz yerel alan ağ cihazları, Elektronik araç gereçler ve ev aletleri şeklinde sınıflandırabiliriz.

Güç tüketiminin büyük kısmının statik olduğu Bipolar teknolojiden farklı olarak, uygun olarak tasarlanmış CMOS devrelerdeki güç tüketiminin büyüklüğü kapasitelerin dinamik olarak dolma ve boşalmalarıdır. Bu yüzden, düşük güçlü tasarım metodolojisinin çoğunluğu güç tüketiminin bu baskın faktörünü azaltmaya tahsis edilmiştir. (Burd, 1994)

Bununla birlikte ileriki bölümlerde tanımlanacağı üzere CMOS devrelerde güç tüketiminin farklı komponentleri de mevcuttur. Bunların pek çoğu ihmal edilebilir. Fakat başarısız bir şekilde tasarlanmış devrelerde önemli olabilecek bir komponent kısa devre akımları tarafından harcanan güçtür. Bu komponentin büyüklüğü tasarım metodolojisi kullanılarak hesaplanır. (Burd, 1994)

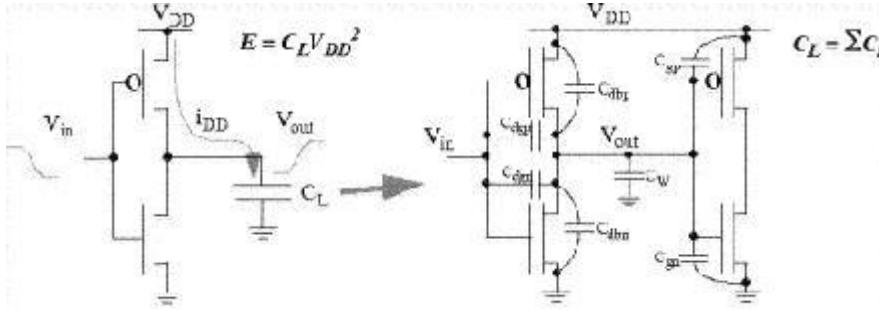
Bölüm 3.3.3'te güç tüketimini azaltmak için yapılabilecek yöntem değişiklikleri üzerinde tartışılacaktır. Yöntem tasarımı devre tasarımcısının kontrolünün ötesinde iken, gelecek nesil yöntemlerin güç üzerindeki etkilerinin ne olacağını anlamak önemlidir. (Burd, 1994)

1

Güç tüketiminin dört ana kaynağı vardır: devre kapasitelerinin dolup boşalmasından ötürü dinamik anahtarlama gücü, ters-polarlı diyotlar ve eşit altı iletiminden kaynaklanan kaçak akım gücü, işaret düşme ve yükselme zamanlarının sebep olduğu kısa devre akım gücü ve bazı tip mantık biçimlerinde bulunan statik polarlama gücü. (Burd, 1994)

CMOS devreler anahtarılandığında çıkış ya V_{dd} ye kadar dolar ya da 0'a kadar boşalır. Statik lojik tasarımda çıkış sadece giriş transistörü üzerinden değişirken dinamik lojik tasarımda çıkış yarım saat periyodu esnasında dolar ve değişimler giriş değerlerine bağlı olarak sadece ikinci clock fazı içinde oluşabilir. Her iki durumda da, her ne kadar farklı değişim frekanslarına sahipse de anahtarlama esnasındaki güç tüketimi kapasitif yükü orantılıdır. (Burd, 1994)

Şekilde gösterilen basit invertor kapısı için düşükten yükseğe çıkış değişimi güç kaynağından çekilen $C_L V_{DD}^2$ joule ile gösterilebilir. Yüksekten düşüğe çıkış değişimi kapasitör üzerinde depolanan enerjiyi NMOS içine dağıtır. Verilen f frekansında düşükten yükseğe çıkış değişimi kaynaktan çekilen güç $C_L V_{DD}^2 f$ tir. Bu basit eşitlik daha komplike kapıları ve diğer lojik devreleri de içine alır. (Burd, 1994)



Şekil 3.7: Dinamik anahtarlama güç tüketimi; kapasite kaynakları

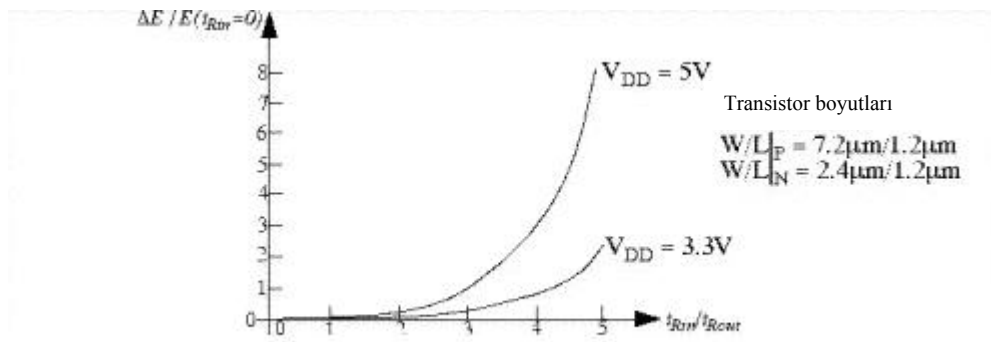
C_L için doğru hesaplama yapılabilir. Temel kapasitör elementleri şekil 3.7'de gösterilmiştir. Yük kapasitansı, C_L sonraki kapı girişlerinin kapı kapasitanslarını içerir bağlama kapasiteleri ve invertor transistorun drainleri üzerindeki difüzyon kapasiteleri invertorun çıkışına bağlanır. (Burd, 1994)

Dinamik anahtarlama gücü genelde güç tüketimleri içinde temel bileşen olduğundan düşük güç tasarım metodolojisi toplam kapasiteyi azaltma, kaynak voltajı ve transistor frekansları üzerine yoğunlaşır. (Burd, 1994)

1 1

Kısa devre akımları; giriş kapısı yükselme ve düşme zamanı, çıkış yükselme ve düşme zamanından büyük olduğunda oluşur. Giriş basamağının ideal durumu için, transistorlar durumu derhal değiştirirler -bir açık bir kapalı-. Kaynaktan toprağa iletken bir yol yoktur. Bununla birlikte gerçek devrelerde giriş sinyali sonlu bir yükselme ve düşme zamanına sahiptir. (Burd, 1994)

Yükselme ve düşme zamanı ne kadar büyükse o kadar büyük kısa devre akımı akışı olacak ve ortalama kısa devre akımı artacaktır. Şekil 3.8 Kısa devre akımı tarafından tüketilen enerjiye karşı giriş yükselme/düşme zamanının çıkış yükselme/düşme zamanına oranı çizilmiştir. ΔE giriş yükselme/düşme zamanının artmasıyla dinamik olarak artar. Ortalama toplam kısa devre akım gücünü minimize etmek için eşit giriş ve çıkış kenarlarına sahip olunması istenir. Kısa devre akım gücünü minimize etmek ve yükselme/düşme zamanını eşitlemek için W_p/W_n oranı yaklaşık olarak 3 alınmalıdır. (Burd, 1994)



Şekil 3.8: Giriş yükselme/düşme zamanına karşı kısa devre enerjisi (statik CMOS invertor)

Kısa devre akımının tepe değeri kullanılan büyüklüğe bağlıdır, bununla birlikte ortalama akım, sabit yük kapasitesi için hemen hemen cihazın büyüklüğünden bağımsızdır. Akımın tepe değeri artarken, yükselme ve düşme zamanı azalır böylece ortalama akım aynı kalır. Tüm transistorların büyüklükleri artırılırsa yük kapasitesi orantılı olarak artacak ve yükselme ve düşme zamanı sabit kalacak ve ortalama akım (ve güç) transistor büyüklüğü ile lineer olarak derecelenecektir. (Burd, 1994)

Kısa devre akım gücü lineer olarak besleme gerilimine ve kanal uzunluğuna bağlıdır.

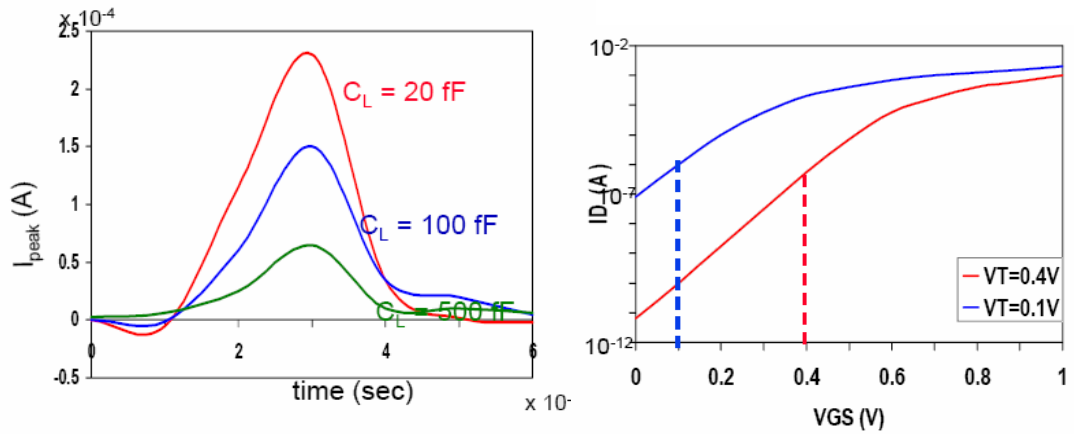
$$P_2 = (1/12) \beta f t_{rf} (V_{DD} - 2 V_{t_n})^3$$

Burada β n kanal ve p kanal transistor büyüklükleridir ve $\beta = (W/L) \mu C_{ox}$ şeklinde ifade edilir. Her iki tip için alt eşit gerilimi eşit kabul edilir V_{t_n} ile gösterilmiştir. t_{rf} düşme ve yükselme zamanını temsil eder ve her ikisi içinde eşit olduğu kabul edilmiştir (Veendrick, 1984)

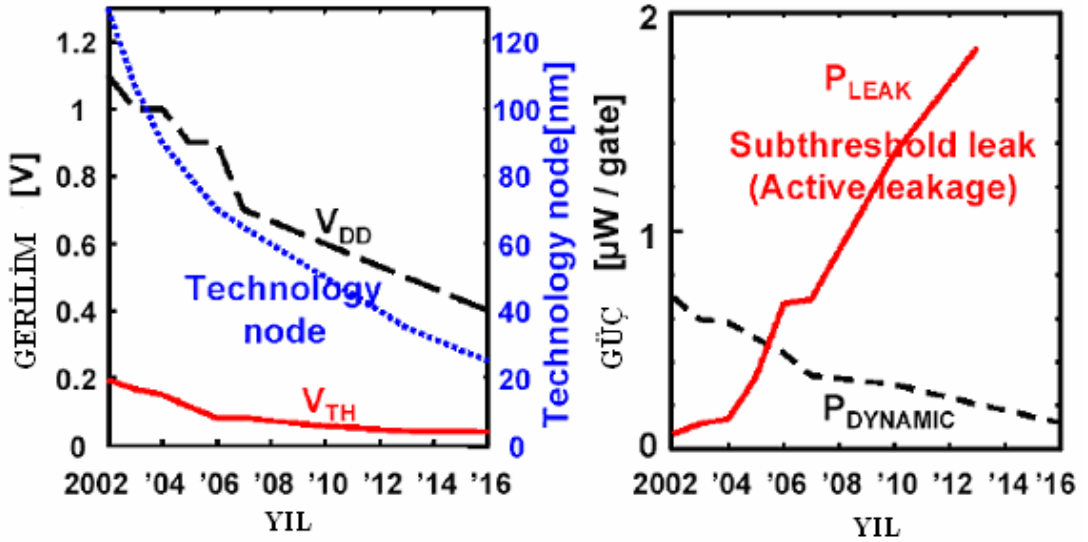
Besleme gerilimi azaltılınca akımın süresi, yükselme ve düşme zamanı yüzünden lineer olarak artacak, akımın tepe değeri lineer olarak azalacaktır (hızlı doyum), böylece ortalama akım; yaklaşık olarak sabit kalacak ve sadece beslemenin lineer fonksiyonu olacaktır ($P=VI$). Daha büyük transistörler için hızlı doyum yoktur, ortalama akım yaklaşık olarak besleme gerilimiyle lineerdir, bu yüzden ortalama akım besleme geriliminin ikinci dereceden bir fonksiyonudur. Veendrick, 1984'te birçok tümleşik devre için, kısa devre güç tüketimi yaklaşık olarak toplam dinamik gücün %5-10'u olduğunu söylemiştir. Besleme transistörlerin eşikleri toplamının altına düşürülecek olursa $V_{DD} < V_{tn} + |V_{tp}|$, kısa devre akımları ihmal edilebilir çünkü cihazların her ikisi de giriş geriliminin tüm değerleri için aynı anda çalışır durumda olamayacaklardır. (Burd, 1994)

1

Statik güç tüketimine sebep olan transistör draini üzerindeki ters polarlı diyot kaçak akımı ve kesimdeki transistör kanalı içindeki eşik altı kaçak akımı olmak üzere iki tip kaçak akım vardır. Eşik altı akımı baskın faktördür. Her ikisi de sıcaklıkla exponansiyel olarak artar. V_t yi azaltmak Şekil 3.9'da görüldüğü gibi eşik altı kaçak akımını artırır. Fakat V_t yi azaltmak gate gecikmesini azaltır, performansı artırır. Yük kapasitesi büyüdükçe kaçak akım azalır. Kaçak akım yük kapasitesi ilişkisi Şekil 3.9'da verilmiştir. Eğer düşme zamanı yükselme zamanından çok büyükse kaçak akım sıfıra gider. Fakat bu kaskat bağlı devreler için geçerli olmadığından istenen düşme ve yükselme zamanlarının birbirine yakın olmasıdır. Eşik altı akımı aynı zamanda transistör boyutu (W/L) ile orantılıdır. Bu yüzden transistör boyutunu küçülterek ve kaynak voltajını düşürerek akımı azaltmak mümkündür. (Burd, 1994)



Şekil 3.9: kaçak akım yük kapasitesi ilişkisi eşik gerilimi akım ilişkisi



Şekil 3.10:Kaçak akım gücü teknolojiyle artmaktadır

Toplam güç tüketimi yukarıda bahsedilen statik dinamik ve kısa devre akım güçlerinin toplanmasıyla elde edilir. $P_{toplam} = P_s + P_d + P_{SC}$. Burada P_s statik gücü P_d dinamik gücü ve P_{SC} kaçak akım gücünü ifade eder.

Sayısal CMOS devrelerinde harcanan gücün üç ana kaynağı mevcuttur. Bu üç ana kaynak aşağıdaki denklemde özetlenmiştir:

$$P_{toplam} = p_t (C_L * V * V_{dd} * f_{clk}) + I_{sc} * V_{dd} + I_{leakage} * V_{dd}$$

İlk ifade harcanan gücün anahtarlama kaynağının bileşenini göstermektedir. Burada C_L ile gösterilen yük sığası, f_{clk} saat frekansı ve pt de güç harcayabilecek bir geçişin olma olasılığıdır (aktivite faktörü).

Ekser durumlarda V voltaj salınım değeri besleme voltajı olan V_{dd} nin değerine eşittir. Fakat bazı mantık devrelerinde, örneğin tek kapılı pass-gate transistor uygulamalarında, voltaj salınım değeri bazı iç düğüm noktalarında biraz daha düşük bir değerde olabilir.

Denklemdaki ikinci ifade kısa devre akımı değerini göstermektedir. Bu kısa devre akımı, NMOS ve PMOS transistorların aynı anda aktif hale geçerek akımı doğrudan besleme kaynağından toprağa iletmesinden kaynaklanan akımdır.

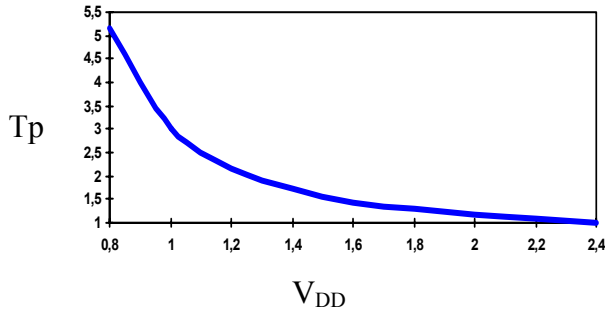
En son ifade ise kaçak akımıdır ($I_{leakage}$). Kaçak akımı substrat enjeksiyonlarından ve eşik altı etkilerinden ortaya çıkabilir ki bu esas olarak üretim teknolojisi kıstaslarınca tespit edilmektedir.

İ 1 İş

CMOS devrelerde gücü azaltmak için pek çok değiştirme işlemi yapılabilir. Bunların çoğunu minimum gate boyunu azaltmak, metal katmanlar eklemek gibi yeni nesil işlemler oluşturuyor. Ne yazık ki devre tasarımcıları işlem parametrelerini kontrol edememekte ve verilen işlemde çalışmak zorundadırlar. Bu sebepten değişim işlemi düşük güç devre tasarım metodolojisinin bir parçası değildir. Bununla birlikte düşük güç entegre devreler için gelecek yöntemler optimize edilebileceğinden değişim işleminin gücü nasıl azaltabileceğini anlamak önemlidir. (Burd, 1994)

V_{DD} ' yi azaltmak güç üzerinde ikinci dereceden etki ettiği için en etkili yaklaşımdır. Diğer taraftan voltajı azaltmak Şekil 3.11'de görüldüğü üzere CMOS kapısının

gecikmesini artırır. Daha iyi bir yaklaşım bazı kapıların kaynak voltajı azalmasını seçebildikleri yöntemdir. Bu hızlı yol ve iletimin daha erken bitmesine karşılık gelir ve daha büyük kapasiteleri süren, aynı gecikme artışı için en iyi faydayı sağlar. Bu yaklaşım birden fazla kaynak voltajı kullanmayı gerektirir. Günümüz tümleşik devrelerinde çoklu kaynak voltajları sık sık kullanılmaktadır. (Rabaey, 2003)



Şekil 3.11: kaynak voltajına karşı gecikme değişimi

V_t ' yi azaltmak kaynak voltajının büyümesine, bu devrenin hızlanmasına ve gücün azalmasına karşılık gelmektedir. Buradaki sınırlama kaçak akımın eşik altı voltajının azalmasıyla artmasıdır. Böylece anahtarlama durumunda olmaması halinde statik güç tüketimi artacaktır. Bu problemi ortadan kaldırmanın bir yolu transistorun eşik altı gerilimini durgun halde tabaka polarını değiştirerek kaçak akımını bertaraf edecek şekilde ayarlamaktır. Transistorun eşik altı gerilimi V_T kaynakla tabaka voltajı V_{SB} ' nin bir fonksiyonudur. Tümleşik lojik devrelerde tüm NMOS transistorların tabaka uçları toprağa bağlı iken, PMOS transistorların tabaka uçları V_{DD} ' ye bağlıdır. Bu kaynak ve drain difüzyon bölgelerinin daima ters polarlı kalmasını ve transistorun eşik altı geriliminin gövde etkisi üzerinde önemli bir etkisinin olmamasını sağlar. Kaçak akımı azaltmak için devrede NMOS ve PMOS transistorları iki farklı eşit altı gerilimi ile polarlanır. (Kang, 1999)

1

Transistor boyutları gecikmeyi sabit tutmak için azaltılabilir bu da güç tüketimi azalmasında daha büyük etki anlamına gelmektedir. Temel olarak ölçekleme tüm

yatay ve dikey büyüklüklerin birden büyük bir faktör, S , ile azaltılmasıdır. Yapılan işlem transistor genişliğinin ve boyunun azalması, oksit tabaka kalınlığının incilmesi, boşalma bölgesinin daralması, ara bağlantı genişliklerinin ve kalınlıklarının azalması ve benzeri sonuçları doğuracaktır. Bunlar kapasitans değerinde S oranında bir azalma meydana getireceklerdir. Eğer sistemin besleme voltajı ve veri oranı değiştirilmez ise kapasitansdaki bu S oranındaki ölçekleme doğrudan güç harcamasına tesir eder; netice de:

$$\text{Sabit voltaj, sabit veri oranında: } P \propto \frac{1}{S}$$

Sistemin performansında bir artış elde etmekten ziyade istenen değerin elde edilmesinin yeterli olduğu bir durum için boyut ölçeklemesi ile elde edilecek performans artışı daha az enerji tüketim amacı ile besleme voltajı düşürülmesi ile değiş tokuş edilebilir. Özel durumlarda V_t etkileri de ihmal edilecek olursa besleme voltajı değeri S^2 miktarınca azaltılabilir. Bu transistor akımlarında S^4 lük bir azalmayı netice verir, buna kapasitans ölçeklemesi de dahil edilecek olursa harcanan güçte S^5 mertebesinde bir azalma elde edilebilir:

$$\text{Sabit performans, değişken besleme voltajı: } P \propto \frac{1}{S^5}$$

Fakat bu yöntem birçok yan etkinin ihmal edilmesini gerektirmektedir. Örneğin, ölçekleme devam ettikçe ara bağlantı parazitik kapasitansları baskınlaştırmaya başlayıp olayın resmini esaslı bir şekilde değiştirecektir. İletken bir hattın direnci uzunluğu ile doğru orantılı, kalınlık ve genişliği ile ters orantılıdır. Ölçekleme yöntemi sabitlenmiş bir sistem üzerinde düşünüldüğünden yerel ve global hat uzunlukları, genişlik ve kalınlık ile beraber S mertebesinde azalacaktır. Bu, hat direncinin S oranında artacağı anlamına gelmektedir. Hat kapasitansı ise genişliği ve boyu ile doğru orantılı oksit kalınlığı ile de ters orantılıdır. Netice olarak hat kapasitansları da S oranında azalır. Özetlenecek olursa:

$$R_w \propto S \text{ ve } C_w \propto \frac{1}{S}$$

$$t_{hat} \propto R_w C_w \propto 1$$

Bu denklemler fiziksel boyutların azalması ile kapı gecikmelerinde olan azalmanın ara bağlantılardan kaynaklı gecikmelerde görülmediği anlamına gelmektedir. Böylece bir noktaya gelindiğinde ara bağlantı gecikmeleri kapı gecikmelerinin önüne geçecek ve besleme voltajı değerini daha fazla azaltmak mümkün olmayacaktır. Bu da göstermektedir ki güç tasarrufu ancak kapasitans değerinin azaltılması ile mümkün olmaktadır.

Buraya kadar gelinen noktada anlatılanlar göstermektedir ki boyut ölçekleme metodu ile güç harcaması noktasında bir noktaya kadar yarar sağlanabilmektedir. Parazitik etkenler öne geçmeye başladığı noktada elde edilen kazançlar ya çok azalmakta veya tamamen yok olmaktadır. Dolayısı ile harcanan gücü azaltmak için yalnızca ölçekleme yöntemine bağlı kalınmamalı diğer güç azaltma tekniklerine de başvurulmalıdır.

1

CMOS eviricinin gürültü marjı yüksek oranda transistor boyutuna bağlıdır. V_M yaklaşık olarak $rV_{DD}/1+r$ eşitliğinden elde edilir. Burada r PMOS ve NMOS transistor oranıdır. Tipik olarak bu oran PMOS ve NMOS genişliği 3 3.5 arasında alınır. Bu yaklaşımın arkasında yatan sebep simetrik voltaj transfer karakteristiği elde etmek ve yükselen kenardaki propagasyon oranı ile alçalan kenardaki propagasyon oranını eşitlemektir. Fakat bu yaklaşım tüm propagasyon oranını düşürmek anlamına gelmez. Şayet simetrik ve düşürülmüş gürültü marjı temel gereksinim değilse devreyi hızlandırmak adına PMOS transistorun boyutunu azaltmak mümkündür. (Rabaey, 2003)

Optimum PMOS/NMOS oranı için basit bir yaklaşımla analiz edilebilir. Ardı ardına bağlı iki CMOS evirici göz önüne alınsın. Birinci kapının yük kapasitesi $C_L=(C_{dp1}+C_{dn1})+(C_{gp2}+C_{gn2})+ C_W$ ile hesaplanır. Burada C_{dp1} ve C_{dn1} birinci eviricinin NMOS ve PMOS transistorlarının drain difüzyon kapasiteleri $C_{gp2}+C_{gn2}$ ikinci kapının gate kapasiteleridir. C_W tel kapasitesini temsil eder. PMOS transistor NMOS transistordan β kat daha büyükse ($\beta = (W/L_p)/(W/L_n)$) tüm transistor kapasiteleri yaklaşık olarak aynı oranda derecelenir. Dolayısıyla yük kapasitesi

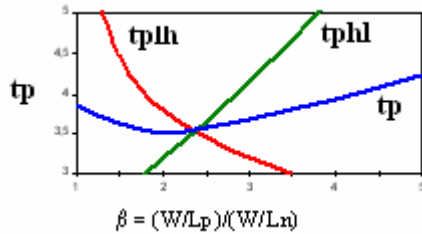
denklemini yeniden düzenlenerek $C_L=(1+\beta)(C_{dn1}+C_{gn2})+C_W$ şeklinde yazılabilir. Bu durumda propagasyon gecikmesi;

$$t_p=0.69/2((1+\beta)(C_{dn1}+C_{gn2})+C_W)(R_{eqn}+R_{eqp}/\beta)$$

$$=0.345((1+\beta)(C_{dn1}+C_{gn2})+C_W)R_{eqn}(1+r/\beta) \text{ yazılabilir.}$$

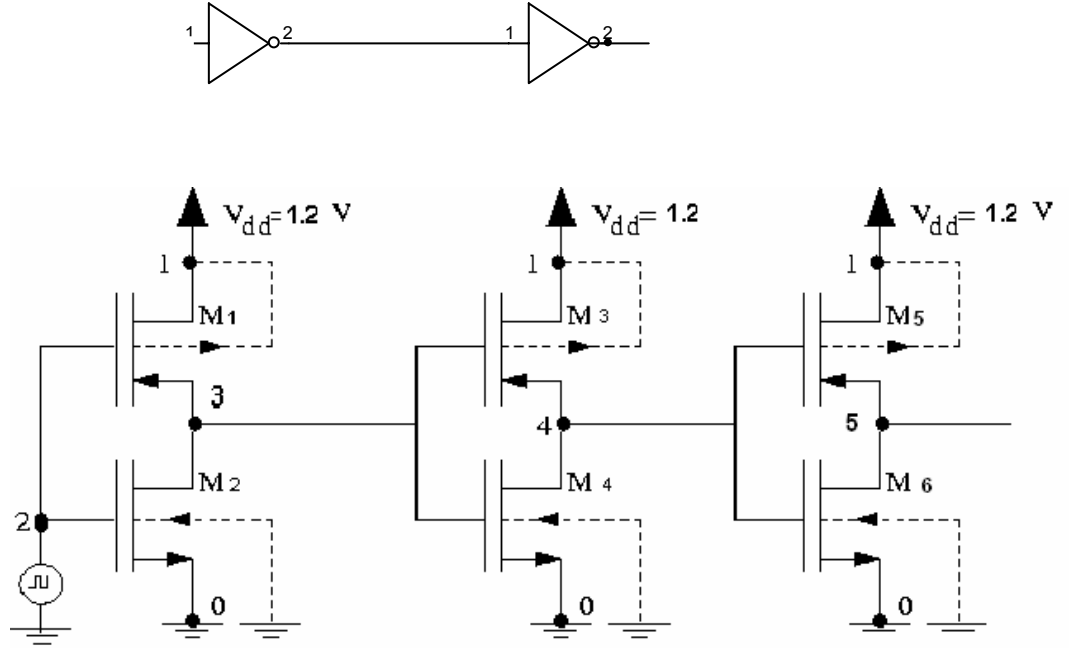
Burada $r=R_{eqp}/R_{eqn}$ PMOS ve NMOS transistör büyüklüklerini temsil eder. β 'nin optimum değeri t_p 'nin β 'ye göre türevi 0'a eşitlenerek bulunur. Bu durumda $\beta_{opt}=(r(1+C_W/C_{dn1}+C_{gn2}))^{1/2}$. Tel kapasitesinin ihmal edildiği durumda $\beta_{opt} (r)^{1/2}$ 'ye eşit olur. Bu kaskat olmayan durumda kullanılır. Ne kadar küçük transistör kullanılırsa daha hızlı bir tasarım olacaktır. (Rabaey, 2003)

Şekil 3.12'de PMOS/NMOS oranına karşılık propagasyon gecikmesi verilmiştir. Şekilden β 'nin 2.4 oranı için simetrik cevabın verildiği ve 1.6-1.9 için optimum performansın elde edildiği görülmektedir. Çalışmamızda optimum sonuçları elde etmek için PMOS kanal eninin NMOS kanal enine oranının ne olduğunu tespit etmek için simülasyonlar yapılmıştır.



Şekil 3.12: PMOS/NMOS oranının fonksiyonu olarak CMOS' un gecikmesi

1



Şekil 4.1: 2 adet CMOS invertor ve yük kapasitesi

1 GHz frekanslı girişte $W/L=0.32\mu/0.12\mu$ oranına sahip bir devre için kullanılan PSpice kodları aşağıda verildiği gibidir. Bu devrede buffer kullanılmamış CMOS' un frekans cevabı gözlenmiştir. Yapılan simulasyon sonucunda elde edilen dalga şekilleri Şekil 4.2'de verilmiştir.

buffersiz 1ghz frekansli devre
 Vin b 0 pulse (0v 1.2v 0 0ns 0ns .5ns 1ns)
 Vdd a 0 dc 1.2v

```
.MODEL CMOSN NMOS (                LEVEL = 7
+VERSION = 3.1          TNOM = 27      TOX = 3.1E-9
+XJ = 1E-7             NCH = 2.3549E17  VTH0 = 0.0769098
+K1 = 0.3123296       K2 = -6.955334E-3 K3 = 1E-3
+K3B = 6.1359887      W0 = 1E-7        NLX = 9.669684E-7
+DVT0W = 0            DVT1W = 0        DVT2W = 0
+DVT0 = 1.0676027     DVT1 = 0.1686733  DVT2 = 0.2754222
+U0 = 372.7539745    UA = -1.640363E-9 UB = 5E-18
+UC = 4.114551E-10   VSAT = 2E5       A0 = 1.5621431
```

```

+AGS = 0.7449175 B0 = 5.659588E-6 B1 = 5E-6
+KETA = 0.0498424 A1 = 2.071848E-5 A2 = 0.3
+RDSW = 150 PRWG = -0.2 PRWB = -0.1200236
+WR = 1 WINT = 9.59334E-9 LINT = 5.83697E-9
+DWG = 6.017443E-9 DWB = 2.119608E-8 VOFF = -0.0677306
+NFACTOR = 2.5 CIT = 0 CDSC = 2.4E-4
+CDSCD = 0 CDSCB = 0 ETA0 = 5.499849E-3
+ETAB = -2.407501E-3 DSUB = 1.292485E-3 PCLM = 1.2151017
+PDIBLC1 = 0.2222673 PDIBLC2 = 0.01 PDIBLCB = 0.1
+DROUT = 0.999 PSCBE1 = 7.992E10 PSCBE2 = 5.675877E-8
+PVAG = 0.01 DELTA = 0.01 RSH = 3.7
+MOBMOD = 1 PRT = 0 UTE = -1.5
+KT1 = -0.11 KT1L = 0 KT2 = 0.022
+UA1 = 4.31E-9 UB1 = -7.61E-18 UC1 = -5.6E-11
+AT = 3.3E4 WL = 0 WLN = 1
+WW = 0 WWN = 1 WWL = 0
+LL = 0 LLN = 1 LW = 0
+LWN = 1 LWL = 0 CAPMOD = 2
+XPART = 0.5 CGDO = 4.88E-10 CGSO = 4.88E-10
+CGBO = 1E-12 CJ = 8.405919E-4 PB = 0.8006956
+MJ = 0.5155273 CJSW = 2.236791E-10 PBSW = 0.8
+MJSW = 0.2172546 CJSWG = 3.3E-10 PBSWG = 0.8
+MJSWG = 0.2172546 CF = 0 PVTH0 = -5.788389E-4
+PRDSW = 0.0590084 PK2 = 9.210595E-4 WKETA = -9.461971E-3
+LKETA = -3.953775E-3 PU0 = 9.3582373 PUA = 2.915091E-11
+PUB = 8.716129E-23 PVSAT = 1.518791E3 PETA0 = 1.003159E-4
+PKETA = 2.05596E-3 )

```

```

.MODEL CMOS PMOS ( LEVEL = 7
+VERSION = 3.1 TNOM = 27 TOX = 3.1E-9
+XJ = 1E-7 NCH = 4.1589E17 VTH0 = -0.2113456
+K1 = 0.1096676 K2 = 0.0720159 K3 = 0
+K3B = 15.2825584 W0 = 1E-6 NLX = 1E-6
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 0 DVT1 = 0.6601774 DVT2 = -0.3
+U0 = 106.7834403 UA = 9.857819E-10 UB = 1E-21
+UC = -2.77963E-11 VSAT = 1.511726E5 A0 = 1.585138
+AGS = 0.3673284 B0 = 9.952617E-7 B1 = 2.290511E-6
+KETA = 0.0455986 A1 = 0.5158596 A2 = 0.3797097
+RDSW = 141.2685766 PRWG = -0.5 PRWB = 0.5
+WR = 1 WINT = 0 LINT = 5.185159E-10
+DWG = 4.137902E-9 DWB = -6.823377E-9 VOFF = -0.1022829
+NFACTOR = 1.5332272 CIT = 0 CDSC = 2.4E-4
+CDSCD = 0 CDSCB = 0 ETA0 = 1.099049E-3
+ETAB = -0.5 DSUB = 1.5 PCLM = 1
+PDIBLC1 = 0.0394469 PDIBLC2 = 0.1 PDIBLCB = -1E-3
+DROUT = 0 PSCBE1 = 8.800575E9 PSCBE2 = 2.546897E-9
+PVAG = 0.3818944 DELTA = 0.01 RSH = 7.4

```

```

+MOBMOD = 1      PRT = 0      UTE = -1.5
+KT1 = -0.11     KT1L = 0     KT2 = 0.022
+UA1 = 4.31E-9   UB1 = -7.61E-18   UC1 = -5.6E-11
+AT = 3.3E4      WL = 0      WLN = 1
+WW = 0          WWN = 1      WWL = 0
+LL = 0          LLN = 1      LW = 0
+LWN = 1         LWL = 0      CAPMOD = 2
+XPART = 0.5     CGDO = 2.27E-10   CGSO = 2.27E-10
+CGBO = 1E-12    CJ = 1.174289E-3   PB = 0.8275846
+MJ = 0.4115852  CJSW = 1.329615E-10   PBSW = 0.8
+MJSW = 0.1002729  CJSWG = 4.22E-10   PBSWG = 0.8
+MJSWG = 0.1002729  CF = 0      PVTH0 = -1.051248E-3
+PRDSW = 51.3980998  PK2 = 8.366953E-4   WKETA = 0.0338156
+LKETA = 5.598742E-3  PU0 = -0.9152654   PUA = -4.53466E-11
+PUB = 0         PVSAT = -50      PETA0 = -1.993538E-4
+PKETA = -5.751486E-3 )

```

```

mp0 1 b a a cmosp w=0.32u L=0.12u PD=0.64u PS=0.64u
mn0 1 b 0 0 cmosn w=0.16u L=0.12u PD=0.32u PS=0.32u

```

```

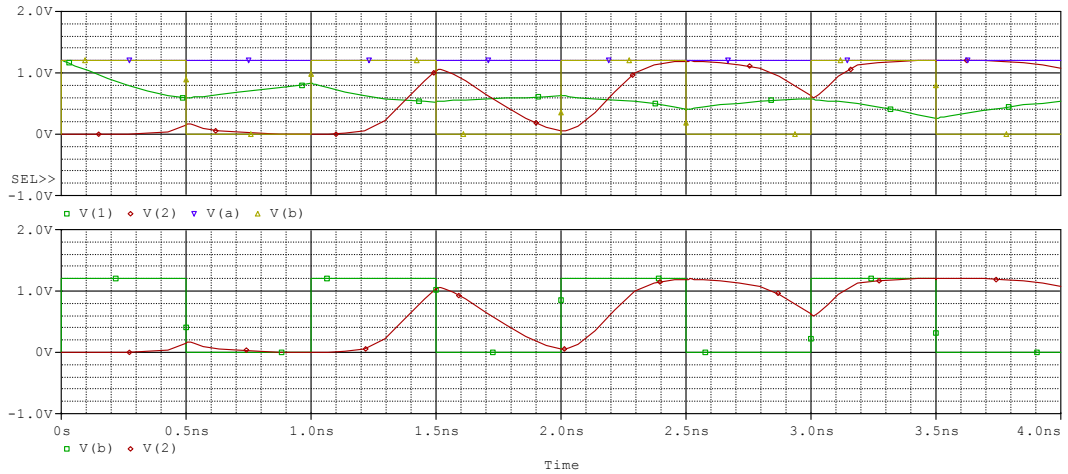
mp1 2 1 a a cmosp w=32u L=0.12u PD=64u PS=64u
mn1 2 1 0 0 cmosn w=16u L=0.12u PD=32u PS=32u

```

```

.tran 0.0000001ns 4ns
.probe
.op
.end

```

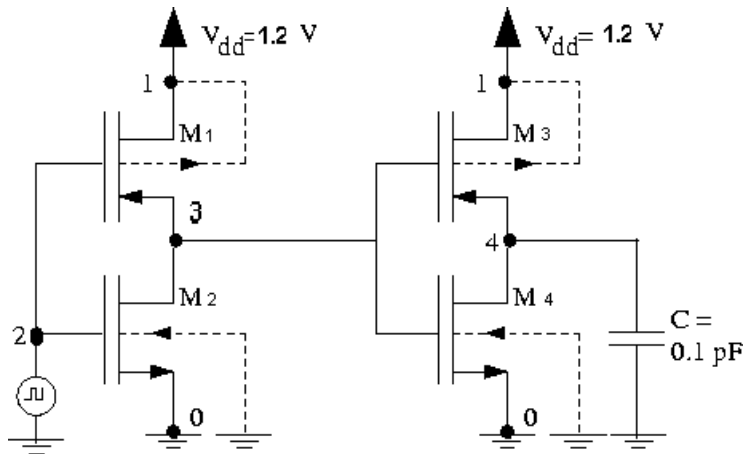


Şekil 4.2: 2 CMOS evirici için çıkış eğrileri

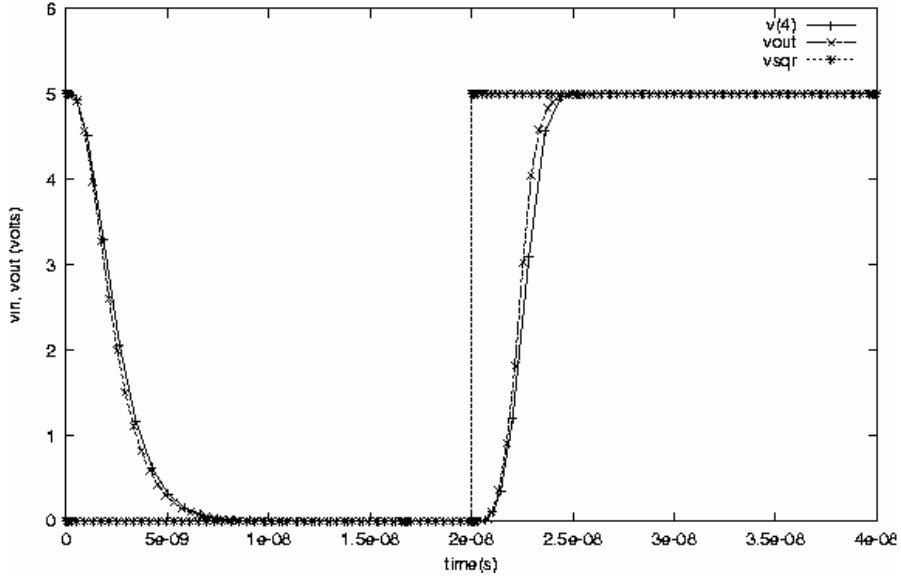
Şekilden de anlaşılacağı üzere çıkışta girişten 100 kat farklı W/L değerine sahip CMOS evirici buffer kullanılmadan sürüldüğü takdirde devre anahtarlama yapmadığından çalışmamakta ve verimli bir dalga şekli elde etmek mümkün değildir.

Bu sebeple yapılan çalışmada öncelikli olarak kullanılacak buffer sayısı tespit edilmiştir. Daha sonra bu buffer sayısına göre gecikme, güç, alan, hız optimizasyonu sağlama yoluna gidilmiştir.

CMOS buffer devresi iki CMOS invertorun aşağıdaki şekilde ardı ardına bağlanmasıyla oluşturulur. Buffer kullanılarak giriş kapasite değerlerini küçültmek propagasyon gecikmesini azaltmak mümkündür. Girişteki invertorun kanal eni ve kanal boyu küçük ve çıkıştaki invertorun kanal boyu ve kanal eni büyükse araya buffer yerleştirilerek girişteki invertorun çıkıştakini sürmesi kolaylaştırılabilir. Bölüm 3.1’de yapılan simülasyonda M3 ve M4 transistörleri sebebiyle oluşan giriş kapasitesi oldukça yüksek olduğundan M1 ve M2 transistörlerinden oluşan invertorun ikinci invertoru sürmesi zorlaşmaktadır. Bunun sebebi birinci invertorun ikinci invertor sebebiyle oluşan giriş kapasitesini hızlı doldurup boşaltamamasıdır.

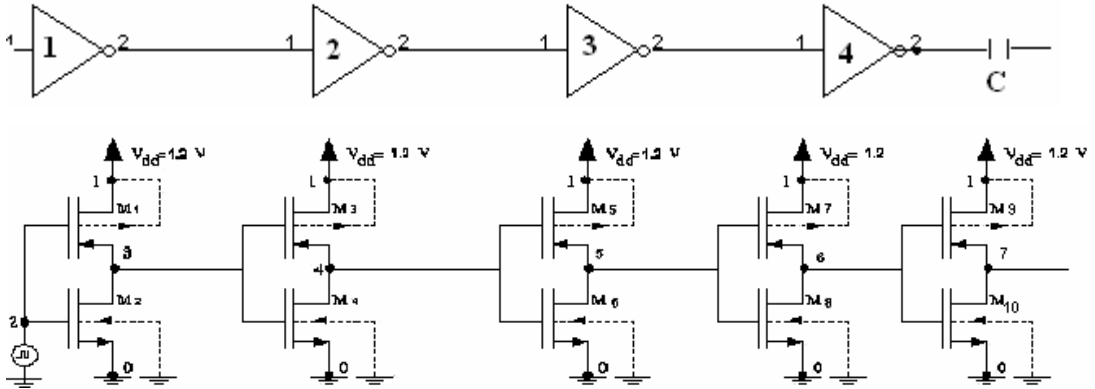


Şekil 4.3:n-kanal ve p-kanal MOSFET’lerin statik modeli ile CMOS buffer devresi



Şekil 4.4 :Bir CMOS bufferın transient karakteristiği .

İlk devrede transistorların arasına birinci transistorun W/L değerinden büyük değerli iki invertor bağlandı. Bunun sebebi her bir invertorun çıkışında oluşan kapasite değerlerini değiştirerek bu kapasitelerin dolma ve boşalma sürelerini düşürüp propagasyon gecikmesini azaltmaktır. Yeni devrenin sembolik gösterimi aşağıdaki gibidir.



Şekil 4.5: 4 evirciden oluşmuş bufferlı devre

Bu devrenin PSpice kodları ve devre şekilleri aşağıdaki gibidir.

tek bufferlı 4 invertorlu devre

Vin b 0 pulse (0v 1.2v 0 0ns 0ns .5ns 1ns)

Vdd a 0 dc 1.2v

```
.MODEL CMOSN NMOS ( LEVEL = 7 VERSION = 3.1 TOX = 3.1E-9 )
.MODEL CMOSP PMOS ( LEVEL = 7 VERSION = 3.1 TOX = 3.1E-9 )
```

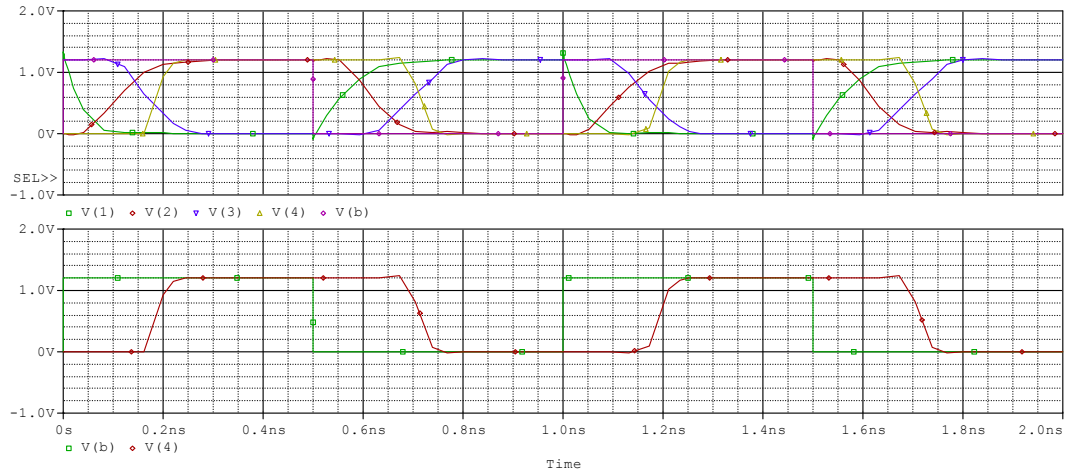
```
mp1 1 b a a cmosp w=0.32u L=0.12u PD=0.64u PS=0.64u
mn1 1 b 0 0 cmosn w=0.16u L=0.12u PD=0.32u PS=0.32u
```

```
mp2 2 1 a a cmosp w=1.6u L=0.12u PD=3.2u PS=3.2u
mn2 2 1 0 0 cmosn w=0.8u L=0.12u PD=1.6u PS=1.6u
```

```
mp3 3 2 a a cmosp w=8u L=0.12u PD=16u PS=16u
mn3 3 2 0 0 cmosn w=4u L=0.12u PD=8u PS=8u
```

```
mp4 4 3 a a cmosp w=32u L=0.12u PD=64u PS=64u
mn4 4 3 0 0 cmosn w=16u L=0.12u PD=32u PS=32u
```

```
.tran 0.00001ns 2ns
.probe
.op
.end
```



Şekil 4.6: buffer kullanılarak sürülen CMOS evirici

Buradaki şekilden görüldüğü üzere çıkışın girişten 100 kat fazla olması durumunda buffer kullanılarak devrenin anahtarlaması sağlanabilir. Şu durumda devre çalışır.

§

1 1 İ 1

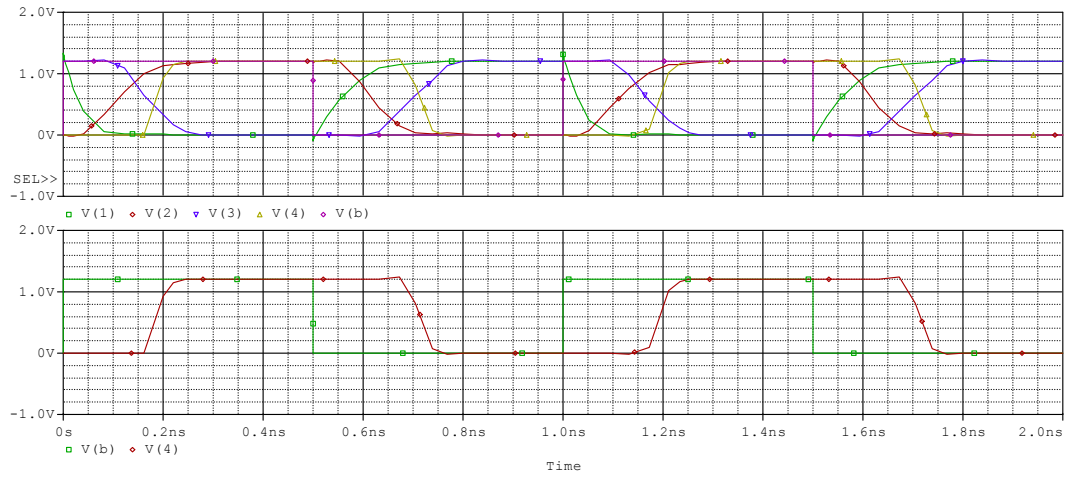
Buffer sayısının tespiti için yapılan simülasyonlar sonucunda elde edilen tablo aşağıdaki gibidir. Tablodan yorumlanan değerler sonucunda gerek gecikme, gerek güç tüketimi gerekse alan açısından en iyi sonuçların iki eviriciden oluşan tek buffer kullanıldığı durum için elde edildiği görülmüş ve çalışmanın devamında bu topoloji üzerinde yoğunlaşmıştır.

		Buffersız	1. buf	2. buf	3. buf	4. buf	Tplh (ps) Tphl (ps)	Tp(tf+tr+max(tphl, tplh))	Ortalama akımlar (uA)	Ortalama güç
Bufferların W/L değerleri (l=0.12u)		0.32/1 0.16/1 32/1 16/1								
	Tek buffer		1.6/1 0.8/1 8/1 4/1				186 217			288
	2 bufferlı		0.8/1 0.4/1 2/1 1/1	5/1 2.5/1 12/1 6/1			202 222	37+46 +222= 305	290	348
	3bufferlı		0.8/1 0.4/1 2/1 1/1	4/1 2/1 9/1 4.5/1	13 6.5/1 20/1 10/1		247 260	30+36 +260= 326	440	528
	4 bufferlı		0.8/1 0.4/1 2/1 1/1	4/1 2/1 9/1 4/1	12/1 6/1 13/1 6.5/1	20/1 10/1 28/1 14/1	290 308	18+23 +308= 349	660	792

Çizelge 5.1: Çıkışta girişten 100 kat farklı CMOS kullanılması durumunda

buffer sayısına göre akım güç gecikme tablosu

Tek buffer iki evirici kullanılmasıyla elde edilen dalga şekilleri Şekil 5.1’de verilmiştir. Evirici kullanılmadan yapılan çalışmada çıkışta düzgün bir gerilim elde edilememişken burada belirli bir gecikmeye rağmen oldukça düzgün bir anahtarlama görülmektedir. Yapılması gereken en önemli şey buradaki gecikmeyi azaltmak olduğundan bir sonraki bölümde bu konu üzerinde durulacaktır.



Şekil 5.1: iki eviriciden oluşan tek buffer kullanılmış devre

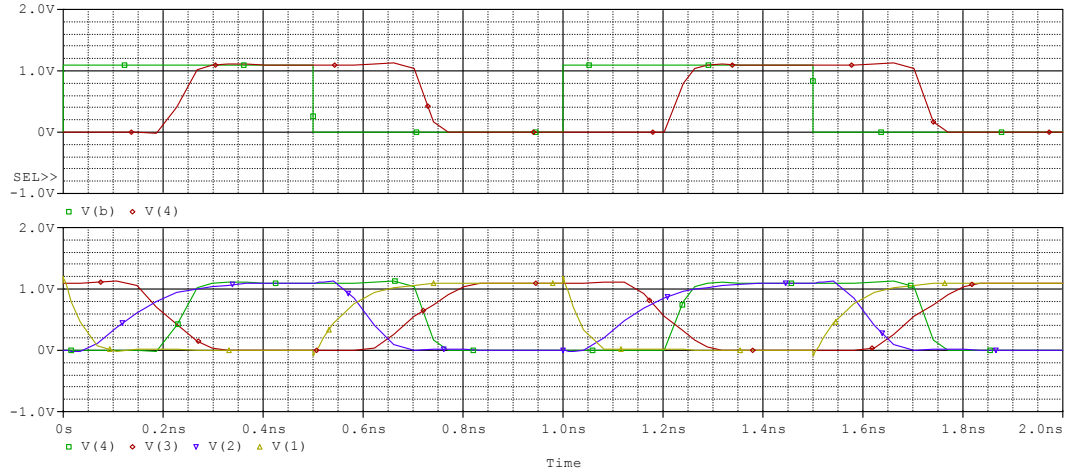
I I

Wp1/Wn1=	Wp2/Wn2=	tphl	tplh	Avg(Ivdd)
1/1	6/4	186	184	250
1/5	8/4	188	200	230
1/5	6/4	175	204	230
1/5 = 2	4/4=	152	222	230
1/5 = 2	6/6= 1	175	225	250
1/5 = 2	8/8= 1	195	232	260
1/5 = 2	8/9=	200	241	275
1/5 = 2	8/10	202	254	255
1/5 = 2	8/12	211	270	280
1/5 = 2	8/16	227	300	290
1/5	12/12	243	263	300
1/1	12/12	256	206	295
0.9/0.8	5.7/3.6	184	186	208

Çizelge 5.2: Farklı Wp/Wn oranlarına göre tablo

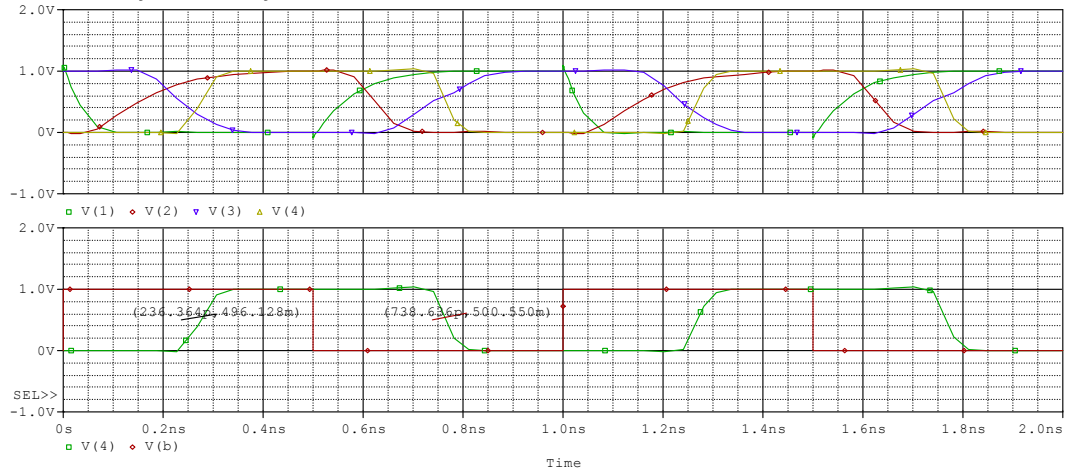
gç

Vdd=1.1V için devre şekilleri



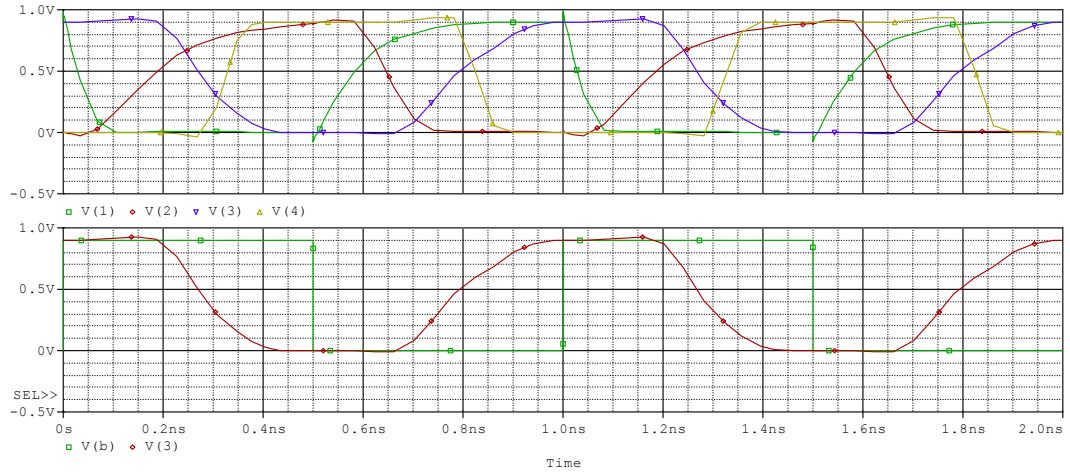
Şekil 5.2: Vdd=1V'luk devre çıkış gerilimleri
 $t_{phl}=215ps$ ve $t_{plh}=195ps$, ortalama güç=215uW ölçülür.

Vdd=1.0V için devre şekli



Şekil 5.3: Vdd=1V için çıkış gerilimleri
 $t_{phl}=236ps$ ve $t_{plh}=238ps$, ortalama güç=170uw ölçülür.

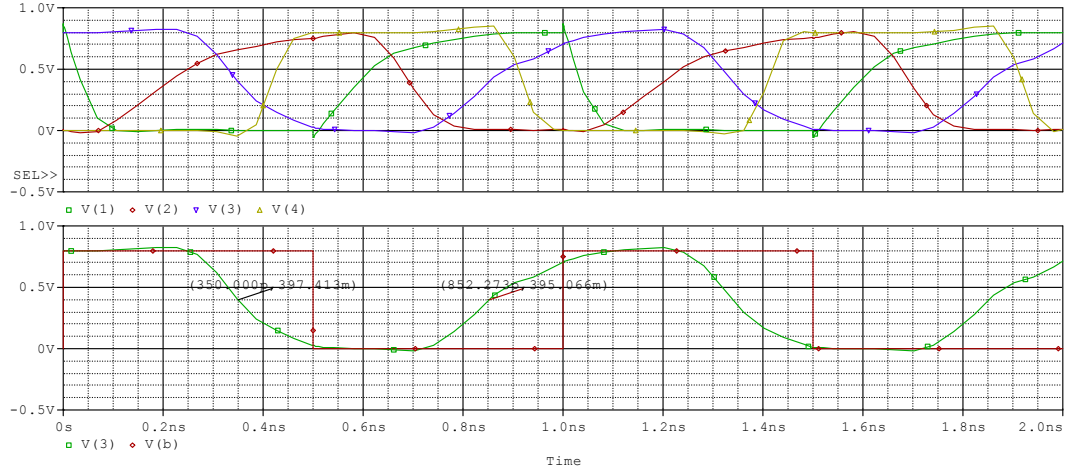
Vdd=0.9V için dalga şekilleri



Şekil 5.4: Vdd=0.9V için çıkış gerilimleri

Tphl=277ps ve tplh=279ps, ortalama güç=140uw ölçülür.

Vdd=0.8v için dalga şekiller



Şekil 5.5: Vdd=0.8V için çıkış gerilimleri

Tphl=350ps ve tplh=352ps, ortalama güç=102uw ölçülür.

Bu değerler şğıdaki şekilde çizelgeye aktarıldığında V_{dd} değeri azaldıkça $P=C_L \cdot f \cdot V_{dd}^2$ bağıntısı dolayısıyla güç tüketimi azalmakta bununla birlikte $T_d=C_L \cdot V_{dd}/I$ burada $I \sim (V_{dd}-V_t)^2$ formülünden V_{dd} nin yaklaşık karesiyle ters orantılı olarak propagasyon gecikmesi artmaktadır.

Vdd	Tph3	Tplh3	Ortalama güç
1.2	186	184	250
1.1	215	195	215
1.0	236	238	170
0.9	277	279	140
0.8	350	352	102

Çizelge 5.3: Vdd değişimine göre güç gecikme tablosu

Eviricinin propagasyon gecikmesini hesaplamanın bir yolu kondansatörün deşarj akımını tülemektir.

$$T_p = \int_{v_1}^{v_2} \frac{C(v)}{i(v)} dv$$

Burada i deşarj akımı, v kondansatör üzerindeki gerilim, ve v_1 ve v_2 sırasıyla ilk ve son voltajlardır. Bu denklemin tam hesaplaması $C(v)$ ve $i(v)$ 'nin her ikisinin de v 'nin nonlineer fonksiyonu olması sebebiyle kolay kontrol edilemez. Bunun yerine girişten çıkışa propagasyon gecikmesi süresi, yüksek seviyeden düşük seviyeye ve düşük seviyeden yüksek seviyeye geçiş için ayrı ayrı tanımlanır. t_{PHL} ve t_{PLH} sembolleri ile gösterilen bu propagasyon gecikmesi süreleri, giriş ve çıkış darbelerinin %50 noktaları arasındaki süreler olmaktadır. Ortalama Propagasyon gecikmesi süresi

$$T_p = \frac{T_{phl} + T_{plh}}{2} = 0.69 * C * \left(\frac{R_{eqn} + R_{eqp}}{2} \right) = CL/2V_{dd}(1/k_p + 1/k_n) \text{ şeklinde}$$

tanımlanmaktadır.

Çoğunlukla yükselme ve düşme propagasyon gecikmelerinin aynı olması istenmektedir. Bu durum k_p ve k_n değerlerinin yaklaşık eşit alınmasıyla mümkündür. Bu durum simetrik voltaj transfer karakteristiği gerekliliğinin olması halinde de geçerlidir.

Propagasyon gecikmesini azaltmak için aşağıdaki yollar kullanılabilir.

C_L yi azaltmak; yük kapasitesine üç faktör katkıda bulunmaktadır. Bunlar; kapının kendisinin dahili difüzyon kapasitesi, bağlama kapasitesi ve fan_out. Ölçülü yerleşim (layout) difüzyon ve bağlama kapasitelerini azaltır. (Rabaey, 2003)

K_p ve k_n ' i artırmak veya transistorların W/L oranını artırmak; bu doğru ve istenen çözüm gibi görünmekte. Transistor boyutlarını artırmak aynı zamanda kapı kapasitesini artırdığı gibi difüzyon kapasitesini yani C_L ' yi artırmaktadır. Son söylenen sürücü kapısının fan_out faktörünü de artırmakta ve tersine hız üzerine etkimektedir. (Rabaey, 2003)

V_{DD} 'yi artırmak; normalde tasarımcıların bu faktör üzerinde pek fazla kontrol edebilme şansı yoktur. Besleme gerilimi sistem ve teknoloji gerekleri tarafından belirlenir. Gerçekte, 0.5um ve altında boyutu özelliğinde teknoloji ölçeklemede, tersi eğilim gözlemlenir. (Rabaey, 2003)

İki evirici kullanılarak oluşan buffer devresi için hesaplanan propagasyon gecikmeleri tablosu aşağıda verilmiştir.

Wp1	Wn1	Wp2	Wn2	Tr	tf	tphl	tplh	Avg(Ivdd)
1	.5	6	4	156	127	175	204	230
1	.5	6	3	147	137	177	193	240
1	1	6	6	141	109	186	197	240
1	1	7	7	136	105	195	195	235
0.9	0.8	5.7	3.6	150	129	184	186	208

Çizelge 5.4: Propagasyon gecikmeleri

ğ ş

0.5um MOS teknolojisi kullanılarak VLSI (Very Large-Scale Integration) çip üzerine yaklaşık 1 milyon lojik kapı yerleştirilebilir. Gelecek nesil çiplerde bu sayıyı daha da arttırmak umulmaktadır. Çip üzerindeki her bir kapı güç harcamakta ve bu yüzden de ısı oluşmaktadır. Çipi soğutarak bu termal enerjiyi kaldırmak gerekli ve genellikle de pahalı bir konudur. Jonksiyon ısısı $T_j = T_a + \theta P_a$ ile hesaplanır. Burada T_a çevre ısısı, θ termal direnç, P ise güç tüketim miktarını temsil etmektedir. Ayrıca taşınabilir bilgisayarlar dizüstü bilgisayarlar, hücresel haberleşme cihazları gibi pek çok taşınabilir sistem sınırlı güç kaynaklarıyla çalışır ve pilin kullanım süresini uzatmak en önemli tasarım amacıdır. Bu yüzden devrenin standby konumunda ve dinamik

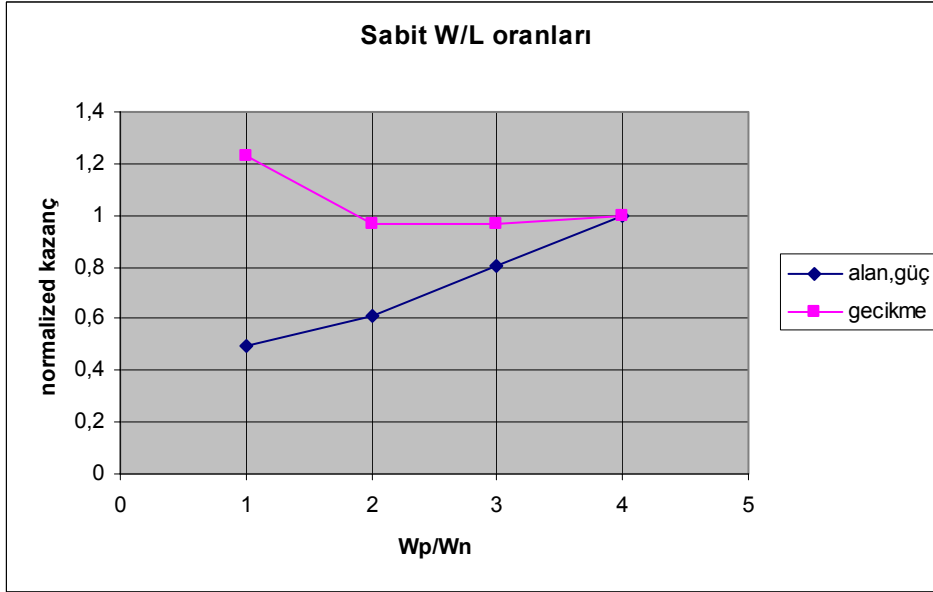
konumda harcadığı gücü azaltmak en önemli konudur. Pratik ölçümlerde MOS transistörün gate alanını W ve L ' nin çarpımı olarak hesaplanır. Bu yüzden MOS' un her iki gate büyüklüğü teknolojinin kullanımına göre mümkün olan en küçük boyutta seçildiğinde alan minimum olacaktır. Bununla birlikte transistörün W/L oranı mümkün olduğu kadar birbirine en yakın alındığında alan da minimuma inecektir. Bu gereklilik genellikle gürültü marjı, çıkış sürme kapasitesi ve anahtarlama hızı gibi diğer tasarım parametreleriyle çelişir. (Kang, 1999)

Yapılan Pspice simülasyonları sonucunda aşağıdaki çizelge elde edilmiştir.

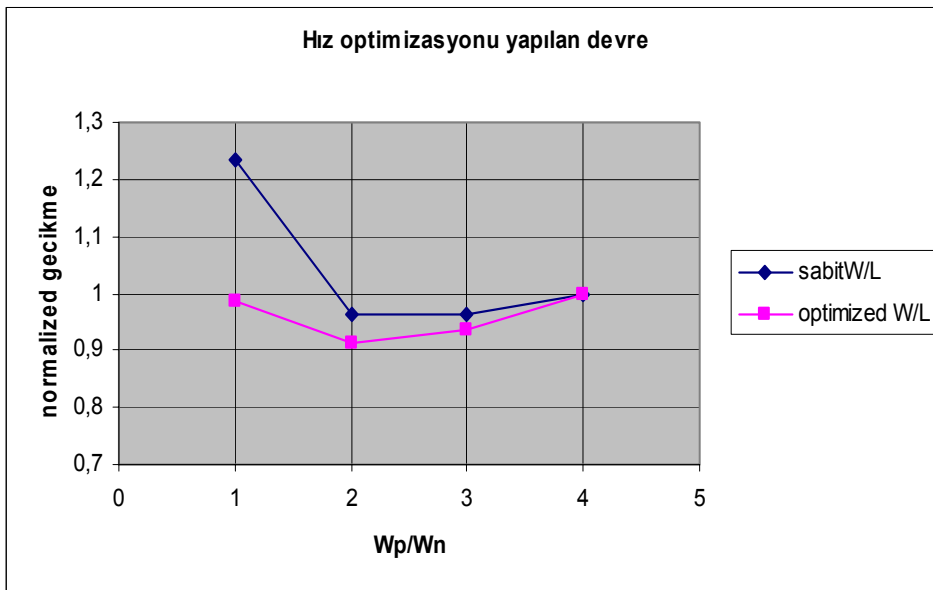
I								
1 kat	1.16	1.16	5.16	5.16	16.16	270	219	270
2 kat	2.32	1.16	10.32	5.16			206	
3 kat	3.48	1.16	15.48	5.16	26.48	211	211	209
4 kat	4.64	1.16	20.64	5.16	32.8	219	219	219
I Ş								
1 kat	2.8	2.8	13	13	32.8	216	215	216
2 kat	3.7	1.85	17.2	8.6	32.6			
3 kat	4.2	1.4	19.5	6.5	32.8	205	205	204
4 kat	4.64	1.16	20.64	5.16	32.8	219	219	219
Ş								
1 kat	2	2	9.5	9.5	24.2	219	219	218
2 kat	2	1	8.5	3.5	16.2			
3 kat	3	1	9.6	3.2	18	220	219	220
4 kat	4.64	1.16	20.64	5.16	32.8	219	219	219
	(μm)	(μm)	(μm)	(μm)	(μW)	(μm^2)	(ps)	(ps)

Çizelge 5.5: Optimum sonuçlar

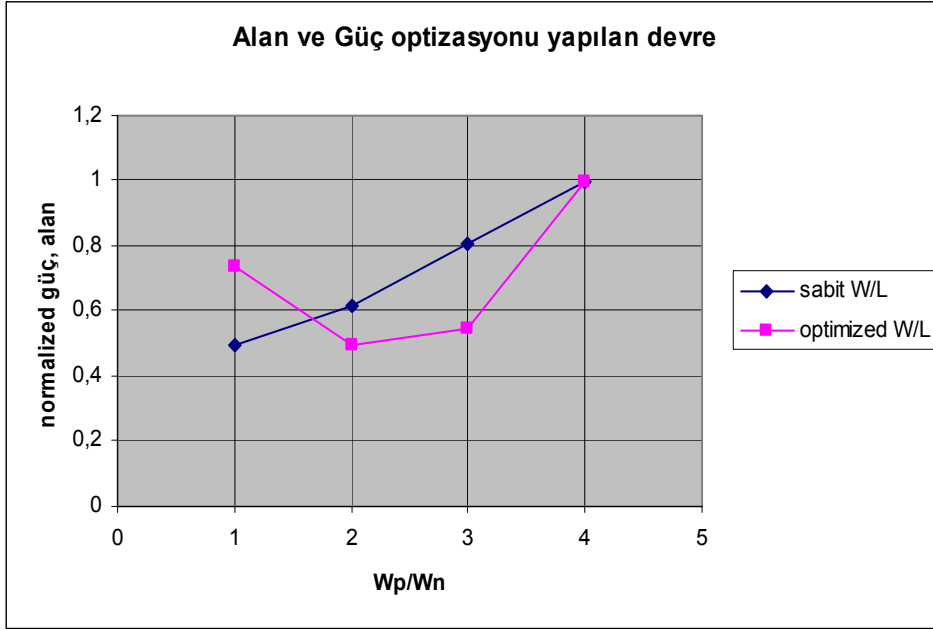
Sonuç olarak tablodan görüldüğü üzere W_p/W_n 2 olduğu takdir de devre en iyi gecikme ve alanı sağlamaktadır. W_p/W_n oranı küçüldükçe propagasyon gecikmesinin arttığı fakat gücün azaldığı gözlemlenmiştir. Güçte meydana gelen azalma transistorların yükselme ve düşme zamanının birbirine yaklaşması durumundan kaynaklanmaktadır. Tablo değerlerinin grafiksel çizimleri ise aşağıda verilmiştir.



Şekil 5.6: Giriş ve çıkış oranının değişmediği devreler



Şekil 5.7: Hız optimizasyonu yapılan devreler



Şekil 5.8: Alan ve Güç optimizasyonu yapılan devreler

§

CMOS buffer tasarımında öncelikle devrenin kullanılacağı yer göz önüne alınarak optimizasyon yapılır. Her devrenin hızlı çalışması istenmediği gibi, her devrenin az güç harcaması veya küçük boyutta olması önemli olmayabilir. Fakat hız-güç-boyut kombinasyonunun iyi olduğu devreler daima tercih edilir.

Bu çalışmada buffer tasarımında kullanılan transistörlerin kanal enlerinin uygun olarak seçilerek hız-güç ve alan bileşenlerinin optimum olarak bulunmasına çalışılmıştır.

Klasik CMOS devre tasarımında NMOS ve PMOS kanal genişliği oranını devrenin çıkışının simetrik olma koşulu belirlemektedir. NMOS transistörün hızı taşıyıcı elektronların hızı, PMOS transistörün hızı ise taşıyıcı boşluklar tarafından belirlenir. Devrenin çıkışında simetrik yükselme ve düşme zamanları elde etmek için PMOS transistörün genişliğinin NMOS transistör genişliğinden elektron hızı/boşluk hızı oranı kadar yüksek olmalıdır. Bu oran literatürde 2-3 arası değişmektedir. Böylece simetrik yükselme ve düşme zamanı elde edilip gürültü marjinleri artırılmış ve devrenin fonksiyonel olarak doğru çalışması garantilenmiştir.

Simetrik çıkış elde etmenin dezavantajı geniş PMOS transistörlerin kullanılmasıyla ortaya çıkan yüksek kapasite ve bu kapasitenin sürülmesinde (doldurulmasında ve boşaltılmasında) çıkan zorluk nedeniyle ortaya çıkan gecikme, güç tüketimi ve büyük boyuttur. Halbuki özellikle buffer tasarımında devrenin işlevsellik sağlama problemi pek olmamaktadır. Her bir evirici bir önceki kattaki gürültüyü sıfırlayabilmekte ve devre gürültü problemi yaşamamaktadır. Dolayısıyla gürültü marjından yapılabilecek ufak bir fedakarlık devrenin hızında ve güç tüketiminde büyük iyileştirmeler sağlayabilmektedir.

IBM 0.12 nm teknolojisi kullanılarak yaptığımız simülasyonlarla W_p/W_n oranını azaltarak ve işlevselliği bozmadan en iyi güç, hız ve alan optimizasyonunu bulmaya çalıştık. Simülasyonlar sonucunda PMOS NMOS kanal eni oranı 2 olduğunda tampon devrelerinde hız/güç/alan bileşeni en iyi sonucu vermiştir. Hızda %5, güç ve

alanda yaklaşık %40 iyileşme kaydettiğini tesbit ettik. Hızda elde ettiğimiz %5 iyileşme feda edilirse güç ve alanda ekstra %10 luk iyileşme sağlanarak toplam %50 güç/alan iyileşmesi sağlandı. Bununla birlikte güç ve alanda elde ettiğimiz %40 lık iyileşmeyi feda ettiğimizde Hızdaki toplam iyileşme ancak %10 oldu. Gürültü marjı devrenin işlevselliğine etki etmediği zaman, PMOS' un boyutunu azaltmak hız/alan/güç avantajı sağlar. Sıralı bufferlarda, giriş sayısı az olan kombinasyonel lojik kapılarda PMOS' u küçük seçip devredeki hız alan güç kombinasyonu iyileştirilebilir.

NMOS PMOS oranları teorik olarak belli devre topolojileri için formüller yazılsa da, kapasite ve hız hesaplamalarındaki lineer olmayan davranışlar yeni teknolojilerde optimumdan uzaktır. Teorik sonuçlar devre tasarımcısı için bir başlangıç teşkil eder, optimum sonuç için tasarımcının devre seviyesinde (Spice) simülasyonlarına ihtiyaç vardır.

Bu yaklaşım tampon devrelerinin yanında gürültü marjının pek önemli olmadığı az girişli kombinasyonel (combinational) lojik yapılarda da rahatlıkla kullanılabilir. İlerideki çalışmalarımızda bu tür yapılar da incelenerek ayrıntılı sonuçlara ulaşılmaya çalışılacaktır.

Borah, M., Owens, R., Irwin, M., 1996. Transistor Sizing for Low Power CMOS Circuits. 15 (6), 665-671.

Burd, T., 1994. Low Power CMOS Library Design Methodology, University of California, Berkley.

Chandrakasan, A., Sheng, S., Brodersen, R., 1992. Low Power CMOS Digital Design. 27(4), 473-484,.

Chen, H., Kang, S., 1991. A New Circuit Optimization Technique for High Performance CMOS Circuits. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Volume 10, Issue 5, 670-677 s.

Chen, H., Du, D., Liu, L., 1993. Critical Path Selection for Performance Optimization. 12 (2). 185-196

Ebergen, J., Gainsley, J., Cunningham, P., 2004. Transistor Sizing: How to Control the Speed and Energy Consumption of a Circuit. 1-11.

Fishburn, J.P., Taneja, S., 1997. Transistor sizing for high performance and low power. Proceedings of the IEEE 1997 Custom Integrated Circuits Conference, 591-594 s.

Gan, X., Zhu, H., 1998. An Optimization of CMOS Buffer Using Rsm Technique. IEEE. 481-483s.

Hedenstierna, N., Jeppson, K., 1987. CMOS Circuit Speed and Buffer Optimization. IEEE. 270-281s.

İsmailođlu, A. N., 1996, Yarı Özel CMOS VLSI Teknolojisi ile 4 Bit Mikrodenetleyici Tasarımı. ASELSAN Dergisi, 32 s, Ankara.

Kang, C., Abbaspour, S., Pedram, M., 2003. Buffer Sizing for Minimum Energy-Delay Product by Using Approximating Polynomial. 4 s.

Kang S., Leblebici Y., 1999. CMOS Digital integrated circuits., McGraw-Hill, 658s. Boston.

Kuntman, H., Toker, A., Özcan, S., 1996. Sayısal Elektronik Devreleri. Sistem Yayıncılık. 342s. Ankara.

Kurodo, T., 2002. Optimization and Control of Vdd and Vth for Low Power, High Speed CMOS Design. IEEE 28-34 s

Leblebici, D. Akurgal, A., Geray, H., Payzın, E., Sarper, S., 2004. Bilgi Ve İletişim Teknolojileri Stratejisi. Vizyon 2023 Projesi Bilgi Ve İletişim Teknolojileri Strateji Grubu, Işık Üniversitesi, 21 s.

Manzak, A., Chakrabarti, C., 2004. Optimum Buffer Size For Dynamic Voltage Processors. Lecture Notes in Computer Science PATMOS 2004. 711-721 s

Rabaey, J., Chandrakasan, A., Nicolic, B., 2003. Digital integrated circuits: a design perspective, Prentice Hall, 761s. New Jersey.

Roy, K., Wei, L., Chen, Z., 1999. Multiple Vdd Multiple Vth CMOS (MVC MOS) for Low Power Applications. IEEE. 366-370s

Semiconductor Industry Association, 2004. International Technology Roadmap For Semiconductors. <http://public.itrs.net/>

Shyu, J.-M., Sangiovanni-Vincentelli, A., Fishburn, J.P., Dunlop, A.E., 1988. Optimization-based transistor sizing. *IEEE Journal of Solid-State Circuits*, Volume 23, Issue 2, 400-409 s.

Veendrick, H., 1984. Short Circuit Dissipation of Static CMOS Circuitry and its Impact on the Design of Buffer Circuits 19(4), 468-473.

Wroblewski, A., Schumecher, O., Schimpfle, C.V., Nossek, J.A., 2001. Minimizing gate capacitances with transistor sizing. *The 2001 IEEE International Symposium on Circuits and Systems*, Volume 4, 186-189 s.

Wu, A.C.-H., Vander Zanden, N., Gajski, D., 1990. A new algorithm for transistor sizing in CMOS circuits. *Proceedings of the European Design Automation Conference*, 589-593 s.

Yoo, C., 2000. A CMOS Buffer Without Short- Circuit Power Consumption. 47(9), 935-937.

Yuan, J., Svensson, C., 1996. Principle of CMOS circuit power-delay optimization with transistor sizing. *IEEE International Symposium on Circuits and Systems*, Volume 1, 637-640 s.

İŞ

Adı Soyadı : Dilek MANZAK

Doğum Yeri : Sivas

Doğum Yılı : 1980

Medeni Hali : Evli

Eğitim ve Akademik Durumu:

Lise : 1993-1997 Sivas Anadolu Öğretmen Lisesi

Lisans : 1997-2002 Süleyman Demirel Üniversitesi Elektronik ve
Haberleşme Bölümü

Yabancı Dil : İngilizce

İş Deneyimi:

2002 yılından bu yana Süleyman Demirel Üniversitesi Fen Bilimleri Enstitüsü kadrosunda araştırma görevlisi olarak çalışmaktayım.