

**ANAHTARLAMA AKTİVİTESİ AZALTIYARAK
DÜŞÜK GÜÇLE ÇALIŞAN CMOS TOPLAMA
VE ÇARPMA DEVRELERİ TASARIMI**

Tuna GÖKSU

**YÜKSEK LİSANS TEZİ
ELEKTRONİK ve HABERLEŞME MÜHENDİSLİĞİ
ANABİLİM DALI
ISPARTA, 2006**

**T.C.
SÜLEYMAN DEMİREL ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**ANAHTARLAMA AKTİVİTESİ AZALTIYARAK DÜŞÜK GÜÇLE
ÇALIŞAN CMOS TOPLAMA VE ÇARPMA DEVRELERİ TASARIMI**

Tuna GÖKSU

**YÜKSEK LİSANS TEZİ
ELEKTRONİK ve HABERLEŞME MÜHENDİSLİĞİ
ANABİLİM DALI**

ISPARTA, 2006

Fen Bilimleri Enstitüsü Müdürlüğüne

Bu çalışma jürimiz tarafından ELEKTRONİK VE HABERLEŞME
MÜHENDİSLİĞİ ANABİLİM DALI'nda
YÜKSEK LİSANS TEZ'i olarak kabul edilmiştir.

Başkan : Prof. Dr. Mustafa MERDAN

Üye : Prof. Dr. Ali KÖKÇE

Üye : Yrd. Doç. Dr. Ali MANZAK

ONAY

Bu tez 25/01/2006 tarihinde Enstitü Yönetim Kurulunca belirlenen yukarıdaki jüri
üyeleri tarafından kabul edilmiştir.

Prof. Dr. Çiğdem SAVAŞKAN
S.D.Ü. Fen Bilimleri Enstitü Müdürü

İÇİNDEKİLER

	Sayfa
İÇİNDEKİLER	i
ÖZET	iii
ABSTRACT	iv
TEŞEKKÜR.....	v
SİMGELER VE KISALTMALAR DİZİNİ.....	vi
ŞEKİLLER DİZİNİ.....	vii
ÇİZELGELER DİZİNİ	ix
1. GİRİŞ.....	1
2. KAYNAK ÖZETLERİ	6
3. MATERYAL VE YÖNTEM.....	9
3.1. Materyal.....	9
3.2. Düşük Güç Tasarımı.....	9
3.2.1. Güç Tüketimi	10
3.2.1.1. Statik Güç Tüketimi	10
3.2.1.2. Dinamik Güç Tüketimi.....	11
3.2.1.3. Toplam Güç Tüketimi	12
3.2.2. Güç Tüketimine Etki Eden Faktörler.....	13
3.2.2.1. Voltaj.....	14
3.2.2.2. Fiziksel Kapasitans.....	16
3.2.2.3. Aktivite.....	18
3.2.3. Düşük Güç Tüketen Sistem Tasarımında Yinelenen Konular.....	20
3.2.4. Teknoloji Bazında Güç Tüketimini Azaltma Yöntemleri	21
3.2.4.1. Paketleme	21
3.2.4.2. Üretim Teknolojisi	22
3.2.5. Devre Elamanları Yerleşimi Bazında Güç Tüketimini Azaltma Yöntemleri... 25	25
3.2.6. Devre Türlerinin Güç Tüketimine Etkisi.....	26
3.2.6.1. Dinamik Mantık Devre Tekniği	26
3.2.6.2. Pass-Transistor Devre Tekniği	29
3.2.6.3. Asenkron Mantık Devre Tekniği.....	30
3.2.6.4. Transistor Ölçeklemesi.....	30

3.3. Yöntem	31
3.4. Toplayıcı ve Çarpma Devreleri	31
3.4.1. Toplayıcı Devreleri	32
3.4.1.1. Bir Bitlik Toplayıcılar	32
3.4.1.2. Bit-Paralel Toplayıcılar	34
3.4.1.3. Bit-Seri Toplayıcılar	37
3.4.1.4. Transmisyon-Kapı Toplayıcılar	38
3.4.1.5. Carry-Lookahead Toplayıcılar	39
3.4.1.6. Carry-Select Toplayıcılar	41
3.4.1.7. Toplayıcı Devrelerinin Özeti	41
3.4.2. Çarpma Devreleri	42
3.4.2.1. Dizi Çarpma Devresi	43
3.5. Simülasyonlarda Kullanılan Toplayıcı ve Çarpma Devreleri	45
4. BULGULAR	46
4.1. Toplayıcı Devrelerine Ait Optimizasyon Örnekleri	46
4.2. Toplama ve Çarpma Devrelerinde Simülasyon Neticeleri	50
5. TARTIŞMA VE SONUÇ	55
6. KAYNAKLAR	56
EKLER	59
EK-1	59
EK-2	61
ÖZGEÇMİŞ	72

ÖZET**ANAHTARLAMA AKTİVİTESİ AZALTIYARAK DÜŞÜK GÜÇLE
ÇALIŞAN CMOS TOPLAMA VE ÇARPMA DEVRELERİ TASARIMI**

Günümüzün elektronik cihazlarındaki gelişmeler cihazların pille ve kablosuz olarak çalışması yönünde yoğunluk kazanmıştır. Cihazlar daha performanslı ve daha çok işlevli olarak imal edilmeye çalışılmaktadır. Cihazların taşınabilir olması cihazlarda pil kullanımını gerektirmektedir. Pil teknolojisindeki gelişmeler sınırlı olduğundan, uzun pil dayanım sürelerinin elde edilebilmesi için cihazların güç tüketiminin en aza indirilmesi gerekmektedir. Bu çalışmada sayısal CMOS devrelerinde harcanan enerjiyi azaltma yöntemlerinden birisi olan transistor boyu ölçülendirme metodu ile besleme voltajı ölçekleme metodu kıyaslanmıştır. Kıyaslama özel tasarlanan toplama ve çarpma devreleri üzerinde yapılmıştır. Yapılan SPICE simülasyonları ile transistor boyu geri ölçülendirme metodunun, besleme voltajı ölçeklemesine göre gecikme sürelerinde daha az artışa sebep olduğu gösterilmiştir.

ANAHTAR KELİMELER: Düşük güç, transistor ölçülendirmesi, CMOS

ABSTRACT**LOW POWER CMOS ADDER AND MULTIPLIER DESIGN WITH THE
REDUCED SWITCHING ACTIVITY**

Advances in present-day electronic device technologies concentrated on mobility and wireless communications. More powerful devices are being built with higher computing capabilities. This mobility needs battery usage in electronic devices. Since improvements in battery technology is restricted, for longer battery life times it is needed to decrease power consumption of these devices to minimum. Voltage scaling and transistor sizing methods used for reducing power consumption in CMOS systems are compared. Comparison has done on custom designed adder and multiplier circuits. Using SPICE simulations, it is shown that, resizing CMOS circuits to backwards causes smaller delay times than the voltage scaling.

KEY WORDS: Low-power, transistor sizing, CMOS

TEŐEKKÖR

Çalıőmam boyunca anlayıőını esirgemeyen danıőmanım sayın Yrd. Doç. Dr. Ali MANZAK'a, desteklerini her zaman hissettiđim aileme, Süleyman Demirel Üniversitesi Elektronik ve Haberleőme Mühendisliđi Bölümü'nün deđerli öğretim elemanlarına ve Bilgi İşlem Dairesi personeline yardımlarından dolayı teşekkür ederim.

SİMGELER VE KISALTMALAR DİZİNİ

μ Mikro (10^{-6})

n Nano (10^{-9})

α Aktivite katsayısı

C Kapasitans

f Frekans

Hz Hertz

P Güç

V Voltaj

V_t Eşik voltajı

W Watt

NMOS

PMOS

CMOS Complementary metal oxide semiconductor için kısaltma

VLSI Very Large-Scale Integration için kısaltma

ŞEKİLLER DİZİNİ

Şekil 3.1.pseudo-NMOS inverterde statik güç harcaması	10
Şekil 3.2. Besleme voltajının bir fonksiyonu olarak enerji ve gecikme eğrileri	15
Şekil 3.3. Transistor sığasının başlıca kaynakları	16
Şekil 3.4. Ara bağlantı sığasının kaynakları.....	18
Şekil 3.5. Senkron sistemlerde aktivite	19
Şekil 3.6. $F = \overline{(A+B)C}$ 'nin dinamik ve statik mantıkla gerçekleştirilmesi.....	26
Şekil 3.7. Statik ve dinamik mantık kapılarının çıkış aktiviteleri	28
Şekil 3.8. $F = \overline{(A+B)C}$ 'nin tümler pass-transistor mantığı ile gerçekleştirilmesi ...	29
Şekil 3.9. Tam Toplayıcı Devresi Şematik Gösterimi	33
Şekil 3.10.Tam Toplayıcı Devresi Transistor Şeması.....	34
Şekil 3.11. Tam toplayıcı devresi için örnek zaman-gerilim şeması.	34
Şekil 3.12. N-bit Paralel Toplayıcılar	35
Şekil 3.13. Ayna Toplayıcı Devre Şeması	36
Şekil 3.14. Optimize edilmemiş Ayna Toplayıcı Devresinde Toplam Sinyalinin Gecikmesi.....	37
Şekil 3.15. Optimize edilmemiş Ayna Toplayıcı Devresinde Elde Sinyalinin Gecikmesi.....	37
Şekil 3.16. Bit-seri toplayıcı şeması.....	38
Şekil 3.17. Transmisyon-kapı toplayıcı	39
Şekil 3.18. Carry-lookahead toplayıcının (CLA) genel gösterimi	40
Şekil 3.19. Carry-Select Toplayıcı.....	41
Şekil 3.20. Dizi çarpma devrelerinde kullanılan hücre	44
Şekil 3.21. 4x4'lük dizi çarpma devresi.....	44
Şekil 4.1. Tam toplayıcı devresinde "Carry-Out" elde sinyalinin gecikmesi.	46
Şekil 4.2. Tam toplayıcı devresinde "SUM" toplam sinyalinin gecikmesi.....	46
Şekil 4.3. Tam toplayıcı devresinde <i>Carry-Out</i> elde sinyalinin gecikmesi.	47
Şekil 4.4. Optimize Edilmiş Ayna Toplayıcı Devre Şeması.....	48
Şekil 4.5. Optimize edilmiş Ayna Toplayıcı Devresinde Toplam Sinyalinin Gecikmesi.....	48

Şekil 4.6. Optimize edilmiş Ayna Toplayıcı Devresinde Elde Sinyalinin Gecikmesi.	49
Şekil 4.7. 4 Bitlik Paralel Toplayıcıda Oluşan Gecikme Süresi	49
Şekil 4.8. Carry Lookahead toplayıcı devresinde güce karşılık gecikme süreleri	53
Şekil 4.9. Paralel toplayıcı devresinde güce karşılık gecikme süreleri	53
Şekil 4.10. 4x4'lük dizi çarpma devresinde güce karşılık gecikme süreleri	54

ÇİZELGELER DİZİNİ

Çizelge 1.1. Yıllara göre entegre üretimdeki oluşan ve beklenen gelişmeler.....	4
Çizelge 3.1. Tam Toplayıcı Doğrulama Tablosu	32
Çizelge 3.2. 4-bitlik çarpma devresi kısmi toplamları	43
Çizelge 4.1. Carry Lookahead toplayıcıda gecikme ve güç değerleri.....	50
Çizelge 4.2. 8-bitlik paralel toplayıcıda gecikme ve güç değerleri.....	51
Çizelge 4.3. 4x4'lük dizi çarpma devresinde gecikme ve güç değerleri.....	52

1. GİRİŞ

1947’de transistorun icat edilmesi ile başlayan ve tümdevre teknolojilerinin ortaya çıkması ile hız kazanan “katı ortam elektroniği” yayılabilirlik, doğurganlık ve üretkenlik bakımından teknoloji tarihinde benzeri görülmemiş bir konum kazanmıştır. Daha çok “mikroelektronik” adı ile anılan bu geniş ve dinamik teknoloji alanı, dünyada son 50 yılda üretilmiş olan yeniliklerin, sağlanmış olan gelişmelerin büyük çoğunluğunun “olmazsa olmaz” kaynağı yahut desteği olmuştur. 1965’de G. Moore’un yapmış olduğu gelişme öngörüsü; yıllara göre transistor boyutlarının üstel olarak küçülmesi, bir tümdevre (chip) içindeki transistor sayısının üstel olarak artması ve birim transistor maliyetlerinin de üstel olarak azalması, günümüze kadar önemli bir sapma olmadan geçerliliğini korumuştur (Leblebici vd., 2004).

Çok büyük ölçekli tümdevre (VLSI-very large scale integration) tasarım yöntemleri hızla gelişen elektronik endüstrisi için temel bir çözüm haline gelmiştir. VLSI devre tasarım yöntemleri ile tasarlanan tümdevreler düşük maliyetli olup çok hızlı ve güvenli çalışabilmekte ve çok küçük alanlara sığabildikleri için milyonlarca transistorun tek bir yonga içinde gerçekleştirilmesine olanak sağlamaktadır. CMOS (complementary metaloxide semiconductor) VLSI devre tasarım yöntemi sayısal mantık devreleri tasarımına dayandığı için, karmaşık sistemlerin tasarımı ve gerçekleştirilmelerini de kolaylaştırmakta ve CMOS devreler yüksek gürültü marjinine sahip olduklarından daha güvenli çalışabilmektedirler. CMOS devrelerin bir başka önemli özelliği de çok az güç harcamalarıdır. Bütün bu özelliklerin sonucunda CMOS VLSI devre tasarım yöntemleri ve bu teknolojiye gelişmeler, 1971’de ilk mikroişlemcinin üretilmesiyle başlayıp günümüzün süper mikrokomputer yongalarına kadar uzanan ve mikroişlemci/ mikrodenetleyici/mikrokomputer tasarımlarında yaşanan çok hızlı ve büyük gelişmelerin itici gücü olmuştur (İsmailoğlu, 1996).

Günümüzün elektronik cihazlarındaki gelişmeler cihazların pille ve kablosuz olarak çalışması yönünde yoğunluk kazanmıştır. Dizüstü bilgisayarlar, mobil telefonlar, müzik ve video temelli çoklu ortam aygıtları gibi elektronik cihazlar gün geçtikçe daha performanslı ve daha çok işlevli olarak imal edilmeye çalışılmaktadır.

Cihazların taşınabilir olması cihazlarda pil kullanımını gerektirmektedir. Pil teknolojisindeki gelişmeler sınırlı olduğundan, uzun pil dayanım sürelerinin elde edilebilmesi için cihazların güç tüketiminin en aza indirilmesi gerekmektedir.

Sayısal sistemlerin hızını artırma yönündeki çalışmalar günümüz kişisel bilgisayar teknolojisinde çok güçlü iş istasyonlarını, sofistike bilgisayar grafiklerini ve gerçek zamanlı video işleme ve ses algılama gibi çoklu ortam kabiliyetlerini mümkün kılmıştır. Bunun neticesi olarak ve de güçlü anabilgisayarlara erişimin kısıtlı olması hızlı işlem kabiliyetini ortalama bir kullanıcının varsayılan beklentisi haline getirmiştir. Bununla birlikte yine kullanıcıların bilgisayarları kullanım eğilimlerinde dikkat çeken bir değişiklik de, bilgisayarlara erişimin herhangi bir yerden sağlanabilmesi isteği olmuştur. Bu istek beraberinde, bilgisayarın bir ağa kabloya ihtiyaç duymadan bağlanabilme kabiliyetinin olmasını gerekli kılmıştır. Taşınabilirlik özelliği bilgisayar boyutlarında, ağırlığında ve güç tüketiminde çeşitli sınırlamalar getirmektedir. Güç tüketimi özellikle önem arz etmektedir çünkü konvansiyonel nikel-kadmiyum pil teknolojisi her bir pound ağırlık için sadece 20 Wh'lik enerji sağlayabilmektedir. Pil teknolojisindeki gelişmeler devam etmekle beraber performansta çok önemli bir artışın sağlanabileceği öngörülmektedir (Chandrakasan, vd., 1992).

Yakın geçmişe kadar taşınabilir sayısal cihaz uygulamalarındaki yönelim düşük güç tüketimi ve düşük iş üretimi olan cihazlar iken, örneğin kol saatleri ve taşınabilir hesap makineleri gibi, günümüzde düşük güç tüketimi ve yüksek iş üretimi gerektiren uygulamaların sayısı oldukça fazlalaşmıştır. Bunlara örnek olarak bilgisayar endüstrisinin en hızlı büyüyen kısmı olan ve masaüstü bilgisayarlarındaki işlem kabiliyetine sahip olması istenen dizüstü ve notebook bilgisayarlar ile tablet PC'ler gösterilebilir. Buna eşdeğer ihtiyaçları bulunan diğer bir sektör ise kişisel haberleşme servisleridir. Bu servislerin en yaygın örneği, karmaşık ses sıkıştırma algoritmalarını, sofistike radyo-modemleri, yüksek çözünürlüklü renkli LCD ekranları ve kameraları, cepte taşınabilir büyüklükte cihazların içerisinde barındıran günümüz hücresel telefon ağlarıdır. Kişisel haberleşme servisleri, hareketli görüntü oynatabilme, ses algılama yöntemiyle kontrol gibi artan özellikleri ve bu özellikleri karşılayabilmek için artan güç tüketimi ile durumu daha da dramatikleştirmektedir.

Bu uygulamalarda kablosuz iletim ortamlarında sadece ses iletilmemekte bununla birlikte veri de iletilmektedir. Bu da kullanıcılara, içerisinde düz metin verisi ile birlikte ses ve görüntü barındıran çoklu ortam veri tabanlarına erişim imkanı sağlamaktadır. Zikredilen servislerin verilebilmesi amacıyla, hareketli ve sesli görüntü bilgisini sıkıştırmak ve sıkıştırılmış veriyi açmak ve de ses tanıma için gerekli olan güç, taşınabilir cihazların analog alıcı-verici ve ses kodlayıcısı tarafından zayıflatılmış olan güç bütçesine eklenmiş durumda olmalıdır. Taşınabilirliğin artık düşük iş gücü ile olmayacağını, taşınamaz iş istasyonlarının kabiliyetlerinden daha fazlasını barındıran taşınabilir, az güç tüketimi gerektiren cihazları talep eden günümüz uygulamaları bize göstermektedir (Chandrakasan, vd., 1992).

Enerjinin her zaman var olduğu taşınabilir olmayan uygulamalar da düşük güç tüketimi artık çok kritik olmuştur. Günümüzde artan işlemci frekansları, transistor sayısı ve küçülen paketleme boyutları nedeniyle bu güç tüketimi daha fazla önem kazanmıştır. Bu değerler artmaya devam ettikçe sistemde oluşan ısıyı uzaklaştırmak için kullanılacak olan soğutma cihazları toplam maliyette önemli bir artışa sebebiyet verebileceği gibi, gerçekleştirebilecek fonksiyonlara da sınırlama getirilmesine neden olabilir (Chandrakasan, vd., 1992; Landman, 1994).

Bu sebeplerden açıkça görüldüğü üzere, yüksek iş kabiliyetine sahip ve de az güç tüketimi olan sayısal sistem tasarım metodolojilerine ihtiyaç vardır. Transistor üretim teknolojisindeki gelişmeler bu artan ihtiyaçları karşılayabilmek noktasında tasarımcılara serbestiyet kazandırmaktadır. Küçülen transistor boyutları ile beraber yüksek yoğunluklu düşük parazitik etkilerin bulunduğu paketleme yöntemlerinin gelişmesi de kullanılan transistor sayısının artmasını sağlamaktadır. Bu gelişmeler neticesinde sorulması gereken yeni soru, bu artan kabiliyetin düşük güç harcama amacının gerçekleştirilebilmesi için nasıl kullanılması gerektiğidir. Dikkate alınması gerek diğer bir önemli hususta çoğu uygulamanın gerçek zamanlı olması gerektiğidir. Radyo-modem, ses ve görüntü sıkıştırma ve ses tanıma işlemleri tavan değerlere yakın işlem gücü isterler. Dizüstü bilgisayarlardaki konvansiyonel güç tasarrufu cetvelleri genellikle gücü kesmek şeklinde oldukları için bu sürekli aktif olması gereken işlemler için uygun değildir.

Entegre üretimdeki gelişmeler entegre içindeki transistör sayısının her geçen sene artmasını ve çalışma frekansının sürekli yükselmesini sağlamaktadır. Çizelge 1.1. de bu durum özetlenmiştir. Artan transistör sayıları ve yükselen frekans değerleri beraberinde güç tüketiminde önemli bir artışı da getirmiştir. Bunu neticesi olarak ortaya çıkan yüksek ısının ortamdan uzaklaştırılması gerekliliği çıkmıştır. Isının uzaklaştırılması için kullanılan fan ve soğutucu maliyetlerinin azaltılması yine güç tüketiminin azaltılabilmesi ile mümkündür.

Dar bir alanda yerleştirilmiş çok sayıda transistörün açığa çıkardığı ısı eğer ortamdan uzaklaştırılmazsa, entegre içindeki transistörlerin çalışmasını etkileyecek ve dolayısı ile entegrenin vazifesini yerine getirememesine sebebiyet verecektir. Yüksek ısı silikon ara bağlaşımlarında yorgunluğa, entegre paketinde problemlere, elektriksel performansta sapmalara ve jonksiyon yorgunluklarına sebebiyet verecektir Bu da dolayısı ile sistemin kararsız çalışmasına sebep olacaktır. Ortaya çıkan ısı miktarının en aza indirilmesi yine düşük güç harcayan CMOS tasarımları ile mümkündür.

Isı olarak harcanan enerji kayıp olarak düşünüldüğünde düşük güç harcayan tasarımların önemi daha iyi anlaşılabilir. Amerika Birleşik Devletlerinde bilgisayarların ülkede harcanan toplam gücün %10'unu harcadıkları tespit edilmiştir. Yine bir ofiste harcanan enerjinin %50'si bilgisayarlar tarafından harcanmaktadır.

Çizelge 1.1. Yıllara göre entegre üretimdeki oluşan ve beklenen gelişmeler. (Anonim, 2004)

Yıl	1999	2002	2005	2008	2011	2014
Transistör büyüklüğü (nm)	180	130	100	70	50	35
Mantık Kapıları trans/cm ²	6.2M	18M	39M	84M	180M	390M
Saat Frekansı (MHz)	1250	2100	3500	6000	10000	16900
Entegre Büyüklüğü (mm ²)	340	430	520	620	750	900
Besleme Voltajı (V)	1.8	1.5	1.2	0.9	0.6	0.5
Yüksek Perf. Güç Tük. (W)	90	130	160	170	175	183

Düşük güç kullanımı gerektiren uygulamalara örnekleri aşağıdaki gibi sınıflandırabiliriz:

- i. Pil ile beslenen taşınabilir sistemler: Dizüstü bilgisayarlar, avuçiçi bilgisayarlar, CD çalarlar, tercüme cihazları, sıkıştırılmış biçimdeki ses ve müzik dosyalarını çalan cihazlar.
- ii. Mobil iletişim cihazları: Telsiz telefonlar, hücresel telefonlar, PDA cihazları, çağrı cihazları.
- iii. Giga Hertz mertebesindeki frekanslarda çalışan işlemciler
- iv. Diğer uygulamalar: Kablosuz yerel alan ağ cihazları, Elektronik araç gereçler ve ev aletleri

2. KAYNAK ÖZETLERİ

Düşük güç tüketen tasarım ve yöntemleri konusunda uzun yıllardır bir çok çalışma yapılmış ve halen de yapılmaya devam edilmektedir. Bu çalışmada kendilerinden faydalanılan düşük güç tasarım teknikleri ve transistör ölçeklemesi ile çalışmalar aşağıda özetlenmiştir.

Shyu, vd. (1988), transistör ölçeklemesi için deneme yanılma yönetimini ve matematiksel programlama yöntemini birleştiren bir metod sunmuşlardır. Çalışmalarında hızlı bir deneme yanılma algoritması kullanarak devrenin başlangıç büyüklüğünü tespit etmişler ve transistör ölçekleme problemini lineer olmayan bir optimizasyon problemine dönüştürmüşlerdir. Bu problem daha sonra matematiksel teknikler kullanılarak çözülmüştür.

Hsieh ve Ostapko (1991), yaptıkları çalışmada temel VLSI CMOS hücresinde transistör boyu optimizasyonu problemini çözmek için yeni bir yaklaşım sunmuşlardır.

Wu, Vander Zanden, ve Gajski (1990), otomatik transistör ölçeklemesi için yeni bir metod sunmuşlardır. Sunulan metod 3 ayrı aşamadan oluşmaktadır. Bu aşamalar: Kritik yol analizi, transistör ölçeklemesi ve geri ölçeklemedir. Bu yaklaşım konvansiyonel ölçekleme metodlarından farklıdır. Çünkü konvansiyonel ölçekleme metodları, verilen tasarımı sadece bölgesel olarak optimize ederken, bu metod tüm yollardaki gecikmeleri aynı anda azaltmaktadır. Geri ölçekleme yaklaşımı kullanılarak, minimum boyuta indirilen transistörler istenen zamanlama kriterlerine ulaşmak için tekrar boyutlandırılmaktadır. Yapılan deneysel çalışmalar ile algoritmanın gecikme sürelerini iyileştirdiği gösterilmiştir.

Chandrakasan, Sheng, ve Brodersen (1992), CMOS sayısal devrelerinde, işlem gücünü azaltmadan, harcanan enerji miktarını azaltmaya yönelik yöntemleri incelemişlerdir. İncelenen yöntemler mümkün olan en düşük besleme voltajını kullanma, mimari ve mantık yapısı, devre ve üretim teknolojisi optimizasyonlarıdır.

Mimari tabanlı bir ölçekleme stratejisi önermişler ve önerilerinde kullanılacak olan optimum besleme voltajının diğer ölçekleme yöntemleri tespit edilenlerden çok daha düşük olduğunu göstermişlerdir.

Borah, Owens, ve Irwin (1996), gecikme süresinin belirli bir değerin altında olması istenen bir CMOS devresi için güç harcamasını azaltacak doğrudan bir yaklaşım sunmuşlardır. Hali hazırda varolan, CMOS devrenin harcadığı gücün devrenin aktif alanıyla doğru orantılı olduğu savına zıt olarak, güç tüketiminin aktif alanın konveks bir fonksiyonu olduğunu göstermiştir. Bir devrenin, transistor büyüklüğü bazında, hem kapasitif hem de kısa devre güç harcaması analitik olarak formüle edilmiştir. Analitik modelin doğruluğu SPICE devre simülasyonu ile gösterilmiştir.

Yuan, ve Svensson (1996), çalışmalarında transistor ölçeklemesini sadece CMOS devrenin gecikme süresini optimize etmek için değil, aynı zamanda güç-gecikme çarpanının optimizasyonu için de kullanılabilceğini göstermişlerdir. Çalışmalarının amacı verilen gecikme süresine sadık kalıp en az güç harcayan devreyi elde etmektir.

Fishburn ve Taneja (1997), bir devredeki transistorların boylarının ayarlanması ile daha az güç tüketerek daha yüksek performans elde edilebileceğini göstermişlerdir. Yaptıkları çalışmada tipik olarak saat frekansını değiştirmeden harcanan gücün %50'ye kadar azaltılabileceğini ve güç sabit tutulursa da saat frekansının %25'e kadar arttırılabileceğini göstermişlerdir.

Rogenmoser ve Kaeslin (1997), transistor büyüklüğü optimizasyonunun, CMOS VLSI devrelerinde, harcanan gücü azaltmak için kullanılacak bir metot olduğunu göstermişlerdir. Yaptıkları analizlerde parazitik kapasitansların minimum transistor büyüklüklerinde etkili olmaya başladığını tespit etmiştir. Çalışmalarında hem minimum boyda hem de optimize edilmiş boyda transistorlar kullanarak yapılan simülasyonlarla bu tespitlerini doğrulamışlardır.

Das (2000), zaman optimizasyonu için yeni bir transistor ölçekleme tekniği sunmuştur. Bir başlangıç çözümünden başlanarak istenilen zamanlama kriterine

varmak için transistörlerin genişlikleri iteratif olarak artırılır. Zamanlama ve alan performansındaki artışlar birkaç gerçek devrede gösterilmiştir.

Wroblewski, Schumecher, Schimpfle, ve Nossek (2001), transistör ölçeklemede kullanılacak uygun transistör topolojisinin seçimi için bir metod sunmuşlardır. Bir mantık kapısının gecikmesi doğrudan transistör büyüklüğüne bağlı olduğu için kanal genişliğindeki ve boyundaki farklılıklar, değişik yollardaki gecikmeleri eşitleme amacıyla kullanılabilir. Bu, devrenin toplam gecikme süresini etkilemeyecektir. Bu yöntemle glitch olayları engellenebilir. Yapılan çalışmada otomatik devre optimizasyonu için GLIMETS adında bir program geliştirilmiştir. Deneysel çalışmalarda da geliştirilen metodun belirgin enerji kazançları sağladığı gösterilmiştir.

Stojanovic vd. (2002), bir devrenin potansiyel enerji tasarrufu sağlayabileceği noktaları, devrenin verilen bir gecikme süresi sınırları içerisinde kalması şartı ile, besleme voltajı ve kapı boyutlarının optimizasyonu ile göstermişlerdir. Çalışmaları neticesinde gecikme süresinin minimum gecikme süresinden %20 artırılması ile %40 ila %70 oranında enerji tasarrufu elde edilebileceğini göstermişlerdir. Ayrıca transistör boyu ölçeklendirmesi optimizasyonunun düşük gecikme artışları, besleme voltajı optimizasyonunun ise daha büyük gecikme artışları için kullanılmasının uygun olacağını belirtmişlerdir. Her iki optimizasyon yönteminin birlikte kullanılması ile enerjide %70'e varan tasarruflar elde edilebileceği çalışmalarında belirtilmiştir.

Ebergen, Gainsley ve Cunningham (2004), bir asenkron kontrol devresinde transistör boylarını hesaplamak için basit bir model sunmuşlardır. Sunulan model transistör boylarını, hız ve devrenin enerji tüketimiyle ilişkilendirmektedir. Transistör boylarının hızlı bir biçimde nasıl hesaplanacağı ve devrenin hız limitinin hesaplanması gösterilmiştir. Aynı zamanda üretim teknolojisinden bağımsız olarak devrelerin enerjiye karşılık hız anlamında nasıl kıyaslanacağı belirtilmiştir.

3. MATERYAL VE YÖNTEM

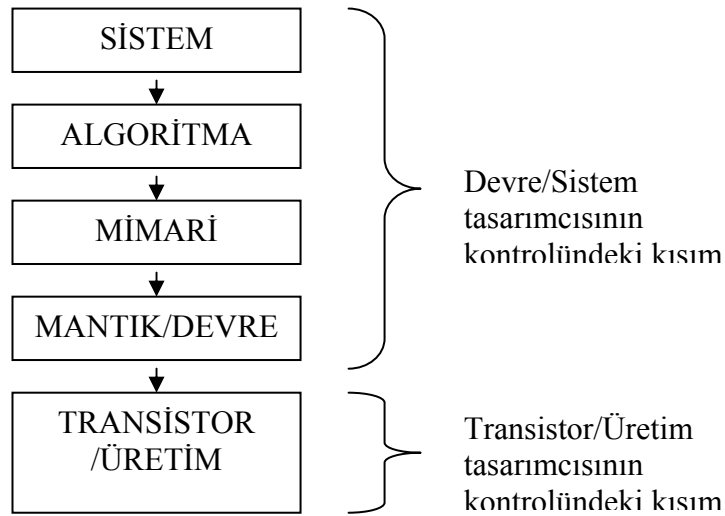
3.1. Materyal

Bu araştırma 2004-2005 yılları arasında gerçekleştirilmiştir. Araştırmada SPICE devre simülasyon programı kullanılarak çeşitli toplayıcı ve çarpma devreleri simüle edilmiştir. Simülasyonlarda ilk hedef oluşturulan devrede güç harcamasının transistor boylarının ölçeklenmesi ile minimuma düşürülmesidir. Harcanan gücün azaltılması esnasında devrenin kendisinden beklenen işlemleri yapması noktası dikkate alınmıştır. Oluşturulan bu devrelerin besleme voltajları da değiştirilerek harcanan güç değerlerindeki değişimler kaydedilmiştir.

Düşük güç harcayan tasarımların gerçekleştirilebilmesi için güç harcamasına sebebiyet veren yapıların öncelikle bilinmesi gerekmektedir. Takip eden bölümlerde öncelikle sayısal CMOS devrelerde güç harcamasına etki eden faktörler ve harcanan gücü azaltmaya yönelik yöntemler incelenmiştir.

3.2. Düşük Güç Tasarımı

Düşük güç tasarım metodolojisi aşağıda gösterildiği gibi özetlenebilir.



Takip eden konularda ilk olarak CMOS sistemlerde harcanan gücün sebepleri ve daha sonra harcanan gücün azaltılması için kullanılan yöntemlerin detayları belirtilmektedir.

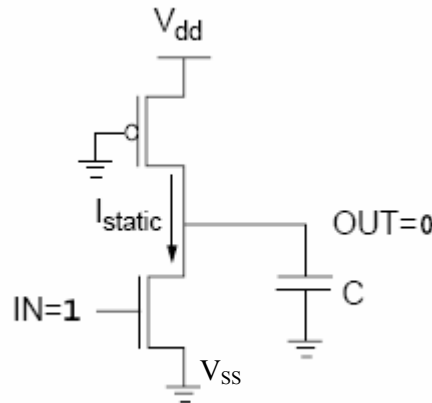
3.2.1. Güç Tüketimi

Bir CMOS devresinde tüketilen güç miktarını belirleyen iki bileşen vardır. Bunlar:

- Kaçak akımlar veya başka akımlar sebebi ile güç kaynağından sürekli çekilen statik güç tüketimi
- Dinamik güç tüketimidir. Dinamik Güç tüketimi de iki kaynaktan neşet eder:
 - Anahtarlama geçiş akımları
 - Yük sığalarının dolma ve boşalmaları

3.2.1.1. Statik Güç Tüketimi

Şekil 3.1. deki tümler CMOS kapısı göz önüne alındığında, eğer giriş = '0' ise ilgili n-transistor "KAPALI" ve p-transistoru "AÇIK" olacaktır. Çıkış voltajı V_{dd} veya lojik '1' olacaktır. Giriş = '1' olduğunda ilgili n-kanallı transistor "AÇIK" ve p-kanallı transistor ise "KAPALI" olacak şekilde öngerilimlendirilmiş olur. Çıkış voltajı ise '0' (V_{ss}) voltur. Dikkat edilecek husus transistörler bu lojik durumlardan birinde iken, birisinin her zaman "KAPALI" olduğudur. Gate terminalinden hiç akım



Şekil 3.1.pseudo-NMOS inverterde statik güç harcaması

akmadığı için ve de V_{dd} 'den V_{ss} 'e doğru, doğru akım yolu olmadığı için nihai kararlı durum akımı ve dolayısıyla tüketilen güç sıfırdır.

İdeal durumda, V_{dd} 'den V_{ss} 'e doğru, doğru akım yolu olmadığı için CMOS devreleri statik (DC) güç tüketmezler. Fakat bu durum pratikte hiçbir zaman gerçekleştirilebilir değildir. Substrat ile difüzyon bölgesi arasındaki kaçak akımlar sebebiyle az bir miktar statik tüketim mevcuttur. Buna ek olarak alteşik iletimi de statik tüketime katkıda bulunabilir. Efektif W/L oranı 10/0,5 olan mikron altı bir NMOS eleman için, V_{dd} değeri 5V iken substrat akımı $1\mu\text{A}$ ila $100\mu\text{A}$ mertebesindedir. Substrat akımı en yüksek değerine kapı voltajı değeri 0,4. V_{dd} iken ulaştığı ve kapı voltajı bu değere eleman anahtarlama yaptığı esnada geçici olarak ulaştığı için, substrat akımından kaynaklı güç harcaması diğer sebeplerden kaynaklanan güç harcamasının çok altında kalmaktadır. (Chandrakasan, vd., 1992; Landman, 1994; Weste, 2000)

3.2.1.2. Dinamik Güç Tüketimi

'0' dan '1' e veya '1' den '0' a geçiş esnasında hem n-transistorlar hem p-transistorlar kısa bir süreliğine açık durumda olurlar. Bu, V_{dd} 'den V_{ss} 'e doğru kısa devre akımına sebebiyet verir. Bu fenomenin detaylı bir analizi Veendrick tarafından gerçekleştirilmiş olup dengelenmiş giriş ve çıkış yükselme zamanlarını sağlayacak dikkatli bir tasarım ile bu bileşenin toplam güç harcamasındaki payının %10-15 mertebelerinin altında tutulabileceği gösterilmiştir. Bu sonuç göstermektedir ki, CMOS devrelerinin güç harcamasında bu bileşen her zaman ihmal edilemeyecek olsa da harcamanın dominant bileşeni değildir. (Landman, 1994)

CMOS devrelerinde harcanan gücün büyük kısmı yukarıda zikredilen bileşen sebebiyle değil, kapasitif anahtarlardan kaynaklanmaktadır. Bu dinamik güç harcama bileşeni devredeki parazitik sığaların şarj ve deşarjı sebebiyle oluşmaktadır. Ayrıca çıkıştaki sığa yükünü doldurmak ve boşaltmak için de akıma ihtiyaç vardır. Bu iki akım genellikle güç harcamasını belirlemede dominantlardır. V_{dd} 'den V_{ss} 'e olan akım "kısa-devre" tüketimine sebep olur. Bu tüketim giriş sinyalinin yükselme

ve düşme süresine, yük sığasına ve kapının tasarımına bağlıdır. Tüketilen ortalama dinamik güç P_d şöyle ifade edilebilir:

$$P_d = C_L V_{DD}^2 f_p$$

Burada C_L yük sığasını, f_p giriş sinyali frekansını, V_{dd} ise besleme voltajını ifade etmektedir.

Bu ifadeden çıkarılacak netice, girişe tekrar eden bir step giriş uygulandığında, harcanan ortalama gücün devre sığasını doldurmak ve boşaltmak için harcanan enerji ile doğru orantılı olduğudur. Dikkat edilecek önemli bir husus da harcanan gücün anahtarlama frekansı ile doğru orantılı olduğu fakat transistor parametrelerinden bağımsız olduğudur (Weste, 2000).

3.2.1.3. Toplam Güç Tüketimi

Toplam güç tüketimi üç ayrı tüketimin toplamı ile elde edilir. Bu da,

$$P_{toplam} = P_S + P_d + P_{SC}$$

şeklinde ifade edilir. Burada P_S statik tüketimi, P_d dinamik tüketimi P_{SC} ise kısa devre tüketimi ifade etmektedir. Bir devredeki güç tüketimini tahmin etmek için dinamik güç tüketimi değeri kullanılabilir.

Sayısal CMOS devrelerinde harcanan gücün üç ana kaynağı mevcuttur. Bu üç ana kaynak aşağıdaki denklemde özetlenmiştir:

$$P_{toplam} = pt (CL * V * V_{dd} * f_{clk}) + I_{sc} * V_{dd} + I_{leakage} * V_{dd}$$

İlk ifade harcanan gücün anahtarlama kaynağını göstermektedir. Burada CL ile gösterilen yük sığası, f_{clk} saat frekansı ve pt de güç harcayabilecek bir geçişin olma olasılığıdır (aktivite faktörü).

Ekser durumlarda V voltaj salınım değeri besleme voltajı olan V_{dd} nin değerine eşittir. Fakat bazı mantık devrelerinde, örneğin tek kapılı pass-gate transistor

uygulamalarında, voltaj salınım değeri bazı iç düğüm noktalarında biraz daha düşük bir değerde olabilir.

Denklemdaki ikinci ifade kısa devre akımı değerini göstermektedir. Bu kısa devre akımı, NMOS ve PMOS transistörlerin aynı anda aktif hale geçerek akımı doğrudan besleme kaynağından toprağa iletmesinden kaynaklanan akımdır.

En son ifade ise kaçak akımıdır (*Ileakage*). Kaçak akımı substrat enjeksiyonlarından ve alteşik etkilerinden ortaya çıkabilir ki bu esas olarak üretim teknolojisi kıstaslarınca tespit edilmektedir. (Aktan 2003 ;Weste, 2000)

3.2.2. Güç Tüketimine Etki Eden Faktörler

Tasarlanan modüllerden büyük bir entegrenin oluşturulacağı, birçok tasarımcının yer aldığı büyük projelerde veya düşük güç harcayan uygulama tasarımlarında, genellikle uygulanan metot her bir modül için bir güç bütçesi tespit etmektir. Bu, tasarlanan modülün aşamayacağı güç tüketim değeridir. Neticede tasarımcının vazifesi tespit edilen sınırlar içerisinde kalarak modülü gerçekleştirmektir.

Güç tüketiminin azaltılması değişik yollarla elde edilebilir. DC güç harcaması, basitçe tümler lojik kapılarının kullanılması ile kaçaklardan oluşan güç harcaması mertebesine indirilebilir. Kaçakların oluşturduğu harcama ise difüzyon alanı ile doğru orantılıdır. Dolayısı ile minimum büyüklükte transistörler kullanmak güç harcamasını azaltmada avantaj sağlayacaktır. Dinamik güç harcaması ise besleme voltajının düşürülmesi, anahtarlama sığasının ve de çalışma frekansının azaltılması ile sınırlanabilir. Besleme voltajı sistem tasarımcılarının üzerinde durduğu konulardan olup, halen düşük güç harcayan sistemlerde 1 ila 3 volt besleme kaynakları kullanılmaktadır.

CMOS devreler diğer türdeki devrelere göre daha az güç harcadıklarından devre tasarımında tercih sebebi olmaktadır. Bunun başlıca sebebi, bu devrelerin sadece etkin durumdayken güç harcamalarıdır. Toplam gücün %95'i bir salınım olduğunda yük sığasının doldurulması sırasında akan akımlardan , %5'i de durağan haldeyken

akan kaçak akımlardan oluşmaktadır. Bu devrelerin güç harcama denklemi şu şekilde özetlenebilir

$$P = a \times f_c \times C_L \times V_{sw}^2 \quad (1)$$

Burada a anahtarlama işleklığı, f_c sıklık, C_L sığal yük ve V_{sw} sığal yükün gerilimindeki salınım miktarıdır. Bu denklemden de anlaşılacağı gibi harcanan gücü azaltmanın en etkin yolu besleme gerilimini düşürerek sığal yükün gerilimindeki salınım miktarını azaltmaktır.

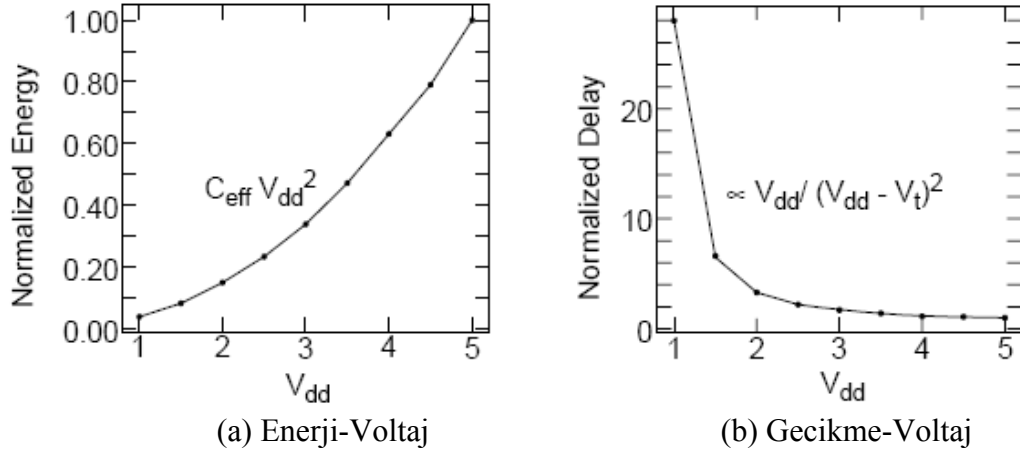
En ünlü gerilim ölçekleme yöntemi bir devrede birden fazla besleme gerilimi kullanmaktır. Düşük besleme gerilimiyle çalışan devrelerde gecikme artacağından düşük gerilimle çalışacak olan devre elemanlarının kritik yol yani devrenin gecikmesini belirleyen ana yol üzerinde olmamaları gerekmektedir (Chandrakasan, vd., 1992; Landman, 1994).

Bu bölümde voltaj, fiziksel sığa ve aktivite değerlerinin güç tüketimine etkisi detaylı olarak incelenecektir.

3.2.2.1. Voltaj

Voltajın, (1) numaralı denklemde de görüldüğü üzere harcanan güç denkleminde ikinci dereceden bir etkisi olmasından dolayı, düşürülmesi harcanan gücün azaltılması noktasında en doğrudan ve etkili yöntemdir. Herhangi özel bir teknolojiye veya devreye ihtiyaç olmaksızın, voltajın iki birim düşürülmesi harcanan enerjide dört katı bir azalma sağlayacaktır. Bu durum Şekil 3.2.(a).’da görülmektedir.

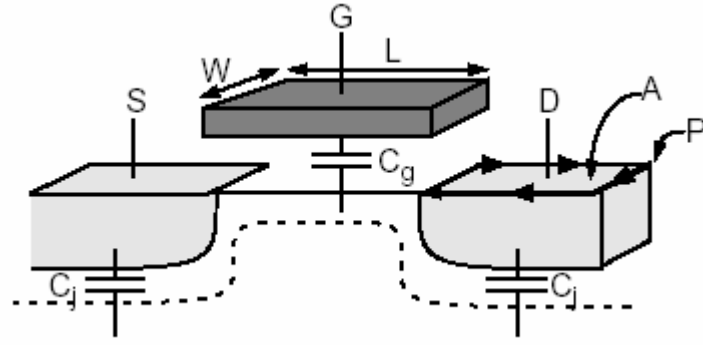
Bununla birlikte bu güç azalması global bir etki olup tesirleri sadece alt devrelerde değil tüm entegrede görülür. Bu ikinci dereceden bağıntı nedeniyle, düşük güç tüketen sistemlerin tasarımcıları genellikle, voltajı düşürebilmek için fiziksel sığa değerini ve devre aktivitesini arttırmayı göze alırlar. Ne yazık ki besleme voltajı değeri herhangi bir sınırlama olmaksızın değiştirilebilir değildir. Gerçekte sistem besleme voltajı değerini belirlemede etkili olan güçten ziyade diğer faktörlerdir. Bu faktörlerin başında istenen performans değerleri ve uyumluluk problemleri gelir.



Şekil 3.2. Besleme voltajının bir fonksiyonu olarak enerji ve gecikme eğrileri (Landman, 1994)

Besleme voltajı değeri azaltıldıkça devrenin gecikme değeri Şekil 3.2.(b). de gösterildiği gibi artar ve bu da azalan sistem performansını netice verir. V_{dd} değeri eşik voltaj değeri olan V_t den çokca büyük olduğu zaman azalan besleme voltaj değeri ile gecikmeler lineer olarak artar. Amaçlanan sistem performans değerlerinin karşılanabilmesi için gecikme sürelerindeki artışlar ihmal edilmemelidir. Gecikme etkilerinin teknolojik veya mimari olarak kompanse edilmesi gereklidir. V_{dd} değeri eşik voltajı değerine yaklaştıkça gecikme etkileri artık yönetilemez bir durum alır. Besleme voltajının $2.V_t$ değerinden daha düşük bir değere çekilmesi bu sebeple tavsiye edilmemektedir.

Özetlenecek olursa, besleme voltajını düşürmek güç harcamasını azaltmada en önemli etkidir. Voltaj değerini daha da düşürebilmek için genellikle fiziksel sığa değerini ve devre aktivitesini arttırmak makul karşılanır. Değişik voltaj seviyeleri kullanmayı kısıtlayan diğer faktörler de vardır. Bunlar hedeflenen minimum performans değeri ile uyumluluk kriterleridir ve tasarımcıları tasarladıkları sistem içerisinde kullanılan voltaj değerini sabitlemeye yönlendirirler. Besleme voltaj değeri sabitlendikten sonra yapılması gereken bu voltaj değerinde fiziksel sığa ve aktivite değerlerini azaltmak olacaktır. Takip eden iki bölümde bu konulara değinilmektedir.



Şekil 3.3. Transistor sığasının başlıca kaynakları (Landman, 1994)

3.2.2.2. Fiziksel Kapasitans

Dinamik güç tüketimi ile anahtarlanan fiziksel kapasitans arasındaki bağlantı doğrusaldır. Dolayısı ile düşük besleme voltajında çalışmaya ek olarak, kapasitans değerini azaltmak güç tüketimini azaltmada yeni bir yöntem sunar. Bu imkanın uygun biçimde değerlendirilmesinin yapılması bir devrede hangi faktörlerin fiziksel sığa değerine katkıda bulunduğunu anlamayı gerektirir. Akabinde bu faktörlerin harcanan gücün azaltılması için nasıl manipüle edilmesi gerektiği incelenebilir.

CMOS sistemlerindeki fiziksel sığanın iki kaynağı vardır: transistor elemanları ve ara bağlantılar. Transistor elemanlarında sığa değerine en büyük etkisi olan, Şekil 3.3 de görülen, kapı ve jonksiyon kapasitanslarıdır. Transistorda ince kapı oksitten kaynaklanan sığa miktarı jonksiyon kapasitans değerinden daha büyüktür. Bu bileşen kapı ile substrat veya kanal arasında paralel plakalı bir kondansatöre benzetilebilir:

$$C_g = WLC_{ox} = WL \frac{\epsilon_{ox}}{t_{ox}}$$

Bunlara ek olarak kaynak/drain jonksiyon kapasitansları da tüm transistor sığasının artmasına sebeptirler. Bu kapasitansların hem alan hem de çevre bileşenleri var olup jonksiyon üzerindeki voltaj ile lineer olmayan bağıntıları vardır:

$$C_j(V) = AC_{j0} \left(1 - \frac{V}{\phi_0}\right)^{-m} + PC_{jsw0} \left(1 - \frac{V}{\phi_0}\right)^{-m}$$

A ve P kaynak/drain alan ve çevresi, C_{j0} ve C_{jsw0} alt duvar ve yan duvar denge kapasitansları Φ_0 jonksiyon bariyer gerilimi ve m de jonksiyon derecelendirme katsayısıdır. Sıklıkla bu lineer olmayan kapasitans için doğrusallaştırılmış büyük-sinyal eşleniği kullanılır:

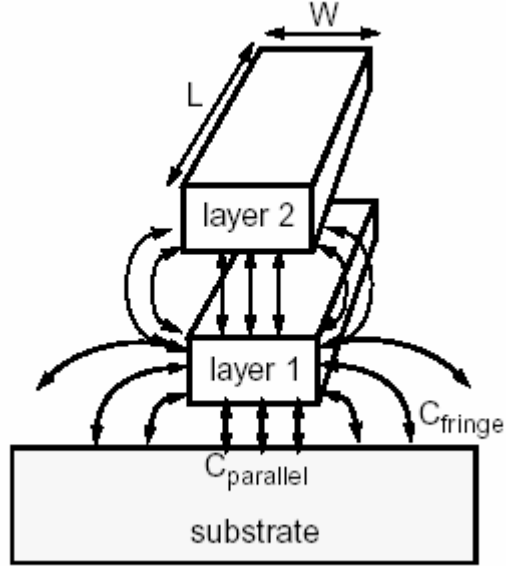
$$C_{jeq} = \frac{\int_{V_0}^{V_1} C_j(V) dV}{V_1 - V_0}$$

V_0 ve V_1 jonksiyon için tipik çalışma voltaj aralığını göstermektedir.

Geçmiş teknolojilerde transistor elemanın kapasitansı ara bağlantı kapasitans değerlerinin üzerinde idi. Teknolojiler bu değerleri küçülttüğçe durum değişti ve ara bağlantı kapasitanslarının tüm fiziksel kapasitans değerine olan etkisi dikkate alınmak noktasına gelindi. Şekil 3.4. de görüldüğü gibi ara bağlantı denilince her metalizasyon katmanı ile substrat arasındaki sığalarla birlikte katmanların kendi aralarındaki bağlama sığaları beraber düşünölmelidir.

Bu noktaya kadar olan açıklamalar ışığında fiziksel kapasitans değerinin nasıl azaltılabileceğı konusunda fikir yürütölebilir. Sığa değerlerini en düşük değerinde tutmak için küçük transistorlar ve kısa hatlar kullanılmalıdır. Voltaj değerinde olduğı gibi kapasitans değerinin optimizasyonunda da tasarımcı serbest davranamaz. Örneğın, transistor boylarını azaltmak fiziksel kapasitans değerini azaltmakla birlikte transistorları süren akımın da azalmasına sebep olacaktır. Bu da devrenin daha yavaş işlem yapmasına sebep olur. Performanstaki bu azalma tasarımcının V_{dd} değerini azaltmasına engel teşkil edebilir. Bu senaryoya göre tasarımcı voltaj değışimi ile ikinci dereceden muhtemel bir güç tasarrufunu kapasitans değışimi ile elde edilebilecek lineer bir azalmaya tercih etmiş olmaktadır. Dolayısı ile eğer tasarımcı voltaj değışikliği yapmada serbestiyete sahip ise yan etkilerini düşünmeden fiziksel kapasitans değerini azaltmak mantıklı görünmemektedir. Benzer argümanlar ara bağlantı kapasitanslarına da uygulanabilir. Eđer voltaj ve/veya aktivite değeri fiziksel ara bağlantı kapasitans değerindeki az bir artış ile kayda değer derecede azaltılabilecek ise bu harcanan güçte net bir azalmayı netice verebilir. Akıldan çıkarılmaması gereken anahtar nokta düşük güç tüketen tasarımların birleşik bir

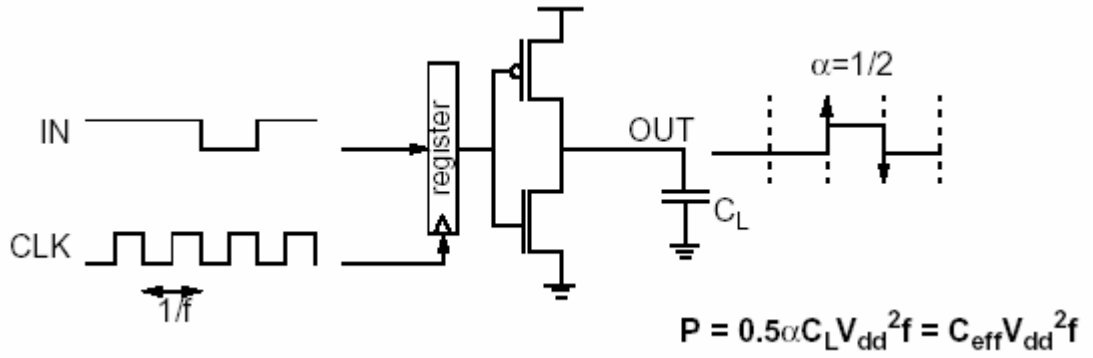
optimizasyon işi olduğu ve değişkenler üzerinde bağımsız olarak oynama yapılamayacağıdır.



Şekil 3.4. Ara bağlantı sığasının kaynakları (Landman, 1994)

3.2.2.3. Aktivite

Voltaj ve fiziksel kapasitansa ilave olarak anahtarlama aktivitesi de dinamik güç harcamasını değiştiren etkenlerdendir. Bir entegre çok büyük bir fiziksel sığaya sahip olabilir fakat eğer anahtarlama yoksa hiçbir dinamik güç harcanmayacaktır. Aktivite anahtarlama olayının ne kadar sıklıkla gerçekleştiğini belirtir. Anahtarlama aktivitesine etki eden iki unsur vardır. Bunların birincisi bilgi oranı, f , her bir düğüm noktasına ortalama hangi sıklıkta yeni bilginin geldiğini belirtir. Bu bilgi önceki veriden farklı olabilir veya olmayabilir de. Bu noktadan bakıldığında bilgi oranı f ortalama olarak anahtarlamanın ne kadar sıklıkta gerçekleştiği bilgisidir (bkz. Şekil 3.5.).



Şekil 3.5. Senkron sistemlerde aktivite (Landman, 1994)

Anahtarlama aktivitesine etki eden ikinci bileşen de veri aktivitesi α 'dır. Bu faktör, her bir parça bilgi gelişinde tetiklenmesi beklenen yaklaşık durum değiştirme sayısına karşılık gelmektedir. Bu durumda f veri gelişinin ortalama periyodunu belirlerken, α da her veri gelişinin ne kadar turum değişikliğine sebep olacağını belirtir.

Veri aktivite değeri α , fiziksel kapasitans değeri C ile efektif kapasitans değerini verecek şekilde birleştirilirse $C_{ef} f = \alpha C/2$ elde edilir. Bu eşitlik $1/f$ veri periyodu müddetince şarj edilen ortalama sığa miktarını göstermektedir. Harcanan güç miktarının ne sadece fiziksel kapasitans miktarı ne de sadece aktivite değeri tarafından belirlenmediği yine bu ifadede görülmektedir. Esasta bir CMOS devresinde harcamayı belirleyen bu iki değeri birleştiren efektif kapasitanstır:

$$P = \frac{1}{2} \alpha C V_{dd}^2 f = C_{eff} V_{dd}^2 f$$

Bu bahis ilk algılamada veri istatistiklerinin güç harcaması üzerinde anlamlı bir etkisinin olacağı intibahını vermektedir. Bu da güç harcamasını azaltmaya yönelik çoğu analiz tekniklerinin arkasındaki itici güçtür. Bir çok üst seviye tahmin araçlarının bir eksikliği güç harcaması üzerinde veri istatistiklerinin etkisini ihmal etmeleridir.

Voltajda ve fiziksel kapasitansta olduđu gibi anahtarlama aktivitesini azaltacak teknikler enerji tasarrufu sađlayan yöntemler olarak görülebilir. Örneđin sign-magnitude gibi bazı veri gösterim biçimleri yapısı geređi ikinin tümlevi gösteriminden daha az aktiviteye sahiptir. Fakat sign-magnitude aritmetiđi ikinin tümlevi aritmetiđinden çok daha karmaşık olmasından dolayı azalan aktivite deđeri için ödenmesi gereken bir bedel oluşmaktadır ki bu da artan fiziksel kapasitans deđeridir. Çıkan netice yine düşük güç tüketen tasarım işinin gerçekten birleşik bir optimizasyon problemi olduğunun kanıtıdır. Özellikle de aktivitenin optimizasyonu voltaj ve kapasitans üzerindeki etkileri dikkate alınmadan bađımsız olarak üstlenilebilir deđildir.

3.2.3. Düşük Güç Tüketen Sistem Tasarımında Yinelenen Konular

Şu ana kadar anlatılan bölümlerde CMOS sistemlerde harcanan gücün ana kaynađı olan dinamik güç harcaması ve buna sebebiyet veren üç parametre: voltaj, fiziksel sığa ve aktivite deđeri incelenmiştir. Takip eden konularda daha özel güç azaltma teknikleri incelenecektir. Bu tekniklerin takip ettikleri içinde az sayıda ortak konular mevcuttur. Temel ilke olarak sayılan üç konu: güç için alan/performans deđiş tokuşu, israftan kaçınma ve veride yerelliđin azaltılmasıdır.

Üç konunun içerisinde belki de en önemlisi güç için alan/performans deđiş tokuşudur. Bölüm 3.2.2.1'te belirtildiđi gibi, harcanan güç sistemin performansının azalmasına göz yumularak besleme voltajı deđeri düşürülmesi ile azaltılabilir. Bu güç harcamasının azaltılması için performans deđiş tokuşuna bir örnektir. Sistem tasarımcısı performans deđerinden ödün vermek istemediđi durumlarda paralel işlem gibi teknikleri düşük voltaj deđerinde performans elde etmek için deđerlendirebilir. Bu tür tekniklerin çođu alan miktarında artışı gerekli kıldıđı için bunlar güç harcamasının azaltılması için alan deđiş tokuşu olarak düşünülebilir.

Yinelenen konulardan birisi de israftan kaçınmadır. Örneđin saat modülleri atıl durumda kaldıkları anda güç israf ederler. Glitch oluşumu da israf olan güce bir örnektir, veri yolunun dengelenmesi ve uygun lojik ailesinin seçimi ile önüne

geçilebilir. İsrافی önlemenin diğeri bir yöntemleri de programlanabilir donanım yerine yapılacak iş için tahsis edilmiş donanımı kullanmak ve kontrol karmaşıklığını uygun algoritmalar ve mimariler kullanarak azaltmaktır. İsrافی azaltma, sistemden beklenen performansı aşmak yerine sistemi performans değerlerini sağlayacak şekilde tasarlamak şeklini de alabilir. Bir uygulama 25 MIPS işlem gücü gerektirdiği halde iki katı güç harcaması ile 50 MIPS işlemci tasarlamak hiçbir avantaj sağlamayacaktır.

Veride yerelliğın azaltılması da düşük güç tüketen tasarımların önemli yinelenen konularındandır. Sistemde global işlemler doğal olarak fazla güç tüketilmesine sebep olacaktır. Veri büyük veri yolu sığalarını anahtarlamak maliyeti ödenerek entegrenin bir kısmından diğeri bir kısmına transfer edilmek durumunda olabilir. Bundan öte, kötü bölümlendirilmiş tasarımlarda aynı verinin entegrenin birden fazla yerinde depolanması gücün israf edilmesine sebebiyet verebilir. Bunun zıttı olarak yerelliğın azaltılması yerel ara bağlantıları azaltacak şekilde güç harcamasını arttıran global haberleşmelerin minimize edilmesine imkan sağlayacaktır.

Harcanan güç miktarını azaltmaya yönelik tekniklerin tamamı zikredilen üç metotla sınıflandırılmayacak olmakla beraber, bu üç metot takip eden konularda kullanılan stratejilerin çoğunu izah etmektedir.

3.2.4. Teknoloji Bazında Güç Tüketimini Azaltma Yöntemleri

Bu başlık altında paketleme ve üretim teknolojileri incelenecektir.

3.2.4.1. Paketleme

Sıklıkla, tüm entegrenin harcadığı toplam enerjinin anlamlı bir kısmını sadece çekirdekte yapılan işlemlerle ilişkilendirmek doğru olmayıp entegre dışı kapasitansları sürmek için harcanan enerjiyi de dikkate almak gerekmektedir. Bu durum şaşırtıcı değildir çünkü entegre dışı sığa miktarları onlarca piko (10^{-12}) farad mertebesinde iken entegre iç kapasitans miktarları onlarca femto (10^{-15}) farad

mertesindedir. Konvansiyonel paketleme teknolojilerinde her bir entegre bacađı yaklaşık 13-14 pF'lık sığa değeri artışa sebebiyet vermektedir. Dinamik güç harcaması kapasitans ile doğru orantılı olduđu için giriş/çıkış güç harcaması tüm entegrede harcanan gücün önemli bir miktarını teşkil edebilir. Giriş/çıkış güç harcamasının toplam harcamanın $\frac{1}{4}$ 'ten $\frac{1}{2}$ 'ye kadarını oluşturabilecek olması çok entegreli sistemlerde giriş/çıkış güç harcamasının azaltılmasını yüksek öncelikli hale getirmektedir. Bu amaçla geliştirilmiş olan çok entegreli modüller (MCM) entegre dışı hatların fiziksel kapasitans değerlerinde keskin düşüşler sağlamaktadır. Çok entegreli modüller sadece güç harcamasını azaltmakla kalmayıp, azalan ara bağlantı mesafeleri ve sığa değerleri ile sistemdeki gecikmelerin azalmasını dolayısı ile sistem performansının artmasını da sağlamaktadır. Yine bu teknoloji sayesinde sistemlerin efektif bütünleşme oranları, toplam transistör sayısı oldukça arttırılabilmektedir. Bu da güç harcamasının azaltılması için alan deđiş tokuşu kullanan sistemlerde daha fazla esneklik sağlamaktadır.

3.2.4.2. Üretim Teknolojisi

Paketleme konularına ilave olarak, üretim (veya fabrikasyon) teknolojisi de harcanan güç miktarını belirlemede önemli rol oynamaktadır. Üretim teknolojisine dayalı iki teknik mevcuttur: Boyut ölçeklemesi ve eşik voltaj değeri ölçeklemesi.

Boyut ölçeklemesi

Transistör fiziksel boyutların ölçeklenmesi devrenin harcadığı gücün azaltılmasında çok bilinen bir metottur. Temel olarak ölçekleme tüm yatay ve dikey büyüklüklerin birden büyük bir faktör, S, ile azaltılmasıdır. Yapılan işlem transistör genişliğinin ve boyunun azalması, oksit tabaka kalınlığının incilmesi, boşalma bölgesinin daralması, ara bağlantı genişliklerinin ve kalınlıklarının azalması ve sair bunun gibi neticeleri doğuracaktır. Bunlar kapasitans değerinde S oranında bir azalma meydana getireceklerdir. Eğer sistemin besleme voltajı ve veri oranı deđiştirilmez ise kapasitansdaki bu S oranındaki ölçekleme doğrudan güç harcamasına tesir eder; netice de:

Sabit voltaj, sabit veri oranında: $P \propto \frac{1}{S}$

Eğer somut bir örnek verilmek istenirse, MIPS Teknolojileri 1994 yılında yeni ürettikleri 64b RISC işlemcilerinde 0.80 μ dan 0.64 μ a geçmekle harcanan güçte %25'lik bir azalma elde etmişlerdir.

Sistemin performansında bir artış elde etmekten ziyade istenen değer elde edilmesinin yeterli olduğu bir durum için boyut ölçeklemesi ile elde edilecek performans artışı daha az enerji tüketim amacı ile besleme voltajı düşürülmesi ile değiş tokuş edilebilir. Özel durumlarda V_t etkileri de ihmal edilecek olursa besleme voltajı değeri S^2 miktarınca azaltılabilir. Bu transistor akımlarında S^4 lük bir azalmayı netice verir, buna kapasitans ölçeklemesi de dahil edilecek olursa harcanan güçte S^5 mertebesinde bir azalma elde edilebilir:

Sabit performans, değişken besleme voltajı: $P \propto \frac{1}{S^5}$

Fakat bu yöntem birçok yan etkinin ihmal edilmesini gerektirmektedir. Örneğin, ölçekleme devam ettikçe ara bağlantı parazitik kapasitansları domine etmeye başlayıp olayın resmini esaslı bir şekilde değiştirecektir. İletken bir hattın direnci uzunluğu ile doğru orantılı, kalınlık ve genişliği ile ters orantılıdır. Ölçekleme yöntemi sabitlenmiş bir sistem üzerinde düşünüldüğünden dolayı yerel ve global hat uzunlukları, genişlik ve kalınlık ile beraber S mertebesinde azalacaktır. Bu, hat direncinin S oranında artacağı anlamına gelmektedir. Hat kapasitansı ise genişliği ve boyu ile doğru orantılı oksit kalınlığı ile de ters orantılıdır. Netice olarak hat kapasitansları da S oranında azalır. Özetlenecek olursa:

$$R_w \propto S \text{ ve } C_w \propto \frac{1}{S}$$

$$t_{hat} \propto R_w C_w \propto 1$$

Bu denklemler fiziksel boyutların azalması ile kapı gecikmelerinde olan azalmanın ara bağlantılardan kaynaklı gecikmelerde görülmediği anlamına gelmektedir.

Böylece bir noktaya gelindiğinde ara bağlantı gecikmeleri kapı gecikmelerinin önüne geçecek ve besleme voltajı değerini daha fazla azaltmak mümkün olmayacaktır. Bu da göstermektedir ki güç tasarrufu ancak kapasitans değerinin azaltılması ile mümkün olmaktadır.

Buraya kadar geline noktada anlatılanlar göstermektedir ki boyut ölçekleme metodu ile güç harcaması noktasında bir noktaya kadar yarar sağlanabilmektedir. Parazitik etkenler öne geçmeğe başladığı noktada elde edilen kazançlar ya çok azalmakta veya tamamen yok olmaktadır. Dolayısı ile harcanan gücü azaltmak için yalnızca ölçekleme yöntemine bağlı kalınmamalı diğer güç azaltma tekniklerine de başvurulmalıdır.

Eşik Voltaj Değeri Azaltılması

Litografik ölçülerin ötesinde devre performansına önemli etkileri bulunan birçok parametre vardır. Örneğin düşük besleme voltajı değerinde eşik voltajının önemi çok fazladır. Bölüm 3.2.2.1’de kullanılabilir minimum besleme voltajı ile eşik voltaj değerinin ilişkisi belirtilmişti. Bu ilişki temel alındığında düşük güç tüketen tasarımlarda eşik voltaj değerinin azaltılması anlamlı olacaktır.

Ne yazık ki alt eşik iletimi ve gürültü marjini gerekleri V_t ’nin azaltılabileceği miktarı kısıtlamaktadır. İdealde V_t ’den düşük voltaj değerlerinde kapılar “kapalı” konumda düşünülmesine karşın gerçekte $V_{gs} < V_t$ iken bile her zaman bir alt eşik iletimi mevcuttur. Bu problem, özellikle alt eşik akımının dinamik düğüm noktalarının hatalı bir biçimde şarj ve deşarj olmasına sebebiyet verebileceğinden, dinamik devrelerde çok önemlidir. Kapı voltajı ve alt eşik akımı arasındaki bağıntı üstseldir. V_{gs} değerinin her 0,1 voltluk azalışı alt eşik akımının değerini yaklaşık 10 kat azaltır. Dolayısıyla statik akımların harcanan gücün çoğunluğunu oluşturmasını engellemek amacıyla ve dinamik devrelerin fonksiyonlarını yerine getirmesi için eşik voltaj değerleri minimum 0,3-0,5 volt mertebesinde tutulmalıdır.

Maalesef boyut ve eşik voltajı ölçeklemesi her zaman uygulanabilir olan seçenekler değildir. Ara bağlantıların ölçeklenebilir olmayışı, mikron altı etkileri, alt eşik iletimi gibi sakıncalardan öte, tümdevre tasarımcıları sıklıkla üretim teknolojileri üzerinde istedikleri ölçeklemeyi yapabilecek kadar bir serbestiyete sahip değildir. Yukarıda zikredilen sakıncalardan ziyade ekonomik faktörler ve de üretim kabiliyetleri minimum litografik boyutların limitlerini tespit etmektedir. Bu sebeptendir ki geniş kabul görebilmesi için düşük güç harcayan bir tasarım metodolojisi sadece teknolojik ölçeklemeye veya özel üretim tekniklerine bina edilmiş olmamalıdır. Metodoloji, hem farklı üretim teknolojilerinde uygulanabilir olmalı hem de farklı devre ve mantık türlerinde de kullanılabilirdir. Mümkün olduğunda ölçekleme ve devre teknikleri daha üst seviyeli metodolojilerle birleştirilip güç harcamasını daha da azaltmak için kullanılabilir. Ama genel olarak düşük güç tasarım stratejisi bu yöntemlere gereksinim duymamalıdır. Ölçekleme ve düşük seviyeli tekniklerin avantajları göz ardı edilemez. Fakat bunlar tasarımcıların güç tasarrufu sağlayacakları yegane alan değildir.

3.2.5. Devre Elamanları Yerleşimi Bazında Güç Tüketimini Azaltma Yöntemleri

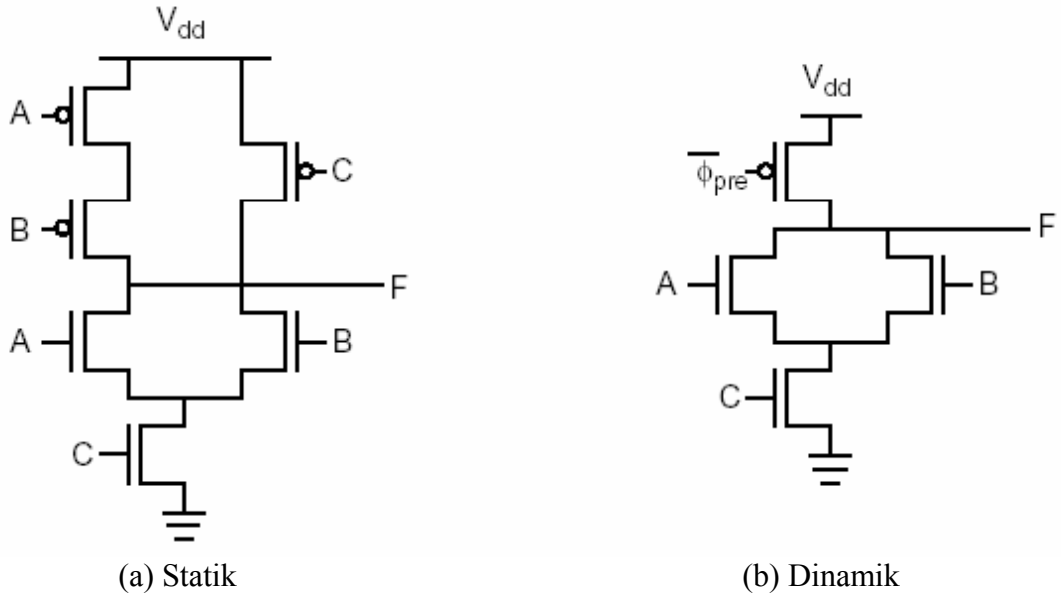
Harcanan gücü azaltmak için uygulanabilecek birkaç layout seviyesinde teknik vardır. Bu tekniklerin en basiti üst seviyedeki metallerin yüksek seviyede aktiviteye sahip olan sinyalleri iletecek şekilde seçilmesidir. Yüksek seviyedeki metallere, substratten, diğer kısımlardakinden daha fazla bir kalınlığa sahip, silikon dioksit tabakası ile fiziksel olarak ayrılmıştır. Bu hatların fiziksel kapasitans değerleri t_{ox} artışı ile lineer olarak arttığı için aktivitesi fazla olan sinyallerin yüksek seviyede bulunan metallere üzerinden iletilmesinde birtakım avantajlar vardır. Örneğin tipik bir üretim projesinde metal üç metal ikiden alan başına %30 daha az kapasitansa sahiptir.

3.2.6. Devre Türlerinin Güç Tüketimine Etkisi

Birçok devre tekniği tüketilen güç miktarını azaltmada kullanılabilir. CMOS devre stillerinin birbirlerine göre avantaj ve dezavantajları mevcuttur. Bu avantaj ve dezavantajlar sadece güç harcama noktasında düşünülmemeli tasarım kolaylığı ve sağlamlık gibi diğer konulara da eşit önem verilmelidir.

3.2.6.1. Dinamik Mantık Devre Tekniği

Statik mantıkta düğüm voltajları her zaman düğümden beslemeye doğru varolan bir iletim hattıyla sağlanır. Buna zıt olarak dinamik mantıkta düğüm noktaları beslemeye doğru hiçbir hattın bulunmadığı periyotlara girerler. Bu periyotlar esnasında düğüm voltajları düğüm kapasitanslarından sağlanır. Şekil 3.6.'da karmaşık bir mantıksal işlemin hem statik hem de dinamik mantıkla gerçekleştirimi gösterilmiştir. Dinamik durumda saat periyodu ön-şarj ve değerlendirme fazlarına ayrılmıştır. Ön-şarj esnasında çıkış V_{dd} 'ye şarj edilir. Daha sonra, bir sonraki saat fazında NMOS ağacı mantıksal fonksiyonu değerlendirir ve gerekli ise çıkış düğümünü deşarj eder. Statik CMOS a göre dinamik mantık güç harcama noktasında hem avantajlara hem dezavantajlara sahiptir.



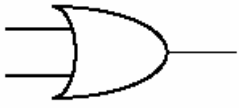
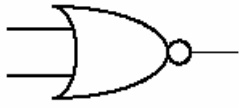
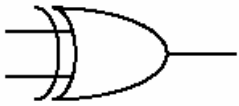
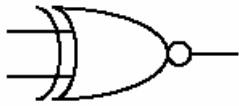
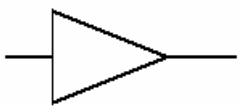
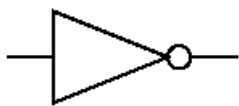


Şekil 3.6. $F = \overline{(A+B)}C$ 'nin dinamik ve statik mantıkla gerçekleştirilmesi (Landman, 1994)

Geçmişten beri dinamik tasarım stilleri kalıtsal düşük güç harcama özellikleri ile lanse edilmiştir. Örneğin dinamik tasarım stilleri sıklıkla daha az eleman sayısına sahiptir. Bu azalan eleman sayısı kapasitif yüklemeye de dolayısı ile harcanan güçte azalma anlamına gelir. Buna ilaveten dinamik kapılarda kısa devre güç harcaması görülmez. Halbuki statik devreler anahtarlama yaptıklarında V_{dd}'den toprağa doğru güç harcamasına sebebiyet verecek belirli bir akım akar. Bundan da öte dinamik mantık düğümleri her bir saat devrinde maksimum bir durum değişikliği gerçekleşmesini garanti eder. Statik kapılar bu garantiyi veremezler, çıkış düğümleri nihai durumlarına ulaşmadan önce istenmeyen durum değişiklikleri görülebilir. Bu da statik kapılardaki güç harcamasını artırır.

Fakat pratikte dinamik devreler bir takım dezavantajlara sahiptir. Örneğin, entegredeki her ön-şarj transistörü bir saat sinyali tarafından sürülmelidir. Bu durum, saat sinyalinin yayılmasını sağlayacak yoğun bir ağı ve buna bağlı olarak da kapasitans ve sürücü devresini gerekli kılar. Bu bileşenler entegrenin güç harcamasına kayda değer bir yük getirecektir. Örneğin 3,3 V'ta çalışan DEC Alpha entegresinin saat ağı, tasarıma 3,25 nF'lık kapasitans ve yaklaşık 7W veya toplam harcanan gücün %23'ü kadar güç harcaması ilave etmektedir.

Ayrıca saat, aktivitesi en yüksek sinyal olduğu ve PMOS pull-up ağına bağlı olduğundan dolayı devreye gereksiz bir aktivite katabilir. Şekil 3.7'de genel olarak kullanılan mantık kapılarında, giriş kapılarının rastsal olduğu durumlar için, enerji harcayan bir geçiş olması olasılığı (0'dan 1'e) gösterilmektedir. Tüm durumlarda dinamik kapıların aktivitesi statik kapılardan daha yüksektir.

	$P_{out}(0 \rightarrow 1)$			$P_{out}(0 \rightarrow 1)$	
	<u>Static</u>	<u>Dynamic</u>		<u>Static</u>	<u>Dynamic</u>
	3/16	1/4		3/16	1/4
	3/16	1/4		3/16	1/4
	1/4	1/2		1/4	1/2
	1/4	1/2		1/4	1/2

Şekil 3.7. Statik ve dinamik mantık kapılarının çıkış aktiviteleri (rastsal girişler için) (Landman, 1994)

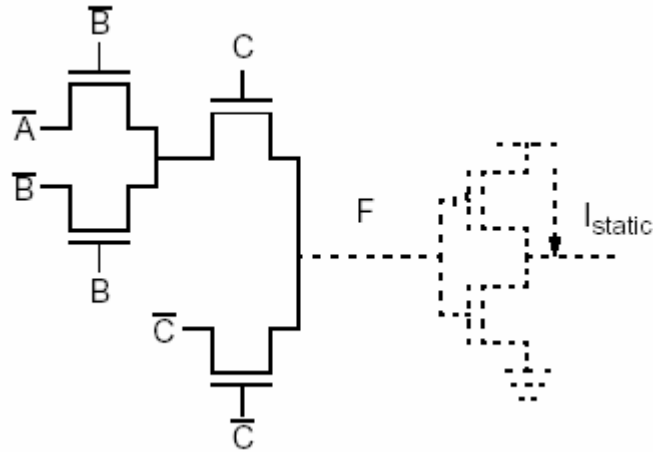
Saatin harcadığı güce ve tasarım zorluğuna ek olarak sağlamlık konusu da göz ardı edilmemelidir. Vt kadar küçük bir gürültü sinyali dahi normalde kapalı bir transistoru açmak için ve dinamik bir düğümü hatalı bir biçimde şarj veya deşarj etmek için yeterlidir. Hatta eşik voltaj değeri düşük güç harcama işlemine tabi tutularak azaltılmış olmasa bile bu değer 0,6-0,7 V mertebesindedir. Dinamik bir düğüm noktası üzerine düşecek olan bu büyüklükteki voltaj değeri beklenmedik değildir ve hatalı çalışmaya sebebiyet verebilir. Böyle bir durum şarj paylaşımı, alt eşik iletimi veya kapasitif kuplajdan kaynaklanabilir (Landman, 1994).

Sonuç olarak dinamik mantık düşük güç tüketen tasarımlarda belirli avantajlar ve dezavantajlara sahiptir. Esas olan çakışan faktörlerden hangisinin baskın olduğunu bulmaktır. Belirli durumlar için dinamik mantık uygulamaları daha düşük güç tüketimini sağlayabilir. Örneğin, dinamik mantıkla gerçekleştirilmiş bir PLA daha yüksek hızlarda ve daha az güç tüketerek çalışır. Fakat çoğu durum için elde edilen transistor kazançları çok etkileyici değildir. Bu sebeple yüksek aktiviteye sahip olan saat ağını anahtarlama için gereken güç, azalan eleman sayısından elde edilecek kazançları örtecektir. Bundan da öte, kısa devrede harcanan güç ve glitching

etkilerinin ortadan kaldırılması gibi kazançlar da statik mantıkta başka yöntemlerle elde edilebilir. Lee, konvansiyonel statik CMOS toplayıcı devresinin eşdeğer dinamik versiyonundan %47 daha fazla enerji tasarruf ettiğini göstermiştir. Tüm bunlar statik mantığın sağlamlığı ile birleştiğinde tasarımcıları düşük güç tüketen tasarımlarda dinamik mantığı kullanmada tereddüde sevk etmektedir (Landman, 1994).

3.2.6.2. Pass-Transistor Devre Tekniği

Dinamik mantıkta olduğu gibi pass-transistor mantığı da azalan transistor sayısı ihtimali sunmaktadır. Şekil 3.8’de Şekil 3.7’de gösterilen statik fonksiyonun eşdeğer pass-transistor mantığı ile gerçekleştirimi gösterilmiştir.



Şekil 3.8. $F = (A+B)C$ 'nin tümler pass-transistor mantığı ile gerçekleştirilmesi (Landman, 1994)

Dinamik mantık gibi pass-transistor mantığının da birtakım dezavantajları vardır. Birincisi, pass-transistorların voltaj sürme kabiliyetleri asimettiktir. Örneğin, NMOS transistorlar “yüksek” voltajları verimli olarak geçirmezler. Çıkışta V_t düşüşüyle beraber akım sürümde azalma görülür. Eğer çıkış bir PMOS kapısını sürmek için kullanılırsa neticede statik güç harcaması doğacaktır. Bu dezavantajlar ek donanım ile giderilebilir. Fakat bu durum azalan eleman sayısı ile elde edilen avantajı ortadan kaldıracaktır. İkinci olarak da pass-transistor ağlarının verimli bir biçimde devre yerleşiminin yapılması oldukça problemdir. Statik mantık yerine pass-transistor

mantığı kullanılmasıyla elde edilecek enerji kazancının fazla olduğu durumlar mevcuttur. Fakat bu kazanç üst düzey tekniklerin kullanılmasıyla elde edilecek kazançtan oldukça düşüktür. Lee, CMOS toplayıcıda pass-transistor mantığının statik mantığa göre sadece %10 enerji tasarrufu sağladığını belirtmiştir (Landman, 1994).

Netice olarak yine, devre seviyesi enerji kazanç metotları uygun olduğu durumlarda kullanılmalıdır. Fakat bunlar üst düzey tekniklere ilave olarak düşünölmelidir.

3.2.6.3. Asenkron Mantık Devre Tekniđi

Asenkron mantıkta senkronizasyon için global bir saat sinyali olmayıp, senkronizasyon kapılar arasında bulunan bir el sıkışma devresi ile gerçekleştirilir. Sistem seviyesinde daha yaygın olmakla beraber, devre seviyesinde asenkron mantık kabul görmemiştir. Bunun sebebi alan ve performans kriterleridir.

Güç harcama noktasında asenkron devrelere bakıldığında esas avantajlarının gereksiz kullanım olmaması olduğu görülür. Senkron mantıkta kullanılan saat sinyali hiçbir bilgi taşımadığından dolayı, saat sürme ve dağıtma devresinin harcadığı güç israf olarak görölebilir. Bu bileşenin harcadığı güçten kurtulmak belirgin yararlar sağlar. Buna ilave olarak asenkron mantıkta enerjinin israf olmasına sebebiyet veren glitching görülmez. Nihai olarak, saat sinyali olmamakla beraber işlemlerin yeni verinin varoluşuyla tetiklenmesi asenkron mantıkta bir nevi güç kapatma mekanizması olmasını sağlar.

Asenkron mantık düşük güç tasarımı için ideal gibi gözükmesine karşın birkaç husus onun düşük güç tasarım arenasında kabul görmesine engel olmaktadır. Bu hususlar, tasarımların alan olarak çok yer kaplaması ve el sıkışma devrelerinin harcadığı güçtür.

3.2.6.4. Transistor Ölçeklemesi

Kullanılan devre tekniğinden bağımsız olarak, transistor ölçeklemesi düşük güç harcayan tasarımlarda kullanılan bir tekniktir. Bu teknikte deđiş tokuşa dahil edilen

iki unsur performans ve maliyettir. Maliyetten kastedilen alan ve harcanan güçtür. Geniş kapı genişliğine sahip transistörler kendilerinden küçüklerine nispetle daha fazla akım sürme kabiliyetine sahiptirler. Ne yazık ki bu transistörler devrenin toplam sığasına daha fazla katkıda bulunurlar, bunun neticesi olarak da daha fazla güç harcanmasına sebebiyet verirler. İlave olarak, büyük elemanlar mümkün olduğu kadar kaçınılması gereken, kısa devre daha akımlarının daha büyük olmasının da kaynağıdır. Eğer devredeki tüm elemanların boyu arttırılacak olursa yükleme sığası da akım sürme kabiliyetine mukabil olarak artacak bu da parazitik kapasitans bileşenlerinin üstesinden gelmenin ötesinde performansta çok az bir artış sağlayacaktır. Bu anlamda, büyük transistörler devreye yük olarak eklenmekte ve kullanımlarından elde edilecek kazançların yeniden gözden geçirilmesi gerekmektedir. Makul olan düşük güç harcayan tasarım stratejisi mümkün olduğunca küçük boyutlarda devre elemanı kullanmaktır. Fakat kritik yol üzerinde elemanların boyutları, parazitiklerin üstesinden gelmek ve performans kriterlerini sağlayabilmek amacıyla, arttırılmalıdır. Bu yaklaşımı kullanarak Negandra vd., işaretli-bit toplayıcıda gecikmede sadece %0,3'lük bir artışa mukabil harcanan ortalama gücün %36 oranında düşürülebileceğini bulmuşlardır (Landman, 1994).

3.3. Yöntem

Materyal bölümünde zikredilen güç harcamasını azaltma yöntemlerini simüle edebilmek amacıyla 8-bitlik carry-lookahead toplayıcı devresi ve 4-bitlik bir çarpma devresi oluşturulmuştur. Kullanılan devrelerin detayları takip eden bölümlerde verilmiştir.

3.4. Toplayıcı ve Çarpma Devreleri

Bu çalışmada transistör ölçekleme tekniğinin voltaj ölçeklemesi ile karşılaştırılabilmesi amacı ile toplayıcı ve çarpma devreleri kullanılmıştır. Takip eden koularda bu devreler hakkında genel bir inceleme yapılmaktadır.

3.4.1. Toplayıcı Devreleri

Toplama işlemi sayma, çarpma ve filtreleme işlemleri gibi birçok işlemin temelini oluşturmaktadır. Bunun neticesi olarak sayısal sistem tasarımında ikilik tabandaki iki sayıyı toplayan devreler büyük önem arz etmektedir. Geniş bir çeşitlilikte toplama devreleri mevcuttur. Bu çeşitlilik istenen hız ve devre büyüklüğü isteklerini karşılamaya yöneliktir. Bu çalışmada çeşitli toplayıcı devreleri incelenmiş birbirlerine göre farklılıkları kıyaslanmıştır.

3.4.1.1. Bir Bitlik Toplayıcılar

Bir bitlik tam toplama devresinin doğrulama tablosu Çizelge 3.1.'de verilmiştir. Bu tabloda A ve B toplanacak bit girişleri C ise elde girişidir. SUM toplam çıkışı CARRY de elde çıkışıdır.

Çizelge 3.1. Tam Toplayıcı Doğrulama Tablosu

A	B	C	CARRY	SUM
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Toplayıcı devresi tasarlamının en kolay yolu toplama işlemini gerçekleştirecek mantık kapılarını gerçekleştirmektir. Doğrulama tablosundan bu mantık kapıları:

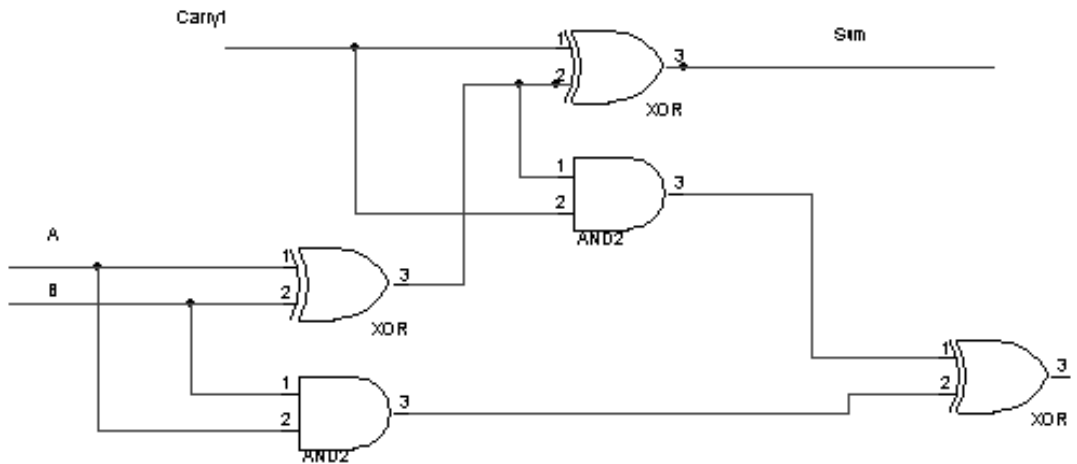
$$\begin{aligned}
 SUM &= ABC + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} \\
 &= C(AB + \overline{A}\overline{B}) + \overline{C}(\overline{A}B + A\overline{B}) \\
 &= A \oplus B \oplus C
 \end{aligned} \tag{1}$$

ve

$$\begin{aligned}
 CARRY &= AB + AC + BC \\
 &= AB + C(A + B)
 \end{aligned} \tag{2}$$

olarak bulunur.

Bu eşitlikleri doğrudan kapılarla yapacak olursak iki adet XOR, 2 adet OR ve iki adet AND kapısı kullanarak toplayıcıyı yapmak mümkündür. Şekil 3.9'da kapılar ile tam toplayıcı devresinin şeması gösterilmiştir. Bu kapıların transistor seviyesinde gerçekleştirilmesi 32 adet transistor kullanılarak yapılabilir.

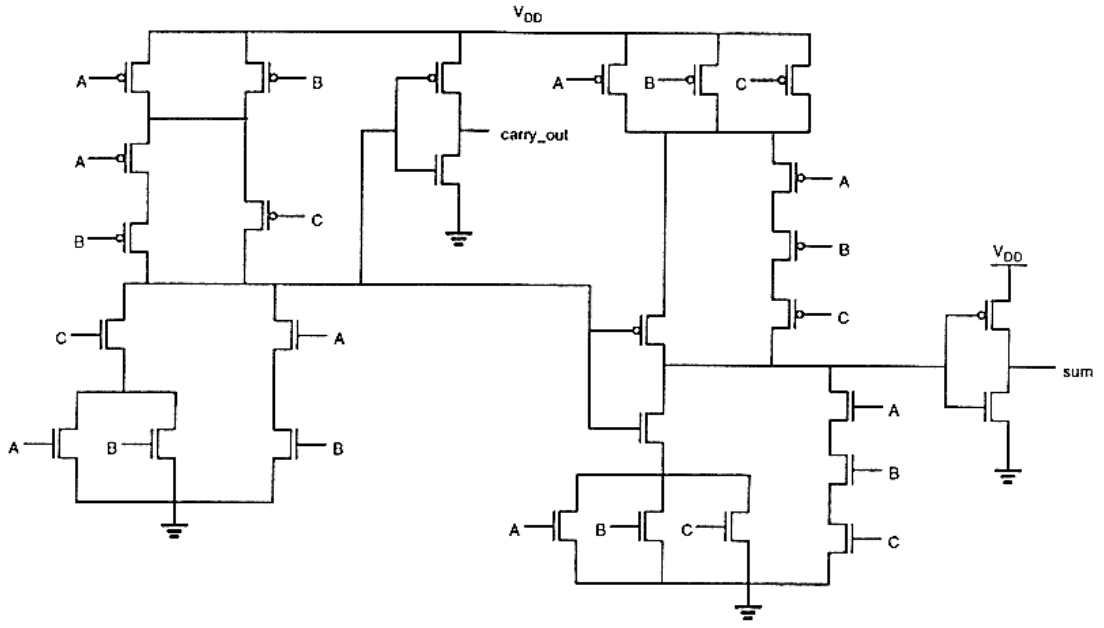


Şekil 3.9. Tam Toplayıcı Devresi Şematik Gösterimi

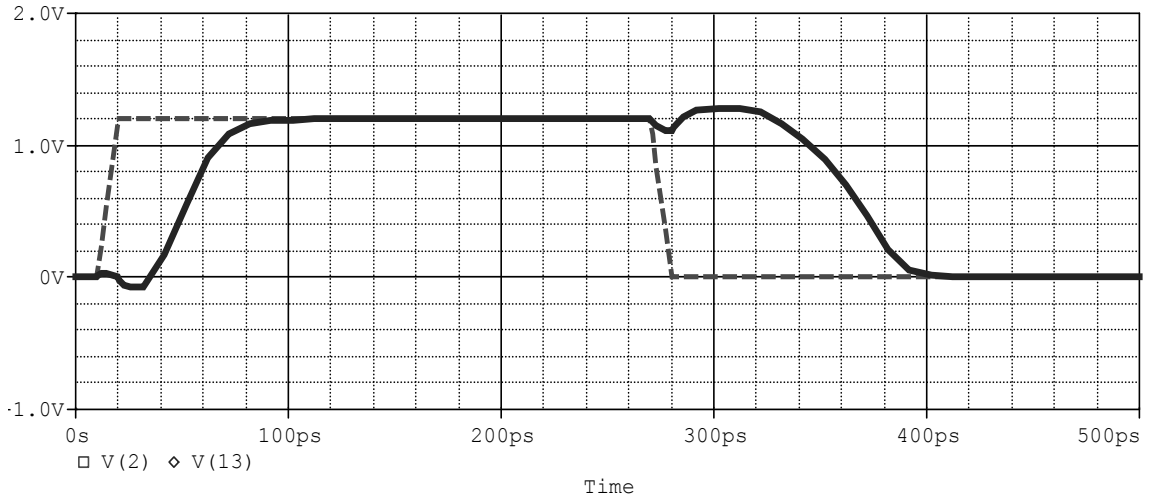
Eşitliklere bakıldığında *CARRY* ifadesinin *SUM* ifadesini oluşturmada kullanılabileceği görülmektedir. Bu durumda *SUM* ifadesi şöyle yazılabilir:

$$\begin{aligned} SUM &= ABC + (A + B + C)\overline{CARRY} \\ &= ABC + (A + B + C)\overline{(AB + C(A + B))} \end{aligned}$$

Bu ifade ile oluşturulan toplayıcı devresinin transistor şeması Şekil 3.10.'da gösterilmiştir. Şekil 3.11.'de *SUM* çıkışına ait örnek zaman-gerilim eğrisi görülmektedir.



Şekil 3.10. Tam Toplayıcı Devresi Transistor Şeması (Weste, 2000)

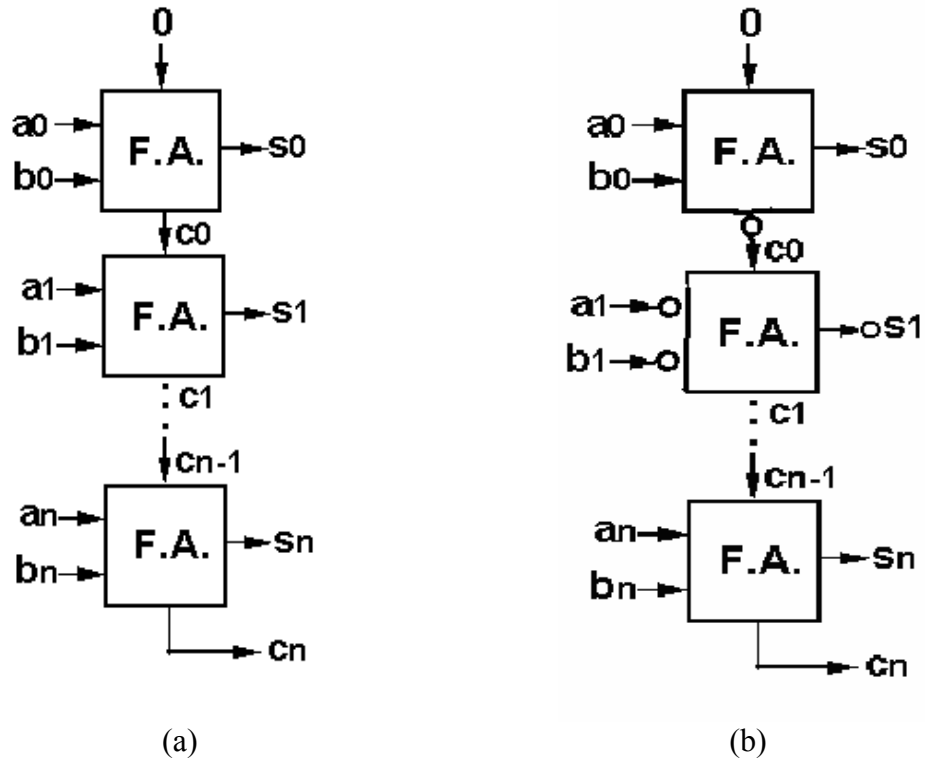


Şekil 3.11. Tam toplayıcı devresi için örnek zaman-gerilim şeması.

3.4.1.2. Bit-Paralel Toplayıcılar

N-bitlik bit toplayıcı n tane bir bitlik toplayıcıyı Şekil 3.12.(a).’da görüldüğü gibi kaskad olarak bağlayarak yapılabilir. Bu tür toplayıcılara ripple-carry-adder ismi verilir. Girişler n-bit A ve B değerleridir. N inci basamağın CARRY sinyali n+1 inci basamağa C sinyali olarak verilir. SUM sinyali n bitlik çıkışı oluşturur. N inci CARRY sinyali bir taşma olup olmadığını gösterir. Elde çıkış sinyali CARRY,

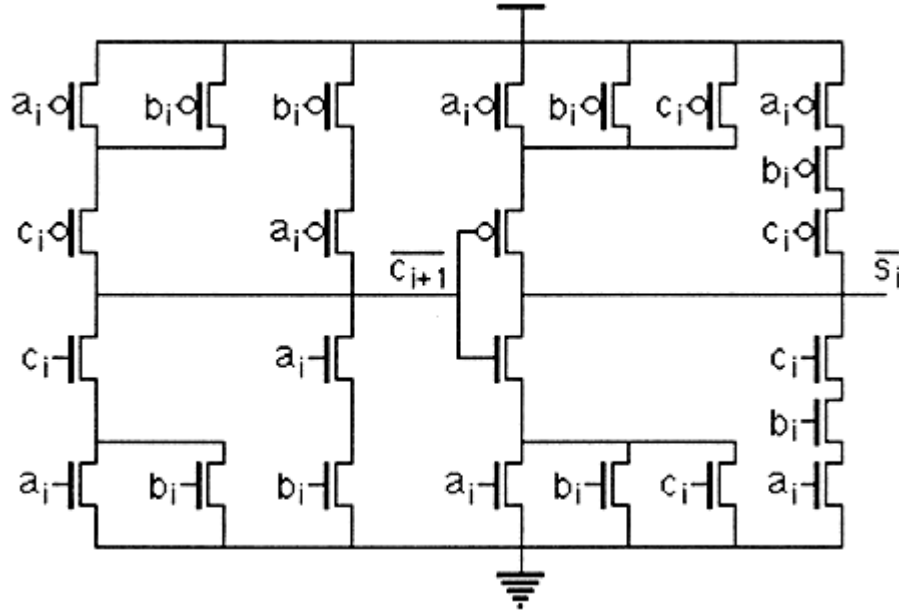
SUM sinyalinin üretilmesinde kullanıldığı için SUM CARRY sinyaline bağlı olarak gecikecektir. N-bitlik paralel toplayıcı devrelerinde elde gecikmesi en aza indirilmelidir. Çünkü toplayıcıdaki gecikme $T_n = n \times T_c$ 'ye eşittir. Burada T_n toplam gecikme zamanı n basamak sayısı ve T_c de bir elde basamağındaki gecikme süresidir. Elde gecikme süresini optimize etmek için elde kapısının çıkışındaki inverter hariç tutulabilir. Bu durumda diğer basamakta complement veri üzerinde işlem yapılmalıdır. Bu durum Şekil 3.12.(b).’de gösterilmiştir. Böylece elde gecikmesinde kayda değer bir azalama elde edilebilir. Girişlerin ve toplamın invert edilmesindeki gecikme kritik ripple-carry yolundan ayrı olarak ayarlanabilir.



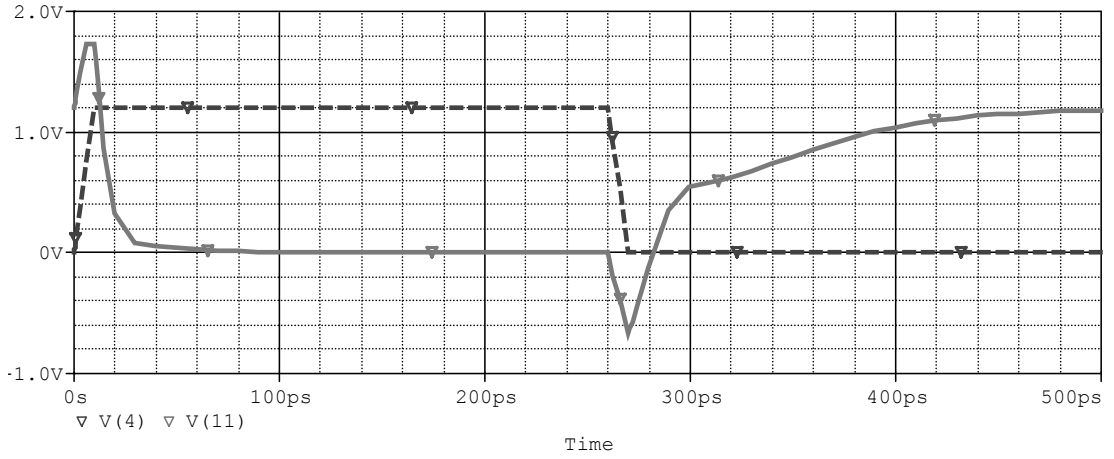
Şekil 3.12. N-bit Paralel Toplayıcılar

Geliştirilmiş bir toplayıcı devresi şeması Şekil 3.13'te gösterilmiştir. Bu devreye simetrik veya ayna toplayıcı devresi adı verilir. Bu devrede yukarıda zikredildiği gibi carry-inverting devresi elimine edilmiş durumdadır. Bu devrenin göze çarpan diğer özellikleri arasında sadece 24 transistordan oluşması gelmektedir. NMOS ve PMOS zincirleri tamamen simetriktir. Bu, eğer uygun ölçüde NMOS ve PMOS transistor büyüklüğü seçilirse geçiş zamanlarında eşit yükselme ve düşme sonucunu

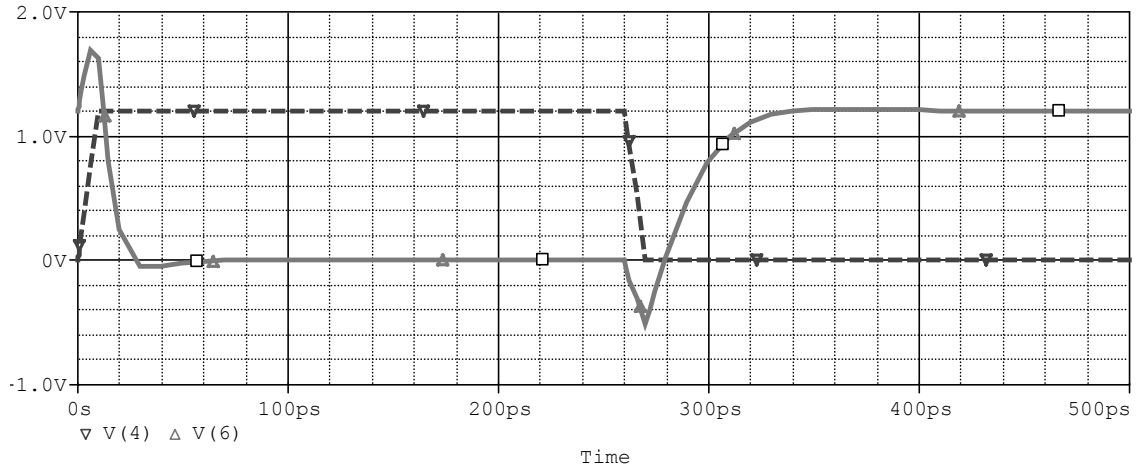
doğuracaktır. Elde sinyalinin üretiminde maksimum 2 seri transistor kullanılmıştır. Hız için sadece elde sinyalinin üretiminde kullanılan transistörler optimize edilmelidir. Toplam sinyalinin üretiminde kullanılan transistörler en küçük boydan seçilebilirler. Şekil 3.14’de devredeki toplam çıkış sinyalinin gecikmesi (V(4) giriş sinyallerinden elde sinyalini V(11) ise çıkış elde sinyalini göstermektedir), Şekil 3.15’de de elde çıkış sinyalinin gecikmesi görülmektedir (V(4) giriş sinyallerinden elde sinyalini V(6) ise çıkış elde sinyalini göstermektedir). Şekil 3.11’de kullanılan transistör modeli ile gerçekleştirilen bu devrede gecikme süresi yaklaşık 28p saniyedir.



Şekil 3.13. Ayna Toplayıcı Devre Şeması



Şekil 3.14. Optimize edilmemiş Ayna Toplayıcı Devresinde Toplam Sinyalinin Gecikmesi.

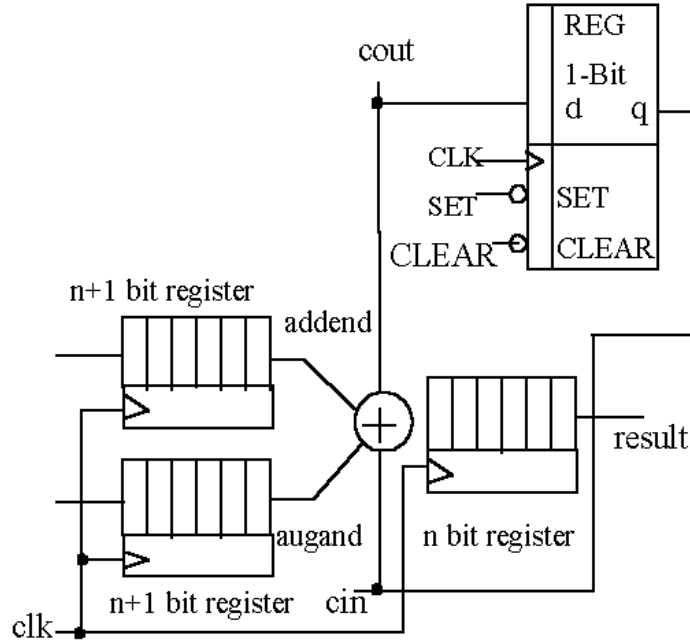


Şekil 3.15. Optimize edilmemiş Ayna Toplayıcı Devresinde Elde Sinyalinin Gecikmesi.

3.4.1.3. Bit-Seri Toplayıcılar

Ripple-carry toplayıcıları kullanmak yerine Şekil 3.16.'da gösterilen seri toplayıcı oluşturulabilir. Bu sistemde sadece bir toplayıcı kullanılmakta ve toplam sıra ile oluşturulmaktadır. Bir t anında SUM hesaplanmakta ve $CARRY$ bir yazmacın içine saklanmaktadır. $t+1$ anında ise toplam yeni SUM hesaplamak için $CARRY[t]$ yi kullanır. Toplayıcıya olan iki giriş n-bitlik yazmaçlar içerisinde saklanır. Yine SUM çıkışı da n-bitlik sonuç yazmacı içerisinde depolanır.

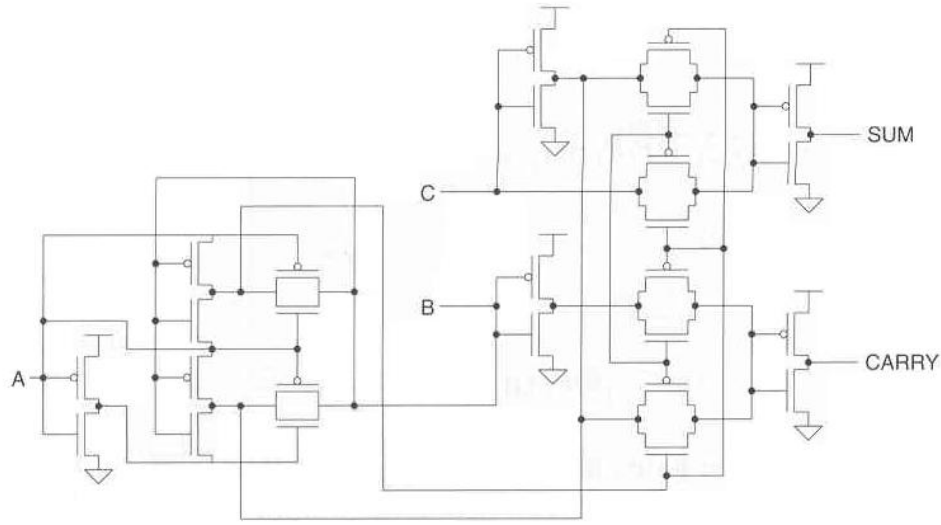
Bit-seri toplayıcılar sinyal işleme uygulamalarında başarı ile kullanılmaktadır. Tercih edilmelerinin sebebi azalan sinyal yönlendirmeleri, azalan modül büyüklükleri ve hızlı işlem kabiliyetleridir.



Şekil 3.16. Bit-seri toplayıcı şeması (Weste, 2000)

3.4.1.4. Transmisyon-Kapı Toplayıcılar

Toplayıcıların değişik bir türü de novel XOR kapısını kullanmaktadır. Bu XOR kapısı 6 transistor kullanılarak gerçekleştirilebilmektedir. 4 transmisyon kapısı, dört inverter ve iki XOR kapısı kullanılarak Şekil 3.17’de gösterilen toplayıcı inşa edilebilir. Bu toplayıcıda 24 adet transistor kullanılmaktadır. Eğer devredeki en önemli hedef hızlı çalışma değil ise iki XOR kapısının çıkışına bir inverter ilavesi ile transistor devreden azaltılabilir.



Şekil 3.17. Transmisyon-kapı toplayıcı (Weste, 2000)

3.4.1.5. Carry-Lookahead Toplayıcılar

N-bitlik toplayıcıdaki giriş kelime uzunluğunun artmasına bağlı, lineer olarak artan elde sinyalinin gecikmesi, her bir basamaktaki eldelerin paralel olarak hesaplanması ile elimine edilebilir. i inci basamağın elde sinyali C_i şöyle ifade edilebilir:

$$C_i = G_i + P_i \cdot C_{i-1}$$

burada

$$G_i = A_i \cdot B_i \quad \text{generate sinyali,}$$

$$P_i = A_i + B_i \quad \text{propagate sinyalidir.}$$

Bu ifade açılırsa

$$C_i = G_i + P_i G_{i-1} + P_i P_{i-1} G_{i-2} + \dots + P_i \dots P_1 C_0$$

elde edilir.

Toplam sinyali S_i şu şekilde elde edilir:

$$S_i = C_{i-1} \oplus A_i \oplus B_i$$

$$\text{veya } C_{i-1} \oplus P_i \text{ (eğer } P_i = A_i \oplus B_i \text{ ise).}$$

Böyle bir toplayıcıyı gerçekleştirmek için gerekli olan kapıların büyüklükleri ve fan-in değerleri kolayca kontrolden çıkabilir. Bunun neticesi olarak lookahead

basamaklarının sayısı genellikle dört olarak limitlenmiştir. Dört basamaklı bir lookahead için uygun ifadeler şöyledir:

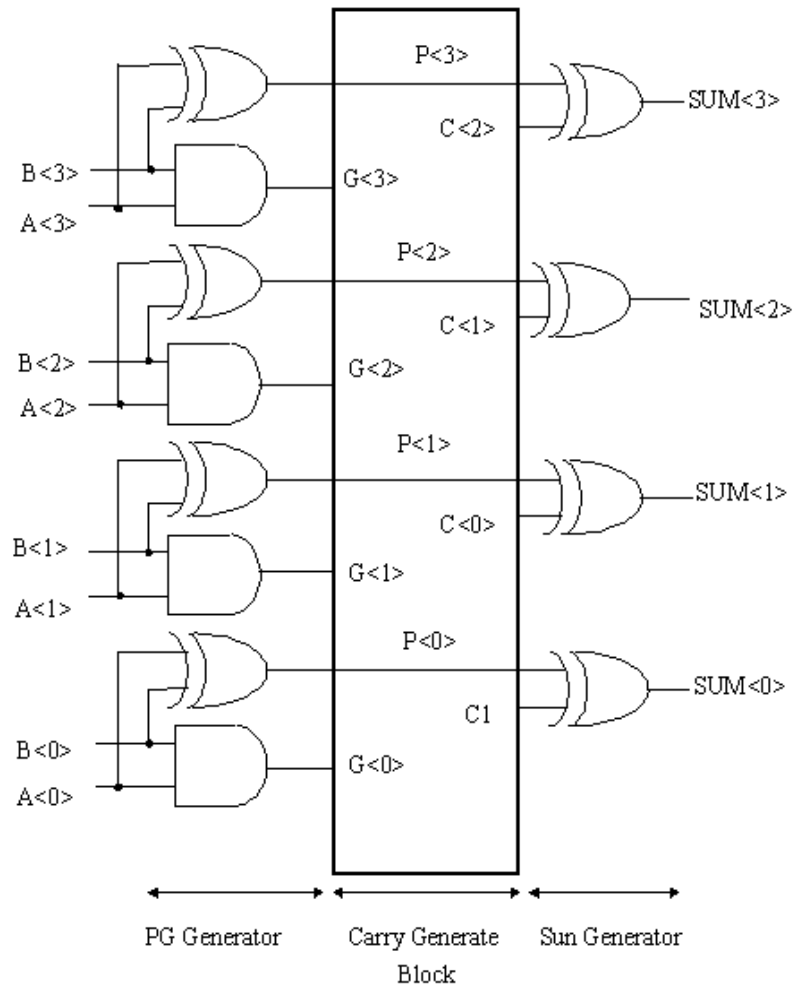
$$C_0 = G_0 + P_0 CI$$

$$C_1 = G_1 + P_1 G_0 + P_1 P_0 CI$$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 CI$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 CI$$

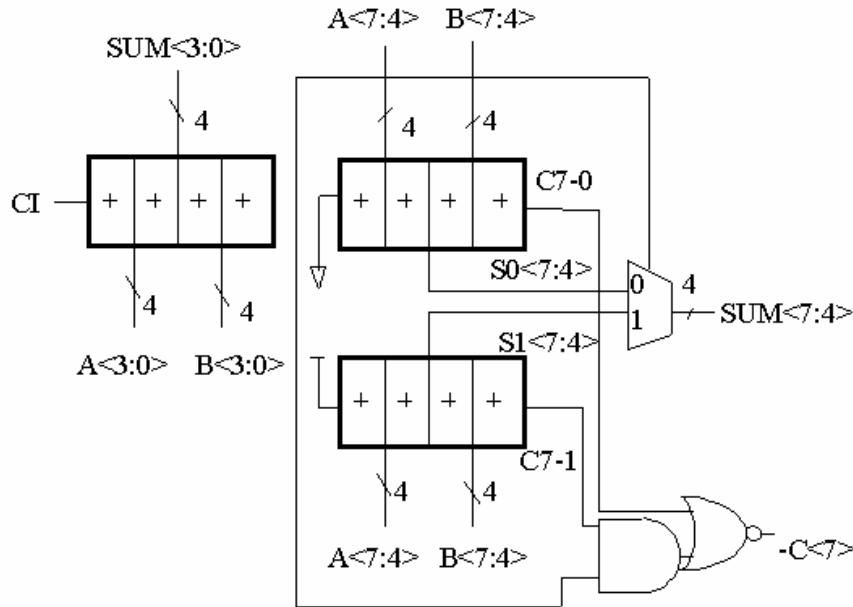
Şekil 3.18.'de carry-lookahead toplayıcının genel gösterimi verilmiştir. *PG* üretim ve *SUM* üretim devreleri elde üretim bloğunu çerçevelemektedirler.



Şekil 3.18. Carry-lookahead toplayıcının (CLA) genel gösterimi (Weste, 2000)

3.4.1.6. Carry-Select Toplayıcılar

Paralel toplayıcıların hızını artırma yönünde bir yaklaşımda carry-select toplayıcı kullanımıdır. Bu durumda toplayıcının alanı hızı artırma amacı ile genişletilmiştir. Toplayıcının temel şeması Şekil 3.19. da gösterilmektedir. Bu toplayıcıda iki farklı ripple-carry toplayıcı yapısı oluşturulur. Bu toplayıcılardan birisine elde girişi olarak sıfır değerine de bir uygulanır. Elde edilen yapı belirli bir bit sayısına ulaşıncaya, örneğin dört, tekrar edilir. Daha sonra önceki elde sinyali uygun toplama sinyalini multiplexer veya tristate toplayıcı kapılarını kullanarak seçer. Bu toplayıcı şeması kullanılarak 32 bitlik bir toplayıcı sadece 9 kapılıklı bir gecikme ile gerçekleştirilebilir.



Şekil 3.19. Carry-Select Toplayıcı (Weste, 2000)

3.4.1.7. Toplayıcı Devrelerinin Özeti

İncelenen toplayıcı türleri hakkında özet yapılacak olursa, sorulması gereken soru "Hangi toplayıcı nerede kullanılmalı?" sorusudur. Genelde, ripple toplayıcının kullanımı ilk seçenek olmalıdır. Çünkü küçükler, basit ve göreceli olarak hızlıdır. Şekil 3.13.'te gösterilen toplayıcı devresi boru hattı şeklinde tasarlanmış toplayıcı devreleri için idealdir. Bunun tersi bir tasarım istenirse, genellikle tasarım

kütüphaneleri Şekil 3.18’de de gösterilen lookahead üreticili toplayıcıları önermektedirler. Carry-select toplayıcı devresi ise daha hızlı çalışması istenen toplayıcılar için iyi bir seçimdir. Çünkü ripple toplayıcılar ve mutiplexerlardan kolayca yapılabilir ve hızı toplayıcı ve mutiplexer eklenerek daha da artırılabilir. Şekil 3.17’de verilen transmision-kapı toplayıcılar da SUM ve CARRY sinyallerinin yayılma sürelerinin eşit olması istenen durumlarda, örneğin çarpma dizilerinde, kullanım alanı bulmaktadır.

3.4.2. Çarpma Devreleri

Çoğu sinyal işleme uygulamasında –örneğin kolerasyon hesaplaması, filtreleme ve frekans analizi gibi- çerpma sıklıkla kullanılan bir işlemdir. Çarpma devreleri seri ve paralel olarak gerçekleştirilebilir. Çarpma devresi oluşturmanın en temel yöntemi iki pozitif ikilik tabandaki sayının geleneksel yöntemle çarpımından yola çıkmaktır. Bu yöntemde alt alta toplamalar ve kaydırmalar mevcuttur. Örnek verilecek olursa, iki pozitif tamsayı olan 12_{10} ve 5_{10} sayılarının çarpımı kaydır ve topla yöntemi ile şöyle gerçekleştirilir:

$$\begin{array}{r}
 \text{çarpılan:} \quad 1100 \quad : 12_{10} \\
 \text{çarpan:} \quad \underline{0101} \quad : 5_{10} \\
 \quad \quad \quad 1100 \\
 \quad \quad \quad 0000 \\
 \quad \quad \quad 1100 \\
 \quad \quad \quad \underline{0000} \\
 \text{çarpım:} \quad 0111100 \quad : 60_{10}
 \end{array}$$

Buradan çarpma işleminin şu iki basamaktan oluştuğu görülür:

1. Kısmi çarpımların elde edilmesi
2. Kısmi çarpımların kaydırılarak toplanması

İkilik tabanda çarpama işleminin mantıksal VE işlemine denk olduğu yapılan işlemlerde görülmektedir. Dolayısı ile kısmi çarpımların bulunması işlemi, çarpılanı sıra ile çarpanın bitleri ile mantıksal VE işleminden geçirmektir. Daha sonra kısmi çarpımların sütunları birbirleri ile toplanacaktır ve gerekli ise elde bitleri bir sonraki sütuna ilave edilecektir. Bu işlemleri gerçekleştirmek için seri, paralel ve her ikisi

birlikte kullanılan yöntemler geliştirilmiştir. Bu çalışmada 4x4'lük paralel bir çarpma devresi kullanıldığı için dizi çarpma devresi anlatılacaktır.

3.4.2.1. Dizi Çarpma Devresi

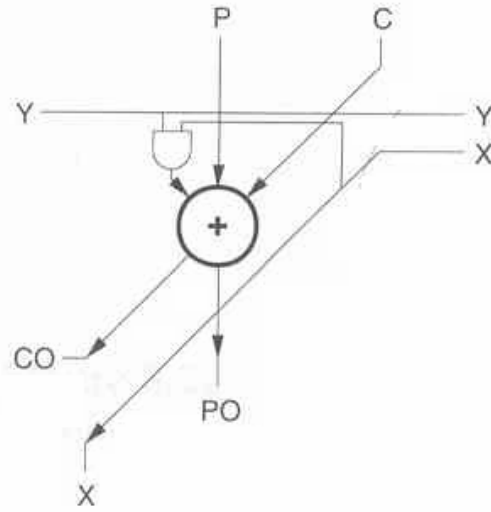
Paralel çarpma devrelerinde kısmi çarpımlar paralel bir şekilde hesaplanır. 4-bitlik iki sayının çarpımı Çizelge 3.2'te gösterildiği şekilde oluşturulabilir.

Çizelge 3.2. 4-bitlik çarpma devresi kısmi toplamları

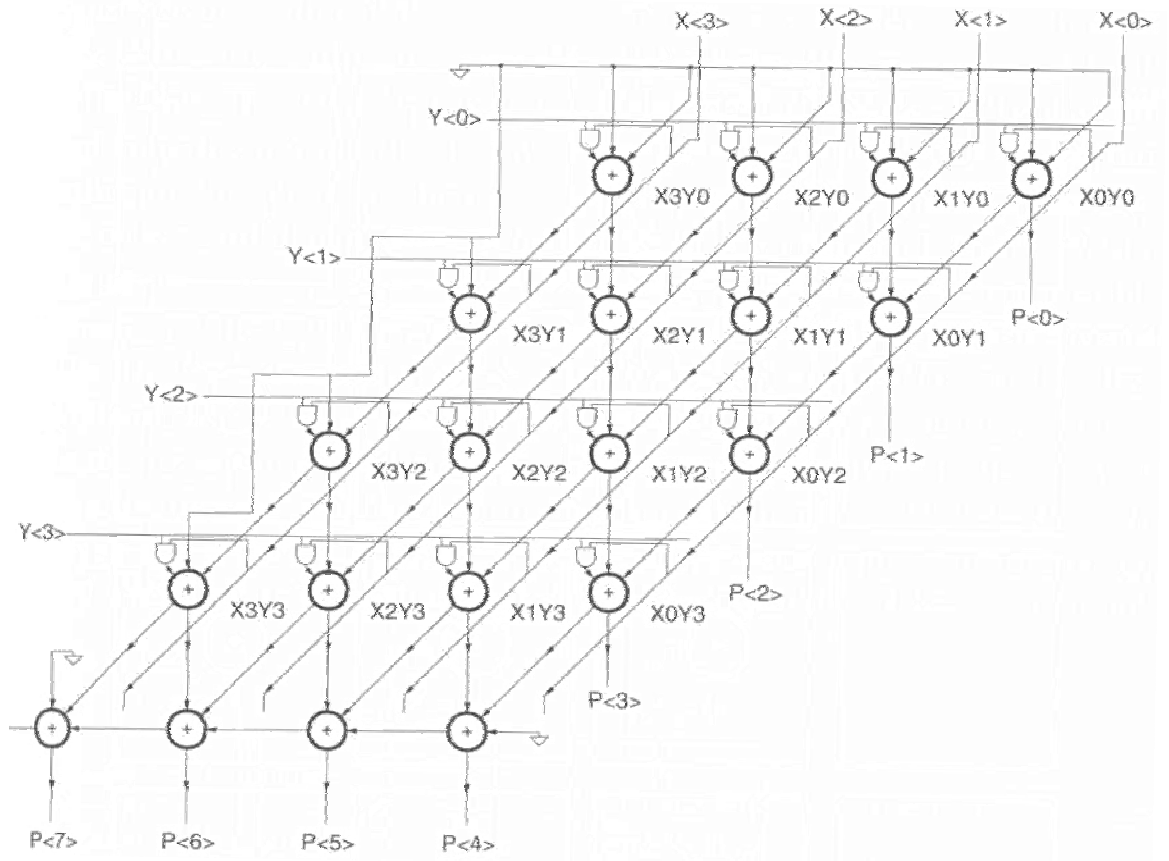
		X3	X2	X1	X0				Çarpılan
		Y3	Y2	Y1	Y0				Çarpan
		X3Y0	X2Y0	X1Y0	X0Y0				
		X3Y1	X2Y1	X1Y1	X0Y1				
		X3Y2	X2Y2	X1Y2	X0Y2				
		X3Y3	X2Y3	X1Y3	X0Y3				
P7	P6	P5	P4	P3	P2	P1	P0		Çarpım

$n \times n$ bitlik bir çarpma devresi $n.(n-2)$ adet tam toplayıcı, n adet yarım toplayıcı ve n^2 adet VE kapısı devresini gerektirir. Böyle bir devrede oluşacak en kötü gecikme süresi $(2n+1)\tau_g$ dir. τ_g en kötü toplayıcı devre gecikme süresidir.

Çarpma işlemi Şekil 3.20'deki hücre kullanılarak bir dizi şeklinde gerçekleştirilebilir. Bu hücrelerin bir araya getirilmesi ile Şekil 3.21'de gösterilen dizi çarpıcı elde edilebilir. Bu çarpma devresi iki adet dört bitlik sayıyı çarpmak için kullanılabilir.



Şekil 3.20. Dizi çarpma devrelerinde kullanılan hücre (Weste, 2000)



Şekil 3.21. 4x4'lük dizi çarpma devresi (Weste, 2000)

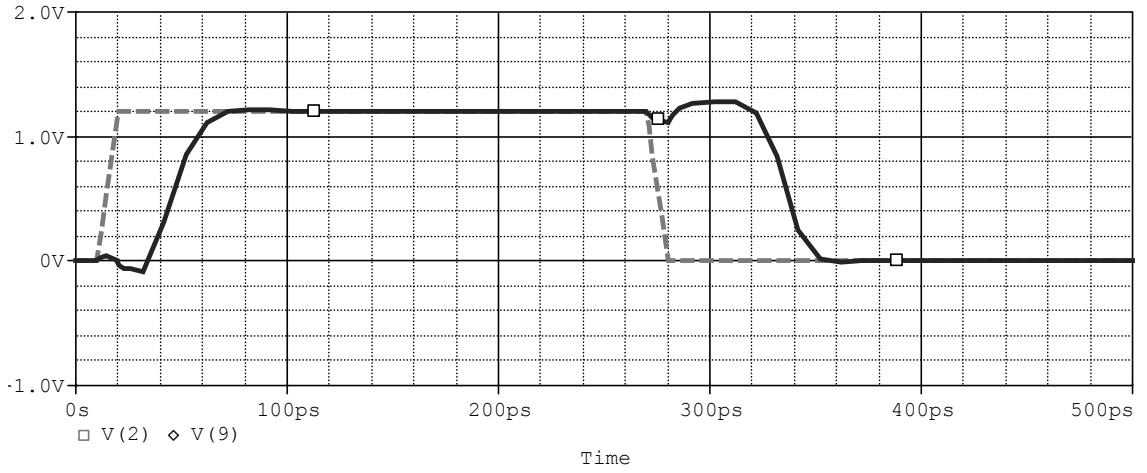
3.5. Simülasyonlarda Kullanılan Toplayıcı ve Çarpma Devreleri

Voltaj ölçeklemesi ve transistor boyutlandırmasının güç harcamasına etkilerinin kıyaslanması amacı ile Şekil 3.12’de gösterilen paralel toplayıcı devresinden 8 bitlik paralel toplayıcı devresi, Şekil 3.18’de gösterilen Carry Lookahead toplayıcı devresinden iki adet 4 bitlik toplayıcının birleştirilmesi ile 8 bitlik Carry Lookahead toplayıcı devresi oluşturulmuştur. Tüm devrelerde çıkışlara yük olarak 40f Farad’lık kondansatörler bağlanmıştır. Çarpma devresi olarak Şekil 3.21’de gösterilen 4x4 lük dizi çarpma devresi kullanılmıştır. Bu devreler SPICE devre simülasyonu programında simüle edilmiştir. Devreler yüksek besleme geriliminden alçak besleme gerilimine doğru çalıştırılarak çıkış sinyallerinden gecikme süresi en kötü olan sinyalin gecikme süreleri kaydedilmiştir. Bu işlem yapılmadan önce tüm devreler gecikme süresi en kötü olan sinyalin gecikme süresi minimum olacak şekilde optimize edilmişlerdir. Besleme geriliminin azaltılmasına ek olarak optimize edilmiş olan devrelerdeki transistor boyları da azaltılmış ve gecikme süreleri yine kaydedilmiştir. Netice bulgular bölümünde verilmiştir. Simülasyonları gerçekleştirmek için kullanılan MMOS ve PMOS transistorların SPICE modelleri Ek-1’de verilmiştir. Toplama ve çarpma devrelerinin SPICE için oluşturulan devre kodları da Ek-2’de verilmiştir.

4. BULGULAR

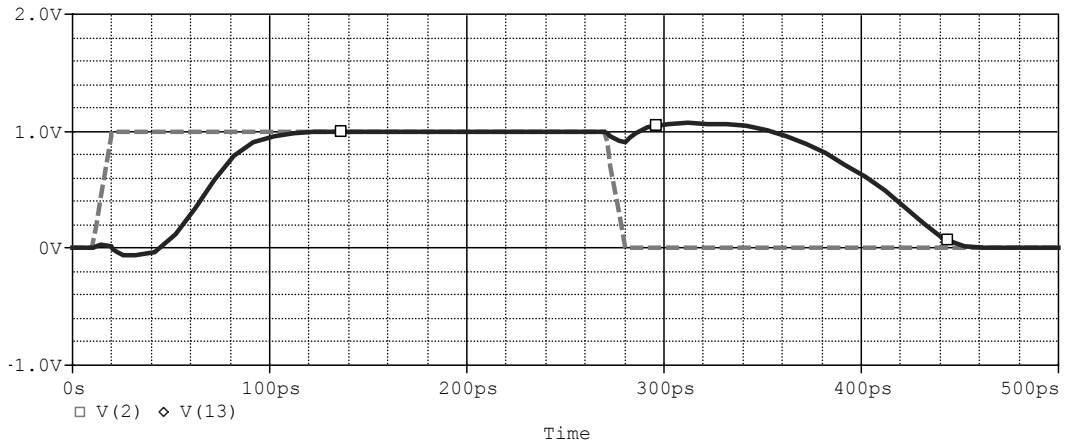
4.1. Toplayıcı Devrelerine Ait Optimizasyon Örnekleri

Şekil 3.9.'da verilen tam toplayıcı devresinin “Carry-Out” elde sinyaline ait voltaj-zaman eğrisi Şekil 4.1.'de gösterilmiştir. Gecikme süresi yaklaşık 60p saniyedir. Bu eğriyi elde etmede kullanılan $V_{dd}=1.2V$ iken, harcanan güç miktarı $62\mu W$ 'dır.



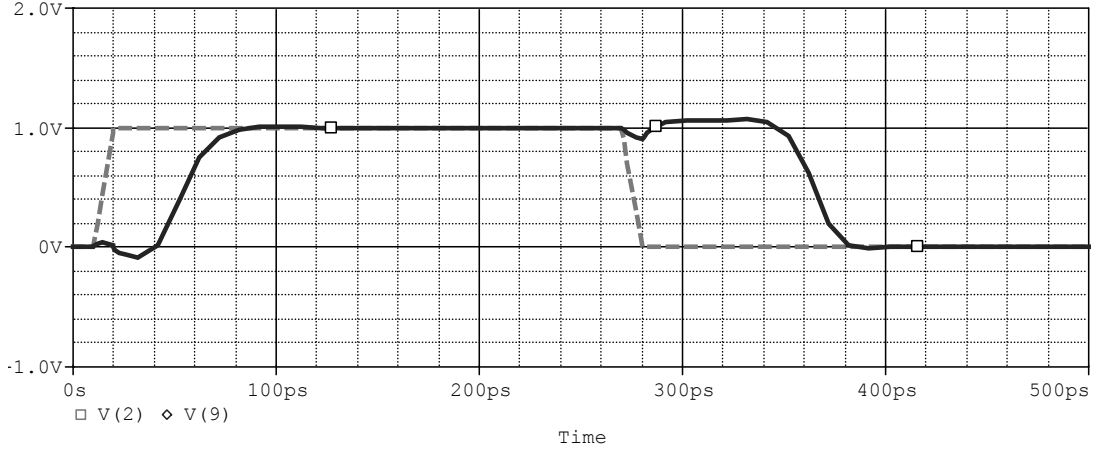
Şekil 4.1. Tam toplayıcı devresinde “Carry-Out” elde sinyalinin gecikmesi.
($V_{dd}=1.2V$)

Aynı devrede $V_{dd}=1.0V$ iken *SUM* toplam sinyalinin gecikmesi Şekil 4.2'de verilmiştir. Gecikme süresi yaklaşık 127p saniyedir.



Şekil 4.2. Tam toplayıcı devresinde “SUM” toplam sinyalinin gecikmesi.

Aynı voltaj değerinde *Carry-Out* elde sinyalinin gecikmesi Şekil 4.3.'te verilmiştir. Gecikme süresi yaklaşık 90p saniyedir. $V_{dd}=1.0V$ iken harcanan güç miktarı $39\mu W$ 'tır.



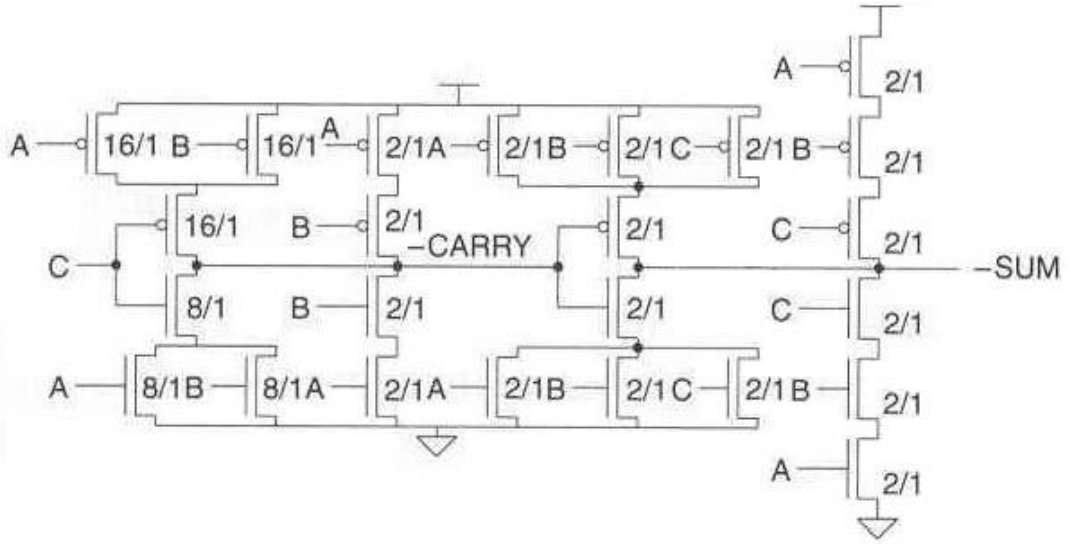
Şekil 4.3. Tam toplayıcı devresinde *Carry-Out* elde sinyalinin gecikmesi.

1.2V'tan 1.0V'a geçiş ile enerjide yaklaşık %37'lik bir tasarruf sağlanırken gecikme değerinde %50'lik bir artış meydana gelmiştir.

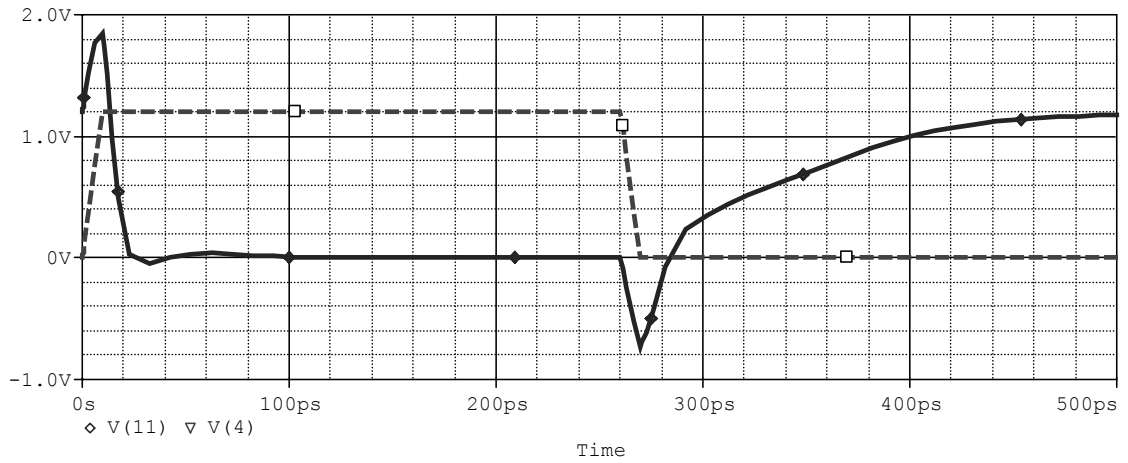
Transistor ölçeklemesine bir örnek olarak Şekil 3.13'te verilen optimize edilmemiş ayna toplayıcı 'da Şekil 4.4'te gösterildiği üzere optimize edilmiştir. Bu devreye ait toplama sinyali ve elde sinyali gecikmeleri sırası ile Şekil 4.5 ve Şekil 4.6'da verilmiştir. Bu devrelerin gerçekleştirilmesinde yine tam toplayıcı devresini gerçekleştirmede kullanılan model kullanılmıştır. Optimize edilmiş ayna toplayıcı devresinde toplam sinyalinin gecikmesi, yaklaşık 60p saniyedir. Şekil 4.5'te V(4) giriş sinyallerinden elde sinyalini V(11) ise çıkış elde sinyalini göstermektedir. Şekil 4.6'da ise V(4) giriş sinyallerinden elde sinyalini V(6) ise çıkış elde sinyalini göstermektedir.

Optimizasyon sonucunda elde sinyali gecikmesinin 20p saniyeye düştüğü görülmektedir. Gecikmede elde edilen bu kazanca mukabil olarak harcanan güçte

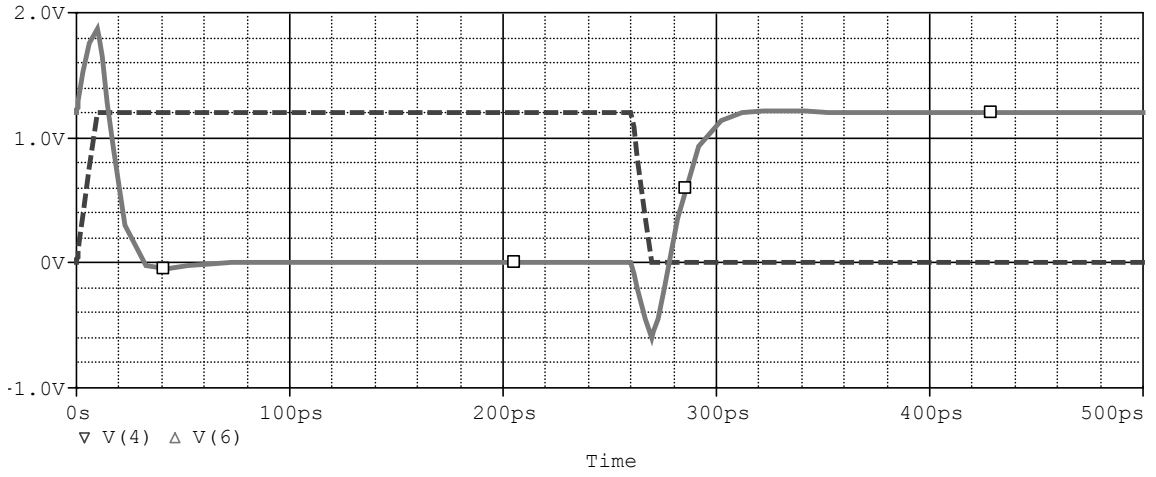
yüksek bir artış meydana gelmiştir. Optimize edilmemiş devrede harcanan güç miktarı 67μ Watt iken, bu değer optimizasyon neticesinde 406μ Watt'a çıkmıştır.



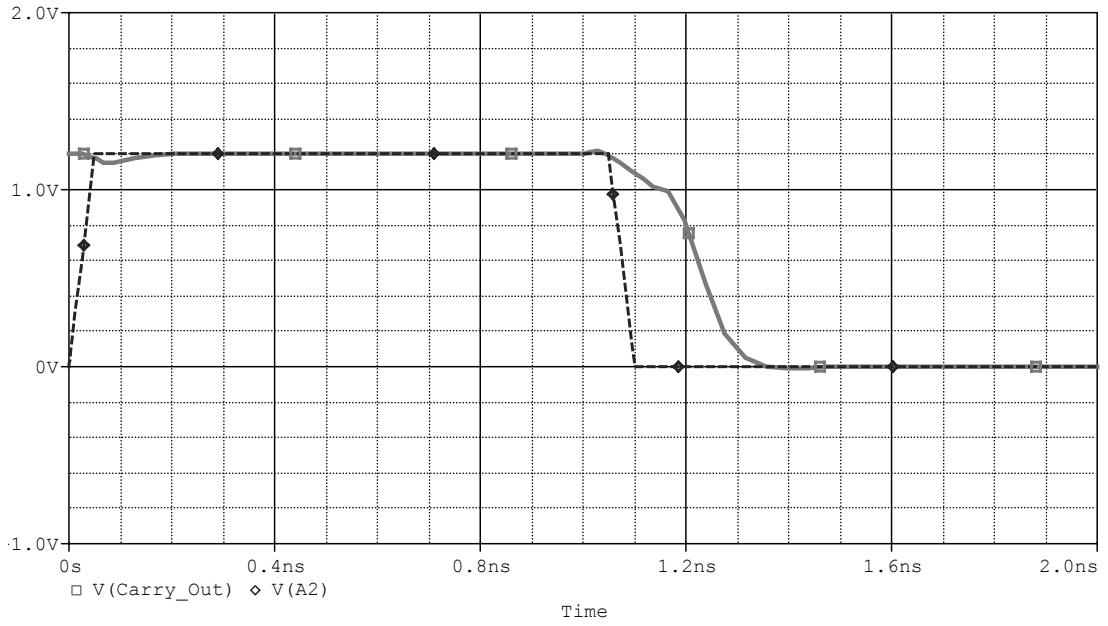
Şekil 4.4. Optimize Edilmiş Ayna Toplayıcı Devre Şeması (Weste, 2000)



Şekil 4.5. Optimize edilmiş Ayna Toplayıcı Devresinde Toplam Sinyalinin Gecikmesi.



Şekil 4.6. Optimize edilmiş Ayna Toplayıcı Devresinde Elde Sinyalinin Gecikmesi.



Şekil 4.7. 4 Bitlik Paralel Toplayıcıda Oluşan Gecikme Süresi

Şekil 4.7’de ise Şekil 3.12’de gösterildiği üzere Şekil 3.13’teki ayna toplayıcı kullanılarak yapılan 4 bitlik bir paralel toplayıcıda oluşan gecikme süreleri gösterilmiştir. Bu devrede son elde sinyali olan *Carry-Out*’un gecikme süresi yaklaşık 147p saniyedir. Devrenin harcadığı güç $228\mu\text{W}$ olarak ölçülmüştür.

Bu netice bize paralel toplayıcıların elde sinyalinin gecikmesini bit sayısı ile orantılı olarak arttırdığını göstermektedir.

4.2. Toplama ve Çarpma Devrelerinde Simülasyon Neticeleri

Takip eden çizelgelerde besleme voltajının azaltılması ile gecikme süresinin arttırılması ve transistor boyutlarının arttırılması ile gecikme sürelerinin arttırılmasını kıyaslamak amacı ile yapılan simülasyonların neticeleri verilmiştir. Çizelge 4.1’de 8-bitlik Carry Lookahead toplayıcıya ait simülasyon neticeleri, Çizelge 4.2’de 8-bitlik paralel toplayıcıya ait neticeler ve Çizelge 4.3’de de 4x4’lük dizi çarpma devresinde gerçekleştirilen simülasyonların neticeleri bulunmaktadır.

Çizelge 4.1. Carry Lookahead toplayıcıda gecikme ve güç değerleri

Alan (μm^2)	Voltaj(V)									
	1,2		1,1		1		0,9		0,8	
	Gecikme	Güç	Gecikme	Güç	Gecikme	Güç	Gecikme	Güç	Gecikme	Güç
86,16	914	776	968	624	1043	489	1129	373	1370	274
82,71	880	757	932	608	1004	475	1102	363	1375	266
79,27	856	737	905	591	969	463	1067	353	1381	259
75,82	828	717	872	575	944	448	1047	342	1387	251
72,37	801	696	846	558	914	434	1052	332	1394	243
68,93	771	675	821	541	884	422	1057	322	1402	235
65,48	746	655	785	525	852	410	1063	312	1412	227
62,04	714	635	758	509	856	396	1070	300	1421	219
58,59	691	616	735	493	863	384	1077	291	1432	210
55,14	669	597	728	475	868	370	1085	280	1446	201
51,70	639	575	732	458	874	357	1094	269	1461	193
48,25	643	555	738	442	883	343	1105	257	1478	184
44,80	648	534	745	424	892	329	1118	245	1498	175
41,36	654	513	753	407	903	314	1133	234	1524	166
37,91	661	490	764	388	916	299	1152	222	1552	157
34,46	670	466	775	368	931	282	1176	209	1585	148
31,02	681	441	790	348	951	267	1203	197	1627	139
27,57	695	416	807	327	975	250	1238	184	1677	129
24,12	711	389	831	306	1004	233	1283	170	1739	119
20,68	731	360	846	282	1027	214	1336	156	1821	109
17,23	752	327	877	256	1071	194	1394	141	1925	98
13,79	765	294	901	229	1113	173	1461	126	2023	87

Çizelge 4.1'deki gecikme sürelerinin birimi pikosaniye, güç değerlerinin birimi ise mikrowatt'tır.

Çizelge 4.2. 8-bitlik paralel toplayıcıda gecikme ve güç değerleri

Alan (μm^2)	Voltaj(V)									
	1,2		1,1		1,0		0,9		0,8	
	Gecikme	Güç	Gecikme	Güç	Gecikme	Güç	Gecikme	Güç	Gecikme	Güç
356,30	320	9816	363	7898	424	6173	512	4678	652	3403
328,90	323	9066	366	7296	426	5704	516	4320	667	3132
301,49	326	8324	370	6701	429	5242	522	3968	674	2894
274,08	328	7608	373	6108	433	4780	526	3616	681	2634
246,67	334	6897	378	5521	438	4338	532	3288	690	2371
219,26	339	6166	384	4961	445	3884	539	2930	700	2113
191,86	345	5387	390	4391	452	3392	549	2572	714	1864
164,45	352	4600	401	3700	466	2889	562	2189	731	1616
137,04	364	3827	412	3098	482	2417	588	1826	774	1337
131,56	366	3703	416	2979	483	2324	590	1754	776	1286
126,08	370	3533	420	2856	490	2229	595	1682	783	1233
120,60	374	3399	424	2741	495	2136	603	1612	788	1180
115,11	376	3245	429	2622	498	2040	606	1549	795	1281
109,63	382	3094	433	2495	506	1948	613	1487	802	1071
104,15	386	2960	437	2375	512	1853	621	1440	810	1017
98,67	391	2796	442	2252	518	1761	629	1339	828	958
93,19	396	2666	451	2136	526	1664	640	1262	834	906
87,71	402	2518	457	2015	536	1568	651	1186	855	854
82,22	412	2369	467	1891	546	1469	666	1116	878	803
76,74	421	2212	476	1765	559	1372	683	1043	897	753
71,26	430	2068	491	1643	570	1288	700	971	921	701
65,78	443	1906	504	1523	592	1196	725	899	952	649
60,30	458	1755	522	1406	613	1101	749	828	991	597
54,82	474	1610	542	1298	636	1007	783	757	1032	546
49,33	497	1472	568	1176	667	911	820	684	1083	494

Çizelge 4.2'deki gecikme sürelerinin birimi pikosaniye, güç değerlerinin birimi ise mikrowatt'tır.

Çizelge 4.3. 4x4'lük dizi çarpma devresinde gecikme ve güç değerleri

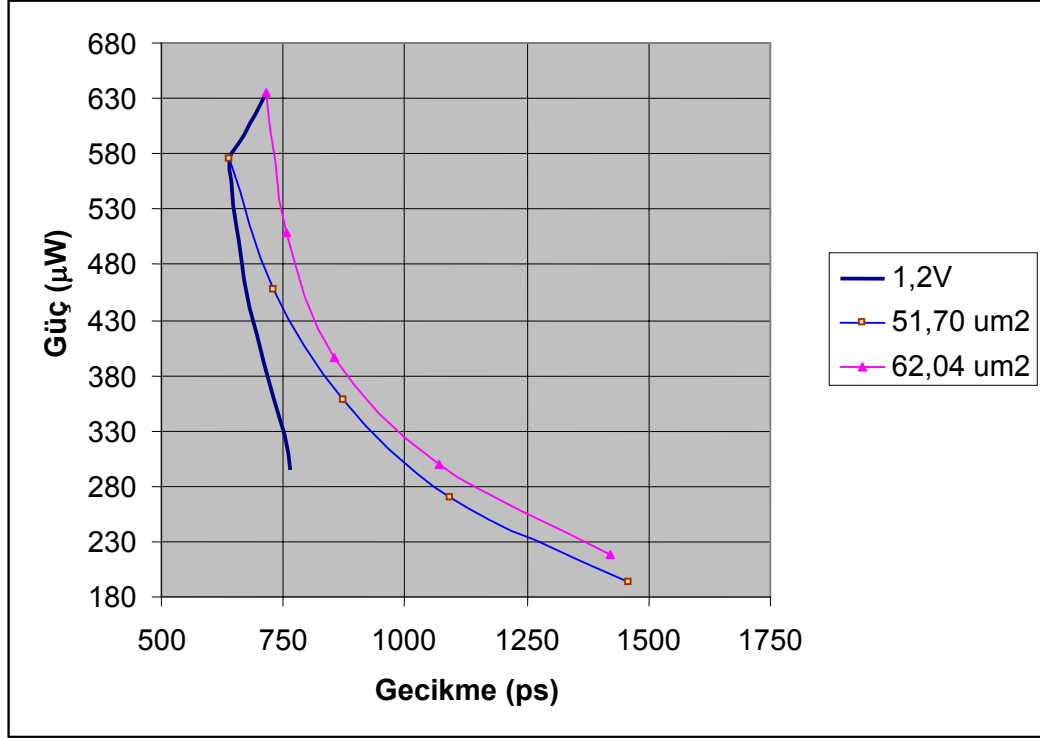
Alan (μm^2)	Voltaj(V)									
	1,2		1,1		1,0		0,9		0,8	
	Gecikme	Güç	Gecikme	Güç	Gecikme	Güç	Gecikme	Güç	Gecikme	Güç
682,20	1724	630	1933	493	2312	374	2878	274	3832	182
648,09	1703	600	1943	469	2312	356	2885	260	3827	173
613,98	1697	568	1951	444	2317	337	2886	247	3829	164
579,87	1696	538	1960	421	2325	319	2908	233	3838	155
545,76	1702	507	1958	397	2335	301	2896	220	3800	146
511,65	1722	476	1994	373	2357	282	2924	206	3795	138
477,54	1737	446	1983	349	2340	264	2894	193	3859	129
443,43	1739	416	1997	325	2353	246	2923	180	3891	119
409,32	1756	385	2011	300	2381	228	2938	166	3943	110
375,21	1757	354	2019	276	2387	209	2945	153	3926	102
341,10	1777	322	2031	252	2409	191	2982	139	3940	93
306,99	1782	292	2067	228	2421	173	3019	126	3980	84
272,88	1829	261	2101	204	2482	154	3106	113	4105	75
238,77	1853	230	2126	180	2508	136	3092	99	4099	66
204,66	1872	199	2177	155	2513	118	3207	85	4241	57
170,55	1920	168	2196	131	2623	100	3210	72	4320	48

Çizelge 4.3'deki gecikme sürelerinin birimi pikosaniye, güç değerlerinin birimi ise mikrowatt'tır.

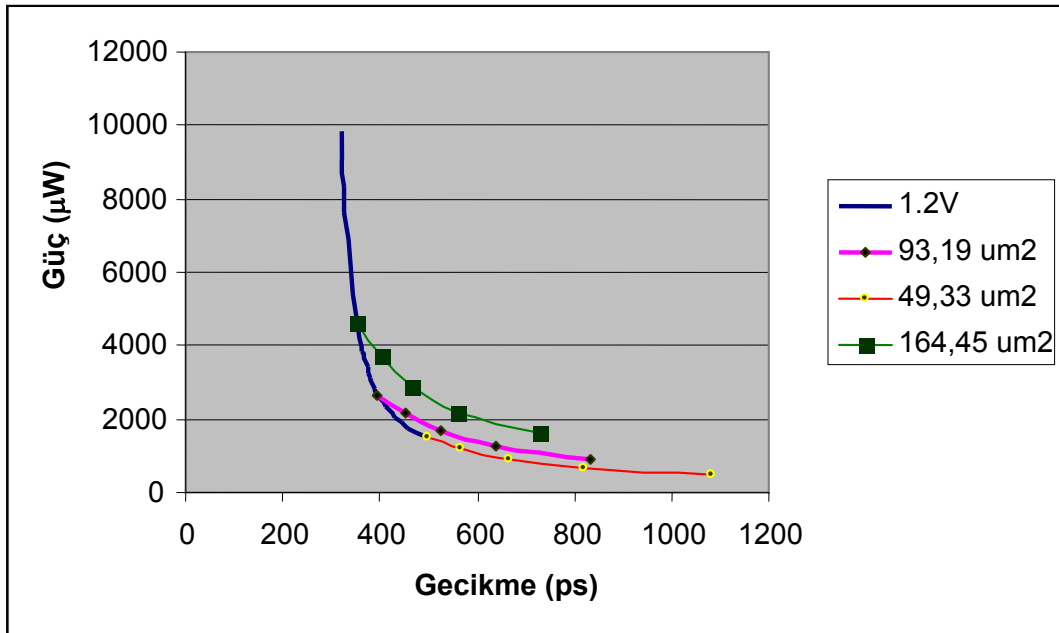
Çizelgelerden çıkan neticenin daha iyi anlaşılabilmesi amacı ile Şekil 4.8, Şekil 4.9, ve Şekil 4.10'daki grafikler çizilmiştir. Bu grafiklerde transistor boyu ölçülendirilmesi metodu ile besleme voltajı ölçeklemesi kıyaslanmaktadır. Çizilen serilerden bir tanesi besleme voltajının sabit tutulup alanın azaltıldığı durum için güce karşılık gecikme değerlerini göstermekte iken, çizilen diğer seriler değişik alanlar için alanın sabit tutulup besleme voltajının düşürüldüğü durumda, güce karşılık gecikme değerlerini göstermektedir.

Grafiklerde birden fazla farklı eğri çizilmiştir. Bu eğrilerden "1,2V" isimli olanları besleme voltajının sabit tutulup alanın azaltıldığı durumda güce karşılık gecikme sürelerini göstermektedir. Diğer seriler ise isimlerinde bulunan alan değerlerinin

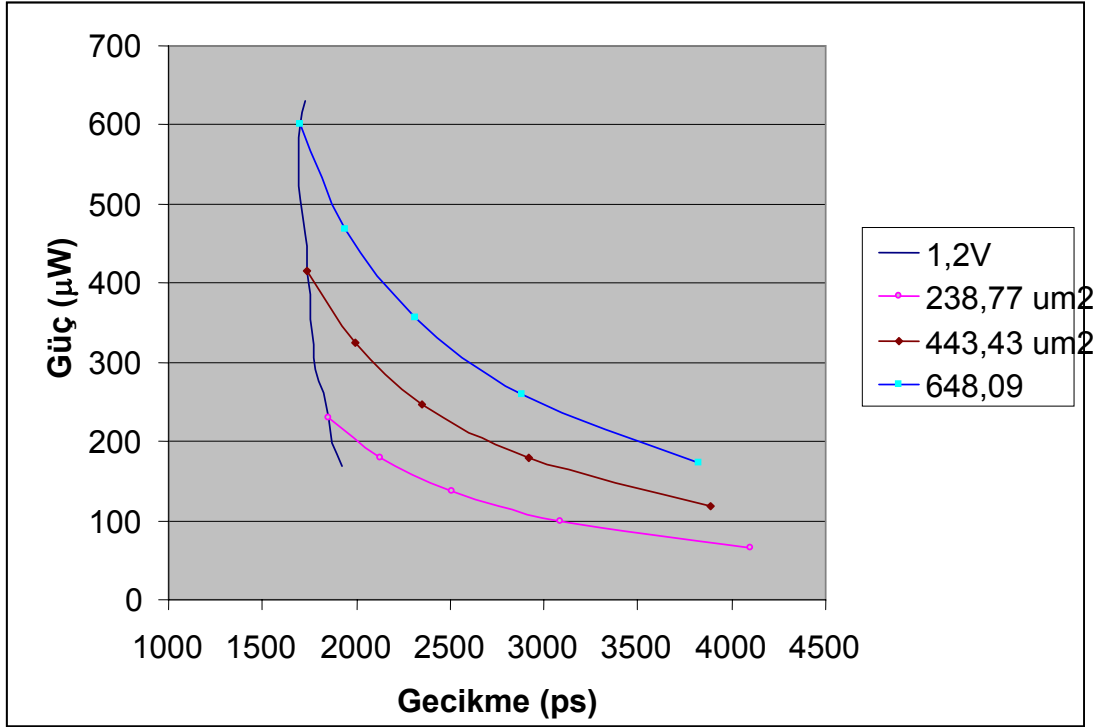
sabit tutulduğu durumda besleme voltajının azaltılmasının güç ve gecikme süreleri üzerindeki etkisini göstermektedir.



Şekil 4.8. Carry Lookahead toplayıcı devresinde güce karşılık gecikme süreleri



Şekil 4.9. Paralel toplayıcı devresinde güce karşılık gecikme süreleri



Şekil 4.10. 4x4'lük dizi çarpma devresinde güce karşılık gecikme süreleri

Her üç devrede de grafiklerden çıkan netice: Devrenin harcadığı enerji miktarı azaltılmak istenildiğinde eğer transistor boyu ölçülendirme metodu kullanılırsa gecikme sürelerindeki artış, besleme voltajı ölçekleme metodunun sebebiyet vereceği artıştan her zaman daha az olacaktır.

5. TARTIŞMA VE SONUÇ

CMOS devrelerinde harcanan gücü azaltma metotlarından birisi olan transistor boyu ölçülendirme metodu ile besleme voltajı ölçekleme metodu kıyaslanmıştır. Bu amaçla üç adet devre tasarlanmıştır. Bu devreler 8-bitlik paralel toplayıcı, 8-bitlik carry lookahead toplayıcı ve 4x4'lük dizi çarpma devreleridir. Devreler ilk etapta gecikme süresi en kötü olan sinyalin gecikme süresi minimum olacak şekilde tasarlanmıştır.

Devrelerde minimum gecikme elde edildikten sonra, harcanan enerji miktarını azaltmak üzere hem transistor boylarının arttırılması ile geri ölçülendirilme metodu hem de besleme voltajının azaltılması suretiyle besleme voltajı ölçekleme metodu her üç devreye de uygulanmıştır.

Her üç devrede de transistor boylarının geri ölçülendirilmesi metodu besleme voltajı ölçekleme metoduna nispetle gecikme sürelerinde daha az artışa sebebiyet vermiştir.

Özel tasarlanmış devrelerde harcanan enerji miktarını azaltmak amacıyla transistor boylarının geri ölçülendirilmesi metodunun, besleme voltajı ölçekleme metodundan daha iyi sonuçlar verdiği yapılan simülasyonlarda gösterilmiştir.

Voltaj ölçeklemesinin düşük güç tasarımında genel kabul görmesine ek olarak özel durumlarda transistor ölçeklemesi voltaj ölçeklemesine nispetle daha az enerji tüketimi sağlayabileceği çalışma neticesinde gösterilmiştir.

Bu çalışma transistor ölçekleme çalışmasına voltaj ölçekleme çalışmasının hangi safhasında başlanması gerektiğinin tespit edileceği bir çalışma ile geliştirilebilir. Devrenin güç harcaması ilk önce voltaj ölçeklemesi ile optimizasyona tabi tutularak güç harcaması azaltılmaya çalışılır, gelinen seviyede transistor optimizasyonu ile harcanan güç miktarının daha da azaltılması için çalışma yapılabilir.

6. KAYNAKLAR

- Anonim, 2004. Semiconductor Industry Association, International Technology Roadmap For Semiconductors. <http://public.itrs.net/>
- Anonim, 2005. Spice Model Parameters. <http://www.mosis.org/>
- Aktan, M., Yurdakul, A., 2003. Seviye Dönüştürücüsüz Çoklu Besleme Gerilimi Ölçekleme Yöntemiyle Düşük Güç Harcayan Sayısal İşaret İşleme Bloklarının Tasarlanması. 11. Sinyal İşleme ve Uygulamaları Kurultayı, Koç Üniversitesi, İstanbul.
- Borah, M., Owens, R.M., Irwin, M.J., 1996. Transistor sizing for low power CMOS circuits. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Volume 15, Issue 6, 665-671s.
- Büyüktosunoğlu, A., Albonesi, D. H., Bose, P., Cook, P. W., Schuster, S. E., 2002. Tradeoffs in power-efficient issue queue design. Proceedings of the 2002 international symposium on Low power electronics and design, 184-189 s., ABD.
- Chandrakasan, A. P., Sheng, S., Brodersen, R. W., 1992. Low-power Digital CMOS Design. IEEE Journal of Solid State Circuits, 473-484 s.
- Chandrakasan, A. P., Brodersen, R. W., 1995. CMOS Low Power Digital Design. Kluwer Academic Publishers, ISBN:079239576X, 409 s., ABD.
- Chandrakasan, A. P., Brodersen, R. W., 1998. Low Power CMOS Design. Wiley-IEEE Press, ISBN: 0-7803-3429-9, 644 s., ABD.
- Chen, H.Y., Kang, S.M., 1991. A new circuit optimization technique for high performance CMOS circuits. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Volume 10, Issue 5, 670-677 s.
- Das, A., 2000. On the transistor sizing problem. Thirteenth International Conference on VLSI Design, 258-261 s.
- Ebergen, J., Gainsley, J., Cunningham, P., 2004. Transistor sizing: how to control the speed and energy consumption of a circuit. 10th International Symposium on Asynchronous Circuits and Systems Proceedings, 51-61 s.
- Fishburn, J.P., Taneja, S., 1997. Transistor sizing for high performance and low power. Proceedings of the IEEE 1997 Custom Integrated Circuits Conference, 591-594 s.
- Gonzalez, R., Horowitz, M., 1996. Energy Dissipation In General Purpose Microprocessors. IEEE Journal Of Solid-State Circuits, Vol. 31, NO. 9, 1277-1284 s.

- Hsieh, H.Y., Ostapko, D.L., 1991. Size optimization for CMOS basic cells of VLSI. IEEE International Symposium on Circuits and Systems, Vol. 4, 2180-2183 s.
- İsmailoğlu, A. N., 1996, Yarı Özel CMOS VLSI Teknolojisi ile 4 Bit Mikrodenetleyici Tasarımı. ASELSAN Dergisi, 32 s, Ankara.
- Landman, P.E., 1994. Low-Power Architectural Design Methodologies. University of California at Berkeley, D. Tezi, 349 s., ABD.
- Leblebici, D. Akurgal, A., Geray, H., Payzın, E., Sarper, S., 2004. Bilgi Ve İletişim Teknolojileri Stratejisi. Vizyon 2023 Projesi Bilgi Ve İletişim Teknolojileri Strateji Grubu, Işık Üniversitesi, 4-8 s.
- Mahmoodi-Meimand, H., 2000. Low-Power Design of Digital Systems Based on Adiabatic Switching Principles. Tahran Üniversitesi, Y. Tezi, İran.
- Manzak, A., Chakrabarti, C., 2001. Voltage scaling for energy minimization with QoS constraints. International Conference on Computer Design, 438 -443 s.
- Rabaey, J. M., 1995. Digital Integrated Circuits: A Design Perspective. Prentice Hall, ISBN: 0131786091, 702 s.
- Rogenmoser, R., Kaeslin, H., 1997. The impact of transistor sizing on power efficiency in submicron CMOS circuits. IEEE Journal of Solid-State Circuits, Volume 32, Issue 7, 1142-1145 s.
- Shyu, J.-M., Sangiovanni-Vincentelli, A., Fishburn, J.P., Dunlop, A.E., 1988. Optimization-based transistor sizing. IEEE Journal of Solid-State Circuits, Volume 23, Issue 2, 400-409 s.
- Stojanovic, V., Markovic, D., Nikolic, B., Horowitz, M.A., Brodersen, R.W., 2002. Energy-Delay Tradeoffs in Combinational Logic using Gate Sizing and Supply Voltage Optimization. 28th European Solid-State Circuits Conference, 211-214 s.
- Weste, N.H.E., Eshragian, K., 2000. Principles of CMOS VLSI Design. Addison-Wesley, ISBN 0201733897, 735 s.
- Wroblewski, A., Schumecher, O., Schimpfle, C.V., Nossek, J.A., 2001. Minimizing gate capacitances with transistor sizing. The 2001 IEEE International Symposium on Circuits and Systems, Volume 4, 186-189 s.
- Wu, A.C.-H., Vander Zanden, N., Gajski, D., 1990. A new algorithm for transistor sizing in CMOS circuits. Proceedings of the European Design Automation Conference, 589-593 s.

- Yuan, J., Svensson, C., 1996. Principle of CMOS circuit power-delay optimization with transistor sizing. IEEE International Symposium on Circuits and Systems, Volume 1, 637-640 s.
- Zimmermann, R., Fichtner, W., 1997. Low-power logic styles: CMOS versus pass-transistor logic. IEEE Journal of Solid-State Circuits, Volume 32, Issue 7, 1079-1090 s.

EKLER

EK-1

NMOS Transistorlar İçin SPICE Modeli (Anonim, 2005)

```
.MODEL CMOSN NMOS (
+VERSION = 3.1          TNOM = 27          LEVEL = 7
+XJ = 1E-7             NCH = 2.3549E17     TOX = 3.1E-9
+K1 = 0.3123296       K2 = -6.955334E-3    VTH0 = 0.0769098
+K3B = 6.1359887      W0 = 1E-7          K3 = 1E-3
+DVTOW = 0            DVT1W = 0          NLX = 9.669684E-7
+DVT0 = 1.0676027     DVT1 = 0.1686733   DVT2W = 0
+U0 = 372.7539745     UA = -1.640363E-9  DVT2 = 0.2754222
+UC = 4.114551E-10    VSAT = 2E5         UB = 5E-18
+AGS = 0.7449175      B0 = 5.659588E-6   A0 = 1.5621431
+KETA = 0.0498424     A1 = 2.071848E-5   B1 = 5E-6
+RDSW = 150           PRWG = -0.2        A2 = 0.3
+WR = 1               WINT = 9.59334E-9  PRWB = -0.1200236
+DWG = 6.017443E-9    DWB = 2.119608E-8  LINT = 5.83697E-9
+NFACTOR = 2.5        CIT = 0            VOFF = -0.0677306
+CDSCD = 0            CDSCB = 0          CDSC = 2.4E-4
+ETAB = -2.407501E-3  DSUB = 1.292485E-3  ETA0 = 5.499849E-3
+PDIBLC1 = 0.2222673  PDIBLC2 = 0.01     PCML = 1.2151017
+DROUT = 0.999        PSCBE1 = 7.992E10  PDIBLCB = 0.1
+PVAG = 0.01          DELTA = 0.01       PSCBE2 = 5.675877E-8
+MOBMOD = 1           PRT = 0            RSH = 3.7
+KT1 = -0.11          KT1L = 0           UTE = -1.5
+UA1 = 4.31E-9        UB1 = -7.61E-18   KT2 = 0.022
+AT = 3.3E4           WL = 0             UC1 = -5.6E-11
+WW = 0               WWN = 1            WLN = 1
+LL = 0               LLN = 1            WWL = 0
+LWN = 1              LWL = 0            LW = 0
+XPART = 0.5          CGDO = 4.88E-10    CAPMOD = 2
+CGBO = 1E-12         CJ = 8.405919E-4   CGSO = 4.88E-10
+MJ = 0.5155273       CJSW = 2.236791E-10  PB = 0.8006956
+MJSW = 0.2172546     CJSWG = 3.3E-10    PBSW = 0.8
+MJSWG = 0.2172546    CF = 0             PBSWG = 0.8
+PRDSW = 0.0590084    PK2 = 9.210595E-4  PVTH0 = -5.788389E-4
+LKETA = -3.953775E-3  PU0 = 9.3582373    WKETA = -9.461971E-3
+PUB = 8.716129E-23   PVSAT = 1.518791E3  PUA = 2.915091E-11
+PKETA = 2.05596E-3   )                  PETA0 = 1.003159E-4
```

PMOS Transistorlar İçin SPICE Modeli (Anonim, 2005)

```
.MODEL CMOSP PMOS (
+VERSION = 3.1          TNOM = 27          LEVEL = 7
+XJ = 1E-7             NCH = 4.1589E17     TOX = 3.1E-9
+K1 = 0.1096676       K2 = 0.0720159     VTH0 = -0.2113456
+K3B = 15.2825584     W0 = 1E-6          K3 = 0
+DVTOW = 0            DVT1W = 0          NLX = 1E-6
+DVT0 = 0             DVT1 = 0.6601774   DVT2W = 0
+U0 = 106.7834403     UA = 9.857819E-10  DVT2 = -0.3
+UC = -2.77963E-11    VSAT = 1.511726E5  UB = 1E-21
+AGS = 0.3673284      B0 = 9.952617E-7   A0 = 1.585138
+KETA = 0.0455986     A1 = 0.5158596     B1 = 2.290511E-6
+RDSW = 141.2685766   PRWG = -0.5        A2 = 0.3797097
+WR = 1               WINT = 0           PRWB = 0.5
+DWG = 4.137902E-9    DWB = -6.823377E-9  LINT = 5.185159E-10
+NFACTOR = 1.5332272  CIT = 0            VOFF = -0.1022829
+CDSCD = 0            CDSCB = 0          CDSC = 2.4E-4
```

+CDSCD	= 0	CDSCB	= 0	ETA0	= 1.099049E-3
+ETAB	= -0.5	DSUB	= 1.5	PCLM	= 1
+PDIBLC1	= 0.0394469	PDIBLC2	= 0.1	PDIBLCB	= -1E-3
+DROUT	= 0	PSCBE1	= 8.800575E9	PSCBE2	= 2.546897E-9
+PVAG	= 0.3818944	DELTA	= 0.01	RSH	= 7.4
+MOBMOD	= 1	PRT	= 0	UTE	= -1.5
+KT1	= -0.11	KT1L	= 0	KT2	= 0.022
+UA1	= 4.31E-9	UB1	= -7.61E-18	UC1	= -5.6E-11
+AT	= 3.3E4	WL	= 0	WLN	= 1
+WW	= 0	WWN	= 1	WWL	= 0
+LL	= 0	LLN	= 1	LW	= 0
+LWN	= 1	LWL	= 0	CAPMOD	= 2
+XPART	= 0.5	CGDO	= 2.27E-10	CGSO	= 2.27E-10
+CGBO	= 1E-12	CJ	= 1.174289E-3	PB	= 0.8275846
+MJ	= 0.4115852	CJSW	= 1.329615E-10	PBSW	= 0.8
+MJSW	= 0.1002729	CJSWG	= 4.22E-10	PBSWG	= 0.8
+MJSWG	= 0.1002729	CF	= 0	PVTH0	= -1.051248E-3
+PRDSW	= 51.3980998	PK2	= 8.366953E-4	WKETA	= 0.0338156
+LKETA	= 5.598742E-3	PU0	= -0.9152654	PUA	= -4.53466E-11
+PUB	= 0	PVSAT	= -50	PETA0	= -1.993538E-4
+PKETA	= -5.751486E-3)			

EK-2**8 Bitlik Paralel Toplayıcı SPICE Devre Kodu**

NMOS ve PMOS Transistorlar İçin Model Tanımlamaları EK-1’de verildiği için bu kodlardan çıkartılmıştır.

```

8 Bit Paralel Full Adder

VDD 1 0 DC 1.2V

VCin0 Cin0 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA0 A0 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB0 B0 0 PULSE(0V 0V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA1 A1 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB1 B1 0 PULSE(0V 0V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA2 A2 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB2 B2 0 PULSE(0V 0V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA3 A3 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB3 B3 0 PULSE(0V 0V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA4 A4 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB4 B4 0 PULSE(0V 0V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA5 A5 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB5 B5 0 PULSE(0V 0V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA6 A6 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB6 B6 0 PULSE(0V 0V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA7 A7 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB7 B7 0 PULSE(0V 0V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

X1 1 A1 A1_Bar Inverter
X2 1 B1 B1_Bar Inverter
X3 1 A3 A3_Bar Inverter
X4 1 B3 B3_Bar Inverter
X5 1 A5 A5_Bar Inverter
X6 1 B5 B5_Bar Inverter
X7 1 A7 A7_Bar Inverter
X8 1 B7 B7_Bar Inverter

X9 1 A0 B0 Cin0 Carry_Out_Bar1 Sum_Bar0 FullAdder
X10 1 A1_Bar B1_Bar Carry_Out_Bar1 Carry_Out2 Sum1 FullAdder
X11 1 A2 B2 Carry_Out2 Carry_Out_Bar3 Sum_Bar2 FullAdder
X12 1 A3_Bar B3_Bar Carry_Out_Bar3 Carry_Out4 Sum3 FullAdder

X13 1 A4 B4 Carry_Out4 Carry_Out_Bar5 Sum_Bar4 FullAdder
X14 1 A5_Bar B5_Bar Carry_Out_Bar5 Carry_Out6 Sum5 FullAdder
X15 1 A6 B6 Carry_Out6 Carry_Out_Bar7 Sum_Bar6 FullAdder
X16 1 A7_Bar B7_Bar Carry_Out_Bar7 Carry_Out Sum7 FullAdder

X17 1 Sum_Bar0 Sum0 InverterBig
X18 1 Sum_Bar2 Sum2 InverterBig

```

```
X19 1 Sum_Bar4 Sum4 InverterBig
X20 1 Sum_Bar6 Sum6 InverterBig
```

```
Cload Carry_Out 0 40f
C1 Sum0 0 40f
C2 Sum1 0 40f
C3 Sum2 0 40f
C4 Sum3 0 40f
C5 Sum4 0 40f
C6 Sum5 0 40f
C7 Sum6 0 40f
C8 Sum7 0 40f
```

```
.PARAM WIDTHP = {WIDTHN*kat}
.PARAM WIDTHN = 0.50u
.PARAM kat=1.5
.PARAM WP=1
.PARAM WN=1
.PARAM Onaltilar=16
.PARAM Sekizler=8
.PARAM SonkatP=3
.PARAM SonkatN=2
.PARAM CarrykatP=3
.PARAM CarrykatN=1
.PARAM Big=3
```

```
.SUBCKT FullAdder 1 2 3 4 6 11
MP1 5 2 1 1 CMOSP W={Onaltilar*WIDTHP} L=0.12U PD =
{Onaltilar*WIDTHP*2+0.24u} PS = {Onaltilar*WIDTHP*2+0.24u}
MP2 5 3 1 1 CMOSP W={Onaltilar*WIDTHP} L=0.12U PD =
{Onaltilar*WIDTHP*2+0.24u} PS = {Onaltilar*WIDTHP*2+0.24u}
MP3 9 3 1 1 CMOSP W={CarrykatP*WP*WIDTHP} L=0.12U PD =
{CarrykatP*WP*WIDTHP*2+0.24u} PS = {CarrykatP*WP*WIDTHP*2+0.24u}
MP4 6 4 5 5 CMOSP W={Onaltilar*WIDTHP} L=0.12U PD =
{Onaltilar*WIDTHP*2+0.24u} PS = {Onaltilar*WIDTHP*2+0.24u}
MP5 6 2 9 9 CMOSP W={CarrykatP*WP*WIDTHP} L=0.12U PD =
{CarrykatP*WP*WIDTHP*2+0.24u} PS = {CarrykatP*WP*WIDTHP*2+0.24u}
MP6 12 2 1 1 CMOSP W={WP*WIDTHP} L=0.12U PD = {WP*WIDTHP*2+0.24u} PS =
{WP*WIDTHP*2+0.24u}
MP7 12 3 1 1 CMOSP W={WP*WIDTHP} L=0.12U PD = {WP*WIDTHP*2+0.24u} PS =
{WP*WIDTHP*2+0.24u}
MP8 12 4 1 1 CMOSP W={WP*WIDTHP} L=0.12U PD = {WP*WIDTHP*2+0.24u} PS =
{WP*WIDTHP*2+0.24u}
MP9 11 6 12 12 CMOSP W={WP*WIDTHP} L=0.12U PD = {WP*WIDTHP*2+0.24u} PS =
{WP*WIDTHP*2+0.24u}
MP10 14 2 1 1 CMOSP W={SonkatP*WP*WIDTHP} L=0.12U PD =
{SonkatP*WP*WIDTHP*2+0.24u} PS = {SonkatP*WP*WIDTHP*2+0.24u}
MP11 13 3 14 14 CMOSP W={SonkatP*WP*WIDTHP} L=0.12U PD =
{SonkatP*WP*WIDTHP*2+0.24u} PS = {SonkatP*WP*WIDTHP*2+0.24u}
MP12 11 4 13 13 CMOSP W={SonkatP*WP*WIDTHP} L=0.12U PD =
{SonkatP*WP*WIDTHP*2+0.24u} PS = {SonkatP*WP*WIDTHP*2+0.24u}

MN1 6 4 7 7 CMOSN W={Sekizler*WIDTHN} L=0.12U PD = {Sekizler*WIDTHN*2+0.24u}
PS = {Sekizler*WIDTHN*2+0.24u}
MN2 6 2 8 8 CMOSN W={CarrykatN*WN*WIDTHN} L=0.12U PD =
{CarrykatN*WN*WIDTHN*2+0.24u} PS = {CarrykatN*WN*WIDTHN*2+0.24u}
MN3 7 2 0 0 CMOSN W={Sekizler*WIDTHN} L=0.12U PD = {Sekizler*WIDTHN*2+0.24u}
PS = {Sekizler*WIDTHN*2+0.24u}
MN4 7 3 0 0 CMOSN W={Sekizler*WIDTHN} L=0.12U PD = {Sekizler*WIDTHN*2+0.24u}
PS = {Sekizler*WIDTHN*2+0.24u}
MN5 8 3 0 0 CMOSN W={CarrykatN*WN*WIDTHN} L=0.12U PD =
{CarrykatN*WN*WIDTHN*2+0.24u} PS = {CarrykatN*WN*WIDTHN*2+0.24u}
MN6 11 6 10 10 CMOSN W={WN*WIDTHN} L=0.12U PD = {WN*WIDTHN*2+0.24u} PS =
{WN*WIDTHN*2+0.24u}
```

```

MN7 10 2 0 0 CMOSN W={WN*WIDTHN} L=0.12U PD = {WN*WIDTHN*2+0.24u} PS =
{WN*WIDTHN*2+0.24u}
MN8 10 3 0 0 CMOSN W={WN*WIDTHN} L=0.12U PD = {WN*WIDTHN*2+0.24u} PS =
{WN*WIDTHN*2+0.24u}
MN9 10 4 0 0 CMOSN W={WN*WIDTHN} L=0.12U PD = {WN*WIDTHN*2+0.24u} PS =
{WN*WIDTHN*2+0.24u}
MN10 11 4 15 15 CMOSN W={SonkatN*WN*WIDTHN} L=0.12U PD =
{SonkatN*WN*WIDTHN*2+0.24u} PS = {SonkatN*WN*WIDTHN*2+0.24u}
MN11 15 2 16 16 CMOSN W={SonkatN*WN*WIDTHN} L=0.12U PD =
{SonkatN*WN*WIDTHN*2+0.24u} PS = {SonkatN*WN*WIDTHN*2+0.24u}
MN12 16 3 0 0 CMOSN W={SonkatN*WN*WIDTHN} L=0.12U PD =
{SonkatN*WN*WIDTHN*2+0.24u} PS = {SonkatN*WN*WIDTHN*2+0.24u}
.ENDS

.SUBCKT Inverter 1 2 3
MP1 3 2 1 1 CMOSP W={WP*WIDTHP} L=0.12U PD = {WP*WIDTHP*2+0.24u} PS =
{WP*WIDTHP*2+0.24u}
MN1 3 2 0 0 CMOSN W={WN*WIDTHN} L=0.12U PD = {WN*WIDTHN*2+0.24u} PS =
{WN*WIDTHN*2+0.24u}
.ENDS

.SUBCKT InverterBig 1 2 3
MP1 3 2 1 1 CMOSP W={Big*WP*WIDTHP} L=0.12U PD = {Big*WP*WIDTHP*2+0.24u} PS
= {Big*WP*WIDTHP*2+0.24u}
MN1 3 2 0 0 CMOSN W={Big*WN*WIDTHN} L=0.12U PD = {Big*WN*WIDTHN*2+0.24u} PS
= {Big*WN*WIDTHN*2+0.24u}
.ENDS

.STEP PARAM WIDTHN 0.36u,1.0u,0.04u
.TRAN 0.001NS 5NS
.PROBE
.op
.END

```

8 Bitlik Carry Lookahead Toplayıcı SPICE Devre Kodu

NMOS ve PMOS Transistorlar İçin Model Tanımlamaları EK-1'de verildiği için bu kodlardan çıkartılmıştır.

Eight Bit Carry Lookahead Adder

```

VDD 1 0 DC 1.2V

Vcarry Carry_In 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA0 A0 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB0 B0 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA1 A1 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB1 B1 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA2 A2 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB2 B2 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA3 A3 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB3 B3 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA4 A4 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB4 B4 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA5 A5 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB5 B5 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

```

```

VA6 A6 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB6 B6 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

VA7 A7 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)
VB7 B7 0 PULSE(0V 1.2V 0.01NS 0.01NS 0.01NS 2.5NS 5NS)

X1 1 A0 B0 A1 B1 A2 B2 A3 B3 Carry_In Carry_Out0 Sum0 Sum1 Sum2 Sum3
Four_Bit_CLHA
X2 1 A4 B4 A5 B5 A6 B6 A7 B7 Carry_Out0 Carry_Out1 Sum4 Sum5 Sum6 Sum7
Four_Bit_CLHA

.Subckt Four_Bit_CLHA 1 2 3 4 5 6 7 8 9 10 C3 Sum0 Sum1 Sum2 Sum3
X1 1 2 3 G0 Two_Input_AND
X2 1 2 3 P0 TG_XOR

X3 1 4 5 G1 Two_Input_AND
X4 1 4 5 P1 TG_XOR

X5 1 6 7 G2 Two_Input_AND
X6 1 6 7 P2 TG_XOR

X7 1 8 9 G3 Two_Input_AND
X8 1 8 9 P3 TG_XOR

X9 1 P0 P1 P2 P3 G0 G1 G2 G3 10 C3 CarryOut3

X10 1 P0 P1 P2 G0 G1 G2 10 C2 CarryOut2

X11 1 P0 P1 G0 G1 10 C1 CarryOut1

X12 1 P0 G0 10 C0 CarryOut0

X13 1 P0 10 SUM0 Big_TG_XOR

X14 1 P1 C0 SUM1 Big_TG_XOR

X15 1 P2 C1 SUM2 Big_TG_XOR

X16 1 P3 C2 SUM3 Big_TG_XOR
.Ends

C1 Carry_Out1 0 40f
C2 SUM0 0 40f
C3 SUM1 0 40f
C4 SUM2 0 40f
C5 SUM3 0 40f
C6 SUM4 0 40f
C7 SUM5 0 40f
C8 SUM6 0 40f
C9 SUM7 0 40f

*****
*****
*****
.PARAM WIDTHP = {WIDTHN*kat}
.PARAM WIDTHN = 0.23u
.PARAM kat=1.50
*****
*****
*****
*CO Devresi Parametreleri
.PARAM COBirinci = 1
.PARAM COIkinci = 1

```

```

.PARAM C0BirinciP = 3
.PARAM C0IkinciP = 4

.PARAM C0InverterWIDTHHP = 3
.PARAM C0InverterWIDTHHN = 3
*****
*C1 Devresi Parametreleri
.PARAM C1Birinci = 1
.PARAM C1Ikinci = 2
.PARAM C1Ucuncu = 2

.PARAM C1BirinciP = 1
.PARAM C1IkinciP = 2
.PARAM C1UcuncuP = 2

.PARAM C1InverterWIDTHHP = 3
.PARAM C1InverterWIDTHHN = 3
*****
*C2 Devresi Parametreleri
.PARAM C2Birinci = 1
.PARAM C2Ikinci = 2
.PARAM C2Ucuncu = 2
.PARAM C2Dorduncu = 2

.PARAM C2BirinciP = 1
.PARAM C2IkinciP = 2
.PARAM C2UcuncuP = 2
.PARAM C2DorduncuP = 2

.PARAM C2InvertWIDTHHP = 3
.PARAM C2InvertWIDTHHN = 3
*****
*C3 devresi parametreleri
.PARAM Birinci = 1
.PARAM Ikinci = 2
.PARAM Ucuncu = 2
.PARAM Dorduncu = 3
.PARAM Besinci = 3

.PARAM BirinciP = 1
.PARAM IkinciP = 2
.PARAM UcuncuP = 3
.PARAM DorduncuP = 3
.PARAM BesinciP = 3

.PARAM InverterWIDTHHP = 5
.PARAM InverterWIDTHHN = 5
*****
*Big TG_XOR Parametreleri
.PARAM TGWIDTHPO = 1
.PARAM TGWIDTHNO = 1
.PARAM TGWIDTHPI = 3
.PARAM TGWIDTHNI = 3
*****

.Subckt CarryOut0 1 2 3 4 8
MP1 7 3 1 1 CMOSP W={WIDTHHP*C0BirinciP} L=0.12U PD =
{C0BirinciP*WIDTHHP*2+0.24u} PS = {C0BirinciP*WIDTHHP*2+0.24u}
MP2 5 2 7 1 CMOSP W={WIDTHHP*C0IkinciP} L=0.12U PD =
{C0IkinciP*WIDTHHP*2+0.24u} PS = {C0IkinciP*WIDTHHP*2+0.24u}
MP3 5 4 7 1 CMOSP W={WIDTHHP*C0IkinciP} L=0.12U PD =
{C0IkinciP*WIDTHHP*2+0.24u} PS = {C0IkinciP*WIDTHHP*2+0.24u}
MP4 8 5 1 1 CMOSP W={WIDTHHP*C0InverterWIDTHHP} L=0.12U PD =
{C0InverterWIDTHHP*WIDTHHP*2+0.24u} PS = {C0InverterWIDTHHP*WIDTHHP*2+0.24u}

```

```

MN1  5  3  0  0  CMOSN  W={C0Birinci*WIDTHN}  L=0.12U  PD  =
{C0Birinci*WIDTHN*2+0.24u} PS = {C0Birinci*WIDTHN*2+0.24u}
MN2  6  4  0  0  CMOSN  W={C0Ikinci*WIDTHN}  L=0.12U  PD  = {C0Ikinci*WIDTHN*2+0.24u}
PS = {C0Ikinci*WIDTHN*2+0.24u}
MN3  5  2  6  0  CMOSN  W={C0Ikinci*WIDTHN}  L=0.12U  PD  = {C0Ikinci*WIDTHN*2+0.24u}
PS = {C0Ikinci*WIDTHN*2+0.24u}
MN4  8  5  0  0  CMOSN  W={C0InverterWIDTHN*WIDTHN}  L=0.12U  PD  =
{C0InverterWIDTHN*WIDTHN*2+0.24u} PS = {C0InverterWIDTHN*WIDTHN*2+0.24u}
.Ends
*****
.Subckt CarryOut1 1 2 3 4 5 6 13
MP1  11  5  1  1  CMOSP  W={C1BirinciP*WIDTHP}  L=0.12U  PD  =
{C1BirinciP*WIDTHP*2+0.24u} PS = {C1BirinciP*WIDTHP*2+0.24u}
MP2  12  3  11  1  CMOSP  W={C1IkinciP*WIDTHP}  L=0.12U  PD  =
{C1IkinciP*WIDTHP*2+0.24u} PS = {C1IkinciP*WIDTHP*2+0.24u}
MP3  12  4  11  1  CMOSP  W={C1IkinciP*WIDTHP}  L=0.12U  PD  =
{C1IkinciP*WIDTHP*2+0.24u} PS = {C1IkinciP*WIDTHP*2+0.24u}
MP4  7  3  12  1  CMOSP  W={C1UcuncuP*WIDTHP}  L=0.12U  PD  =
{C1UcuncuP*WIDTHP*2+0.24u} PS = {C1UcuncuP*WIDTHP*2+0.24u}
MP5  7  2  12  1  CMOSP  W={C1UcuncuP*WIDTHP}  L=0.12U  PD  =
{C1UcuncuP*WIDTHP*2+0.24u} PS = {C1UcuncuP*WIDTHP*2+0.24u}
MP6  7  6  12  1  CMOSP  W={C1UcuncuP*WIDTHP}  L=0.12U  PD  =
{C1UcuncuP*WIDTHP*2+0.24u} PS = {C1UcuncuP*WIDTHP*2+0.24u}
MP7  13  7  1  1  CMOSP  W={C1InverterWIDTHP*WIDTHP}  L=0.12U  PD  =
{C1InverterWIDTHP*WIDTHP*2+0.24u} PS = {C1InverterWIDTHP*WIDTHP*2+0.24u}

MN1  7  5  0  0  CMOSN  W={C1Birinci*WIDTHN}  L=0.12U  PD  =
{C1Birinci*WIDTHN*2+0.24u} PS = {C1Birinci*WIDTHN*2+0.24u}
MN2  8  4  0  0  CMOSN  W={C1Ikinci*WIDTHN}  L=0.12U  PD  = {C1Ikinci*WIDTHN*2+0.24u}
PS = {C1Ikinci*WIDTHN*2+0.24u}
MN3  7  3  8  0  CMOSN  W={C1Ikinci*WIDTHN}  L=0.12U  PD  = {C1Ikinci*WIDTHN*2+0.24u}
PS = {C1Ikinci*WIDTHN*2+0.24u}
MN4  10  6  0  0  CMOSN  W={C1Ucuncu*WIDTHN}  L=0.12U  PD  =
{C1Ucuncu*WIDTHN*2+0.24u} PS = {C1Ucuncu*WIDTHN*2+0.24u}
MN5  9  2  10  0  CMOSN  W={C1Ucuncu*WIDTHN}  L=0.12U  PD  =
{C1Ucuncu*WIDTHN*2+0.24u} PS = {C1Ucuncu*WIDTHN*2+0.24u}
MN6  7  3  9  0  CMOSN  W={C1Ucuncu*WIDTHN}  L=0.12U  PD  = {C1Ucuncu*WIDTHN*2+0.24u}
PS = {C1Ucuncu*WIDTHN*2+0.24u}
MN7  13  7  0  0  CMOSN  W={C1InverterWIDTHN*WIDTHN}  L=0.12U  PD  =
{C1InverterWIDTHN*WIDTHN*2+0.24u} PS = {C1InverterWIDTHN*WIDTHN*2+0.24u}
.Ends
*****
.Subckt CarryOut2 1 2 3 4 5 6 7 8 19
MP1  16  7  1  1  CMOSP  W={C2BirinciP*WIDTHP}  L=0.12U  PD  =
{C2BirinciP*WIDTHP*2+0.24u} PS = {C2BirinciP*WIDTHP*2+0.24u}
MP2  17  4  16  1  CMOSP  W={C2IkinciP*WIDTHP}  L=0.12U  PD  =
{C2IkinciP*WIDTHP*2+0.24u} PS = {C2IkinciP*WIDTHP*2+0.24u}
MP3  17  3  16  1  CMOSP  W={C2IkinciP*WIDTHP}  L=0.12U  PD  =
{C2IkinciP*WIDTHP*2+0.24u} PS = {C2IkinciP*WIDTHP*2+0.24u}
MP4  18  4  17  1  CMOSP  W={C2UcuncuP*WIDTHP}  L=0.12U  PD  =
{C2UcuncuP*WIDTHP*2+0.24u} PS = {C2UcuncuP*WIDTHP*2+0.24u}
MP5  18  3  17  1  CMOSP  W={C2UcuncuP*WIDTHP}  L=0.12U  PD  =
{C2UcuncuP*WIDTHP*2+0.24u} PS = {C2UcuncuP*WIDTHP*2+0.24u}
MP6  18  5  17  1  CMOSP  W={C2UcuncuP*WIDTHP}  L=0.12U  PD  =
{C2UcuncuP*WIDTHP*2+0.24u} PS = {C2UcuncuP*WIDTHP*2+0.24u}
MP7  9  4  18  1  CMOSP  W={C2DorduncuP*WIDTHP}  L=0.12U  PD  =
{C2DorduncuP*WIDTHP*2+0.24u} PS = {C2DorduncuP*WIDTHP*2+0.24u}
MP8  9  3  18  1  CMOSP  W={C2DorduncuP*WIDTHP}  L=0.12U  PD  =
{C2DorduncuP*WIDTHP*2+0.24u} PS = {C2DorduncuP*WIDTHP*2+0.24u}
MP9  9  2  18  1  CMOSP  W={C2DorduncuP*WIDTHP}  L=0.12U  PD  =
{C2DorduncuP*WIDTHP*2+0.24u} PS = {C2DorduncuP*WIDTHP*2+0.24u}
MP10  9  8  18  1  CMOSP  W={C2DorduncuP*WIDTHP}  L=0.12U  PD  =
{C2DorduncuP*WIDTHP*2+0.24u} PS = {C2DorduncuP*WIDTHP*2+0.24u}
MP11  19  9  1  1  CMOSP  W={C2InvertWIDTHP*WIDTHP}  L=0.12U  PD  =
{C2InvertWIDTHP*WIDTHP*2+0.24u} PS = {C2InvertWIDTHP*WIDTHP*2+0.24u}

```

```

MN1  9  7  0  0  CMOSN  W={C2Birinci*WIDTHN}  L=0.12U  PD  =
{C2Birinci*WIDTHN*2+0.24u} PS = {C2Birinci*WIDTHN*2+0.24u}
MN2  10  6  0  0  CMOSN  W={C2Ikinci*WIDTHN}  L=0.12U  PD  =
{C2Ikinci*WIDTHN*2+0.24u} PS = {C2Ikinci*WIDTHN*2+0.24u}
MN3  9  4  10  0  CMOSN  W={C2Ikinci*WIDTHN}  L=0.12U  PD  =
{C2Ikinci*WIDTHN*2+0.24u} PS = {C2Ikinci*WIDTHN*2+0.24u}
MN4  12  5  0  0  CMOSN  W={C2Ucuncu*WIDTHN}  L=0.12U  PD  =
{C2Ucuncu*WIDTHN*2+0.24u} PS = {C2Ucuncu*WIDTHN*2+0.24u}
MN5  11  3  12  0  CMOSN  W={C2Ucuncu*WIDTHN}  L=0.12U  PD  =
{C2Ucuncu*WIDTHN*2+0.24u} PS = {C2Ucuncu*WIDTHN*2+0.24u}
MN6  9  4  11  0  CMOSN  W={C2Ucuncu*WIDTHN}  L=0.12U  PD  =
{C2Ucuncu*WIDTHN*2+0.24u} PS = {C2Ucuncu*WIDTHN*2+0.24u}
MN7  15  8  0  0  CMOSN  W={C2Dorduncu*WIDTHN}  L=0.12U  PD  =
{C2Dorduncu*WIDTHN*2+0.24u} PS = {C2Dorduncu*WIDTHN*2+0.24u}
MN8  14  2  15  0  CMOSN  W={C2Dorduncu*WIDTHN}  L=0.12U  PD  =
{C2Dorduncu*WIDTHN*2+0.24u} PS = {C2Dorduncu*WIDTHN*2+0.24u}
MN9  13  3  14  0  CMOSN  W={C2Dorduncu*WIDTHN} L=0.12U  PD  =
{C2Dorduncu*WIDTHN*2+0.24u} PS = {C2Dorduncu*WIDTHN*2+0.24u}
MN10  9  4  13  0  CMOSN  W={C2Dorduncu*WIDTHN}  L=0.12U  PD  =
{C2Dorduncu*WIDTHN*2+0.24u} PS = {C2Dorduncu*WIDTHN*2+0.24u}
MN11  19  9  0  0  CMOSN  W={C2InvertWIDTHN*WIDTHN}  L=0.12U  PD  =
{C2InvertWIDTHN*WIDTHN*2+0.24u} PS = {C2InvertWIDTHN*WIDTHN*2+0.24u}
.Ends

.Subckt CarryOut3 1 2 3 4 5 6 7 8 9 10 16
MP1  15  9  1  1  CMOSP  W={BirinciP*WIDTHP}  L=0.12U  PD  =
{BirinciP*2*WIDTHP+0.24u} PS = {BirinciP*2*WIDTHP+0.24u}
MP2  14  5  15  1  CMOSP W={IkinciP*WIDTHP}  L=0.12U  PD  = {IkinciP*2*WIDTHP+0.24u}
PS = {IkinciP*2*WIDTHP+0.24u}
MP3  14  8  15  1  CMOSP W={IkinciP*WIDTHP}  L=0.12U  PD  = {IkinciP*2*WIDTHP+0.24u}
PS = {IkinciP*2*WIDTHP+0.24u}
MP4  13  5  14  1  CMOSP W={UcuncuP*WIDTHP}  L=0.12U  PD  = {UcuncuP*2*WIDTHP+0.24u}
PS = {UcuncuP*2*WIDTHP+0.24u}
MP5  13  4  14  1  CMOSP W={UcuncuP*WIDTHP}  L=0.12U  PD  = {UcuncuP*2*WIDTHP+0.24u}
PS = {UcuncuP*2*WIDTHP+0.24u}
MP6  13  7  14  1  CMOSP W={UcuncuP*WIDTHP}  L=0.12U  PD  = {UcuncuP*2*WIDTHP+0.24u}
PS = {UcuncuP*2*WIDTHP+0.24u}
MP7  12  5  13  1  CMOSP  W={DorduncuP*WIDTHP}  L=0.12U  PD  =
{DorduncuP*2*WIDTHP+0.24u} PS = {DorduncuP*2*WIDTHP+0.24u}
MP8  12  4  13  1  CMOSP  W={DorduncuP*WIDTHP}  L=0.12U  PD  =
{DorduncuP*2*WIDTHP+0.24u} PS = {DorduncuP*2*WIDTHP+0.24u}
MP9  12  3  13  1  CMOSP  W={DorduncuP*WIDTHP}  L=0.12U  PD  =
{DorduncuP*2*WIDTHP+0.24u} PS = {DorduncuP*2*WIDTHP+0.24u}
MP10  12  6  13  1  CMOSP  W={DorduncuP*WIDTHP}  L=0.12U  PD  =
{DorduncuP*2*WIDTHP+0.24u} PS = {DorduncuP*2*WIDTHP+0.24u}
MP11  11  5  12  1  CMOSP  W={BesinciP*WIDTHP}  L=0.12U  PD  =
{BesinciP*2*WIDTHP+0.24u} PS = {BesinciP*2*WIDTHP+0.24u}
MP12  11  4  12  1  CMOSP  W={BesinciP*WIDTHP}  L=0.12U  PD  =
{BesinciP*2*WIDTHP+0.24u} PS = {BesinciP*2*WIDTHP+0.24u}
MP13  11  3  12  1  CMOSP  W={BesinciP*WIDTHP}  L=0.12U  PD  =
{BesinciP*2*WIDTHP+0.24u} PS = {BesinciP*2*WIDTHP+0.24u}
MP14  11  2  12  1  CMOSP  W={BesinciP*WIDTHP}  L=0.12U  PD  =
{BesinciP*2*WIDTHP+0.24u} PS = {BesinciP*2*WIDTHP+0.24u}
MP15  11  10  12  1  CMOSP  W={BesinciP*WIDTHP}  L=0.12U  PD  =
{BesinciP*2*WIDTHP+0.24u} PS = {BesinciP*2*WIDTHP+0.24u}
MP16  16  11  1  1  CMOSP  W={InverterWIDTHP*WIDTHP}  L=0.12U  PD  =
{2*InverterWIDTHP*WIDTHP+0.24u} PS = {2*InverterWIDTHP*WIDTHP+0.24u}

MN1  11  9  0  0  CMOSN W={Birinci*WIDTHN} L=0.12U PD = {Birinci*2*WIDTHN+0.24u}
PS = {Birinci*2*WIDTHN+0.24u}
MN2  17  8  0  0  CMOSN W={Ikinci*WIDTHN} L=0.12U PD = {Ikinci*2*WIDTHN+0.24u} PS
= {Ikinci*2*WIDTHN+0.24u}
MN3  11  5  17  0  CMOSN W={Ikinci*WIDTHN} L=0.12U PD = {Ikinci*2*WIDTHN+0.24u}
PS = {Ikinci*2*WIDTHN+0.24u}

```

```

MN4 19 7 0 0 CMOSN W={Ucuncu*WIDTHN} L=0.12U PD = {Ucuncu*2*WIDTHN+0.24u} PS
= {Ucuncu*2*WIDTHN+0.24u}
MN5 18 4 19 0 CMOSN W={Ucuncu*WIDTHN} L=0.12U PD = {Ucuncu*2*WIDTHN+0.24u}
PS = {Ucuncu*2*WIDTHN+0.24u}
MN6 11 5 18 0 CMOSN W={Ucuncu*WIDTHN} L=0.12U PD = {Ucuncu*2*WIDTHN+0.24u}
PS = {Ucuncu*2*WIDTHN+0.24u}
MN7 22 6 0 0 CMOSN W={Dorduncu*WIDTHN} L=0.12U PD =
{Dorduncu*2*WIDTHN+0.24u} PS = {Dorduncu*2*WIDTHN+0.24u}
MN8 21 3 22 0 CMOSN W={Dorduncu*WIDTHN} L=0.12U PD =
{Dorduncu*2*WIDTHN+0.24u} PS = {Dorduncu*2*WIDTHN+0.24u}
MN9 20 4 21 0 CMOSN W={Dorduncu*WIDTHN} L=0.12U PD =
{Dorduncu*2*WIDTHN+0.24u} PS = {Dorduncu*2*WIDTHN+0.24u}
MN10 11 5 20 0 CMOSN W={Dorduncu*WIDTHN} L=0.12U PD =
{Dorduncu*2*WIDTHN+0.24u} PS = {Dorduncu*2*WIDTHN+0.24u}
MN11 26 10 0 0 CMOSN W={Besinci*WIDTHN} L=0.12U PD =
{Besinci*2*WIDTHN+0.24u} PS = {Besinci*2*WIDTHN+0.24u}
MN12 25 2 26 0 CMOSN W={Besinci*WIDTHN} L=0.12U PD =
{Besinci*2*WIDTHN+0.24u} PS = {Besinci*2*WIDTHN+0.24u}
MN13 24 3 25 0 CMOSN W={Besinci*WIDTHN} L=0.12U PD =
{Besinci*2*WIDTHN+0.24u} PS = {Besinci*2*WIDTHN+0.24u}
MN14 23 4 24 0 CMOSN W={Besinci*WIDTHN} L=0.12U PD =
{Besinci*2*WIDTHN+0.24u} PS = {Besinci*2*WIDTHN+0.24u}
MN15 11 5 23 0 CMOSN W={Besinci*WIDTHN} L=0.12U PD =
{Besinci*2*WIDTHN+0.24u} PS = {Besinci*2*WIDTHN+0.24u}
MN16 16 11 0 0 CMOSN W={InverterWIDTHN*WIDTHN} L=0.12U PD =
{2*InverterWIDTHN*WIDTHN+0.24u} PS = {2*InverterWIDTHN*WIDTHN+0.24u}
.Ends

.Subckt Two_Input_AND 1 2 3 6
MP1 4 2 1 1 CMOSP W={WIDTHP} L=0.12U PD = {WIDTHP*2+0.24u} PS =
{WIDTHP*2+0.24u}
MP2 4 3 1 1 CMOSP W={WIDTHP} L=0.12U PD = {WIDTHP*2+0.24u} PS =
{WIDTHP*2+0.24u}
MP3 6 4 1 1 CMOSP W={WIDTHP} L=0.12U PD = {WIDTHP*2+0.24u} PS =
{WIDTHP*2+0.24u}

MN1 5 2 0 0 CMOSN W={WIDTHN} L=0.12U PD = {WIDTHN*2+0.24u} PS =
{WIDTHN*2+0.24u}
MN2 4 3 5 0 CMOSN W={WIDTHN} L=0.12U PD = {WIDTHN*2+0.24u} PS =
{WIDTHN*2+0.24u}
MN3 6 4 0 0 CMOSN W={WIDTHN} L=0.12U PD = {WIDTHN*2+0.24u} PS =
{WIDTHN*2+0.24u}
.Ends

.Subckt TG_XOR 1 2 3 5
MP1 4 2 1 1 CMOSP W={WIDTHP} L=0.12U PD = {WIDTHP*2+0.24u} PS =
{WIDTHP*2+0.24u}
MP2 5 3 2 1 CMOSP W={WIDTHP} L=0.12U PD = {WIDTHP*2+0.24u} PS =
{WIDTHP*2+0.24u}
MP3 5 2 3 1 CMOSP W={WIDTHP} L=0.12U PD = {WIDTHP*2+0.24u} PS =
{WIDTHP*2+0.24u}

MN1 4 2 0 0 CMOSN W={WIDTHN} L=0.12U PD = {WIDTHN*2+0.24u} PS =
{WIDTHN*2+0.24u}
MN2 5 3 4 0 CMOSN W={WIDTHN} L=0.12U PD = {WIDTHN*2+0.24u} PS =
{WIDTHN*2+0.24u}
MN3 3 4 5 0 CMOSN W={WIDTHN} L=0.12U PD = {WIDTHN*2+0.24u} PS =
{WIDTHN*2+0.24u}
.Ends

.Subckt Big_TG_XOR 1 2 3 5
MP1 4 2 1 1 CMOSP W={WIDTHP*TGWIDTHPI} L=0.12U PD =
{TGWIDTHPI*WIDTHP*2+0.24u} PS = {TGWIDTHPI*WIDTHP*2+0.24u}
MP2 5 3 2 1 CMOSP W={TGWIDTHPO*WIDTHP} L=0.12U PD =
{TGWIDTHPO*WIDTHP*2+0.24u} PS = {TGWIDTHPO*WIDTHP*2+0.24u}

```



```

MP3 5 2 3 1 CMOSF W={TGWIDTHPI*WIDTHP} L=0.12U PD =
{TGWIDTHPI*WIDTHP*2+0.24u} PS = {TGWIDTHPI*WIDTHP*2+0.24u}

MN1 4 2 0 0 CMOSN W={TGWIDTHNI*WIDTHN} L=0.12U PD =
{TGWIDTHNI*WIDTHN*2+0.24u} PS = {TGWIDTHNI*WIDTHN*2+0.24u}
MN2 5 3 4 0 CMOSN W={TGWIDTHNO*WIDTHN} L=0.12U PD =
{TGWIDTHNO*WIDTHN*2+0.24u} PS = {TGWIDTHNO*WIDTHN*2+0.24u}
MN3 3 4 5 0 CMOSN W={TGWIDTHNI*WIDTHN} L=0.12U PD =
{TGWIDTHNI*WIDTHN*2+0.24u} PS = {TGWIDTHNI*WIDTHN*2+0.24u}
.Ends

.STEP PARAM WIDTHP 0.16u,1.0u,0.04u
.TRAN 0.00001ns 5ns
.PROBE
.op
.END

```

4x4'lük Dizi Çarpma Devresi SPICE Devre Kodu

NMOS ve PMOS Transistorlar İçin Model Tanımlamaları EK-1'de verildiği için bu kodlardan çıkartılmıştır.

4x4 Multiplier

```

VDD 1 0 DC 1.2V
VX0 X0 0 PULSE(0V 0V 0.0NS 0.01NS 0.01NS 10NS 20NS)
VY0 Y0 0 PULSE(0V 1.2V 0.0NS 0.01NS 0.01NS 10NS 20NS)
VX1 X1 0 PULSE(0V 0V 0.0NS 0.01NS 0.01NS 10NS 20NS)
VY1 Y1 0 PULSE(0V 1.2V 0.0NS 0.01NS 0.01NS 10NS 20NS)
VX2 X2 0 PULSE(0V 0V 0.0NS 0.01NS 0.01NS 10NS 20NS)
VY2 Y2 0 PULSE(0V 1.2V 0.0NS 0.01NS 0.01NS 10NS 20NS)
VX3 X3 0 PULSE(0V 1.2V 0.0NS 0.01NS 0.01NS 10NS 20NS)
VY3 Y3 0 PULSE(0V 1.2V 0.0NS 0.01NS 0.01NS 10NS 20NS)

.PARAM WIDTHP = {WIDTHN*kat}
.PARAM WIDTHN = 0.16u
.PARAM kat = 1.25
.PARAM WPAnd=1
.PARAM WNAnd=1
.PARAM WP=1
.PARAM WN=1
.PARAM Onaltilar=16
.PARAM Sekizler=8
.PARAM SonkatP=3
.PARAM SonkatN=2
.PARAM CarrykatP=3
.PARAM CarrykatN=1

X1 1 X0 Y0 1 1 P0 CX0Y0 Array_Multiplier_Cell_W_NAND
X2 1 X1 Y0 1 1 PX1Y0 CX1Y0 Array_Multiplier_Cell_W_NAND
X3 1 X2 Y0 1 1 PX2Y0 CX2Y0 Array_Multiplier_Cell_W_NAND
X4 1 X3 Y0 1 1 PX3Y0 CX3Y0 Array_Multiplier_Cell_W_NAND

X5 1 X0 Y1 CX0Y0 PX1Y0 P1_BAR CX0Y1_BAR Array_Multiplier_Cell
X6 1 X1 Y1 CX1Y0 PX2Y0 PX1Y1_BAR CX1Y1_BAR Array_Multiplier_Cell
X7 1 X2 Y1 CX2Y0 PX3Y0 PX2Y1_BAR CX2Y1_BAR Array_Multiplier_Cell
X8 1 X3 Y1 CX3Y0 0 PX3Y1_BAR CX3Y1_BAR Array_Multiplier_Cell

X9 1 X0 Y2 CX0Y1_BAR PX1Y1_BAR P2 CX0Y2 Array_Multiplier_Cell_W_NAND
X10 1 X1 Y2 CX1Y1_BAR PX2Y1_BAR PX1Y2 CX1Y2 Array_Multiplier_Cell_W_NAND
X11 1 X2 Y2 CX2Y1_BAR PX3Y1_BAR PX2Y2 CX2Y2 Array_Multiplier_Cell_W_NAND
X12 1 X3 Y2 CX3Y1_BAR 1 PX3Y2 CX3Y2 Array_Multiplier_Cell_W_NAND

```

```

X13 1 X0 Y3 CX0Y2 PX1Y2 P3_BAR CX0Y3_BAR Array_Multiplier_Cell
X14 1 X1 Y3 CX1Y2 PX2Y2 PX1Y3_BAR CX1Y3_BAR Array_Multiplier_Cell
X15 1 X2 Y3 CX2Y2 PX3Y2 PX2Y3_BAR CX2Y3_BAR Array_Multiplier_Cell
X16 1 X3 Y3 CX3Y2 0 PX3Y3_BAR CX3Y3_BAR Array_Multiplier_Cell

X17 1 CX0Y3_BAR PX1Y3_BAR 1 CP4 P4 FullAdder
X18 1 CP4 CP4_BAR Inverter
X19 1 CX1Y3_BAR PX2Y3_BAR CP4_BAR CP5 P5 FullAdder
X20 1 CP5 CP5_BAR Inverter
X21 1 CX2Y3_BAR PX3Y3_BAR CP5_BAR CP6 P6 FullAdder
X22 1 CP6 CP6_BAR Inverter
X23 1 CX3Y3_BAR 1 CP6_BAR CARRY P7 FullAdder
X24 1 P1_BAR P1 Inverter
X25 1 P3_BAR P3 Inverter

C0 P0 0 40f
C1 P1 0 40f
C2 P2 0 40f
C3 P3 0 40f
C4 P4 0 40f
C5 P5 0 40f
C6 P6 0 40f
C7 P7 0 40f

.Subckt Array_Multiplier_Cell 1 X Y C P Pout Cout
X1 1 X Y And_Out AND
X2 1 P C And_Out Cout Pout FullAdder
.Ends

.Subckt Array_Multiplier_Cell_W_NAND 1 X Y C P Pout Cout
X1 1 X Y And_Out NAND
X2 1 P C And_Out Cout Pout FullAdder
.Ends

.SUBCKT FullAdder 1 2 3 4 6 11
MP1 5 2 1 1 CMOSF W={Onaltilar*WIDTHHP} L=0.12U PD =
{Onaltilar*WIDTHHP*2+0.24u} PS = {Onaltilar*WIDTHHP*2+0.24u}
MP2 5 3 1 1 CMOSF W={Onaltilar*WIDTHHP} L=0.12U PD =
{Onaltilar*WIDTHHP*2+0.24u} PS = {Onaltilar*WIDTHHP*2+0.24u}
MP3 9 3 1 1 CMOSF W={CarrykatP*WP*WIDTHHP} L=0.12U PD =
{CarrykatP*WP*WIDTHHP*2+0.24u} PS = {CarrykatP*WP*WIDTHHP*2+0.24u}
MP4 6 4 5 5 CMOSF W={Onaltilar*WIDTHHP} L=0.12U PD =
{Onaltilar*WIDTHHP*2+0.24u} PS = {Onaltilar*WIDTHHP*2+0.24u}
MP5 6 2 9 9 CMOSF W={CarrykatP*WP*WIDTHHP} L=0.12U PD =
{CarrykatP*WP*WIDTHHP*2+0.24u} PS = {CarrykatP*WP*WIDTHHP*2+0.24u}
MP6 12 2 1 1 CMOSF W={WP*WIDTHHP} L=0.12U PD = {WP*WIDTHHP*2+0.24u} PS =
{WP*WIDTHHP*2+0.24u}
MP7 12 3 1 1 CMOSF W={WP*WIDTHHP} L=0.12U PD = {WP*WIDTHHP*2+0.24u} PS =
{WP*WIDTHHP*2+0.24u}
MP8 12 4 1 1 CMOSF W={WP*WIDTHHP} L=0.12U PD = {WP*WIDTHHP*2+0.24u} PS =
{WP*WIDTHHP*2+0.24u}
MP9 11 6 12 12 CMOSF W={WP*WIDTHHP} L=0.12U PD = {WP*WIDTHHP*2+0.24u} PS =
{WP*WIDTHHP*2+0.24u}
MP10 14 2 1 1 CMOSF W={SonkatP*WP*WIDTHHP} L=0.12U PD =
{SonkatP*WP*WIDTHHP*2+0.24u} PS = {SonkatP*WP*WIDTHHP*2+0.24u}
MP11 13 3 14 14 CMOSF W={SonkatP*WP*WIDTHHP} L=0.12U PD =
{SonkatP*WP*WIDTHHP*2+0.24u} PS = {SonkatP*WP*WIDTHHP*2+0.24u}
MP12 11 4 13 13 CMOSF W={SonkatP*WP*WIDTHHP} L=0.12U PD =
{SonkatP*WP*WIDTHHP*2+0.24u} PS = {SonkatP*WP*WIDTHHP*2+0.24u}

MN1 6 4 7 7 CMOSN W={Sekizler*WIDTHHN} L=0.12U PD = {Sekizler*WIDTHHN*2+0.24u}
PS = {Sekizler*WIDTHHN*2+0.24u}

```

```

MN2  6  2  8  8  CMOSN  W={CarrykatN*WN*WIDTHN}  L=0.12U  PD  =
{CarrykatN*WN*WIDTHN*2+0.24u} PS = {CarrykatN*WN*WIDTHN*2+0.24u}
MN3  7  2  0  0  CMOSN  W={Sekizler*WIDTHN}  L=0.12U  PD  = {Sekizler*WIDTHN*2+0.24u}
PS = {Sekizler*WIDTHN*2+0.24u}
MN4  7  3  0  0  CMOSN  W={Sekizler*WIDTHN}  L=0.12U  PD  = {Sekizler*WIDTHN*2+0.24u}
PS = {Sekizler*WIDTHN*2+0.24u}
MN5  8  3  0  0  CMOSN  W={CarrykatN*WN*WIDTHN}  L=0.12U  PD  =
{CarrykatN*WN*WIDTHN*2+0.24u} PS = {CarrykatN*WN*WIDTHN*2+0.24u}
MN6  11  6  10  10  CMOSN  W={WN*WIDTHN}  L=0.12U  PD  = {WN*WIDTHN*2+0.24u} PS =
{WN*WIDTHN*2+0.24u}
MN7  10  2  0  0  CMOSN  W={WN*WIDTHN}  L=0.12U  PD  = {WN*WIDTHN*2+0.24u} PS =
{WN*WIDTHN*2+0.24u}
MN8  10  3  0  0  CMOSN  W={WN*WIDTHN}  L=0.12U  PD  = {WN*WIDTHN*2+0.24u} PS =
{WN*WIDTHN*2+0.24u}
MN9  10  4  0  0  CMOSN  W={WN*WIDTHN}  L=0.12U  PD  = {WN*WIDTHN*2+0.24u} PS =
{WN*WIDTHN*2+0.24u}
MN10  11  4  15  15  CMOSN  W={SonkatN*WN*WIDTHN}  L=0.12U  PD  =
{SonkatN*WN*WIDTHN*2+0.24u} PS = {SonkatN*WN*WIDTHN*2+0.24u}
MN11  15  2  16  16  CMOSN  W={SonkatN*WN*WIDTHN}  L=0.12U  PD  =
{SonkatN*WN*WIDTHN*2+0.24u} PS = {SonkatN*WN*WIDTHN*2+0.24u}
MN12  16  3  0  0  CMOSN  W={SonkatN*WN*WIDTHN}  L=0.12U  PD  =
{SonkatN*WN*WIDTHN*2+0.24u} PS = {SonkatN*WN*WIDTHN*2+0.24u}
.ENDS

.Subckt AND 1 2 3 6
MP1  4  2  1  1  CMOSP  W={WPAnd*WIDTHHP}  L=0.12U  PD  = {WPAnd*WIDTHHP*2+0.24u} PS =
{WPAnd*WIDTHHP*2+0.24u}
MP2  4  3  1  1  CMOSP  W={WPAnd*WIDTHHP}  L=0.12U  PD  = {WPAnd*WIDTHHP*2+0.24u} PS =
{WPAnd*WIDTHHP*2+0.24u}
MP3  6  4  1  1  CMOSP  W={1*WIDTHHP}  L=0.12U  PD  = {1*WIDTHHP*2+0.24u} PS =
{1*WIDTHHP*2+0.24u}

MN1  5  2  0  0  CMOSN  W={WNAnd*WIDTHN}  L=0.12U  PD  = {WNAnd*WIDTHN*2+0.24u} PS =
{WNAnd*WIDTHN*2+0.24u}
MN2  4  3  5  0  CMOSN  W={WNAnd*WIDTHN}  L=0.12U  PD  = {WNAnd*WIDTHN*2+0.24u} PS =
{WNAnd*WIDTHN*2+0.24u}
MN3  6  4  0  0  CMOSN  W={1*WIDTHN}  L=0.12U  PD  = {1*WIDTHN*2+0.24u} PS =
{1*WIDTHN*2+0.24u}
.Ends

.Subckt NAND 1 2 3 4
MP1  4  2  1  1  CMOSP  W={WPAnd*WIDTHHP}  L=0.12U  PD  = {WPAnd*WIDTHHP*2+0.24u} PS =
{WPAnd*WIDTHHP*2+0.24u}
MP2  4  3  1  1  CMOSP  W={WPAnd*WIDTHHP}  L=0.12U  PD  = {WPAnd*WIDTHHP*2+0.24u} PS =
{WPAnd*WIDTHHP*2+0.24u}

MN1  5  2  0  0  CMOSN  W={WNAnd*WIDTHN}  L=0.12U  PD  = {WNAnd*WIDTHN*2+0.24u} PS =
{WNAnd*WIDTHN*2+0.24u}
MN2  4  3  5  0  CMOSN  W={WNAnd*WIDTHN}  L=0.12U  PD  = {WNAnd*WIDTHN*2+0.24u} PS =
{WNAnd*WIDTHN*2+0.24u}
.Ends

.SUBCKT      Inverter 1 2 3
MP1  3  2  1  1  CMOSP  W={WP*WIDTHHP}  L=0.12U  PD  = {WP*WIDTHHP*2+0.24u} PS =
{WP*WIDTHHP*2+0.24u}
MN1  3  2  0  0  CMOSN  W={WN*WIDTHN}  L=0.12U  PD  = {WN*WIDTHN*2+0.24u} PS =
{WN*WIDTHN*2+0.24u}
.ENDS

.STEP PARAM WIDTHN 0.50u, 2.0u,0.10u
.TRAN 0.0000001NS 100NS
.PROBE
.op
.END

```

ÖZGEÇMİŞ

Adı Soyadı : Tuna GÖKU
Doğum Yeri : ISPARTA
Doğum Yılı : 1974
Medeni Hali : Evli, 1 çocuk babası

Eğitim ve Akademik Durumu:

Lise : 1985 – 1992 Isparta Anadolu Lisesi
Lisans : 1992 – 1996 Hacettepe Üniversitesi Mühendislik Fakültesi, Elektronik
Mühendisliği Bölümü

Yabancı Dil : İngilizce

İş Deneyimi:

1997-1998 TÜBİTAK-BİLTEN, Ankara, Araştırmacı
1998-2000 MAKİM Ltd. Şti., Ankara, Programcı
2002- Okutman, Süleyman Demirel Üniversitesi, Bilgi İşlem Dairesi
Başkanlığı

Askerlik Görevi: Tamamlandı. 2000-2002, 3. Ana Jet Üssü, Konya