

**T.C.
SÜLEYMAN DEMİREL ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**BİLGİSAYAR DESTEKLİ FPGA TABANLI SAYISAL SİSTEMLER
DENEY SETİ TASARIMI**

Cem Deniz KUMRAL

**Danışman
Dr. Öğr. Üyesi Mevlüt ERSOY**

**YÜKSEK LİSANS TEZİ
BİLGİSAYAR MÜHENDİSLİĞİ ANABİLİM DALI
ISPARTA - 2020**



© 2020 [Cem Deniz KUMRAL]

TEZ ONAYI

Cem Deniz KUMRAL tarafından hazırlanan "**Bilgisayar Destekli FPGA Tabanlı Sayısal Sistemler Deney Seti Tasarımı**" adlı tez çalışması aşağıdaki jüri üyeleri önünde Süleyman Demirel Üniversitesi Fen Bilimleri Enstitüsü **Bilgisayar Mühendisliği Anabilim Dalı**'nda **YÜKSEK LİSANS TEZİ** olarak başarı ile savunulmuştur.

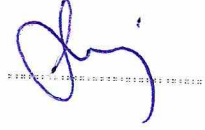
Danışman

Dr. Öğr. Üyesi Mevlüt ERSOY
Süleyman Demirel Üniversitesi



Jüri Üyesi

Doç. Dr. İsmail Serkan ÜNCÜ
Isparta Uygulamalı Bilimler Üniversitesi



Jüri Üyesi

Dr. Öğr. Üyesi Asım Sinan YÜKSEL
Süleyman Demirel Üniversitesi



Enstitü Müdürü

Doç. Dr. Şule Sultan UĞUR



TAAHHÜTNAME

Bu tezin akademik ve etik kurallara uygun olarak yazıldığını ve kullanılan tüm literatür bilgilerinin referans gösterilerek tezde yer aldığını beyan ederim.

Cem Deniz KUMRAL



İÇİNDEKİLER

	Sayfa
İÇİNDEKİLER.....	i
ÖZET	ii
ABSTRACT	iii
TEŞEKKÜR.....	iv
ŞEKİLLER DİZİNİ	v
ÇİZELGELER DİZİNİ	vii
SİMGELER VE KISALTMALAR DİZİNİ	viii
1. GİRİŞ.....	1
2. KAYNAK ÖZETLERİ.....	4
3. MATERYAL VE YÖNTEM	18
3.1. FPGA İşlemcisine Genel Bakış.....	18
3.2. VHDL Diline Genel Bakış.....	21
3.3. Deney Setinin Gerçekleştirilmesi	22
3.3.1. Deney setinde kullanılan bileşenler	23
3.3.2. Deneylerin FPGA tasarımının gerçekleştirilmesi.....	24
3.3.3. Arayüz uygulamasının geliştirilmesi ve veritabanı işlemleri.....	26
3.3.3.1. Kullanıcı giriş ekranları	28
3.3.3.2. Deney seçim ekranı	28
3.3.3.3. Eğitimci kontrol ekranı	30
3.3.4. Gömülü sistem ile FPGA platformunun haberleşmesi	30
3.3.5. Grafik LCD panellerin kontrolü.....	32
3.3.6. Deney setinin dış plaka çizimi ve baskı işlemleri.....	33
4. ARAŞTIRMA BULGULARI.....	35
4.1. Geliştirilen Deney Setine Eklenen Deney Senaryoları.....	35
4.1.1. Değil kapısı deneyi	35
4.1.2. VE kapısı deneyi.....	38
4.1.3. VEYA kapısı deneyi	40
4.1.4. Kombinasyonel devre tasarımı deneyi	43
4.1.5. Yarım toplayıcı devre deneyi.....	46
4.1.6. Tam toplayıcı devre deneyi	50
4.1.7. Yarım çıkarıcı devre deneyi	53
4.1.8. Tam çıkarıcı devre deneyi.....	56
4.1.9. Karşılaştırmalı devre deneyi.....	59
4.1.10. 4x1 MUX (Multiplexer, Çoklayıcı) deneyi.....	62
4.1.11. 7 Bölmeli Gösterge sürme deneyi.....	65
4.1.12. D flip-flop deneyi.....	67
4.1.13. JK flip-flop deneyi	70
4.2. Deney Setinin Performansı ve Kaynak Kullanım Oranları.....	73
5. TARTIŞMA VE SONUÇLAR.....	76
KAYNAKLAR	78
ÖZGEÇMİŞ.....	81

ÖZET

Yüksek Lisans Tezi

BİLGİSAYAR DESTEKLİ FPGA TABANLI SAYISAL SİSTEMLER DENEY SETİ TASARIMI

Cem Deniz KUMRAL

**Süleyman Demirel Üniversitesi
Fen Bilimleri Enstitüsü
Bilgisayar Mühendisliği Anabilim Dalı**

Danışman: Dr. Öğr. Üyesi Mevlüt ERSOY

Eğitim kurumlarında gerçekleştirilen uygulamalı öğretim faaliyetleri için laboratuvar gibi fiziki mekanların oluşturulması gerekmektedir. Bu tür öğretim faaliyetlerine katılan öğrencilerin konuyu daha iyi anlamaları için konu ile ilgili deney ortamlarının oluşturulması konuların anlaşılma seviyesini arttırmaktadır. Bu deney ortamları oluşturulurken uygulama konusuyla ilgili deney setlerinin mevcut olması eğitimin kalitesini arttırmada etkili olmaktadır. Günümüzde kullanılan deney setleri gerek içerik olarak yetersiz kalmakta gerekse eğitim kurumlarına maliyetli olmaktadır.

Bu çalışmada, Sayısal İletişim, Sayısal Elektronik ve Mantıksal Tasarım derslerinin eğitimini veren lise ve üniversite düzeyindeki kurumlarda söz konusu derslerin uygulamalarını tek bir deney seti üzerinde daha etkin ve daha anlaşılabilir bir düzeyde gerçekleştirmek amaçlanmıştır. Geliştirilen deney setinin mantıksal işlemleri FPGA platformu üzerinde gerçekleşmektedir. FPGA'lar sayısal iletişim, mantıksal devreler, kombinasyonel devrelerin tasarımları ve kontrol devreleri gibi birçok alanda kullanılabilir. Paralel işlem gerçekleştirebilme yeteneğine sahip olduğundan FPGA kartları ile hem yüksek performansta çalışan hem de kararlı sonuçlar üreten sistem tasarımları üretilebilmektedir. Oluşturulan tasarım ile farklı dersler ve konuları içeren uygulamaların, deney elemanlarının veya tümleşik devre tasarımlarının FPGA üzerinde VHDL aracılığıyla tasarımları yapılarak tek bir deney seti üzerinde toplanması sağlanmıştır.

Gerçekleştirilen çalışma sonucunda, eğitim kurumlarının laboratuvar malzemeleri için ayırmış oldukları mali kaynakları azaltacak ergonomik, taşınabilir, kullanıcı dostu ve eğitmenin öğrenciyi ağ ortamından uzaktan takip edebileceği tümleşik bir deney seti tasarımı oluşturulmuştur.

Anahtar Kelimeler: Deney seti tasarımı, FPGA, VHDL, Sayısal sistemler.

2020, 81 sayfa

ABSTRACT

M.Sc. Thesis

COMPUTER SUPPORTED FPGA BASED DIGITAL SYSTEMS EXPERIMENT SET DESIGN

Cem Deniz KUMRAL

**Süleyman Demirel University
Graduate School of Natural and Applied Sciences
Department of Computer Engineering**

Supervisor: Asst. Prof. Dr. Mevlüt ERSOY

Physical places such as laboratories should be created for applied teaching activities in educational institutions. In order for the students participating in such teaching activities to understand the subject better, creating experimental environments related to the subject increases the level of understanding of the topics. The existence of experiment sets related to the subject of application while creating these experimental environments is effective in increasing the quality of education. The experiment sets used today are both insufficient in content and costly to educational institutions.

In this study, it is aimed to carry out the applications of these courses in a more effective and more understandable level on a single set of experiments in high school and university level institutions that teach Digital Communication, Digital Electronics and Logical Design courses. The logical operations of the developed experiment set take place on the FPGA platform. FPGAs can be used in many fields such as digital communication, logical circuits, designs of combinational circuits and control circuits. Since it has the ability to perform parallel operations, system designs that work both at high performance and producing stable results can be produced with FPGA cards. With the created design, applications containing different courses and subjects, experimental elements or integrated circuit designs were designed on FPGA by VHDL and gathered on a single experiment set.

As a result of the work carried out, an integrated experiment set design has been created, which will reduce the financial resources allocated by educational institutions for laboratory materials, ergonomic, portable, user-friendly and the instructor can follow the student remotely from the network environment.

Keywords: Experiment set design, FPGA, VHDL, Digital systems.

2020, 81 pages

TEŐEKKÜR

Tez alıőması kapsamında beni ynlendiren, doęru yntemlerle ilerlememi saęlayan ve karőılaőtıęım zorlukları bilgi ve tecrbesi ile aőmamda yardımcı olan deęerli danıőman hocam Dr. ęr. yesi Mevlt ERSOY'a sayęı ve teőekkrlerimi sunarım.

Tez alıőması sonucunda oluőturdugum tasarımın izim ve baskı iőlemlerinde emeęi geen arkadaőım Ali TOPAL'a ve ęr. Gr. Serhat UYSAL'a teőekkr ederim.

Tez alıőmamda beni hibir anlamda yalnız bırakmayan aileme sonsuz sevgi ve sayęılarımı sunarım.

Cem Deniz KUMRAL
ISPARTA, 2020



ŞEKİLLER DİZİNİ

	Sayfa
Şekil 3.1. Temel FPGA mimarisi	19
Şekil 3.2. Xilinx Spartan XC3S500E FPGA kartı	20
Şekil 3.3. VHDL örnek kod parçası	21
Şekil 3.4. Deney seti blok diyagramı.....	22
Şekil 3.5. Deney seti ön yüz tasarımı.....	23
Şekil 3.6. Deney seti temsili elektronik bağlantıları.....	25
Şekil 3.7. Tasarımın örnek VHDL kod parçası	26
Şekil 3.8. Arayüz uygulamasının genel görüntüsü	27
Şekil 3.9. Arayüz uygulaması veritabanı diyagramı	27
Şekil 3.10. Kullanıcı giriş ekranları.....	28
Şekil 3.11. Deney seçim ekranı	29
Şekil 3.12. Eğitimci kontrol ekranı.....	30
Şekil 3.13. Grafik LCD panel örnek çizimleri.....	33
Şekil 3.14. Deney setinin dış plaka çizimi	34
Şekil 3.15. Deney setinin baskı parçaları.....	34
Şekil 4.1. Değil kapısı devre şeması	36
Şekil 4.2. Değil kapısı simülasyon çıktısı	37
Şekil 4.3. Değil kapısı deney seti uygulaması.....	37
Şekil 4.4. VE kapısı devre şeması.....	38
Şekil 4.5. VE kapısı karnaugh diyagramı	38
Şekil 4.6. VE kapısı simülasyon çıktısı	39
Şekil 4.7. VE kapısı deney seti uygulaması	40
Şekil 4.8. VEYA kapısı devre şeması	41
Şekil 4.9. VEYA kapısı karnaugh diyagramı	41
Şekil 4.10. VEYA kapısı simülasyon çıktısı.....	42
Şekil 4.11. VEYA kapısı deney seti uygulaması	43
Şekil 4.12. Kombinasyonel devre şeması	43
Şekil 4.13. Kombinasyonel devre karnaugh diyagramı	44
Şekil 4.14. Kombinasyonel devre simülasyon çıktısı.....	46
Şekil 4.15. Kombinasyonel devre deney seti uygulaması.....	46
Şekil 4.16. Yarım toplayıcı devre şeması	47
Şekil 4.17. Yarım toplayıcı devre karnaugh diyagramları	48
Şekil 4.18. Yarım toplayıcı devre simülasyon çıktısı.....	49
Şekil 4.19. Yarım toplayıcı devre deney seti uygulaması	49
Şekil 4.20. Tam toplayıcı devre şeması	50
Şekil 4.21. Tam toplayıcı devre karnaugh diyagramları.....	51
Şekil 4.22. Tam toplayıcı devre simülasyon çıktısı.....	52
Şekil 4.23. Tam toplayıcı devre deney seti uygulaması	53
Şekil 4.24. Yarım çıkarıcı devre şeması.....	53
Şekil 4.24. Yarım çıkarıcı devre karnaugh diyagramları	54
Şekil 4.26. Yarım çıkarıcı devre simülasyon çıktısı	55
Şekil 4.27. Yarım çıkarıcı devre deney seti uygulaması.....	56
Şekil 4.28. Tam çıkarıcı devre şeması.....	57
Şekil 4.29. Tam çıkarıcı devre karnaugh diyagramları	57
Şekil 4.30. Tam çıkarıcı devre simülasyon çıktısı	58
Şekil 4.31. Tam çıkarıcı devre deney seti uygulaması.....	59

	Sayfa
Şekil 4.32. Karşılaştırmalı devre şeması.....	60
Şekil 4.33. Karşılaştırmalı devre karnaugh diyagramları	60
Şekil 4.34. Karşılaştırmalı devre simülasyon çıktısı.....	61
Şekil 4.35. Karşılaştırmalı devre deney seti uygulaması	62
Şekil 4.36. 4x1 MUX devre şeması.....	63
Şekil 4.37. 4x1 MUX deneyi simülasyon çıktısı	65
Şekil 4.38. 4x1 MUX deney seti uygulaması	65
Şekil 4.39. 7 Bölmeli Gösterge devre şeması.....	66
Şekil 4.40. D flip-flop devre şeması.....	68
Şekil 4.41. D flip-flop simülasyon çıktısı.....	70
Şekil 4.42. D flip-flop deney seti uygulaması	70
Şekil 4.43. JK flip-flop devre şeması	71
Şekil 4.44. JK flip-flop simülasyon çıktısı.....	72
Şekil 4.45. JK flip-flop deney seti uygulaması.....	73



ÇİZELGELER DİZİNİ

	Sayfa
Çizelge 3.1. Xilinx Spartan XC3S500E karakteristik özellikleri	20
Çizelge 3.2. Deneylelerin haberleşme kodları.....	32
Çizelge 4.1. Değil kapısı doğruluk tablosu	36
Çizelge 4.2. Değil kapısı deneyi FPGA kaynak kullanım oranları	37
Çizelge 4.3. VE kapısı doğruluk tablosu	39
Çizelge 4.4. VE kapısı deneyi FPGA kaynak kullanım oranları.....	40
Çizelge 4.5. VEYA kapısı doğruluk tablosu.....	41
Çizelge 4.6. VEYA kapısı deneyi FPGA kaynak kullanım oranları	42
Çizelge 4.7. Kombinasyonel devre doğruluk tablosu.....	44
Çizelge 4.8. Kombinasyonel devre deneyi FPGA kaynak kullanım oranları .	46
Çizelge 4.9. Yarım toplayıcı devre doğruluk tablosu	48
Çizelge 4.10. Yarım toplayıcı devre deneyi FPGA kaynak kullanım oranları.....	49
Çizelge 4.11. Tam toplayıcı devre doğruluk tablosu	51
Çizelge 4.12. Tam toplayıcı devre deneyi FPGA kaynak kullanım oranları...	52
Çizelge 4.13. Yarım çıkarıcı devre doğruluk tablosu	54
Çizelge 4.14. Yarım çıkarıcı devre deneyi FPGA kaynak kullanım oranları..	55
Çizelge 4.15. Tam çıkarıcı devre doğruluk tablosu.....	59
Çizelge 4.16. Tam çıkarıcı devre deneyi FPGA kaynak kullanım oranları	60
Çizelge 4.17. Karşılaştırmacı devre doğruluk tablosu.....	61
Çizelge 4.18. Karşılaştırmacı devre deneyi FPGA kaynak kullanım oranları	62
Çizelge 4.19. 4x1 MUX devresi doğruluk tablosu	64
Çizelge 4.20. 4x1 MUX deneyi FPGA kaynak kullanım oranları.....	65
Çizelge 4.21. 7 Bölmeli Gösterge doğruluk tablosu	67
Çizelge 4.22. D flip-flop doğruluk tablosu	69
Çizelge 4.23. D flip-flop deneyi FPGA kaynak kullanım oranları.....	70
Çizelge 4.24. JK flip-flop doğruluk tablosu.....	71
Çizelge 4.25. JK flip-flop deneyi FPGA kaynak kullanım oranları	72
Çizelge 4.26. FPGA işlemcisinin kaynak kullanım oranları	74
Çizelge 4.27. Deney setinin literatürdeki çalışmaları ile karşılaştırılması	75

SİMGELER VE KISALTMALAR DİZİNİ

AC	Alternatif akım
B	Byte
CM	Santimetre
DC	Dođru akım
FPGA	Alanda Programlanabilir Kapı Dizileri
GND	Toprak hattı
Hz	Hertz
I	Devre giriři
K	Kilo
O	Devre çıkıřı
RAM	Rastgele erişimli bellek
V	Volt
VCC	Pozitif besleme voltajı
VHDL	Çok Yüksek Hızlı Tümlleşik Devreler Donanım Tanımlama Dili

1. GİRİŞ

Eđitim kurumlarında gerekleřtirilen uygulamalı öğretim faaliyetleri iin laboratuvar gibi fiziki mekanların oluřturulması gerekmektedir. Bu tr öğretim faaliyetlerine katılan öğrencilerin konuyu daha iyi anlamaları iin konu ile ilgili deney ortamlarının oluřturulması konuların anlaşılma seviyesini arttırmaktadır. Bu deney ortamları oluřturulurken uygulama konusuyla ilgili deney setlerinin mevcut olması eđitimin kalitesini artırmada etkili olmaktadır. Gnmzde kullanılan deney setleri gerek ierik olarak yetersiz kalmakta gerekse eđitim kurumlarına maliyetli olmaktadır.

Gnmzde farklı amalar iin geliřtirilmiř deney seti tasarımları bulunmaktadır. Bu deney setleri ticari veya akademik ortamlarda tasarlanarak alıřmaları yapılmaktadır. Ancak mevcut deney setleri genellikle tek bir ders veya konuya ynelik olarak tasarlanmaktadır. lkemizde ve diđer lkelerde ticari ama iin geliřtirilmiř deney setleri bulunmaktadır (ScienceTech, 2019; Yıldırım, 2019). Bu deney setleri genellikle lise ve niversite dzeyinde farklı konuları kapsayacak řekilde retilmektedir. Bilgisayar kontroll deney setleri ile ilgili akademik alıřmalar incelendiđinde farklı konuları ieren deney seti tasarımları yapılmıřtır. Bu tasarımlarda temel elektronik derslerinde kullanılabilen deney seti (Kobak, 2006), web zerinden kontrol edilebilen g elektroniđi dersi iin geliřtirilmiř deney seti (Yavuzelik, 2008), internet zerinden mikroişlemci deneylerinin yapılmasını sađlayabilen deney seti (Gnaydın, 2014), temel haberleşme deneylerinin yapılabilđiđi deney seti (zbek, 2014), bilgisayar tabanlı katı maddelerin harmonik hareketlerini sađlayan deney seti (Musik, 2017) gibi alıřmalar yapılmıřtır. Bu alıřmalar incelendiđinde genellikle tek bir konuyu ieren ve her deney iin ayrı ayrı elektronik devre tasarımı yapılmıřtır.

Alanda Programlanabilir Kapı Dizileri (FPGA – Field Programmable Gate Array), sayısal tasarım konusunda geliřtiricilerin etkin bir řekilde devre tasarlamasına ve oluřturulan devrelerin elektronik ortamlarda test edilip dođrulanmasına olanak sađlayan tmleşik devrelerdir. FPGA'lar sayısal iletiřim, mantıksal devreler, kombinasyonel devrelerin tasarımları ve kontrol devreleri gibi birok

alanda kullanılabilir. Bu kartlar sayesinde sayısal devreler ve kontrol devreleri Çok Yüksek Hızlı Tümlşik Devreler Donanım Tanımlama Dili (VHDL – Very High Speed Integrated Circuit Hardware Description Language) ile kodlanarak hızlı bir şekilde devreleri elle kurmadan istenilen devre özellikleri tanımlanabilmektedir. Paralel işlem gerçekleştirebilme yeteneğine sahip olduğundan bu kartlar ile hem yüksek performansta çalışan hem de kararlı sonuçlar üreten sistem tasarımları üretilebilmektedir. Bu özellik, tez kapsamında FPGA platformunun kullanılmasının temel sebebini temsil etmektedir.

Bu çalışmada, Sayısal İletişim, Sayısal Elektronik ve Mantıksal Tasarım derslerinin eğitimini veren lise ve üniversite düzeyindeki kurumlarda söz konusu derslerin uygulamalarını tek bir deney seti üzerinde daha etkin ve daha anlaşılabilir bir düzeyde gerçekleştirmek amaçlanmıştır. Günümüz koşullarında, birçok derste kullanılmakta olan deney setleri her ders veya konu için farklılık göstermektedir. Bu durum farklı donanım tasarımlarından oluşan deney seti kullanımına neden olmaktadır. Geliştirilen deney seti ile farklı dersler ve konuları içeren deney setlerine ait deney elemanlarının veya tümlşik devre tasarımlarının FPGA üzerinde VHDL aracılığıyla tasarımları yapılarak tek bir deney seti üzerinde toplanması sağlanmıştır. FPGA'lar üretim aşamasından sonra tasarımcının istediği fonksiyona göre donanım yapısını değiştirmesine olanak sağlamaktadır. Bu sayede, tasarlanan deney setine günümüz teknolojilerine uygun güncel deneylerin de eklenmesi sağlanmıştır. Deney setinin geliştirilmesinde kullanılan bir diğer temel donanım elemanı ise Raspberry Pi gömülü sistem bilgisayarıdır. Deney setinin içeriğinde bulunan arayüz uygulaması ve veritabanı işlemlerinin tümü gömülü sistem bilgisayarında geliştirilmiştir. Deney setini kullanan öğrenciler deneylerin ihtiyaçlarına göre VHDL ile kodlanmış deney elemanlarını veya tümlşik devre tasarımlarını deney seti üzerindeki gömülü sistem kontrollü bir dokunmatik LCD ekrandan seçebilmektedir. Programlanan arayüz uygulaması ve bu uygulamayla paralel yürütülen veritabanı işlemleri Raspberry Pi gömülü sistemi üzerinde hızlı bir biçimde çalışmaktadır. Aynı zamanda kullanılan kartın sunduğu giriş-çıkış pinleri sayesinde gömülü sistem bilgisayarı ile FPGA kartının haberleşmesi hızlı ve kararlı bir şekilde sağlanmıştır. Buna ek olarak öğrencinin seçmiş olduğu

deneyde görev alan devre elemanları Grafik LCD panellerde görüntülenmektedir. Grafik LCD panellerin kenarlarında yer alan pinler sayesinde deney elemanlarına giriş ve çıkış işlemleri yapılabilmektedir. Ayrıca deney seti üzerinde öğrencilerin yapmış oldukları işlemler veritabanına aktarılarak kayıt altında tutulmaktadır. Bu veriler sayesinde öğretmenlerin ağ üzerinden öğrenciyi takip edebilmesi sağlanmıştır.

Gerçekleştirilen çalışma sonucunda, eğitim kurumlarının laboratuvar malzemeleri için ayırmış oldukları mali kaynakları azaltacak bir tasarım oluşturulmuştur. Eğitimlerde gerçekleştirilecek olan deneylerin hazırlık süreçleri kısaltılmış, deneylerin başarımının deney seti üzerinden takip edilebilmesi sağlanmış ve eğitim alan öğrencilerin eğitimden etkin bir biçimde fayda sağlaması imkânı elde edilmiştir. Bu özellikler sayesinde ergonomik, taşınabilir, kullanıcı dostu, öğretmenin öğrenciyi ağ ortamından uzaktan takip edebileceği tümleşik bir deney seti tasarımı oluşturulmuştur.

2. KAYNAK ÖZETLERİ

Tez kapsamında çalışılan konuların içeriğiyle ilgili olarak bir literatür analizi yapılmıştır. FPGA, gömülü sistem ve elektronik devre tasarımları içeren çalışmalar kısaca açıklanarak bu çalışmalar neticesinde elde edilen sonuçlar sunulmuştur.

Kobak (2006) tez çalışmasında, temel elektronik konularını kapsayan ve 23 adet temel elektronik deneyinin yapılabildiği bir deney seti tasarımı gerçekleştirmiştir. Uygulanacak deneyleri içine alan 13 adet modül tasarlamıştır. Yapılacak deneylerin çizim ve analizlerini Proteus ISIS Professional Release 6.7 SP3 Advanced Simulation programı ile deney modüllerini ise Proteus ARES Professional Release 6.7 SP3 level 3 programı ile hazırlamıştır. Böylece yükselteç devrelerinin giriş ve çıkışlarını analiz etme fırsatını elde etmiştir. Yükselteç deneylerini yaparken bazı sinyalleri elde etmek için, bir sinyal jeneratörünü deney seti içerisine yerleştirmiştir. Deney modüllerini 150x200 mm boyutlarında çift yüzü epoksi plaketten imal etmiş ve plaketin alt yüzeyini lehimleme için, üst yüzeyini ise devre takibi için kullanmıştır. Oluşturduğu tasarımın derslerde kullanımı sonucunda konuların anlatımı ve deneylerin yapımı için büyük kolaylıklar sağlanacağını savunmuştur. Ek olarak başka elektronik konularını içeren modüllerin de üretilen sete eklenerek deney setinin etkinliğinin arttırılabileceğini öne sürmüştür.

Yavuzçelik (2008) tez çalışmasında, güç elektroniği dersinde kullanılmakta olan çevirici devreler ile ilgili deneylerin web ortamı üzerinden gerçek laboratuvar ortamına bağlantı kurarak yapılmasını sağlamıştır. İlk olarak gerçekleştireceği devreler kapsamında literatür araştırmalarını yaparak bilgi toplamıştır. Daha sonra ise .Net programlama dili ile PIC arasındaki haberleşmenin nasıl sağlanacağını araştırarak bir devre kurulumu ile örneklemiştir. Kullanacağı devreleri breadboard üzerinde kurarak, oluşturduğu arayüz ile devreler arasındaki haberleşmeyi sağlamıştır. Gerçekleştirdiği çalışma sonucunda web ortamı üzerinden gerçek laboratuvar ortamına erişerek deneyleri gerçekleştirmiş ve arayüz tasarımı üzerinde deney sonuçlarını göstermiştir.

Akkoyun (2011) tez çalışmasında, Sahada Programlanabilir Kapı Dizisi (FPGA) tabanlı bir platform kullanarak dokunmatik LCD ekranların bu platformda kullanılmasını anlatmıştır. FPGA tabanlı geliştirilen sistemin düşük maliyet ve yüksek performansını gözeterek, hızlı çalışan bir tasarım ve gerçekleştirim hedeflemiştir. Ortaya koyduğu sistemde, dokunmatik ekranlı kullanıcı arayüzünün, insan ile etkileşimini seri port yoluyla sağlamıştır. Gerçekleştirdiği çalışma sonucunda FPGA tabanlı sistemlerde arabirim tasarımını kolaylaştırmış ve tasarıma harcanan zamandan kazanç sağlamıştır.

Az (2014) tez çalışmasında, iki farklı noktada konumlanan kullanıcılar arasında şifreli mesaj, resim ve ses verisi yollayıp alabilen düşük güç tüketimi ve daha az maliyetli FPGA tabanlı kablosuz haberleşme sisteminin tasarımı gerçekleştirmiştir. Geliştirdiği sistemde kullanıcıların, birbirleri arasında ister şifreli ister şifresiz iletişim kanalı üzerinden veri alış-verişi yapabilmesini sağlamıştır. Bu kanal seçimleri kullanıcı tarafından arayüz programı üzerinden yapılabilmektedir. Oluşturduğu sistemde AES-128 simetrik blok şifreleme algoritmasını kullanmıştır. Algoritmanın hem şifreleme hem de şifre çözme adımlarının donanım gerçeklemesini FPGA üzerinde yapmıştır. Sistemin tüm yazılım ve kontrol altyapısını FPGA üzerinde VHDL kullanarak geliştirmiştir. UART arayüzü, şifreleme ve şifre çözme algoritmaları, ses örnekleme ve ses çıkış ana kontrolleri, kablosuz haberleşme ve alt birim yazılım modüllerinin tümünü VHDL kullanarak oluşturmuştur. Oluşturduğu yazılım teknikleri ve mimari sayesinde, geliştirdiği sistemin literatürde önerilen diğer sistem tasarımlarına kıyasla daha düşük güç tüketimine sahip olduğunu ortaya koymuştur.

Taşçı (2014) tez çalışmasında, belirli bir mesafede manyetik alan oluşturabilmek için bir elektronik devre tasarımı geliştirmeyi amaçlamıştır. Çalışmada güç MOSFET'lerinin anahtar olarak görev aldığı bir H-köprüsü oluşturmuş ve uygun sürüş sinyalleriyle bu devreyi hem DC-DC hem de DC-AC dönüştürücü olarak kullanmıştır. DC-AC dönüşümünde görev alacak anahtarlama kontrolü için asenkronize çift-kenarlı doğal örnekleme darbe genişlik modülasyon tekniğini kullanmayı tercih etmiştir. Bu modülasyon tekniğinin seçimi için temel sinyal harmoniklerinin çıkış dalga formunda görünür olmamasına önem göstermiştir.

Çalışma sonucunda geliştirdiği sistemin, hedef manyetik alanlar için EMI gürültüsü altında güvenli bir biçimde çalışacağını ortaya koymuştur.

Günaydın (2014) tez çalışmasında, internet üzerinden mikrogenetleyici eğitiminin yapılmasını sağlayacak bir deney seti tasarımı gerçekleştirmiştir. Geliştirdiği deney setinde, kullanıcılara zamandan, mekândan bağımsız bir şekilde ve gerçek zamanlı olarak deneylerini kontrol etme ve gerçekleştirme imkânı vermeyi amaçlamıştır. Oluşturulan sistemde kullanıcı, kendi programladığı mikrogenetleyici makine kodunu geliştirilen web sayfası ile deney setinin bağı olduğu bilgisayara göndermektedir. Deney setinin bağı bulunduğu bilgisayardaki yazılım makine kodunu mikrogenetleyiciye aktarmaktadır. Üretilen deney seti, kullanıcıya kamera aracılığı ile deney sonuçlarını, bilgisayarından gerçek zamanlı olarak izleme imkânı sağlamaktadır. Gerçekleştirdiği deney seti tasarımı ile daha düşük maliyetle kullanıcı kaynaklı hataların azaldığı, mekân ve zaman kısıtlaması olmadan uzak bağlantı ile daha fazla kullanıcıya hizmet verebilme fırsatını sunmuştur.

Arıcı (2014) tez çalışmasında, LabVIEW programının avantajlarından yararlanarak eğitim ortamında bir sistem tasarlamayı amaçlamıştır. Geliştirdiği veri toplama kartı üzerinden aldığı verileri LabVIEW üzerinden bilgisayarda anlık olarak değerlendirip, grafikler oluşturmuştur. Tasarladığı sistemin hayata geçebilmesi için öncelikli olarak bir veri toplama kartı geliştirmiştir. Geliştirdiği veri toplama kartı PIC16F877A mikrogenetleyicisi ve işlemsel yükselteçli sinyal düzeltici devrelerden meydana gelmektedir. Mikrogenetleyicinin 8 adet analog girişinden aldığı ölçümleri RS232 standardında sıralı olarak bilgisayara göndermiştir. Bilgisayar üzerindeki LabVIEW yazılımında mikrogenetleyiciden gelen verileri sayısal ve grafik formatta göstermiştir. Geliştirdiği sistem ile yaptığı ölçümler neticesinde sistemin eğitim amaçlı basit elektronik deneylerde kullanılabileceğini ortaya koymuştur.

Özbek (2014) tez çalışmasında, temel haberleşme laboratuvarlarındaki uygulamalarda kullanılabilecek, bilgisayar destekli 8 farklı modülasyon/demodülasyon deney seti geliştirmiş, simüle etmiş ve üretmiştir.

Geliştirilen sistem, donanım ve yazılım olmak üzere iki kısımdan meydana gelmektedir. Donanım kısmında; Genlik Modülasyonu (AM), Frekans Modülasyonu (FM), Darbe Genişlik Modülasyonu (PWM), Frekans Bölmeli Çoğullama (FDM), Zaman Bölmeli Çoğullama (TDM), Genlik Kaydırmalı Anahtarlama (ASK), Frekans Kaydırmalı Anahtarlama (FSK), Faz Kaydırmalı Anahtarlama (PSK) deney setlerini geliştirmiştir. Donanım üzerinde modülasyon işleminden geçen ses sinyallerinin demodüle edilmesi için kullanılacak devreler Matlab Simulink programıyla tasarlanmıştır. Geliştirilen sistemi, yazılım ve donanım taraflarının hem beraber hem de ayrı ayrı kullanılabilceği şekilde ayarlamıştır. Gerçekleştirdiği sistem ile spektrum analizör gibi pahalı aletlere olan ihtiyacın ortadan kalkmasını sağlamıştır.

Özgür (2014) tez çalışmasında, radar sinyal işleme algoritmalarını, sayısal aşağı indirgeme, darbe sıkıştırma, doppler işleme ve sayısal hüzmeleme işlemlerini FPGA ve GPU platformları üzerinde çalıştırıp karşılaştırmıştır. Bu algoritmaları FPGA tarafında Xilinx System Generator kullanılarak, GPU tarafında ise OpenCL kullanılarak gerçekleştirmiştir. Tasarlamış olduğu benzetim modelinde sinyal varış yönü, sinyalin menzili ve doppler frekansı tahmin edilebilmektedir. Gerçekleştirilen çalışma sonucunda gerçek zamanlı veri işleme kapsamında FPGA'nın GPU'lara göre avantajlı olduğunu ortaya koymuştur. Bunun yanı sıra varış yönü tahmini için kullanılan tasarımlarda anten sayısının ve ele alınacak açı sayısının artması, tasarımda çarpıcı sayısının artmasına yol açacağına ve bu sebeple tasarımın FPGA üzerine sığmamasına sebep olabileceğini de öne sürmüştür.

Başa (2014) tez çalışmasında, eğitim kurumlarındaki laboratuvarlarda osiloskop ihtiyacını daha az maliyetle ve etkin bir biçimde karşılamak amacıyla Alanda Programlanabilir Kapı Dizileri (FPGA) ile sayısal osiloskobun tasarlanmasını sunmuştur. Düşük maliyetli ve eğitim amaçlı kullanılan FPGA birimleri ile profesyonel olmayan osiloskoplar tasarlanabileceğini göstermiştir. Çalışmada kart olarak Terasic DE0 kiti kullanırken, kartın programlanması için Quartus II yazılımını kullanmıştır. Gerçekleştirdiği çalışma sonucunda FPGA'da örneklenen

sinyalin grafiksel görünümünü 640x480 piksel çözünürlüğe sahip bir VGA ekranda göstermiştir.

Tengilimoğlu (2014) tez çalışmasında, yeniden yapılandırılabilir sistem mimarileri üzerinde işlemler gerçekleştirmiştir. Yeniden yapılandırılabilir mimarilerin yapısını ve özelliklerini incelemiştir. Örnek bir uygulama olarak, gerçek zamanlı bir hedef takip ve tespit sisteminde donanımsal hızlandırma amacıyla kullanılan FPGA'da kısmi yeniden-yapılandırma tekniğinin uygulama sistemini tasarlamıştır. Geliştirilen sistemde, kısmi yeniden-yapılandırma kullanılarak hedef tespit ve takip işlemi aralıksız olarak gerçekleştirilmiştir. Farklı algoritma bileşenleri arasında geçişler sağlanmıştır. Tasarladığı bu sistem ile FPGA kaynak kullanımının daha etkin olmasını sağlamış ve aynı zamanda güç tüketimi azaltmaya çalışmıştır.

Köksal (2014) tez çalışmasında, yapılandırılabilir donanım üzerindeki sistemler ve eğitim verme hedefli mikrobilgisayar sistemleri için analog haberleşme arayüz tasarımı geliştirmiştir. Geliştirdiği tasarımda analog haberleşme arayüzü ile mikrobilgisayar uygulamalarına analog sinyalleri kontrol edebilme ve işleyebilme işlevi kazandırmıştır. Analog giriş ve çıkışa sahip çevre birimlerinin kontrol altına alınmasını sağlamıştır. Geliştirdiği tasarımda analog haberleşme arayüzü aracılığıyla sıcaklık, basınç, nem gibi analog fiziksel değişkenlerin kontrol edilebilmesine olanak sağlamıştır. Haberleşme arayüzünden elde ettiği dijital verileri monitör üzerinden gözlemlemiştir. Tasarladığı sistem sonucunda analog haberleşme arayüzü kullanılarak BZK.SAU.FPGA mikrobilgisayarlara mimarisinin analog sinyalleri kontrol edebilme ve işleyebilme özelliğini kazandırmıştır.

Başa ve İskefiyeli (2015) çalışmalarında, FPGA mimarilerini kullanarak eğitim kurumlarındaki laboratuvarların gereksinimlerini ekonomik bir şekilde karşılayacak bir dijital osiloskop tasarlamayı amaçlamışlardır. Çalışmalarında Altera DE0 FPGA kartını ve Quartus II yazılımını kullanmışlardır. FPGA üzerinde örneklenen sinyallerin grafik görünümünü 640x480 piksel bir VGA monitör üzerinde göstermişlerdir. Gerçekleştirdikleri çalışma sonucunda profesyonel

olmayan osiloskopların düşük maliyetli, eğitim amaçlı FPGA platformları ile uygulanabileceğini göstermişlerdir.

Bakırcılar ve Özcerit (2015) çalışmalarında, daha kolay kullanıma sahip, yüksek verimli, zaman kazandıran ve daha az arıza oranına sahip bir mikrodenetleyicili eğitim seti tasarımı gerçekleştirmişlerdir. Hali hazırda kullanılan eğitim setlerindeki sorunları ortadan kaldıracak bir analog anahtar matris kartı tasarlamışlardır. CPLD için gerekli yazılımları VHDL dilinde geliştirmişler ve CPLD'i paralel port aracılığıyla bilgisayar üzerinden programlamışlardır. Mikrodenetleyici deneyleri için USB 2.0 üzerinden programlanabilen 8051 tabanlı bir mikrodenetleyicili ana kart tasarımı geliştirerek uygulama devreleri ile mikrodenetleyici sistemi arasındaki bağlantının basit ve hızlı bir şekilde gerçekleşmesini sağlayan yeni bir sistem sunmuşlardır.

Sinha ve Lotia (2015) çalışmalarında, farklı dijital modülasyon tekniklerinin FPGA üzerinde uygulanması ve oluşan bit oranı hatalarının incelenmesini sunmuşlardır. Donanım uygulaması için FPGA'lar aracılığıyla kararlı ve verimli veri aktarımı sağlamak için çeşitli DSP tabanlı veri sıkıştırma, kodlama, kod çözme algoritmaları ve gürültü filtreleme teknikleri üzerinde çalışmışlardır. Modülatörleri VHSIC donanımı ile tasarlamışlar ve VHDL kullanarak yüksek hızlı FPGA üzerinde uygulamalarını gerçekleştirmişlerdir. Geliştirilen dijital modülatörlerin işlevselliğini Xilinx 13.2 geliştirme ortamında elde ettikleri simülasyon sonuçları üzerinde incelemişlerdir. Uygulamada kullandıkları BASK, BPSK, BFSK ve QPSK dijital modülatörlerin FPGA uygulamaları ile minimum dijital blok sayısı ve düşük hata oranı ile gerçekleştirilebildiğini göstermişlerdir.

Dave vd. (2015) çalışmalarında, FPGA tabanlı ve farklı modüllere sahip çok işlevli bir işlemcinin tasarımı ve uygulanmasını sunmuşlardır. Tasarımlarını bir Xilinx Spartan 3E FPGA üzerinde prototiplemişlerdir. Beklenen ve elde edilen çıktıları standart MATLAB çıktıları ile kıyaslamışlardır. Farklı FPGA aygıtları için bellek kullanımı ve çalışma zamanındaki gecikmeleri incelemişlerdir. Elde ettikleri sonuçlara dayanarak, FPGA üzerinde yapılan görüntü işleminin MATLAB ile eşit sonuçlar verdiğini gözlemlemişlerdir. Yaptıkları çalışma sonucunda, görüntü

işleme algoritmalarının FPGA gibi taşınabilir ve hızlı işlem yürüten bir platformda verimli bir şekilde uygulanabileceğini göstermişlerdir.

Sarı (2016) çalışmasında, meslek yüksekokullarındaki Otomasyon Sistemleri derslerinde gösterilen ve sanayide çok fazla alanda kullanılmakta olan PLC'li sistemler çatısı altında uygulamalı eğitim ve öğretim seti tasarlamıştır. Yürüyen bant ve döner bant bulunan tasarımda, cisimden yansımali sensörler ve metal ayırıcılı endüktif sensör kullanmıştır. Ayrıca geliştirdiği sisteme ethernet modülü de ekleyerek uzaktan haberleşme eğitiminin uygulamalı olarak verilmesini amaçlamıştır. Geliştirdiği asansör sistemini, öğrencilerin fabrika ortam ve koşullarına uyum sağlayabilmelerini, yürütülen işlerin esaslarını kavrayabilmelerini, olası arızalara nasıl müdahale edebileceklerini ve malzeme bilgisini öğrenebilecekleri şekilde tasarlamıştır. Çalışmasında, elektronik ve mekaniğin detaylı bir şekilde ilişkilendirmesini yapmıştır. Gerçekleştirdiği çalışma sonucunda, bilginin elektronik devreler üzerinden mekanik ortama aktarımını sağlamış ve öğrencilerin gerçek bir sistem üzerinde PLC programlama yapabilmelerine katkı sağlamıştır.

Singh vd. (2016) çalışmalarında, NRZ çizgi kodlama türünün çeşitleri olan NRZ-Level, NRZ-Mark ve NRZ-Space adlı üç kodlama şemasını FPGA üzerinde uygulamışlardır. Kodlayıcı ve kod çözücü için algoritmaları işlevsel olarak doğrularak Xilinx V.10 aracı ile sentezlenebilir hale getirmişlerdir. Sentezlenen donanımın performansını Spartan 3E, Virtex 4 ve Virtex 5 gibi farklı FPGA cihazları için incelemişlerdir. Kullanılan mantık elemanları, güç ve gecikme açısından performans karşılaştırmasını sunmuşlardır. Sonuç olarak, yüksek hızlı veri iletiminde Virtex 5 FPGA'ların tercih edildiğini gösterirken, Spartan 3E FPGA'ların, düşük güçlü veri iletiminde kullanılabileceğini öne sürmüşlerdir.

Sanngoen vd. (2016) çalışmalarında, iki eksenli "Delta Industrial Robot" üzerinde bir sistem kontrol tasarımı sunmuşlardır. Kontrol sisteminde hem gömülü teknolojiyi destekleyen hem de açık kaynak kodlu işletim sistemine sahip düşük güç tüketimli bir bilgisayar olan Raspberry Pi kullanmışlardır. Tasarladıkları sistem, GUI arayüzü aracılığıyla PC ve Alanda Programlanabilir Kapı Dizileri

(FPGA) ile iletişim kurabilmektedir. Robotun bütün ilgili kinematik denklemlerini hesaplamak için Python dilinde bir program yazılmıştır. Kullandıkları teknolojiler sayesinde hesaplama hızı ve robot hareketlerinin doğruluğu açılarından başarılı sonuçlar elde etmişlerdir.

Karthik vd. (2016) çalışmalarında, FPGA tabanlı sistem tasarımının işlevsel olarak doğrulanması için Raspberry Pi aracılığıyla FPGA pinlerini gözlemleme ve kontrol etme üzerine araştırmalar yapmışlardır. FPGA ve Raspberry Pi'nin GPIO'ları üzerinden iki platform arasında haberleşme işlemini gerçekleştirmişlerdir. FPGA üzerinde Verilog kodu aracılığıyla devre tasarımını yapılandırmışlardır. Sonra uygulamaya bağlı olarak, GPIO'lar üzerinden FPGA-Raspberry Pi arasındaki iletişimi başlatarak Webiopi kütüphanesi aracılığıyla kontrol işlemlerini gerçekleştirmişlerdir. Çalışmaları sonucunda Raspberry Pi ve FPGA kombinasyonunu arıza enjeksiyonu, geçici test ve uzak FPGA laboratuvarları gibi uygulamalarda kullanmanın olumlu sonuçlar getireceğini öne sürmüşlerdir.

Şimşek ve Taşdelen (2016) çalışmalarında, arduino geliştirme kartı kullanarak üç deney modülü geliştirmişlerdir. Bu deney modülleri sensörlerden ve elektrik motorlarından oluşmaktadır. Oluşturdukları sistem ile kullanıcıların, sensörlerden okunan değerleri internet üzerinden izleyebilmelerini, motorları istediği yönde, hızda hareket ettirebilmelerini ve motorların hareketlerini kamerayla izleyebilmelerini sağlamışlardır. Modüllerin sunucu bilgisayar ile bağlantısını Denetleyici Alan Ağı kullanarak gerçekleştirmişlerdir. Arduino geliştirme kartları, tek başına Denetleyici Alan Ağı ile haberleşme özelliğine sahip olmadığı için, bu işlemi CAN BUS Shield kullanarak yürütmüşlerdir. Çalışmaları sonucunda oluşturulan deney modüllerinin internet üzerinden kontrol edilebilme ve gözlenebilme imkanını sağlayan bir sistem sunmuşlardır.

Kırkaya (2016) tez çalışmasında, sayısal haberleşme sistemlerinde kullanılmakta olan esnek karar verme demodülasyon metotlarını incelemiştir. Bu metotlara alternatif olarak yürütülen işlemlerin karmaşıklığı ve sistem performansı açısından daha verimli bir yöntem önerebilmek amacıyla bu yöntemi FPGA

üzerinde etkin bir şekilde gerçekleştirmeyi amaçlamıştır. Bu amaçla, öncelikle literatürde yer almakta olan ve LLR metoduna alternatif olarak sunulan yöntemleri, işlem karmaşıklığı ve performans yönünden incelemiştir. Sonrasında 8PSK demodülasyonu için karar çizgilerine olan uzaklığı ele alan yeni bir metod geliştirmiştir. Önerdiği bu metodun simülasyonlarını IEEE 802.11n LDPC kodları aracılığıyla gerçekleştirmiş ve geleneksel yöntemler ile kıyaslamıştır. Geliştirdiği metod ile MAX metoduna göre yaklaşık %85 işlem tasarrufu sağlamasına karşın performans yönünden ciddi bir kayıp gözlemlememiştir. Önerdiği metodun FPGA üzerinde gerçekleştirilmesinin MAX metoduna kıyasla yaklaşık %85 donanım tasarrufu sağladığını ortaya koymuştur. Sonuç önerdiği metodun 8PSK esnek karar verme demodülasyon uygulamaları kapsamında daha etkin bir metod olduğunu kanıtlamıştır.

Omar (2016) tez çalışmasında, denetim cihazı olarak bir SIEMENS S7-1200 Programlanabilir Lojik Kontrolcü (PLC) kullanarak, hidrolik basınç denetimi için endüstriyel bir çözüm üretmeyi amaçlamıştır. Gerçekleştirdiği çalışma neticesinde deneysel sonuçlara dayanarak uygun bilgisayar yazılımları ile desteklenmiş olan elektrik kumandalı denetim elemanları aracılığıyla modern endüstride ihtiyaç duyulan hidrolik sistem basıncının özelliklerinin iyileştirilmesinin mümkün hale getirilebileceğini öne sürmüştür.

Irmak ve Calpbınici (2017) çalışmalarında, tek bir platform ve aynı sunucu bilgisayar üzerinden aynı anda birden fazla kişinin deney yapmasına izin veren bir e-laboratuvar tasarımı ve uygulamasını sunmuşlardır. Endüstriyel uygulamalarda sıkça kullanılan doğru akım motoru, adım motoru ve servo motor ile ilgili temel deneylerin, geliştirdikleri platform üzerinden eş zamanlı olarak gerçekleştirilmesini sağlamışlardır. Sistemin genel kontrolünde Alanda Programlanabilir Kapı Dizileri (FPGA) kullanmışlardır. FPGA'in paralel işlem yapabilme yeteneğinden ötürü hem deneylere eş zamanlı erişimin kolaylaşmasını hem de veri alışverişinin daha hızlı ve güvenli gerçekleştirilmesini sağlamışlardır. Gerçekleştirdikleri çalışmanın tek bir sunucu bilgisayar ve denetleyici üzerinden gerçekleşmesi sonucunda sistemin maliyeti ve bellek boyutunun düştüğünü ortaya koymuşlardır.

Kumar vd. (2017) çalışmalarında, IoT sistemlerinin görüntü filtreleme ve işleme için önemli platformlar olduğunu öne sürmüşlerdir. İnternet üzerinden kolayca erişilebilen, Raspberry Pi ve FPGA arayüzü kullanılarak uygulanan bir görüntü işleme sistemini sunmuşlardır. Bu sistemin gerçekleştirilmesi sırasında düşük maliyetli ZedBoard Zynq 7000 FPGA ve bir Raspberry Pi kullanmışlardır. İşlemler sırasında gereksinim duyulan FPGA kaynak kullanımlarını kaydetmişlerdir. Önerdikleri sistemi ön görüntüler kullanılarak test etmişlerdir. Gerçekleştirdikleri çalışma sonucunda donanım tasarımı ile daha büyük ölçekli görüntülerin daha başarılı şekilde işlendiğini kanıtlamışlardır.

Kaçar vd. (2017) çalışmalarında, mühendislik eğitiminde destek olarak kullanılacak, DC motorun PID denetleyici ile hız denetimi için internet üzerinden uzaktan erişimli deney seti geliştirmişlerdir. Geliştirdikleri deney düzeneği kablosuz olup, ortamda bulunan bir kablosuz ADSL modem aracılığıyla TCP/IP üzerinden uzak sunucu ile iletişim kurabilmektedir. Tasarladıkları etkileşimli web sayfaları aracılığıyla, kullanıcıların motorların hız değerlerini ve PID denetleyici parametrelerini değiştirerek hızın değişimini görmelerini ve ölçüm değerlerini bilgisayarına kaydedebilmelerini sağlamışlardır. Geliştirdikleri deney seti sayesinde öğrencilerin simülasyon sonuçlarının yanı sıra gerçek bir sistem üzerinden elde ettikleri sonuçlar ile daha iyi bir tecrübe edinmiş olacaklarını ve daha kalıcı öğrenme sağlanacağını öne sürmüşlerdir.

Sarıkaş ve Yayla (2017) çalışmalarında, LabVIEW programı aracılığıyla öğrencilerin mikrodenetleyicili sistem tasarımı kapsamında başarılarını arttırmaya yönelik bir uzaktan erişimli laboratuvar uygulaması geliştirmişlerdir. Tasarladıkları bir arayüz vasıtasıyla öğrencilerin deneyleri gerçekleştirebilmesini ve deney sonuçlarını kamera ile gerçek zamanlı olarak gözlemleyebilmesini sağlamışlardır. Bu şekilde öğrencilerin sistemin tamamını tasarlamadan önce temel alt bileşenleri ayrı ayrı kontrol edebilmeyi öğrenmelerini ve tümleşik sistemi tasarlayacak yetkinliğe ulaşmalarını amaçlamışlardır. Geliştirdikleri uygulamanın Marmara Üniversitesi Göztepe Yerleşkesi içerisinde kullanıldığını ve öğrencilerin derste olan motivasyonlarını artırarak daha kalıcı bir öğrenme sağladığını öne sürmüşlerdir.

Jumaa (2017) çalışmasında, IoT sistemlerinde FPGA kullanımının avantajlarını araştırmıştır. IoT sistemlerinin esnek platformlar gerektirdiğini savunmuştur. Alanda Programlanabilir Kapı Dizisi (FPGA) kullanılarak IoT cihazlarının, düşük güç tüketimi, düşük gecikme süresi ve en iyi determinizm ile dış dünyayla kolayca arayüz oluşturabileceğini belirtmiştir. FPGA'ların IoT genişletilebilir sistemleri için uygulama esnekliğine ve yüksek performansa sahip olduğunu öne sürmüştür. Yaptığı araştırmalar neticesinde IoT sistemlerinde FPGA'ların kullanılması esneklik, güvenilirlik, düşük maliyet, pazara sunma süresi ve uzun vadeli bakım sağladığı sonucuna varmıştır.

Işık ve Tağluk (2018) çalışmalarında, İki Seviyeli Faz Kaydırmalı Anahtarlama (BPSK) ve Dört Seviyeli Faz Kaydırmalı Anahtarlama (QPSK) modelleri üzerine Alanda Programlanabilir Kapı Dizileri (FPGA) tabanlı bir gömülü haberleşme sistem tasarımı gerçekleştirmişlerdir. Geliştirilen sistemi daha sonra FPGA tabanlı sistemleri analiz etmek için kullanılan Xilinx firmasının geliştirdiği System Generator aracı ile analiz etmişlerdir. Yaptıkları çalışma sonucunda, FPGA ile analiz edilen sistemde gönderilen bit sayısı dikkate alındığında analiz süresinin benzetim ve teorik sonuçlara göre çok daha kısa sürede gerçekleştirildiğini gözlemlemişlerdir.

Çakır ve Çıtak (2018) çalışmalarında, Sayısal Elektronik, Mantık Devreleri, Temel Elektronik Ölçüm ve Elektronik Sistemler gibi derslere katılan öğrencilere Türkiye'nin "mantık kapılarının e benzetimi" şeklinde Android ve Windows tabanlı mobil cihazlarda çalışabilecek bir uygulama geliştirmişlerdir. Mobil uygulamanın kullanılabilirliğini değerlendirmek amacıyla bir eğitim kurumunda bir saatlik eğitim oturumu gerçekleştirmişlerdir. Bu eğitim kurumunun sınıflarından birinde öğrencileri iki gruba ayırarak, birinci gruba karatahta üzerinde temel mantık kapıları eğitimini, ikinci gruba ise aynı eğitimin yanı sıra, geliştirilen mobil uygulamanın ve simülasyonlarının gösterimlerini içeren ek eğitimi vermişlerdir. Verilen derslerin ardından her iki gruba yazılı bir sınav uygulamışlardır. Sınav sonuçlarının değerlendirilmesinde, mobil uygulamanın dahil edildiği eğitimi alan öğrencilerin yüzde 83'ünün devre görevini tamamen yerine getirebildiği, diğer gruptaki öğrencilerin sadece yüzde 50'sinin görevi

tamamlayabildiği gözlemlenmiştir. Geliştirdikleri uygulamanın öğrenciler için hem faydalı hem de kolaylaştırıcı olduğu sonucuna varmışlardır.

Davutoğlu (2018) tez çalışmasında, geliştirdiği genel amaçlı bellek arayüzünün, yüksek hız ve bant genişliğine gereksinim duyulan özellikle gerçek zamanlı uygulamalarda kullanılabilir olmasını amaçlamıştır. Yaptığı çalışmadan önce, literatürde var olan gerçek zamanlı hücresel sinir ağları uygulamalarında, zaman türevi gerektiren işlemlerin gerçekleştirilebilmesi için bellek arayüzü ihtiyacı olduğunu gözlemlemiştir. Gerçekleştirdiği çalışmada sunduğu genel amaçlı bellek arayüzünün literatürdeki bu eksiği gidermede kullanmayı planlamıştır. Tasarladığı arayüzü kullanarak, arayüzün olası kullanım alanları arasında yer alan gerçek zamanlı görüntü işleme uygulamalarında yaygın bir biçimde kullanılan video standartlarından Full-HD 1080p çözünürlüğünde ve saniyede 60 kare işlemeye imkân tanıyacak bir bant genişliğine ulaşmayı başarmıştır. Gerçekleştirdiği çalışma sonucunda Full-HD 1080p çözünürlüğe sahip gerçek zamanlı video akışı kapsamında, 256 Mbit bellek üzerinde toplamda 15 kareye kadar saklama ve 1 Gbit bellek üzerinde toplamda 60 kareye kadar saklama olanağına ulaşılmasını sağlamıştır.

Özdemirci vd. (2019) çalışmalarında, Arduino Uno mikrodenetleyici geliştirme kartı için, bir eğitim yılı kapsamında yapabilecek tüm deneyleri kapsayacak bir deney seti tasarımı geliştirmişlerdir. Uygulamaları, üç devre kartı olarak gruplandırmışlardır. Uygulama devre kartlarını, uygulama derslerinde okullarında eğitim alan öğrenciler oluşturmuşlardır. Arduino Uno uygulama setini laboratuvar derslerinde öğrencilerine kullanırmışlardır. Bu sayede, öğrencilerin deney setinin tasarımı, üretimi, kullanımı ve onarımı süreçlerinde aktif olarak görev almalarını sağlamışlardır. Gerçekleştirdikleri çalışma sonucunda geliştirilen deney setini kullanan öğrencilerin mikrodenetleyici programlamayı sevdiğini, deney setinin öğrenciler için kalıcı öğrenmeler sağladığını gözlemlemiştir.

Taştan (2019) tez çalışmasında, Alanda Programlanabilir Kapı Dizileri (FPGA) ile bir mikrodenetleyicinin, bilgisayar aracılığıyla haberleşmesi için geliştirdiği

arayüz tabanlı bir sistemi sunmuştur. Çalışmada VERILOG dili kullanarak FPGA üzerinde çalışacak bir UART protokolü programlamıştır. Mikrodenetleyici için ise, C programlama dilini kullanarak hazır kütüphanelerden bir UART tasarımı gerçekleştirmiştir. Mikrodenetleyici ve FPGA arasında haberleşme sağlayacak olan bilgisayar üzerinde C# dili ile bir arayüz paneli yazmıştır. Gerçekleştirdiği çalışma sonucunda FPGA kullanmanın uygulamadaki iş yükünü ve maliyeti azalttığını gözlemlemiştir.

Tuna vd. (2019) çalışmalarında, özerk Lü-Chen (2002) kaotik sistemini, gömülü kaosbased mühendislik uygulamaları geliştirmek için VHDL 32-bit IQ-Math sabit nokta sayı biçiminde Heun sayısal algoritmasını kullanarak FPGA üzerinde uygulamışlardır. Gerçekleştirdikleri sistem Virtex – 6 FPGA yongası üzerinde simüle edilmiş ve sentezlenmiştir. FPGA tabanlı Lü-Chen kaotik osilatöründen elde edilen sonuçlar ile bilgisayar tabanlı sonuçları karşılaştırmışlar ve dijital devre tabanlı tasarımın doğruluğunu başarılı sonuçlarla ortaya koymuşlardır. Sundukları FPGA tabanlı Lü-Chen kaotik osilatörü ile literatürdeki diğer çalışmalar arasında en yüksek çalışma frekansını yakalamışlardır.

Elmezoghi (2019) tez çalışmasında, başta sayısal elektronik tasarımı eğitimi olmak üzere, yüksek mühendislik eğitiminde kullanılabilecek yeni eğitim yöntemlerini uygulamak amacıyla üç farklı eğitim modeli üzerinde çalışmıştır. Alanda Programlanabilir Kapı Dizileri (FPGA) teknolojisi kullanarak mikro öğrenme tekniği, FPGA teknolojisi kullanarak proje tabanlı öğrenme tekniği ve geleneksel öğrenim tekniklerini incelemiştir. Yaptığı çalışma ile deneysel olarak mühendislik eğitiminde proje tabanlı öğrenme ve mikro öğrenme tekniklerini uygulama ihtimalini analiz etmiştir. İncelediği tekniklerin eğitim üzerinde kullanılmasının başarılı sonuçlar getirdiğini öne sürmüştür.

Gülcan (2019) tez çalışmasında, mikrodenetleyici programlamaya yönelik uygulamaları, 32 bit ARM mimarisine sahip bir mikrodenetleyici olan STM32F407VGT6 üzerinde yapılmasını sağlayacak, uzaktan kontrollü bir deney seti tasarımı gerçekleştirmiştir. Geliştirdiği deney seti hazırlanmış olan bir web sayfası arayüzünden kontrol edilebilmektedir. Web işlemleri için Apache HTTP

sunucusunun kurulumunu yapmıştır. Tasarlanan sistemde kullanıcılar sunucuya atanacak statik IP üzerinden bu web sayfasına erişim sağlayabilmektedir. Sistemde, kullanıcıların set üzerinde test etmek istediği deneye yönelik kodladığı programın makine kodunu web sayfası üzerinden yükleyerek deney setindeki mikrodenetleyiciyi uzaktan programlayabilmesine olanak sağlanmıştır. Buna ek olarak kullanıcıların yazdığı programda tanımlanmış olduğu global değişkenlerin, programın çalışması sırasında aldığı değerleri takip edebilme fırsatı oluşturulmuştur. Çalışma sonucunda üretilen deney setinin bu alandaki eğitimlere faydalı olacağı öne sürülmüştür.

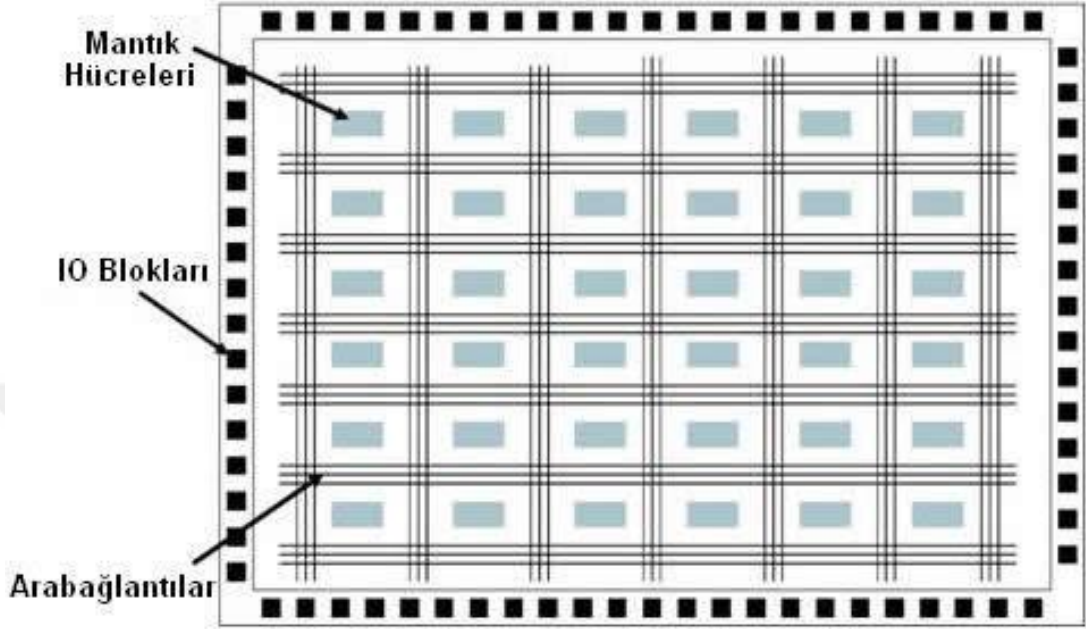
Gerçekleştirilen tez ile ilgili literatürde bulunan çalışmalarda FPGA ve gömülü sistemler ile gerçekleştirilmiş eğitim amaçlı kullanılan deney seti tasarımları yapılmıştır. Geliştirilen deney setlerinin öğrenci başarılarındaki etkisi ile ilgili araştırmalarda deney setlerinin bir ihtiyaç olduğu ve öğrencilerin dersleri daha iyi anlamaları konusunda etkin bir rol aldığı ortaya koyulmuştur. Simülasyon yazılımları ile desteklenen deney seti tasarımlarının daha öğretici bir eğitim ortamı oluşturduğu çalışmalarla kanıtlanmıştır. Yapılan çalışmalarda genellikle tek bir konuya veya alana özgü deney seti tasarımları sunulmuştur. Geliştirilen deney seti kapsamında literatürdeki çalışmalardan farklı olarak birden fazla ders veya konuyu içeren deney elemanlarının veya tümleşik devre tasarımlarının tek bir deney seti üzerinde toplanması sağlanmıştır.

3. MATERYAL VE YÖNTEM

3.1. FPGA İşlemcisine Genel Bakış

FPGA'lar sayısal tasarım konusunda tasarımcıya kolayca sayısal devre tasarlamasına ve yapılan tasarımların prototip bir cihaz üzerinde fiziksel bir ortamda gerçekleştirilip test edilip doğrulanmasına olanak sağlayan entegre devrelerdir. Üzerinde bulunan transistör miktarına göre tasarımcı herhangi bir entegrenin veya entegrelerin yapabildiği bütün işlemleri tek bir FPGA üzerinde tasarlayıp gerçekleyebilir. FPGA'ler günümüzde tüketici elektroniğinden, uzay ve savunma sanayisinden, otomotiv sanayisine kadar çok farklı alanlarda kullanılmaktadır. FPGA'lar üretim aşamasından sonra tasarımcının istediği fonksiyona göre donanım yapısını değiştirmesine olanak sağlar. Bu özelliği FPGA'ları günümüzde yaygın bir şekilde kullanılan mikroişlemcilerden ayıran en temel özelliklerinden biri yapmaktadır. FPGA'ler paralel işlem yapabilme kapasitesine sahip entegrelerdir. Bir mikroişlemcide yazılan bütün programlar sıralı olarak çalışmakta yani bir ana fonksiyon içinde işlemler gerçekleşmektedir. Farklı işlemler yapmak için kesmeler, zamanlayıcılar kullanılarak ana fonksiyon içinden çıkılıp işlemler yapılabilir ama bu az miktarda da olsa programda bir yavaşlama demektir. FPGA mimarisinde böyle bir problem söz konusu değildir. Bir mikrodenetleyicide görüntü işleme yapılırken ilk görüntü alınıp işlendikten sonra ikinci görüntü parçası işleme alınmaktadır. Bu durumda ilk görüntü alınıp işlenip çıkışa verilene kadar ikinci görüntü işleme alınmaz. Bu işlemler yeterince hızlı gerçekleşmediği takdirde ikinci görüntüde veri kayıpları olma ihtimali vardır. FPGA tasarımında işlemler çok daha hızlı bir şekilde gerçekleşmektedir. İlk görüntü alınıp işlendiği sırada ikinci görüntü alınabilir. İlk görüntü çıkışa verildiğinde ikinci görüntü işleme aşamasına alınabilir ve bu sırada üçüncü görüntü FPGA platformuna yüklenebilir. Gerçekleştirilen tüm işlemlerin hızlı ve kararlı bir biçimde yürütülmesi sebebiyle tez kapsamında geliştirilen deney setinde FPGA platformunun kullanımı tercih edilmiştir.

FPGA'lar; programlanabilir mantık blokları, bu blok dizisini çevreleyen giriş-çıkış blokları ve ara bağlantılar olmak üzere düzenlenebilir üç ana bölümden oluşmaktadır. FPGA'nın temel mimarisini gösteren görsel Şekil 3.1'de verilmiştir.

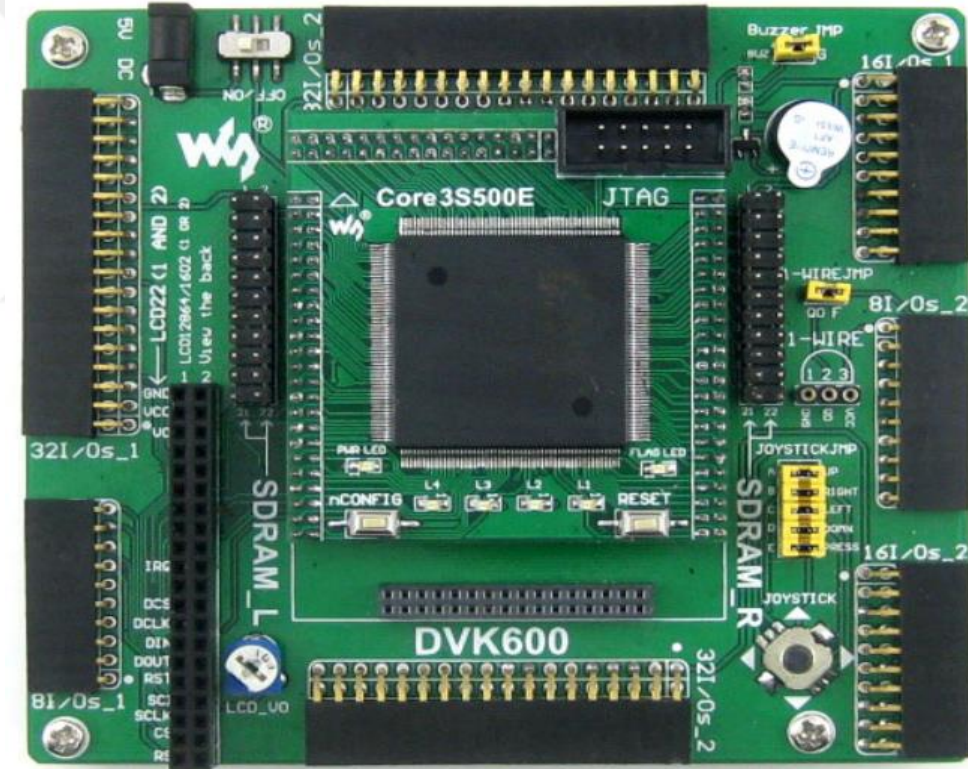


Şekil 3.1. Temel FPGA mimarisi (FPGA'nedir, 2020)

Programlanabilir mantık blokları, ara bağlantılar içerisine gömülü şekilde bulunmaktadır. Bunların yapılandırılması ve aralarındaki iletişim ara bağlantılar sayesinde gerçekleşmektedir. Giriş-çıkış blokları, ara bağlantılar ile bütünleşmiş devrenin paket bacakları arasındaki bağlantıyı kurmakla görevlidir. FPGA mimarisinde mantık hücrelerine Slice, mantık işlemlerini yerine getiren birimlere de LUT (Look Up Table) adı verilmektedir. Bu birimler FPGA'nın kaynakları olarak adlandırılmaktadır.

Bu çalışmada deney setinin mantıksal işlemlerinin gerçekleştirilmesi Xilinx Spartan XC3S500E FPGA kartı ile sağlanmıştır. Birçok karta göre daha fazla genişlemeyi destekleyen bir FPGA çekirdek kartıdır. Bu genişleme özelliği sayesinde birçok çevre birim ile kolaylıkla haberleşebilmekte ve uygulamalarda yürütülecek iş paketleri daha tümleşik ve daha hızlı bir biçimde gerçekleştirilebilmektedir. Kullanılan FPGA kartının yerleşik bir JTAG arayüzü üzerinden hata ayıklama ve programlama işlemleri gerçekleştirilmektedir. Kart

üzerinde 116 adet giriş-çıkış bulunmaktadır ve tüm giriş-çıkış noktalarına pinler aracılığıyla erişilebilmektedir. 360KB RAM kapasitesine sahip olan bu kart, 50 MHz çalışma frekansında ve 1.15 ile 3.3V arasında bir çalışma geriliminde işlem gerçekleştirmektedir. Aynı zamanda kartın üzerinde yazılacak kodları saklamayı sağlayan Flash Bellek ve FPGA çipini yeniden yapılandırmak için kullanılan güç sıfırlama düğmesi mevcuttur. Xilinx ISE 14.7 yazılım ortamını desteklemektedir (WaveShare, 2020). Söz edilen FPGA kartının yüksek çalışma performansına sahip olması ve deney setinde kullanılacak çevre birimler için yeterli bir genişleme sağlaması sebebiyle geliştirilen deney setinde kullanılması uygun bulunmuştur. Kullanılan FPGA kartının fiziksel görüntüsü Şekil 3.2'de, karakteristik özellikleri ise Çizelge 3.1'de verilmiştir.



Şekil 3.2. Xilinx Spartan XC3S500E FPGA kartı (WaveShare, 2020)

Çizelge 3.1. Xilinx Spartan XC3S500E karakteristik özellikleri (Xilinx, 2020)

Toplam Mantık Kapısı	Toplam Mantık Hücresi	Toplam Mantık Bloğu	Toplam Slice	Toplam LUT	RAM Kapasitesi	Giriş Çıkış Pini
500K	10476	1164	4656	9312	360K	116

3.2. VHDL Diline Genel Bakış

FPGA tasarımını oluşturmak için kullanıcı tarafından bir şematik dizayn oluşturulmalıdır. Günümüzde FPGA uygulaması tasarlamak için kullanılan en yaygın donanım tanımlama dili VHDL'dir. Bundan farklı olarak Verilog dili de kullanılmaktadır. Geliştirilen deney setinin FPGA devre tasarımı işlemlerinde VHDL kullanımı tercih edilmiştir. VHDL, dijital elektronik sistemleri tanımlamak için kullanılan bir donanım tanımlama dilidir. VHDL ile sistemin davranışsal süreci ve çıktıları biçimsel olarak modellenabilmektedir. Bu sayede sistemin tutarlılığı ve çıktıları önceden kontrol edilebilmektedir. Kendi kendine dökümantasyon kapasitesine sahip olan VHDL modeli ile geliştirilen sistemin dökümanları başarılı bir şekilde hazırlanabilmektedir. Xilinx ISE 14.7 ortamında VHDL dili ile yazılmış bir kod parçasının örneği Şekil 3.3'te verilmiştir.

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

-- Uncomment the following library declaration if using...

entity lineCoding is
    Port ( clk : in STD_LOGIC;
          data_in : in STD_LOGIC;
          data_out_Man : out STD_LOGIC;
          A : inout STD_LOGIC;
          B : inout STD_LOGIC;
          C : inout STD_LOGIC;
          D : inout STD_LOGIC;
          Q : inout STD_LOGIC := '0';
          data_out_difMan : inout STD_LOGIC;
          data_out_NRZ : out STD_LOGIC;
          data_out_NRZ_L : out STD_LOGIC;
          data_out_NRZ_I : inout STD_LOGIC := '0'
    );
end lineCoding;

architecture Behavioral of lineCoding is

begin

-----MANCHESTER-----
data_out_Man <= data_in xor clk;
```

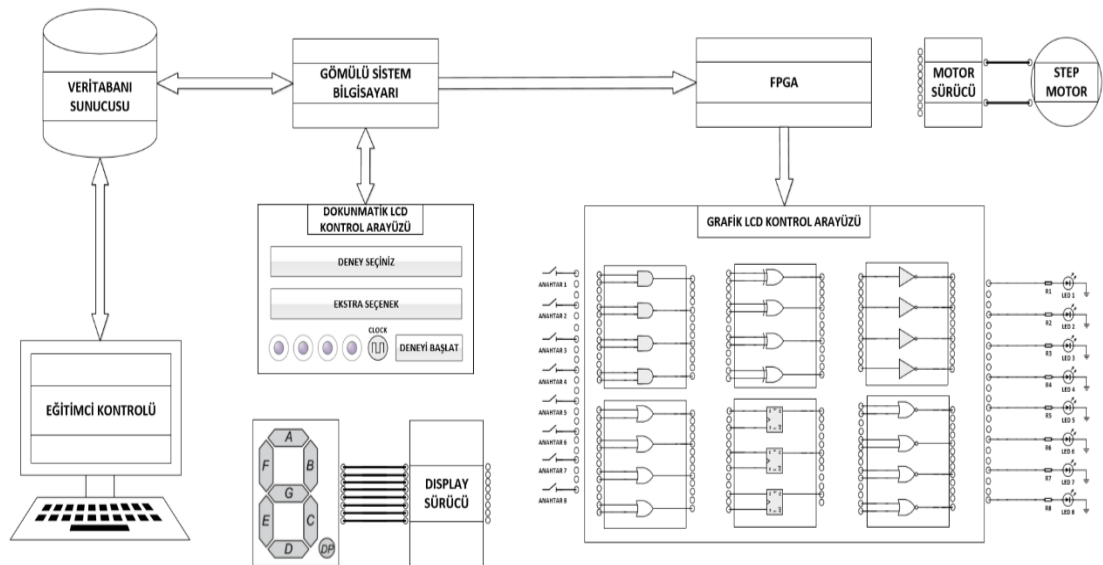
Şekil 3.3. VHDL örnek kod parçası

Temel olarak, VHDL'deki bir bileşenin yapısı bir arayüz tanımlaması ve bir mimari tanımlamasından oluşmaktadır. ENTITY anahtar kelimesiyle başlayan blok; arabirim tanımlamalarının gerçekleştirildiği ve bileşenin giriş çıkış portlarını içeren kısımdır. Bileşenin adı ise ENTITY anahtar sözcüğünden sonra yazılır. Daha sonra uygulamanın asıl mantık işlemlerini gerçekleştirdiği mimari kısmı gelir ve bu kısım ARCHITECTURE anahtar kelimesi kullanılarak tanımlanır. Aynı işlevi gerçekleştiren alternatif uygulamalar için tanımlanmış bir arayüzün çeşitli farklı mimari gövdeleri olabilir.

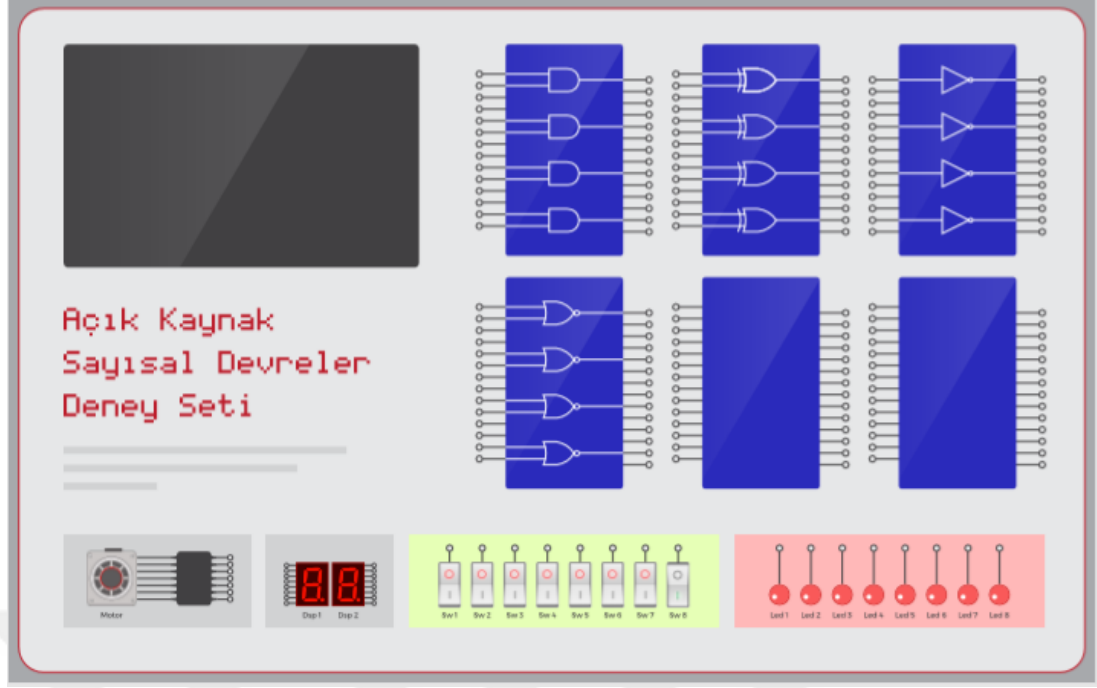
Dijital bir sistem VHDL aracılığıyla tanımlandıktan sonra yazılan kodun simülasyonunun yapılması gerekir. Simülasyon yapılmasının nedeni ise VHDL kodunun amaçlanan tasarımı doğru şekilde uygulayıp uygulamadığını ve tasarımın spesifikasyonlarına uygun olup olmadığını doğrulamak içindir. Tanımlanan VHDL modeli FPGA gibi sentez araçlarına aktarılarak donanım üzerinde gerçekleştirilmektedir.

3.3. Deney Setinin Gerçekleştirilmesi

Geliştirilen deney setinin blok diyagramı Şekil 3.4'te, ön yüz tasarımı ise Şekil 3.5'te verilmiştir. Geliştirme sürecinde yürütülen süreçler ve kullanılan yöntemler ayrı başlıklar altında detaylı bir biçimde anlatılmıştır.



Şekil 3.4. Deney seti blok diyagramı



Şekil 3.5. Deney seti ön yüz tasarımı

3.3.1. Deney setinde kullanılan bileşenler

Geliştirilen deney seti tasarımında gömülü sistem bilgisayarı olarak Raspberry Pi 3 Model B kullanılmıştır. Kullanılan kart, dört çekirdekli 1.2GHz 64 bit işlemci ve 1 GB RAM kapasitesine sahiptir. Raspberry Pi platformu üzerine bir Güvenli Sayısal (SD - Secure Digital) kart aracılığıyla işletim sistemi kurulabilmektedir. Kablosuz bağlantı ve ethernet bağlantısı ile internet ortamına erişilebilmektedir. Kartın beslemesi Mikro USB güç kaynağı ile sağlanmakta ve kart üzerinde 4 adet USB 2.0 bağlantı portu bulunmaktadır. Kart üzerinde bulunan 40 adet giriş-çıkış pini ile yapılan geliştirmelerin dış ortam ile bağlantısı sağlanmaktadır. Oluşturulan deney seti tasarımında Raspberry Pi platformunun FPGA ile haberleşmesi bu pinler üzerinden sağlanmıştır. Raspberry Pi üzerinde çalışan işletim sisteminin görüntüsü bir HDMI portu ile monitör veya LCD ekran üzerinde görüntülenebilmektedir (Raspberry Pi, 2020).

Çalışma kapsamında Raspberry Pi platformunun görüntüsünü alabilmek ve arayüz uygulamasının kontrollerini sağlayabilmek amacıyla 7inç boyutunda dokunmatik bir LCD ekran kullanılmıştır. Kullanılan LCD ekran 800x600 piksel

çözünürlüğe sahiptir. İşletim sisteminin görüntü aktarımı LCD ekran üzerinde bulunan HDMI portu ile sağlanmıştır.

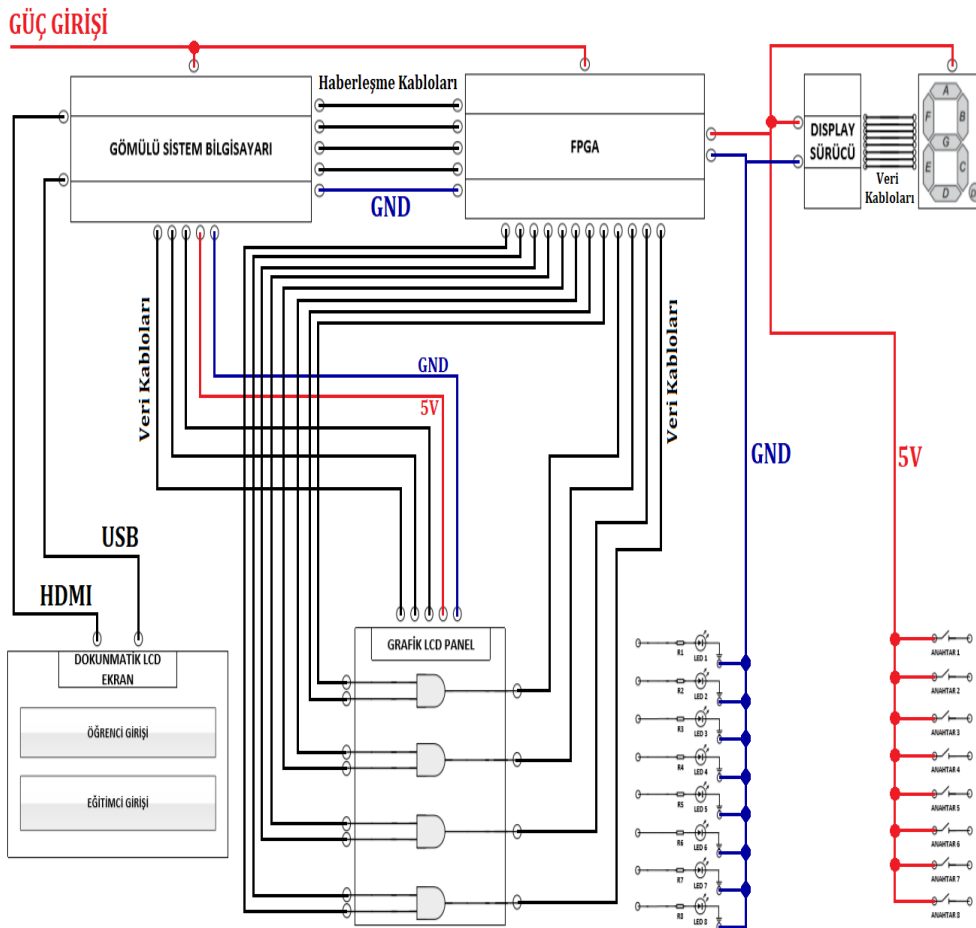
Deney setinin içeriğinde bulunan deneylerde görev alan devre elemanlarının çizimleri grafik LCD paneller üzerinde gerçekleştirilmiştir. Çalışmada 128x64 piksel çözünürlüğe sahip mavi zemin üzerine beyaz renkte çizim gerçekleştiren ST9720 isimli grafik LCD panel kullanılmıştır.

Geliştirilen deney setinde gösterge sürücü olarak 7447 entegresi kullanılmış ve bu entegreye uyumlu olmaması sebebiyle ortak anotlu 7 Bölmeli Gösterge elemanı tercih edilmiştir. 7 Bölmeli Gösterge'ler LED tabanlı göstergelerdir. İçerisinde bulunan 7 adet LED ile aydınlatılan 7 ayrı bölmeden oluşan bir sistem bütünüdür. Elemanın yapısında bulunan 7 LED'in her biri bir segment olarak adlandırılmaktadır. 7447 entegresi kod çözme işlemi gerçekleştiren bir tümleşik devreden meydana gelmektedir ve ortak anotlu göstergelerin sürülmesinde kullanılmaktadır. 7447 entegresinde besleme girişleri, 4 adet veri girişi ve her biri gösterge elemanının bir segmentine kaşılık gelecek şekilde kullanılan 7 adet veri çıkışı bulunmaktadır. Entegrenin besleme bağlantıları ve gösterge ile arasındaki bağlantılar gerçekleştirildikten sonra 4 adet veri girişinin lojik durumları değiştirilerek 7 Bölmeli Gösterge elemanı üzerinde oluşan değer kontrol edilebilmektedir.

3.3.2. Deneylerin FPGA tasarımının gerçekleştirilmesi

Bu çalışmada deney setinin mantıksal işlemlerinin gerçekleştirilmesi Xilinx Spartan XC3S500E FPGA kartı ile sağlanmıştır. Kullanılan FPGA kartı Xilinx ISE 14.7 geliştirme ortamını desteklemektedir. Deney setinin mantıksal işlemleri VHDL kullanılarak bu geliştirme ortamında programlanmıştır. Windows 10 işletim sisteminde ISE 14.7 sürümünün desteklenmemesi sebebiyle VMware sanal makinesi üzerine Windows 7 işletim sistemi kurularak FPGA tasarımları bu platformda geliştirilmiştir.

Setin içerdiği deney türlerine göre gereksinim duyulan tüm giriş ve çıkış pinleri VHDL tasarımında tanımlanmıştır. Deneylein içerdiği tüm devre elemanları için gerçekleştirilecek mantıksal süreçler bahsedilen giriş-çıkış pinleri üzerinden programlanmıştır. FPGA işlemcisinin daha etkin kullanılabilmesi için bir genişletme kartı kullanılmıştır. Geliştirme kartındaki pinlerin genişletme kartında hangi pinlere karşılık geldiğinin bilgisi, kartın özelliklerini açıklayan web sayfasındaki bir döküman üzerinden elde edilmiştir (WaveShare, 2020). FPGA kartında tanımlanan bu pinlere yapılacak giriş ve bu pinlerden alınacak çıkış işlemlerini sağlayabilmek amacıyla grafik LCD panellerin yanlarında bulunan portlar ile FPGA giriş-çıkış pinlerinin deney seti içerisindeki bağlantıları gerçekleştirilmiştir. Deney setinin içerisinde gerçekleştirilen elektronik bağlantıları temsil eden görsel Şekil 3.6'da verilmiştir.



Şekil 3.6. Deney seti temsili elektronik bağlantıları

Gömülü sistem bilgisayarından aktarılan deney verileri FPGA platformu üzerinde tanımlanmış haberleşme pinleri üzerinden alınmaktadır. Kullanıcıların dokunmatik LCD ekran üzerinden seçtiği deneylere göre arayüz uygulamasından gelen deney verisinin FPGA işlemcisinde yürütülen süreçlerden hangisine uygun olduğu kontrol edilmektedir. Bu kontrol sonucunda eşleşen deneyin giriş ve çıkış pinleri FPGA üzerinde aktif edilerek grafik LCD panellerin yanında bulunan portlarda kullanılmaya hazır hale getirilmektedir. FPGA üzerinde geliştirilen tasarımın Xilinx ISE 14.7 ortamındaki örnek VHDL kod parçası şekil 3.7’de verilmiştir.

```
architecture Behavioral of and_or_gates is
begin
PROCESS (h1, i1, i2, i3, i4, i5, i6, i7, i8, i9, i10, i11, i12, i13, i14, i15, i16)
BEGIN
IF h1 = '1' THEN
o1 <= i1 and i2;
o2 <= i3 and i4;
o3 <= i5 and i6;
o4 <= i7 and i8;
ELSE
END IF;
END PROCESS;

PROCESS (h2, i1, i2, i3, i4, i5, i6, i7, i8, i9, i10, i11, i12, i13, i14, i15, i16)
BEGIN
IF h2 = '1' THEN
o5 <= i9 or i10;
o6 <= i11 or i12;
o7 <= i13 or i14;
o8 <= i15 or i16;
ELSE

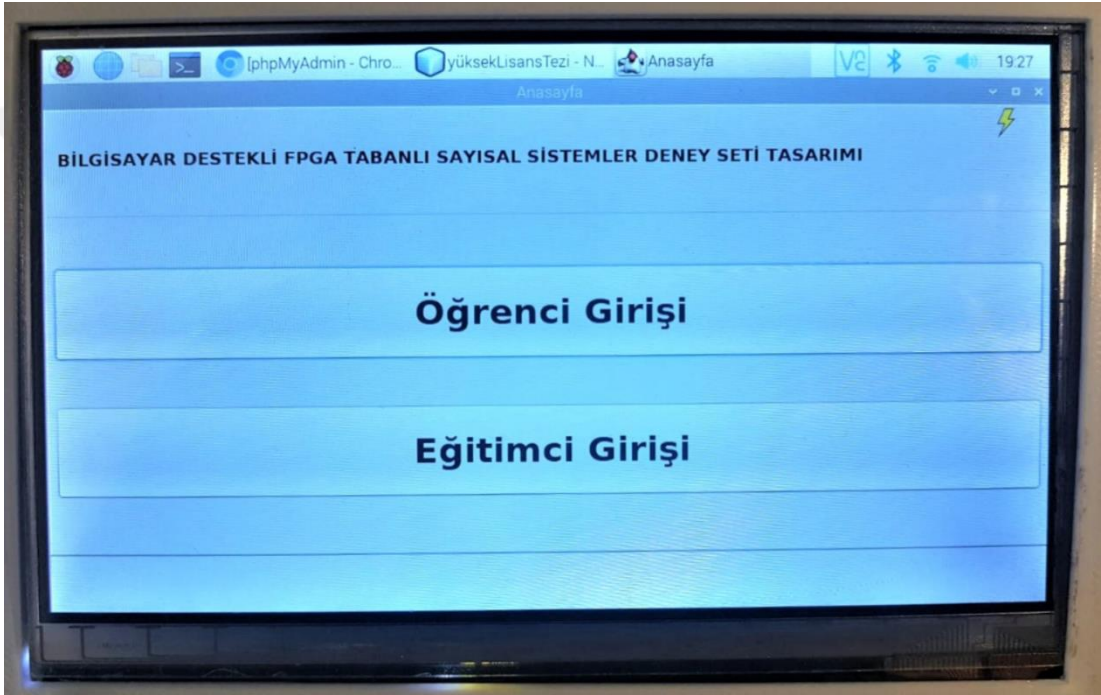
```

Şekil 3.7. Tasarımın örnek VHDL kod parçası

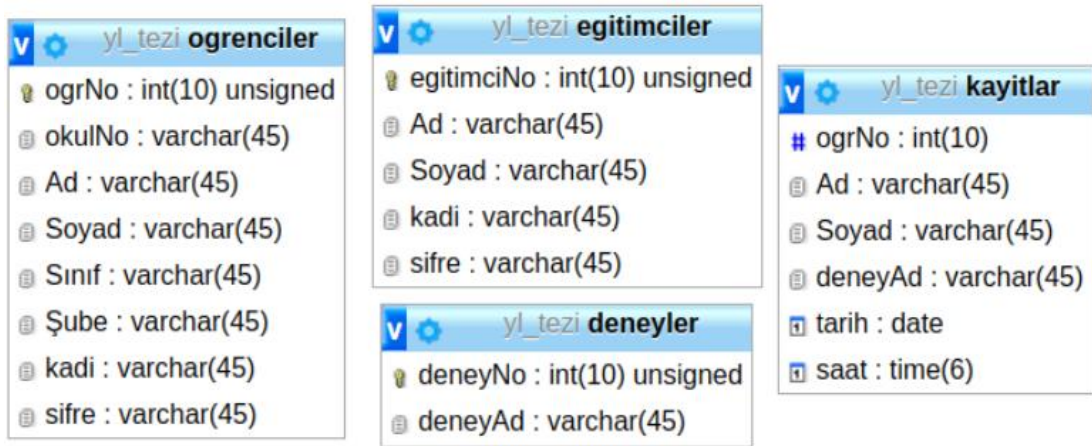
3.3.3. Arayüz uygulamasının geliştirilmesi ve veritabanı işlemleri

Üretilen deney seti tasarımında Raspberry Pi gömülü sistem bilgisayarı üzerine bir kullanıcı arayüz uygulaması geliştirilmiştir. Uygulamayı geliştirebilmek amacıyla Raspberry Pi üzerine bir SD kart aracılığıyla Linux tabanlı Raspbian işletim sistemi kurulmuştur. Uygulamanın yazılım sürecinde açık kaynak kodlu bir programlama dili olan Java kullanılmıştır. Geliştirme ortamı olarak ise ücretsiz olarak kullanılabilen NetBeans platformu tercih edilmiştir. Arayüz uygulaması ile tümleşik biçimde işlem gerçekleştiren bir veritabanı

oluşturulmuştur. Yürütülen tüm veritabanı işlemleri için açık kaynak kodlu bir veritabanı yönetim sistemi olan MySQL kullanılmıştır. Arayüz uygulaması ile veritabanının birlikte çalışabilmesini sağlayabilmek amacıyla bir veritabanı bağlantı sınıfı oluşturulmuş ve uygulama başlatıldığında otomatik olarak aktif hale gelecek şekilde programlanmıştır. Uygulamanın deney seti üzerindeki erişimi, gömülü sistem bilgisayarına bağlı bir dokunmatik LCD panel aracılığıyla sağlanmaktadır. Arayüz uygulamasının dokunmatik LCD ekran üzerindeki genel görüntüsü Şekil 3.8'de, veritabanı diyagramı ise Şekil 3.9'da verilmiştir.



Şekil 3.8. Arayüz uygulamasının genel görüntüsü

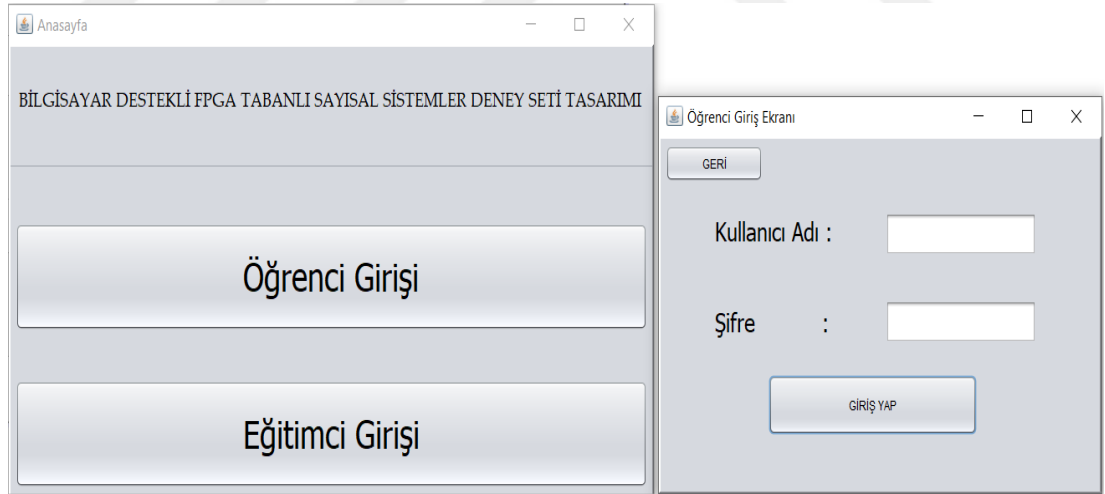


Şekil 3.9. Arayüz uygulaması veritabanı diyagramı

Arayüz uygulamasının içerdiği ekranlar ile ilgili açıklamalar ve yürütülen işlemler ayrı başlıklar altında anlatılmıştır.

3.3.3.1. Kullanıcı giriş ekranları

Deney seti açıldığında dokunmatik LCD panel üzerinde ilk olarak kullanıcı ve eğitimcilerin giriş seçeneklerini bulunduran bir ekran görüntülenmektedir. Kullanıcıların deney setini kullanabilmesi için öncelikli olarak bu ekrandan giriş türünü seçmesi ve ardından açılacak giriş ekranından giriş yapmaları gerekmektedir. Giriş işlemi hem öğrenciler hem de eğitimciler için veritabanına önceden kaydedilmiş olan kullanıcı adı ve parola bilgileri ile yapılmaktadır. Giriş işlemlerinin yapılabilmesi için bir giriş sınıfı programlanmıştır. Kullanıcıların giriş ekranı üzerinden girdiği bilgiler veritabanında bulunan bilgiler ile karşılaştırılarak giriş işleminin başarılı veya başarısız olma durumları sağlanmıştır. Giriş ekranlarının görüntüleri Şekil 3.10'da verilmiştir.

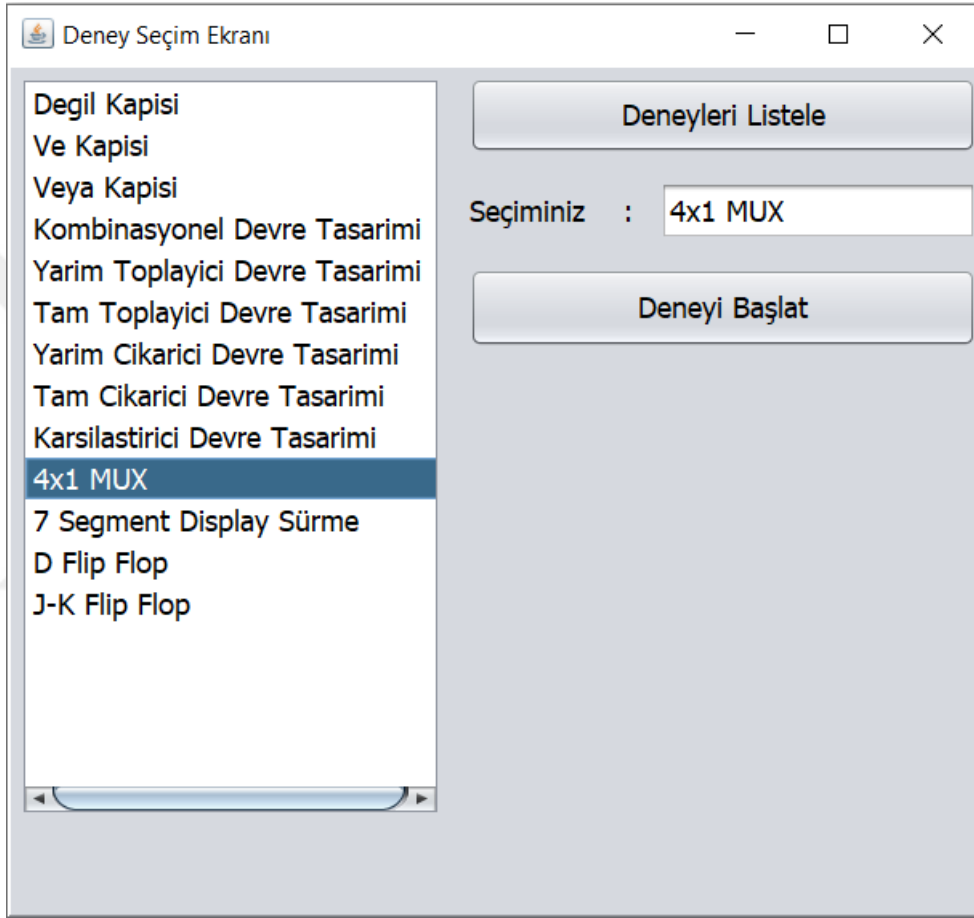


Şekil 3.10. Kullanıcı giriş ekranları

3.3.3.2. Deney seçim ekranı

Öğrenciler giriş işlemini gerçekleştirdikten sonra karşlarına uygulamanın asıl işlevlerinin gerçekleştirildiği deney seçim ekranı gelmektedir. Bu ekran üzerinde "Deneyleri Listele" düğmesine basarak uygulayabilecekleri deneylerin isimlerini

sol taraftaki liste bileşeninde görebilmektedirler. Deney isimleri veritabanındaki “deneyler” tablosunda tutulmaktadır. Uygulamak istedikleri deneyi seçerek “Deneyi Başlat” düğmesine basmaları ile seçilen deney verileri FPGA kartına aktarılmakta ve grafik LCD paneller üzerine ilgili deneyin devre elamanlarının görselleri bastırılmaktadır. Deneylerin listelendiği ve deney seçim işlemlerinin gerçekleştirildiği ekranın görseli Şekil 3.11’de verilmiştir.

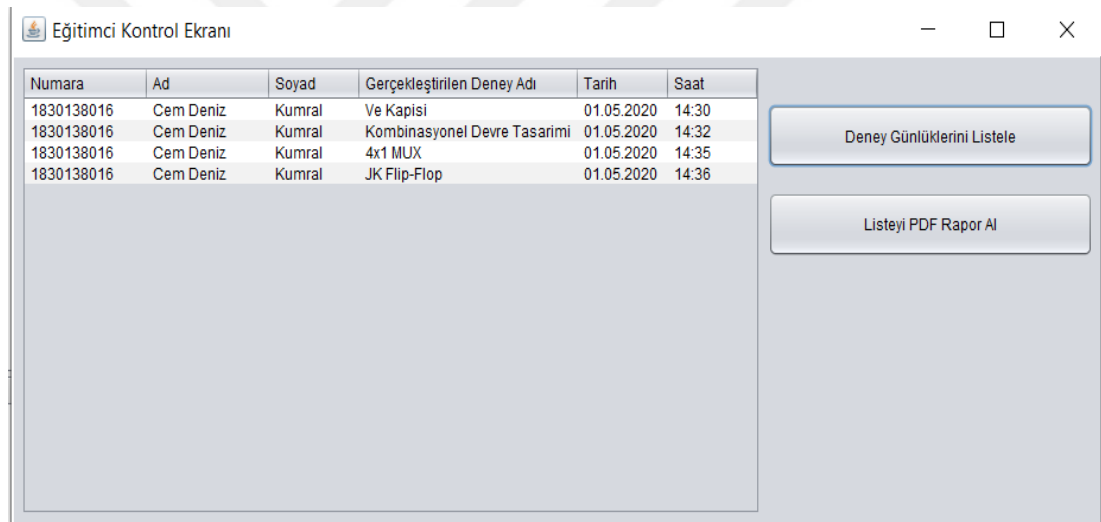


Şekil 3.11. Deney seçim ekranı

“Deneyi Başlat” düğmesine basılmasıyla deney verileri giriş-çıkış pinleri vasıtasıyla FPGA kartına aktarılmaktadır. Bu işlem enasında arayüz uygulamasında seçilen deney verisinin pinlere yönlendirilmesi işlemi Raspberry Pi için geliştirilmiş olan Pi4J Java kütüphanesi ile sağlanmıştır (Pi4J, 2020).

3.3.3.3. Eğitimci kontrol ekranı

Öğrencilerin deneyleri başlatmasıyla birlikte, başlatılan deneylerin adı, başlatılma saati ve tarih bilgileri uygulamayı yapan öğrencinin bilgileriyle beraber veritabanına kaydedilmektedir. Eğitimcilerin öğrencileri uzaktan kontrol edebilmelerine olanak sağlayabilmek için deney verilerinin eklendiği veritabanı bir web sunucusu aracılığıyla canlı erişim ortamına aktarılmıştır. Eğitimciler, geliştirilen bir web uygulaması üzerinden sisteme giriş yaptıktan sonra kendilerine sunulan özel arayüzü kullanarak hangi öğrencinin hangi deneyi yaptığını, deneylerin gerçekleştirildiği tarih ve saat bilgilerini ağ ortamında kolaylıkla kontrol edebilmektedir. Eğitimci kontrol ekranının görseli Şekil 3.12’de verilmiştir.



Numara	Ad	Soyad	Gerçekleştirilen Deney Adı	Tarih	Saat
1830138016	Cem Deniz	Kumral	Ve Kipisi	01.05.2020	14:30
1830138016	Cem Deniz	Kumral	Kombinasyonel Devre Tasarımı	01.05.2020	14:32
1830138016	Cem Deniz	Kumral	4x1 MUX	01.05.2020	14:35
1830138016	Cem Deniz	Kumral	JK Flip-Flop	01.05.2020	14:36

Şekil 3.12. Eğitimci kontrol ekranı

3.3.4. Gömülü sistem ile FPGA platformunun haberleşmesi

Tez kapsamında geliştirilen deney setinin başarılı bir şekilde çalışması için gömülü sistem bilgisayarı ile FPGA platformu arasında kararlı şekilde çalışan bir haberleşme altyapısı oluşturulmuştur. Bu altyapı oluşturulurken, haberleşme esnasında veri kaybı ve gecikme durumlarının önüne geçilmeye çalışılmıştır. Oluşturulan tasarımı bu problemlerle karşılaşmamak amacıyla gömülü

sistem kartı ile FPGA kartı arasındaki haberleşmenin her iki kart üzerinde de bulunan giriş-çıkış pinleri aracılığıyla gerçekleştirilmesi sağlanmıştır.

Kullanıcılar gömülü sistem üzerinde çalışan arayüz uygulamasını kullanarak, uygulamak istedikleri deneyi dokunmatik LCD ekran üzerinden seçmektedirler. Seçim işlemi sonrasında arayüz uygulaması arka planda verileri işlemekte ve veriler gömülü sistem bilgisayarında bulunan pinler üzerinden FPGA platformundaki pinlere aktarılmaktadır. Bu haberleşme işlemini gerçekleştirebilmek için deney seti kapsamında uygulanacak deney sayısı ve bu deneylerin içeriklerine göre haberleşme pinlerinin sayısı belirlenmiştir. Haberleşme esnasında her bir deney çeşidi için ayrı bir giriş-çıkış pini kullanmak gömülü sistem ve FPGA kartlarının sunduğu toplam pin sayısını büyük oranda işgal etmektedir. Bu sorunu aşmak adına hem gömülü sistem bilgisayarı hem de FPGA kartı üzerinde belirli sayıda pinler seçilerek İkilik Sayı Sistemi (Binary) üzerinden sağlanan bir haberleşme protokolüne atanmıştır. Geliştirilen deney setinin içeriğinde 13 farklı deney senaryosu bulunmaktadır. 13 adet farklı deney verisini ikilik sayı sistemi formatında iletebilmek için gömülü sistem ve FPGA kartları üzerinde 4'er adet pin haberleşme işlemi için ayrılmıştır. Her bir pin ikilik sayı sisteminde bir biti temsil etmekte ve bu sayede deney verilerini aktarabilmek için 2 üzeri 4 yani 16 adet farklı iletim tetikleme elde edilmektedir.

Haberleşme protokolü geliştirilirken, FPGA'nın kendisine aktarılan verinin hangi deneye ait olduğunu anlayabilmesi amacıyla her bir deney türü için özel iletim numarası belirlenmiştir. Örneğin; "VE Kapısı" deneyinin iletim numarası "2" olarak atanmıştır. Kullanıcı dokunmatik ekrandan bu deneyi seçtiği takdirde, gömülü sistem bilgisayarından FPGA kartına deney türü verisini iletecek 4 adet haberleşme pini "0010" şeklinde bir tetikleme gerçekleştirmektedir. Her deney türü için atanmış olan iletim numarası eşsiz olduğu için platformlar arasındaki haberleşme kararlı ve hızlı bir biçimde sağlanmıştır. Geliştirilen deney seti tasarımına eklenen deneylerin gömülü sistem ile FPGA platformu arasındaki haberleşme kodları Çizelge 3.2'de verilmiştir.

Çizelge 3.2. Deneylerin haberleşme kodları

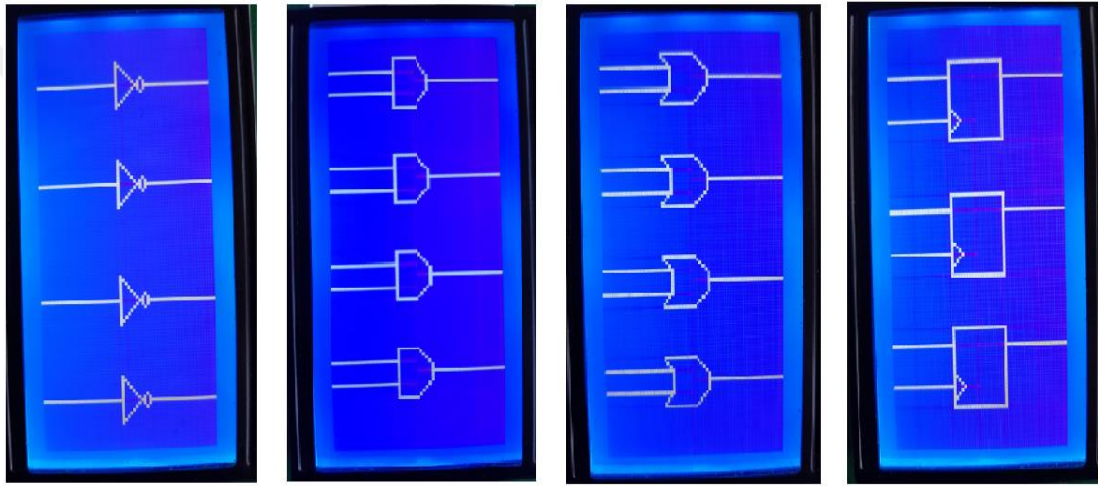
Deney Adı	Haberleşme Kodu
Değil Kapısı	0000
VE Kapısı	0001
VEYA Kapısı	0010
Kombinasyonel Devre Tasarımı	0011
Yarım Toplayıcı Devre	0100
Tam Toplayıcı Devre	0101
Yarım Çıkarıcı Devre	0111
Tam Çıkarıcı Devre	1000
Karşılaştırmacı Devre	1001
4x1 MUX	1010
7 Bölmeli Gösterge Sürme	1011
D Flip-Flop	1100
JK Flip-Flop	1101

3.3.5. Grafik LCD panellerin kontrolü

Tasarlanan deney setinin en önemli özelliklerinden biri, seçilen deneyin nasıl bir mantıkta gerçekleştiğini görsel bir biçimde anlatmak adına grafik LCD panellere deney içeriklerinin çizimlerinin yapılmasıdır. Öğrencilerin arayüz uygulaması üzerinden seçtikleri deney türüne göre belirlenen devre elemanları, grafik LCD panellere gömülü sistem kontrolü ile çizilmektedir. Çizimi yapılan devre elemanının hangi LCD ve hangi koordinat üzerinde bulunacağı önemli ve zorlayıcı bir işlemdir. Çünkü deney elemanının çizilmiş olduğu koordinata karşılık gelen giriş-çıkış bağlantı noktalarının FPGA tarafından bilinmesi gerekmektedir. Grafik LCD panellerin her birinin yanında giriş-çıkış verilerinin aktarılabilmesi amacıyla kullanılan bağlantı portları bulunmaktadır. Çizimi yapılan her deney elemanı sabit bir yerleşim koordinatına sahiptir. Bu deney elemanının lojik giriş ve çıkışları grafik LCD panellerin yanlarında bulunan bağlantı portlarına karşılık gelmektedir. Öğrenciler giriş-çıkış bağlantılarını yaparken LCD panel üzerinde kapının giriş ve çıkışları ile aynı hizada bağlantı yaptığını görmektedir. Grafik LCD panellerin boyutu ve piksel aralığına uygun olacak şekilde her LCD'ye hangi türde kaç deney elemanı çizdirilebileceği analiz edilmiştir. Örneğin; lojik kapı çizimleri,

grafik LCD panellere aralarında belirli aralıklar bulunacak şekilde 4 adet olarak çizilmiştir. Deney seti kapsamında uygulanacak tüm devre elemanları için özel bir çizdirme kontrolü gerçekleştirilmiştir.

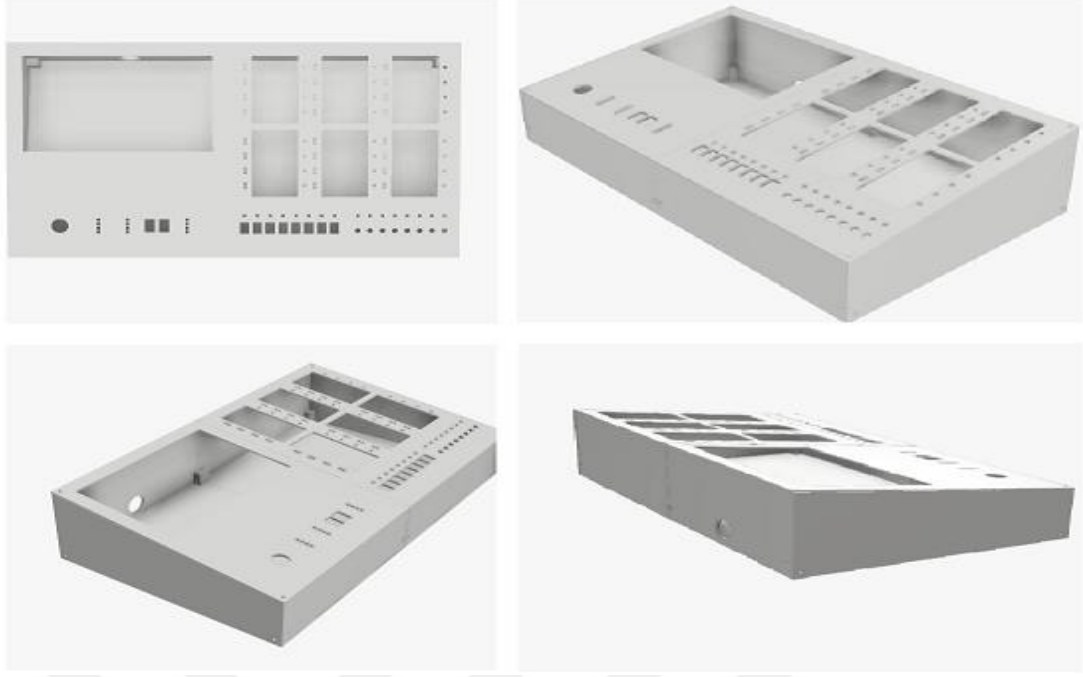
Geliştirilen deney setinde her LCD panel üzerinde farklı bir devre elemanı gösterilmektedir. Bir kapının çıkış bağlantı noktasından atlama yapılarak bir başka kapının girişine veri iletilebilmektedir. Bu sayede farklı kapılar bir arada kullanılarak kombinasyonel devre tasarımları yapılabilmektedir. Grafik LCD panellere bastırılmış örnek çizimler Şekil 3.13'te verilmiştir.



Şekil 3.13. Grafik LCD panel örnek çizimleri

3.3.6. Deney setinin dış plaka çizimi ve baskı işlemleri

Deney setinin tüm bileşenlerinin yerleştirileceği dış plakanın çizim işlemleri AutoDesk Fusion 360 ortamında gerçekleştirilmiştir. Üretilen deney setinin üst yüzeyinin ölçüleri 39x23cm şeklindedir. Ön kısmın yüksekliği 5cm ve arka kısmın yüksekliği 8cm olacak şekilde üç boyutlu bir prizma model tasarlanmıştır. Çizim işlemleri sonucunda oluşan dış plaka tasarımı Şekil 3.14'te verilmiştir.



Şekil 3.14. Deney setinin dış plaka çizimi

Oluşturulan dış plaka tasarımının baskı işlemleri üç boyutlu yazıcı vasıtasıyla gerçekleştirilmiştir. Tasarımın dış yüzeyi için beyaz renkli filament tercih edilmiştir. Baskının yapıldığı yazıcının hazne ebatları sebebiyle tasarım üst, alt, yan, ön ve arka yüzeyler ayrı olacak şekilde parçalara ayrılmış ve bu şekilde baskı işlemi tamamlanmıştır. Baskı sonucunda elde edilen dış plaka parçaları Şekil 3.15'te verilmiştir.



Şekil 3.15. Deney setinin baskı parçaları

4. ARAŞTIRMA BULGULARI

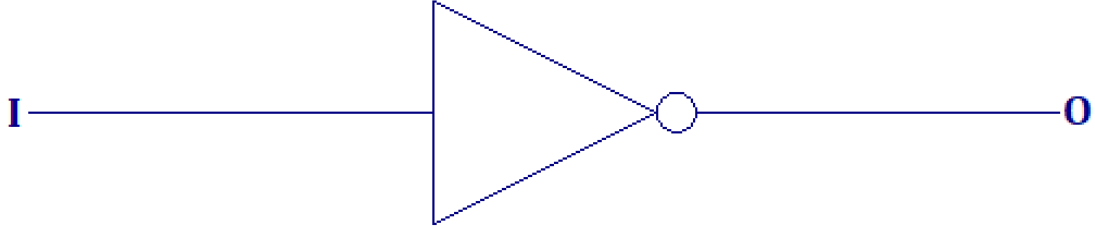
4.1. Geliştirilen Deney Setine Eklenen Deney Senaryoları

Geliştirilen deney seti tasarımına 13 adet deney senaryosu eklenmiştir. Bu senaryoların sıralaması en temel deneyden başlayarak daha karmaşık devre tasarımlarını içeren deneylere doğru ilerlemektedir. Eklenen deney senaryoları “Değil Kapısı”, “Ve Kapısı”, “Veya Kapısı”, “Kombinasyonel Devre Tasarımı”, “Yarım Toplayıcı Devre”, “Tam Toplayıcı Devre”, “Yarım Çıkarıcı Devre”, “Tam Çıkarıcı Devre”, “Tam Karşılaştırıcı Devre”, “4x1 MUX Tasarımı”, “7 Segment Display Sürme”, “D Flip Flop” ve “J-K Flip Flop” şeklindedir. Setin içerdiği tüm deney senaryoları ayrı başlıklar altında anlatılmıştır. Her deney senaryosu için genel tanımlar yapılmış, devre şeması ve doğruluk tablosu bilgileri verilmiştir. Deney senaryosunun geliştirilen deney seti üzerinde nasıl uygulanacağı, hangi sonuçlar elde edilmesi gerektiği detaylı bir biçimde anlatılmış ve deneylerin Xilinx ISE ortamında çalıştırılması sonucunda oluşan simülasyon görüntüleri sunulmuştur. Deneylerin içerdiği devre elamanlarında bulunan girişler I (Input, Giriş) olarak, çıkışlar ise O (Output, Çıkış) olarak temsil edilmiştir. Deneylerin devre şemaları ve doğruluk tablolarında da bu şekilde kullanılmıştır. Deney seti üzerinde, deneylerin uygulandığı esnadaki giriş değerlerini sağlayabilmek amacıyla 8 adet anahtar ve oluşacak çıkış değerlerini görebilmek adına da 8 adet Işık Yayan Diyot (LED - Light Emitting Diode) bulunmaktadır. Anahtarların bir bacağı daima Pozitif Besleme Voltajı (VCC - Collector Supply Voltage) (5V) hattı ile diğer bacağı ise setin yüzeyinde anahtarların yanında bulunan portlar ile bağlantılı durumdadır. LED’lerin bir bacağı Toprak (GND - Ground) hattı ile diğer bacağı ise setin yüzeyinde LED’lerin yanında bulunan portlar ile bağlantılı durumdadır.

4.1.1. Değil kapısı deneyi

Değil kapısı lojik devre uygulamalarının en temel devre elemanlarından biridir. Bir giriş ve bir çıkıştan meydana gelmektedir. Mantıksal olarak, verilen bir giriş değerinin tam tersi olacak şekilde çıkış değeri veren bir işlem

gerçekleştirmektedir. Lojik devreler kurarken sık sık ihtiyaç duyulması sebebiyle kullanımının bilinmesi gerekmektedir. Bu sebeple deney setinin ilk deney senaryosu olarak seçilmiştir. Değil kapısının devre şeması Şekil 4.1’de verilmiştir.



Şekil 4.1. Değil kapısı devre şeması

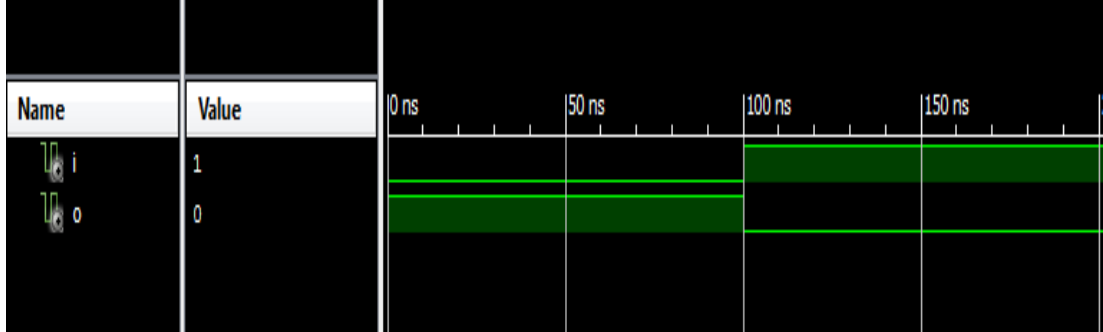
Değil kapısı çalışma esnasında giriş olarak verilen I değerinin tam tersini alacak şekilde bir mantıksal işlem gerçekleştirmektedir. Diğer bir deyişle girişe hangi değer verilirse o değer için 1’e tümleyen görevi görerek oluşan değeri çıkışa aktarmaktadır. Değil kapısının doğruluk tablosu Çizelge 4.1’de verilmiştir.

Çizelge 4.1. Değil kapısı doğruluk tablosu

I	O
0	1
1	0

Tasarlanan deney seti üzerinde Değil kapısı deneyini gerçekleştirebilmek için giriş yaparak deney seçim ekranında “Degil Kapısı” deneyi seçilmelidir. Seçim işlemi gerçekleştikten sonra deney seti üzerinde bulunan grafik LCD panellerden birinde 4 adet Değil kapısı devre elemanı otomatik olarak oluşmaktadır. Değil kapısı deneyi uygulanırken çizimlerin yapıldığı grafik LCD panelin yanında bulunan portlardan, kullanılmak istenen Değil kapısının giriş-çıkışlarına karşılık gelen port analiz edilmelidir. Daha sonra herhangi bir anahtar portu ile analiz edilen giriş portu arasında bir atlama kablosu yardımıyla bağlantı yapılmalıdır. Kullanılacak kapının çıkışına karşılık gelen port ile de LED’lerden herhangi birinin bağlı olduğu port arasında bağlantı yapılmalıdır. Bağlantı işlemleri tamamlandıktan sonra giriş portuna bağlı anahtar “0” konumunda iken çıkış portuna bağlı olan LED’in “1”, giriş portuna bağlı anahtar “1” konumunda iken ise çıkış portuna bağlı olan LED’in “0” konumuna geçtiği gözlemlenmelidir. Değil

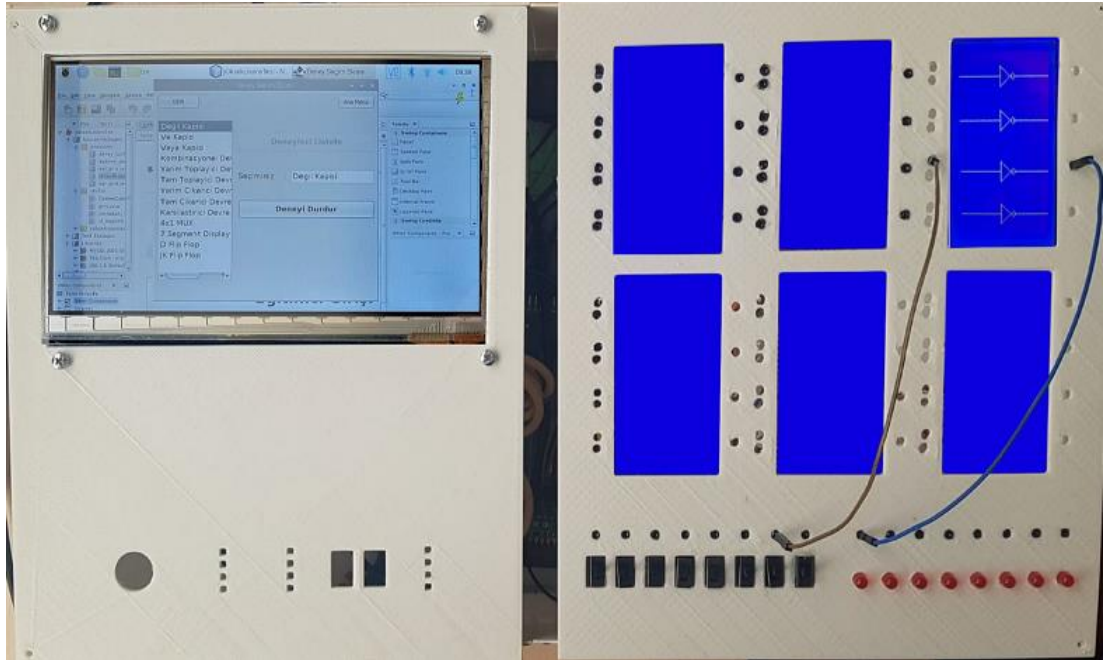
kapısı deneyinin Xilinx ISE ortamında çalıştırılması sonucunda oluşan simülasyon çıktısı Şekil 4.2'de, FPGA üzerindeki kaynak kullanım oranları Çizelge 4.2'de, deney seti üzerindeki uygulaması ise Şekil 4.3'te verilmiştir.



Şekil 4.2. Değil kapısı simülasyon çıktısı

Çizelge 4.2. Değil kapısı deneyi FPGA kaynak kullanım oranları

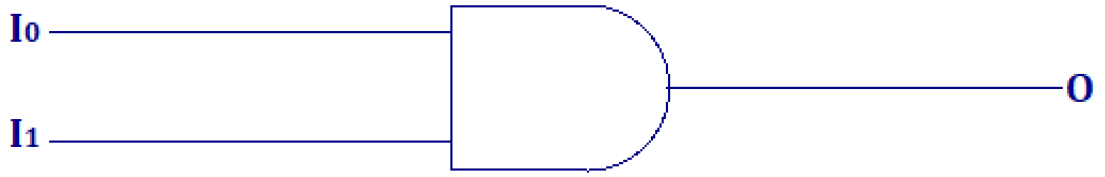
Birim	Kullanılan	Toplam	Kullanım Oranı
Slice	2	4656	%0,05
LUT	4	9312	%0,05
Giriş-Çıkış Pini	8	116	%6
Clock Sinyal Pini	0	24	%0



Şekil 4.3. Değil kapısı deney seti uygulaması

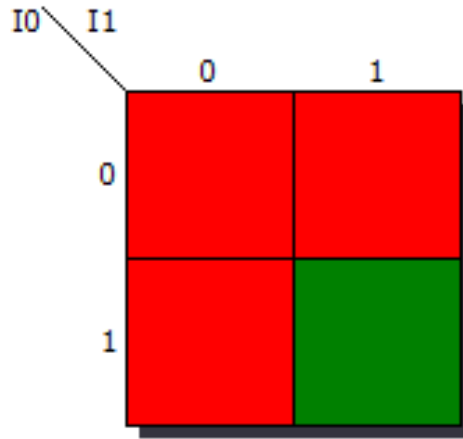
4.1.2. VE kapısı deneyi

VE kapısı da lojik devre uygulamalarının en temel devre elemanlarından biridir. İki giriş ve bir çıkıştan meydana gelmektedir. Mantıksal olarak, verilen iki giriş değerinin çarpım sonucunun çıkışa verildiği şekilde bir işlem gerçekleştirmektedir. Lojik devreler kurarken sık sık ihtiyaç duyulması ve birçok elektronik cihazın temelinde işlem gerçekleştirmesi sebebiyle kullanımının bilinmesi gerekmektedir. Bu sebeple deney setinin ikinci deney senaryosu olarak seçilmiştir. VE kapısının devre şeması Şekil 4.4'te verilmiştir.



Şekil 4.4. VE kapısı devre şeması

VE kapısı çalışma esnasında girişlere verilen I_0 ve I_1 değerlerinin çarpma işlemini yapacak şekilde bir mantıksal işlem gerçekleştirmektedir. Verilen girişlere göre ikilik formatta bir çarpma işlemi gerçekleşmekte ve sonuç değeri çıkışa aktarılmaktadır. VE kapısının karnaugh diyagramı Şekil 4.5'te, doğruluk tablosu ise Çizelge 4.3'te verilmiştir.

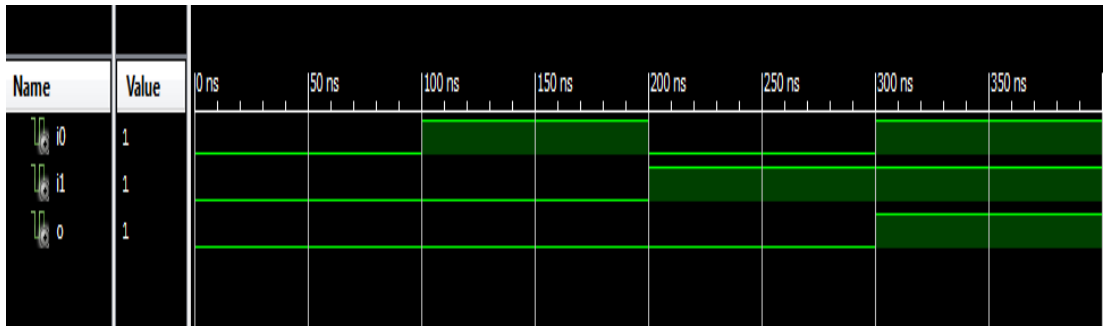


Şekil 4.5. VE kapısı karnaugh diyagramı

Çizelge 4.3. VE kapısı doğruluk tablosu

I1	I0	O
0	0	0
0	1	0
1	0	0
1	1	1

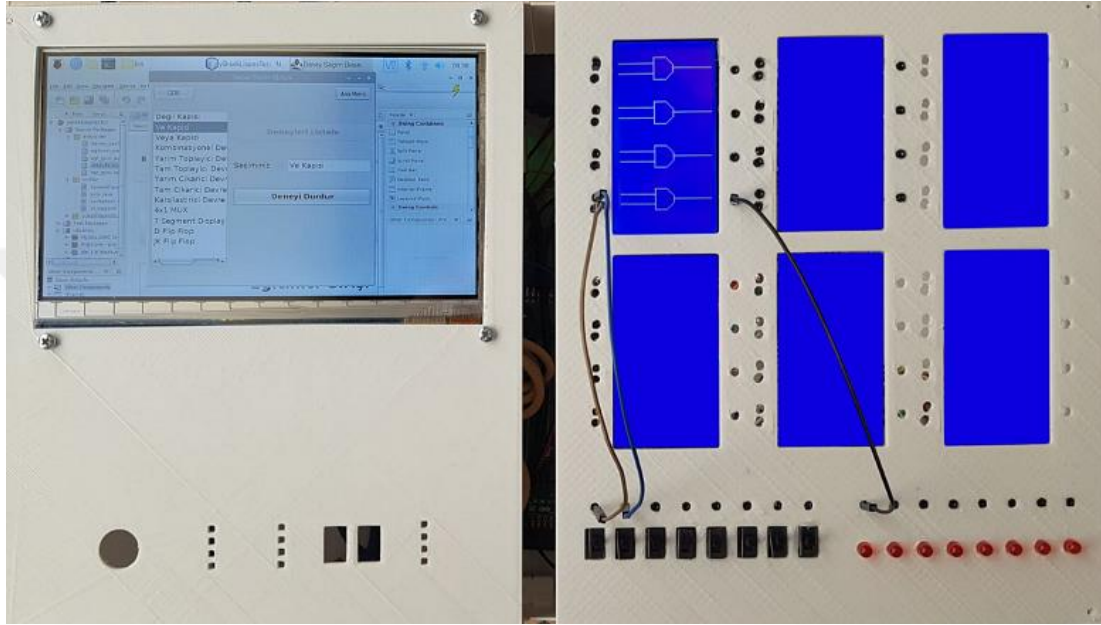
Tasarlanan deney seti üzerinde VE kapısı deneyini gerçekleştirebilmek için giriş yaparak deney seçim ekranında “Ve Kapisi” deneyi seçilmelidir. Seçim işlemi gerçekleştirildikten sonra deney seti üzerinde bulunan grafik LCD panellerden birinde 4 adet VE kapısı devre elemanı otomatik olarak oluşmaktadır. VE kapısı deneyi uygulanırken çizimlerin yapıldığı grafik LCD panelin yanında bulunan portlardan, kullanılmak istenen VE kapısının giriş-çıkışlarına karşılık gelen portlar analiz edilmelidir. Daha sonra herhangi iki anahtar portu ile analiz edilen girişlerin portu arasında atlama kabloları yardımıyla bağlantı yapılmalıdır. Kullanılacak kapının çıkışına karşılık gelen port ile de LED’lerden herhangi birinin bağlı olduğu port arasında bağlantı yapılmalıdır. Bağlantı işlemleri tamamlandıktan sonra giriş portlarına bağlı anahtar çifti “00”, “01” ve “10” konumlarında iken çıkış portuna bağlı olan LED’in “0”, giriş portuna bağlı anahtar çifti “11” konumunda iken ise çıkış portuna bağlı olan LED’in “1” konumuna geçtiği gözlemlenmelidir. VE kapısı deneyinin Xilinx ISE ortamında çalıştırılması sonucunda oluşan simülasyon çıktısı Şekil 4.6’da, FPGA üzerindeki kaynak kullanım oranları Çizelge 4.4’te, deney seti üzerindeki uygulaması ise Şekil 4.7’de verilmiştir.



Şekil 4.6. VE kapısı simülasyon çıktısı

Çizelge 4.4. VE kapısı deneyi FPGA kaynak kullanım oranları

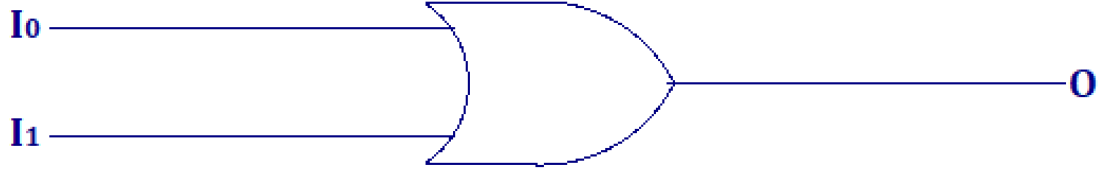
Birim	Kullanılan	Toplam	Kullanım Oranı
Slice	2	4656	%0,05
LUT	4	9312	%0,05
Giriş-Çıkış Pini	12	116	%10
Clock Sinyal Pini	0	24	%0



Şekil 4.7. VE kapısı deney seti uygulaması

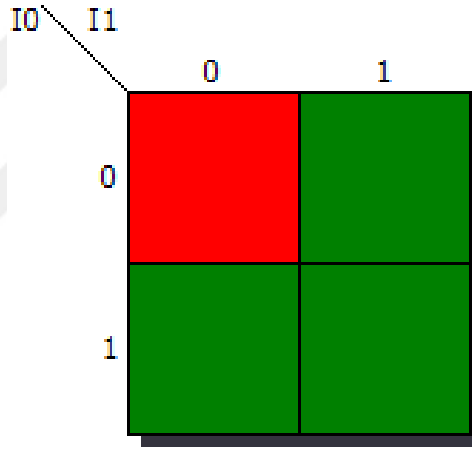
4.1.3. VEYA kapısı deneyi

VEYA kapısı da VE kapısı gibi lojik devre uygulamalarının en temel devre elemanlarından biridir. İki giriş ve bir çıkıştan meydana gelmektedir. Mantıksal olarak, verilen iki giriş değerinin toplam sonucunun çıkışa verildiği şekilde bir işlem gerçekleştirmektedir. Lojik devreler kurarken sık sık ihtiyaç duyulması ve birçok elektronik cihazın temelinde işlem gerçekleştirmesi sebebiyle kullanımının bilinmesi gerekmektedir. Bu sebeple deney setinin üçüncü deney senaryosu olarak seçilmiştir. VEYA kapısının devre şeması Şekil 4.8'de verilmiştir.



Şekil 4.8. VEYA kapısı devre şeması

VEYA kapısı çalışma esnasında girişlere verilen I0 ve I1 değerlerinin toplama işlemini yapacak şekilde bir mantıksal işlem gerçekleştirmektedir. Verilen girişlere göre ikilik formatta bir toplama işlemi gerçekleşmekte ve sonuç değeri çıkışa aktarılmaktadır. VEYA kapısının karnaugh diyagramı Şekil 4.9’da, doğruluk tablosu ise Çizelge 4.5’te verilmiştir.



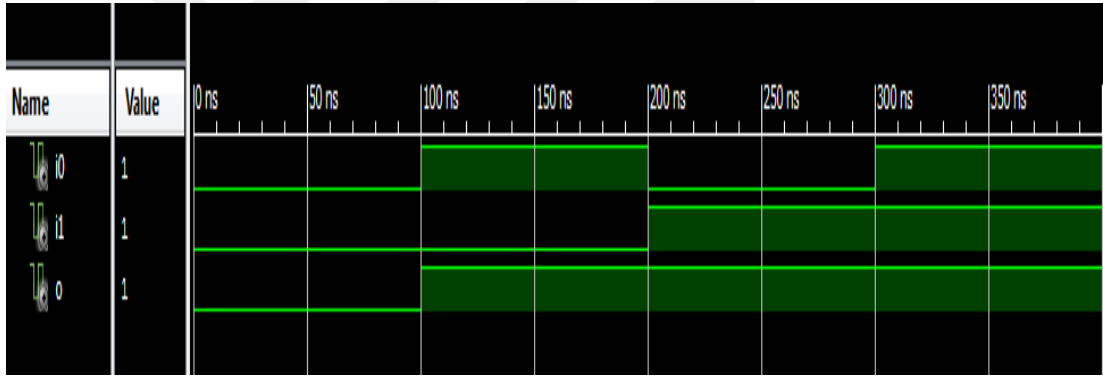
Şekil 4.9. VEYA kapısı karnaugh diyagramı

Çizelge 4.5. VEYA kapısı doğruluk tablosu

I1	I0	O
0	0	0
0	1	1
1	0	1
1	1	1

Tasarlanan deney seti üzerinde VEYA kapısı deneyini gerçekleştirebilmek için giriş yaparak deney seçim ekranında “Veya Kapısı” deneyi seçilmelidir. Seçim işlemi gerçekleştikten sonra deney seti üzerinde bulunan grafik LCD panellerden birinde 4 adet VEYA kapısı devre elemanı otomatik olarak oluşmaktadır. VEYA

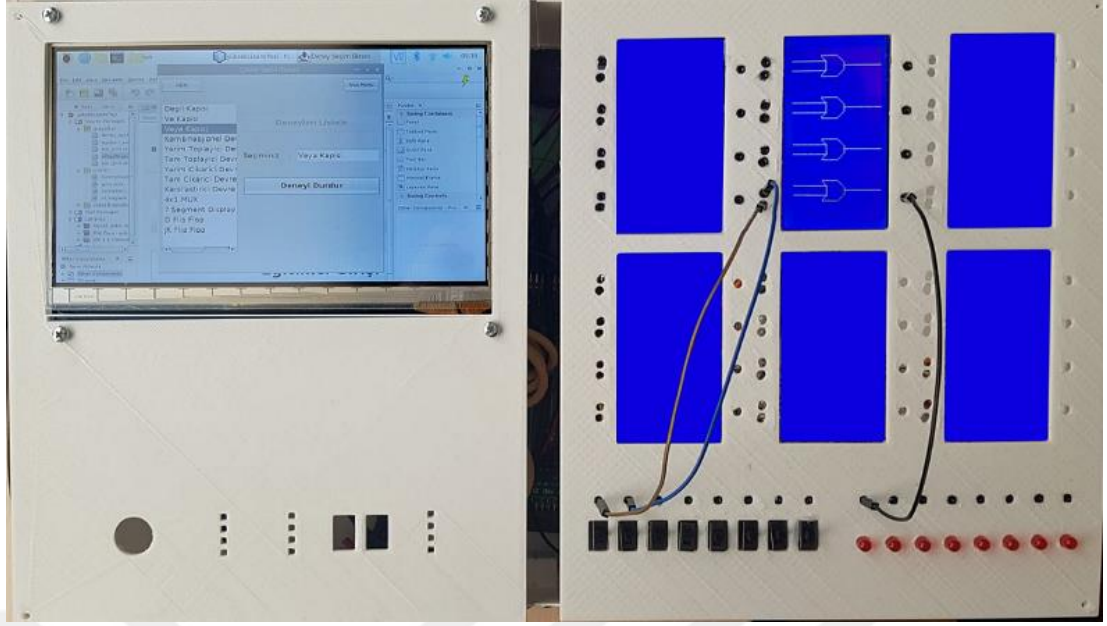
kapısı deneyi uygulanırken çizimlerin yapıldığı grafik LCD panelin yanında bulunan portlardan, kullanılmak istenen VEYA kapısının giriş-çıkışlarına karşılık gelen portlar analiz edilmelidir. Daha sonra herhangi iki anahtar portu ile analiz edilen girişlerin portu arasında atlama kabloları yardımıyla bağlantı yapılmalıdır. Kullanılacak kapının çıkışına karşılık gelen port ile de LED'lerden herhangi birinin bağlı olduğu port arasında bağlantı yapılmalıdır. Bağlantı işlemleri tamamlandıktan sonra giriş portlarına bağlı anahtar çifti "00" konumunda iken çıkış portuna bağlı olan LED'in "0", giriş portuna bağlı anahtar çifti "01", "10" ve "11" konumlarında iken ise çıkış portuna bağlı olan LED'in "1" konumuna geçtiği gözlemlenmelidir. VEYA kapısı deneyinin Xilinx ISE ortamında çalıştırılması sonucunda oluşan simülasyon çıktısı Şekil 4.10'da, FPGA üzerindeki kaynak kullanım oranları Çizelge 4.6'da, deney seti üzerindeki uygulaması ise Şekil 4.11'de verilmiştir.



Şekil 4.10. VEYA kapısı simülasyon çıktısı

Çizelge 4.6. VEYA kapısı deneyi FPGA kaynak kullanım oranları

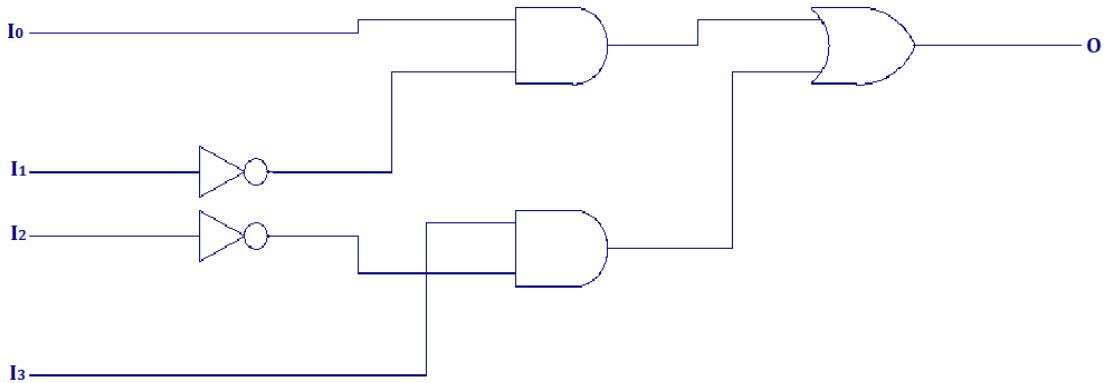
Birim	Kullanılan	Toplam	Kullanım Oranı
Slice	2	4656	%0,05
LUT	4	9312	%0,05
Giriş-Çıkış Pini	12	116	%10
Clock Sinyal Pini	0	24	%0



Şekil 4.11. VEYA kapısı deney seti uygulaması

4.1.4. Kombinasyonel devre tasarımı deneyi

Geliştirilen deney setinin dördüncü deney senaryosu kombinasyonel devre tasarımıdır. Elektronik cihazların içerisinde bulunan devre elemanları genelde tek başlarına kullanılmazlar. Lojik devre elemanları, belirli bir işlevi yerine getirebilmek amacıyla bir araya getirilerek tümleşik bir devre yapısı oluşturulur. Oluşan bu devre yapısına kombinasyonel lojik devre adı verilir. Karmaşık devre tasarımları yapabilmek adına temel bir kombinasyonel devrenin nasıl işlem gerçekleştirdiğini bilmek gereklidir. Deney seti kapsamında oluşturulan devre tasarımının şeması Şekil 4.12’de, lojik ifadesi ise Denklem 4.1’de verilmiştir.

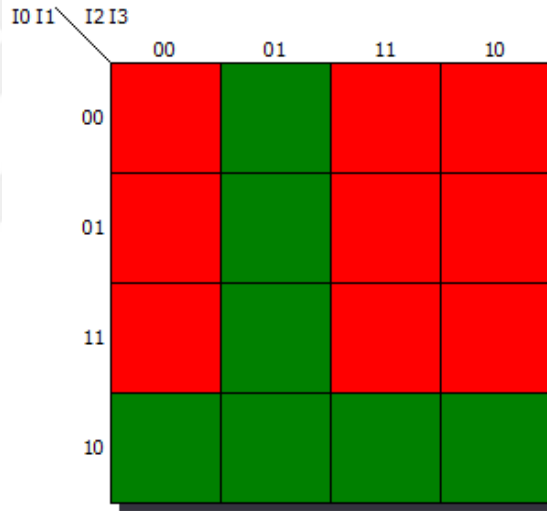


Şekil 4.12. Kombinasyonel devre şeması

$$O = (I_0 \cdot I_1') + (I_2' \cdot I_3) \quad (4.1)$$

Yukarıdaki denklemde I_0 , I_1 , I_2 VE I_3 devrenin girişlerini O ise devrenin çıkışını temsil etmektedir. Burada “.” operatörü VE işlemine, “+” operatörü ise VEYA işlemine karşılık gelmektedir.

Oluşturulan kombinyonel devre tasarımında I_0 girişi ile I_1 girişinin değili, I_2 girişinin değili ile de I_3 girişi iki ayrı VE kapısına bağlanmıştır. Daha sonra bu VE kapılarının çıkışları da bir VEYA kapısına giriş olarak bağlanmıştır. Verilen giriş değerlerine göre ikilik formatta lojik işlemler gerçekleşmekte ve sonuç değeri çıkışa aktarılmaktadır. Kombinyonel devrenin karnaugh diyagramı Şekil 4.13'te, doğruluk tablosu ise Çizelge 4.7'de verilmiştir.



Şekil 4.13. Kombinyonel devre karnaugh diyagramı

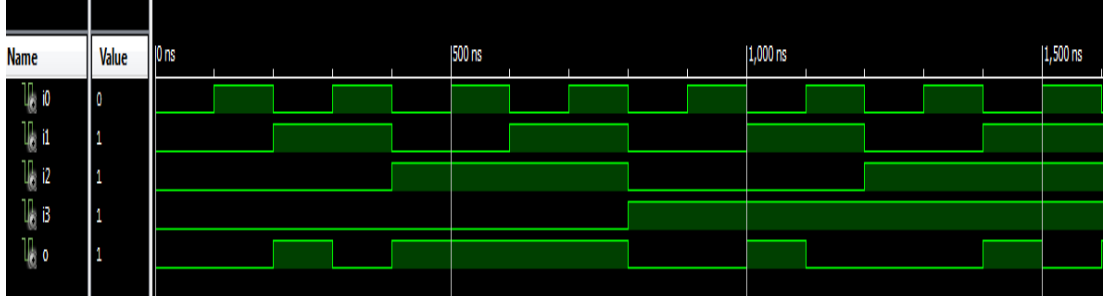
Çizelge 4.7. Kombinyonel devre doğruluk tablosu

I3	I2	I1	I0	O
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0

Çizelge 4.7. Kombinasyonel devre doğruluk tablosu (Devam)

I3	I2	I1	I0	O
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

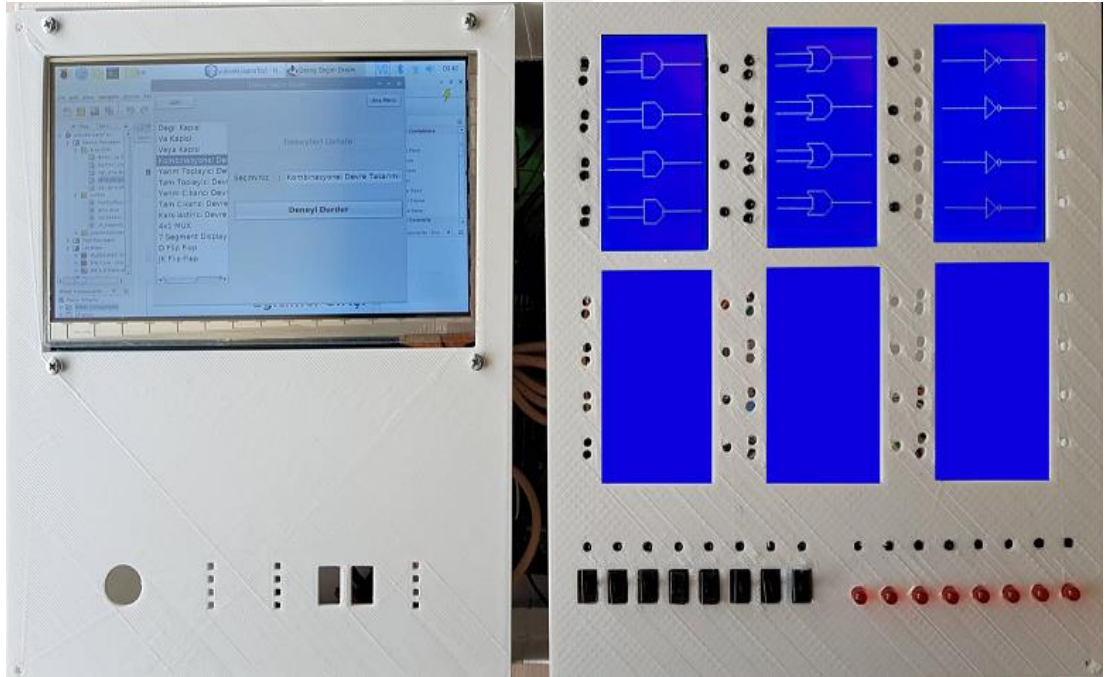
Tasarlanan deney seti üzerinde kombinasyonel devre deneyini gerçekleştirebilmek için giriş yaparak deney seçim ekranında “Kombinasyonel Devre Tasarımı” deneyi seçilmelidir. Seçim işlemi gerçekleştirildikten sonra deney seti üzerinde bulunan grafik LCD panellerden birinde 4 adet DEĞİL kapısı, birinde 4 adet VE kapısı ve birinde de 4 adet VEYA KAPISI devre elemanı otomatik olarak oluşmaktadır. Kombinasyonel devre deneyi uygulanırken çizimlerin yapıldığı grafik LCD panellerin yanında bulunan portlardan, kullanılmak istenen DEĞİL, VE, VEYA kapılarının giriş-çıkışlarına karşılık gelen portlar analiz edilmelidir. Daha sonra kullanılmak istenen anahtar portları ile analiz edilen girişlerin portları arasında bağlantı yapılmalıdır. Kombinasyonel bir devre tasarımı yapılması sebebiyle kullanılan kapıların çıkışlarına karşılık gelen portlar ile devrenin devamında kombine edilen devre elemanının girişleri arasında bağlantı yapılmalıdır. Son olarak kombinasyonel devrenin nihai çıkışı ile kullanılmak istenen bir LED’in bağlı olduğu port arasındaki bağlantı yapılarak tasarım tamamlanmalıdır. Bağlantı işlemleri tamamlandıktan sonra deneyin doğruluk tablosundaki tüm kombinasyonlara göre giriş portlarına bağlı anahtarların konumları değiştirilerek çıkış portuna bağlı LED’in durumu gözlemlenmelidir. Kombinasyonel devre tasarımı deneyinin Xilinx ISE ortamında çalıştırılması sonucunda oluşan simülasyon çıktısı Şekil 4.14’te, FPGA üzerindeki kaynak kullanım oranları Çizelge 4.8’de, deney seti üzerindeki uygulaması ise Şekil 4.15’te verilmiştir.



Şekil 4.14. Kombinasyonel devre simülasyon çıktısı

Çizelge 4.8. Kombinasyonel devre deneyi FPGA kaynak kullanım oranları

Birim	Kullanılan	Toplam	Kullanım Oranı
Slice	6	4656	%0,15
LUT	12	9312	%0,15
Giriş-Çıkış Pini	32	116	%28
Clock Sinyal Pini	0	24	%0

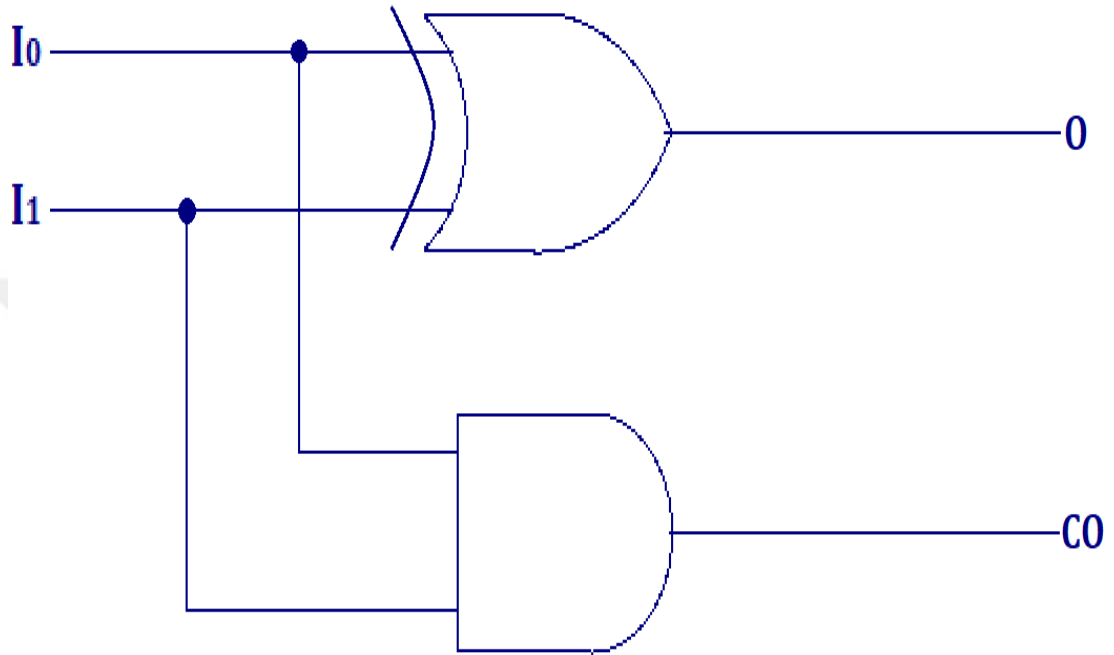


Şekil 4.15. Kombinasyonel devre deney seti uyulması

4.1.5. Yarım toplayıcı devre deneyi

Yarım toplayıcı devreler ikilik tabanda toplama işlemini gerçekleştiren mantıksal devrelerdir. Bu devre tasarımlarında girişlere verilen ikili sistemle ifade edilen

sayıları toplayıp çıkışa toplanmış şekilde aktarmayı sağlayan bir işlem yürütülmektedir. Yarım toplayıcı devreler ikilik formatta iki adet bir bitlik sayının toplama işlemini gerçekleştirmektedir. Bir adet VE kapısı ve bir adet XOR (Özel VEYA) kapısından meydana gelmektedir. Yarım toplayıcı devrenin şeması Şekil 4.16'da, lojik ifadesi ise Denklem 4.2'de verilmiştir.

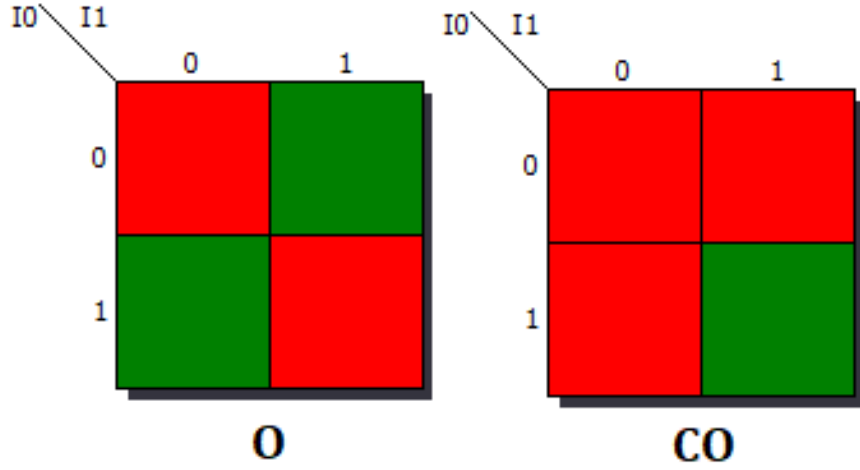


Şekil 4.16. Yarım toplayıcı devre şeması

$$O = (I_0 \oplus I_1), CO = (I_0 \cdot I_1) \quad (4.2)$$

Yukarıdaki denklemde I_0 ve I_1 ifadeleri girişleri, O ifadesi "toplam" çıkışını ve CO ifadesi de "elde" çıkışını temsil etmektedir. Burada "." operatörü VE işlemine, " \oplus " operatörü ise XOR işlemine karşılık gelmektedir.

Oluşturulan yarım toplayıcı devre tasarımında I_0 ve I_1 giriş değerlerine göre ikilik formatta bir toplama işlemi gerçekleşmektedir. İki girişten alınan lojik değerlerin ikilik toplamına bağlı olarak O ve CO çıkışlarının durumları değişmektedir. Yarım toplayıcı devrenin karnaugh diyagramları Şekil 4.17'de, doğruluk tablosu ise Çizelge 4.9'da verilmiştir.



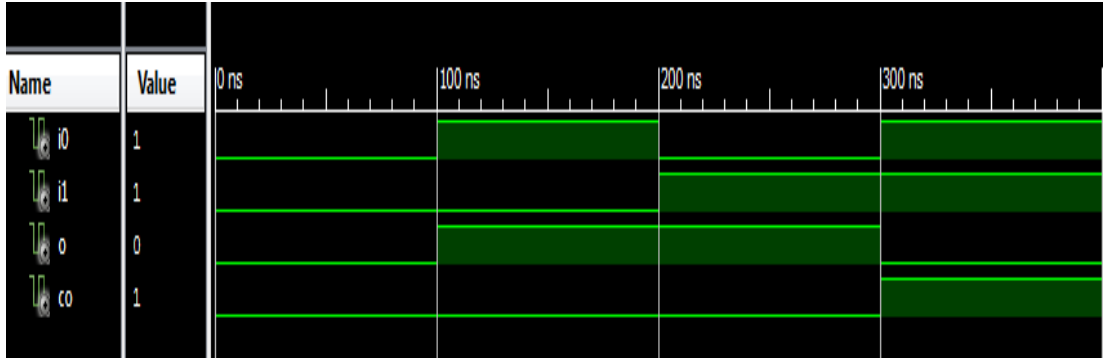
Şekil 4.17. Yarım toplayıcı devre karnaugh diyagramları

Çizelge 4.9. Yarım toplayıcı devre doğruluk tablosu

I1	I0	O	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Tasarlanan deney seti üzerinde yarım toplayıcı devre deneyini gerçekleştirebilmek için giriş yaparak deney seçim ekranında “Yarım Toplayıcı Devre Tasarımı” deneyi seçilmelidir. Seçim işlemi gerçekleştikten sonra deney seti üzerinde bulunan grafik LCD panellerden birinde 4 adet VE kapısı birinde de 4 adet XOR kapısı devre elemanı otomatik olarak oluşmaktadır. Yarım toplayıcı devre deneyi uygulanırken çizimlerin yapıldığı grafik LCD panellerin yanında bulunan portlardan, kullanılmak istenen VE ve XOR kapılarının giriş-çıkışlarına karşılık gelen portlar analiz edilmelidir. Daha sonra kullanılmak istenen 2 adet anahtar portu ile analiz edilen girişlerin portları arasında bağlantı yapılmalıdır. Çıkışlar için kullanılmak istenen 2 adet LED portu ile de O çıkışı ve CO çıkışının portları arasında bağlantı yapılmalıdır. Bağlantı işlemleri tamamlandıktan sonra deneyin doğruluk tablosundaki tüm kombinasyonlara göre giriş portlarına bağlı anahtarların konumları değiştirilerek O ve CO çıkış portlarına bağlı LED’lerin durumu gözlemlenmelidir. Yarım toplayıcı devre tasarımı deneyinin Xilinx ISE ortamında çalıştırılması sonucunda oluşan simülasyon çıktısı Şekil 4.18’de, FPGA

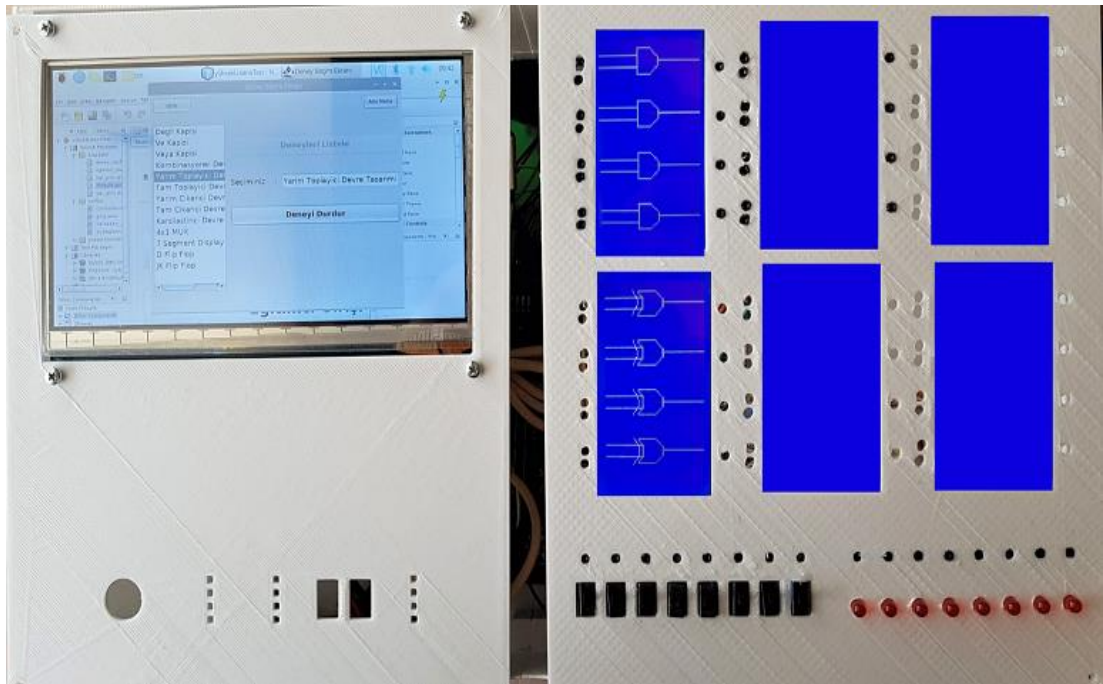
üzerindeki kaynak kullanım oranları Çizelge 4.10'da, deney seti üzerindeki uygulaması ise Şekil 4.19'da verilmiştir.



Şekil 4.18. Yarım toplayıcı devre simülasyon çıktısı

Çizelge 4.10. Yarım toplayıcı devre deneyi FPGA kaynak kullanım oranları

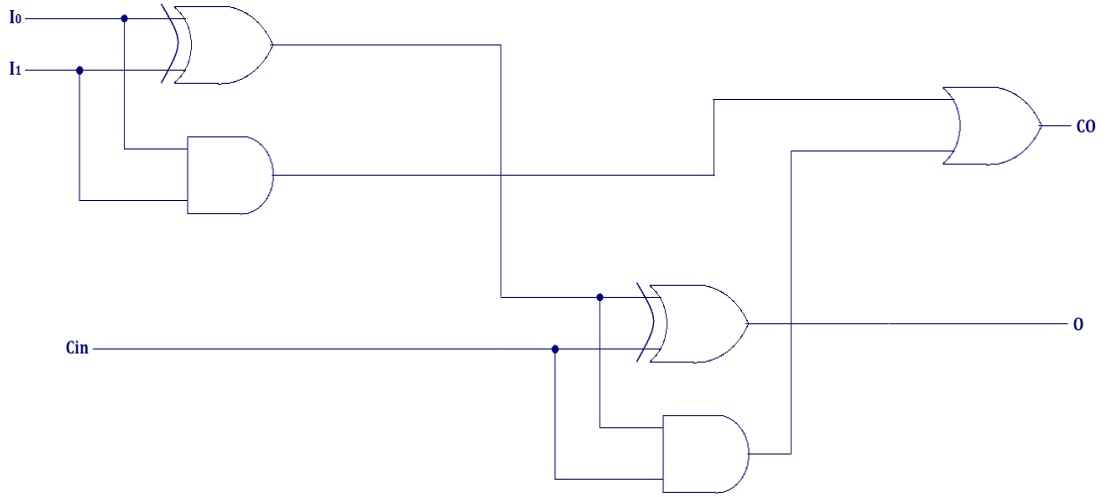
Birim	Kullanılan	Toplam	Kullanım Oranı
Slice	4	4656	%0,1
LUT	8	9312	%0,1
Giriş-Çıkış Pini	24	116	%20
Clock Sinyal Pini	0	24	%0



Şekil 4.19. Yarım toplayıcı devre deney seti uygulaması

4.1.6. Tam toplayıcı devre deneyi

Tam toplayıcı devreler ikilik tabanda toplama işlemini gerçekleştiren mantıksal devrelerdir. Bu devre tasarımlarında girişlere verilen ikili sistemle ifade edilen sayıları toplayıp çıkışa toplanmış şekilde aktarmayı sağlayan bir işlem yürütülmektedir. İkilik formatta üç adet bir bitlik sayının toplama işlemini gerçekleştirmektedir. Tam toplayıcı devreler iki adet yarım toplayıcı devrenin belirli bir lojik kombinasyonu ile meydana gelmektedir. İlk yarım toplayıcı devrenin toplam çıkışı, dışarıdan alınacak bir girişle birlikte ikinci yarım toplayıcı devrenin girişleri olarak bağlanmaktadır. İlk yarım toplayıcı devrenin elde çıkışı ile ikinci yarım toplayıcı devrenin elde çıkışı bir VEYA kapısına bağlanır ve bu kapının çıkışı tam toplayıcı devrenin elde çıkışı olarak kullanılmaktadır. İkinci yarım toplayıcı devrenin toplam çıkışı da tam toplayıcı devrenin toplam sonucunun gözlemlendiği çıkış olarak kullanılmaktadır. Tam toplayıcı devrelerin birbiri ile kombine edilmesi halinde daha fazla bit uzunluğunda işlemler gerçekleştirilebilmektedir. Tam toplayıcı devrenin şeması Şekil 4.20’de, lojik ifadesi ise Denklem 4.3’te verilmiştir.



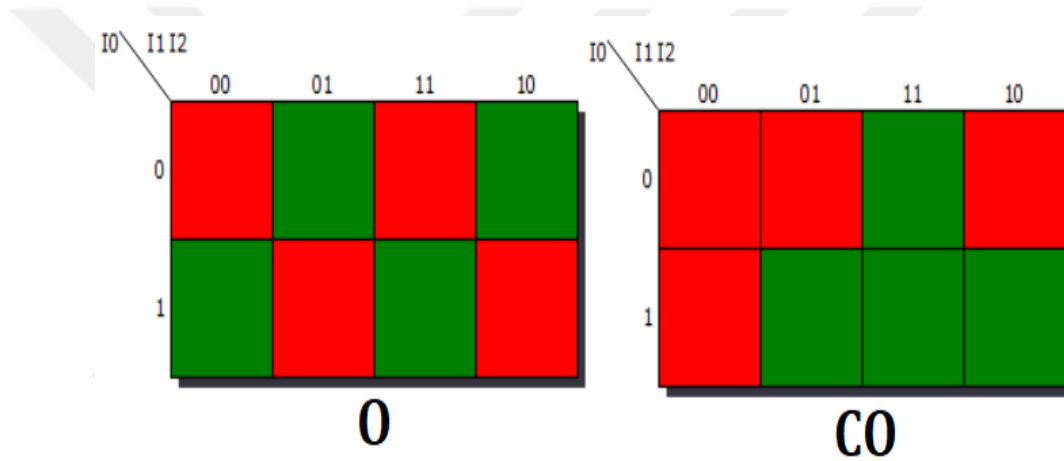
Şekil 4.20. Tam toplayıcı devre şeması

$$O = (I_0 \oplus I_1 \oplus Cin), CO = ((I_0 \oplus I_1) \cdot Cin) + (I_0 \cdot I_1) \quad (4.3)$$

Yukarıdaki denklemde I0 ve I1 ifadeleri girişleri, O ifadesi “toplam” çıkışını ve CO ifadesi de “elde” çıkışını temsil etmektedir. Cin (Carry in) ifadesi ise elde girişini

temsil etmektedir. Bu giriş devrenin başka bir devre çıkışına bağlanması durumunda kullanılır ve bağlı olduğu devreden gelecek elde sonucunu da toplama işlemine dahil eder. Burada “.” operatörü VE işlemine, “+” operatörü VEYA işlemine, “ \oplus ” operatörü ise XOR işlemine karşılık gelmektedir.

Oluşturulan tam toplayıcı devre tasarımında I0, I1 ve Cin giriş değerlerine göre ikilik formatta bir toplama işlemi gerçekleştirilmektedir. Üç girişten alınan lojik değerlerin ikilik toplamına bağlı olarak O ve CO çıkışlarının durumları değişmektedir. Tam toplayıcı devrenin karnaugh diyagramları Şekil 4.21’de, doğruluk tablosu ise Çizelge 4.11’de verilmiştir.



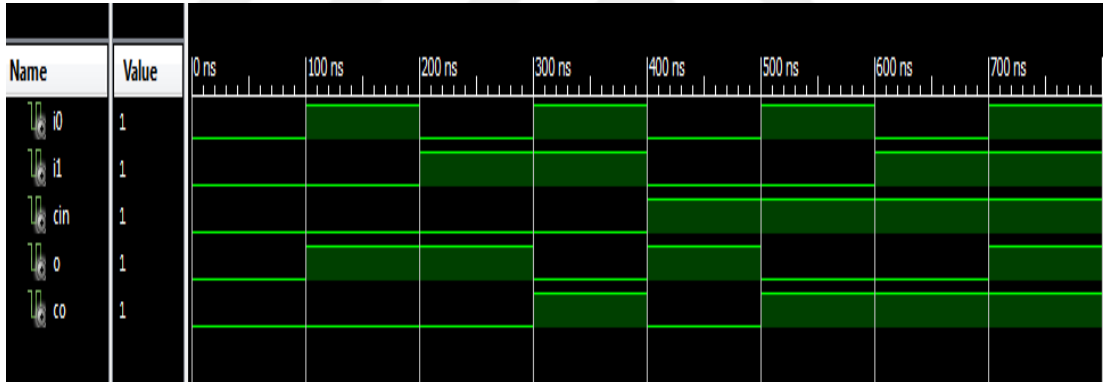
Şekil 4.21. Tam toplayıcı devre karnaugh diyagramları

Çizelge 4.11. Tam toplayıcı devre doğruluk tablosu

Cin	I1	I0	O	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Tasarlanan deney seti üzerinde tam toplayıcı devre deneyini gerçekleştirebilmek için giriş yaparak deney seçim ekranında “Tam Toplayıcı Devre Tasarımı” deneyi seçilmelidir. Seçim işlemi gerçekleştikten sonra deney seti üzerinde bulunan

grafik LCD panellerden birinde 4 adet VE kapısı, birinde 4 adet VEYA kapısı, birinde de 4 adet XOR kapısı devre elemanı otomatik olarak oluşmaktadır. Tam toplayıcı devre deneyi uygulanırken çizimlerin yapıldığı grafik LCD panellerin yanında bulunan portlardan, kullanılmak istenen VE, VEYA ve XOR kapılarının giriş-çıkışlarına karşılık gelen portlar analiz edilmelidir. Daha sonra kullanılmak istenen 3 adet anahtar portu ile analiz edilen girişlerin portları arasında bağlantı yapılmalıdır. Çıkışlar için kullanılmak istenen 2 adet LED portu ile de O çıkışı ve CO çıkışının portları arasında bağlantı yapılmalıdır. Bağlantı işlemleri tamamlandıktan sonra deneyin doğruluk tablosundaki tüm kombinasyonlara göre giriş portlarına bağlı anahtarların konumları değiştirilerek O ve CO çıkış portlarına bağlı LED'lerin durumu gözlemlenmelidir. Tam toplayıcı devre tasarımı deneyinin Xilinx ISE ortamında çalıştırılması sonucunda oluşan simülasyon çıktısı Şekil 4.22'de, FPGA üzerindeki kaynak kullanım oranları Çizelge 4.12'de, deney seti üzerindeki uygulaması ise Şekil 4.23'te verilmiştir.



Şekil 4.22. Tam toplayıcı devre simülasyon çıktısı

Çizelge 4.12. Tam toplayıcı devre deneyi FPGA kaynak kullanım oranları

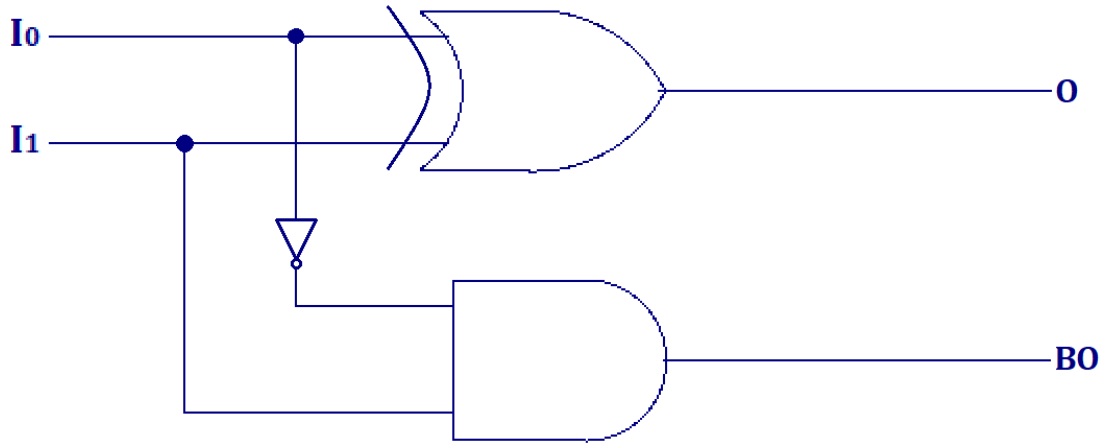
Birim	Kullanılan	Toplam	Kullanım Oranı
Slice	6	4656	%0,15
LUT	12	9312	%0,15
Giriş-Çıkış Pini	36	116	%31
Clock Sinyal Pini	0	24	%0



Şekil 4.23. Tam toplayıcı devre deney seti uygulaması

4.1.7. Yarım çıkarıcı devre deneyi

Yarım çıkarıcı devreler ikilik tabanda çıkarma işlemini gerçekleştiren mantıksal devrelerdir. Bu devre tasarımlarında girişlere verilen ikili sistemle ifade edilen sayıların farkını alıp işlem sonucunu çıkışa aktarmayı sağlayan bir işlem yürütülmektedir. Yarım çıkarıcı devreler ikilik formatta iki adet bir bitlik sayının çıkarma işlemini gerçekleştirmektedir. Bir adet VE kapısı bir adet DEĞİL kapısı ve bir adet XOR (Özel VEYA) kapısından meydana gelmektedir. Yarım çıkarıcı devrenin şeması Şekil 4.24'te, lojik ifadesi ise Denklem 4.4'te verilmiştir.

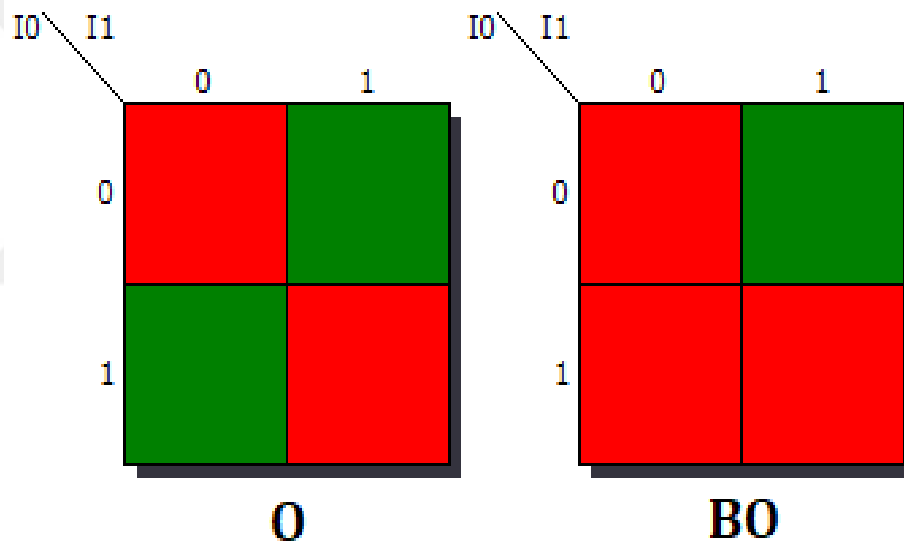


Şekil 4.24. Yarım çıkarıcı devre şeması

$$O = (I_0 \oplus I_1), BO = (I_0' \cdot I_1) \quad (4.4)$$

Yukarıdaki denklemde I_0 ve I_1 ifadeleri girişleri, O ifadesi “fark” çıkışı ve BO ifadesi de “borç” çıkışı temsil etmektedir. Burada “.” operatörü VE işlemine, “ \oplus ” operatörü ise XOR işlemine karşılık gelmektedir.

Oluşturulan yarım çıkarıcı devre tasarımında I_0 ve I_1 giriş değerlerine göre ikilik formatta bir çıkarma işlemi gerçekleştirilmektedir. İki girişten alınan lojik değerlerin ikilik farkına bağlı olarak O ve BO çıkışlarının durumları değişmektedir. Yarım çıkarıcı devrenin karnaugh diyagramları Şekil 4.25’te, doğruluk tablosu ise Çizelge 4.13’te verilmiştir.



Şekil 4.25. Yarım çıkarıcı devre karnaugh diyagramları

Çizelge 4.13. Yarım çıkarıcı devre doğruluk tablosu

I1	I0	O	BO
0	0	0	0
0	1	1	0
1	0	1	1
1	1	0	0

Tasarlanan deney seti üzerinde yarım çıkarıcı devre deneyini gerçekleştirebilmek için giriş yaparak deney seçim ekranında “Yarım Çıkarıcı Devre Tasarımı” deneyi seçilmelidir. Seçim işlemi gerçekleştirildikten sonra deney

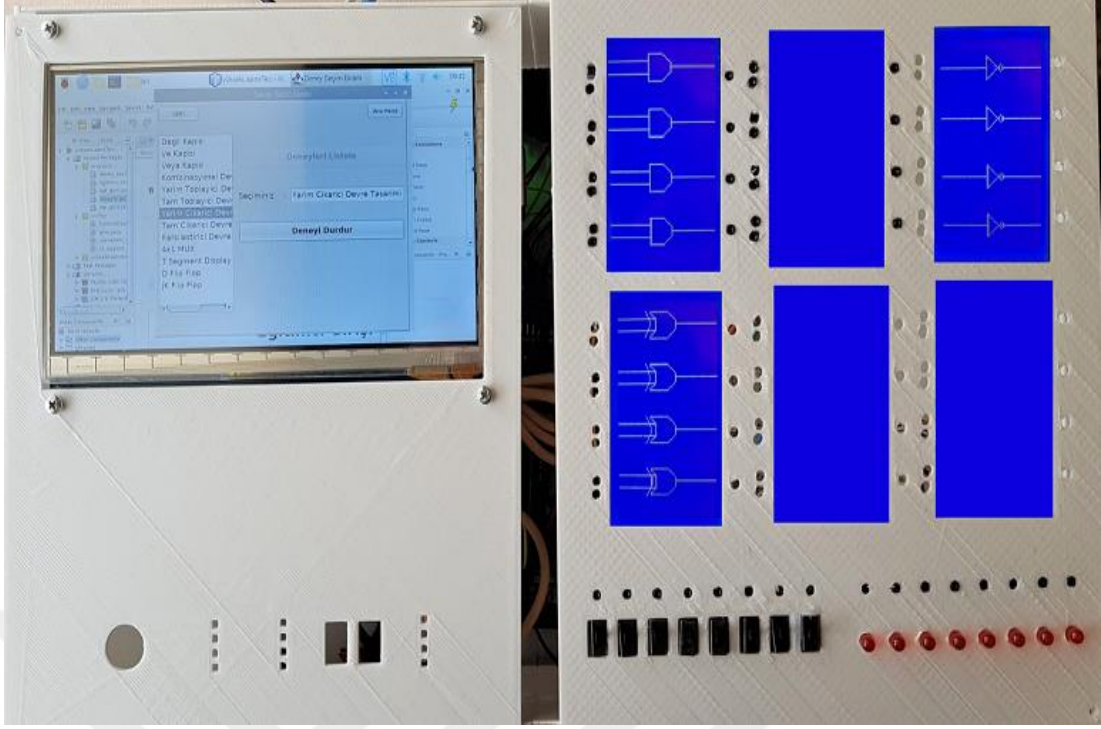
seti üzerinde bulunan grafik LCD panellerden birinde 4 adet VE kapısı, birinde 4 adet DEĞİL kapısı, birinde de 4 adet XOR kapısı devre elemanı otomatik olarak oluşmaktadır. Yarım çıkarıcı devre deneyi uygulanırken çizimlerin yapıldığı grafik LCD panellerin yanında bulunan portlardan, kullanılmak istenen VE, DEĞİL ve XOR kapılarının giriş-çıkışlarına karşılık gelen portlar analiz edilmelidir. Daha sonra kullanılmak istenen 2 adet anahtar portu ile analiz edilen girişlerin portları arasında bağlantı yapılmalıdır. Çıkışlar için kullanılmak istenen 2 adet LED portu ile de O çıkışı ve BO çıkışının portları arasında bağlantı yapılmalıdır. Bağlantı işlemleri tamamlandıktan sonra deneyin doğruluk tablosundaki tüm kombinasyonlara göre giriş portlarına bağlı anahtarların konumları değiştirilerek O ve BO çıkış portlarına bağlı LED'lerin durumu gözlemlenmelidir. Yarım çıkarıcı devre tasarımı deneyinin Xilinx ISE ortamında çalıştırılması sonucunda oluşan simülasyon çıktısı Şekil 4.26'da, FPGA üzerindeki kaynak kullanım oranları Çizelge 4.14'te, deney seti üzerindeki uygulaması ise Şekil 4.27'de verilmiştir.



Şekil 4.26. Yarım çıkarıcı devre simülasyon çıktısı

Çizelge 4.14. Yarım çıkarıcı devre deneyi FPGA kaynak kullanım oranları

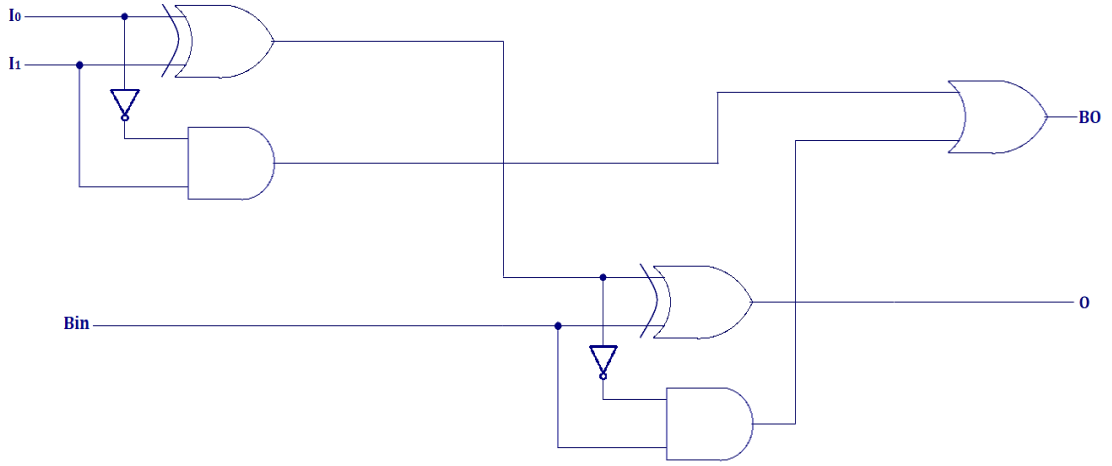
Birim	Kullanılan	Toplam	Kullanım Oranı
Slice	6	4656	%0,15
LUT	12	9312	%0,15
Giriş-Çıkış Pini	32	116	%28
Clock Sinyal Pini	0	24	%0



Şekil 4.27. Yarım çıkarıcı devre deney seti uygulaması

4.1.8. Tam çıkarıcı devre deneyi

Tam çıkarıcı devreler ikilik formatta üç adet bir bitlik sayının çıkarma işlemini gerçekleştirmektedir. Tam çıkarıcı devreler iki adet yarım çıkarıcı devrenin belirli bir lojik kombinasyonu ile meydana gelmektedir. İlk yarım çıkarıcı devrenin fark çıkışı, dışarıdan alınacak bir girişle birlikte ikinci yarım çıkarıcı devrenin girişleri olarak bağlanmaktadır. İlk yarım çıkarıcı devrenin borç çıkışı ile ikinci yarım çıkarıcı devrenin borç çıkışı bir VEYA kapısına bağlanır ve bu kapının çıkışı tam çıkarıcı devrenin borç çıkışı olarak kullanılmaktadır. İkinci yarım çıkarıcı devrenin fark çıkışı da tam çıkarıcı devrenin fark sonucunun gözlemlendiği çıkış olarak kullanılmaktadır. Tam çıkarıcı devrelerin birbiri ile kombine edilmesi halinde daha fazla bit uzunluğunda işlemler gerçekleştirilebilmektedir. Tam çıkarıcı devrenin şeması Şekil 4.28'de, lojik ifadesi ise Denklem 4.5'te verilmiştir.

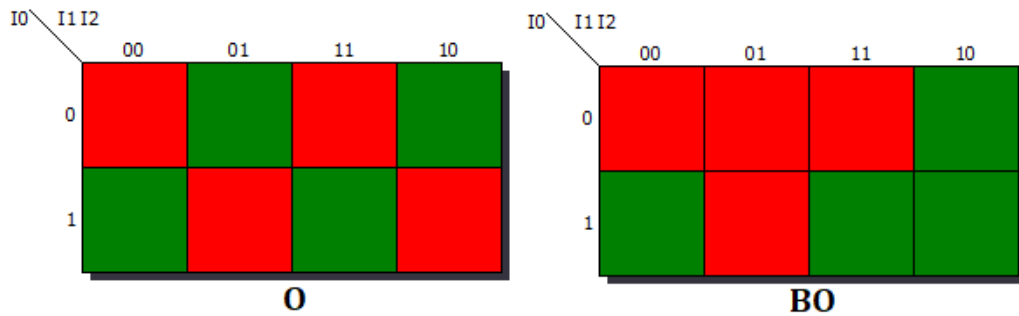


Şekil 4.28. Tam çıkarıcı devre şeması

$$O = (I_0 \oplus I_1 \oplus Bin), BO = ((I_0 \oplus I_1)' \cdot Bin) + (I_0' \cdot I_1) \quad (4.5)$$

Yukarıdaki denklemde I_0 ve I_1 ifadeleri girişleri, O ifadesi "fark" çıkışını ve BO ifadesi de "borç" çıkışını temsil etmektedir. Bin ifadesi ise borç girişini temsil etmektedir. Bu giriş devrenin başka bir devre çıkışına bağlanması durumunda kullanılır ve bağlı olduğu devreden gelecek borç sonucunu da çıkarma işlemine dahil eder. Burada "." operatörü VE işlemine, "+" operatörü VEYA işlemine, " \oplus " operatörü ise XOR işlemine karşılık gelmektedir.

Oluşturulan tam çıkarıcı devre tasarımında I_0 , I_1 ve Bin giriş değerlerine göre ikilik formatta bir çıkarma işlemi gerçekleştirilmektedir. Üç girişten alınan lojik değerlerin ikilik farkına bağlı olarak O ve BO çıkışlarının durumları değişmektedir. Tam çıkarıcı devrenin karnaugh diyagramları Şekil 4.29'da, doğruluk tablosu ise Çizelge 4.15'te verilmiştir.

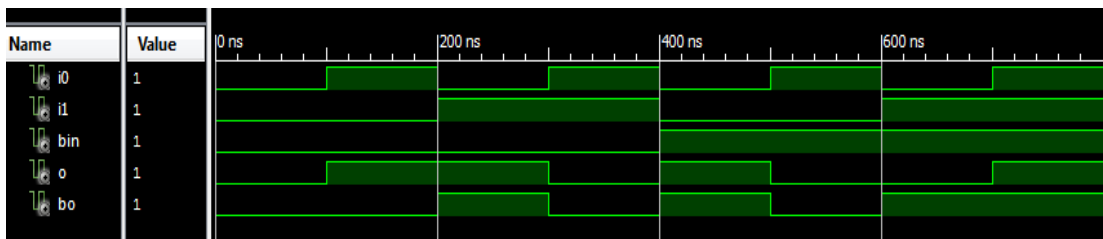


Şekil 4.29. Tam çıkarıcı devre karnaugh diyagramları

Çizelge 4.15. Tam çıkarıcı devre doğruluk tablosu

Bin	I1	I0	O	BO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	1
0	1	1	0	0
1	0	0	1	1
1	0	1	0	0
1	1	0	0	1
1	1	1	1	1

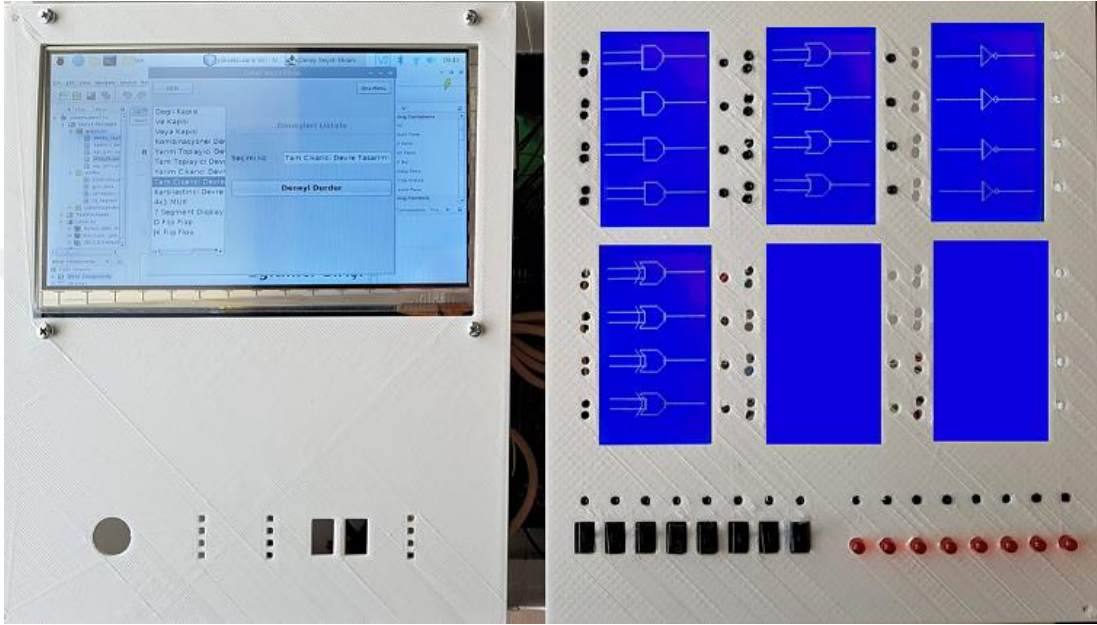
Tasarlanan deney seti üzerinde tam çıkarıcı devre deneyini gerçekleştirebilmek için giriş yaparak deney seçim ekranında “Tam Cıkarıcı Devre Tasarımı” deneyi seçilmelidir. Seçim işlemi gerçekleştikten sonra deney seti üzerinde bulunan grafik LCD panellerden birinde 4 adet VE kapısı, birinde 4 adet VEYA kapısı, birinde 4 adet DEĞİL kapısı, birinde de 4 adet XOR kapısı devre elemanı otomatik olarak oluşmaktadır. Tam çıkarıcı devre deneyi uygulanırken çizimlerin yapıldığı grafik LCD panellerin yanında bulunan portlardan, kullanılmak istenen VE, VEYA, DEĞİL ve XOR kapılarının giriş-çıkışlarına karşılık gelen portlar analiz edilmelidir. Daha sonra kullanılmak istenen 3 adet anahtar portu ile analiz edilen girişlerin portları arasında bağlantı yapılmalıdır. Çıkışlar için kullanılmak istenen 2 adet LED portu ile de O çıkışı ve BO çıkışının portları arasında bağlantı yapılmalıdır. Bağlantı işlemleri tamamlandıktan sonra deneyin doğruluk tablosundaki tüm kombinasyonlara göre giriş portlarına bağlı anahtarların konumları değiştirilerek O ve BO çıkış portlarına bağlı LED’lerin durumu gözlemlenmelidir. Tam çıkarıcı devre tasarımı deneyinin Xilinx ISE ortamında çalıştırılması sonucunda oluşan simülasyon çıktısı Şekil 4.30’da, FPGA üzerindeki kaynak kullanım oranları Çizelge 4.16’da, deney seti üzerindeki uygulaması ise Şekil 4.31’de verilmiştir.



Şekil 4.30. Tam çıkarıcı devre simülasyon çıktısı

Çizelge 4.16. Tam çıkarıcı devre deneyi FPGA kaynak kullanım oranları

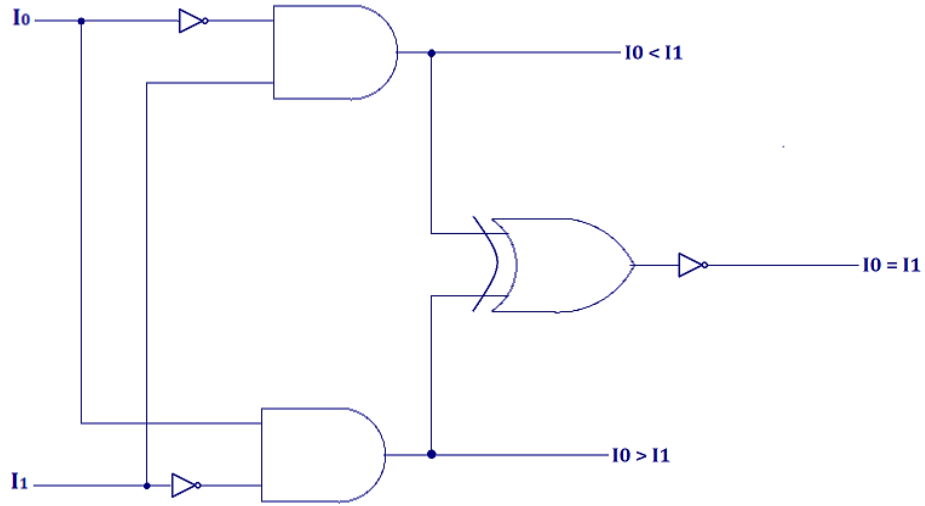
Birim	Kullanılan	Toplam	Kullanım Oranı
Slice	8	4656	%0,2
LUT	16	9312	%0,2
Giriş-Çıkış Pini	44	116	%38
Clock Sinyal Pini	0	24	%0



Şekil 4.31. Tam çıkarıcı devre deney seti uygulaması

4.1.9. Karşılaştırmacı devre deneyi

Karşılaştırmacı devreler ikilik tabanda karşılaştırma işlemini gerçekleştiren mantıksal devrelerdir. Bu devre tasarımlarında girişlere verilen ikili sistemle ifade edilen sayıların karşılaştırmasını gerçekleştirip işlem sonucunu çıkışa aktarmayı sağlayan bir işlem yürütülmektedir. Temel karşılaştırmacı devreler ikilik formatta iki adet bir bitlik sayının karşılaştırma işlemini gerçekleştirmektedir. İki adet VE kapısı, üç adet DEĞİL kapısı ve bir adet XOR (Özel VEYA) kapısından meydana gelmektedir. Karşılaştırmacı devrenin şeması Şekil 4.32’de, lojik ifadesi ise Denklem 4.6’da verilmiştir.

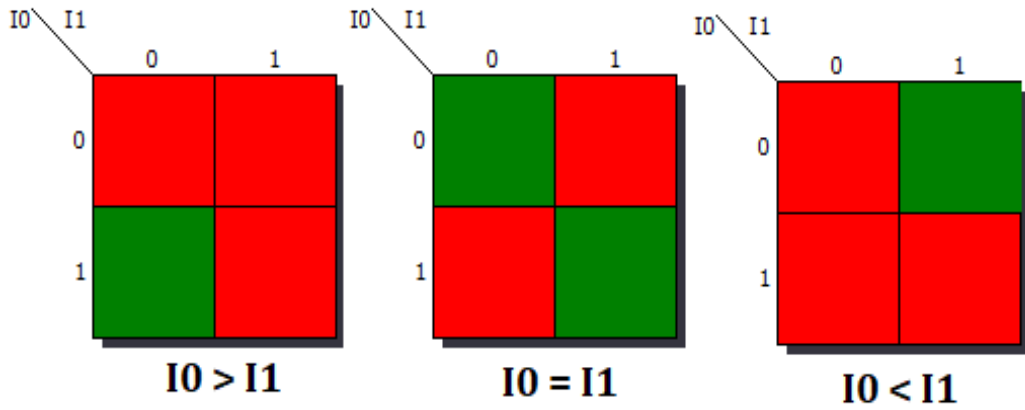


Şekil 4.32. Karşılaştırıcı devre şeması

$$I_0 < I_1 = (I_0' \cdot I_1), I_0 = I_1 = (I_0 \oplus I_1)', I_0 > I_1 = (I_0 \cdot I_1') \quad (4.6)$$

Yukarıdaki denklemde I_0 ve I_1 ifadeleri girişleri, " $I_0 < I_1$ ", " $I_0 = I_1$ " ve " $I_0 > I_1$ " ifadeleri ise çıkışları temsil etmektedir. Burada "." operatörü VE işlemine, " \oplus " operatörü ise XOR işlemine karşılık gelmektedir.

Oluşturulan karşılaştırıcı devre tasarımında I_0 ve I_1 giriş değerlerine göre ikilik formatta bir karşılaştırma işlemi gerçekleşmektedir. İki girişten alınan lojik değerlerin ikilik kıyaslamasına bağlı olarak " $I_0 < I_1$ ", " $I_0 = I_1$ " ve " $I_0 > I_1$ " çıkışlarının durumları değişmektedir. Karşılaştırıcı devrenin karnaugh diyagramları Şekil 4.33'te, doğruluk tablosu ise Çizelge 4.17'de verilmiştir.

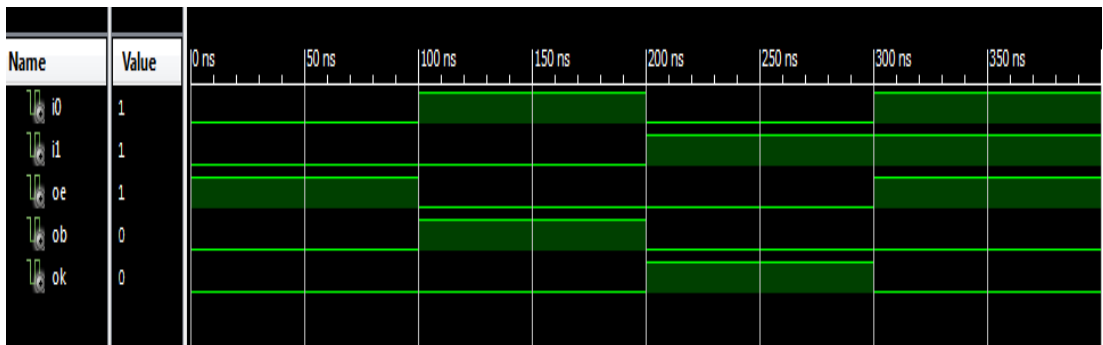


Şekil 4.33. Karşılaştırıcı devre karnaugh diyagramları

Çizelge 4.17. Karşılaştırmacı devre doğruluk tablosu

I1	I0	I0 < I1	I0 = I1	I0 > I1
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Tasarlanan deney seti üzerinde karşılaştırmacı devre deneyini gerçekleştirebilmek için giriş yaparak deney seçim ekranında “Karsilastirici Devre Tasarimi” deneyi seçilmelidir. Seçim işlemi gerçekleşikten sonra deney seti üzerinde bulunan grafik LCD panellerden birinde 4 adet VE kapısı, birinde 4 adet DEĞİL kapısı, birinde de 4 adet XOR kapısı devre elemanı otomatik olarak oluşmaktadır. Karşılaştırmacı devre deneyi uygulanırken çizimlerin yapıldığı grafik LCD panellerin yanında ulunan portlardan, kullanılmak istenen VE, DEĞİL ve XOR kapılarının giriş-çıkışlarına karşılık gelen portlar analiz edilmelidir. Daha sonra kullanılmak istenen 2 adet anahtar portu ile analiz edilen girişlerin portları arasında bağlantı yapılmalıdır. Çıkışlar için kullanılmak istenen 3 adet LED portu ile de “I0 < I1”, “I0 = I1” ve “I0 > I1” çıkışlarının portları arasında bağlantı yapılmalıdır. Bağlantı işlemleri tamamlandıktan sonra deneyin doğruluk tablosundaki tüm kombinasyonlara göre giriş portlarına bağlı anahtarların konumları değiştirilerek “I0 < I1”, “I0 = I1” ve “I0 > I1” çıkış portlarına bağlı LED’lerin durumu gözlemlenmelidir. Karşılaştırmacı devre tasarımı deneyinin Xilinx ISE ortamında çalıştırılması sonucunda oluşan simülasyon çıktısı Şekil 4.34’te, FPGA üzerindeki kaynak kullanım oranları Çizelge 4.18’de, deney seti üzerindeki uygulaması ise Şekil 4.35’te verilmiştir.



Şekil 4.34. Karşılaştırmacı devre simülasyon çıktısı

Çizelge 4.18. Karşılaştırmacı devre deneyi FPGA kaynak kullanım oranları

Birim	Kullanılan	Toplam	Kullanım Oranı
Slice	6	4656	%0,15
LUT	12	9312	%0,15
Giriş-Çıkış Pini	32	116	%28
Clock Sinyal Pini	0	24	%0

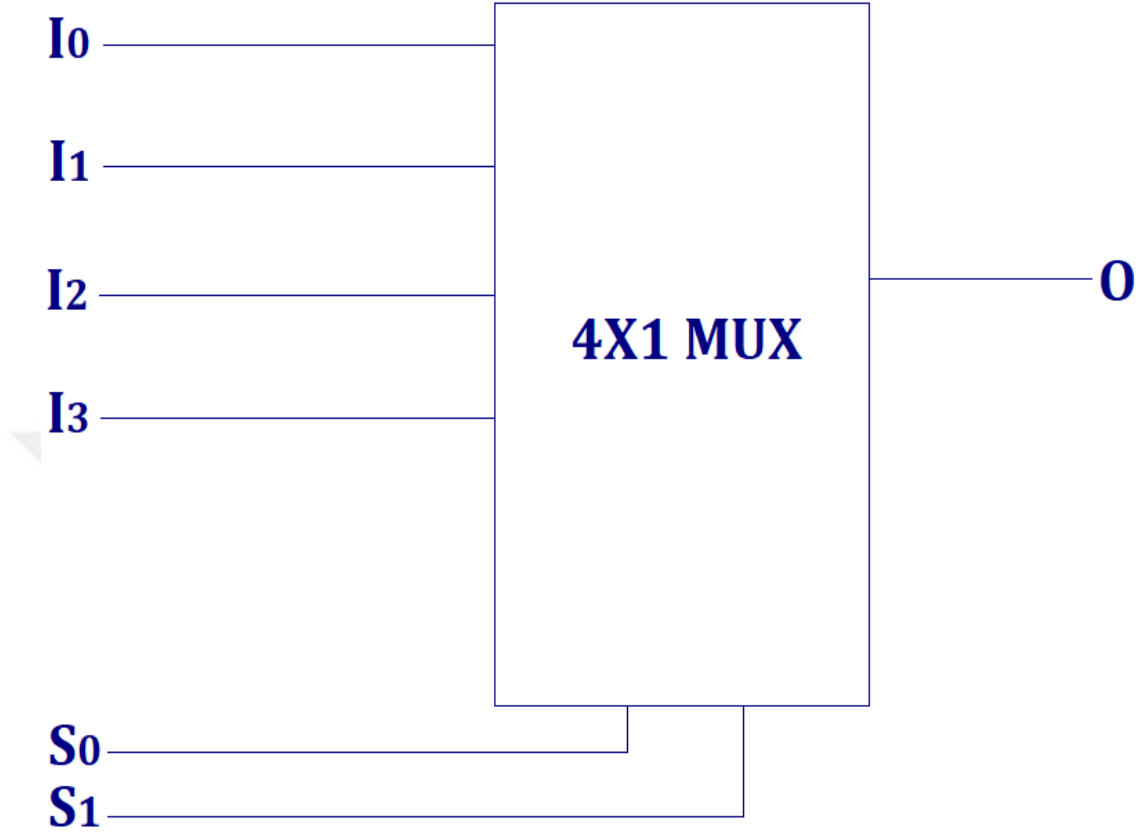


Şekil 4.35. Karşılaştırmacı devre deney seti uygulaması

4.1.10. 4x1 MUX (Multiplexer, Çoklayıcı) deneyi

Birden fazla giriş hattından gelen bilgilerden birisini seçerek uygun çıkış hattına yönlendirilmesini sağlayan kombinyonel devrelere MUX (Multiplexer, Çoklayıcı) denir. Çok sayıda veri transferi, zaman paylaşım tekniği kullanılarak çoklayıcı devreleri yardımıyla gerçekleştirilmektedir. Çoklayıcı devrelerde seçici girişlerinin sayısına bağlı olarak çıkışa aktarılacak giriş sayısı artar. Giriş sayısı “2 üzeri seçici sayısı” şeklinde hesaplanmaktadır. MUX devreleri, seçici girişlerinin lojik durumlarına göre girişlerden sadece birisinin çıkışa aktarıldığı şekilde bir mantıksal işlem gerçekleştirmektedir. Bu şekilde birden fazla giriş bilgisinden sadece bir tanesinin çıkışa aktarılması sağlanmaktadır. Deney seti kapsamında 4

giriş ve 1 çıkışın bulunduğu MUX devresinin kullanımı tercih edilmiştir. Şekil 4.36'da 4x1 MUX devresinin şeması verilmiştir.



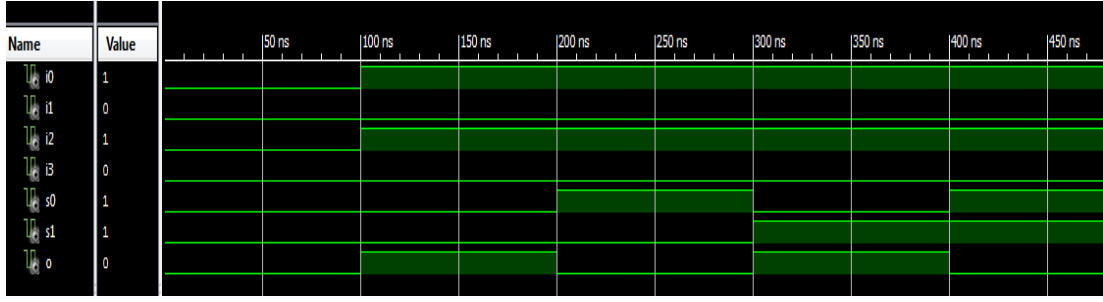
Şekil 4.36. 4x1 MUX devre şeması

Oluşturulan 4x1 MUX devre tasarımında S₀ ve S₁ olmak üzere iki adet seçici girişi bulunmaktadır. 2 adet seçici olması sebebiyle 2 üzeri 2 şeklinde 4 adet giriş kullanılmaktadır. Girişler I₀, I₁, I₂ ve I₃ olarak, çıkış ise O olarak adlandırılmıştır. Giriş ve seçici değerlerine bağlı olarak devrenin iç yapısındaki lojik devreler vasıtasıyla ikilik formatta bir çoklama işlemi gerçekleştirilmektedir. Seçicilerin tüm kombinasyonlarına göre 4 girişten hangisinin çıkışa aktarılacağı belirlenerek seçilen girişte bulunan anlık değer çıkışa aktarılmaktadır. 4x1 MUX devresinin doğruluk tablosu Çizelge 4.19'da verilmiştir. Girişlerin bütün durumlarına göre deneyi gerçekleştirmek fazla karmaşık olduğundan, tüm seçici kombinasyonlarına karşılık giriş değerleri 4 farklı kombinasyon olarak seçilmiştir.

Çizelge 4.19. 4x1 MUX devresi doğruluk tablosu

S1	S0	I3	I2	I1	I0	O
0	0	0	0	0	1	1
		0	0	1	0	0
		0	0	1	1	1
		0	1	0	0	0
0	1	0	0	0	1	0
		0	0	1	0	1
		0	0	1	1	1
		0	1	0	0	0
1	0	0	0	0	1	0
		0	0	1	0	0
		0	0	1	1	0
		0	1	0	0	1
1	1	0	0	0	1	0
		0	0	1	0	0
		0	0	1	1	0
		0	1	0	0	0

Tasarlanan deney seti üzerinde 4x1 MUX deneyini gerçekleştirebilmek için giriş yaparak deney seçim ekranında “4x1 MUX” deneyi seçilmelidir. Seçim işlemi gerçekleştikten sonra deney seti üzerinde bulunan grafik LCD panellerden birinde 1 adet 4x1 MUX devre elemanı otomatik olarak oluşmaktadır. 4x1 MUX devresi deneyi uygulanırken çizimlerin yapıldığı grafik LCD panellerin yanında bulunan portlardan seçiciler, girişler ve çıkışa karşılık gelen portlar analiz edilmelidir. Daha sonra kullanılmak istenen 6 adet anahtar portu ile analiz edilen seçicilerin ve girişlerin portları arasında bağlantı yapılmalıdır. Çıkış için kullanılmak istenen LED portu ile de 0 çıkışının portu arasında bağlantı yapılmalıdır. Bağlantı işlemleri tamamlandıktan sonra deneyin doğruluk tablosundaki tüm kombinasyonlara göre seçiciler ve girişlerin portlarına bağlı anahtarların konumları değiştirilerek 0 çıkış portuna bağlı LED’in durumu gözlemlenmelidir. 4x1 MUX deneyinin Xilinx ISE ortamında çalıştırılması sonucunda oluşan simülasyon çıktısı Şekil 4.37’de, FPGA üzerindeki kaynak kullanım oranları Çizelge 4.20’de, deney seti üzerindeki uygulaması ise Şekil 4.38’de verilmiştir.



Şekil 4.37. 4x1 MUX deneyi simülasyon çıktısı

Çizelge 4.20. 4x1 MUX deneyi FPGA kaynak kullanım oranları

Birim	Kullanılan	Toplam	Kullanım Oranı
Slice	6	4656	%0,15
LUT	12	9312	%0,15
Giriş-Çıkış Pini	7	116	%6
Clock Sinyal Pini	0	24	%0

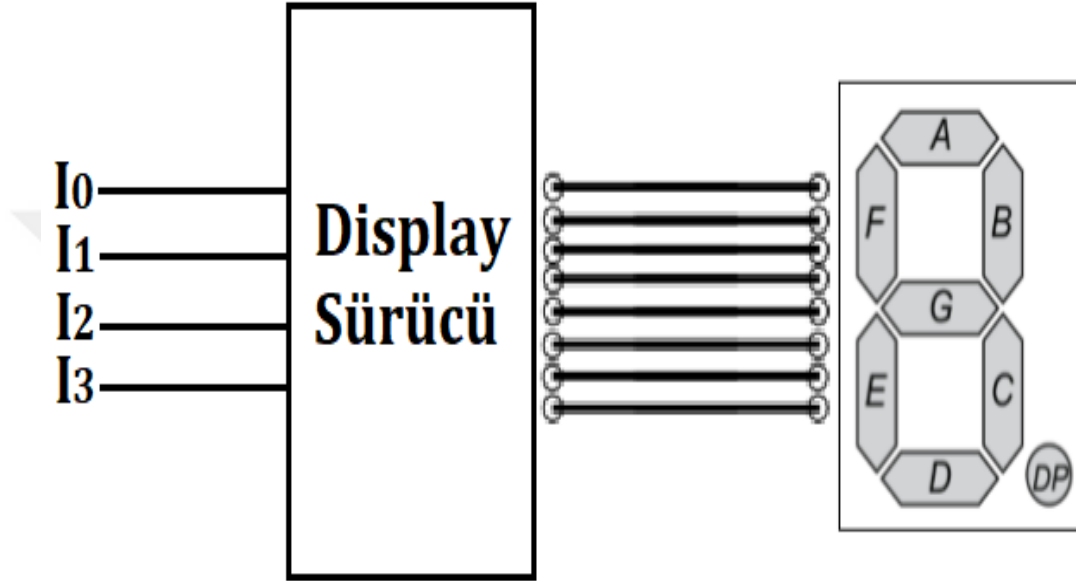


Şekil 4.38. 4x1 MUX deneyi seti uygulaması

4.1.11. 7 Bölmeli Gösterge sürme deneyi

7 Bölmeli Gösterge (7 Segment Display) diye adlandırılan sayısal göstergeler günlük hayatta pek çok alanda yaygın şekilde kullanılan elektronik devre elemanlarıdır. 7 Bölmeli Gösterge'ler LED tabanlı göstergelerdir. İçerisinde

bulunan 7 adet LED ile aydınlatılan 7 ayrı bölmeden oluşan bir sistem bütünüdür. Elemanın yapısında bulunan 7 LED'in her biri bir segment olarak adlandırılmaktadır. Geliştirilen deney setinin üst yüzeyinde 2 adet 7 Bölmeli Gösterge ve bu göstergelerin kontrolünü sağlamak amacıyla kullanılan gösterge sürücü devresinin giriş portları bulunmaktadır. 7 Bölmeli Gösterge devresinin şeması Şekil 4.39'da verilmiştir.



Şekil 4.39. 7 Bölmeli Gösterge devre şeması

Geliştirilen deney setinde gösterge sürücü olarak 7747 entegresi kullanılmış ve bu entegreye uyumlu olmaması sebebiyle ortak anot gösterge elemanı tercih edilmiştir. Sürücü entegreler ve göstergelerin güç bağlantıları deney setinin iç kısmında yapılmış olup setin yüzeyine sadece sürücülerin giriş portları yerleştirilmiştir. 7 Bölmeli Gösterge devre tasarımında I0, I1, I2 ve I3 olmak üzere dört adet giriş bulunmaktadır. Giriş değerlerine bağlı olarak entegrenin iç yapısındaki lojik devreler vasıtasıyla bir kod çözme işlemi gerçekleşmektedir. İkilik tabanda verilen giriş değerleri Decimal (Onluk) tabana çevrilerek göstergeler üzerine bastırılmaktadır. Kullanılan göstergelerin tek basamaklı sayıları göstermesi sebebiyle 9 sayısından sonraki çift haneli sayılar göstergeler üzerinde çeşitli sembollerle ifade edilmektedir. 7 Bölmeli Gösterge devresinin doğruluk tablosu Çizelge 4.21'de verilmiştir.

Çizelge 4.21. 7 Bölmeli Gösterge doğruluk tablosu

I3	I2	I1	I0	Gösterge Değeri
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

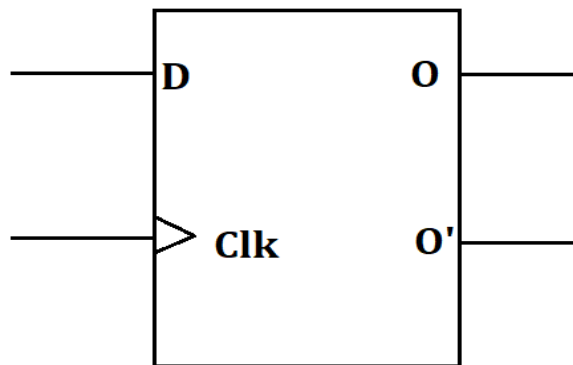
Tasarlanan deney seti üzerinde 7 Bölmeli Gösterge deneyini gerçekleştirebilmek için giriş yaparak deney seçim ekranında “7 Segment Display Sürme” deneyi seçilmelidir. Seçim işlemi gerçekleştirildikten sonra deney setinin içerisinde bulunan 2 adet gösterge sürücü entegre aktif olmakta ve göstergeler kullanıma hazır hale gelmektedir. Daha sonra kullanılmak istenen 4 adet anahtar portu ile kullanılmak istenen gösterge elemanının yanındaki sürücü portları arasında bağlantı yapılmalıdır. Bağlantı işlemleri tamamlandıktan sonra deneyin doğruluk tablosundaki tüm kombinasyonlara göre sürücü portlarına bağlı anahtarların konumları değiştirilerek 7 Bölmeli Gösterge'nin gösterdiği rakamlar takip edilmelidir. Örneğin; anahtarların durumu “1001” konumunda iken gösterge üzerinde “9” rakamı gözlemlenmelidir.

4.1.12. D flip-flop deneyi

Lojik devreler, Kombinasyonel (Combinational) ve Ardışıl (Sequential) devreler olmak üzere iki şekilde incelenmektedir. Kombinasyonel devrelerde, herhangi bir zamanda oluşan çıkış, sadece o zamanda verilen giriş değerleri tarafından belirlenmektedir. Önceki çıkış değerlerinin bir sonraki çıkış durumuna herhangi

bir etkisi bulunmamaktadır. Ardışıl devre tasarımlarında ise bir önceki çıkış değeri, sonradan verilen giriş değerleriyle birlikte bir sonraki çıkış değerini oluşturmaktadır. Diğer bir deyişle ardışıl devrelerin bellek özelliği vardır. Devre girişlerine uygulanan sinyal değiştirilmediği sürece çıkış durumu korunabilmekte ve 1 bitlik bilgi saklanabilmektedir. Yani önceki durumlarda oluşan çıkışlar saklanarak sonraki durum için giriş olarak kullanılmaktadır. Flip-floplar iç yapısında lojik kapılar bulunan, lojik kapıların kombine edilmesi ile gerçekleştirilmiş ardışıl elemanlardır. Flip-flop devrelerinin veri girişleri ve veri çıkışı vardır. Çıkış değerlerinin ne olacağı, giriş olarak verilen değerler ile belirlenir. Her flip-flop devresinde Saat (Clock) girişi bulunmaktadır. Bu girişe kare dalga şeklinde tetikleme sinyali veren bir kaynak bağlanır ve bu sinyalin gelmesiyle girişte bulunan değerlere göre çıkış değerleri güncellenir. Flip-flop'lar ardışıl devre elemanları olduğundan oluşacak çıkış değerleri girişlere bağlı olmakla birlikte aynı zamanda bir önceki çıkış değerine de bağlıdır. Yani devre içerisinde bir geri besleme durumu gerçekleşmektedir. Flip-flop'lar sayıcı devrelerin tasarlanmasında kullanılan en temel devre elemanlarıdır. Günümüzde farklı tipte flip-flop çeşitleri kullanılmaktadır. Geliştirilen deney seti kapsamında D tipi ve JK tipi flip-flop devre tasarımları oluşturulmuştur.

D (Data) tipi flip-flop, bilgi kaydetmede kullanılan bir flip-flop devresidir ve genellikle kaydedici devrelerinde kullanılmaktadır. D tipi flip-flop, JK tipi flip-flop devresine bir "DEĞİL" kapısı eklenip girişlerin birleştirilmesiyle elde edilir. D flip-flop devrelerinde bir adet veri girişi, bir adet clock sinyal girişi ve bir adet veri çıkışı bulunmaktadır. D flip-flop devresinin şeması Şekil 4.40'ta verilmiştir.



Şekil 4.40. D flip-flop devre şeması

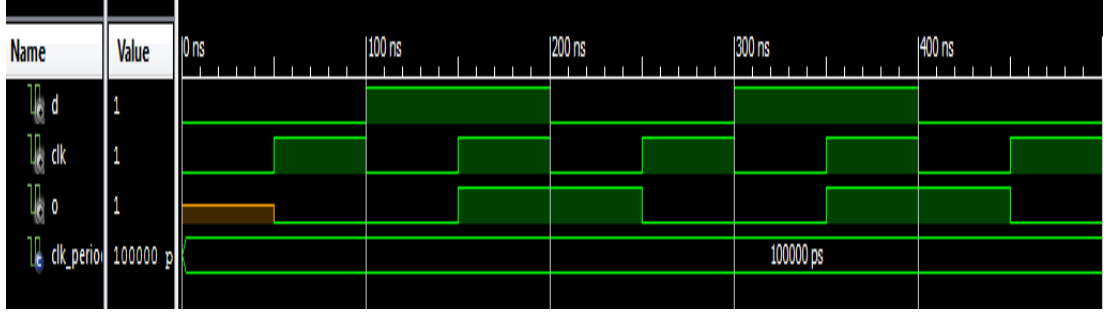
Oluşturulan D flip-flop devre tasarımında D şeklinde ifade edilen bir veri girişi bulunmaktadır. Clock sinyalinin geldiği giriş Clk olarak adlandırılmıştır. Veri çıkışı O ile ifade edilmektedir ve bu çıkışın tam tersi (DEĞİL) değer üreten bir O' çıkışı bulunmaktadır.

Giriş değerine bağlı olarak devrenin iç yapısındaki lojik devreler üzerinde mantıksal işlemler gerçekleşmektedir. D flip-flop devresine Clock sinyalinin gelmesiyle birlikte anlık giriş değerinin aynısı çıkışa aktarılmaktadır. D flip-flop devresinin doğruluk tablosu Çizelge 4.22'de verilmiştir.

Çizelge 4.22. D flip-flop doğruluk tablosu

D	O
0	0
1	1

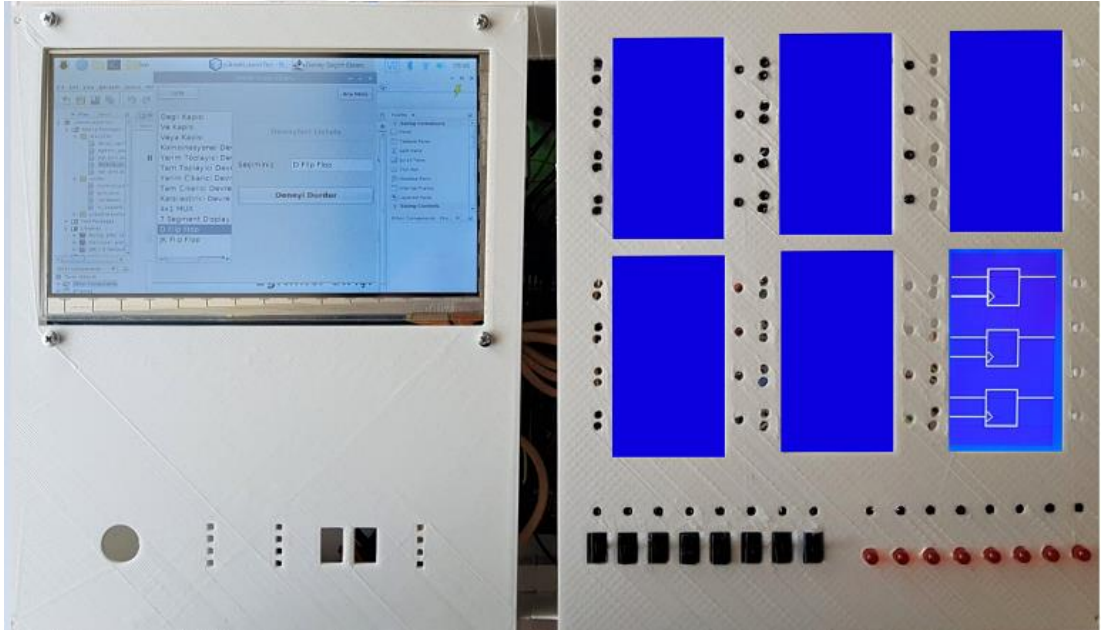
Tasarlanan deney seti üzerinde D flip-flop deneyini gerçekleştirebilmek için giriş yaparak deney seçim ekranında "D Flip-Flop" deneyi seçilmelidir. Seçim işlemi gerçekleştirildikten sonra deney seti üzerinde bulunan grafik LCD panellerden birinde 3 adet D flip-flop devre elemanı otomatik olarak oluşmaktadır. D flip-flop deneyi uygulanırken çizimlerin yapıldığı grafik LCD panelin yanında bulunan portlardan, kullanılmak istenen D flip-flop'un giriş-çıkışlarına karşılık gelen portlar analiz edilmelidir. Daha sonra herhangi bir anahtar portu ile analiz edilen giriş portu arasında atlama kablosu yardımıyla bağlantı yapılmalıdır. Kullanılacak D flip-flop'un çıkışına karşılık gelen port ile de LED'lerden herhangi birinin bağlı olduğu port arasında bağlantı yapılmalıdır. Clock sinyali otomatik olarak ayarlanmış durumda ve deneyin başlatılması ile aktif olmaktadır. Bağlantı işlemleri tamamlandıktan sonra doğruluk tablosundaki tüm kombinasyonlara göre giriş portuna bağlı anahtarın konumu değiştirilerek çıkış portuna bağlı olan LED'in durumu gözlemlenmelidir. D flip-flop deneyinin Xilinx ISE ortamında çalıştırılması sonucunda oluşan simülasyon çıktısı Şekil 4.41'de, FPGA üzerindeki kaynak kullanım oranları Çizelge 4.23'te, deney seti üzerindeki uygulaması ise Şekil 4.42'de verilmiştir.



Şekil 4.41. D flip-flop simülasyon çıktısı

Çizelge 4.23. D flip-flop FPGA kaynak kullanım oranları

Birim	Kullanılan	Toplam	Kullanım Oranı
Slice Flip-Flop	3	9312	%0,075
Giriş-Çıkış Pini	9	116	%0,8
Clock Sinyal Pini	1	24	%4

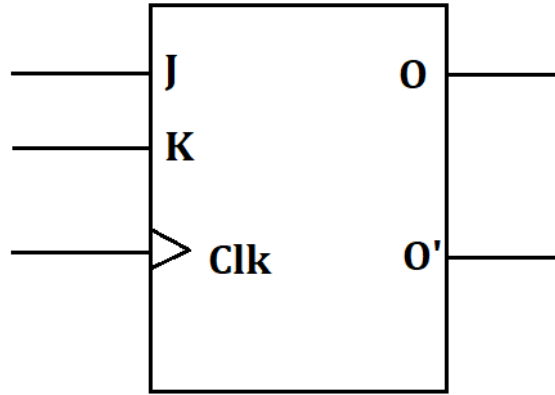


Şekil 4.42. D flip-flop deney seti uygulaması

4.1.13. JK flip-flop deneyi

RS flip-flop'larda girişlerin "11" olması durumunda oluşan belirsizlik durumunu ortadan kaldırmak amacıyla JK flip-flop'lar geliştirilmiştir. RS flip-flop'un iç yapısında bulunan lojik devreler üzerinde birtakım düzenlemeler yapılmasıyla meydana gelmektedirler. JK flip-flop devrelerinde iki adet veri girişi, bir adet

clock sinyal giriři ve bir adet veri çıkıřı bulunmaktadır. JK flip-flop devresinin řeması Őekil 4.43'te verilmiřtir.



Őekil 4.43. JK flip-flop devre řeması

Oluřturulan JK flip-flop devre tasarımında J ve K řeklinde ifade edilen iki adet veri giriři bulunmaktadır. Clock sinyalinin geldiđi giriř Clk olarak adlandırılmıřtır. Veri çıkıřı O ile ifade edilmektedir ve bu çıkıřın tam tersi (DEĐİL) deđer ureten bir O' çıkıřı bulunmaktadır.

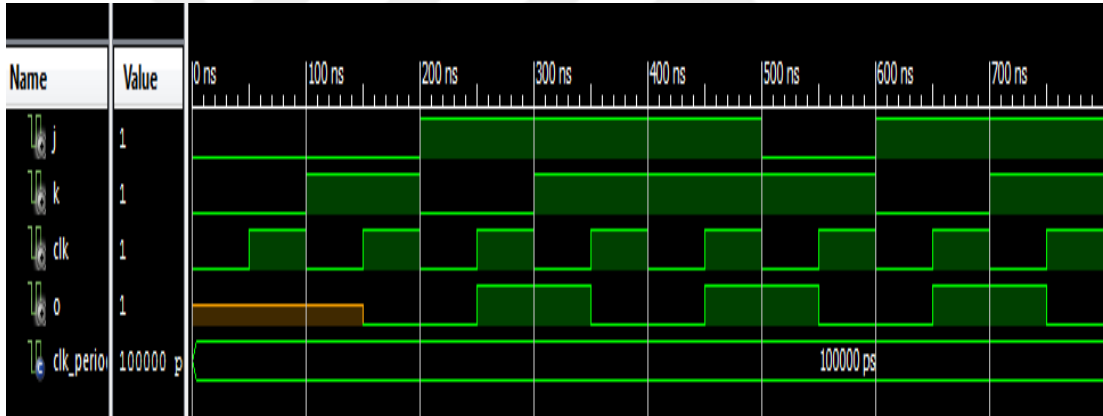
Giriř deđerlerine bađlı olarak devrenin iř yapısındaki lojik devreler üzerinde mantıksal iřlemler geręekleřmektedir. JK flip-flop devresine Clock sinyalinin gelmesiyle birlikte giriř deđerleri dođruluk tablosundaki řekilde çıkıřa aktarılmaktadır. JK flip-flop devresinin dođruluk tablosu izelge 4.24'te verilmiřtir.

izelge 4.24. JK flip-flop dođruluk tablosu

J	K	O
0	0	Önceki durumun aynısı
0	1	0
1	0	1
1	1	Önceki durumun tersi

Tasarlanan deney seti üzerinde JK flip-flop deneyini geręekleřtirebilmek iřin giriř yaparak deney seřim ekranında "JK Flip-Flop" deneyi seřilmelidir. Seřim iřlemi geręekleřtikten sonra deney seti üzerinde bulunan grafik LCD panellerden birinde 3 adet JK flip-flop devre elemanı otomatik olarak oluřmaktadır. JK flip-

flop deneyi uygulanırken çizimlerin yapıldığı grafik LCD panelin yanında bulunan portlardan, kullanılmak istenen JK flip-flop'un giriş-çıkışlarına karşılık gelen portlar analiz edilmelidir. Daha sonra herhangi iki anahtar portu ile analiz edilen giriş portları arasında atlama kabloları yardımıyla bağlantı yapılmalıdır. Kullanılacak JK flip-flop'un çıkışına karşılık gelen port ile de LED'lerden herhangi birinin bağlı olduğu port arasında bağlantı yapılmalıdır. Clock sinyali otomatik olarak ayarlanmış durumda ve deneyin başlatılması ile aktif olmaktadır. Bağlantı işlemleri tamamlandıktan sonra doğruluk tablosundaki tüm kombinasyonlara göre giriş portlarına bağlı anahtarların konumu değiştirilerek çıkış portuna bağlı olan LED'in durumu gözlemlenmelidir. JK flip-flop deneyinin Xilinx ISE ortamında çalıştırılması sonucunda oluşan simülasyon çıktısı Şekil 4.44'te, FPGA üzerindeki kaynak kullanım oranları Çizelge 4.25'te, deney seti üzerindeki uygulaması ise Şekil 4.45'te verilmiştir.



Şekil 4.44. JK flip-flop simülasyon çıktısı

Çizelge 4.25. JK flip-flop FPGA kaynak kullanım oranları

Birim	Kullanılan	Toplam	Kullanım Oranı
Slice Flip-Flop	3	9312	%0,075
Giriş-Çıkış Pini	12	116	%1
Clock Sinyal Pini	1	24	%4



Şekil 4.45. JK flip-flop deney seti uygulaması

4.2. Deney Setinin Performansı ve Kaynak Kullanım Oranları

Geliştirilen deney setinin arayüz uygulaması Raspberry Pi gömülü sistem bilgisayarı üzerinde geliştirilmiştir. Raspberry Pi üzerinde arayüz uygulaması ve veritabanı işlemleri etkin ve kararlı bir biçimde çalışmaktadır. Kullanılan gömülü sistem bilgisayarı 1 GB RAM kapasitesine sahip olmasına rağmen uygulamanın çalışma zamanında herhangi bir yavaşlama veya problem ile karşılaşılması. Gömülü sistemin dokunmatik LCD ekran ile doğrudan bağlantı sağlayabilmesi büyük bir avantaj sağlamıştır. Dokunmatik LCD ekranın çözünürlük değeri ile gömülü sistem bilgisayarının çözünürlük değerinin uyuşmaması durumunda görüntüde kaymalar yaşanmış, çözünürlük ayarları üzerinden düzenlemeler yapılarak bu sorun giderilmiştir.

Deney setinin içeriğinde bulunan deneylerin mantıksal işlemlerinin gerçekleştirilmesi Xilinx Spartan XC3S500E FPGA kartı ile sağlanmıştır. Seçilen deneyler uygulanırken giriş-çıkış verilerinin işlenmesi sırasında herhangi bir problem gözlemlenmemiştir. İşlemler nanosaniyeler mertebesinde hızlı ve kararlı bir şekilde gerçekleşmektedir. Kartta bulunan giriş-çıkış pin sayısı deney seti gereksinimlerini rahat bir şekilde karşılamıştır. Geliştirilen deney seti için

oluşturulan FPGA tasarımının kullanılan kart üzerindeki kaynak kullanım oranları Çizelge 4.26'da verilmiştir.

Çizelge 4.26. FPGA işlemcisinin kaynak kullanım oranları

Birim	Kullanılan	Toplam	Kullanım Oranı
Slice	50	4656	%1
Slice Flip-Flop	6	9312	%0,07
LUT	100	9312	%1
Giriş-Çıkış Pini	76	116	%66
Clock Sinyal Pini	1	24	%4

Geliştirilen deney seti kapsamında FPGA kaynak kullanımları bakımından oldukça tatmin edici değerler gözlemlenmiştir. Sistem, çalışma esnasında FPGA üzerinde bir yük oluşturmadığından ısınma, gecikme gibi sorunlar ile karşılaşmamıştır. Her deney için uygulama testleri gerçekleştirilmiş ve deneylerin doğruluk tablolarındaki değerler ile uyumlu sonuçlar alınmıştır.

Deney setindeki en önemli işlemlerden biri gömülü sistem ile FPGA platformunun haberleşmesidir. İki bileşen arasındaki haberleşme her iki kart üzerinde de bulunan giriş-çıkış pinleri aracılığıyla sağlanmıştır. Giriş-çıkış pinleri kare dalga şeklinde lojik sinyaller ile çalışmaktadır. Gömülü sistem haberleşme pinlerinden çıkan kare dalgaların gecikme ve veri kaybı yaşamadan FPGA kartına aktarıldığı, başlat düğmesine basıldığı anda deneylerin hızlıca başladığı gözlemlenmiştir.

Öğrencilerin deneyleri başlatmasıyla birlikte başlatılan deneyin adı, başlatılma saati ve tarih bilgileri uygulamayı gerçekleştiren öğrencinin numara, ad ve soyad bilgileriyle birlikte veritabanına kaydedilmektedir. Eğitimcilerin öğrencileri uzaktan kontrol edebilmelerine olanak sağlayabilmek amacıyla özel bir panel geliştirilmiştir. Eğitimcilerin, sisteme giriş yaptıktan sonra kendilerine sunulan özel arayüzü kullanarak gerçekleştirilen deneyleri kolaylıkla kontrol edebilmeleri sağlanmıştır. Geliştirilen deney setinin özellikleri bakımından literatürde bulunan bazı çalışmalar ile karşılaştırması Çizelge 4.27'de verilmiştir.

Çizelge 4.27. Deney setinin literatürdeki çalışmalar ile karşılaştırılması

Çalışma Adı	İnternet Erişimi	Uzaktan Kontrol	Esnek Tasarım	Arayüz Desteği	Grafik Desteği
Yavuzçelik, 2008	Var	Yok	Yok	Var	Yok
Günaydın, 2014	Var	Var	Var	Var	Yok
Arıcı, 2014	Yok	Yok	Yok	Var	Var
Köksal, 2014	Yok	Yok	Yok	Var	Var
Sarı, 2016	Var	Var	Var	Yok	Yok
Şimşek ve Taşdelen, 2016	Var	Var	Yok	Yok	Yok
Irmak ve Calpbınici, 2017	Var	Yok	Var	Var	Yok
Kaçar vd., 2017	Var	Var	Yok	Var	Yok
Çakır ve Çıtak, 2018	Yok	Yok	Yok	Var	Var
Özdemirci vd., 2019	Yok	Yok	Yok	Yok	Yok
Geliştirilen Deney Seti Tasarımı	Var	Var	Var	Var	Var

5. TARTIŞMA VE SONUÇLAR

Günümüzde farklı amaçlar için geliştirilmiş deney seti tasarımları bulunmaktadır. Bu deney setleri ticari veya akademik ortamlarda tasarlanarak geliştirme çalışmaları yapılmaktadır. Ancak mevcut deney setleri genellikle tek bir ders veya konu üzerinde uygulamalar yapılacak şekilde tasarlanmaktadır. Mevcut deney setlerinde yapılan devre tasarımları sonradan değiştirilmeyecek şekilde yani sabit bir devre şeklinde tasarlanmış veya kullanılan programlanabilir cihazlar tek bir amacı yerine getirecek şekilde programlanmıştır. Bu sebeple oluşturulan devre tasarımlarına fiziki bir müdahale gerçekleştirilmeden sistemin yapısını değiştirmek mümkün olmamaktadır. Ayrıca geliştirilen deney seti tasarımlarının çoğunda sistem sadece elektronik ve mantıksal işlemlerin gerçekleştirilebildiği şekilde tasarlanmış olup kullanıcı ile arayüz etkileşimine yeterli önem verilmemiştir.

Geliştirilen deney seti tasarımında farklı dersler ve konuları içeren deney uygulamalarının tek bir deney seti üzerinde toplanması sağlanmıştır. Deney içeriklerinde bulunan devre elemanları veya tümleşik devre tasarımları VHDL aracılığıyla FPGA üzerinde oluşturulmuştur. FPGA'lar üretim aşamasından sonra tasarımcının yürütmek istediği işlemler doğrultusunda donanım yapısının değişmesine olanak sağlamaktadır. Bu özellik sayesinde, tasarlanan deney setine günümüz teknolojilerine uygun ve farklı devre tasarımlarını içeren deneylerin eklenmesi sağlanmıştır. Setin içeriğindeki deney senaryoları ve FPGA üzerinde oluşturulan devre tasarımları genişletilerek daha fazla alana hitap eden deney setleri oluşturulabilir.

Deney setinin içeriğinde bulunan arayüz uygulaması ve veritabanı işlemlerinin tümü Raspberry Pi gömülü sistem bilgisayarında geliştirilmiştir. Bu geliştirmeler için benzer mimaride işlem gerçekleştiren daha yüksek performansa sahip bir gömülü sistem bilgisayarları kullanılabilir. Kullanıcıların seçmiş olduğu deneylerde görev alan devre elemanlarının grafik LCD panellerde görüntülenmesi deneylere etkinlik ve hız kazandırmıştır. Birçok kurumda, derslerde gerçekleştirilen deneylerin kontrolü eğitimciler tarafından tek tek

yapılmaktadır. Oluřturulan deney seti tasarımı sayesinde eđitimcilerin diledikleri zaman öđrencilerin yaptıđı deneyleri daha hızlı ve kolay bir řekilde uzaktan kontrol edebilmeleri sađlanmıřtır.

Gerçekleřtirilen çalıřma sonucunda, FPGA mimarisinin esnek deney seti tasarımları gerçekleřtirebilmek için uygun bir seenek olduđu görülmüřtür. Eđitim kurumlarının laboratuvar malzemeleri için ayırmıř oldukları mali kaynakları azaltacak bir tasarım oluřturulmuřtur. Eđitimlerde gerçekleřtirilecek olan deneylerin hazırlık süreçleri kısaltılmıř, deneylerin başarımının deney seti üzerinden takip edilebilmesi sađlanmıř ve eđitim alan öđrencilerin eđitimden etkin bir biçimde fayda sađlaması imkânı elde edilmiřtir. Bu özellikler sayesinde ergonomik, tařınabilir, kullanıcı dostu, eđitmenin öđrenciyi ađ ortamından uzaktan takip edebileceđi tümleřik bir deney seti tasarımı oluřturulmuřtur.

KAYNAKLAR

- Akkoyun, F., 2011. FPGA Tabanlı Dokunmatik Ekranlı Kullanıcı Arabirimi Tasarlanması ve Gerçekleştirilmesi. Kocaeli Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, 103s, Kocaeli.
- Arıcı, İ., Tenruh, M., 2014. LabVIEW tabanlı bir elektronik deney seti geliştirilmesi. Akademik Bilişim.
- Az, I., 2014. Fpga Tabanlı Şifreli Kablosuz Haberleşme Sistemi, Doctoral dissertation, Fen Bilimleri Enstitüsü.
- Bakırcılar, S., Özcerit, A., 2015. Programlanabilir CPLD tabanlı akıllı mikrodenetleyici eğitim seti tasarımı ve uygulaması. Sakarya Üniversitesi Fen Bilimleri Enstitüsü Dergisi, 19(2), 123-133.
- Başa, B., 2014. FPGA Yapıları ile Dijital Osiloskop Gerçeklemesi. Sakarya Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, 65s, Sakarya.
- Çakır, A., Çitak, Ü., 2018. Simulation of Logic Circuit Tests on Android-Based Mobile Devices. arXiv preprint arXiv:1805.12473.
- Dave, Z. Reconfigurable Image Processor using an Fpga-Raspberry Pi Interface. International Journal of Computer Applications, 975, 8887.
- Davutoğlu, D., 2018. Genel Amaçlı Bir Bellek Arayüzü Donanımının Alanda Programlanabilir Kapı Dizileri ile Gerçeklenmesi. Yıldız Teknik Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, 47, İstanbul.
- Elmezoghi, D.H., 2019. Sayısal Elektronik Dersinin Öğretiminde, FPGA Kullanarak Proje ve Mikro Öğrenme Tabanlı Öğretim Tekniklerinin Uygulanması. Kastamonu Üniversitesi, Fen Bilimleri Enstitüsü, Doktora Tezi, 115s, Kastamonu.
- Ersoy, M., Kumral, C.D., 2019. Realization of Artificial Neural Networks on FPGA. International Conference on Artificial Intelligence and Applied Mathematics in Engineering, 20-22 April, Antalya.
- FPGAnedir, 2010. Erişim Tarihi: 01.06.2020.
http://fpganedir.com/FPGA/fpga_yapisi.php
- Gülcan, R., 2019. Uzaktan Kontrollü ARM Tabanlı Mikrodonetleyici Deney Seti Tasarımı ve Gerçekleştirilmesi. Akdeniz Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, 57s, Antalya.
- Günaydın, R., 2014. Uzaktan Erişimli Web Tabanlı Mikrodenetleyici Deney Seti Tasarımı ve Gerçekleştirilmesi. Karabük Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, 75s, Karabük.
- Hamza, H.S.O., 2016. Design of A Small-Scale Piezoelectric Sensor Production System By Using Programmable Logic Controller. Dokuz Eylül Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, 68s, İzmir.
- Irmak, E., Calpbınici, A., 2017. E-laboratuvarlar İçin Yeni Bir Tasarım: Eş Zamanlı Erişilebilen Deneysel Uygulama

- Platformu. Journal of the Faculty of Engineering and Architecture of Gazi University, 32(2), 363-375.
- Işık, İ., Tağluk, M.E., 2018. FPGA Tabanlı Dijital Haberleşme Sistemlerinin System Generator Aracı ile Analizi. Selçuk Üniversitesi Mühendislik, Bilim ve Teknoloji Dergisi, 6(2), 255-265.
- Jumaa, N. K., 2017. Survey: internet of thing using FPGA. Iraqi Journal for Electrical and Electronic Engineering, 13(1), 38-45.
- Kaçar, S., Boz, A. F., Arıcıoğlu, B., Tekin, H., 2017. PID Denetleyici Uygulamaları İçin Yeni Bir Online Deney Seti Tasarımı. Sakarya University Journal of Science, 21(1), 34-46.
- Karthik, S., Srividya, N., Swetha, L., Shilpa, J. Improving Testability of Design in FPGA using Raspberry Pi. Indian Journal of Science and Technology, 9, 1.
- Kırkaya, E., 2016. Sayısal Haberleşme Sistemlerinde Esnek Karar Verme Demodülasyon Yöntemlerinin FPGA Üzerinde Etkin Bir Şekilde Gerçekleştirilmesi. Sakarya Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, 57s, Sakarya.
- Kobak, B., 2006. Bir Temel Deney Setinin Tasarımı ve İmalı. Sakarya Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, 49s, Sakarya.
- Köksal, R., Öztekin, H., Temurtaş, F. Eğitim Amaçlı Mikrobilgisayar Sistemleri İçin I2C Seri Haberleşme Protokolü ile Analog Arayüz Tasarımı Analog Communication Interface Designing for Educational Purpose Microcomputer Systems with I2C Serial Communication Protocol.
- Kumar, S., Shah, M., Singh, A., 2017. FPGA-Raspberry Pi Interface for low cost IoT based image processing. Invertis Journal of Science & Technology, 10(4), 219-223.
- Musik, P., 2017. Development of Computer-Based Experiment Set on Simple Harmonic Motion of Mass on Springs. Turkish Online Journal of Educational Technology-TOJET, 16(4), 1-11.
- Özbek, M., 2014. Temel Haberleşme Laboratuvarı İçin Bilgisayar Destekli Modülasyon Demodülasyon Deney Seti. Gazi Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, 114s, Ankara.
- Özdemirci, E., Ersin, Ç., Canal, M. R., 2019. Arduino Uno Uygulama Setinin Gerçekleştirilmesi. Mehmet Akif Ersoy Üniversitesi Fen Bilimleri Enstitüsü Dergisi, 8(1), 127-133.
- Özgür, M., 2014. Radar sinyal işleme algoritmalarının FPGA ve GPU üzerinde uygulanmasının başarımlarının analizi, Master's thesis, TOBB Ekonomi ve Teknoloji Üniversitesi Fen Bilimleri Enstitüsü.
- Pi4J, 2012. Erişim Tarihi: 20.05.2020. <https://pi4j.com/1.2/index.html>
- Raspberry Pi, 2009. Erişim Tarihi: 15.05.2020. <https://www.raspberrypi.org/products/raspberry-pi-3-model-b/>

- Sanngoen, W., Po-Ngaen, W., Charitkhuan, C., Dounjitjaroen, K., 2016. Development of Parallel Delta Robot System Controller Based on Raspberry Pi and FPGA. In Applied Mechanics and Materials, 835, 698-704.
- Sarı, Y. Elektronik ve Otomasyon Laboratuvarında Pratik Eğitim Amacıyla PLC Kontrollü Bir Sistem Uygulaması. Fırat Üniversitesi Mühendislik Bilimleri Dergisi, 28(1), 65-71.
- Sarıkaş, A. G. A., Yayla, A. G. A. Uzaktan Erişimli Mikrodenetleyici Laboratuvarı.
- Sciencetech Inc., 1985. Erişim Tarihi: 13.05.2020. <http://www.sciencetech-inc.com>
- Singh, G., Gupta, A., Gupta, K., Pandey, N., 2016. FPGA İmplementation of Different NRZ Line Coding Schemes. 1st India International Conference on Information Processing (IICIP), August 2016, India, 1-7.
- Sinha, A., Lotia, P., 2015. A study on FPGA based digital modulators. International Journal of Advanced Research in Electrical, Electronics and Instrumentation Engineering, 4(4), 1935-1942.
- Şimşek, M. A., Taşdelen, K., 2019. Arduino İle Tasarlanmış Sistemlerin İnternet Tabanlı Kontrolü Ve İzlenmesi. Uluslararası Teknolojik Bilimler Dergisi, 8(1), 20-33.
- Taşcı, T. U., 2014. FPGA based pulse width modulation drive for underwater low frequency magnetic field generation, Doctoral dissertation, Bilkent University.
- Taştan, Y., 2019. FPGA ve Mikrodenetleyicinin PC İle Seri Haberleşmesi Performans Karşılaştırması. Gebze Teknik Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, 56s, Gebze.
- Tengilimoğlu, B., Bazlamaççı, C. F., 2014. Partial reconfiguration on a real-time target detection and tracking system. In 2014 22nd Signal Processing and Communications Applications Conference (SIU) (pp. 1130-1133). IEEE.
- Tilkiöğlü, S., 2018. FPGA Üzerinde OFDM Verici ve Alıcı Uygulaması. Çankaya Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, 84s, Çankaya.
- Tuna, M., Alçın, M., Koyuncu, İ., Fidan, C. B., Pehlivan, İ., 2019. High Speed FPGA-Based Chaotic Oscillator Design. Microprocessors and Microsystems, 66, 72-80.
- Waveshare Elektronik, 2012. Erişim Tarihi: 10.05.2020. <https://www.waveshare.com/wiki/Open3S500E>
- Xilinx, 2010. Erişim Tarihi: 17.05.2020. https://www.xilinx.com/support/documentation/data_sheets/ds312.pdf
- Yavuzçelik, N.B., 2008. Web Tabanlı Elektronik Deney Seti Uygulaması. Marmara Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, 108s, İstanbul.
- Yıldırım Elektronik, 1986. Erişim Tarihi: 13.05.2020. <http://www.yildirimelektronik.com>

ÖZGEÇMİŞ

Adı Soyadı : Cem Deniz KUMRAL

Doğum Yeri ve Yılı : Erzincan, 1995

Medeni Hali : Bekar

Yabancı Dili : İngilizce

E-posta : cemkumral34@gmail.com

Eğitim Durumu

Lise : Türk Kızılayı Kartal Lisesi, 2013

Lisans : SDÜ, Mühendislik Fakültesi, Bilgisayar Mühendisliği, 2018

Mesleki Deneyim

SDÜ Keçiborlu MYO Öğretim Görevlisi (Part-time) 2018-2019

Yayınlar

Ersoy, M., Kumral, C.D., 2019. Realization of Artificial Neural Networks on FPGA. International Conference on Artificial Intelligence and Applied Mathematics in Engineering, 20-22 April, Antalya.