

T.C.
İNÖNÜ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

**DC-DC ÇEVİRİCİLER İÇİN ADAPTİF AĞ YAPISINA
DAYALI BULANIK DENETLEYİCİ TASARIMI**

CEMİL TEPECİK

**YÜKSEK LİSANS TEZİ
ELEKTRİK - ELEKTRONİK MÜHENDİSLİĞİ ANABİLİMDALİ**

**DANIŞMAN
Yrd. Doç. Dr. MÜSLÜM ARKAN**

**MALATYA
TEMMUZ 2008**

Tezin Başıđı : Dc-Dc Çeviriciler İçin Adaptif Ağ Yapısına Dayalı Bulanık Denetleyici
Tasarımı

Tezi Hazırlayan : Cemil TEPECİK

Sınav Tarihi : 30.06.2008

Yukarıda adı geçen tez jürimizce değerlendirilerek Elektrik Elektronik Mühendisliđi.
Anabilim Dalında Yüksek Lisans Tezi olarak kabul edilmiştir.

Sınav Jürisi Üyeleri

Doç. Dr. Nusret TAN.....

Yrd. Doç. Dr. Ö. Faruk ÖZGÜVEN

Yrd. Doç. Dr. Müslüm ARKAN.....

.....

.....

.....

İnönü Üniversitesi Fen Bilimleri Enstitüsü Onayı

Prof.Dr.Ali ŞAHİN
Enstitü Müdürü

ONUR SÖZÜ

Yüksek Lisans Tezi olarak sunduğum “Dc-Dc Çeviriciler için Adaptif Ağ Yapısına Dayalı Bulanık Denetleyici Tasarımı” başlıklı bu çalışmanın bilimsel ahlak ve geleneklere aykırı düşecek bir yardıma başvurmaksızın tarafımdan yazıldığını ve yararlandığım bütün kaynakların, hem metin içinde hem de kaynakçada yöntemine uygun biçimde gösterilenlerden oluştuğunu belirtir, bunu onurumla doğrularım.

Cemil TEPECİK

ÖZET

Yüksek Lisans Tezi

DC-DC ÇEVİRİCİLER İÇİN ADAPTİF AĞ YAPISINA DAYALI BULANIK

DENETLEYİCİ TASARIMI

Cemil TEPECİK

İnönü Üniversitesi

Fen Bilimleri Enstitüsü

Elektrik Elektronik Mühendisliği Anabilimdalı

71 + ix sayfa

2008

Danışman : Yrd.Doç.Dr. Müslüm ARKAN

DC-DC çevrim, önemi her geçen gün artan ve kullanım alanı oldukça geniş olan, çok önemli bir elektronik devre uygulamasıdır. Buck çevirici, DC giriş gerilimini daha düşük değerde DC çıkış gerilimine sabitleyen bir elektronik devredir. Bu çalışmada buck çeviricinin kontrolü için PID (doğrusal-integral-türev) ve ANFIS (adaptif ağ yapısına dayalı bulanık sistemi) denetleyiciler tasarlanmıştır.

ANFIS, bulanık mantık ile yapay sinir ağlarının en iyi özelliklerinin bir araya getirilmesi ile oluşturulmuştur. ANFIS'in daha iyi anlaşılabilmesi için bulanık mantık ve yapay sinir ağları ana hatlarıyla anlatılmıştır. Bu çalışmada kullanılan, Buck çeviricinin çalışma prensibi ve transfer fonksiyonunun elde edilmesi incelenmiştir. Buck çeviricinin kontrolü için kullanılan PWM (pulse width modulator) anahtarlama sinyali elde etmek için PID ve ANFIS denetleyiciler tasarlanmıştır.

Çalışma, tasarımların kolaylıkla denenebildiği, grafik yetenekleri sayesinde verilerin görüntülenmesi ve incelenmesi için zengin bir ortam sağlayan MATLAB Simulink'te gerçekleştirilmiştir. Denetleyici olarak farklı kontrol yöntemleri kullanılarak, elde edilen sonuçların karşılaştırılması ve değerlendirilmesi hedeflenmiştir.

Anahtar Kelimeler : Düşürücü Çevirici, PID, ANFIS, eğitim verisi

ABSTRACT
Graduate Thesis

DESIGN OF NEURAL - FUZZY INTERFERENCE SYSTEM CONTROLLER
FOR DC-DC CONVERTERS

Cemil TEPECİK

Inonu University

Graduate School of Natural and Applied Science
Department of Electrical Electronics Engineering

71 + ix pages

2008

Supervisor : Ass.Prof..Dr. Müslüm ARKAN

DC-DC conversion is very important in electronic circuit applications, and is becoming increasingly important in a much wide range of applications. Buck converter is a system that converts DC input voltage to a lower magnitude DC voltage at the output. In this work, to control DC-DC Buck Converter PID (proportional-integral-derivative) and ANFIS (adaptive neural-fuzzy interference system) Controllers are designed.

ANFIS integrates best features of fuzzy interference system and neural networks. So, these two subjects are presented briefly to explain the fundamental structure of the ANFIS. Then, the basic operating principles of Buck Converter are given and transfer function is obtained. PID and ANFIS controllers are designed to produce PWM switching signal, which is used to control the buck converter.

This study is carried out in MATLAB Simulink environment, where designs can be visualized and examined by means of powerful graphical features. Simulation results are analysed and compared by using different control techniques

Keywords : Buck Converter, ANFIS, training data, PID

TEŐEKKÜR

Çalıřmamın başarıya ulaşmasında en büyük paya sahip olan değerli hocam Yrd.Doç.Dr.Müslüm ARKAN'a..

Yine çalışmama önemli katkılar sağlayan değerli hocalarım Doç.Dr.Nusret TAN ve Yrd.Doç.Dr.Ö.Faruk ÖZGÜVEN'e...

Çalışmalarında beni teşvik eden ve desteğini her zaman hissettiğim Sevgili eşim Müjgan'a...

Teşekkür ederim.

İÇİNDEKİLER

ÖZET	i
ABSTRACT	ii
TEŞEKKÜR.....	iii
İÇİNDEKİLER.....	iv
ŞEKİLLER LİSTESİ.....	v
TABLolar LİSTESİ.....	vii
SİMGELER VE KISALTMALAR.....	viii
1. GİRİŞ.....	1
2. YAPAY SİNİR AĞLARI (NEURAL NETWORKS).....	3
2.1. Biyolojik Sinir Sistemi	4
2.2. İşlemci eleman (Nöron)	5
2.3. Aktivasyon Fonksiyonları.....	6
2.4. Yapay Sinir Ağının Yapısı	7
2.5. Yapay Sinir Ağının Özellikleri	8
2.6. Öğrenme	9
2.7. YSA'nın Uygulama Alanları	11
2. BULANIK MANTIK (FUZZY LOGIC)	12
3.1. Klasik Mantık ve Bulanık Mantık	12
3.2. Bulanık Kümeler ve Üyelik Fonksiyonları	13
3.3. Bulanıklaştırma (Fuzzification)	14
3.4. Bulanık Kontrol Sistemleri(Fuzzy Logic Control Systems).....	15
3.5. Berraklaştırma (Defuzzification)	17
3.6. BM Uygulama Alanları	17
4. ADAPTİF AĞ YAPISINA DAYALI BULANIK DENETLEYİCİ (ANFİS)..	18
4.1. ANFİS Mimarisi.....	18
4.2. Parametrelerin Belirlenmesi	21
4.3. Uygulamaya Göre Öğrenme Yaklaşımları.....	22
4.5. Esnek Geriyayılım Algoritması	23
4.6. MATLAB Simulink'te ANFİS	25
5. DC-DC ÇEVİRİCİLER	30
5.1. DC-DC Çeviricilerle İlgili Bazı Terimler.....	30
5.2. Buck Çevirici (Step Down)	31
5.3. Boost Çevirici (Step up)	33
5.4. Buck-Boost Çevirici	34
5.5. Buck Çeviricinin Transfer Fonksiyonu	35
6. DÜŞÜRÜCÜ ÇEVİRİCİ İÇİN PID TASARIMI.....	38
6.1. Pulse- Width Modülatör (PWM)	38
6.2. PID Denetleyici	40
6.3. PID Denetleyicinin Tasarlanması.....	40
7. DÜŞÜRÜCÜ ÇEVİRİCİ İÇİN ANFİS TASARIMI.....	48
7.1. Eğitim Verilerinin Elde Edilmesi.....	48
7.2. ANFİS'in Eğitilmesi.....	50
7.3. Düşürücü Çevirici – ANFİS Sisteminin Oluşturulması.....	52
8. SONUÇLARININ İNCELENMESİ.....	53
8.1. 11 V Referans Değeri İçin Sistemlerin İlk Tepkisi.....	53
8.2. Sistemin Referans Sinyalini Takip Etmesi.....	54
8.3. Bozucu Sinyal ile Sistemin Kararlılığının Test Edilmesi.....	55
8.4. Kaynak Gerilimindeki Dalgalanmaya Sistemin Tepkisi.....	56
8.5. Sonuçların Değerlendirilmesi.....	57
9. KAYNAKLAR.....	59

ŞEKİLLER LİSTESİ

Şekil 2.1. Yapay sinir ağları yapısı	3
Şekil 2.2. Biyolojik Sinir Sistemi Blok Gösterimi	4
Şekil 2.3. Biyolojik sinir hücresi ve bileşenleri.....	4
Şekil 2.4. Bir işlemci elemanı (nöron).....	5
Şekil 2.5. Aktivasyon fonksiyonları.....	7
Şekil 2.6. Üç katmanlı YSA yapısı.....	7
Şekil 2.7. Üç Katmanlı YSA Yapısında Öğrenme.....	9
Şekil 2.8. Geri Yayılım Akış Şeması	10
Şekil 3.1. Klasik Üyelik Fonksiyonu	13
Şekil 3.2. Bulanık Üyelik Fonksiyonu.....	13
Şekil 3.3. Üçgensel Üyelik Fonksiyonu.....	14
Şekil 3.4. Yamuk Üyelik Fonksiyonu.....	14
Şekil 3.5. İnsan boyunun bulanık üyelik fonksiyonlarla ifade edilmesi.....	15
Şekil.3.6. Genel bir bulanık kontrolör yapısı.....	16
Şekil 3.7. Bulanık kural tabanlı çıkarım sistem yapısı.....	16
Şekil 4.1. İki Girişli İki Kurallı ANFIS Yapısı	19
Şekil 4.2. Bulanıklaştırma İşlemi.....	20
Şekil 4.3. ANFIS sisteminin parametreleri	22
Şekil 4.4. ANFIS Editörünün açılması	25
Şekil 4.5. ANFIS Editörüne çıkış verinin yüklenmesi	25
Şekil 4.6. ANFIS parametrelerinin secilmesi	26
Şekil 4.7. ANFIS yapısı.....	26
Şekil 4.8. Üyelik fonksiyonları ve kurallar.....	27
Şekil 4.9. ANFIS'in eğitim parametrelerinin girilmesi.....	27
Şekil 4.10. ANFIS Editöründe hatanın çizimi.....	28
Şekil 4.11. ANFIS eğitim sonucunun hedef sonuçla karşılaştırılması.....	28
Şekil 4.12. Eğitilen ANFIS'in workspace'e aktarımı	29
Şekil 5.1.. Düşürücü Çevirici	31
Şekil 5.2. Gerilim ve akım değişimi.....	32
Şekil 5.3. Yükseltici Çevirici.....	33
Şekil 5.4. Gerilim ve Akım Değişimi.....	34
Şekil 5.5. Düşürücü-Yükseltici Çevirici.....	34
Şekil 5.6. Gerilim ve Akım Değişimi.....	35
Şekil 5.7. Düşürücü çeviricinin s - düzleminde ifade edilmesi.....	36
Şekil 6.1. Düşürücü çeviricinin kontrol edilmesi.....	38
Şekil 6.2. PWM.....	39
Şekil 6.3. PWM sinyalinin üretilmesi.....	39
Şekil 6.4. Düşürücü çeviricinin kazanç ve faz – frekans değişimi.....	41
Şekil 6.5. Düşürücü çeviricinin denetleyici olmadan açık çevrim kazanç ve faz – frekans değişimi.....	42
Şekil 6.6. PD karakteristiği	44
Şekil 6.7. Düşürücü çeviricinin PD ile açık çevrim kazanç ve faz – frekans Değişimi.....	44
Şekil 6.8. PID karakteristiği.....	45
Şekil 6.9. Düşürücü çeviricinin PID ile açık çevrim kazanç ve faz – frekans Değişimi.....	46
Şekil6.10. $1/(1+T(s))$	46
Şekil 7.1. Eğitim verilerinin elde edilmesi.....	48
Şekil 7.2. Test sinyali ile elde edilen sistem çıkışı (XY).....	49
Şekil 7.3. ANFIS eğitimi için elde edilen PID verisi.	49
Şekil 7.4. ANFIS parametrelerinin seçilmesi.....	50
Şekil 7.5. Eğitim sürecinde hatanın azalması.....	50

Şekil 7.6. Eğitim sonucunun eğitim verisi ile test edilmesi.....	51
Şekil 7.7. Eğitim sonucunun test edilmesi.....	51
Şekil 7.8. Düşürücü Çevirici – ANFIS Sistemi.....	52
Şekil 8.1. 11 V referans değeri için ilk çalıştırmada sistemlerin tepkisi.....	53
Şekil 8.2. Sistem çıkışının referans sinyali takibi.....	52
Şekil 8.3. Bozucu sinyale sistemlerin tepkisi.....	55.
Şekil 8.4 Kaynaktaki dalgalanmaya sistemlerin tepkisi.....	56

TABLULAR LİSTESİ

Tablo 2.1 Sinir sistemi ile YSA'nın benzerlikleri.....	5
Tablo 3.1. Klasik Mantık-Bulanık Mantık Arasındaki Temel Farklılıklar.....	12
Tablo 3.2. Bulanık kontrol uygulama alanları.....	17
Tablo 7.1. Düşürücü Çevirici – ANFIS Sistemi için kullanılan katsayılar.....	52
Tablo 8.1. 11 V referans değeri için ilk çalıştırmada elde edilen veriler.....	53
Tablo 8.2. Referans sinyali için ilk çalıştırmada elde edilen veriler.....	54
Tablo 8.3. Referans sinyali için ilk çalıştırmada elde edilen veriler.....	55
Tablo 8.4. Referans sinyali için ilk çalıştırmada elde edilen veriler.....	56

SİMGELER VE KISALTMALAR

Π :çarpım

N: normalizasyon

α : giriş parametresi,

η : öğrenme katsayısı,

E: ağıın çıkışındaki hata değeri.

D : görev katsayısı

d : PWM sinyali

1. GİRİŞ

Bu çalışmanın amacı DC-DC çeviricilerin kontrolünde Adaptif Ağ Yapısına Dayalı Bulanık Denetleyici (ANFIS, Adaptive Neural-Fuzzy Interference System) kullanılması ve analiz edilmesidir. Günümüzde çok geniş bir kullanım alanına sahip olan DC-DC çeviricilerin kontrollerinde yıllarca analog devreler kullanılmıştır. Bugün gelinen yüksek teknolojik seviye DC-DC çeviricilerin kontrolünde **ANFIS** kullanılmasına imkan sağlamaktadır.

Çalışmanın gerçekleştirilmesine yönelik en önemli basamak **ANFIS** yapısının incelenmesi ve tasarım için uygun yapı ve metodun hangisi olabileceğine karar verilmesidir. Hesaplama ve kontrol yönü güçlü bir metod olan ANFIS, karşımıza **Yapay Sinir Ağları** (neural networks) ve **Bulanık Mantık** (fuzzy logic) isimli iki farklı, ama aynı amaçla ortaya atılmış sistemi çıkarmaktadır. Çünkü ANFIS 1993 yılında Jang tarafından bu iki sistem birleştirilerek ortaya konmuştur [1]. ANFIS sisteminin yapısı ele alınmadan önce Yapay Sinir Ağları ve Bulanık Mantık konularından bahsetmek konunun zemininin oluşması açısından faydalı olacaktır.

Bir sonraki adım ise çalışmaya konu olan **DC-DC Çeviricilerin** analiz edilmesi olacaktır. Çeviriciler, giriş olarak aldığı işlenmemiş elektriksel gücü kontrol sinyalleri yardımıyla işleyerek çıkış olarak kullanılabilir değerlere dönüştürürler. Elde edilen çıkış değeri, giriş değerinden büyük veya küçük olabileceği gibi negatif veya pozitif değerli de olabilir. Çalışmamızda kullanacağımız çevirici türü olan düşürücü çevirici (step down converter), dc kaynak giriş gerilimini daha düşük pozitif bir gerilim değerine sabitlemektedir. Bu sabit değer elde edilmesi için, geri beslemeli bir denetleyici tarafından üretilen kontrol sinyali kullanılabilir. Kontrol sinyali bir anahtarlama sinyali; yani bir PWM (pulse width modulation) devre çıkışı olmalıdır. Öyleyse tasarlanacak denetleyici bloğun yapısı; düşürücü çeviricinin mevcut çıkışını giriş olarak alan geri beslemeli bir kontrolör (PID veya ANFIS) ile kontrolör çıkışını anahtarlayacak PWM'den ibarettir.

Buck çeviricilerin kontrolünde genellikle PID denetleyiciler kullanılmaktadır. Günümüzde, Adaptif Ağ Yapısına Dayalı Bulanık Denetleyicilerin (ANFIS) birçok tasarımda kullanılmaya başlanması, ANFIS'in buck çeviriciler için de kullanılabilirliğinin araştırılması konusunu gündeme getirmiştir.

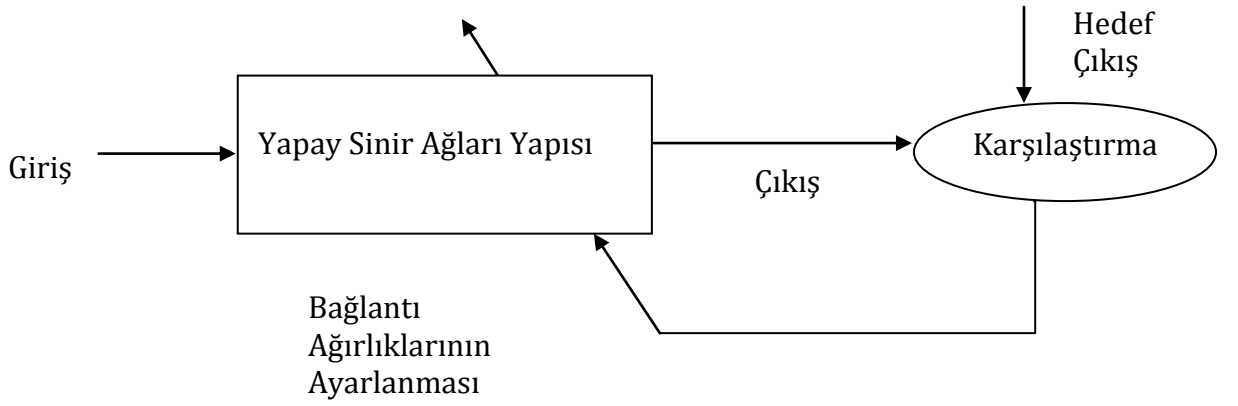
Yapılan çalışmada öncelikli olarak yapılacak işlem düşürücü çeviricinin devre yapısına karar verilmesi ve kontrol girişinden çıkışa ve kaynak girişinden çıkışa transfer fonksiyonların elde edilmesi olacaktır. Düşürücü çevirici devrenin tasarlanmasından sonra ikinci aşama, denetleyiciden gelen sinyali anahtarlama sinyaline dönüştürecek PWM yapısının incelenmesidir. Üçüncü aşamada, elde edilen transfer fonksiyonları

yardımıyla buck eviriciyi kontrol edecek PID denetleyicinin tasarımı MATLAB Simulink'te yapılacaktır. Dördüncü aşamada; tasarlanan buck evirici kullanılarak elde edilen veriler yardımıyla, sistem için uygun ANFIS denetleyici yapısı oluşturulacaktır. Çalışma, Simulink ortamında PID ve ANFIS denetleyici ile elde edilen sonuçlarının değerlendirilmesiyle tamamlanacaktır.

2. YAPAY SİNİR AĞLARI (NEURAL NETWORKS)

Yapay Sinir Ağları (YSA) beynin bir işlevi yerine getirme yöntemini modellemek için tasarlanan bir sistemdir. YSA, katmanlar şeklinde düzenlenmiş yapay sinir hücrelerinden (nöron) ve bu hücreleri birbirine bağlamak için kullanılan ağırlıkları olan bağlardan oluşur [2].

Şekil 2.1.'de gösterildiği gibi, hedeflenen çıkış değerleri sistem çıkışıyla karşılaştırılarak yapı ayarlanır. İşlem sistem çıkışıyla hedeflenen çıkışlar örtüşene kadar devam eder [3].



Şekil 2.1. Yapay sinir ağları yapısı.

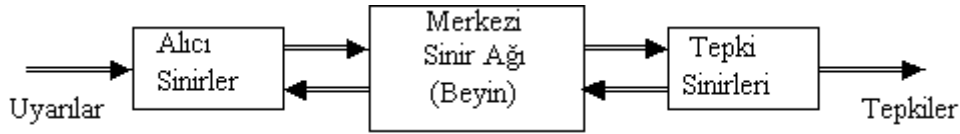
Genelleme, eğitim ya da öğrenme sürecinde karşılaşılmayan girişler için de YSA' nın uygun tepkileri üretmesi olarak tanımlanır. YSA' nın hesaplama ve bilgi işleme gücünü, paralel dağılmış yapısından, öğrenebilme ve genelleme yeteneğinden aldığı söylenebilir.

YSA'lar her şeyden önce bir mimariye sahiptir. Bu mimari YSA'da veri akışının yönünü, sinirlerin tanımlandığı katmanları, her bir katmanda bulunan işlemci eleman sayılarını, işlemci elemanlar arasında tanımlı bağlantı ağırlıklarını, sistemin girdi ve çıktılarını göstermektedir. Bir YSA mimarisi, en az bir girdi bir çıktı katmanı adı verilen iki katmandan oluşur. Herbir katmandaki sinirler diğer katmanlardaki sinirlere bağlanmıştır ve her bir bağ bir ağırlık değerine sahiptir [2]. YSA'ların temel özelliği olan öğrenme yeteneği, bu ağırlık değerlerinin problem örnekleri kullanılarak ayarlanmasını ifade etmektedir (Şekil 2.1) [3,4].

Sistemin temel birimi nörondur (hücre). Nöronun yapısını anlamak için model olarak alınan biyolojik sinir sisteminin incelenmesi gerekmektedir.

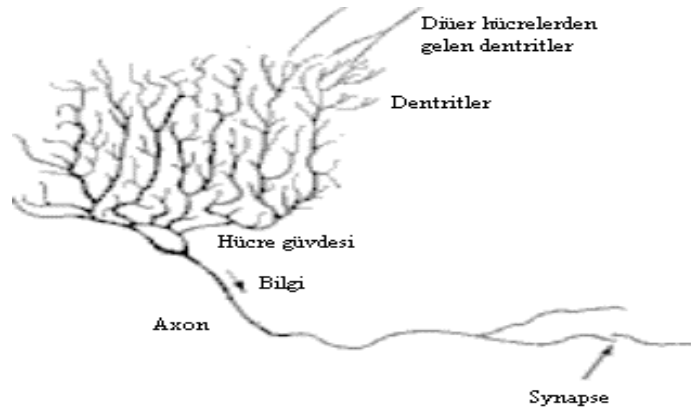
2.1. Biyolojik Sinir Sistemi

Biyolojik sinir sistemi; merkezinde sürekli olarak bilgiyi alan, yorumlayan ve uygun bir karar üreten beynin (merkezi sinir ağı) bulunduğu, 3 katmanlı bir sistem olarak açıklanır. Alıcı sinirler (receptor) organizma içerisinde ya da dış ortamlardan algıladıkları uyarıları, beyne bilgi ileten elektriksel sinyallere dönüştürür. Tepki sinirleri (effector) ise, beynin ürettiği elektriksel darbeleri organizma çıktısı olarak uygun tepkilere dönüştürür. Şekil 2.2' de bir sinir sisteminin blok gösterimi verilmiştir.



Şekil 2.2. Biyolojik Sinir Sistemi Blok Gösterimi.

Merkezi sinir ağında bilgiler, alıcı ve tepki sinirleri arasında ileri ve geri besleme yönünde değerlendirilerek uygun tepkiler üretilir. Bu yönüyle biyolojik sinir sistemi, kapalı çevrim denetim sisteminin karakteristiklerini taşır. Merkezi sinir sisteminin temel işlem elemanı, sinir hücresidir (nöron). İnsan beyinde yaklaşık 10 milyar sinir hücresi olduğu tahmin edilmektedir. Sinir hücresi; hücre gövdesi, dendritler ve axonlar olmak üzere 3 bileşenden meydana gelir (Şekil 2.3). Dendritler, diğer hücrelerden aldığı bilgileri hücre gövdesine bir ağaç yapısı şeklinde ince yollarla iletir. Axonlar ise elektriksel darbeler şeklindeki bilgiyi hücreden dışarı taşıyan daha uzun bir yoldur. Axonların bitimi, ince yollara ayrılabilir ve bu yollar, diğer hücreler için dendritleri oluşturur. Bu axon-dendrite bağlantı elemanı synapse olarak isimlendirilmiştir.



Şekil 2.3. Biyolojik sinir hücresi ve bileşenleri.

Synapseye gelen ve dendriteler tarafından alınan bilgiler genellikle elektriksel darbelerdir ancak, synapsedeki kimyasal ileticilerden etkilenir. Belirli bir sürede bir hücreye gelen girişlerin değeri, belirli bir eşik değerine ulaştığında hücre bir tepki üretir.

İnsan beyninin 10 milyar sinir hücresinden ve 60 trilyon synapse bağlantısından oluştuğu düşünülürse son derece karmaşık ve etkin bir yapı olduğu anlaşılır. Diğer taraftan bir sinir hücresinin tepki hızı, günümüz bilgisayarlarına göre oldukça yavaş olmakla birlikte duyuşsal bilgileri son derece hızlı değerlendirebilmektedir. Bu nedenle insan beyni; öğrenme, birleştirme, uyarılma ve genelleştirme yeteneđi nedeniyle son derece karmaşık, doğrusal olmayan ve paralel dağılmış bir bilgi işleme sistemi olarak tanımlanabilir.

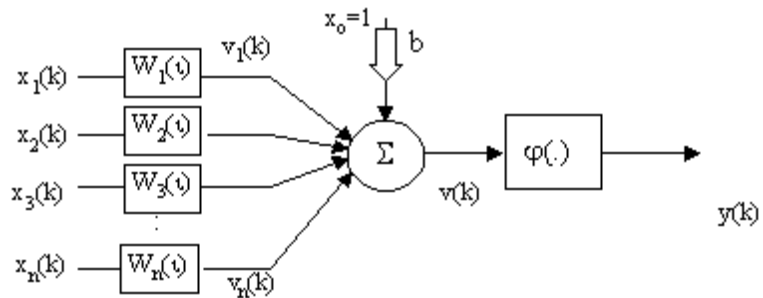
2.2. İşlemci Eleman (Nöron)

Tablo 2.1 biyolojik sinir sisteminin temel birimi olan nöronun Yapay Sinir Ağlarında nasıl modellendiđini göstermektedir [5].

Tablo 2.1. Sinir sistemi ile YSA'nın benzerlikleri.

SİNİR SİSTEMİ	YSA SİSTEMİ	MATEMATİKSEL İFADESİ
Nöron	İşlem elemanı	
Dendrit	Toplama fonksiyonu	$V(k)=\sum(\cdot)$
Hücre gövdesi	Aktivasyon fonksiyonu	$\varphi(\cdot)$
Aksonlar	Eleman çıkışı	$Y(k)$
Sinapslar	Ağırlıklar	$W_x(t)$

Bir YSA modelinin temel birimi, Şekil 2.4'de gösterilen işlem elemanıdır. Burada girişler dış kaynaklardan veya diđer işlem elemanlarından gelen sinyallerdir. Bu sinyaller, kaynađına göre kuvvetli veya zayıf olabileceđinden ağırlıkları da farklıdır [1].



Şekil 2.4. Bir işlemci elemanı (nöron).

Herbir giriş sinyali giriş ağırlığıyla çarpılır. Çarpımlar sistemin aktive olabilmesi için gerekli eşik sinyali x_0 ile toplanır.

$$V(k) = \sum_k (W_n(k) * x_n(k) + x_0) \quad (1.1)$$

$V(k)$, nöronun girişi ile çıkışı arasındaki ilişkiyi tanımlayan aktivasyon fonksiyonunun giriş değerlerini oluşturur. Sistem çıkışı;

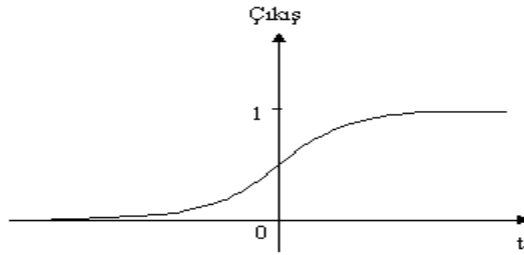
$$y(k) = \varphi(v(k)) \quad (1.2)$$

olarak elde edilmiş olur.

YSA hücrelerinin gerçekleştireceği işleve göre çeşitli tipte aktivasyon fonksiyonları kullanılabilir. Aktivasyon fonksiyonları sabit parametrelili yada uyarlanabilir (adaptif) parametrelili seçilebilir. Aşağıda, hücre modellerinde yaygın olarak kullanılan çeşitli aktivasyon fonksiyonları tanıtılmıştır.

2.3. Aktivasyon Fonksiyonları

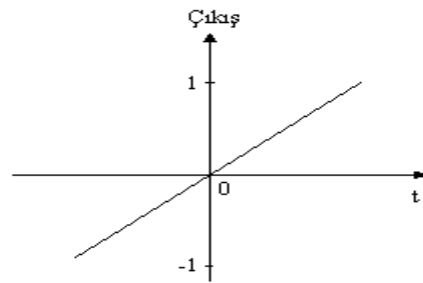
Şekil 2.5'te, YSA hücrelerinin girdisine göre çıkışını tanımlayan aktivasyon fonksiyonlarından 4 tanesi verilmiştir. Kullanılacak olan fonksiyonların türevi alınabilir ve süreklilik arz etmesi gerekmektedir [5].



(a)

Sigmoid:

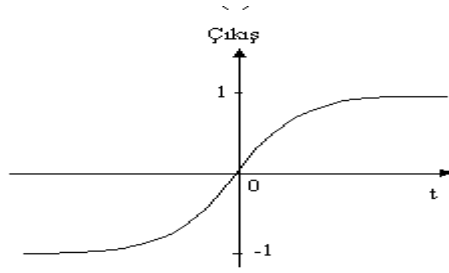
$$f(t) = 1 / 1 + (\exp(-t))$$



(b)

Doğrusal:

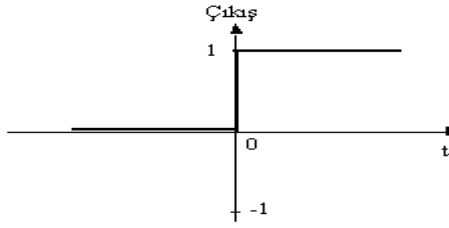
$$f(t) = t$$



(c)

Hiperbolik Tanjant:

$$f(t) = 1 / (1 + \exp(-t))$$



(d)

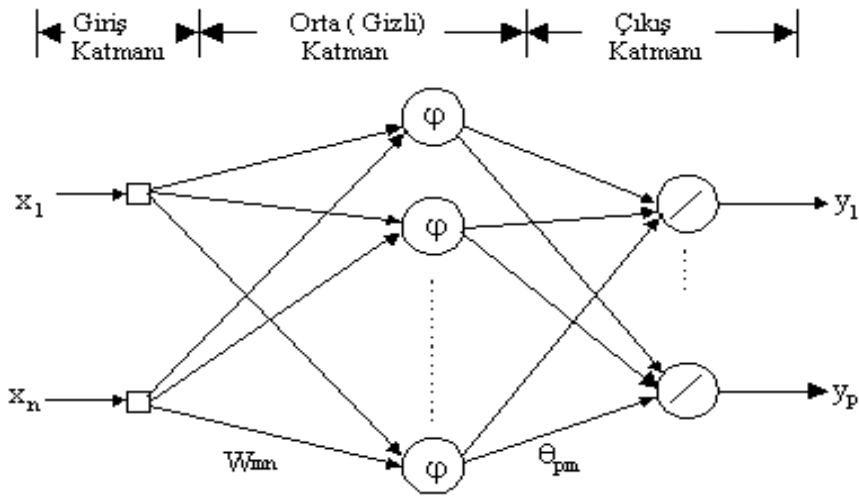
Birim:

$$f(t) = \frac{1 - \exp(-2t)}{1 + \exp(-2t)}$$

Şekil 2.5. Aktivasyon fonksiyonlar

2.4. Yapay Sinir Ağının Yapısı

Yapay sinir ağı, hücrelerin birbirleri ile çeşitli şekillerde bağlanmalarından oluşur. Hücre çıkışları, ağırlıklar üzerinden diğer hücrelere ya da kendisine giriş olarak bağlanabilir ve bağlantılarda gecikme birimi de kullanılabilir. Hücrelerin bağlantı şekillerine, öğrenme kurallarına ve aktivasyon fonksiyonlarına göre çeşitli YSA yapıları geliştirilmiştir. Bu yapılardan en fazla bilineni ileri beslemeli yapay sinir ağıdır [6]. Şekil 2.6'da giriş, orta ve çıkış katmanı olmak üzere 3 katmanlı ileri beslemeli YSA yapısı verilmiştir.



Şekil 2.6. Üç katmanlı YSA yapısı.

YSA' da, hücreler katmanlar şeklinde düzenlenir ve bir katmandaki hücrelerin çıkışları bir sonraki katmana ağırlıklar üzerinden giriş olarak verilir. Giriş katmanı, dış ortamlardan aldığı bilgileri hiçbir değişikliğe uğratmadan orta (gizli) katmandaki hücrelere iletir. Bilgi, orta ve çıkış katmanında işlenerek ağ çıkışı belirlenir. Bu yapısı ile ileri beslemeli ağlar doğrusal olmayan statik bir işlevi gerçekleştirir.

2.5. Yapay Sinir Ağının Özellikleri

Doğrusal Olmama: YSA' nın temel işlem elemanı olan hücre doğrusal değildir. Dolayısıyla hücrelerin birleşmesinden meydana gelen YSA da doğrusal değildir ve bu özellik bütün ağa yayılmış durumdadır. Bu özelliği ile YSA, doğrusal olmayan karmaşık problemlerin çözümünde en önemli araç olmuştur.

Öğrenme: YSA' nın temel özelliğidir. Sistemin arzu edilen davranışı gösterebilmesi için amaca uygun olarak ayarlanması gerekir. Bu, hücreler arasında doğru bağlantıların yapılması ve bağlantıların uygun ağırlıklara sahip olması gerektiğini ifade eder. YSA' nın karmaşık yapısı nedeniyle bağlantılar ve ağırlıklar önceden ayarlı olarak verilemez ya da tasarlanamaz. Bu nedenle YSA, istenen davranışı gösterecek şekilde ilgilendiği problemde aldığı eğitim örneklerini kullanarak problemi öğrenmelidir.

Genelleme: YSA, ilgilendiği problemi öğrendikten sonra eğitim sırasında karşılaşmadığı test örnekleri için de arzu edilen tepkiyi üretebilir. Örneğin, karakter tanıma amacıyla eğitilmiş bir YSA, bozuk karakter girişlerinde de doğru karakterleri verebilir yada bir sistemin eğitilmiş YSA modeli, eğitim sürecinde verilmeyen giriş sinyalleri için de sistemle aynı davranışı gösterebilir.

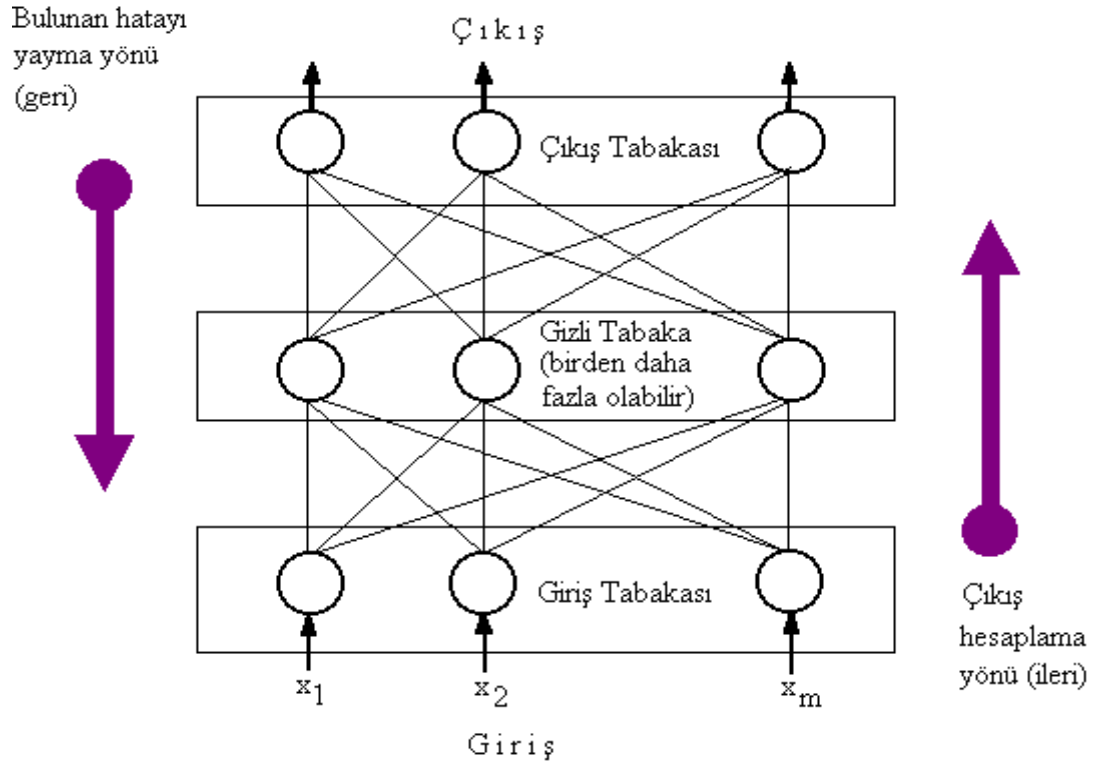
Uyarlanabilirlik: YSA, ilgilendiği problemdeki değişikliklere göre ağırlıklarını ayarlar. Yani, belirli bir problemi çözmek amacıyla eğitilen YSA, problemdeki değişimlere göre tekrar eğitilebilir, değişimler devamlı ise gerçek zamanda da eğitime devam edilebilir. Bu özelliği ile YSA, uyarlamalı örnek tanıma, sinyal işleme, sistem tanılama ve denetim gibi alanlarda etkin olarak kullanılır.

Hata Toleransı: YSA, çok sayıda hücrenin çeşitli şekillerde bağlanmasından oluştuğundan paralel dağılmış bir yapıya sahiptir ve ağın sahip olduğu bilgi, ağdaki bütün bağlantılar üzerine dağılmış durumdadır. Bu nedenle, eğitilmiş bir YSA nın bazı bağlantılarının, hatta bazı hücrelerinin etkisiz hale gelmesi, ağın doğru bilgi üretmesini önemli ölçüde etkilemez. Bu nedenle, geleneksel yöntemlere göre hatayı tolere etme yetenekleri son derece yüksektir.

Donanım ve Hız: YSA, paralel yapısı nedeniyle büyük ölçekli entegre devre (VLSI) teknolojisi ile gerçekleştirilebilir. Bu özellik, YSA'nın hızlı bilgi işleme yeteneğini artırır ve gerçek zamanlı uygulamalarda arzu edilir.

2.6. Öğrenme

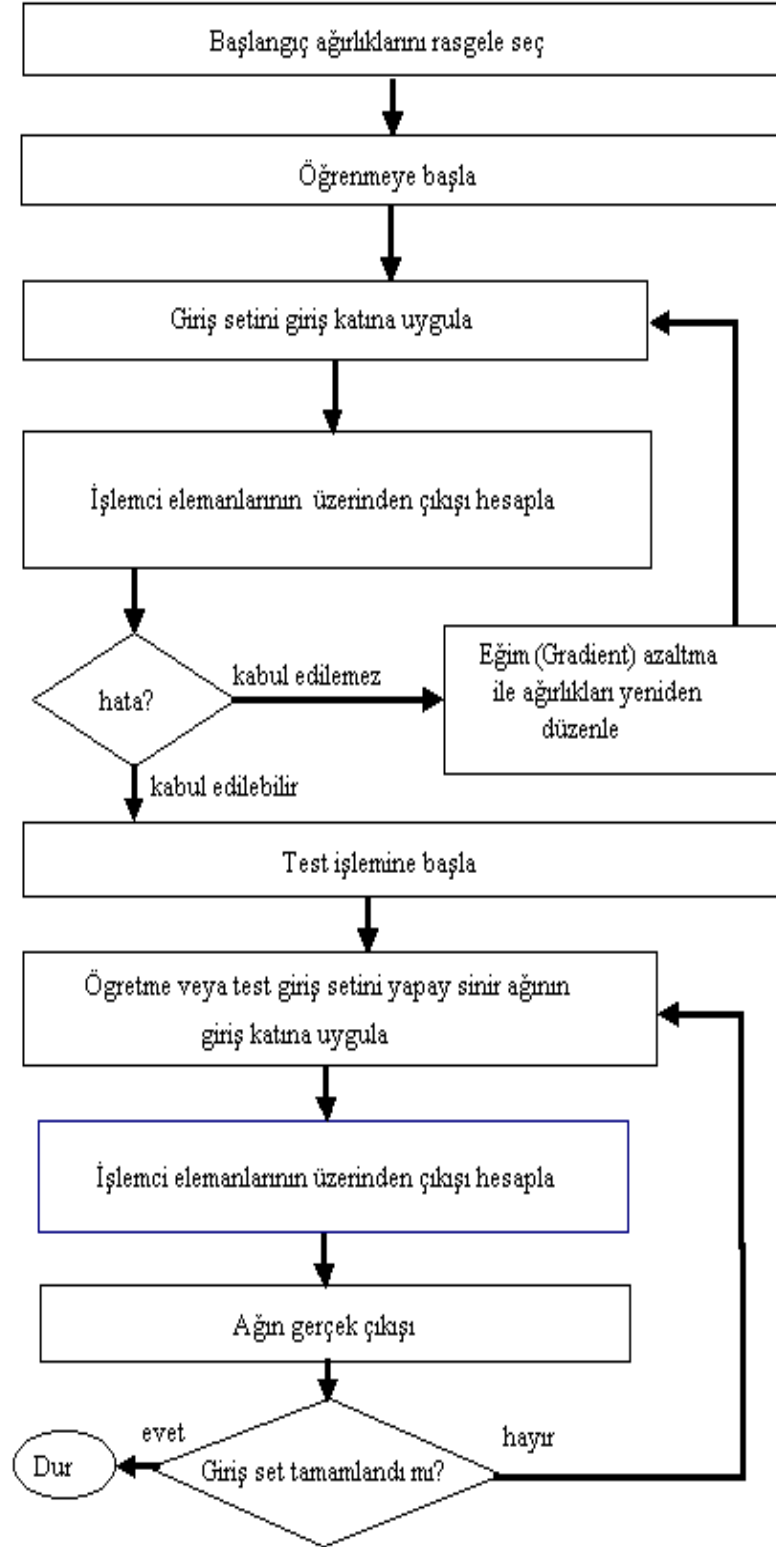
YSA'ların temel özelliğinin öğrenme yeteneği olduğu vurgulanmıştır. Katmanlardaki nöronları diğer katmanlardaki nöronlara bağlayan bağların ağırlık değeri başlangıçta rasgele alınır. Örnek giriş datası giriş katmanına (tabakasına) uygulanır, ara katmanlarda işlenir ve çıkış katmanından da çıkışlar elde edilir. Sistem çıkışı ile hedeflenen sistem çıkışı arasındaki fark hata olarak tespit edilerek tüm sisteme yansıtılır; bağların ağırlık değerleri değiştirilir. Elde edilen yeni çıkış değeri istenen çıkış değeri ile karşılaştırılarak yeni hata miktarı belirlenir ve işlem tekrarlanır. Bu işlem hata oranı kabul edilebilir seviyeye düşene kadar devam ettirilir; katsayılar güncellenir. Şekil 2.7'de üç katmanlı yapıda öğrenme işlemi gösterilmiştir [5].



Şekil 2.7. Üç Katmanlı YSA Yapısında Öğrenme.

YSA'ların eğitimi ile ilgili birçok öğrenme algoritması geliştirilmiştir. Bunlardan gradient azalan geri-yayılım (back-propagation) ve esnek geriyayılım algoritması (resilient) ilerleyen bölümlerde detaylı bir şekilde anlatılacaktır. Şekil 2.8'de akış şeması gösterilen gradient azalan geri yayılım algoritması bir çok uygulamalarda kullanılmış en yaygın öğretim algoritmasıdır. Anlaşılması kolay ve matematiksel olarak ispatlanabilir olmasından dolayı en çok tercih edilen öğretim algoritmasıdır. Bu

algoritma, hataları geriye doğru çıkıştan girişe azaltmaya çalışmasından dolayı geri yayılım ismini almıştır.



Şekil 2.8. Geri Yayılım Akış Şeması [5].

2.7. YSA'nın Uygulama Alanları

Halen uygulanabilirliđi ve devam eden alıřmalar erevesinde gelecekte uygulanabileceđi gz nnde bulundurulduđunda, yapay sinir ađlarının kullanım alanları ařađıdaki řekilde zetlenebilir.

Biyoloji: Beyni ve diđer sistemleri daha iyi anlama, retina ve kornea'yı modelleme

İř Dnyası: Petrol ve jeolojik yapı deđiřimlerinin tahmini, zel durumlar iin toplum eđilimlerinin tanımı, veri tabanı oluřturulması, hava yolları ve cret dzenlemesi, el yazısı karakterini tanıma.

evresel: Numuneleri analiz etme, hava tahmini.

Finans: Kredi riski deđerlendirilmesi, sahte para ve evrak tanımı, el yazısı formların deđerlendirilmesi, yatırım eđilimleri ve portfy analizi.

retim: Robot ve kontrol sistemlerini otomatikleřtirme, retim iřlem kontrol, kalite kontrol, montaj hattında para seimi.

Tıp: Sađırlar iin ses analizi, semptom hastalıkların teřhis ve tedavisi , ameliyat grntleme, ilaların yan etkilerinin analizi, x-ıřınlarını okuma, epileptik felcin nedenlerini anlama

Askeri : Radar sinyallerini anlama, yeni ve geliřmiř silahlar yaratma, keřif yapma kıt kaynakların kullanımını optimize etme, hedef tanıma ve izleme.

3. BULANIK MANTIK (FUZZY LOGIC)

Bulanık Mantıkta(BM) insan muhakemesi baz alınmıştır. BM, özellikle insan deneyimlerinin ve sözel verilerin modele katılmasında büyük yarar sağlamaktadır [7]. Bulanık sistemler, genel anlamda, giriş değişkenlerinden çıkış değişkenlerine dönüşümü sağlamak amacıyla bulanık kümeleri kullanan sistemlerdir [8]. BM Aristo mantığının (Klasik Mantık) eksiklik, zorluk veya yanlışlıklarını giderebilmek için California Berkeley Üniversitesinden Dr. Lütfü A. Zadeh tarafından 1965 yılında ortaya atılmıştır [8].

Aristo mantığında bilindiği gibi bir şey ya A kümesinin elemanıdır ya da değildir. Yani ya siyah ya da beyazdır. Halbuki gerçekte tam siyah veya tam beyazı bulmak mümkün değildir. BM gerçek hayata uygun olarak hemen hemen tamamıyla grilerle çalışır.

3.1. Klasik Mantık ve Bulanık Mantık

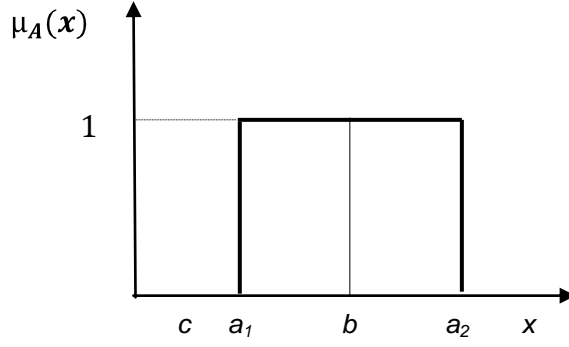
Klasik mantıkta büyüklük-küçüklük, uzunluk-kısalık gibi kavramların kesin sınırları vardır. Diyelim ki uzun insanların alt sınırı 1.70 m. olsun. Klasik mantığa, "Ali uzun mudur?" sorusu sorulursa, eğer Ali'nin boyu 1.70 m'in üzerinde ise Ali uzun, 1.69 m ise kısadır. Halbuki bulanık mantık, Ali'nin ne kadar uzun olduğunu sorar. Klasik mantık gibi uzuna 1, kısaya 0 gibi katı değerler vermez. 0.1, 0.2, 0.3... gibi daha hassas ve esnek değerler verir. Böylelikle 1.69 m boyundaki bir insana kısa (0) demez, 0.2 gibi bir uzunluktadır der. Tabi bulanık mantığın da belli sınırları vardır ve bu sınırlar ele alınan elemana ve şartlara göre değişirler. Onu klasik mantıktan ayıran nokta bu sınırların daha esnek olmasıdır. İşte bu esneklik sayesinde bulanık mantık tatbik edildiği her sahada çok daha hassas sonuçlar vermektedir. Tablo 3.1 klasik mantık ile bulanık mantık arasındaki önemli kavram farklılıklarını listelemektedir.

Tablo 3.1. Klasik Mantık-Bulanık Mantık Arasındaki Temel Farklılıklar.

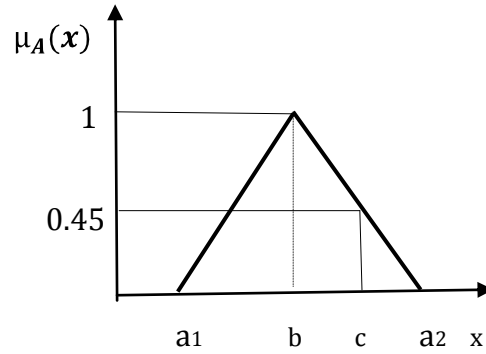
KLASİK MANTIK	BULANIK MANTIK
A veya A Değil	A ve A Değil
Kesin	Kısmi
Hepsi veya Hiçbiri	Belirli Derecelerde
0 veya 1	0 ve 1 Arasında Süreklilik
İkili Birimler	Bulanık Birimler
Dijital Bilgisayar	Beyin

3.2 Bulanık Kümeler ve Üyelik Fonksiyonları

Şekil 3.1'de klasik mantık üyelik fonksiyonu gösterilmiştir. Burada "b" elemanı "A" bulanık kümesinin kesin elemanıdır. Bu elemanın üyelik derecesi 1 olarak ifade edilir. "c" elemanı A bulanık kümesine ait olmadığından üyelik derecesi 0 olarak kabul edilir.



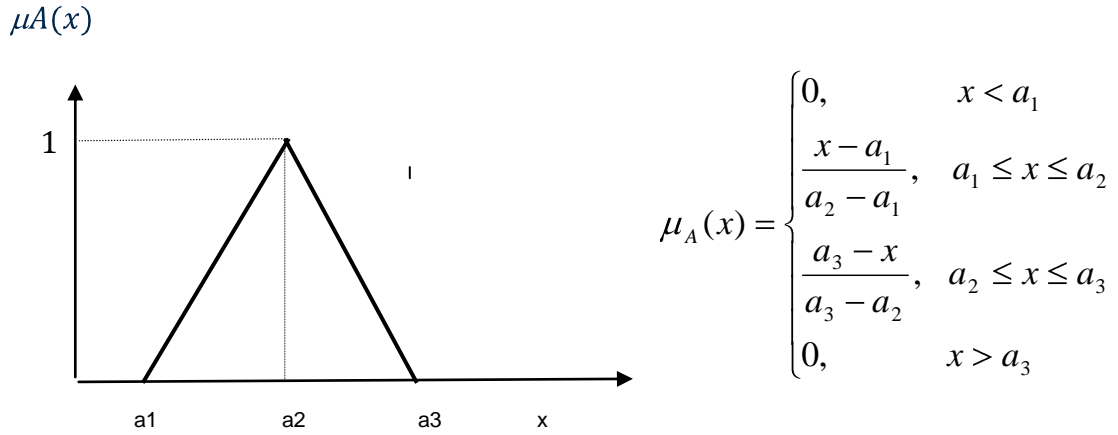
Şekil 3.1. Klasik Üyelik Fonksiyonu.



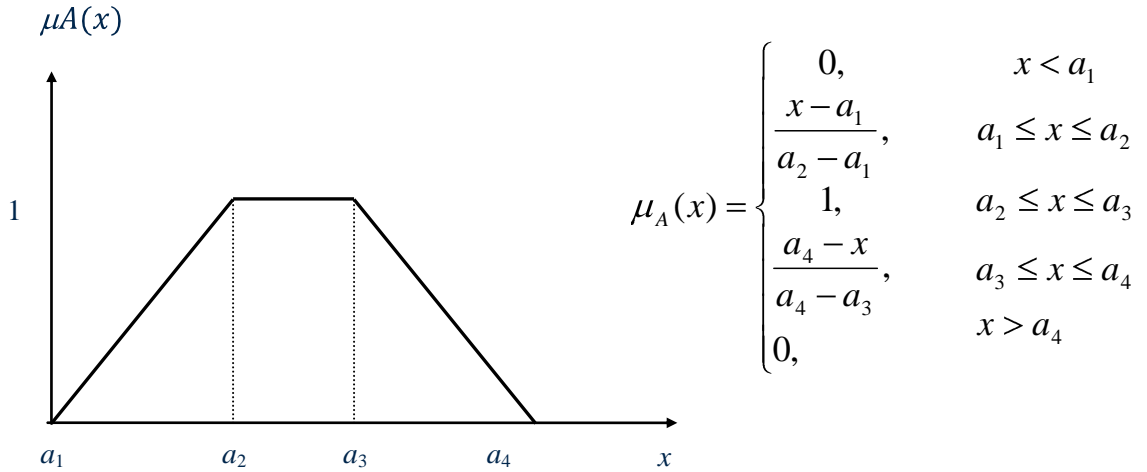
Şekil 3.2. Bulanık Üyelik Fonksiyonu.

Şekil 3.2'de klasik bulanık üyelik fonksiyonu gösterilmiştir. Burada "b" elemanı "A" bulanık kümesinin kesin elemanıdır. Bu elemanın üyelik derecesi 1 olarak ifade edilir. "c" elemanı ise A bulanık kümesine belli bir seviyede üyedir. Bu da [0,1] aralığında bir üyelik derecesi ile gösterilir ve üyelik derecesi 0.45'tir. "d" elemanı A bulanık kümesine ait olmadığından üyelik derecesi 0 olarak kabul edilir.

Bulanık üyelik fonksiyonları genellikle üçgensel, yamuk ve gauss fonksiyonu olarak seçilmektedir. Şekil 3.3'de üçgensel, Şekil 3.4'de ise yamuk üyelik fonksiyonları gösterilerek formüllerle tanımlanmıştır.



Şekil 3.3. Üçgensel Üyelik Fonksiyonu.



Şekil 3.4. Yamuk Üyelik Fonksiyonu.

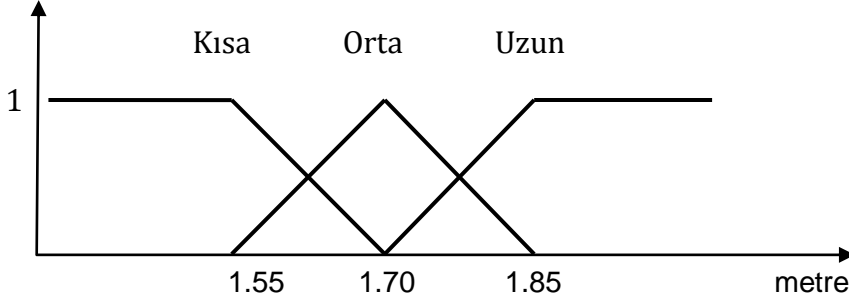
3.3. Bulanıklaştırma (Fuzzification)

Bulanıklaştırma, sayısal giriş değişkenlerinin (kesin verilerin) bunlara karşılık gelen bulanık kümeye dönüştürme işlemidir. Yani bu değişkenlere birer etiket verilerek **dilsel** (linguistic) nicelik kazandırılır.

Bulanıklaştırma işlemi göreceli olarak bu kadar kolay olmasına karşın uzman sistem tanımlamaları gerekmektedir. Bu da uzun deneyimlerin sonucu elde edilir. Bununla birlikte kesin olmayan bilgilerin kullanılabilmesi, bulanıklaştırma sürecinin matematiksel bir modeline gerek duyulmaması ve uygulamaya çabuk olarak

geçilebilmesi bütün bunlardan sonra da yüksek derecede verim alınabilmesi bulanık mantığın önemini açıkça ortaya koymaktadır [9].

Bulanık kümeler genellikle üç, beş ya da yedi üyelik fonksiyonundan oluşabilirler. Örnek olarak yukarıda bahsedilen insanların boyunun uzunluğunu Şekil 3.5'te gösterildiği gibi kısa, normal, uzun olarak üç üyelik fonksiyonu olarak bulanıklaştırabiliriz.



Şekil 3.5. İnsan boyunun bulanık üyelik fonksiyonlarla ifade edilmesi

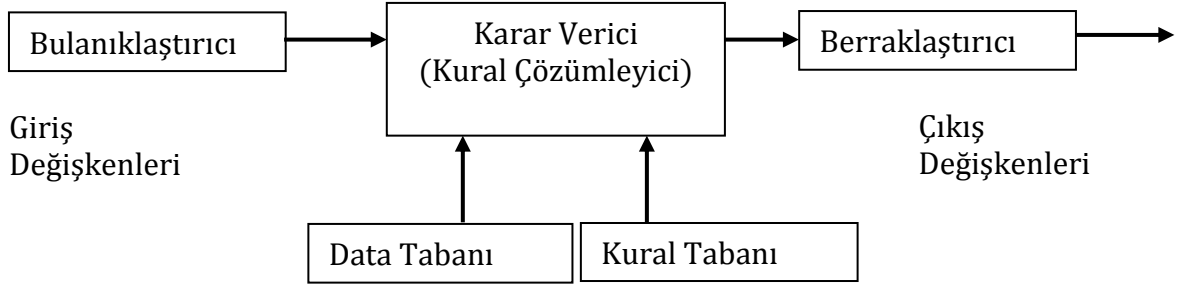
1.70 normal boy olarak kabul edilmiştir. 1.60 boy ise hem kısa üyelik fonksiyonunda hem de orta üyelik fonksiyonunda yer almaktadır. Fakat iki ayrı üyelik fonksiyonunda ayrı değerlerle temsil edilmektedir. 1.60 m. kısa boya daha yakın olduğundan kısa üyelik fonksiyonundaki değeri daha büyük olacaktır. Toplamda ise tüm değerler eşit bir şekilde 1 değeriyle ifade edilmektedir.

3.4. Bulanık Kontrol Sistemleri (Fuzzy Logic Control Systems)

Son yıllarda bulanık tabanlı uygulamalar oldukça yaygınlaşmıştır. Öyle ki; sosyal bilimlerden mühendislik uygulamalarına kadar hemen her alanda bir uygulama örneği bulmak mümkündür. Bulanık mantığın en fazla uygulama alanı bulunduğu alan kontrol sistemleridir. Bir bulanık kontrol mekanizmasının özünü, giriş ve çıkış değerlerinin tespiti, bulanıklaştırma ve durulaştırma metodunun seçilmesi ve kural tabanının oluşturulması içerir [10,11].

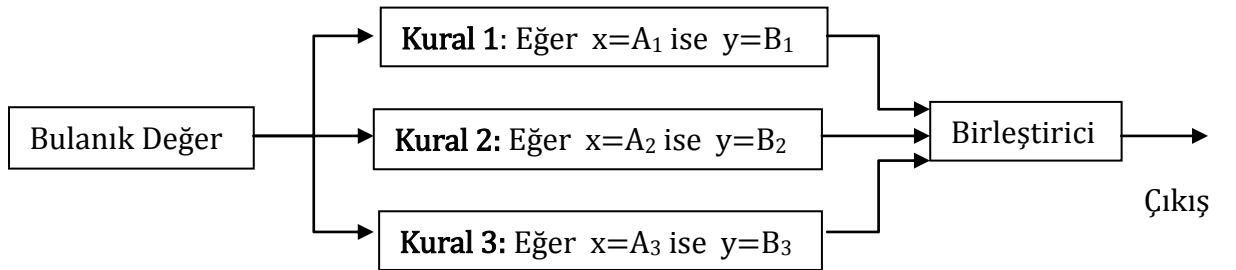
Bulanık kontrolörde bulanık giriş ve çıkış parametrelerinin sayısı, kullanılan üyelik fonksiyonlarının tipi ve adedi, kural tabanını oluşturan kurallar, kural çözümlene yöntemi, birleştirme operatörleri, berraklaştırma metodu belirlenmesi gereken en önemli parametrelerdir (**Şekil 3.6**) [1].

Bulanık kontrolör, giriş ve çıkış parametrelerinden bir kısmı veya tamamı bulanık üyelik fonksiyonları tarafından tanımlanan kural tabanlı bir kontrol sistemidir. Böyle bir kontrol sisteminin önemli özellikleri, kuralların sözel değişkenlerle ifade edilebilir olması, uzman bilgisinin tam olarak kontrol kurallarına yansıtılabilmesi ve kesin olmayan bilgiler üzerinden çıkarım yapabilme yeteneğine sahip olmasıdır [12]. Ayrıca çıkışta elde edilen bulanık değerleri bulanık olmayan bir değere dönüştüren berraklaştırıcı mevcuttur [7,15].



Şekil.3.6. Genel bir bulanık kontrolör yapısı.

Bir bulanık kontrolörün temelini kural çözümleyici, data tabanı ve kural tabanından oluşan kural tabanlı sistem oluşturur. Burada uzman sistemlerde olduğu gibi kural tabanında IF-THEN yapısında oluşturulan kurallar, data tabanında ise kullanılan üyelik fonksiyonlarının tipleri ve sınır değerleri tutulur. Bulanık kontrolörde kullanılan bir kural tabanlı çıkarım sisteminin iç yapısı daha ayrıntılı olarak Şekil 3.7’de görülmektedir.



Şekil 3.7. Bulanık kural tabanlı çıkarım sistem yapısı.

Bir bulanık kural tabanlı sistemde, farklı çözümlene yöntemleri uygulanabilir. Bunlardan en önemlileri Mamdani ve Sugeno modelidir. Sonraki bölümde Sugeno tipi sistem (ANFIS) detaylı bir şekilde anlatılacaktır.

3.5. Berraklaştırma (Defuzzification)

Bulanıklaştırma işlemleri sonucu elde edilen bulanık çıkarım sonuçlarını sayısal çıkış değerlerine dönüştürür [7]. **Bulanık kontrolörde farklı berraklaştırma yöntemleri kullanılabilir. Bu yöntemlerin en fazla kullanılanları; ağırlık merkezi metodu, alanın merkezi yöntemi ve ortalama değer yöntemidir [13].**

Çalışmamızda kullanacağımız ANFIS tek çıkışlı özel bir bulanık sistem olduğundan ortalama değer yöntemi kullanılmaktadır.

3.6. BM Uygulama Alanları

Tablo 3.2 Bulanık Kontrol uygulama alanlarını ve üretici firmaları özetlemektedir.

Tablo 3.2. Bulanık kontrol uygulama alanları.

ÜRÜN	FİRMA	BULANIK MANTIĞIN İŞLEVİ
Asansör Denetimi	Fujitec –Toshiba Mitsubishi Hitachi	Yolcu trafiğini değerlendirir.Böylece bekleme zamanı azalır.
SLR Fotoğraf Makinesi	Sanyo –Fisher Canon Minolta	Ekranında birkaç obje olması durumunda en iyi fokusu ve aydınlatmayı belirler
Video Kayıt Cihazı	Panasonic	Cihazın elle tutulması nedeniyle çekim sırasında oluşan sarsıntıları ortadan kaldırır.
Çamaşır Makinesi	Matsushita	Çamaşırın kirliliğini, ağırlığını, kumaş cinsini sezer, ona göre yıkama programını seçer.
Su Isıtıcısı	Matsushita	Isıtmayı kullanılan suyun miktar ve sıcaklığına göre ayarlar.
Klima	Mitsubishi	Ortam koşullarını değerlendirerek en iyi çalışma durumunu algılar, odaya birisi girerse soğutmayı arttırır.
ABS Fren Sistemi	Nissan	Tekerleklerin kilitlemeden frenlenmesini sağlar.
Çelik Endüstrisi	Nippon Steel	Geleneksel denetleyicilerin yerini alır.
Televizyon	Sony	Ekran kontrastını, parlaklığını ve rengini ayarlar
El Bilgisayarı	Sony	El yazısı ile veri ve komut girişine olanak tanır.

4. ADAPTİF AĞ YAPISINA DAYALI BULANIK DENETLEYİCİ (ANFIS)

ANFIS, **Sugeno** tipi bulanık mantık sistemlerin, sinirsel öğrenme kabiliyetine sahip bir ağ yapısı olarak temsilinden ibarettir. Bu ağ, her biri belli bir fonksiyonu gerçekleştirmek üzere, katmanlar halinde yerleştirilmiş düğümlerin birleşiminden oluşmuştur [12]. ANFIS 5 katmanlı bir yapıdır [14].

1.Katman, giriş verileri için giriş üyelik fonksiyonları davranışını gösterir. Buna bulanıklaştırma işlemi denir. 2. Katmanda bulanık kurallar oluşturulur. Bu katmanda her bir düğüm, bir kuralı temsil eder. 3. Katmanda bulanık kurallar normalize edilir. 4.Katman, çıkış üyelik fonksiyonlarıdır. Normalize edilmiş kurallar ile sistem girişleri kullanılarak oluşturulur. 5. Katman berraklaştırma işleminin yapıldığı yapının son bölümüdür [14]. Berraklaştırma işlemi genellikle çıkış üyelik fonksiyonlarının toplamı alınarak yapılır. Bu fonksiyonlara ait parametrelerin eğitim sırasında güncellenmesi söz konusudur. ANFIS sisteminde çıkış verileri istenen sonuçlarla karşılaştırılarak giriş ve çıkış üyelik fonksiyonlarına yansıtılır.

4.1. ANFIS Mimarisi

ANFIS'in işleyişini bir örnek ile incelemek en kolay yöntem olacaktır. Bu örnekle kuralların oluşturulması, giriş üyelik fonksiyonlarının çeşitleri, normalizasyon işlemi, çıkış üyelik fonksiyonunun yazılması ve berraklaştırma işlemi detaylı bir şekilde incelenecektir.

Basit olması açısından, bulanık çıkarım sistemini, **x** ve **y** gibi iki girişi ve **z** gibi bir çıkışı olduğunu farz ederek ele alalım. İki tane bulanık Eğer - ise kuralı bulunan, Sugeno bulanık modeli için tipik kural kümesi;

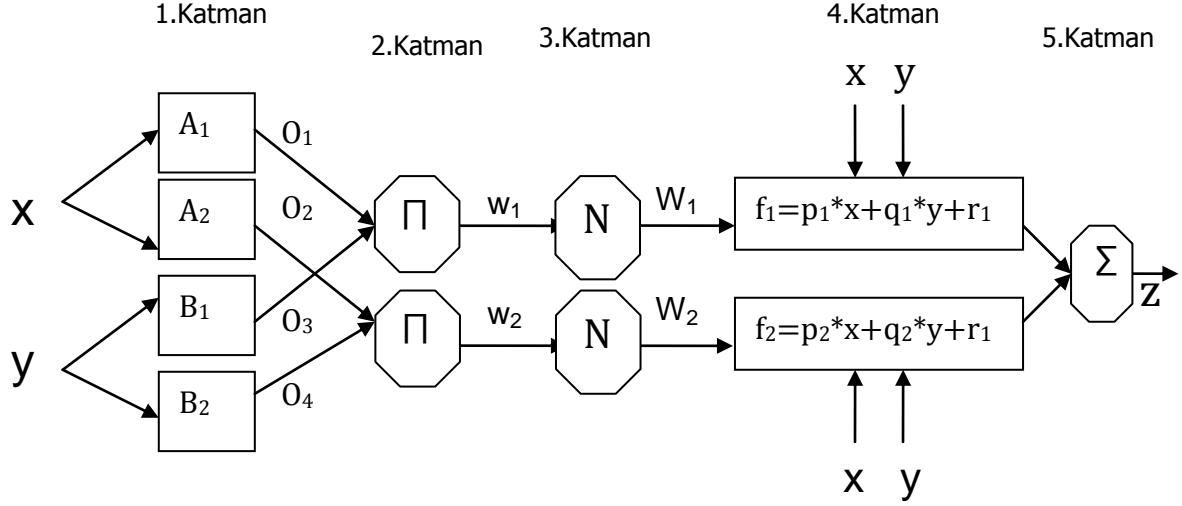
Kural 1: Eğer $x = A_1$ ve $y = B_1$ ise O Halde;

$$f1 = p1 * x + q1 * y + r1 \quad (4.1)$$

Kural 2: Eğer $x = A_2$ ve $y = B_2$ ise O Halde;

$$f2 = p2 * x + q2 * y + r2 \quad (4.2)$$

şeklinde ifade edilir [7,13]. Bu yapıya karşılık gelen, eşdeğer ANFIS mimarisi Şekil 4.1'de gösterilmiştir. ANFIS mimarisinde aynı katmanda bulunan düğümler, aşağıda da gösterildiği üzere aynı düğüm fonksiyonlarına sahiptirler.



Şekil 4.1. İki Girişli İki Kurallı ANFIS Yapısı [13].

1. Katman

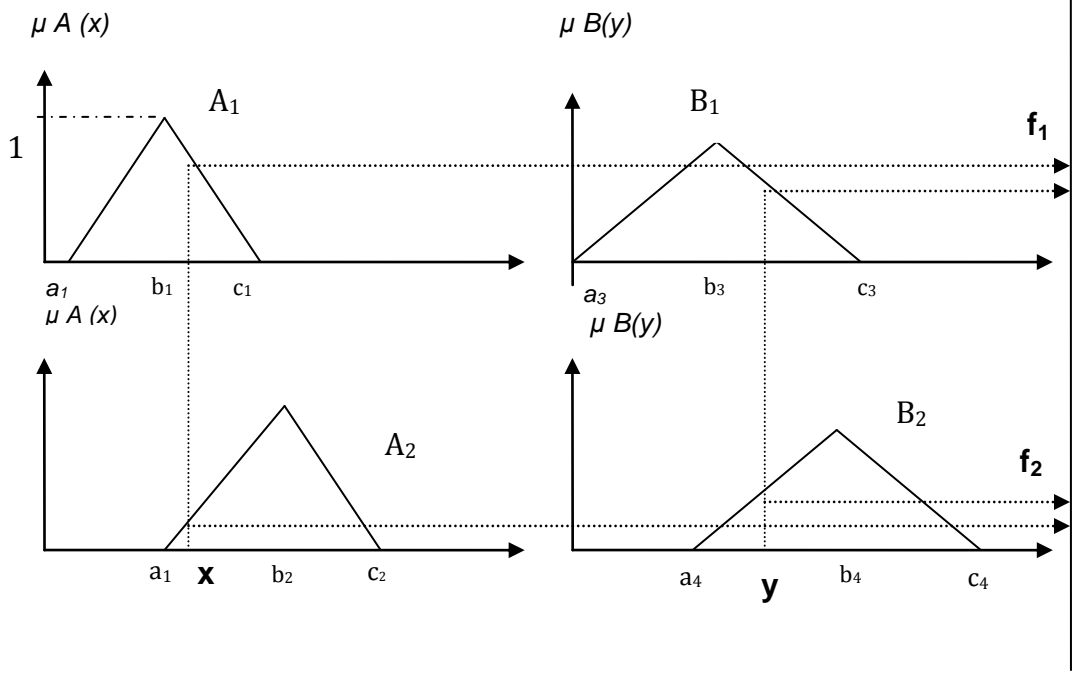
Bu katmanda giriş üyelik fonksiyonları ile bulanıklaştırma (fuzzification) işlemi yapılır. Katmanda yer alan bir i düğümünün çıkışı olan O_{1i} , aşağıdaki gibi tanımlanır.

$$O_{1i} = \mu_{A_i}(x), \quad i = 1,2 \text{ ve} \quad (4.3)$$

$$O_{1i} = \mu_{B_i}(y), \quad i = 3,4 \text{ için.} \quad (4.4)$$

Burada x ve y düğümün girişini, A_i ve B_i ise söz konusu düğümüne ait bulanık kümeyi ifade etmektedir. μ ise, fonksiyonun belirlenen noktadaki ağırlığını (değerini) ifade eder. Burada A_i ve B_i için söz konusu üyelik fonksiyonları, uygun bir biçimde parametrelendirilmiş herhangi bir üyelik fonksiyonu olabilir. Örneğin Şekil 4.2'te belirtilen üçgen fonksiyonu kullanılabilir [16]. Fonksiyonun maximum değeri 1, minimum değeri 0'dır. Burada $\{a_i, b_i, c_i\}$ parametre kümesidir ve bu parametreler **Dayanak Noktası Parametreleri** (premise parameters) olarak adlandırılırlar [18,19]. Örnekte 4

adet üyelik fonksiyonu olduğundan toplam 12 adet dayanak noktası parametresi bulunmaktadır.



Şekil 4.2. Bulanıklaştırma işlemi [13].

2. Katman

Bulanık kuralların oluşturulduğu katmanlardır. Bu katmandaki her bir düğüm, kendisine gelen sinyallerin çarpımını çıkış olarak üreten, \square ile etiketlenmiş sabit bir düğümdür. Her bir düğümün çıkışı, her bir kural için gerçekleştirme derecesini oluşturur. Şekil 4.2'deki ANFIS yapısının 2. Katmanının düğüm çıkışlarını yazacak olursak ;

$$w_1 = \mu A_1(x) * \mu B_1(y) \quad (4.5)$$

$$w_2 = \mu A_2(x) * \mu B_2(y) \quad (4.6)$$

Bu bağtıda çarpma işlemi yerine bulanık (VE) işlemi icra eden, başka T-norm işlemleri de düğüm fonksiyonu gibi kullanılabilirler [14].

3. Katman

3. katmanda yer alan her bir düğüm, N ile etiketlenmiş, sabit bir düğümdür. Bir önceki katmanda belirlenen her kuralın gerçekleştirme derecesinin, bütün kuralların gerçekleştirme dereceleri toplamına oranını hesaplar (Denklem 4.7-4.8). Bu katmanda yer alan düğümlerin çıkışları, hesaplanışlarına uygun olarak normalize edilmiş gerçekleştirme dereceleri olarak adlandırılırlar.

$$W_1 = w_1 / (w_1 + w_2) \quad (4.7)$$

$$W_2 = w_2 / (w_1 + w_2) \quad (4.8)$$

4. Katman

Bu katmanda normalize edilmiş her bir kural kendine ait çıkış üyelik fonksiyonu ile çarpılır. Çıkış üyelik fonksiyonları f_1 ve f_2 'dir.

$$f_1 = p_1 * x + q_1 * y + r_1 \quad (4.9)$$

$$f_2 = p_2 * x + q_2 * y + r_1 \quad (4.10)$$

Burada $\{p_i, q_i, r_i\}$ parametre kümesidir ve bu parametreler **Sonuç Parametreleri** (consequence parameters) olarak adlandırılırlar [18]. Örnekte iki adet kural bulunduğu için toplam 6 adet parametre bulunmaktadır.

Denklem (4.9) ve (4.10) kullanılarak 4.Katmanın çıkışlarını aşağıdaki gibi yazabilir:

$$O_{4-1} = W_1 * f_1 \quad (4.11)$$

$$O_{4-2} = W_2 * f_2 \quad (4.12)$$

5. Katman

Son katman olan 5. katman Σ ile etiketlenmiştir ve berraklaştırma yapar. Yapıda toplam çıkışı hesaplamak üzere, kendisine gelen sinyallerin tümünü toplayan, sabit, tek bir düğüm yer alır.

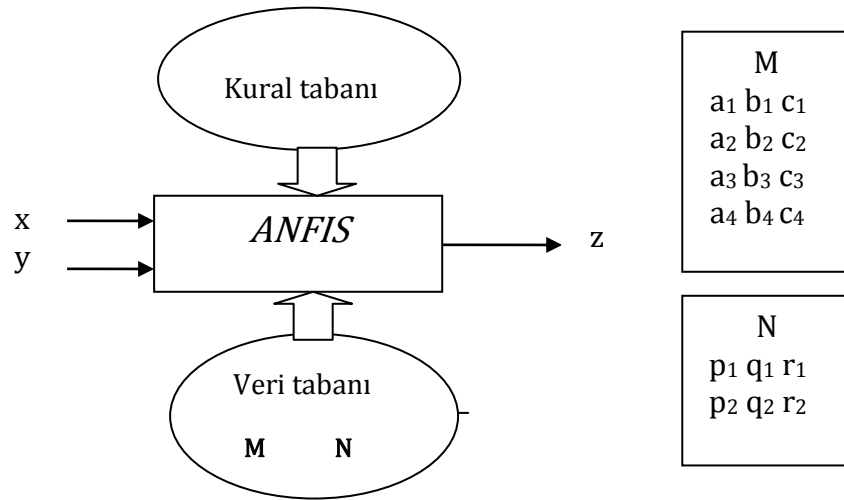
$$z = W_1 * f_1 + W_2 * f_2 \quad (4.13)$$

Bu toplama işlemiyle Sugeno bulanık modelinin işleyişine sahip, adaptif ağ yapısı tamamlanmış olmaktadır [12].

4.2. Parametrelerin Belirlenmesi

Sistem parametrelerinin öğrenme algoritmalarıyla belirlenmesi ANFIS'in en belirgin özelliğidir. Şekil 4.1'deki yapıda giriş üyelik fonksiyonlarına ait 12 giriş parametresi $\{a_i, b_i, c_i\}$, çıkış üyelik fonksiyonlarında ait 6 adet çıkış parametresi $\{p_i, q_i, r_i\}$ bulunmaktadır.

Giriş üyelik fonksiyon sayısı ile parametreleri doğru bir şekilde seçilebildiği takdirde sadece sistem çıkış parametreleri için eğitilerek arzu edilen çıkış değerleri elde edilebilmektedir. Fakat bu uzmanca çalışmayı gerektirmektedir [7]. Sistemin bulanık kural tabanı ile veri tabanından oluşan sözel ve sayısal birleşik yapısı Şekil 4.3'de ifade edilmiştir.



Şekil 4.3. ANFIS sisteminin parametreleri.

4.3. Uygulamaya Göre Öğrenme Yaklaşımları

Sistem bilgilerini öğrenmek ve ağırlıklarını değiştirmek için, giriş verilerinin kullanılması işlemine eğitim veya öğrenme denir. Uygulamaya göre öğrenme metotları on-line ve off-line olmak üzere iki gruba ayrılmaktadır. Uygulama problemine göre bu iki yöntemden birisi seçilir.

Off-line öğrenme sıklıkla kullanılan bir moddur. Bu yaklaşımda ağı farklı bir ortamda eğitilir. Elde edilen ağırlıklarla ağı online uygulamalarda kullanılabilir. Bu aşamada hiçbir öğrenme algoritması uygulanmaz, sadece mevcut ağı parametreleri kullanılarak ileri yönde hesaplama yapılarak çıkış hesaplanır [2].

On-line öğrenme gerçek zamanlı bir öğrenmedir. Bu yaklaşım daha çok öğretilecek sistemin devamlı olarak farklı davranışlar sergilediği uygulamalarda kullanılır. Öğrenme sürekli. Sistem üzerinde ek donanım ve yazılımlar mevcut olduğundan maliyetleri yüksektir [2].

4.4. Hibrid Öğrenme Algoritması

ANFIS ağına ait parametrelerin güncellenmesinde en çok kullanılan algoritma iki aşamalı bir öğrenme algoritması olan hibrid öğrenme algoritmasıdır [20]. Hibrid öğrenme algoritmasında, Şekil 4.3'te de görüldüğü gibi ANFIS ağı yapısına ait parametreler, giriş ve çıkış parametreleri olarak iki kısımda ele alınır. Toplam parametre kümesi; $S = M+N$ şeklinde ifade edilecek olursa, M giriş parametrelerine, N de çıkış parametrelerine karşılık gelir. Hibrid algoritmanın ilk aşaması yada ileri yön geçişi ile ANFIS ağına ait giriş parametreleri, ikinci aşamada yada geri yön geçişinde ise ağıın sonuç parametreleri güncellenir.

Hibrid öğrenme algoritmasının ileri yön geçişini oluşturan ve **en küçük kareler tahmini (LSE)** [18,20] yöntemi kullanılmak suretiyle gerçekleştirilen kısmında, ağıın girişindeki üyelik fonksiyonlarına ait parametreler yada kısaca M ile belirtilen giriş parametreleri sabit tutulur. Böylece ağıın çıkışı, N parametre kümesi içinde bulunan çıkış parametrelerinin, lineer bir kombinasyonu haline gelir. Modellenecek sisteme ait P tane giriş-çıkış verisi yada eğitim datası ile M giriş parametrelerinin verilen değerleri kullanılarak, ağıın çıkışı, matrisel formda,

$$B A = \theta \quad (4.14)$$

şeklinde ifade edilebilir. Matrisel eşitlikte yer alan θ vektörü, N çıkış parametrelerinin elemanlarından oluşan, bilinmeyen vektördür. Bu denklem, standart lineer en küçük-kareler (least-squares) problemini gösterir ve θ için en iyi çözüm, $\|A\theta - B\|^2$ 'nin minimum değeri olan, en küçük kareler tahmini (LSE) θ^* dir.

$$\theta^* = (A' A)^{-1} A' B \quad (4.15)$$

Burada A' , A matrisinin transpozu ise ve eğer $A' A$ singular değilse, $(A' A)^{-1} A'$, A 'nın sahte tersidir [18] [20].

Hibrid öğrenme algoritmasının geri yön geçişinde, N çıkış parametreleri sabit tutulur ve ağırlık çıkışıdaki hata sinyali geriye doğru yayılarak, eğim düşümü (gradient descent) [15] yöntemiyle M giriş parametreleri güncellenir. Geri yön geçişinde giriş parametreleri (α ile gösterilmiştir) için güncelleme formülü aşağıdaki gibidir;

$$\Delta \alpha = -\eta * \frac{\partial E}{\partial \alpha} \quad (4.16)$$

α : giriş parametresi, η : öğrenme katsayısı, E : ağırlık çıkışıdaki **hata** değeridir.

$$E = \sum_K (d - z)^2 \quad (4.17)$$

d : arzu edilen sistem çıkışı, z : elde edilen sistem çıkışı, K : giriş çıkış çift adedini göstermektedir.

Öğrenme katsayısı η , öğrenmenin hızını etkileyen ve 0 ile 1 arasında tasarımcı tarafından seçilen bir değerdir. Öğrenme algoritmasında hata değeri E belli bir limitin altına düşüncüye kadar M kümesi elemanı giriş parametreleri güncellenmeye devam edecektir.

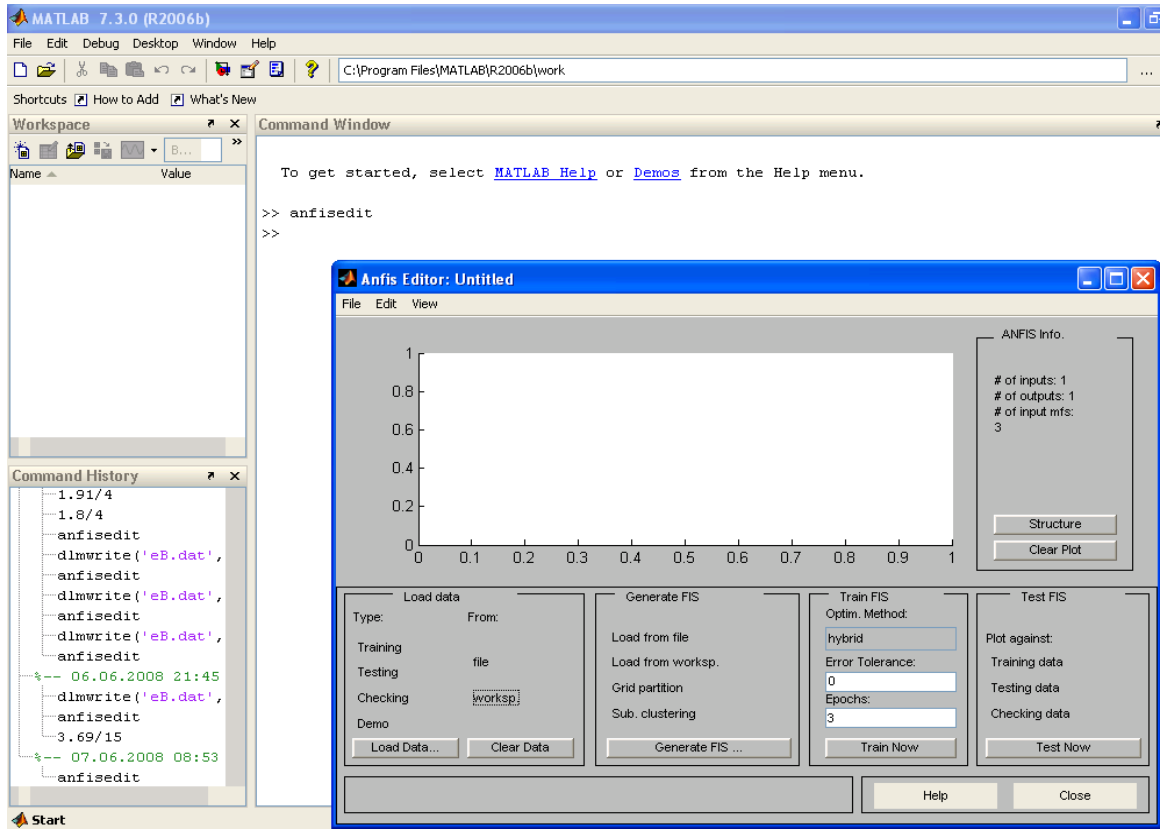
Geri yayılım algoritmasında **hatanın parametreye göre kısmi türevi** değişim oranında belirleyici olmaktadır. Parametre değişim miktarı $\Delta \alpha$ Parametrenin yeni değerini aşağıdaki gibi etkilemektedir:

$$\alpha(t+1) = \alpha(t) + \Delta \alpha \quad (4.18)$$

4.4. MATLAB Simulink'te ANFIS

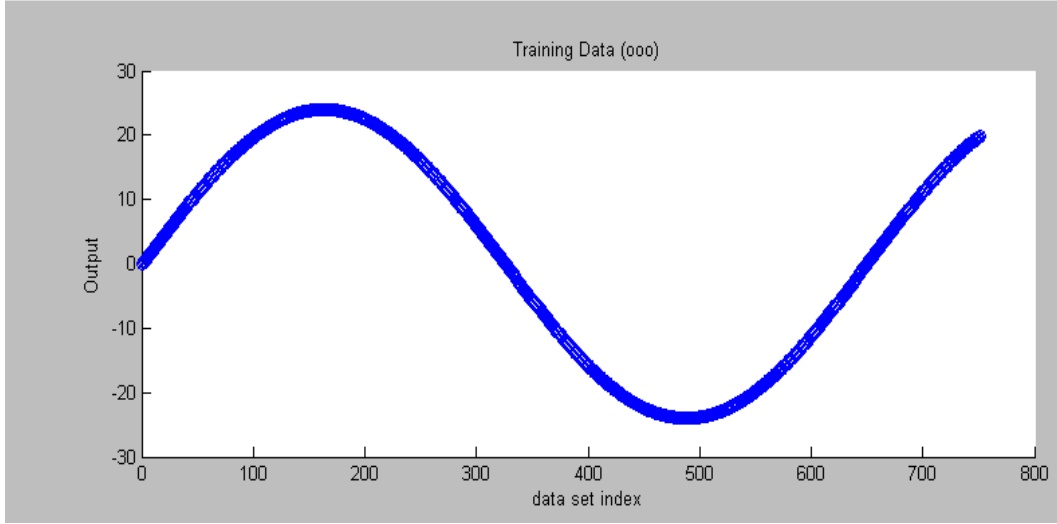
Önceki bölümlerde ANFIS'in Sugeno tipi bulanık fonksiyonların özel bir formu olduğu vurgulanmıştı. MATLAB Simulink'te [21] ANFIS çalışmaları için özel bir editör tasarlanmıştır. Çalışmanın MATLAB Simulink'te yapılacak olması nedeniyle bu aşamada ANFIS Editörünün incelenmesi uygun olacaktır.

MATLAB açıldığında karşımıza gelen Command Window'a *anfisedit* yazdığımızda ANFIS Editörü çalışır ve karşımıza aşağıdaki ekran gelir (Şekil 4.5).



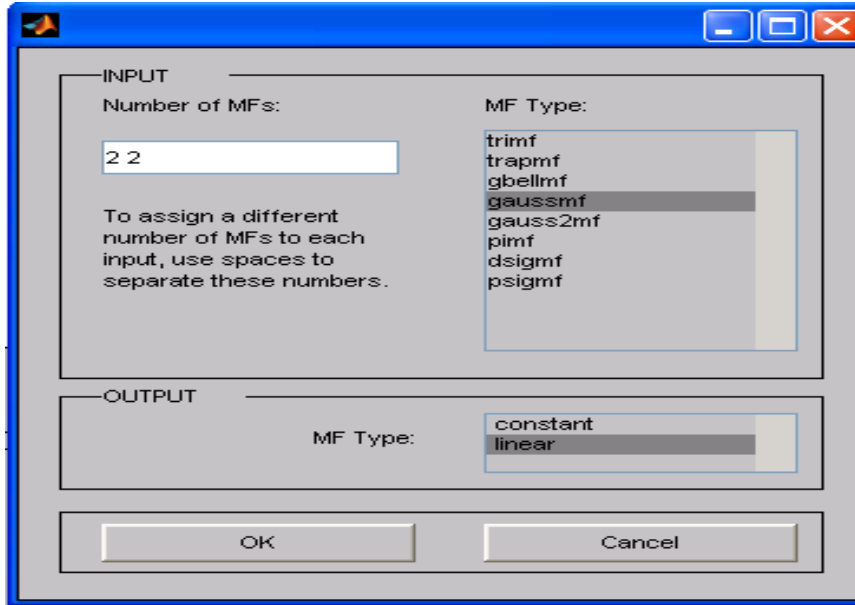
Şekil 4.4. ANFIS Editörünün açılması.

ANFIS Editöründe, eğitim için gerekli veriler MATLAB Workspace'den ve File'den transfer edilerek kullanılabilir. Bunun için *load data* bölümünde eğer örneğin veri File'den alınacaksa önce *file* ikonu sonra *load data* iconu seçilir. Verinin saklanma şekli array şeklinde; 1 ve 2'nci sütunlarda ANFIS giriş verileri, 3'üncü sütunda ANFIS çıkış verisi olacak şekilde depolanmış olmalıdır. Bu durumda ANFIS Editörü ekranına ANFIS çıkış verisi gelmektedir:



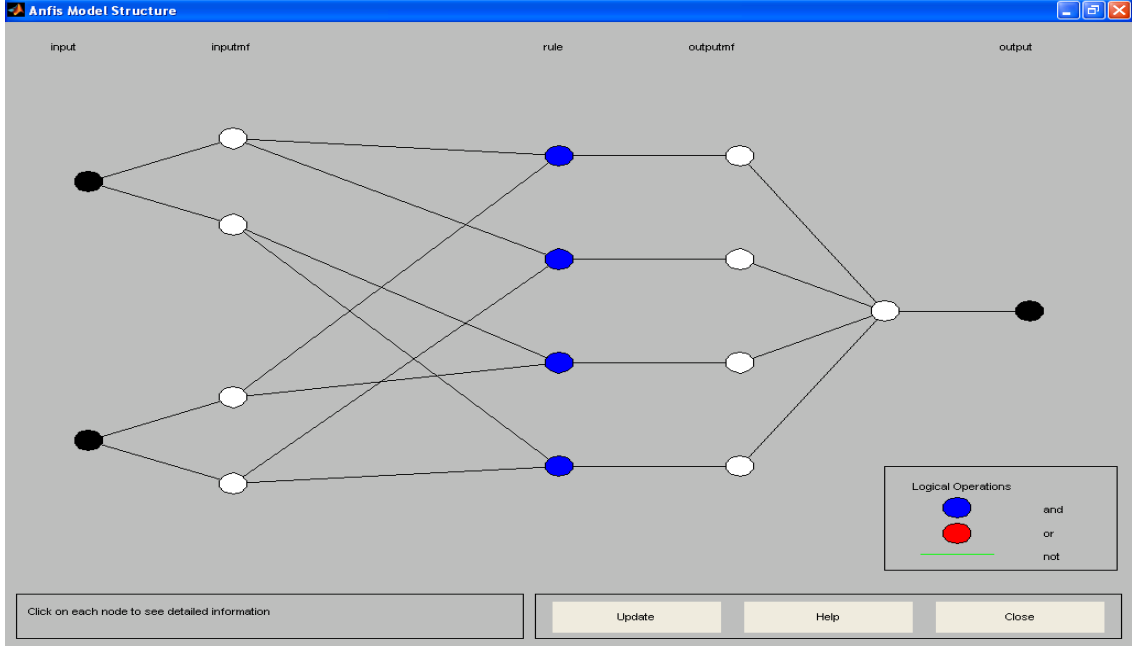
Şekil 4.5. ANFIS Editörüne verinin yüklenmesi.

Üyelik fonksiyonlarının sayısı ve tipi, ikinci bölümde Generate FIS iconu kullanılarak seçilir. Örneğimizde giriş üyelik fonksiyonu olarak ikişer üyelik fonksiyonu gauss olarak; çıkış üyelik fonksiyonunun ise lineer seçilmiştir.



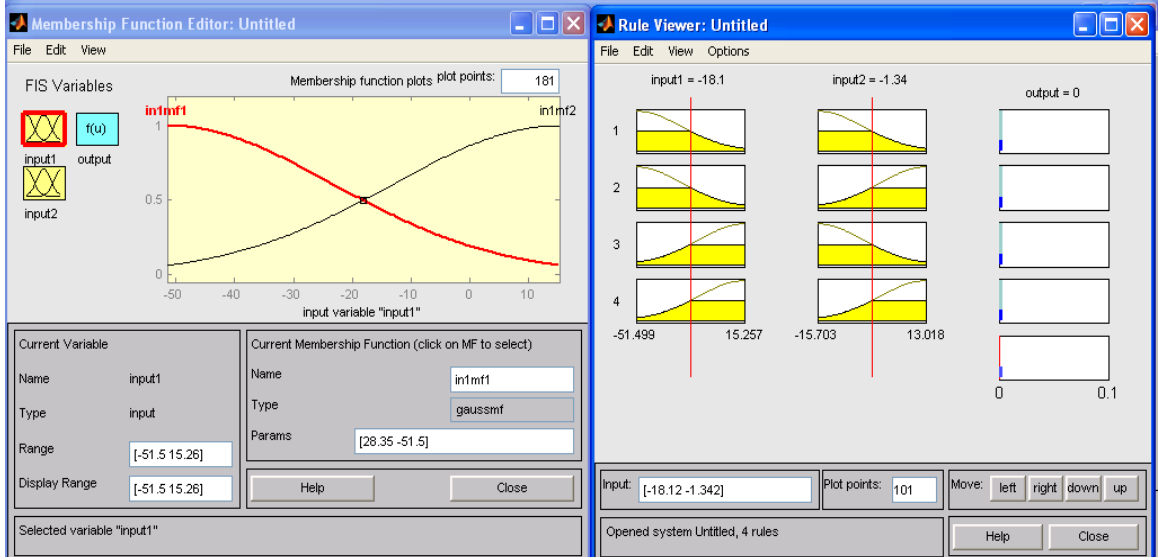
Şekil 4.6. ANFIS parametrelerinin seçilmesi.

Structure ikonunu seçilerek iki girişe bağlı dört kurallı ANFIS yapısı görülebilir (Şekil 4.8).



Şekil 4.7. ANFIS yapısı.

Üyelik fonksiyonların sayısı ve şekli ile katsayıları *Edit* ikonundan *Membership functions* seçilerek takip edilebilir. ANFIS'in oluşan kural yapısı ise *View* ikonundan *Rules* seçilerek görülebilmektedir (Şekil 4.9).



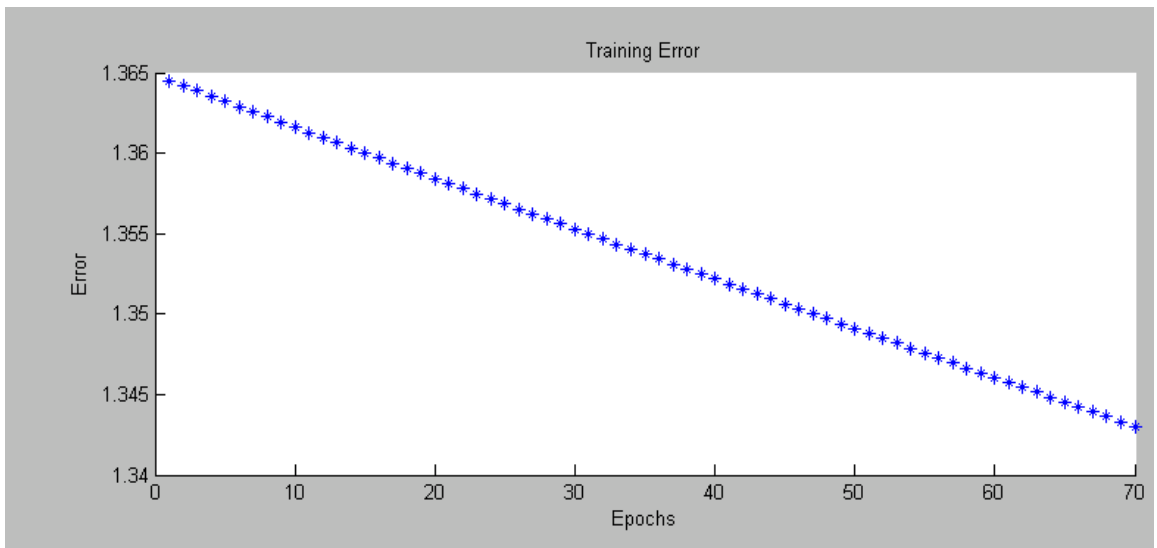
Şekil 4.8. Üyelik fonksiyonları ve kurallar.

Editörde üçüncü bölüm *Train FIS* ismini almıştır ve ANFIS'in eğitimi için ayrılmıştır (Şekil 4.10). Kullanılacak eğitim metodu *hybrid* veya *backpropagation* olarak seçilebilmekte; eğitim döngü sayısı epochs olarak sisteme önceden girilebilmektedir. Elde edilmek istenen minimum hata *error tolerance* kısmına yazıldığında eğitim hedeflenen bu değerde sona erdirilir.

The image shows a software interface for training an ANFIS model. It is divided into two main sections: 'Train FIS' and 'Test FIS'. In the 'Train FIS' section, the 'Optim. Method' is set to 'hybrid'. Below it, there is a numerical input field for 'Error Tolerance' set to 0.01, and another for 'Epochs' set to 70. A 'Train Now' button is located at the bottom of this section. The 'Test FIS' section has a 'Plot against' dropdown menu with options for 'Training data', 'Testing data', and 'Checking data'. A 'Test Now' button is at the bottom of this section. At the very bottom of the dialog, there are 'Help' and 'Close' buttons.

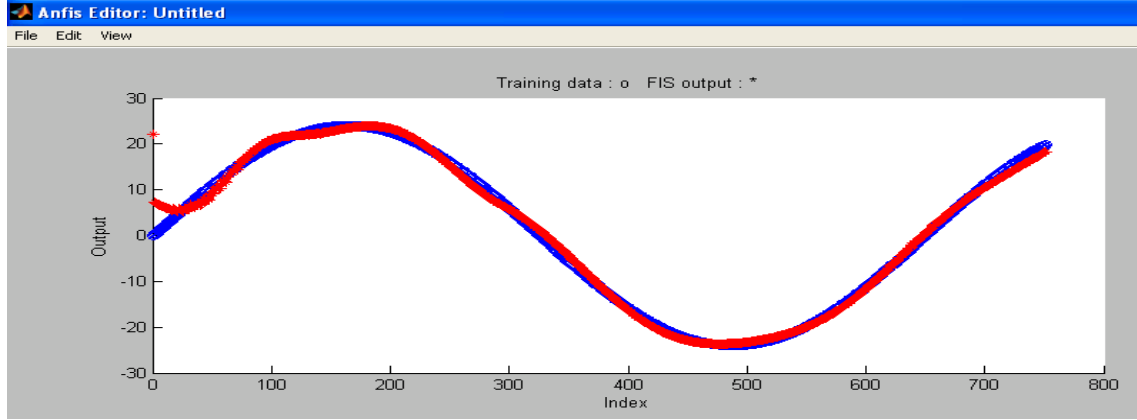
Şekil 4.9. Eğitim için koşulların girilmesi.

Elde edilen eğitim / hata oranı ANFIS Editör skobunda eğitim devam ederken online çizilir.



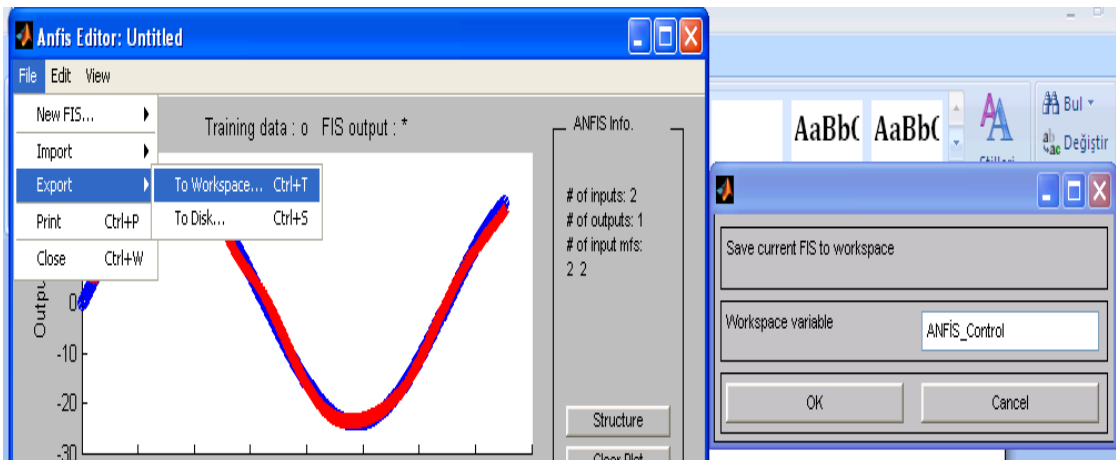
Şekil 4.10. ANFIS Editöründe eğitim / hata oranının gösterilmesi.

Editörün dördüncü bölümü kullanılarak eğitimin sonucu elde edilen veri ile hedeflenen sonuç verisi ile *test* edilebilmekte, *skopta* izlenebilmektedir (Şekil 4.12).



Şekil 4.11. ANFIS eğitim sonucunun hedef sonuçla karşılaştırılması.

Eğitimi tamamlanan ANFIS, Simulink'te tasarlanan bir devrede denetleyici olarak kullanılabilir. Bunun yapılabilmesi için file ikonundan *export to workspace* işleminin yapılması, workspace'den kullanılacağı devreye çağrılabilmesi için ise ANFIS'e bir isim verilmesi gerekmektedir (Şekil 4.13). Benzer şekilde diskte dosya olarak saklanması için file ikonundan *export to disk* işleminin yapılması gerekmektedir. Fakat daha sonra kullanılmak istendiğinde tekrar ANFIS Editörüne çağrılarak tekrar *workspace*'e transfer edilmesi gerekir.



Şekil 4.12. Eğitilen ANFIS'in workspace'e aktarımı.

5. DC-DC ÇEVİRİCİLER

DC-DC Çevirici, bir DC giriş geriliminden farklı bir değerde çıkış gerilimi üreten elektronik bir cihazdır. Çıkış değeri giriş değerinden düşük veya yüksek olabileceği gibi negatif değerli de olabilir.

DC-DC Çeviriciler cep telefonu ve laptop gibi bataryadan beslenen elektronik cihazlar için çok önemlidir. Bu cihazlarda tek bir bataryadan farklı gerilim değerleriyle beslenen birçok devre bulunmaktadır. DC-DC Çeviriciler bu gereksinimi yerine getiren bir metot sunmaktadır [22].

Bir gerilimi diğerine dönüştürmenin en basit yolu gerilim bölücü devre kullanmaktır. Bu teknik, gerilim kaynağına seri bağlanmış iki dirençle girişten daha düşük seviyede çıkış elde edilebilmesini sağlar. Fakat bu yapı birçok dezavantajlara sahiptir. Bunlar:

- Yük(load) direnci hakkında bilgi sahibi olmayı zorunlu kılar.
- Çıkış gerilimi ayarlanabilir değildir.
- Giriş değerinden daha yüksek bir çıkış elde etmek mümkün değildir.
- Dirençteki ısınma güç kaybına yol açar.
- Topraklama direnç devresinde bir düğüm olarak tanımlanmadığı takdirde negatif bir çıkış elde edilemez [24].

Yukarıdaki olumsuzlukların giderilebilmesi amacıyla farklı devre tasarımları yapılmıştır. Bunların en önemlilerinden olan **anahtarlı moda çalışan DC-DC çeviricilerden** bahsedilecektir. Konunun daha anlaşılabilir olması için bazı terimlerin verilmesi uygun olacaktır.

5.1. DC-DC Çeviricilerle İlgili Bazı Terimler

Düşürücü çevirici (step down converter): Çıkış gerilimi giriş geriliminden daha düşük olan çeviricilerdir.

Yükseltici çevirici (step up converter): Çıkış gerilimi giriş geriliminden daha yüksek olan çeviricilerdir.

Devamlı akım modu: Çevirici devresindeki endüktans akımı ve manyetik alan içinde depolanan enerjinin hiçbir zaman sıfıra düşmemesidir.

Devamsız akım modu : Çevirici devresindeki endüktans akımı ve manyetik alan içinde depolanan enerji sıfıra düşebilir [24].

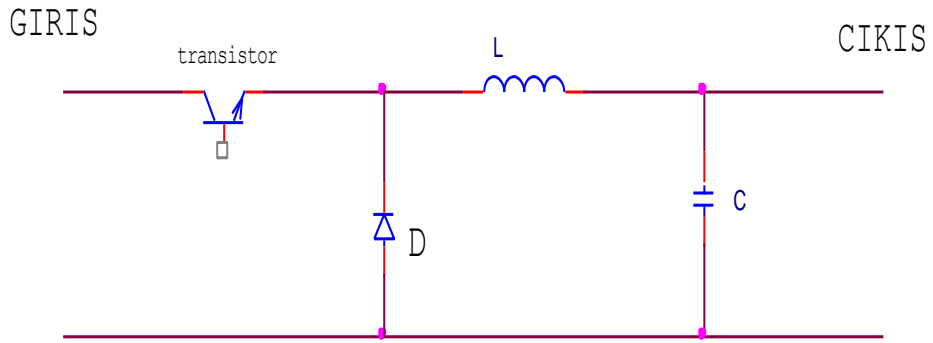
Anahtarlama Modlu DC-DC Çeviriciler: Bu devrelerde DC gerilim bir endüktansın veya transformatörün uçları arasına belli bir zaman diliminde uygulanır.

(Bu zaman dilimi 100 kHz ile 5 MHz arasında olabilir) . Bu devre elemanlarının içinden akımın geçmesine, dolayısıyla da enerjinin manyetik olarak depolanmasına yol açar. DC gerilim kaynağı kapatılır ve enerjinin kontrollü bir şekilde çıkışa transferine olanak verilir. DC kaynağının açık/kapalı olduğu zamanlar ayarlanarak çıkıştaki gerilimin seviyesi istenilen düzeyde tutulabilir. Bu çevirim metoduyla gücün boşa harcanmasının önüne geçilmiş ve bataryanın kullanım süresi uzatılmış olmaktadır.

Anahtarlama işleminde yaşanması olası riskleri önlemek amacıyla da transistörler kullanılmaktadır.

Bundan sonraki bölümde anahtarlı modda çalışan başlıca devreler olan **Düşürücü, Yükseltici ve Düşürücü-Yükseltici** Çeviriciler anlatılacaktır.

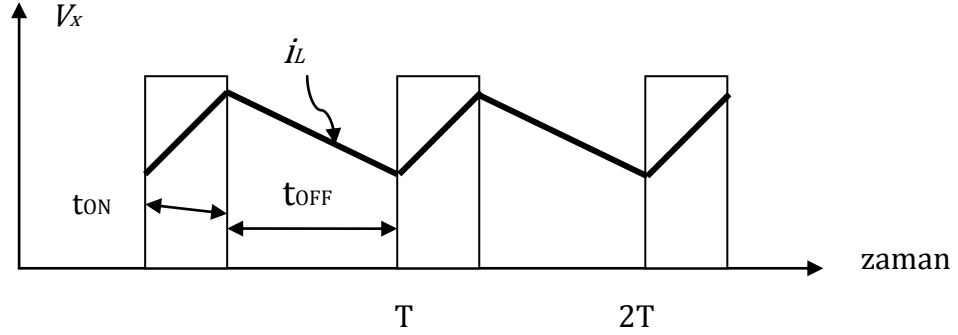
5.2. Düşürücü Çevirici (Step Down Converter)



Şekil 5.1. Düşürücü Çevirici.

Bu devrede transistör ON durumda iken V_g gerilimi endüktansın uçları arasına uygulanır. Bu gerilim I_L akımını artırır. Transistör OFF durma geçtiğinde I_L akımı diode üzerinde akmaya devam eder azalmaya başlar. OFF zamanı boyunca diyotun uçları arasındaki gerilimin değeri V_x 'tir.

Devamlı akım modunda I_L akımı sıfıra inmeden transistör tekrar ON duruma geçirilir. V_x geriliminin ortalama değeri transistörün ON durumunda ne kadar kaldığına bağlıdır.



Şekil 5.2. Düşürücü çeviricide gerilim ve akım değişimi.

Devrenin gerilim değişimini analiz etmek için endüktans üzerindeki akımını bir periyot boyunca inceleyelim:

$$V_x - V_o = L \frac{di}{dt} \quad (5.1)$$

Akım değişimini yazarsak:

$$di = \int_{ON} (V_x - V_o) dt + \int_{OFF} (V_x - V_o) dt \quad (5.2)$$

Kararlılık durumu göz önüne alındığında **T** periyodu boyunca periyot başlangıcı ve sonundaki akım değeri değişmeyecektir. Gerilimler arasında basit bir ilişki kurmak için transistör ve diyotun uçları arasındaki gerilimi sıfır kabul ile mükemmel bir anahtarlama olduğunu varsayıyoruz:

ON zamanında $V_x = V_{in}$ ve OFF zamanında $V_x = 0$. Buradan;

$$0 = di = \int_0^{t_{ON}} (V_{in} - V_o) dt + \int_{t_{ON}}^{t_{ON}+t_{OFF}} (-V_o) dt \quad (5.3)$$

Buradan da,

$$(V_{in} - V_o)t_{ON} - V_o t_{OFF} = 0 \quad (5.4)$$

$$\frac{V_o}{V_{in}} = \frac{t_{ON}}{T} \quad (5.5)$$

elde edilir. Ve "çalışma oranı" **D**'yi tanımlarsak:

$$D = \frac{t_{ON}}{T} \quad (5.6)$$

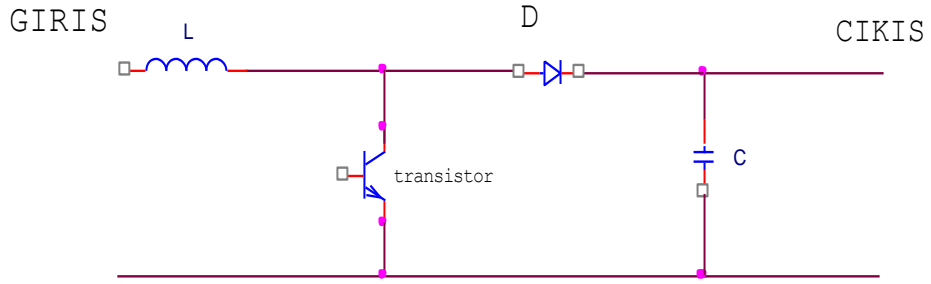
bulunur. Buradan giriş ve çıkış gerilimleri arasındaki ilişkinin,

$$V_o = D \times V_{in} \quad (5.7)$$

olduğu görülmektedir. Tüm bu eşitlikler I_L endüktans akımının sıfıra inmediği koşuluyla (devamlı akım modu) geçerlidir [25].

5.3. Yükseltici Çevirici (Step Up Converter)

Şekil 5.3 Yükseltici çeviricidir. Bu devre giriş geriliminden daha yüksek çıkış gerilimi elde etmek için kullanılır.



Şekil 5.3. Yükseltici Çevirici.

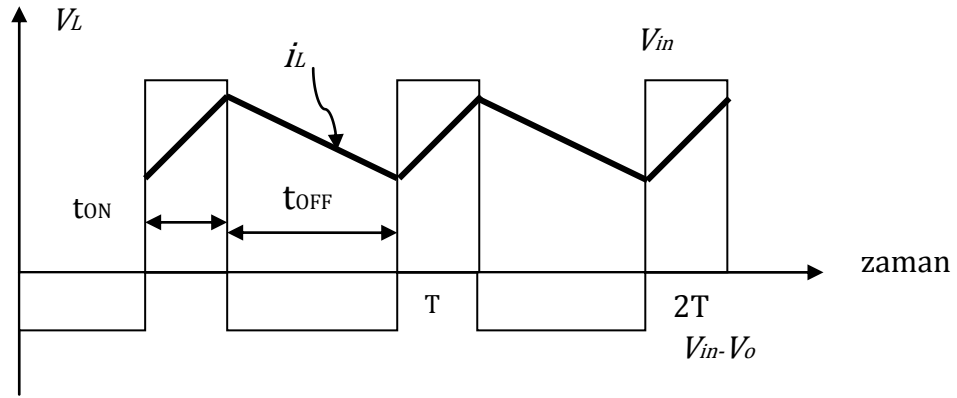
Transistor **ON** durumundayken $V_x = V_{in}$, ve **OFF** durundayken endüktans akımı diyot üzerinden akar ve bu durumda, $V_x = V_o$ olur. Bu analiz I_L akımının sıfıra inmediği koşulda (devamlı akım modu) geçerlidir. Kararlılık durumu göz önüne alındığında T periyodu boyunca periyod başlangıcı ve sonundaki akım değeri değişmeyecektir. Endüktans üzerindeki gerilim Şekil 5.4'te gösterilmiştir. Ortalama gerilim sıfırdır;

$$V_{in} t_{ON} - (V_{in} - V_o) t_{OFF} = 0 \quad (5.8)$$

Bu denklem düzenlendiğinde,

$$\frac{V_o}{V_{in}} = \frac{T}{t_{OFF}} = \frac{1}{1-D} \quad (5.9)$$

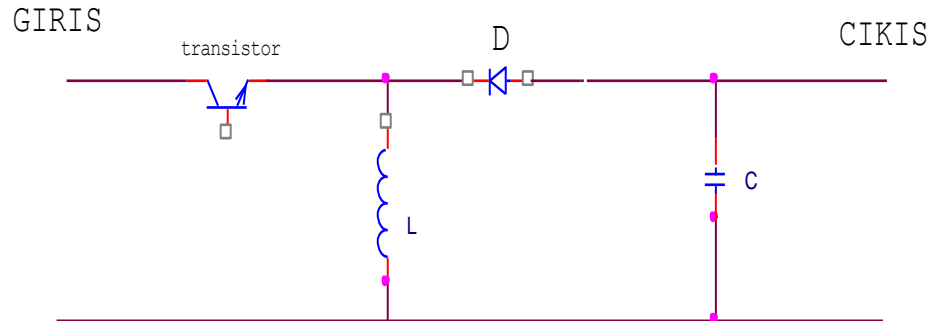
elde edilir.



Şekil 5.4. Yükseltici çevirici gerilim ve akım değişimi.

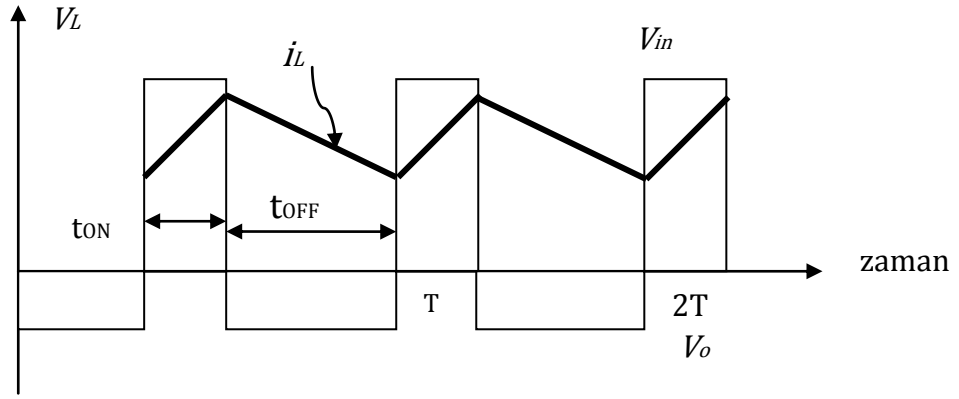
Çalışma oranı "D" 0 ile 1 arasında olduğundan çıkış gerilim değeri giriş değerinden her zaman daha büyük olmak zorundadır [25].

5.4. Düşürücü-Yükseltici Çevirici



Şekil 5.5. Düşürücü-Yükseltici Çevirici.

Devamlı akım modunda transistor ON durumundayken $V_x = V_{in}$, OFF durumundayken $V_x = V_o$ olur. Endüktans üzerindeki net akım değişimi ve ortalama gerilim bir periyot boyunca sıfırdır.



Şekil 5.6. Düşürücü-Yükseltici Çevirici Gerilim ve Akım Değişimi.

$$V_{in}t_{ON} - V_o t_{OFF} = 0 \quad (5.10)$$

Giriş ve çıkış gerilimleri arasındaki ilişki

$$\frac{V_o}{V_{in}} = \frac{D}{1-D} \quad (5.11)$$

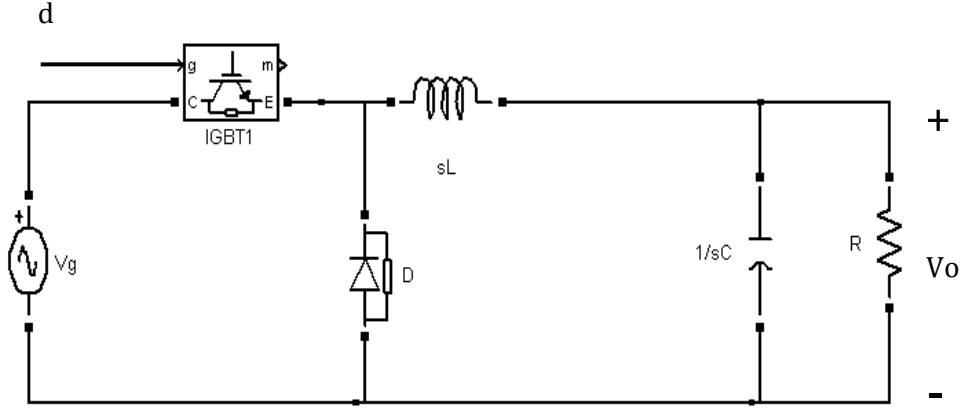
Duty ratio "D" 0 ile 1 arasında olduğundan çıkış geriliminin değeri giriş geriliminin değerinden büyük ya da küçük olabilir. Eksi işareti çıkış geriliminin ters işaretli olduğunu göstermektedir [25].

5.5. Düşürücü Çeviricinin Transfer Fonksiyonu

Çalışmamızda kullanacağımız çevirici türü düşürücü çeviricidir. Denetleyicilerin tasarımına geçmeden önce devre yapısına karar verilmesi ve kontrol girişinden çıkışa ve kaynak girişinden çıkışa transfer fonksiyonların incelenmesi gerekmektedir.

Devrenin kritik elemanı olan transistör ON olduğunda ve OFF olduğunda, iki farklı ve bağımsız girişe bağlı olarak iki farklı devre ortaya çıkmaktadır. Bu iki devrenin tabi olarak iki farklı transfer fonksiyonu vardır.

Şekil 5.7'de gösterilen devre iki kutuplu alçak geçiren filtre (lowpass filter) özelliği göstermektedir [26].



Şekil 5.7. Buck çeviricinin s - düzleminde ifade edilmesi.

İki kutuplu alçak geçiren filtrenin transfer fonksiyonu:

$$G(s) = \frac{1}{1 + s\frac{L}{R} + s^2LC} \quad (5.12)$$

Süperpozisyon yöntemi kullanıldığında çıkış (V_o) ile kaynak girişi (V_g) arasındaki elde edilen kazanç değeri;

$$Gv_g = \frac{V_o}{V_g} = D \quad (5.13)$$

Çıkış (V_o) ile kontrol girişi (d) arasında elde edilen kazanç değeri;

$$Gv_d = \frac{V_o}{d} = \frac{V_o}{D} \quad (5.14)$$

Her iki transfer fonksiyonu yukarıdaki devre için yazılabilir. Kaynaktan çıkışa transfer fonksiyonu:

$$Gv_g(s) = \frac{D}{1 + s\frac{L}{R} + s^2LC} \quad (5.15)$$

Kontrölden çıkışa transfer fonksiyonu;

$$Gv_d(s) = \frac{V_o}{D} \frac{1}{1 + s\frac{L}{R} + s^2LC} \quad (5.16)$$

Devre elemanlarının deęerlerinin seilmesinde ve PID denetleyicinin tasarlanmasında kşe frekans ω_o ile quality faktr Q kavramları nem tařımaktadır. ω_o ($2\pi f_0$) devrenin kritik frekansıdır. Q deęerinin seilmesi ise iki dereceli sistemlerde devrenin harcayacaęı gcn bir lsdr ve sistemin kşe frekansında alıřtıęı durumda, yařanan faz deęiřiminin hızının kontroln yapmaktadır.

alıřılacak devre iin kşe frekansı olarak $f_0=1$ Khz ve quality faktr $Q=10$ olarak seilmiřtir.

Dřrc evirici devrenin elemanlarının deęerleri bu durumda;

$$Q = R\sqrt{\frac{C}{L}} \quad (5.17)$$

ve

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \quad (5.18)$$

eřitlikleri gz nne alınarak

$$L=160 \mu\text{H}$$

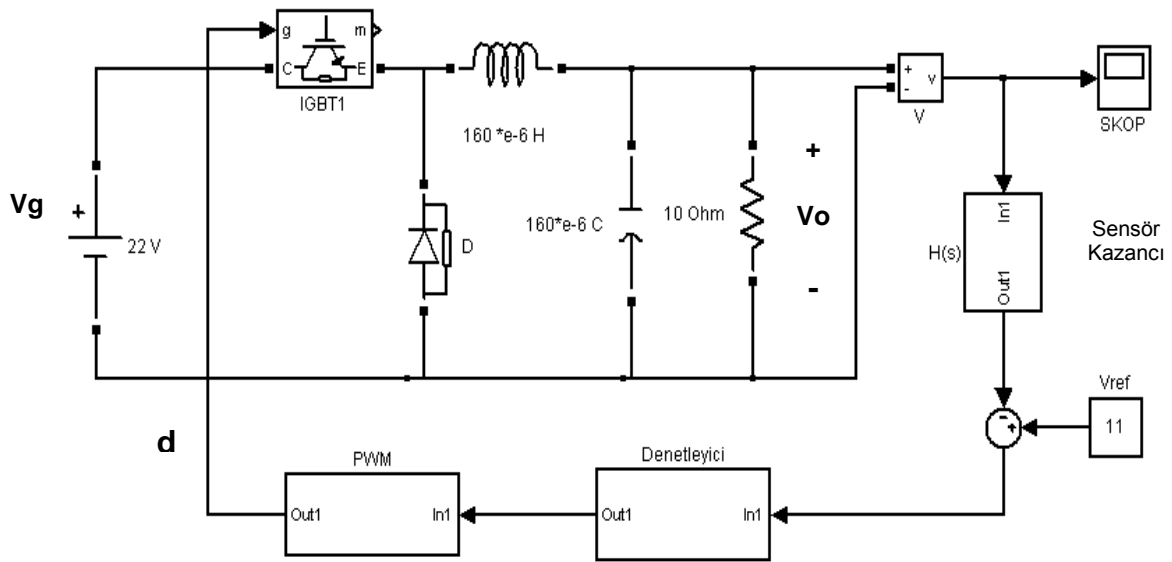
$$C=160 \mu\text{F}$$

$$R=10 \Omega$$

olarak seilebilir.

6. DÜŞÜRÜCÜ ÇEVİRİCİ İÇİN PID TASARIMI

Üzerinde çalışılacak çevirici türü olan düşürücü çevirici (step down converter), dc kaynak giriş gerilimini daha düşük pozitif bir gerilim değerine sabitlemektedir. Bu sabit değer elde edilmesi için, geri beslemeli bir denetleyici tarafından üretilen kontrol sinyali kullanılabilir. Kontrol sinyali bir anahtarlama sinyali; yani bir Darbe Genişlik Modülasyonu; PWM (pulse width modulation) devre çıkışı olmalıdır. Öyleyse tasarlanacak denetleyici bloğun yapısı; düşürücü çeviricinin mevcut çıkışını giriş olarak alan geri beslemeli bir kontrolör (PID veya ANFIS) ile kontrolör çıkışını anahtarlayacak PWM'den ibarettir.



Şekil 6.1. Düşürücü çeviricinin kontrol edilmesi.

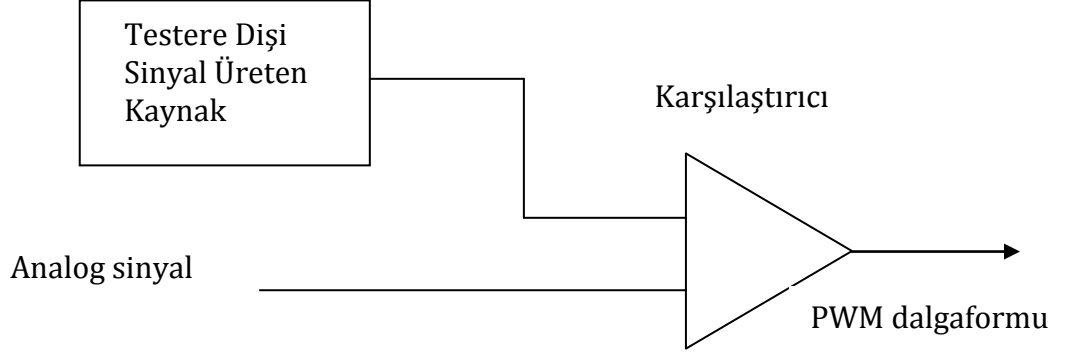
Şekilde (Şekil 6.1) sensör kazancı çıkış değerinin hangi oranda geri beslemeye katkı sağlayacağını belirlemek için kullanılır. PWM, denetleyici ne olursa olsun transistörün ON ve OFF durumda kalma zamanını belirleyecek olan sinyali üreten mekanizma olarak önemli bir işlevi getirmektedir. Denetleyici tasarımına geçmeden önce hatasız çalışan bir PWM ara devresinin tasarlanmasına ihtiyaç vardır [23].

6.1. Darbe Genişlik Modülasyonu (PWM)

PWM kontrol sinyali d , dijital ve periyodik bir sinyaldir. Her periyotta, sinyalin ON kalma zamanı, PWM'in analog giriş sinyali ile doğru orantılı olarak değişir. Bu güncelleme ile buck çeviricinin enerjisi kontrol edilerek çıkışında istenen sonuç elde

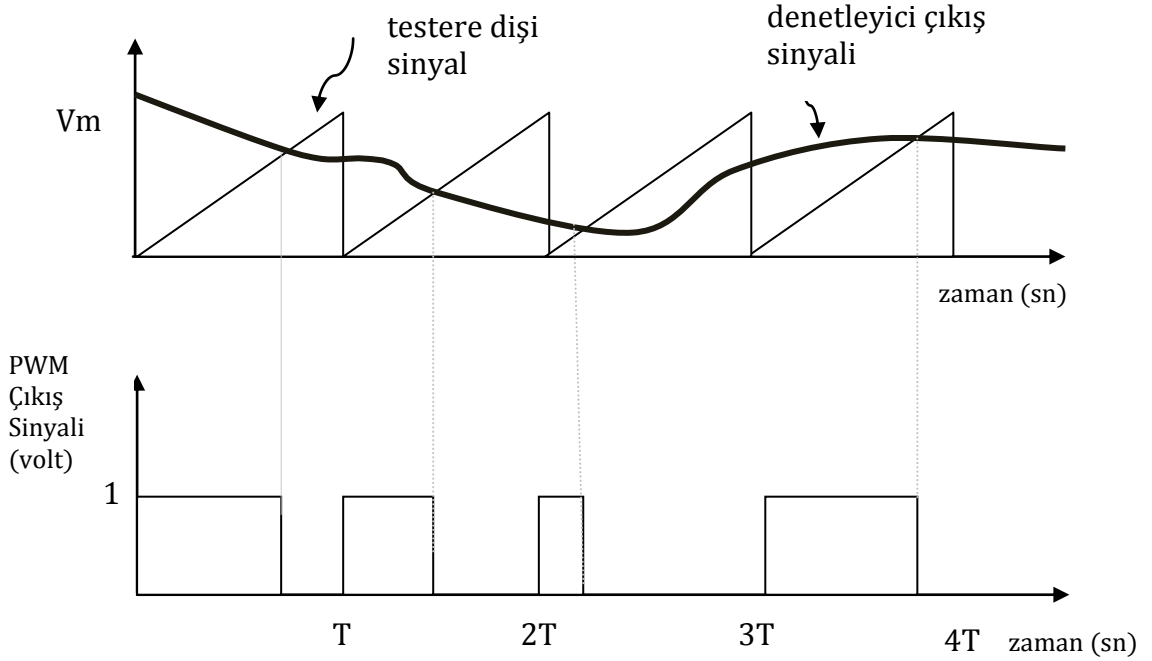
edilmeye çalışılır. Güncelleme işleminde kullanılan elemanlar; karşılaştırıcı (comparator), f_s frekansında testere dişi sinyal (sawtooth) üreten kaynak ve denetleyicinin analog çıkış sinyalinden ibarettir (Şekil 6.2). Testere sinyalinin frekansı f_s 'tir ve,

$$f_s = \frac{1}{T} \text{ dir.}$$



Şekil 6.2. PWM [26].

Testere sinyalin maksimum değeri V_m 'dir. Eğer analog sinyalin değeri testere sinyalden daha büyük değerli ise üretilen sinyalin değeri 1, aksi halde 0'dır. Bu analog sinyalin V_m 'den büyük tüm çıkış değerleri için çıkışın 1 olacağı, tüm negatif değerler için de 0 olacağı anlamına gelmektedir (Şekil 6.3).



Şekil 6.3. PWM sinyalinin üretilmesi [26].

6.2. PID Denetleyici

Bir sistem için denetleyici tasarlamadaki amaçları sıralamak gerekirse;

1. Yük akımının değişiminden kaynaklanan dalgalanmanın çıkış gerilimine yansımalarını minimumda tutmak,
2. Kaynak gerilindeki değişimin etkisini çıkışta kabul edilebilir sınırlar içinde tutmak,
3. Sistem çıkışında hissedilen bozucu etkinin en kısa zamanda ortadan kaldırılması, sistemin en kısa zamanda kararlı duruma geçebilmesi,
4. Yüzde aşma ve salınım oranlarının limitler içine kalmasıdır.

PID denetleyici iki alt denetleyiciden oluşur: **PD** (proportional + derivative) ve **PI** (proportional + integral). PD denetleyici ile döngü (loop) kazancına sıfır (zero) eklenir. Böylece faz payı (phase margin) değeri artırılmış olur. Faz payı sistem kazancının 1 olduğu frekansta sahip olduğu açı değeridir. Faz payı değeri, sistem transfer fonksiyonunun -180° değerinden uzaklaştırılmasını garantiye alacak şekilde tasarım yapılır. Bu yapılamadığı takdirde sistemin yüksek yüzde aşma ve dalgalanma meydana gelir. Hata sistemde kararsızlığa sebep olabilir. PD denetleyicinin diğer etkisi yüksek frekanslarda hata sinyalinin türevini alıyor olmasıdır [26]. PI denetleyici ise düşük frekanslarda yüksek bir kazanç sebep olur [23]. Bu da hata sinyalinin düşük frekanslı dış etkilere karşı dayanıklı hale gelmesini sağlar.

Sistemlerin kontrolü için sadece geri besleme döngüsü eklemek yeterli olmayabilir; çünkü açık çevrim TF kararlı olan bir sistemin, kapalı çevrim TF'u kararsız olabilir. Kararlı olsa bile salınım ve yüzde aşma oranları istenen düzeyde olmayabilir.

Faz payı Test, Nyquist Kararlılık Kriterinin özel bir formu olup, açık çevrim TF'nunda sadece bir tane kesim frekansı olan düşürücü çevirici gibi sistemlerin kararlılığının güvence altına alınması için kullanılabilecek bir metottür. Kesim frekansı (f_c) açık çevrim kazancın $1=0$ dB olduğu değerdir. Faz payı sistemin açık çevrim TF'nun f_c frekansında sahip olduğu faz değerine 180 eklenerek elde edilir. Sistemin kararlı olması için bu değer pozitif olması gerekir.

6.3. PID Denetleyicinin Tasarlanması

Şekil 6.1'de gösterildiği gibi 22 V kaynak girişine 11 V çıkış değeri ve 1.1 A yük akım değeri hedeflenmektedir. Buna göre bölüm 5.5'te elde edilen transfer fonksiyonlarının elde edilebilmesi için öncelikli olarak D değerinin bulunması gerekmektedir.

$$D = \frac{V_o}{V_g} = \frac{11}{22} = 0.5 = -13.86 \text{ dB 'dir.}$$

$f_o=1 \text{ Khz}$ ve $Q=10=20\text{dB}$,

$L=160 \mu\text{H}$

$C=160 \mu\text{F}$

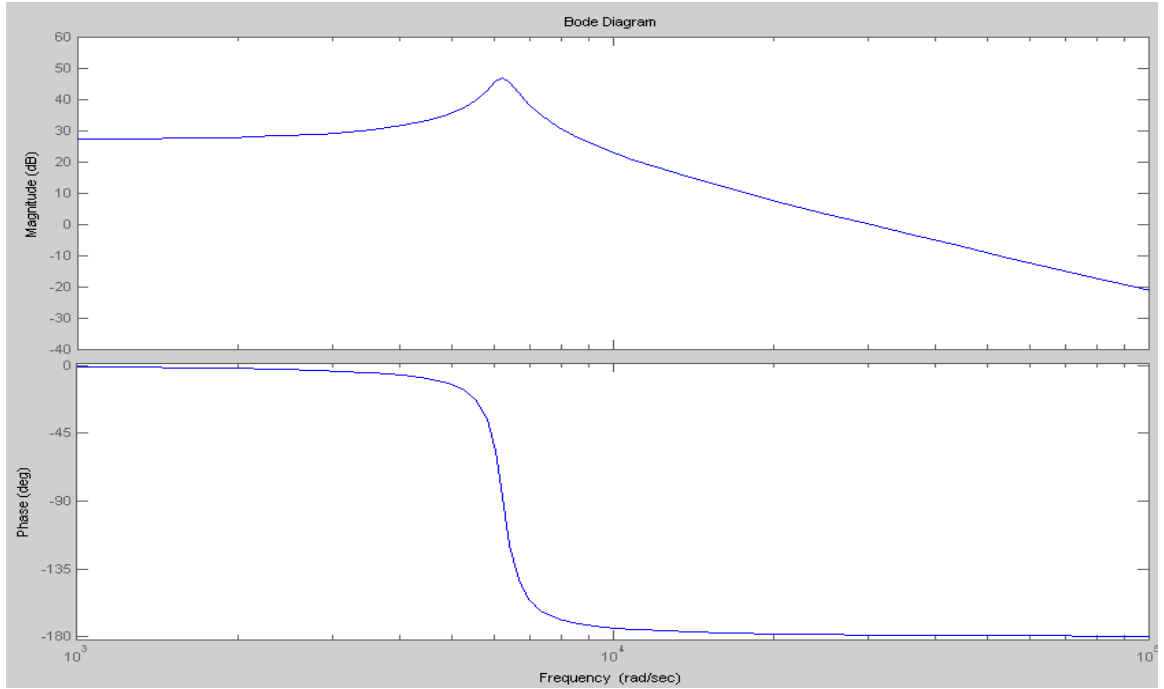
$R=10 \Omega$ olarak seçilmiştir.

Kontrol girişi ile çıkış arasındaki transfer fonksiyon 5.16 eşitliği kullanılarak;

$$Gd_o = 22 \text{ ve}$$

$$Gv_d(s) = \frac{22}{2.56 * 10^{-8} * s^2 + 1.6 * 10^{-5} * s + 1} \quad (6.1)$$

olarak elde edilir. Düşürücü çeviricinin bode diyagramı Şekil 6.4'te gösterilmiştir.



Şekil 6.4. Düşürücü çeviricinin kazanç ve faz – frekans değişimi.

Diyagramda sistemin 1 KHz'de faz değiştirerek -180^0 'ya yaklaştığı görülmektedir. Bu durumda yüksek frekanslarda kararlılığın güvence altına alınması için sisteme PD ilave edilmelidir [27].

Açık çevrim kazancı $T(s)$;

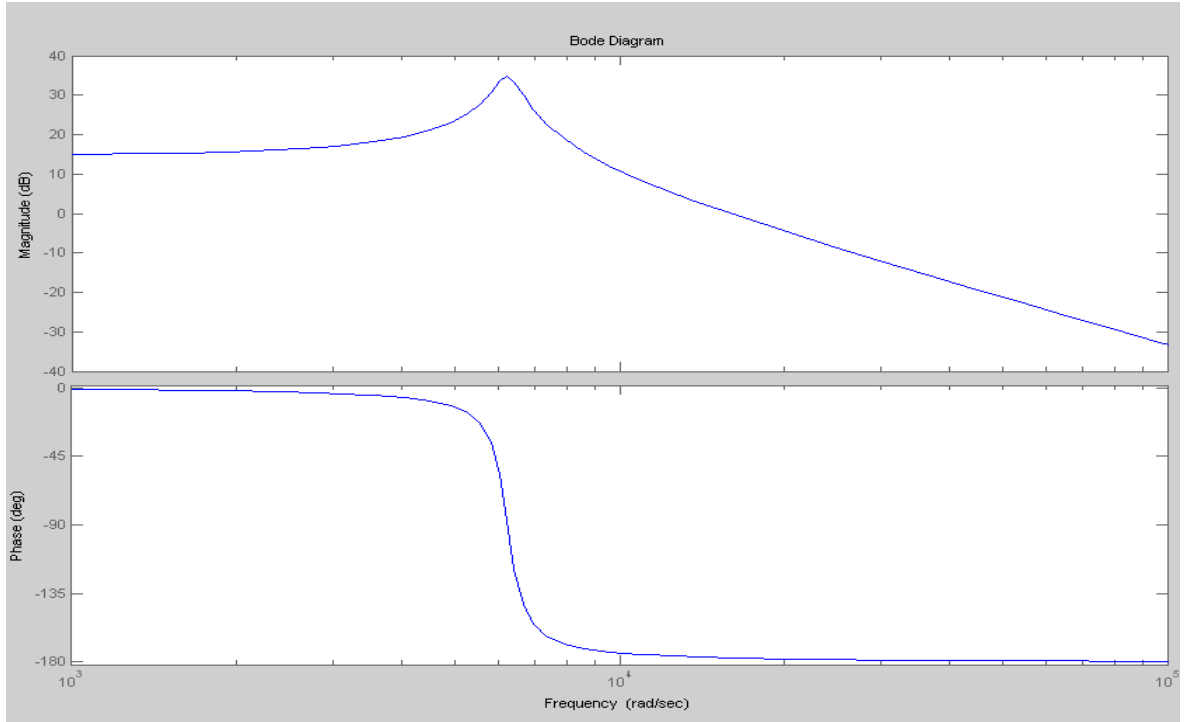
$$T(s) = G_c(s)G_{vd}(s)H(s) \frac{1}{V_m} \quad (6.2)$$

$G_c(s)$ henüz tasarlanmayan denetleyici, V_m testere sinyalin maksimum değeri; $H(s)$ sensör kazancıdır.

$V_m = 4$ ve $H(s) = 1$ olarak alındı. Bu durumda açık çevrim kazancı $T(s)$; ($G_c(s)$ dahil edilmeden) ;

$$T(s) = \frac{5.5}{2.56 \cdot 10^{-8} \cdot s^2 + 1.6 \cdot 10^{-5} \cdot s + 1} \quad (6.3)$$

elde edilir. $T(s)$ için bode diyagramı çizildiğinde (Şekil 6.5); fazın değişmediği kazancın $\frac{1}{4}$ oranında azaldığı görülür.



Şekil 6.5. Buck çeviricinin denetleyici olmadan açık çevrim kazanç ve faz – frekans değişimi.

Yüksek frekanslarda karalılığın güvence altına alınması gereği faz diyagramında açık olarak görülmektedir. Bunu için sisteme PD ilave edilmelidir.

Köşe frekansının; $f_0 = 1 \text{ KHz}$ ve anahtarlama frekansının; $f_s = 100 \text{ KHz}$ olduğunu göz önüne alarak PD için ters dönüm frekansı $f_c = 7000 \text{ Hz}$ olarak seçelim.

Bu durumda f_c frekansında açık çevrim kazancı;

$$Tu_0 * \left(\frac{f_0}{f_c}\right)^2 = 0.1122 = -19 \text{ dB} \quad (6.4)$$

Quality factor $0.5 \leq Q \leq 1$ olarak seçilirse faz margin;

$$\phi = 180 + (T(s)'in \text{ aç\u0311 de\u011feri}) = 60^0 \quad (6.5)$$

olarak seçilebilir. Bu durumda PD denetleyicinin pole ve zero frekansları hesaplanabilir:

$$f_z = \sqrt{\frac{1 - \sin(60^0)}{1 + \sin(60^0)}} = 1.88 \text{ KHz} \quad (6.6)$$

$$f_p = \sqrt{\frac{1 + \sin(60^0)}{1 - \sin(60^0)}} = 26.1 \text{ KHz} \quad (6.7)$$

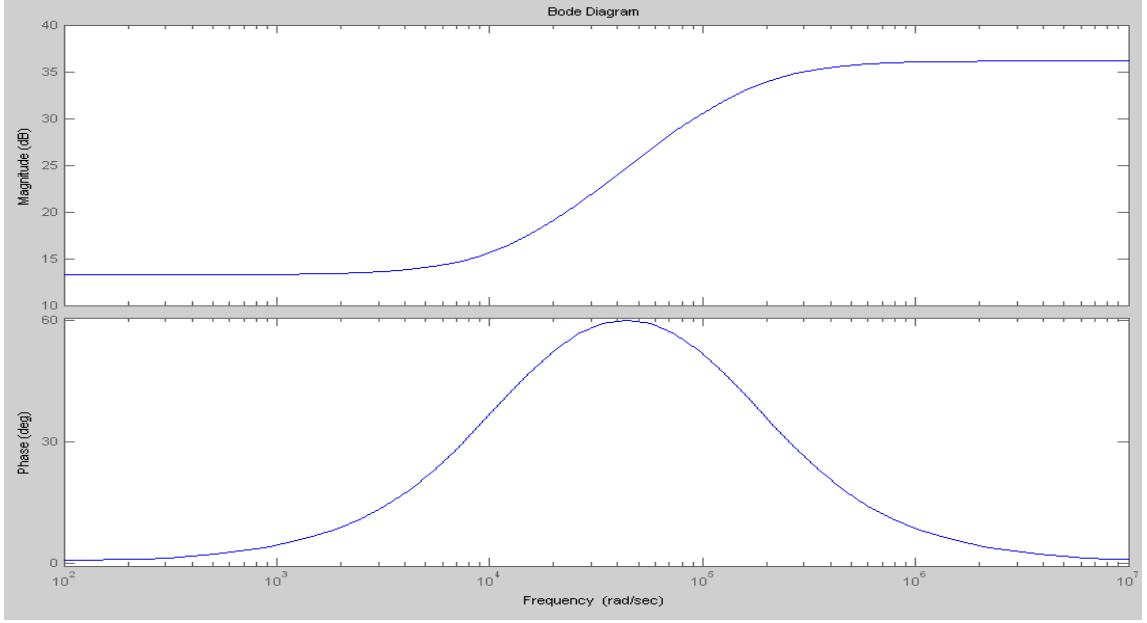
PD kazancı hesaplanırsa;

$$G_{C_0} = * \left(\frac{f_c}{f_0}\right)^2 * \frac{1}{Tu_0} * \sqrt{\frac{f_z}{f_p}} = 4.62 = 13.3 \text{ dB} \quad (6.8)$$

Elde edilen PD (lead) transfer fonksiyonu $G_c(s)$;

$$G_c(s) = \frac{64.14(s+11812)}{s+16400} \quad (6.9)$$

Kazanç ve faz karakteristiği Şekil 6.6'da görülmektedir.

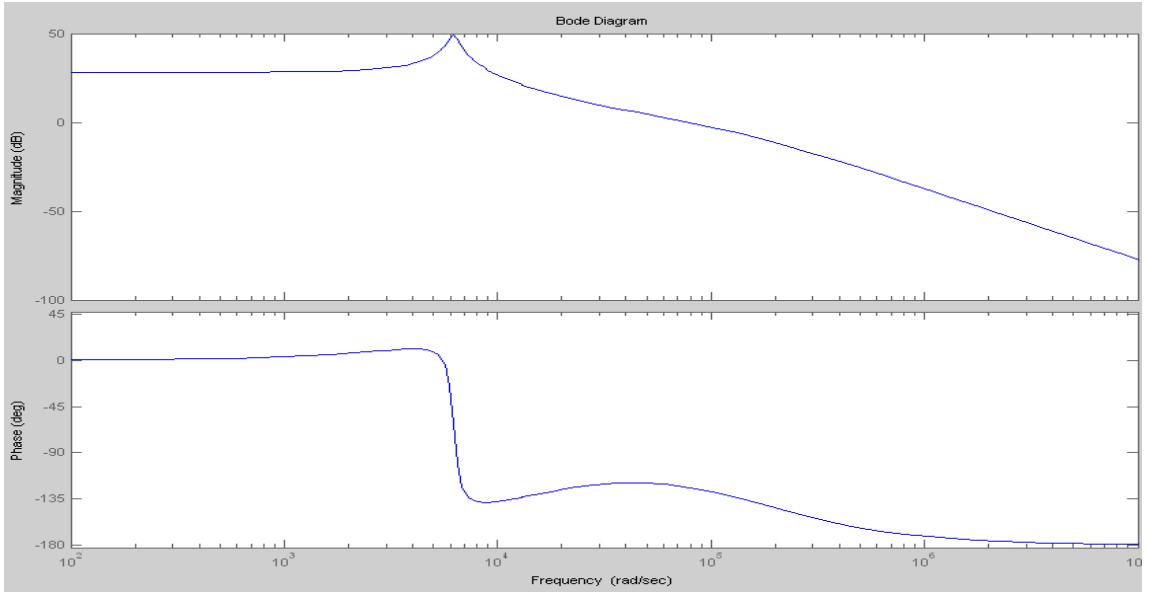


Şekil 6.6. PD karakteristiği

$G_c(s)$ dahil edildiğinde oluşan transfer fonksiyonu $T(s)$;

$$T(s) = \frac{352.8*s+4.167*10^6}{2.56*10^{-8}*s^3+4.214*10^{-3}*s^2+3.624*s+164000} \quad (6.10)$$

$T(s)$ bode diyagramı (Şekil 6.7) incelendiğinde; yüksek frekanslarda açılal değerlerin güvenceye alındığı rahatlıkla görülebilmektedir.

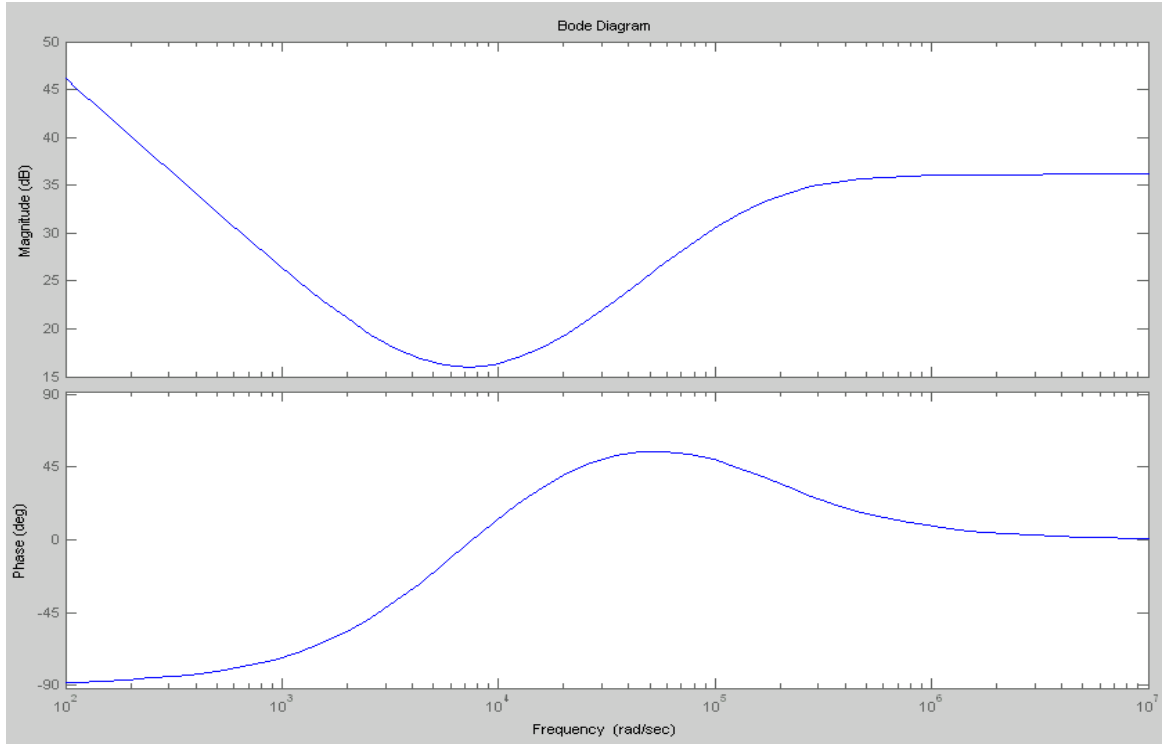


Şekil 6.7. Düşürücü çeviricinin PD ile kazanç ve faz – frekans değişimi

Düşük frekansların güvence altına alınması sisteme sisteme uygun bir frekans değerinde zero eklenmesiyle mümkündür. Bu değer 700 Hz olarak seçildiğinde elde edilen PID (lead+lag) transfer fonksiyonu $G_c(s)$;

$$G_c(s) = \frac{64.14*s^2 + 1.04*s + 3.334*10^9}{s^2 + 16400*s} \quad (6.11)$$

$G_c(s)$ karakteristiğini bode diyagramı (Şekil 6.8) incelendiğinde düşük frekanslarda yüksek kazancın elde edildiğini görmek mümkündür. Kaynak gerilimindeki dalgalanmanın çıkışa çok düşük bir oranda yansımaları beklenebilir.

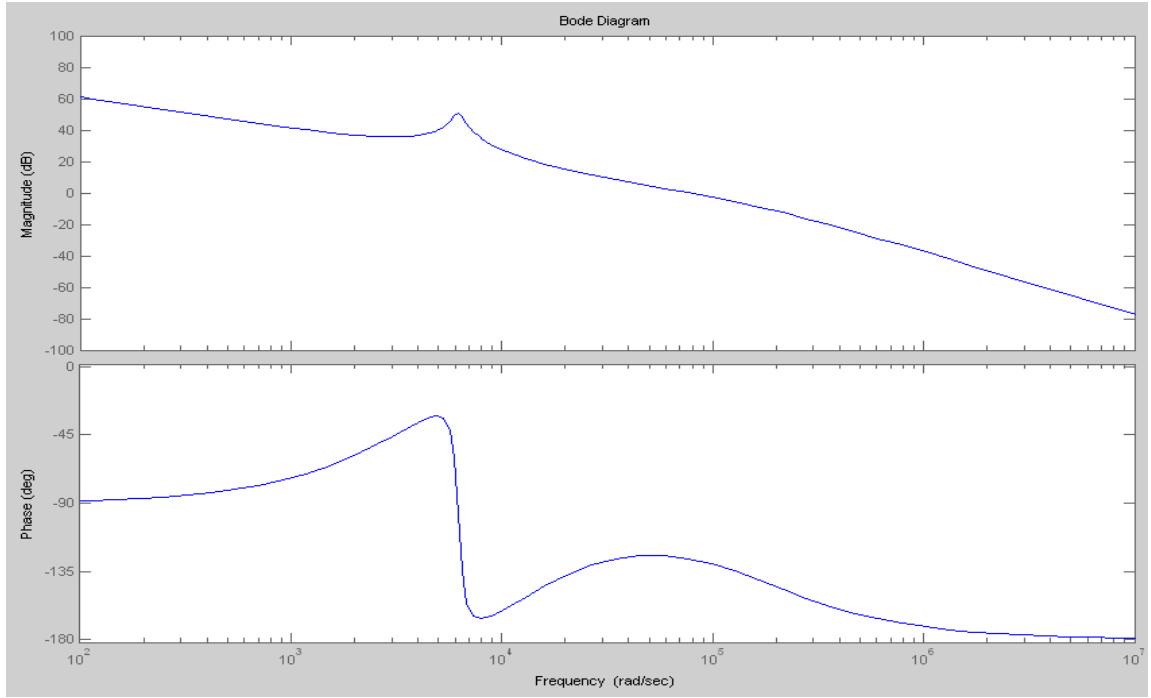


Şekil 6.8. PID karakteristiği.

$G_c(s)$ dahil edildiğinde oluşan transfer fonksiyonu $T(s)$;

$$T(s) = \frac{352.8 * s^2 + 5.72 * s + 1.834 * 10^{10}}{2.56 * 10^{-8} * s^4 + 4.214 * 10^{-3} * s^3 + 3.624 * s^2 + 164000 * s} \quad (6.12)$$

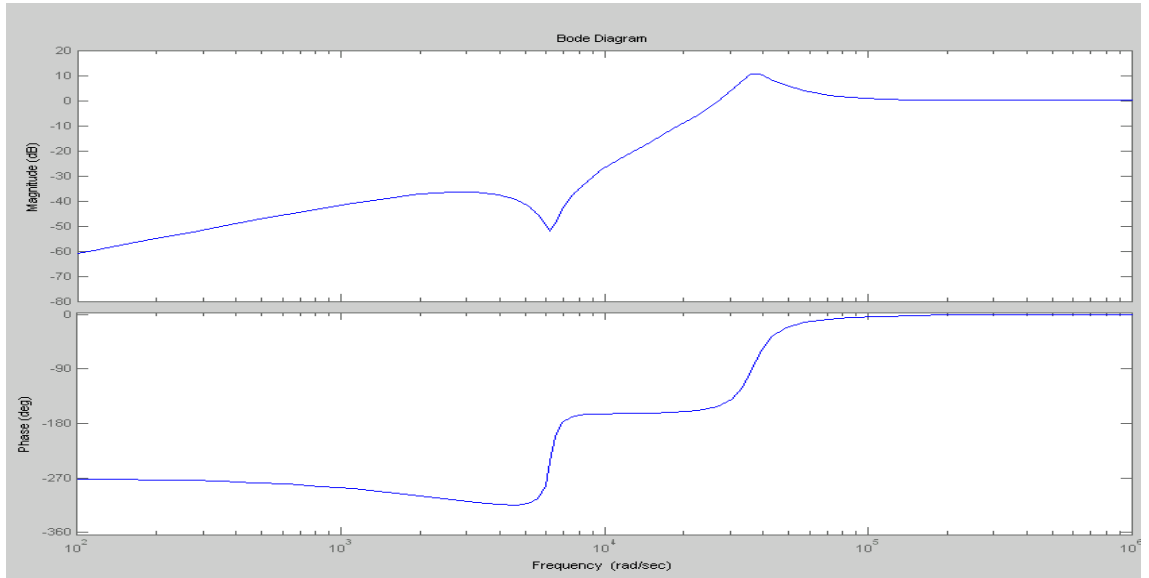
Elde edilen kazanç faz karakteristiği Şekil 6.9'da gösterilmiştir.



Şekil 6.9. PID ile elde edilen kazanç ve faz – frekans değişimi

$1/(1+T(s))$ değeri yazılacak olursa;

$$(1/(1 + T)) = \frac{2.56 * 10^{-8} * s^4 + 4.214 * 10^{-3} * s^3 + 3.624 * s^2 + 164000 * s}{2.56 * 10^{-8} * s^4 + 4.214 * 10^{-3} * s^3 + 3.624 * s^2 + 5.884 * 10^{-6} * s + 1.834 * 10^{10}} \quad (6.13)$$



Şekil 6.10. $1/(1+T(s))$.

(Şekil 6.10)'da $1/(1+T(s))$ karakteristiđi incelendiđinde; f_s frekansında (100 KHz) alıřtırılacak olan sistemin bu frekansta kazancının 1 olduđu grlmektedir. Dřk frekanslarda olduka dřk deđerde kazanç zelliđi ile kaynaktaki gerilim dalgalanmasının sistem tarafından tolere edileceđi ngrlebilir.

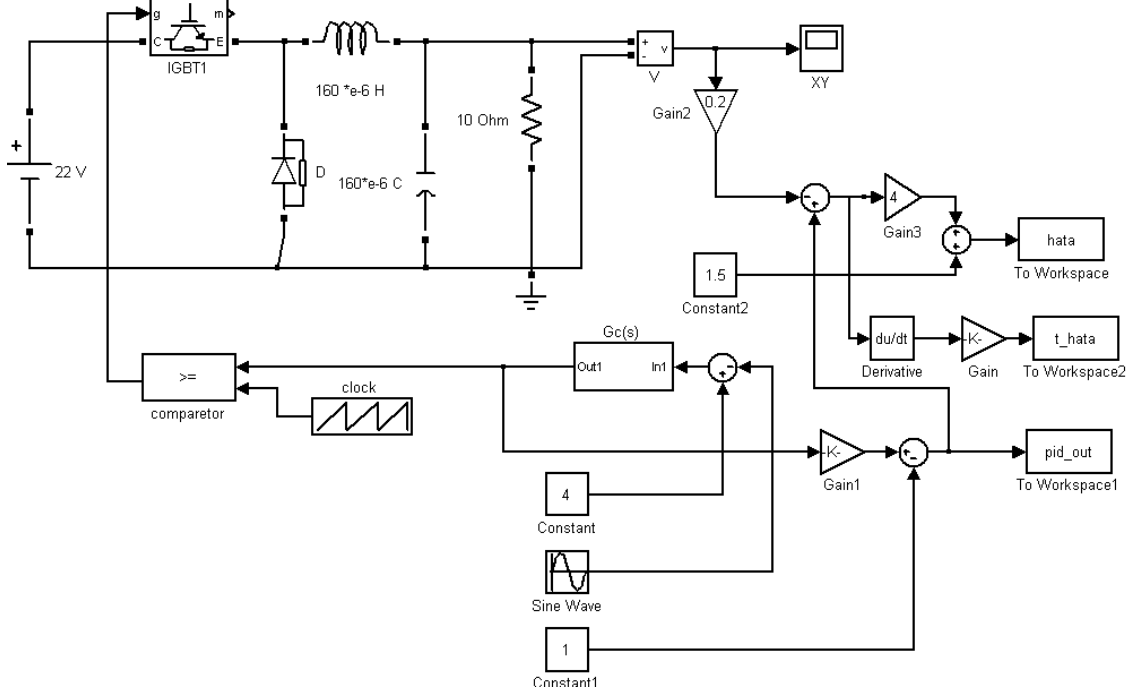
7. DÜŞÜRÜCÜ ÇEVİRİCİ İÇİN ANFIS TASARIMI

ANFIS denetleyici tasarımının en önemli noktasını, doğru eğitim verileriyle sistemin eğitilmesi oluşturmaktadır. Eğitim verilerinin elde edilmesinde 6'ncı bölümde tasarlanan PID denetleyici kullanılmıştır. Bu kullanımla amaç PID kazanımlarından yararlanmak olmuştur.

PID denetleyici çıkış sinyali ile düşürücü çevirici çıkış sinyalinin farkı hata verilerini oluşturmaktadır. Bu durumda ANFIS çıkışı olarak PID çıkışı, ANFIS girişleri olarak hata ve hatanın türevi eğitim verileri kullanılacaktır.

7.1. Eğitim Verilerinin Elde Edilmesi

Sistem için doğru eğitim verilerinin elde edilmesinde dikkat edilen ilk husus; denetlenecek sistemin davranışının eğitim verilerine yansıtılmasıdır. Dikkat edilen ikinci husus ise eğitim veri değerlerinin, PWM yapısında kullanılan testere dişi sinyalin maksimum değeri olan 4 volt ile orantılı olarak ayarlanmasıdır. Bu işlem, sinyal kazançlarının uygun bir şekilde seçilmesi ile uygun sabit değerlerin kullanılması ile yapılmıştır (Şekil 7.1).

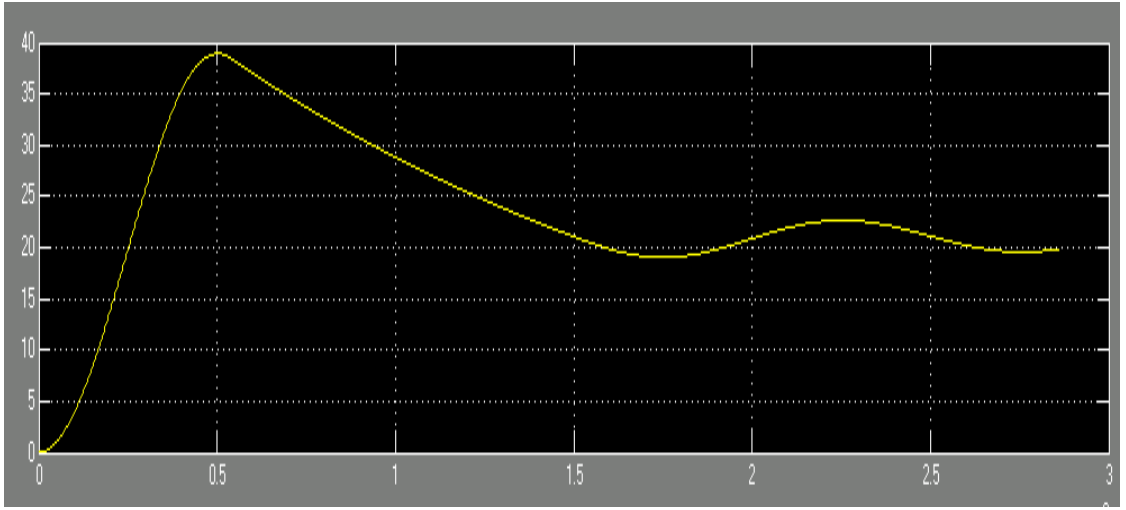


Şekil 7.1. Eğitim verilerinin elde edilmesi.

Şekil 7.1'de gösterilen eğitim düzeneği Denklem (7.1)'deki $v(t)$ test sinyali ile çalıştırılmıştır.

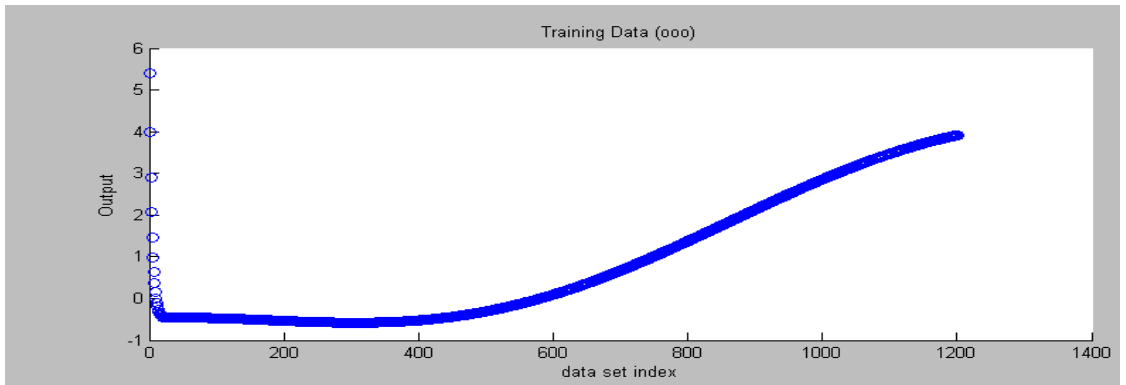
$$v(t) = 4 - 4 * \sin(2700t) \quad (7.1)$$

$v(t)$ test ile elde edilen düşürücü çevirici çıkışı Şekil 7.2'de olduğu gibidir. Düşürücü çeviricinin ON duruma geçerken gösterdiği tepki hızlı bir tırmanış, OFF duruma geçerken nispeten düşük hızda bir iniş özelliği gösterdiği görülmektedir.



Şekil 7.2. Test sinyali ile elde edilen sistem çıkışı (XY).

Test sinyalinin kullanılmasıyla elde edilen eğitim verileri ANFIS'in eğitimi için MATLAB ANFIS Editörüne transfer edilmiştir. PID çıkış verisi Şekil 7.3'te görülmektedir. Düşürücü çevirici karakteristiğinin PID çıkışına yansması rahatlıkla görülebilmektedir.



Şekil 7.3. ANFIS eğitimi için elde edilen PID verisi.

7.2. ANFIS'in Eğitilmesi

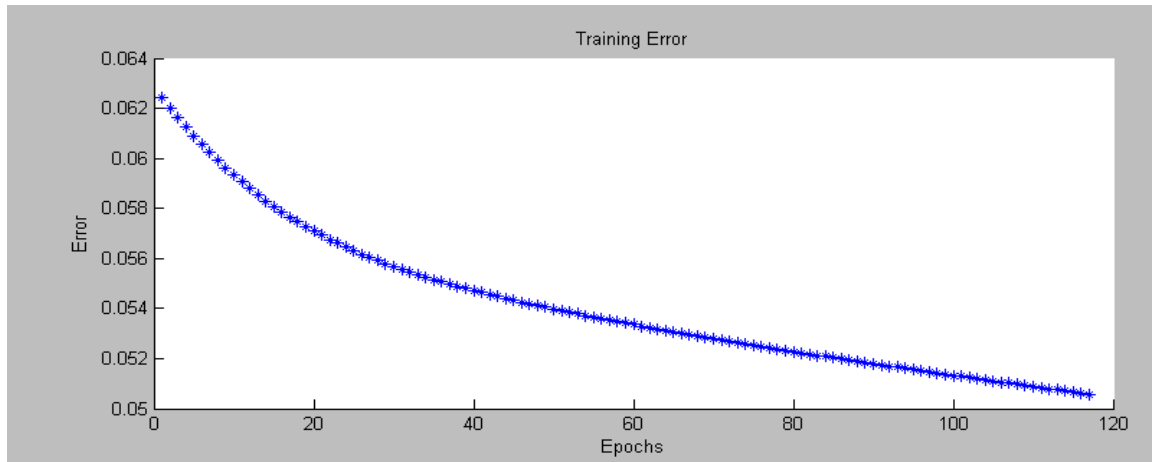
ANFIS yapısında giriş üyelik fonksiyonlarının sayısı, hata ve hata türevi için 7, şekli ise gauss olarak seçilmiştir (Şekil 7.4). Çıkış üyelik fonksiyonlarının özelliği ise Denklem 4.1 ve 4.2'in ifadelerine uygun olarak lineer seçilmiştir.



The screenshot displays the ANFIS parameter selection interface. It is divided into two main sections: 'INPUT' and 'OUTPUT'. In the 'INPUT' section, the 'Number of MFs' is set to 7. The 'MF Type' list includes 'trimf', 'trapmf', 'gbellmf', 'gaussmf', 'gauss2mf', 'pimf', 'dsigmf', and 'psigmf', with 'gaussmf' selected. In the 'OUTPUT' section, the 'MF Type' is set to 'linear'.

Şekil 7.4. ANFIS parametrelerinin seçilmesi.

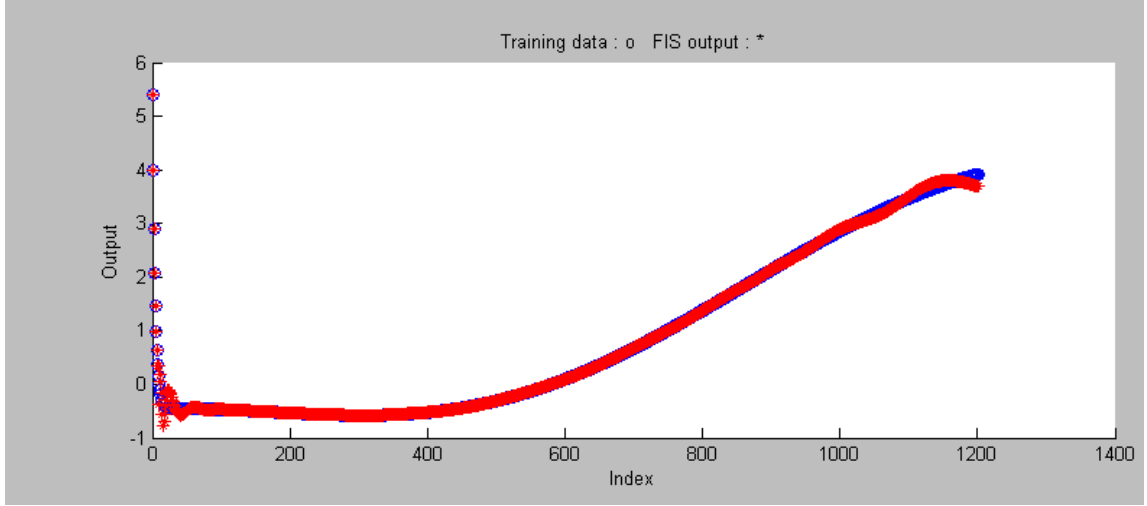
Eğitim sonucunda hata oranı 117 eğitim döngüsü sonucu 0.05 seviyesine düşmüştür (Şekil 7.5).



Şekil 7.5. Eğitim sürecinde hatanın azalması.

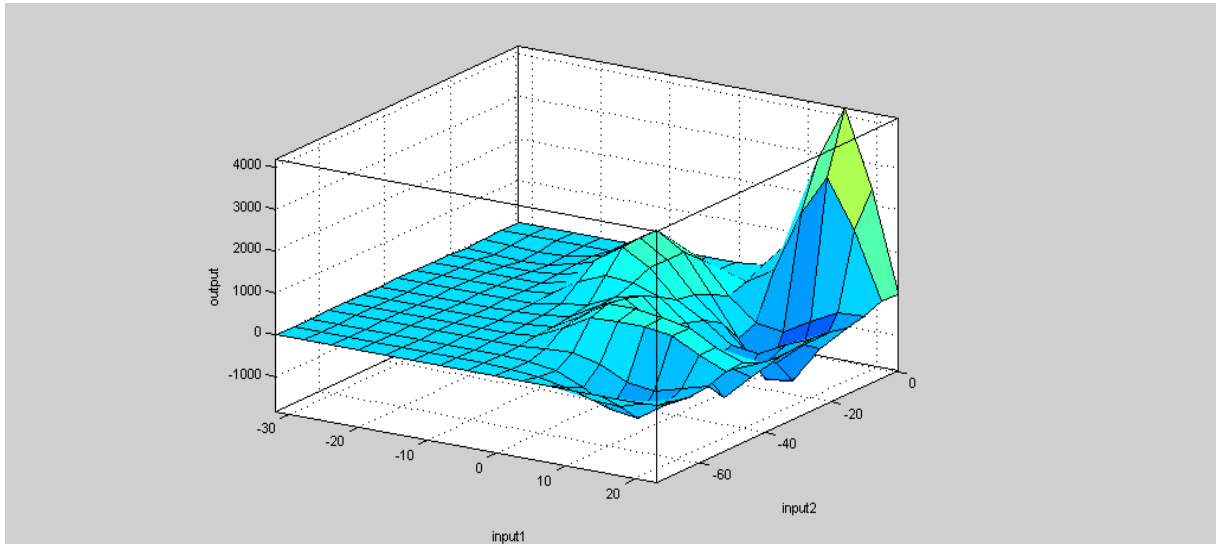
Eđitim sonucunun eđitim verisi ile test edilmesi Őekil 7.6 gsterilmiŐtir.

İlk tepki sonrasındaki verilerde, eđitim sonuŐları ile eđitim iŐin kullanılan PID ŐıkıŐ verileri arasında sistemin kararlı duruma geŐiŐini dzenleyecek verilerde örtüŐmenin tam sađlanamadıđı gsterilmektedir. Bu durum ANFIS'in denetleyici olarak kullanılmasında katsayı ayarlaması gerekebileceđi anlamına gelmektedir.



Őekil 7.6. Eđitim sonucunun eđitim verisi ile test edilmesi.

Eđitim sonucu gireŐlere ve ŐıkıŐa bađlı olarak elde edilen yzey Őekil 7.7'de gsterilmiŐtir.



Őekil 7.7. Eđitim sonucunun test edilmesi

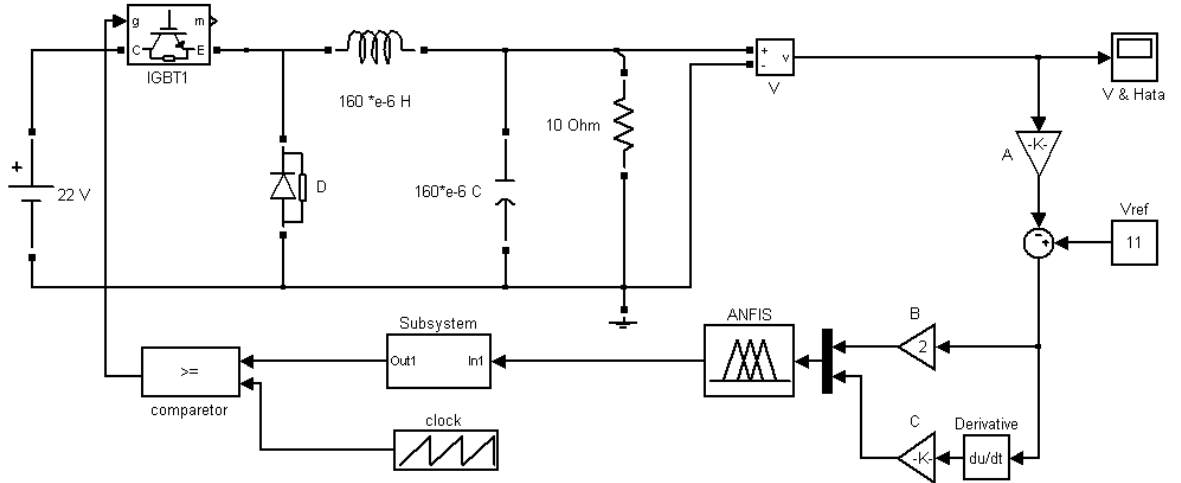
7.3. Düşürücü Çevirici – ANFIS Sisteminin Oluşturulması

Eğitim sonucu elde edilen veriler ANFIS sistemine yüklenerek sistem çalıştırıldığında, sistem çıkışının referans sinyali ilk tırmanışla takip edemediği, yüksek oranda bir yüzde aşma özelliği gösterdiği görülmüştür. Sensör kazancı ve ANFIS girişlerinde deneme yanılma tekniği kullanılarak Tablo 7.1’de gösterilen A,B,C katsayıları kullanıldığında; yüzde aşmanın ortadan kalktığı görülmüştür. (Sistemde kullanılan C katsayısı, eğitim verileri alınırken 0.0001 olarak kullanılmıştı.)

Tablo 7.1. Düşürücü Çevirici – ANFIS Sistemi için kullanılan katsayılar

A	B	C
0.9913	2	0.0000154

Şekilde 7.8’de düşürücü çevirici-ANFIS Sisteminin nihai hali görülmektedir. Devrede görülen ANFIS-PWM arasındaki alt sistem, tasarıma simulinkte oluşan data uyumsuzluğunu gidermek için eklenmiş olup, kazanç değeri bulunmamaktadır.



Şekil 7.8. Düşürücü Çevirici – ANFIS Sistemi.

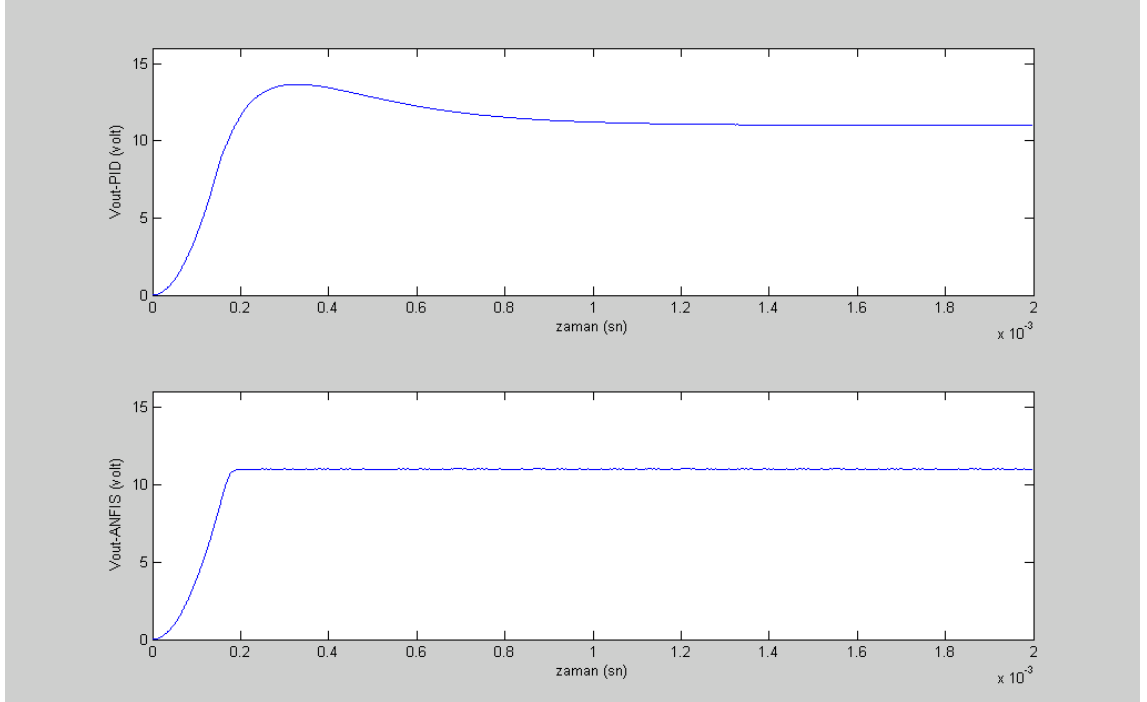
8. SONUÇLARININ İNCELENMESİ

Tasarlanan PID ve ANFIS denetleyicilerin sistemi kontrol edilebilirliği aşağıdaki kriterlerle yapılacaktır:

1. 11 V referans değeri için sistemlerin ilk tepkisi.
2. Sistemlerin referans sinyalini takip edebilirliği.
3. Bozucu sinyal ile sistemlerin kararlılığının test edilmesi.
4. Kaynak gerilimindeki dalgalanmaya sistemlerin tepkisi.

8.1. 11 V Referans Değeri İçin Sistemlerin İlk Tepkisi

11 V referans değeri için sistem çalıştırıldığında elde edilen sonuçlar Şekil 8.1 ve Tablo 8.1'de verilmiştir.



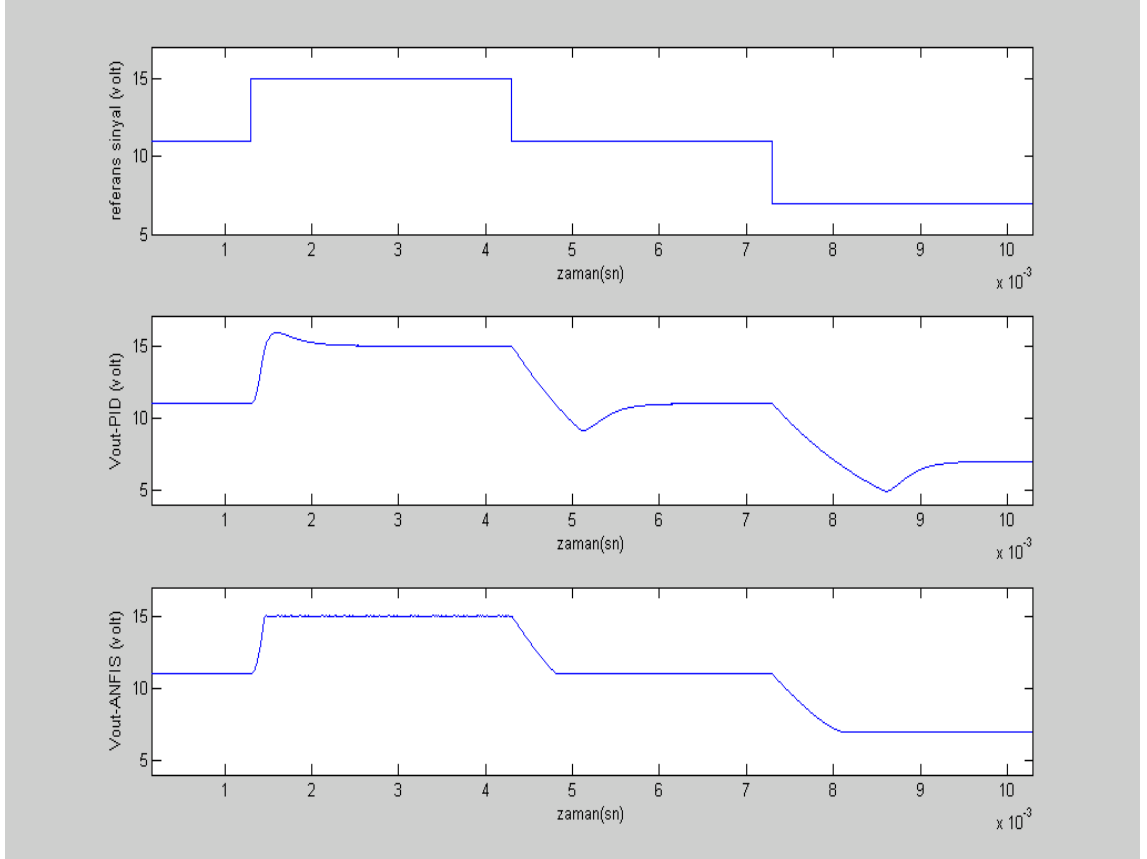
Şekil 8.1. 11 V referans değeri için ilk çalıştırmada sistemlerin tepkisi.

Tablo 8.1. 11 V referans değeri için ilk çalıştırmada elde edilen veriler.

	PID	ANFIS
kararlılığa ulaşma süresi (ms)	1.74	0.26
yüzde aşma oranı (%)	24.1	0
sapma miktarı (mV)	1	10

8.2. Sistemin Referans Sinyalini Takip Etmesi

11 V olan referans sinyal 15 V- 11 V – 7 V şeklinde değiştirilmiştir. Elde edilen sonuçlar Şekil 8.2 ve Tablo 8.2’de verilmiştir.



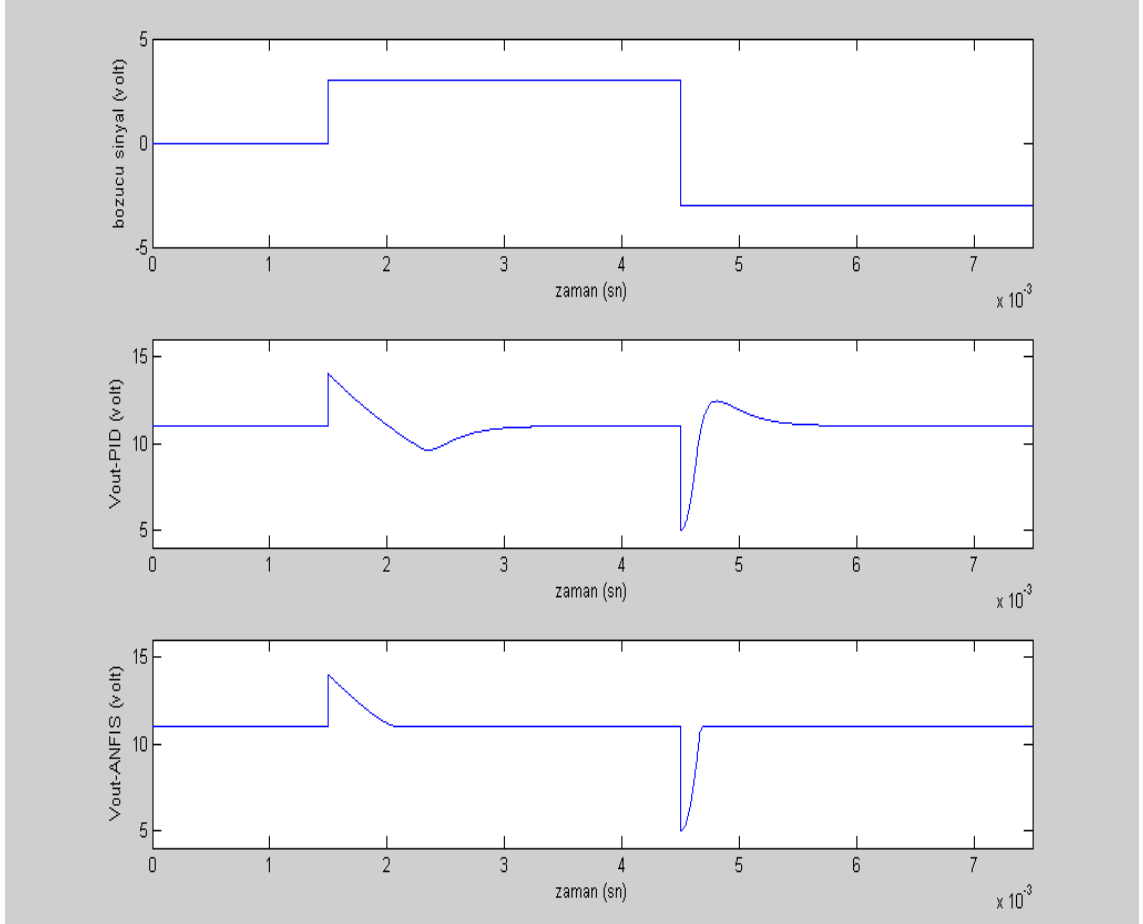
Şekil 8.2. Sistem çıkışının referans sinyali takibi.

Tablo 8.2. Referans sinyali için elde edilen veriler.

		PID	ANFIS
11 V-15 V	kararlılığa ulaşma süresi (ms)	1.6	0.24
	yüzde aşma oranı (%)	23.5	0
	sapma miktarı (mV)	0	10
15 V-11 V	kararlılığa ulaşma süresi (ms)	2.2	0.53
	yüzde aşma oranı (%)	46.8	0
	sapma miktarı (mV)	0	0
11 V- 7 V	kararlılığa ulaşma süresi (ms)	2.5	0.80
	yüzde aşma oranı (%)	51.5	0
	sapma miktarı (mV)	0	30

8.3. Bozucu Sinyal ile Sistemin Kararlılığının Test Edilmesi

Sistem önce +3 V, sonra -6 V bozucu sinyal ile test edilmiştir. Elde edilen sonuçlar Şekil 8.3 ve Tablo 8.3'te verilmiştir.



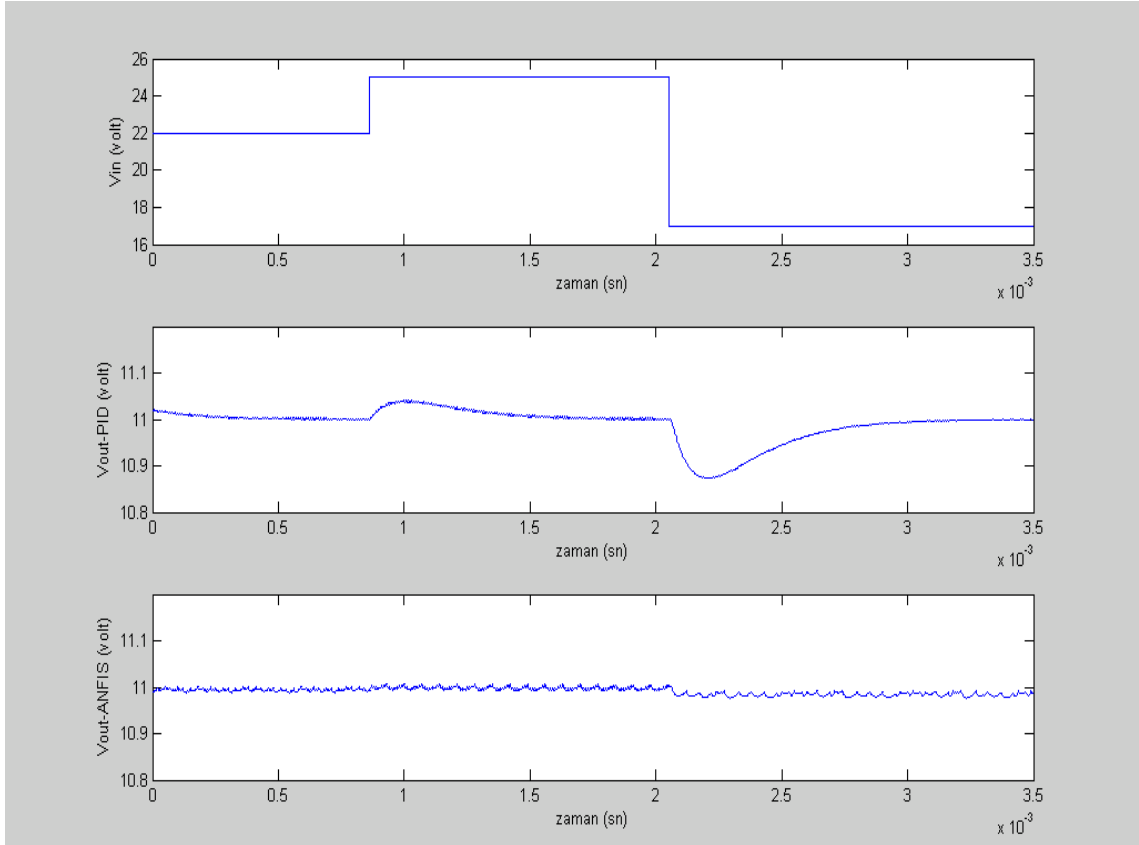
Şekil 8.3. Bozucu sinyale sistemlerin tepkisi.

Tablo 8.3. Bozucu sinyal için elde edilen veriler.

		PID	ANFIS
+3 V	kararlılığa ulaşma süresi (ms)	2.24	0.51
-6 V	kararlılığa ulaşma süresi (ms)	1.72	0.18

8.4. Kaynak Gerilimindeki Dalgalanmaya Sistemin Tepkisi

Sistem kaynağı önce +3 V artırılmış, sonra -8 V azaltılmıştır. Elde edilen sonuçlar Şekil 8.4 ve Tablo 8.4'te verilmiştir.



Şekil 8.4. Kaynaktaki dalgalanmaya sistemlerin tepkisi.

Tablo 8.4. Kaynaktaki dalgalanma sonucu elde edilen veriler.

		PID	ANFIS
+3 V	kararlılığa ulaşma süresi (ms)	0.65	0
	yüzde aşma miktarı (mV)	40	0
	sapma miktarı (mV)	0	5
-8 V	kararlılığa ulaşma süresi (ms)	1	0
	yüzde aşma miktarı (mV)	130	0
	sapma miktarı (mV)	0	10

8.5. Sonuların Deęerlendirilmesi

ANFIS'in eęitiminde PID denetleyici verilerinin kullanılması; ANFIS denetleyicinin, sinyal deęişimlerinde ve bozucu sinyale verilen tepki olarak PID ile aynı özellięi göstermesi sonucunu doęurmuştur. alıřma sonularında tespit edilen en önemli özellik budur.

PID'nin yüzde aşma özellięi göstermesi, ANFIS'in göstermemesi ANFIS lehine bariz bir hız farkı ortaya çıkmasına yol açmıştır.

Sapma oranı olarak mukayese edildiğinde PID denetleyicinin daha iyi sonu verdiği görülmüştür.

Kaynak gerilimindeki salınımlara ANFIS daha güçlü tepki vermiş, fakat çıkış geriliminde kalıcı sapma meydana gelmiştir.

PID tüm referans deęerlerine uyum sağlayarak aynı derecede karalılık göstermiştir. ANFIS ise eęitimdeki eksiklerin katsayı ayarlamasıyla giderilmesi ve bu işlemin tek bir referans çıkışı için yapılması nedeniyle farklı referans deęerlerine farklı tepkiler vermiştir.

Yapılan alıřmanın sonularını deęerlendirilirken dikkat edilmesi gereken bir; nokta vardır, bu; tasarımlar yapılırken mükemmellik yakalanabildi mi sorusuna verilecek cevaptır.

alıřma gerçekleştirilirken ANFIS denetleyici tasarımında eęitim verilerinin seçilmesinde izlenecek yol en önemli konu olarak ortaya çıkmıştır. Kullanılan metod; PID denetleyici sinyalin eęitim sinyali olarak seçilmesi, bu sinyalin sistem çıktısıyla farkının hata olarak alınmasıdır. Sonulara bakıldığında isabetli bir tercih yapıldığı söylenebilir. Fakat bu sinyal üzerinde yeni düzenlemeler yapılırsa daha iyi sonular alınabilecektir. ANFIS için iki girişli yapı tercih edilmiş, hata ve hatanın türevi veri olarak alınmıştır. Bu noktada dikkat edilecek konu birçok alternatif arasından yapılacak tercih gerçeğidir. ANFIS tasarımında karşılaşılan alternatifleri sıralamak gerekirse:

1. Eęitim sinyalinin şeklinin seçilmesi,
2. Eęitim verilerinin elde edilmesinde kullanılacak katsayıların seçilmesi,
3. Hata sinyalinin yanında hatanın türevi yerine, ikinci veri olarak alternatif sinyal (i_L akımı gibi) kullanılabilecek olması,
4. ANFIS'in 2 giriş yerine 3 veya 4 girişli olarak tasarlanması,
5. ANFIS üyelik fonksiyonlarının seçiminde alternatif çokluğu bulunması,
6. Üyelik fonksiyonlarının sayısının seçilmesi,
7. ANFIS'in sistemde kullanılırken giriş çıkış katsayıların (A,B,C) farklı seçilebilmesi vb.dir.

Bütün bunlar en iyi tasarımın yapılabilmesi için tasarımcıya sunulan alternatifler olmakla birlikte, zaman zaman tasarımcı için tercih zorluğu olarak kendisini göstermektedir. Benzer durum PID tasarlanırken de söz konudur. Denetleyici frekanslarının daha iyi seçilmesi daha iyi sonuç elde edilmesine sebep olabilir. Bütün bunlardan konu ile ilgili geniş bir araştırma sahası ve tasarım alternatifi olduğu gerçeği ortaya çıkmaktadır.

Son söz olarak daha farklı tasarımlarla farklı sonuçların elde edilmesi mümkün olduğundan farklı denetleyici sonuçlarının mukayesesini yapmak imkanı bulunmamaktadır denilebilir.

9. KAYNAKLAR

- [1] Jang, J.-S.R. ANFIS, Adaptive Network-based Fuzzy Interference System, 1993
- [2] Haykin, S.S., Neural Networks: A Comprehensive Foundation, NY: Mcmillan Press, 1994
- [3]. MATLAB 7.3.3 Guide Neural Network, What Are Neural Networks?
- [4] Alexander Valishevsky University of Latvia, Department of Computer Science: Adaptive Learning Algorithm For Hybrid Fuzzy System.
- [5] Yapay Sinir Ağları ve Mühendislik Uygulamaları Mühendislik Uygulamaları Doç.Dr. Şeref SAĞIROĞLU. Erciyes Üniversitesi Mühendislik Fakültesi Bilgisayar Mühendisliği Bölümü.
- [6] O. Ayhan ERDEM ve Emre UZUN, Yapay sinir ağları ile türkçe times new roman, arial ve elyazısı karakterleri tanıma.:Elektronik Bilgisayar Eğitimi Bölümü, Teknik Eğitim Fakültesi, Gazi Üniversitesi, 06500 Teknikokullar.
- [7] Fatih Onur Hocaoglu, Mehmet Kurban, Anadolu Üniversitesi Elektrik-Elektronik Mühendisliği Bölümü;Adaptif Ağ Tabanlı Bulanık Mantık Çıkarım Sistemi İle Eskisehir Bölgesi İçin Güneşlenme Süreleri Tahmini.
- [8] Zadeh, L.A., Fuzzy sets. Information and Control, 8, 3, 338-353, 1965.
- [9] GÜNAL, Ü., , Bulanık Mantık,Otomasyon dergisi,No.55,56,s.50-55, 1997
- [10] Tornalama İşlemlerinde Kesici Takım Aşınmasının Bulanık Mantık İle Modellenmesi, M. Cengiz KAYACAN , Ş. Abdurrahman ÇELİK,Özlem SALMAN, Süleyman Demirel Üniversitesi CAD/CAM Araştırma ve Uygulama Merkezi.
- [11] Ahmad M.Ibrahim, Introduction to Applied Fuzzy Electronics, Prentice Hall, 1997.

- [12] Vedat TOPUZ, Ahmet AKBAŞ, Mehmet TEKTAŞ, Boğaz Köprüsü Yoluna Katılım Noktalarında Trafik Akımlarının Bulanık Mantık Yaklaşımı İle Kontrolü Ve Bir Uygulama Örneği, Marmara Üniversitesi, Teknik Bilimler MYO, 81040 Göztepe-İstanbul
- [13] Hasan Rıza Özçalık, Ali Fazıl UYGUR, Dinamik Sistemlerin Uyumlu Sinirsel-Bulanık Ağ Yapısına Dayalı Etkin Modellenmesi KSÜ. Müh.-Mim. Fak., Elektrik-Elektronik Müh. Bölümü, Kahramanmaraş, 2003.
- [14] Ahmad M.Ibrahim, Introduction to Applied Fuzzy Electronics, Prentice Hall, 1997.
- [15] Witold Pedrycz and Fernando Gomide, An Introduction to Fuzzy Sets, 1998
- [16] S.Farinwata, D.File, R.Langari, John Wiley & Sons: Fuzzy Logic.
- [17] Alexander Valishevsky: Adaptive Learning Algorithm For Hybrid Fuzzy System, University of Latvia, Department of Computer Science.
- [18] Piero P. Bonissone GE CRD, Schenectady, NY USA: Adaptive Neural Fuzzy Inference Systems (ANFIS): Analysis and Applications.
- [19] Sugeno M. And G.T.Kang Structure Identification of Fuzzy Model, Fuzzy Sets and System, 28, 1998, 15-30.
- [20] Oyas Wahyunggoro, Epoch Number and Step Size Effect in ANFIS Learning For Controlling The Speed of DC Motor Based on PLC TSX Micro 3722 Electrical Engineering Department, Engineering Faculty, Gadjah Mada University, Bulaksumur.
- [21] Dr. Ünal DİKMEN, Matlab Programlama Diline Giriş, JFM224 Sayısal Analiz ve Programlama III
- [22] Gyo-Bum Chung, Investigation of PID Fuzzy Controller for Output Voltage Regulation of Current-Doubler-Rectified Asymmetric Half-Bridge DC/DC Converter, Department of Electrical Engineering, Hongik University, Jochiwon, Chungnam, 339-701, Korea.

- [23] M. Lazar - R. De Keyser, Non-linear predictive control of a DC-to-DC converter, *Department of Electrical Engineering, Control Systems Group, Eindhoven University of Technology, P.O. Box 513, 5600 MB Eindhoven, The Netherlands*
- [24] "http://en.wikipedia.org/wiki/DC_to_DC_converter"
- [25] "Power Electronics: Converters, Applications and Design", Mohan, Undeland and Robbins, Wiley, 1989.
- [26] Fundamentals of Power Electronics, Erickson and Maksimovic, University of Colorado

ÖZGEÇMİŞ

Cemil Tepecik, 1975 yılında Ordu'da doğdu. İlköğrenimini Ordu'da, ortaöğrenimini Samsun'da tamamladı. Yüksek öğrenimini ise Hacettepe Üniversitesi Elektrik Elektronik Mühendisliği Bölümünde, 2002 yılında tamamlamıştır. 2006 yılında İnönü Üniversitesi Elektrik Elektronik Mühendisliği Bölümünde yüksek lisans öğrenimine başladı. Halen Hava Kuvvetleri Komutanlığı personeli olarak görev yapmaktadır.